

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-57359

(P2016-57359A)

(43) 公開日 平成28年4月21日(2016.4.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 641D	5C080
H01L 51/50 (2006.01)	G09G 3/20 611D	5C380
	G09G 3/20 642A	
	G09G 3/20 641R	
審査請求 未請求 請求項の数 10 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2014-181532 (P2014-181532)	(71) 出願人	502356528
(22) 出願日	平成26年9月5日 (2014.9.5)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	中山 弘
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	木村 裕之
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	森田 哲生
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		最終頁に続く	

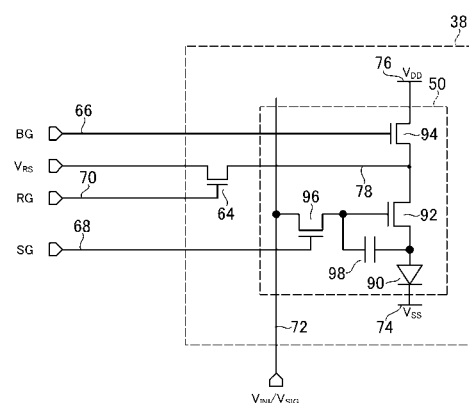
(54) 【発明の名称】 表示装置、及びその駆動方法

(57) 【要約】

【課題】 ホールド応答型表示装置において黒画面の挿入時に横スジの発生を防止する。

【解決手段】 表示部38はOLED90と、ソースをOLED90に接続されドレインを駆動電源に接続され、発光期間に記憶電圧に応じた駆動電流を流す駆動TFT92と、駆動電源と前記ドレインとの継断を切り替える点灯スイッチ94と、前記ドレインに接続され、書き込み期間における記憶電圧のリセット動作に用いるリセット電位をリセット電源から印加されるリセット線78と、リセット線78へのリセット電位の印加の有無を切り換えるリセットスイッチ64と、を有する。発光期間の一部にて、点灯スイッチ94を制御して駆動電源と駆動TFT92との間を遮断し、駆動電流を強制的に停止する非発光期間を設ける一方、リセットスイッチ64を制御して非発光期間を通じてリセット線78をリセット電位に設定する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

画像信号に応じた記憶電圧を書き込み期間にて設定され、前記記憶電圧に応じて発光期間にて発光する画素を有した表示装置を駆動する駆動方法であって、前記表示装置は、供給される駆動電流に応じて発光する発光素子と、

第 1 端子が前記発光素子と電氣的に接続され第 2 端子が駆動電源と電氣的に接続され、前記発光期間に前記記憶電圧に応じた前記駆動電流を流す駆動トランジスタと、

前記駆動電源と前記第 2 端子との継断を切り替える第 1 スイッチング素子と、

前記第 2 端子と電氣的に接続され、前記書き込み期間における前記記憶電圧のリセット動作に用いるリセット電位がリセット電源から印加されるリセット線と、

前記リセット線への前記リセット電位の印加の有無を切り換える第 2 スイッチング素子と、を有し、

当該駆動方法は、前記発光期間の一部にて、前記第 1 スイッチング素子を制御して前記駆動電源と前記駆動トランジスタとの間を遮断し、前記駆動電流を強制的に停止する非発光期間を設ける一方、前記第 2 スイッチング素子を制御して前記非発光期間を通じて前記リセット線を前記リセット電位に設定すること、

を特徴とする表示装置の駆動方法。

【請求項 2】

請求項 1 に記載の駆動方法において、

前記駆動トランジスタは n チャネル型トランジスタであり、

前記発光素子は、前記駆動トランジスタに接続される端子とは反対側の端子に基準電位を印加され、

前記駆動電源の電位は前記基準電位に対して高い電位であり、

前記リセット電位は、前記基準電位に対して、前記発光素子の発光開始電圧よりも小さい電位差を与えられること、

を特徴とする表示装置の駆動方法。

【請求項 3】

請求項 1 に記載の駆動方法において、

前記駆動トランジスタは p チャネル型トランジスタであり、

前記発光素子は、前記駆動トランジスタに接続される端子とは反対側の端子に基準電位を印加され、

前記駆動電源の電位は前記基準電位に対して低い電位であり、

前記リセット電位は、前記基準電位に対して、前記発光素子の発光開始電圧よりも小さい電位差を与えられること、

を特徴とする表示装置の駆動方法。

【請求項 4】

請求項 1 に記載の駆動方法において、

前記第 1 スイッチング素子と前記第 2 スイッチング素子とは、互いに排他的にオンすること、を特徴とする表示装置の駆動方法。

【請求項 5】

画像信号に応じた記憶電圧を書き込み期間にて設定され、前記記憶電圧に応じて発光期間にて発光する画素を有した表示装置であって、

供給される駆動電流に応じて発光する発光素子と、

第 1 端子が前記発光素子と電氣的に接続され第 2 端子が駆動電源と電氣的に接続され、前記発光期間に前記記憶電圧に応じた前記駆動電流を流す駆動トランジスタと、

前記駆動電源と前記第 2 端子との継断を切り替える第 1 スイッチング素子と、

前記第 2 端子と電氣的に接続され、前記書き込み期間における前記記憶電圧のリセット動作に用いるリセット電位がリセット電源から印加されるリセット線と、

前記リセット線への前記リセット電位の印加の有無を切り換える第 2 スイッチング素子と、

10

20

30

40

50

前記発光期間の一部にて、前記第 1 スイッチング素子を制御して前記駆動電源と前記駆動トランジスタとの間を遮断し、前記駆動電流を強制的に停止する非発光期間を設ける一方、前記第 2 スイッチング素子を制御して前記非発光期間を通じて前記リセット線を前記リセット電位に設定する制御部と、
を有することを特徴とする表示装置。

【請求項 6】

画像信号に応じた記憶電圧を書き込み期間にて設定され、前記記憶電圧に応じて発光期間にて発光する複数の画素が複数行に亘り配列された表示装置であって、

前記画素ごとに設けられ、供給される駆動電流に応じて発光する発光素子と、

前記画素ごとに設けられ、第 1 端子が前記発光素子と電氣的に接続され第 2 端子が駆動電源と電氣的に接続され、前記発光期間に前記記憶電圧に応じた前記駆動電流を流す駆動トランジスタと、

前記駆動電源と、各画素行に配置された複数の前記駆動トランジスタの前記第 2 端子との継断を切り替える少なくとも 1 つの第 1 スイッチング素子と、

前記各画素行に配置された複数の前記駆動トランジスタの前記第 2 端子と電氣的に接続され、前記書き込み期間における前記記憶電圧のリセット動作に用いるリセット電位がリセット電源から印加される少なくとも 1 本のリセット線と、

前記各リセット線への前記リセット電位の印加の有無を切り換える第 2 スイッチング素子と、

前記発光期間の一部にて、前記各第 1 スイッチング素子を制御して前記駆動電源と前記駆動トランジスタとの間を遮断し、前記駆動電流を強制的に停止する非発光期間を設ける一方、前記第 2 スイッチング素子を制御して前記非発光期間を通じて前記各リセット線を前記リセット電位に設定する制御部と、
を有することを特徴とする表示装置。

【請求項 7】

請求項 5 又は請求項 6 に記載の表示装置において、

前記駆動トランジスタは n チャンネル型トランジスタであり、

前記発光素子は、前記駆動トランジスタに接続される端子とは反対側の端子に基準電位を印加され、

前記駆動電源の電位は前記基準電位に対して高い電位であり、

前記リセット電位は、前記基準電位に対して、前記発光素子の発光開始電圧よりも小さい電位差を与えられること、

を特徴とする表示装置。

【請求項 8】

請求項 5 又は請求項 6 に記載の表示装置において、

前記駆動トランジスタは p チャンネル型トランジスタであり、

前記発光素子は、前記駆動トランジスタに接続される端子とは反対側の端子に基準電位を印加され、

前記駆動電源の電位は前記基準電位に対して低い電位であり、

前記リセット電位は、前記基準電位に対して、前記発光素子の発光開始電圧よりも小さい電位差を与えられること、

を特徴とする表示装置。

【請求項 9】

請求項 7 又は請求項 8 に記載の表示装置において、

前記第 1 スイッチング素子及び前記第 2 スイッチング素子は前記駆動トランジスタと同極性のトランジスタで構成されることを特徴とする表示装置。

【請求項 10】

請求項 6 に記載の表示装置において、

前記複数行の画素が共通の前記リセット線に接続されていること、を特徴とする表示装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、薄型、軽量、低消費電力の特徴を活かして、従来のCRT (cathode ray tube) に代わり、液晶表示装置に代表される平面表示装置が普及している。特に、アクティブマトリクス型表示装置は、携帯情報機器を始め、種々のディスプレイに利用されている。このようなアクティブマトリクス型表示装置は自発光素子を用いても構成でき、自発光型表示装置に用いられる電気光学素子として、有機エレクトロルミネッセンス (electroluminescence: EL) 素子が知られている。有機エレクトロルミネッセンス素子は、一般に、OLED (organic light emitting diode) と称され、発光ダイオードの一種である。

10

【0003】

表示ディスプレイを特に動画表示の観点で分類した場合、インパルス応答型ディスプレイとホールド応答型ディスプレイに大別される。インパルス応答型ディスプレイとは、CRTの残光特性のように、輝度応答が走査直後から低下するタイプであり、ホールド応答型ディスプレイとは、液晶ディスプレイや有機EL表示装置のように、表示データに基づく輝度を次の走査まで保持し続けるタイプである。

【0004】

20

ホールド応答型ディスプレイの特徴としては、静止画の場合はちらつきのない良好な表示品質を得ることができるが、動画の場合には移動する物体の周囲がぼやけて見える、いわゆる動画ぼやけが発生し表示品質が低下するという課題がある。この動画ぼやけの発生要因は、物体の移動に伴い視線を移動する際、輝度のホールドされた表示画像に対して移動前後の表示イメージを観測者が補間する、いわゆる網膜残像に起因するため、表示ディスプレイの応答速度をどれだけ向上させても動画ぼやけは完全に解消しない。これを解決するためには、より短い周波数で表示画像を更新するか、黒画面などの挿入によって一旦網膜残像をキャンセルすることで、インパルス応答型ディスプレイに近づける方法が有効である。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献1】特開2006-343706号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

図7は有機EL表示パネルの表示部に配列される画素回路2の概略の回路図であり、或る画素行における第k列、第(k+1)列の画素列の画素が示されている。各画素回路2は、発光素子であるOLED4、薄膜トランジスタ(thin film transistor: TFT)及びキャパシタなどからなる。駆動トランジスタである駆動TFT6、点灯スイッチ8、リセットスイッチ10及び書き込みスイッチ12はnチャネル型TFT(n型TFT)で構成できる。OLED4のカソード電極は基準電源PVSSに接続され、アノード電極は駆動TFT6のソースに接続される。駆動TFT6のドレインは、点灯スイッチ8を介して駆動電源PVDに接続され、またリセットスイッチ10及びリセット線14を介してリセット電源PVSに接続される。駆動TFT6のゲート端子とソース端子との間には保持容量であるキャパシタ16が接続される。

40

【0007】

図8は、図7に示す画素回路2を有した有機EL表示パネルにおける従来の黒画面挿入の駆動方法を説明する概略のタイミング図である。リセット動作(期間 P_{RS})、オフセットキャンセル動作(期間 P_{OC})の後、映像信号セット動作(期間 P_{WT})にて、キャ

50

パシタ 16 は映像信号線 18 及び書き込みスイッチ 12 を介して映像電圧信号 V_{SIG} に応じた電圧を書き込まれて保持する。書き込んだ電圧に応じて駆動 T F T 6 は導通状態となり、制御信号 B G が所定の高電位である H i g h レベル（以下、H レベル）である期間、点灯スイッチ 8 がオンして O L E D 4 が発光する。

【0008】

ここで、 V_{SIG} の書き込み後、次の書き込み動作の開始までの発光可能期間の一部に非発光期間 P_{BL} を設けることで黒画面挿入が行われる。非発光期間 P_{BL} では制御信号 B G が所定の低電位である L o w レベル（以下、L レベル）にされ、駆動電源 P V D D から O L E D 4 への駆動電流が停止される。

【0009】

なお、キャパシタ 16 の保持電圧は、各映像信号線 18 に初期化電圧 V_{INI} を供給し、かつ駆動 T F T 6 及びリセットスイッチ 10 をオン状態とすることで、所定電圧にリセットされる。図 7 に示す画素回路 2 では、素子数を削減し高精細化を図るために、リセットスイッチ 10 が画素外に設けられ、リセット線 14 が 1 行分の画素すべてに共通に接続されている。

【0010】

リセット線 14 のように、複数の画素に亘って設けられている配線は、他の配線との交差部や近接部を多数有するため、他配線との間で高抵抗ショート等を生じ得る。特に、高抵抗ショートを生じた配線がある期間でフローティングとなるような期間を有する場合、特にその配線は高抵抗ショートによる電位変動が大きくなる。そのような欠陥が存在しても、発光期間においては駆動 T F T 6 のドレインは駆動電源 P V D D に接続されるので V_{DD} に応じた電位となり、リセット線 14 における電位変動の影響は目立たないことが多い。しかし、黒画面挿入を行う場合には、点灯スイッチ 8 がオフされるため、駆動 T F T 6 のドレイン電位に対するリセット線 14 の電位変動の影響が大きくなる。具体的には、駆動 T F T 6 は導通状態に保持されているので、リセット線の電位変動により O L E D 4 が発光し得る。特にリセット線を画素行ごとに共通としている場合、画素行間でリセット線の電位が異なり得る結果、黒画面上にて他の部分より暗い画素行（横線欠け）や明るい画素行（横スジ）などを生じるといった問題があった。

【0011】

本発明は上記問題点を解決するためになされたものであり、黒画面の挿入時に画素の発光が抑制され、特に画素回路の素子数を低減し高精細化を図る構成にて黒画面の挿入時に横線欠けや横スジなどの発生が抑制された、表示品位の優れた表示装置と、その駆動方法を提供する。

【課題を解決するための手段】

【0012】

（１）本発明に係る表示装置の駆動方法は、画像信号に応じた記憶電圧を書き込み期間にて設定され、前記記憶電圧に応じて発光期間にて発光する画素を有した表示装置を駆動する駆動方法であって、前記表示装置は、供給される駆動電流に応じて発光する発光素子と、第 1 端子が前記発光素子と電氣的に接続され第 2 端子が駆動電源と電氣的に接続され、前記発光期間に前記記憶電圧に応じた前記駆動電流を流す駆動トランジスタと、前記駆動電源と前記第 2 端子との継断を切り替える第 1 スイッチング素子と、前記第 2 端子と電氣的に接続され、前記書き込み期間における前記記憶電圧のリセット動作に用いるリセット電位がリセット電源から印加されるリセット線と、前記リセット線への前記リセット電位の印加の有無を切り換える第 2 スイッチング素子と、を有し、当該駆動方法は、前記発光期間の一部にて、前記第 1 スイッチング素子を制御して前記駆動電源と前記駆動トランジスタとの間を遮断し、前記駆動電流を強制的に停止する非発光期間を設ける一方、前記第 2 スイッチング素子を制御して前記非発光期間を通じて前記リセット線を前記リセット電位に設定する。

【0013】

（２）本発明に係る表示装置は、画像信号に応じた記憶電圧を書き込み期間にて設定さ

10

20

30

40

50

れ、前記記憶電圧に応じて発光期間にて発光する画素を有した表示装置であって、供給される駆動電流に応じて発光する発光素子と、第１端子が前記発光素子と電氣的に接続され第２端子が駆動電源と電氣的に接続され、前記発光期間に前記記憶電圧に応じた前記駆動電流を流す駆動トランジスタと、前記駆動電源と前記第２端子との継断を切り替える第１スイッチング素子と、前記第２端子と電氣的に接続され、前記書き込み期間における前記記憶電圧のリセット動作に用いるリセット電位がリセット電源から印加されるリセット線と、前記リセット線への前記リセット電位の印加の有無を切り換える第２スイッチング素子と、前記発光期間の一部にて、前記第１スイッチング素子を制御して前記駆動電源と前記駆動トランジスタとの間を遮断し、前記駆動電流を強制的に停止する非発光期間を設ける一方、前記第２スイッチング素子を制御して前記非発光期間を通じて前記リセット線を前記リセット電位に設定する制御部と、を有する。

10

【００１４】

(３)他の本発明に係る表示装置は、画像信号に応じた記憶電圧を書き込み期間にて設定され、前記記憶電圧に応じて発光期間にて発光する複数の画素が複数行に亘り配列された表示装置であって、前記画素ごとに設けられ、供給される駆動電流に応じて発光する発光素子と、前記画素ごとに設けられ、第１端子が前記発光素子と電氣的に接続され第２端子が駆動電源と電氣的に接続され、前記発光期間に前記記憶電圧に応じた前記駆動電流を流す駆動トランジスタと、前記駆動電源と、各画素行に配置された複数の前記駆動トランジスタの前記第２端子との継断を切り替える少なくとも１つの第１スイッチング素子と、前記各画素行に配置された複数の前記駆動トランジスタの前記第２端子と電氣的に接続され、前記書き込み期間における前記記憶電圧のリセット動作に用いるリセット電位がリセット電源から印加される少なくとも１本のリセット線と、前記各リセット線への前記リセット電位の印加の有無を切り換える第２スイッチング素子と、前記発光期間の一部にて、前記各第１スイッチング素子を制御して前記駆動電源と前記駆動トランジスタとの間を遮断し、前記駆動電流を強制的に停止する非発光期間を設ける一方、前記第２スイッチング素子を制御して前記非発光期間を通じて前記各リセット線を前記リセット電位に設定する制御部と、を有する。

20

【図面の簡単な説明】

【００１５】

【図１】本発明の各実施形態に係る有機ＥＬ表示装置の概略の構成を示す模式図である。

30

【図２】本発明の第１の実施形態に係る有機ＥＬ表示装置の主に表示部及び制御部の概略の構成を示す模式的な回路図である。

【図３】本発明の第１の実施形態における画素の概略の等価回路図である。

【図４】本発明の第１の実施形態に係る有機ＥＬ表示装置の駆動方法を説明する概略のタイミング図である。

【図５】本発明の第２の実施形態における画素の概略の等価回路図である。

【図６】本発明の第２の実施形態に係る有機ＥＬ表示装置の駆動方法を説明する概略のタイミング図である。

【図７】従来技術を説明するための画素回路の概略の回路図である。

【図８】有機ＥＬ表示パネルの従来の黒画面挿入の駆動方法を説明する概略のタイミング図である。

40

【発明を実施するための形態】

【００１６】

以下、本発明の実施の形態（以下実施形態という）である画像表示装置について、図面に基づいて説明する。この画像表示装置は、ＯＬＥＤを発光素子として備えたアクティブマトリクス方式の有機ＥＬ表示装置である。

【００１７】

[第１の実施形態]

図１は、実施形態に係る有機ＥＬ表示装置３０の概略の構成を示す模式図である。有機ＥＬ表示装置３０は、本体回路３２、表示基板３４及び接続基板３６を有する。表示基板

50

34には、表示画像の画素に対応するOLED及び画素回路が配列された表示部38が形成される。表示部38の動作を制御する制御部として、画素回路に各種信号を供給する駆動回路、及び駆動回路に供給するタイミング信号等生成するコントローラが設けられる。制御部は本体回路32又は表示基板34上に配置される。

【0018】

例えば、表示基板34上には表示部38の走査信号線や映像信号線に信号を供給する駆動回路40を配置することができる。駆動回路40は、その主要部を一又は複数の半導体チップに集積し、当該チップを表示基板34上に搭載することにより形成される。また、駆動回路40として、低温ポリシリコンからなる半導体層を用いたTFT等で構成された回路を表示基板34上に直接形成することもできる。有機EL表示装置では、表示基板34はガラス基板や、樹脂フィルムなどを用いたフレキシブルな材料で構成することができる。

10

【0019】

本体回路32には制御部の他、例えば、各種の基準電位を発生する電源回路、映像信号を処理する信号処理回路及びフレームメモリなどを配置することができる。本体回路32は例えば、ガラスエポキシ基板等のリジッド基板を用いて形成できる。

【0020】

接続基板36は、本体回路32と表示基板34とを接続する。接続基板36は、フレキシブル配線基板で構成することができる。なお、駆動回路40の一部又は全部を、接続基板36上に配置することもできる。

20

【0021】

図2は有機EL表示装置30の主に表示部38及び制御部の概略の構成を示す模式的な回路図である。表示部38には画素50がマトリクス状に配置される。また、図2には制御部として走査線駆動回路52、映像線駆動回路54、コントローラ56が示され、電源回路として基準電位 V_{SS} を出力する基準電源 P_{VSS} である電源回路58、電位 V_{DD} を出力する駆動電源 P_{VDD} である電源回路60、及びリセット電位 V_{RS} を出力するリセット電源 P_{VRS} である電源回路62が示されている。

【0022】

走査線駆動回路52は表示部38の画素50の水平方向の並び（画素行）ごとに制御信号を出力する。具体的には、本実施形態では、表示部38は各画素50の画素回路に2つのスイッチ（点灯スイッチ及び書き込みスイッチ）を備え、各画素行にリセットスイッチ64を備える。これに対応して、画素50の行それぞれに3本の制御信号線（点灯制御線66、書き込み制御線68及びリセット制御線70）が設けられ、走査線駆動回路52は、各行の制御線66、68、70にスイッチのオン/オフを切り替える制御信号を供給する。走査線駆動回路52はシフトレジスタを備え、表示部38にて動作対象となる画素行を列方向（例えば、画面上側から下側への向き）に順番に選択し、当該選択した行に対する制御信号を生成し、制御線66、68、70へ出力する。また走査線駆動回路52は各画素行に同じ制御信号を一斉に出力し得る。

30

【0023】

映像線駆動回路54は選択された行の各画素の映像信号を表すデータ（画素値）を入力され、当該データをD/A変換器でアナログ電圧に変換して画素値に応じた電圧信号を生成する。映像線駆動回路54は当該電圧信号を表示部38の画素50の垂直方向の並び（画素列）ごとに生成する。画素50の列それぞれには映像信号線72が設けられ、映像線駆動回路54は各画素50へのデータの書き込み動作時に、選択された行の各画素の画素値を表す電圧信号（映像電圧信号） V_{SIG} を各列の映像信号線72へ並列して出力する。また、映像線駆動回路54は各画素50のデータ初期化時に初期化電圧信号 V_{INI} を生成し、映像信号線72へ並列して出力する。

40

【0024】

電源回路58は上述したように基準電位 V_{SS} を生成し、基準電位 V_{SS} は各列に設けられた電源線74を介して各画素50に供給される。電源回路60は上述したように駆動

50

電位 V_{DD} を生成し、駆動電位 V_{DD} は各列に設けられた電源線 76 を介して各画素 50 に供給される。電源回路 62 は上述したようにリセット電位 V_{RS} を生成し、リセット電位 V_{RS} は各行に設けられたリセットスイッチ 64 及びリセット線 78 を介して各画素 50 に供給される。

【0025】

図 3 は図 2 に示す表示部 38 に配列される画素 50 の概略の等価回路図の一例である。各画素 50 は発光素子として OLED 90 を有する。本実施形態では OLED 90 は画素ごとに分離した画素電極をアノード電極とし、また基本的に表示部 38 の全画素に亘り一体に形成できる共通電極をカソード電極とし、それらの間に発光層等の有機材料層を有する。OLED 90 のカソード電極は電源線 74 に接続される。また、OLED 90 のアノード電極は、駆動トランジスタである駆動 TFT 92 と第 1 スイッチング素子である点灯スイッチ 94 とを介して電源線 76 に接続される。電源線 76 は駆動電源 P_{VDD} (電源回路 60) から電位 V_{DD} として所定の高電位を印加され、電源線 74 は基準電源 P_{VSS} (電源回路 58) から電位 V_{SS} として所定の低電位を印加され、これら電位 V_{DD} , V_{SS} により OLED 90 は順方向電流を供給され発光する。つまり、駆動電位 V_{DD} は基準電位 V_{SS} に対し OLED 90 を発光させる電位差を有した電位であり、例えば、 V_{SS} は -4V、 V_{DD} は +10V とすることができる。

10

【0026】

駆動 TFT 92 及び点灯スイッチ 94 は本実施形態ではそれぞれ n 型 TFT で構成される。駆動 TFT 92 の 2 つの電流端子の一方 (第 1 端子) であるソース電極は、OLED 90 のアノード電極に接続され、他方 (第 2 端子) であるドレイン電極は点灯スイッチ 94 である TFT のソース電極に接続され、点灯スイッチ 94 のドレイン電極は電源線 76 に接続される。

20

【0027】

また、駆動 TFT 92 のドレイン電極は第 2 スイッチング素子であるリセットスイッチ 64 を介してリセット電源 P_{VRS} (電源回路 62) にも接続される。既に述べたように本実施形態では、画素行ごとにリセット線 78 とリセットスイッチ 64 とが設けられる。各リセット線 78 は画素行に沿って延在され、当該画素行の駆動 TFT 92 のドレイン電極に共通に接続される。リセットスイッチ 64 は例えば、画素行の端部に配置され、リセット線 78 とリセット電源 P_{VRS} との間の継断、つまりそれらの間を接続するか遮断するかを切り替える。リセットスイッチ 64 は本実施形態では駆動 TFT 92 及び点灯スイッチ 94 と同じく n 型 TFT で構成される。

30

【0028】

駆動 TFT 92 の制御端子であるゲート電極は、書き込みスイッチ 96 を介して映像信号線 72 に接続され、駆動 TFT 92 のゲート電極とソース電極との間には保持容量であるキャパシタ 98 が接続される。書き込みスイッチ 96 は本実施形態では n 型 TFT で構成される。

【0029】

既に述べたように、点灯スイッチ 94、書き込みスイッチ 96、リセットスイッチ 64 は画素行ごとに設けられた点灯制御線 66、書き込み制御線 68、リセット制御線 70 を用いてオン/オフを制御される。ここで、点灯制御線 66 及び書き込み制御線 68 は画素行に沿って延在され、それぞれ当該画素行の点灯スイッチ 94、書き込みスイッチ 96 のゲート電極に共通に接続される。

40

【0030】

図 4 は、有機 EL 表示装置 30 の駆動方法を説明する概略のタイミング図であり、或る画素行での画素値の書き込み動作及び発光動作での各種信号の変化が示されている。図 4 において横軸が時間軸であり、右向きが時間の経過方向である。各種信号として、映像線駆動回路 54 から映像信号線 72 に供給される映像線信号 V_{PX} 、及び書き込みスイッチ 96、点灯スイッチ 94、リセットスイッチ 64 それぞれに対する制御信号 SG , BG , RG が示されている。走査線駆動回路 52 は各制御信号を L レベルと H レベルとのいずれ

50

かに設定する。ここでn型TFTからなる書き込みスイッチ96、点灯スイッチ94、リセットスイッチ64はHレベルにてオンし、Lレベルにてオフする。

【0031】

有機EL表示装置30の表示動作はラスタースキャンにより行われる。本実施形態では、表示部38を構成する複数の画素行を先頭行から順番に選択し、選択した行の画素に映像電圧信号 V_{SIG} を書き込み、OLED90を発光させる動作が1フレームの画像ごとに繰り返される。本実施形態における書き込み動作は詳細にはリセット動作、オフセットキャンセル動作、映像信号セット動作に分けられる。

【0032】

図4におけるリセット期間 P_{RS} 、オフセットキャンセル期間 P_{OC} 、映像信号セット期間 P_{WT} がリセット動作、オフセットキャンセル動作、映像信号セット動作に対応する期間である。

【0033】

リセット動作は、キャパシタ98に保持された電圧をリセットする動作であり、これにより、前フレームにて映像信号に応じて画素50に書き込まれたデータが初期化される。具体的には、リセット動作では、制御信号BGをLレベルとして点灯スイッチ94をオフとし、制御信号RGをHレベルとしてリセットスイッチ64をオンとし、さらに各映像信号線72に初期化電圧信号 V_{INI} を印加した状態で、制御信号SGをHレベルとして書き込みスイッチ96をオンする。これにより、駆動TFT92のゲート電位は V_{INI} に対応する電位にリセットされ、また駆動TFT92が導通状態とされることにより駆動TFT92のソース電位は V_{RS} に対応する電位にリセットされ、各画素50のキャパシタ98の端子間電圧は $(V_{INI} - V_{RS})$ に応じた電圧に設定される。OLED90に印加される電圧は $(V_{RS} - V_{SS})$ に応じた電圧となり、当該電圧がOLED90の発光しきい値電圧（発光開始電圧）以下となるようにリセット電位 V_{RS} は設定される。ちなみに、発光しきい値電圧はOLED90に電流が流れ始める電圧、つまり順方向電圧降下 V_F である。初期化電圧信号 V_{INI} は、例えば、1Vに設定することができる。また、基準電位 V_{SS} を上述のように-4Vとして、リセット電位 V_{RS} は例えば、-3Vに設定することができる。

【0034】

オフセットキャンセル動作は、駆動TFT92のしきい値電圧 V_{th} のばらつきを補償する動作である。具体的には、オフセットキャンセル動作では、制御信号RGをLレベルとしてリセットスイッチ64をオフとし、制御信号SG、BGをHレベルとして書き込みスイッチ96及び点灯スイッチ94をオンとし、また各映像信号線72には初期化電圧信号 V_{INI} を印加する。駆動TFT92のゲート電位は V_{INI} に対応する電位に固定される。また、点灯スイッチ94がオン状態であるので、駆動電源PVDDから駆動TFT92に電流が流れ込み、駆動TFT92のソース電位はリセット期間 P_{RS} に書き込まれた電位 V_{RS} から上昇する。そして、ソース電位がゲート電位より V_{th} だけ低い電位 $(V_{INI} - V_{th})$ に達すると駆動TFT92は非導通状態となり、ソース電位は $(V_{INI} - V_{th})$ に固定され、キャパシタ98の端子間電圧は V_{th} に応じた電圧に設定される。この状態を基準として、映像信号セット動作にてキャパシタ98に V_{SIG} に応じた電圧を書き込むことで、発光動作にて駆動TFT92に流れる電流から画素間における V_{th} のばらつきによる影響がキャンセルされる。

【0035】

映像信号セット動作は映像電圧信号 V_{SIG} を画素に書き込む。具体的には、キャパシタ98を V_{SIG} に応じて充電する。映像信号セット期間 P_{WT} では、オフセットキャンセル期間 P_{OC} から引き続いて制御信号RGはLレベル、制御信号BGはHレベルに維持されている。オフセットキャンセル動作の終了後、書き込みスイッチ96を一旦オフし、各映像信号線72に電圧信号 V_{SIG} を供給する。この状態にて、制御信号SGをHレベルとして書き込みスイッチ96をオンとすることで、駆動TFT92のゲート電位が V_{INI} に応じた電位から V_{SIG} に応じた電位に上昇する。

10

20

30

40

50

【 0 0 3 6 】

書き込みスイッチ 9 6 をオフして映像信号セット動作が終了すると、発光期間 P_{EM} を開始することが可能となり、当該発光期間 P_{EM} では $OLE D 9 0$ は V_{SIG} に応じた強度で発光する。すなわち、映像信号セット動作にて導通状態となった駆動 $TFT 9 2$ は、書き込みスイッチ 9 6 がオフしてもキャパシタ 9 8 に保持された電圧により導通状態に保たれ、電圧信号 V_{SIG} に応じた駆動電流を $OLE D 9 0$ に供給し、 $OLE D 9 0$ は V_{SIG} に応じた輝度で発光する。

【 0 0 3 7 】

各画素行は上述の書き込み動作（リセット動作、オフセットキャンセル動作、映像信号セット動作）、及び発光動作を 1 フレーム周期で繰り返す。

10

【 0 0 3 8 】

書き込み動作及び発光動作は画素行ごとに順次行われ、画素行は例えば、映像信号の 1 水平走査期間（1 H）を周期として順次選択される。図 4 に示す動作では、映像線駆動回路 5 4 は水平走査期間ごとに映像信号線 7 2 に V_{INI} を印加する期間（ V_{INI} 期間）と V_{SIG} を印加する期間（ V_{SIG} 期間）とを設け、例えば、m 番目の水平走査期間における V_{SIG} 期間では第 m 行に対応した V_{SIG} を出力する。そして、第 m 行の映像信号セット期間 P_{WT} は m 番目の水平走査期間内の V_{SIG} 期間に設定され、オフセットキャンセル期間 P_{OC} は直前の V_{INI} 期間に、また、リセット期間 P_{RS} は 1 H 前の V_{INI} 期間に設けることができる。

【 0 0 3 9 】

20

さて、各画素行の $OLE D 9 0$ の発光期間 P_{EM} は、上述した映像信号セット動作の終了から次のフレームの画像の当該画素行の書き込み動作の開始までの期間内に設定され、ここでは当該期間を発光可能期間 P_{EM0} と呼ぶ。本実施形態の有機 EL 表示装置 3 0 は黒画面挿入動作として、通常、発光期間とされる発光可能期間 P_{EM0} の一部にて点灯スイッチ 9 4 を制御して、駆動電源 $PVDD$ と、導通状態に保持されている駆動 $TFT 9 2$ との間を遮断することで、 $OLE D 9 0$ に供給される駆動電流を強制的に停止する非発光期間 P_{BL} を設ける。これにより、上述した動画ぼやけによる表示品質の低下を抑制する。

【 0 0 4 0 】

30

よって、発光期間 P_{EM} は発光可能期間 P_{EM0} のうち非発光期間 P_{BL} を除いた期間とすることができる。なお、黒画面挿入による動画表示品質の低下抑制の効果は、或るフレームの画像で生じた網膜残像をキャンセルすることによるものであることから、非発光期間 P_{BL} は発光可能期間 P_{EM0} の先頭又はその近傍、若しくは末尾又はその近傍に設定することが好適である。例えば、図 4 に示す例では、通常、少なくとも数 100 以上の水平走査期間からなる 1 フレーム期間のうちの大半を占める発光可能期間 P_{EM0} 内のほぼ先頭である 3 番目と 4 番目の水平走査期間を非発光期間 P_{BL} として設定している。なお、 P_{BL} の長さは基本的には発光可能期間 P_{EM0} に比べて極めて短く設定できるので、黒画面挿入が画像の明るさへ与える影響は少ない。

【 0 0 4 1 】

40

上述のように非発光期間 P_{BL} では点灯スイッチ 9 4 が駆動電源 $PVDD$ と $OLE D 9 0$ との間を遮断する。具体的には、走査線駆動回路 5 2 は制御信号 BG を L レベルとし、点灯スイッチ 9 4 をオフする。さらに、この非発光期間 P_{BL} にて走査線駆動回路 5 2 はリセットスイッチ 6 4 を制御して非発光期間 P_{BL} を通じてリセット線 7 8 をリセット電位 V_{RS} に設定する。すなわち、本実施形態では、リセットスイッチ 6 4 と点灯スイッチ 9 4 とが排他的にオンし、点灯スイッチ 9 4 がオフする非発光期間 P_{BL} にて制御信号 RG が H レベルとされ、リセットスイッチ 6 4 がオンし、リセット電源 $PVRS$ をリセット線 7 8 に接続する。これにより、リセット線 7 8 と他の配線との間に高抵抗ショート等があった場合でも、駆動 $TFT 9 2$ のドレインはリセット電位 V_{RS} に応じた電位に維持される。換言すれば、ショートによる電流はリセット線 7 8 からリセットスイッチ 6 4 を介してリセット電源 $PVRS$ 側に流れ、 $OLE D 9 0$ には流れないので、リセット線 7 8 に

50

共通に接続された画素が当該電流で発光して表示画面上に横線欠け、横スジなどを生じる現象が防止される。

【 0 0 4 2 】

[第 2 の実施形態]

以下、上述した第 1 の実施形態と同一の機能を有する構成には同一の符号を付して説明を省略し、第 2 の実施形態の有機 E L 表示装置について第 1 の実施形態との相違点を中心に説明する。

【 0 0 4 3 】

第 1 の実施形態に基づいて説明した本発明は、図 3 に示した構成以外の画素回路にも適用でき、第 2 の実施形態は図 3 とは異なる画素回路を用いた有機 E L 表示装置 3 0 である。図 5 が第 2 の実施形態における画素 5 0 の概略の等価回路図である。

10

【 0 0 4 4 】

図 5 に示す画素回路は、映像電圧信号 V_{SIG} と初期化電圧信号 V_{INI} とを別系統で供給する点が図 3 に示す画素回路と異なる。具体的には、各画素 5 0 には初期化信号線 1 1 0 が配線され、また初期化スイッチ 1 1 2 が設けられる。初期化信号線 1 1 0 の電位は V_{INI} に固定され、映像信号線 7 2 には V_{SIG} のみを 1 H ごとに切り替えて供給することができる。初期化スイッチ 1 1 2 は他のスイッチと同様、n 型 T F T で構成できる。

【 0 0 4 5 】

初期化スイッチ 1 1 2 の一方の電流端子は駆動 T F T 9 2 のゲートに接続され、他方電流端子は初期化信号線 1 1 0 に接続される。初期化スイッチ 1 1 2 はゲート電極に走査線駆動回路 5 2 から制御信号 I G を印加され、駆動 T F T 9 2 のゲート電極と初期化信号線 1 1 0 との間の接続 / 切断を切り替える。なお、制御信号 I G を供給する初期化制御線 1 1 4 は画素行ごとに設けられ、各画素行の初期化スイッチ 1 1 2 を共通に制御する。

20

【 0 0 4 6 】

本実施形態は有機 E L 表示装置 3 0 は第 1 の実施形態の図 2 とほぼ同様の構成であるが、さらに走査線駆動回路 5 2 から各画素行に初期化制御線 1 1 4 が延びる。走査線駆動回路 5 2 は初期化制御線 1 1 4 に制御信号 I G を供給する。

【 0 0 4 7 】

図 6 は本実施形態の有機 E L 表示装置 3 0 の駆動方法を説明する概略のタイミング図である。図 6 には図 4 と同様、或る画素行での画素値の書き込み動作及び発光動作での各種信号の変化が示されている。各種信号として、図 4 に示したものの以外に制御信号 I G が示されている。

30

【 0 0 4 8 】

第 1 の実施形態と同様、各画素 5 0 は書き込み動作で映像電圧信号 V_{SIG} を書き込まれ、その後、当該 V_{SIG} に応じた強度で O L E D 9 0 を発光させる発光動作が行われる。

【 0 0 4 9 】

書き込み動作のうちリセット動作、オフセットキャンセル動作では第 1 の実施形態と同様、画素 5 0 に V_{INI} が印加される。具体的にはリセット期間 P_{RS} 及びオフセットキャンセル期間 P_{OC} には書き込みスイッチ 9 6 をオフし、かつ初期化スイッチ 1 1 2 をオンする。一方、映像信号セット動作 (期間 P_{WT}) では、初期化スイッチ 1 1 2 をオフし、かつ書き込みスイッチ 9 6 をオンし、これにより画素 5 0 に V_{SIG} が書き込まれる。

40

【 0 0 5 0 】

書き込みスイッチ 9 6 をオフして映像信号セット動作が終了すると、発光可能期間 P_{EM0} となる。有機 E L 表示装置 3 0 は発光可能期間 P_{EM0} に発光期間 P_{EM} の他、非発光期間 P_{BL} を設け、これにより黒画面挿入を行う。第 1 の実施形態と同様、発光期間 P_{EM} には点灯スイッチ 9 4 がオンされ、リセットスイッチ 6 4 がオフされ、また非発光期間 P_{BL} には点灯スイッチ 9 4 がオフされ、リセットスイッチ 6 4 がオンされる。なお、映像信号セット期間 P_{WT} にて L レベルとされた制御信号 I G は、発光可能期間 P_{EM0} に入っても当該状態に維持される。

50

【0051】

本実施形態も第1の実施形態と同様、非発光期間 P_{BL} にて制御信号 R_G がHレベルとされ、リセットスイッチ64がオンし、リセット電源 P_{VRS} をリセット線78に接続する。これにより、リセット線78と他の配線との間に高抵抗ショート等があった場合でも、駆動 TFT_{92} のドレインはリセット電位 V_{RS} に応じた電位に維持され、 $OLED_{90}$ の発光が防止される。よって、リセット線78に共通に接続された画素がショートに起因して発光して表示画面上に横線欠け、横スジなどを生じる現象が防止される。

【0052】

上記各実施形態では、画素行ごとにリセット線78とリセットスイッチ64とが設けられる構成を説明した。すなわち、当該画素行を構成する複数の画素がリセット線78とリセットスイッチ64を共有する。ここで、各画素行を複数区間に区切り、区間ごとにリセット線78とリセットスイッチ64を共有する構成とすることもできる。

【0053】

また、複数の画素行でリセットスイッチ64を共有する構成とすることもできる。当該構成では複数の画素行それぞれにリセット線78が設けられ、それら複数本のリセット線78とリセット電源 P_{VRS} との接続を共通のリセットスイッチ64で切り替える。

【0054】

また、例えば、隣接する2つの画素行など、比較的少数の画素行であれば、1本のリセット線78を共用するレイアウトも可能である。具体的には、リセット線78を1本の行方向に延在する幹線部分と、当該幹線部分から各列位置にて列方向に延びる支線部分とで構成する。

【0055】

上述の各実施形態では、駆動 TFT_{92} はnチャネル型トランジスタとしたが、pチャネル型トランジスタとすることもできる。また、点灯スイッチ94、リセットスイッチ64、書き込みスイッチ96、初期化スイッチ112もnチャネル型トランジスタに代えてpチャネル型トランジスタとすることができる。

【0056】

また、 $OLED_{90}$ のダイオード極性を図3、図5に示す向きとは逆にすることもできる。この場合、発光動作時に $OLED_{90}$ に順方向電流が供給されるように、電源線76に駆動電源から供給する駆動電位は、電源線74に基準電源 P_{VSS} から供給する基準電位 V_{SS} よりも低い電位とされる。リセット電位 V_{RS} は、リセット動作により $OLED_{90}$ に印加される電圧($V_{SS} - V_{RS}$)が $OLED_{90}$ の発光しきい値電圧(順方向電圧降下 V_F)以下となるように設定される。

【0057】

例えば、画素50を、 $OLED_{90}$ の向きを図3、図5とは逆にし、電源線76に駆動電源から供給する駆動電位を基準電位 V_{SS} に対して低い電位とし、さらに駆動 TFT_{92} をp型 TFT とした構成とすることができる。

【0058】

以上実施形態を用いて説明した本発明によれば、画素回路の素子数を低減し、高精細化を図ると共に、黒画面の挿入時に横線欠けや横スジなどが発生しない、表示品位の優れた動画表示が可能となる。

【0059】

上記実施形態においては、表示装置の開示例として有機EL表示装置の場合を例示したが、ホールド応答型ディスプレイであって、図7の画素回路について述べた問題と同様の問題を有する画素回路を備えた他の種類の表示装置にも本発明を適用可能である。

【0060】

本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、前述の実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったもの、又は、動作の追加、省略若しくは条件変更を行ったものも、本発明の

10

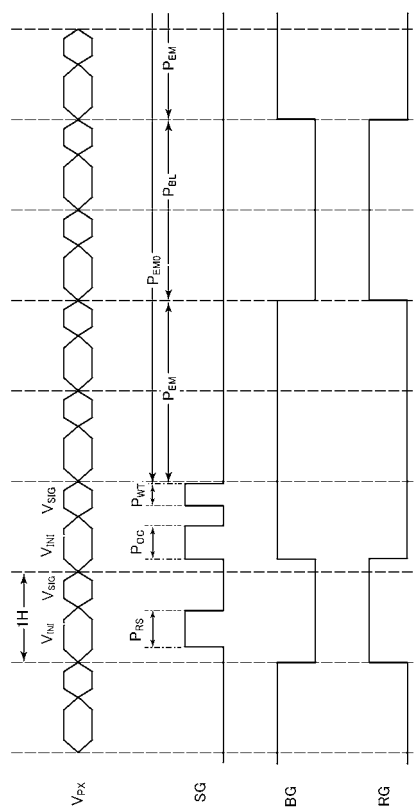
20

30

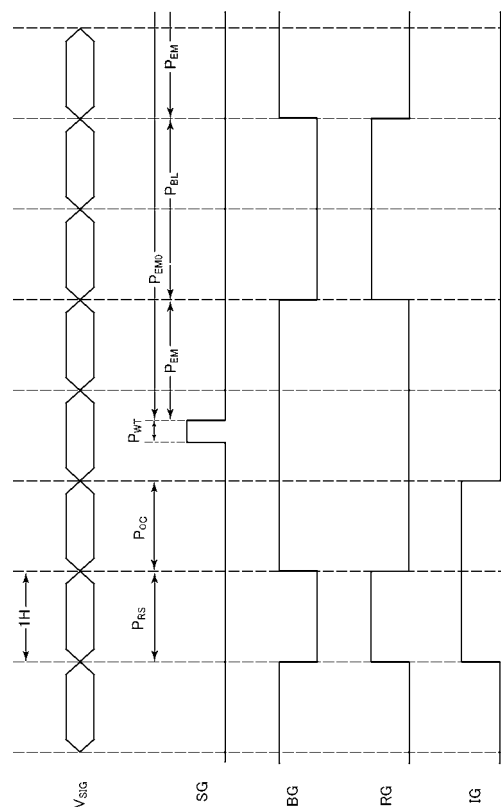
40

50

【圖 4】



【 图 6 】



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 2 4 Z
G 0 9 G	3/20	6 2 4 B
H 0 5 B	33/14	A
G 0 9 G	3/20	6 6 0 V

(72)発明者 渋谷 誠

東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

(72)発明者 田畠 弘志

東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

(72)発明者 梅田 豊

東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

F ターム(参考) 3K107 AA01 BB01 CC33 CC35 EE03 HH02 HH05

5C080 AA06 BB05 DD02 DD05 DD10 DD22 DD25 EE29 FF11 FF12

HH10 JJ02 JJ03 JJ04 JJ06

5C380 AA01 AB06 AB18 AB24 BA10 BA13 BA38 BA39 BB02 BB08

BC15 BE05 CA04 CA12 CA32 CA54 CB01 CB17 CB31 CC04

CC07 CC26 CC27 CC33 CC39 CC64 CC65 CD014 CD015 CE04

CE19 CF07 DA02 DA06 DA32 DA35 DA47 HA02 HA03 HA05

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2016057359A	公开(公告)日	2016-04-21
申请号	JP2014181532	申请日	2014-09-05
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	中山弘 木村裕之 森田哲生 渋沢誠 田畠弘志 梅田豊		
发明人	中山 弘 木村 裕之 森田 哲生 渋沢 誠 田畠 弘志 梅田 豊		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.611.D G09G3/20.642.A G09G3/20.641.R G09G3/20.624.Z G09G3/20.624.B H05B33/14.A G09G3/20.660.V G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD05 5C080/DD10 5C080/DD22 5C080/DD25 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB24 5C380/BA10 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BC15 5C380/BE05 5C380/CA04 5C380/CA12 5C380/CA32 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC64 5C380/CC65 5C380/CD014 5C380/CD015 5C380/CE04 5C380/CE19 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA47 5C380/HA02 5C380/HA03 5C380/HA05		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2014-181532 (P2014-181532) (22) 出願日 平成26年9月5日 (2014. 9. 5)	(71) 出願人 502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号 (74) 代理人 110000154 特許業務法人はるか国際特許事務所 (72) 発明者 中山 弘 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 (72) 発明者 木村 裕之 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 (72) 発明者 森田 哲生 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
解决的问题：当在保持响应型显示设备中插入黑屏时，防止出现水平条纹。显示单元包括OLED 90，连接至OLED 90的源极和连接至驱动电源的漏极，以及用于在发光期间根据存储电压提供驱动电流的驱动TFT 92以及驱动电源与漏极之间的连接。点亮开关94，用于在连接至漏极的复位线78之间进行切换，该复位线78在来自复位电源的写入期间内被施加用于在存储电压的复位操作中使用的复位电势，并且在向复位线78施加和不施加复位电势之间进行切换。还有一个复位开关64。在一部分发光时段期间，提供非发光时段，在该非发光时段中，控制点亮开关94在驱动电源和驱动TFT 92之间截止，并且强制停止驱动电流，同时将复位开关64控制为不点亮。在发光期间中，复位线78被设定为复位电位。[选择图]图3	最終頁に続く	