

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-89505

(P2013-89505A)

(43) 公開日 平成25年5月13日(2013.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/26 (2006.01)	H05B 33/26 Z	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C094
G09F 9/30 (2006.01)	H05B 33/22 C	
H01L 27/32 (2006.01)	G09F 9/30 338	
	G09F 9/30 365Z	
審査請求 未請求 請求項の数 8 O L (全 14 頁)		

(21) 出願番号 特願2011-229995 (P2011-229995)
(22) 出願日 平成23年10月19日 (2011.10.19)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 110001357
特許業務法人つばき国際特許事務所
(72) 発明者 三浦 究
東京都港区港南1丁目7番1号 ソニー株式会社社内
Fターム(参考) 3K107 AA01 BB01 CC33 CC45 DD25
DD71 EE03 FF15 GG04
5C094 AA25 BA03 BA27 DA13 EA04
FA02 FA03 HA08

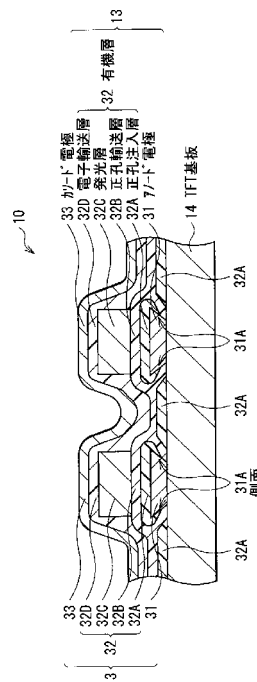
(54) 【発明の名称】 表示パネル、表示装置および電子機器

(57) 【要約】

【課題】隣接する画素間のリーク電流を低減することの可能な表示パネル、表示装置および電子機器を提供する。

【解決手段】表示パネルは、表示領域に複数の画素を備えている。各画素は、有機EL素子と、有機EL素子を駆動する画素回路とを有している。有機EL素子は、アノード電極と、カソード電極と、アノード電極とカソード電極との間に設けられた有機層とを有している。アノード電極の側面は、当該アノード電極のカソード電極側の断面積が当該アノード電極のカソード電極とは反対側の断面積よりも大きくなるような構造となっている。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

表示領域に複数の画素を備え、
各画素は、有機 E L 素子と、前記有機 E L 素子を駆動する画素回路とを有し、
前記有機 E L 素子は、アノード電極と、カソード電極と、前記アノード電極と前記カソード電極との間に設けられた有機層とを有し、
前記アノード電極の側面は、当該アノード電極の前記カソード電極側の断面積が当該アノード電極の前記カソード電極とは反対側の断面積よりも大きくなるような構造となっている

表示パネル。

10

【請求項 2】

前記有機層は、正孔注入効率を高める正孔注入層と、正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合により発光する発光層と、電子輸送効率を高める電子輸送層とを有し、

前記有機層のうち少なくとも正孔注入層は、前記表示領域内の全ての画素を含む領域全体に渡って形成されており、かつ、各アノード電極の側面に対応する箇所に高抵抗構造を有する

請求項 1 に記載の表示パネル。

【請求項 3】

前記高抵抗構造は、段切れ構造、または局所的な薄膜構造である

20

請求項 2 に記載の表示パネル。

【請求項 4】

前記アノード電極の側面は、逆テーパーになっている

請求項 1 に記載の表示パネル。

【請求項 5】

前記アノード電極の側面は、ひさし状になっている

請求項 1 に記載の表示パネル。

【請求項 6】

前記有機層は、蒸着によって形成されたものである

請求項 1 に記載の表示パネル。

30

【請求項 7】

表示領域に複数の画素を備えた表示パネルと、各画素を駆動する駆動回路とを備え、
各画素は、有機 E L 素子と、前記有機 E L 素子を駆動する画素回路とを有し、
前記有機 E L 素子は、アノード電極と、カソード電極と、前記アノード電極と前記カソード電極との間に設けられた有機層とを有し、
前記アノード電極の側面は、当該アノード電極の前記カソード電極側の断面積が当該アノード電極の前記カソード電極とは反対側の断面積よりも大きくなるような構造となっている

表示装置。

【請求項 8】

表示装置を備え、
前記表示装置は、表示領域に複数の画素を備えた表示パネルと、各画素を駆動する駆動回路とを有し、

40

各画素は、有機 E L 素子と、前記有機 E L 素子を駆動する画素回路とを有し、

前記有機 E L 素子は、アノード電極と、カソード電極と、前記アノード電極と前記カソード電極との間に設けられた有機層とを有し、

前記アノード電極の側面は、当該アノード電極の前記カソード電極側の断面積が当該アノード電極の前記カソード電極とは反対側の断面積よりも大きくなるような構造となっている

電子機器。

50

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、有機EL(Electro Luminescence)素子を画素ごとに備えた表示パネルおよびそれを備えた表示装置に関する。また、本技術は、上記の表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機EL素子を用いた表示装置が開発され、商品化が進められている。有機EL素子は、液晶素子などと異なり自発光素子である。そのため、有機EL素子を用いた表示装置（有機EL表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて、薄型化、高輝度化することができる。特に、駆動方式としてアクティブマトリクス方式を用いた場合には、各画素をホールド点灯させることができ、低消費電力化することもできる。そのため、有機EL表示装置は、次世代のフラットパネルディスプレイの主流になると期待されている。

10

【0003】

アクティブマトリクス型の表示装置においては、画素ごとに配した有機EL素子に流れる電流が、有機EL素子ごとに設けた画素回路内に設けた薄膜トランジスタ（TFT；Thin Film Transistor）によって制御される（特許文献1参照）。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-33193号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

有機EL素子は、アノード電極とカソード電極との間に有機化合物からなる薄膜が設けられている電子素子である。有機EL素子では、アノード電極とカソード電極それぞれからホールと電子が注入され、これらホールと電子との再結合によって発生するエネルギーが光として取り出される。そのため、正孔の注入特性を向上させることで、駆動電圧の低減や、発光効率の向上等がもたらされる。

30

【0006】

有機EL素子が低分子蒸着型である場合に、有機EL素子をアレイ状に並べるときには、発光層は、蒸着マスクを用いて画素毎に選択的に蒸着することにより形成される。しかし、有機層のうち発光層以外の層は、生産性の向上や、生産コストの削減を考えると、各画素で共通に形成されることが望ましい。とはいえ、正孔注入層（HIL）を各画素で共通化すると、正孔注入層の抵抗率の低さにより、隣接する画素間でリーク電流が生じ、所望の画素以外の画素までもが発光する。その結果、混色が発生し、画質が低下してしまうという問題があった。

40

【0007】

本技術はかかる問題点に鑑みてなされたものであり、その目的は、隣接する画素間のリーク電流を低減することの可能な表示パネル、表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【0008】

本技術による表示パネルは、表示領域に複数の画素を備えている。各画素は、有機EL素子と、有機EL素子を駆動する画素回路とを有している。有機EL素子は、アノード電極と、カソード電極と、アノード電極とカソード電極との間に設けられた有機層とを有し

50

ている。アノード電極の側面は、当該アノード電極のカソード電極側の断面積が当該アノード電極のカソード電極とは反対側の断面積よりも大きくなるような構造となっている。

【0009】

本技術による表示装置は、上記の表示パネルと、各画素を駆動する駆動回路とを備えている。本技術による電子機器は、上記の表示装置を備えている。

【0010】

本技術による表示パネル、表示装置および電子機器では、有機EL素子のアノード電極の側面は、当該アノード電極のカソード電極側の断面積が当該アノード電極のカソード電極とは反対側の断面積よりも大きくなるような構造となっている。これにより、例えば、正孔注入層を、表示領域内の全ての画素を含む領域に対応する領域全体に渡って積層したときに、正孔注入層のうち各アノード電極の側面に対応する箇所に高抵抗構造を形成することができる。

10

【発明の効果】

【0011】

本技術による表示パネル、表示装置および電子機器によれば、正孔注入層の製造過程で、正孔注入層のうち各アノード電極の側面に対応する箇所に高抵抗構造を形成することができるようにしたので、隣接する画素間でリーク電流が生じるのを抑制することができる。その結果、混色や画質低下を抑制することが可能となる。

【図面の簡単な説明】

【0012】

20

【図1】本技術による一実施の形態に係る表示装置の構成の一例を表す図である。

【図2】画素の構成の一例を表す図である。

【図3】有機EL素子の断面構成の一例を表す図である。

【図4】有機EL素子の断面構成の他の例を表す図である。

【図5】図1の表示パネルにおける画素間のリーク電流について説明するための図である。

【図6】比較例に係る表示パネルにおける画素間のリーク電流について説明するための図である。

【図7】図3の有機EL素子の製造過程の一例を表す断面図である。

【図8】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

30

【図9】上記実施の形態の発光装置の適用例1の外観を表す斜視図である。

【図10】(A)は適用例2の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

【図11】適用例3の外観を表す斜視図である。

【図12】適用例4の外観を表す斜視図である。

【図13】(A)は適用例5の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【発明を実施するための形態】

【0013】

40

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（表示装置）

正孔注入層がアノード電極の側面で段切れしている例

2. 適用例（電子機器）

上記実施の形態の表示装置が電子機器に適用される例

【0014】

< 1. 実施の形態 >

[構成]

50

図 1 は、本技術による一実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 10 と、表示パネル 10 を駆動する駆動回路 20 とを備えている。駆動回路 20 は、例えば、タイミング生成回路 21、映像信号処理回路 22、信号線駆動回路 23、走査線駆動回路 24、および電源線駆動回路 25 を有している。

【0015】

(表示パネル 10)

表示パネル 10 は、複数の画素 11 が表示パネル 10 の表示領域 10A 全面に渡って 2 次元配置されたものである。画素 11 は、表示パネル 10 上の画面を構成する最小単位の点に対応するものである。表示パネル 10 がカラー表示パネルである場合には、画素 11 は、例えば赤、緑または青などの単色の光を発する副画素に相当し、表示パネル 10 がモノクロ表示パネルである場合には、画素 11 は、白色光を発する画素に相当する。

10

【0016】

表示パネル 10 は、駆動回路 20 によって各画素 11 がアクティブマトリクス駆動されることにより、外部から入力された映像信号 20A に基づく画像を表示するものである。図 2 は、画素 11 の回路構成の一例を表したものである。画素 11 は、例えば、図 2 に示したように、画素回路 12 と、有機 EL 素子 13 とを有している。

【0017】

画素回路 12 は、例えば、図 2 に示したように、駆動トランジスタ Tr1、書き込みトランジスタ Tr2 および保持容量 Cs によって構成されたものであり、2Tr1C の回路構成となっている。書き込みトランジスタ Tr2 は、後述の信号線 DTL の電圧をサンプリングするとともに駆動トランジスタ Tr1 のゲートに書き込むものである。駆動トランジスタ Tr1 は、書き込みトランジスタ Tr2 によって書き込まれた電圧の大きさに応じて有機 EL 素子 13 に流れる電流を制御するものである。保持容量 Cs は、駆動トランジスタ Tr1 のゲート - ソース間に所定の電圧を保持するものである。なお、画素回路 12 は、上述の 2Tr1C の回路構成とは異なる回路構成となってもよい。

20

【0018】

駆動トランジスタ Tr1 および書き込みトランジスタ Tr2 は、例えば、n チャネル MOS 型の薄膜トランジスタ (TFET (Thin Film Transistor)) により形成されている。なお、TFET の種類は特に限定されるものではなく、例えば、逆スタガー構造 (ボトムゲート型) であってもよいし、スタガー構造 (トップゲート型) であってもよい。また、駆動トランジスタ Tr1 または書き込みトランジスタ Tr2 は、p チャネル MOS 型の TFET であってもよい。

30

【0019】

表示パネル 10 は、図 2 に示したように、行方向に延在する複数の書込線 WSL と、列方向に延在する複数の信号線 DTL と、行方向に延在する複数の電源線 DSL とを有している。各信号線 DTL と各書込線 WSL との交差点近傍には、画素 11 が設けられている。各信号線 DTL は、後述の信号線駆動回路 23 の出力端 (図示せず) と、書き込みトランジスタ Tr2 のソースまたはドレインとに接続されている。各書込線 WSL は、後述の書込線駆動回路 24 の出力端 (図示せず) と、書き込みトランジスタ Tr2 のゲートに接続されている。各電源線 DSL は、固定の電圧を出力する電源の出力端 (図示せず) と、駆動トランジスタ Tr1 のソースまたはドレインに接続されている。

40

【0020】

書き込みトランジスタ Tr2 のゲートは、書込線 WSL に接続されている。書き込みトランジスタ Tr2 のソースまたはドレインが信号線 DTL に接続され、書き込みトランジスタ Tr2 のソースおよびドレインのうち信号線 DTL に未接続の端子が駆動トランジスタ Tr1 のゲートに接続されている。駆動トランジスタ Tr1 のソースまたはドレインが電源線 DSL に接続され、駆動トランジスタ Tr1 のソースおよびドレインのうち電源線 DSL に未接続の端子が有機 EL 素子 13 のアノードに接続されている。保持容量 Cs の一端が駆動トランジスタ Tr1 のゲートに接続され、保持容量 Cs の他端が駆動トランジスタ Tr1 のソース (図 2 では有機 EL 素子 13 側の端子) に接続されている。つまり、

50

保持容量 C_s は、駆動トランジスタ T_{r1} のゲート - ソース間に挿入されている。有機 EL 素子 13 のカソードは、グラウンド線 GND に接続されている。グラウンド線 GND は、基準電位（例えばグラウンド電位）となっている外部回路（図示せず）と電氣的に接続されるものである。

【0021】

（表示パネル 10 内の構造）

次に、図 3、図 4 を参照しつつ、表示パネル 10 内の構造について説明する。図 3 は、表示パネル 10 内の有機 EL 素子 13 およびその近傍の断面構成の一例を表したものである。図 4 は、表示パネル 10 内の有機 EL 素子 13 およびその近傍の断面構成の他の例を表したものである。表示パネル 10 は、例えば、図 3、図 4 に示したように、TF T 基板 14 上に、各画素 11 に対応して設けられた複数の有機 EL 素子 13 を有している。なお、TF T 基板 14 は、画素回路 12 などの形成された基板であって、かつ、少なくとも最上面に、画素回路 12 と電氣的に接続された金属層（図示せず）を有している。有機 EL 素子 13 は、その金属層に接して形成されている。

10

【0022】

有機 EL 素子 13 は、例えば、図 3、図 4 に示したように、TF T 基板 14 側に設けられたアノード電極 31 と、アノード電極 31 上に設けられた有機層 32 と、有機層 32 上に設けられたカソード電極 33 とを有している。アノード電極 31 は、有機層 32 へ正孔を注入するものである。アノード電極 31 は、例えば、正孔注入性の良い材料で構成されており、例えば Al 系金属で構成されている。Al 系金属は、Al や Al 合金を含む概念である。有機層 32 は、有機層 32 内に流れる電流量に応じた明るさで発光するものである。有機層 32 は、例えば、アノード電極 31 側から順に、正孔注入効率を高める正孔注入層 32A と、後述の発光層 32C への正孔輸送効率を高める正孔輸送層 32B と、電子と正孔との再結合により発光する発光層 32C と、発光層 32C への電子輸送効率を高める電子輸送層 32D とを積層してなる積層構造を有している。カソード電極 33 は、有機層 32 へ電子を注入するためのものである。カソード電極 33 は、電子注入性の良い材料で構成されており、例えば、MgAg などの半透過型の金属材料で構成されている。有機 EL 素子 13 は低分子蒸着型の素子であり、有機層 32 は蒸着により形成されたものである。

20

【0023】

ところで、アノード電極 31 の側面は、当該アノード電極 31 のカソード電極 33 側の断面積が当該アノード電極 31 のカソード電極 33 とは反対側の断面積よりも大きくなるような構造となっている。アノード電極 31 の側面は、例えば、図 3 に示したように、逆テーパになっている。なお、アノード電極 31 の側面は、例えば、図 4 に示したように、ひさし状になっていてもよい。

30

【0024】

有機層 32 のうち、発光層 32C 以外の全ての層は、表示領域 10A 内の全ての画素 11 を含む領域全体に渡って形成されている。一方、発光層 32C は、有機 EL 素子 13 ごとに選択的に形成されており、例えば、アノード電極 31 と対向する領域ごとに選択的に形成されている。ここで、正孔輸送層 32B および電子輸送層 32D は、全ての画素 11 で共通化されている。ただし、正孔輸送層 32B および電子輸送層 32D では、抵抗率が正孔注入層 32A の抵抗率よりも大きく、しかも厚さが薄いため、積層面内方向の抵抗が大きくなっている。そのため、正孔輸送層 32B および電子輸送層 32D は、全ての画素 11 で共通化されているといっても、電氣的には実質的に画素 11 ごとに分離されている。

40

【0025】

一方、正孔注入層 32A は、各アノード電極 31 の側面に対応する箇所に高抵抗構造を有している。図 3 に記載の正孔注入層 32A では、高抵抗構造は、段切れ構造である。この段切れ構造は、アノード電極 31 上に、正孔注入層 32A を蒸着により形成する際に、アノード電極 31 の側面に形成された逆テーパによって形成されたものである。図 4 に記載

50

の正孔注入層 3 2 A でも、高抵抗構造は、段切れ構造である。この段切れ構造は、アノード電極 3 1 上に、正孔注入層 3 2 A を蒸着により形成する際に、アノード電極 3 1 の側面に形成されたひさし状の形状によって形成されたものである。

【 0 0 2 6 】

なお、図示しないが、上記の逆テーパや、ひさし状の形状における高さや奥行きの高さによっては、各アノード電極 3 1 の側面に対応する箇所に段切れ構造ができず、局所的な薄膜構造が形成されることもある。局所的な薄膜構造では、正孔注入層 3 2 A の厚さが、正孔注入層 3 2 A のうち、アノード電極 3 1 の側面に対応しない部位の厚さよりも薄くなっている。そのため、局所的な薄膜構造では、正孔注入層 3 2 A の抵抗率が、正孔注入層 3 2 A のうち、アノード電極 3 1 の側面に対応しない部位の抵抗率よりも高くなっている。従って、この場合には、高抵抗構造は、局所的な薄膜構造である。

10

【 0 0 2 7 】

図 5、図 6 は、画素間に流れるリーク電流を電流密度の分布で表したものであり、具体的には図中の左側の画素を発光させたときの、その画素の周囲の電流密度の分布を表したものである。図 5 は、正孔注入層 3 2 A に高抵抗構造が設けられているときの電流密度分布の一例を表したものである。図 6 は、正孔注入層 3 2 A に高抵抗構造が設けられていないときの電流密度分布の一例を表したものである。図 5、図 6 において、縦軸の電流密度は、図中の左側の画素を発光させた時に、その画素に流れる電流の密度で規格化されている。

【 0 0 2 8 】

20

図 5 では、正孔注入層 3 2 A の高抵抗構造の位置で、電流密度が不連続に変化しており、しかも急激に減少している。そのため、発光画素に隣接する画素（図 5 の右側の画素）には、発光画素からのリーク電流が到達していない。一方、図 6 では、電流密度が発光画素から遠ざかるにつれて、なだらかに減少している。そのため、発光画素からのリーク電流が、発光画素に隣接する画素（図 5 の右側の画素）にまで到達している。以上のことから、正孔注入層 3 2 A の高抵抗構造が、発光画素からのリーク電流を効果的に遮断していることがわかる。

【 0 0 2 9 】

（ 駆動回路 2 0 ）

次に、駆動回路 2 0 について簡単に説明する。駆動回路 2 0 は、上述したように、例えば、図 1 に示したように、タイミング生成回路 2 1、映像信号処理回路 2 2、信号線駆動回路 2 3、書込線駆動回路 2 4 および電源線駆動回路 2 5 を有している。タイミング生成回路 2 1 は、駆動回路 2 0 内の各回路が連動して動作するように制御するものである。タイミング生成回路 2 1 は、例えば、外部から入力された同期信号 2 0 B に応じて（同期して）、上述した各回路に対して制御信号 2 1 A を出力するようになっている。

30

【 0 0 3 0 】

映像信号処理回路 2 2 は、外部から入力されたデジタルの映像信号 2 0 A を補正すると共に、補正した後の映像信号をアナログに変換して信号線駆動回路 2 3 に出力するものである。信号線駆動回路 2 3 は、映像信号処理回路 2 2 から入力されたアナログの映像信号を、制御信号 2 1 A の入力に応じて（同期して）各信号線 D T L に出力するものである。書込線駆動回路 2 4 は、制御信号 2 1 A の入力に応じて（同期して）、複数の書込線 W S L を所定の単位ごとに順次選択するものである。電源線駆動回路 2 5 は、例えば、制御信号 2 1 A の入力に応じて（同期して）、複数の電源線 D S L を所定の単位ごとに順次選択するものである。なお、コンタクト構造 1 4 を介して接続端子 1 5 から出力される電流量は、電源線駆動回路 2 5 による電源線 D S L の選択の態様に応じて変化する。

40

【 0 0 3 1 】

[有機 E L 素子 1 3 の製造方法]

次に、図 7 を参照しつつ、有機 E L 素子 1 3 の製造方法について説明する。図 7 は、有機 E L 素子 1 3 の製造過程の一例を表したものである。

【 0 0 3 2 】

50

まず、TFT基板14上にアノード電極31を形成する(図7(A))。例えば、TFT基板14上に、すり鉢状の開口を有するマスク層を形成し、その開口に、所定の金属材料を充填する。その後、マスク層を除去する。これにより、側面が逆テーパとなったアノード電極31を形成することができる。

【0033】

なお、正孔注入層32Aの側面をひさし状にする場合には、例えば、以下のようにする。まず、TFT基板14上に、開口を有する第1マスク層を形成し、その開口に、所定の金属材料を充填する。次に、先の開口よりも大きな径の開口を有する第2マスク層を形成する。このとき、充填した金属材料の上面全体が開口の底面に露出するように第2マスク層を形成する。その後、第2マスク層の開口に、所定の金属材料を充填する。その後、第1マスク層および第2マスク層を除去する。これにより、側面がひさし状となったアノード電極31を形成することができる。

【0034】

次に、例えば蒸着法を用いて、アノード電極31を含む所定の領域(表示領域10A内の全ての画素11を含む領域に対応する領域)全体に渡って、正孔注入層32Aを構成する材料を積層する。これにより、図7(B)に示したように、アノード電極31の側面に対応して高抵抗構造(段切れ構造)が形成された正孔注入層32Aを形成することができる。その後は、例えば蒸着法を用いて、正孔輸送層32B、有機層32Cおよび電子輸送層32Dを順次形成する。例えば、正孔注入層32Aの上面上に正孔輸送層32Bを形成し、正孔輸送層32Bの上面のうちアノード電極31の直上に有機層32Cを形成し、有機層32Cを含む所定の領域全体に渡って、電子輸送層32Dを形成する。このようにして、TFT基板14上に有機層13を形成する。その後、有機層13を含む表面全体にカソード電極33を形成する。このようにして、TFT基板14上に有機EL素子13を形成することができる。

【0035】

[効果]

次に、本実施の形態の表示装置1の効果について説明する。

【0036】

有機EL素子が低分子蒸着型である場合に、有機EL素子をアレイ状に並べるときには、発光層は、通常、蒸着マスクを用いて画素毎に選択的に蒸着することにより形成される。しかし、有機層のうち発光層以外の層は、生産性の向上や、生産コストの削減を考えると、各画素で共通に形成されることが望ましい。とはいえ、正孔注入層を各画素で共通化すると、正孔注入層の抵抗率の低さにより、隣接する画素間でリーク電流が生じる。例えば、図6に示したように、発光画素からのリーク電流が、発光画素に隣接する画素(図6の右側の画素)に到達する。そのため、所望の画素以外の画素までもが発光するので、混色が発生し、画質が低下してしまう。

【0037】

一方、本実施の形態では、アノード電極31の側面31Aが、当該アノード電極31のカソード電極33側の断面積が当該アノード電極31のカソード電極33とは反対側の断面積よりも大きくなるような構造となっている。具体的には、アノード電極31の側面31Aが、逆テーパ、またはひさし状となっている。これにより、例えば、正孔注入層32Aを、表示領域10A内の全ての画素11を含む領域に対応する領域全体に渡って積層したときに、正孔注入層32Aのうち各アノード電極31の側面31Aに対応する箇所に高抵抗構造が形成される。その結果、例えば、図5に示したように、正孔注入層32Aの高抵抗構造の位置で、電流密度が急激に減少するので、隣接する画素11間にリーク電流が生じるのを抑制することができる。その結果、混色や画質低下を抑制することが可能となる。

【0038】

< 2. 適用例 >

以下、上記各実施の形態およびそれらの変形例で説明した表示装置1の適用例について

説明する。上述の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、映像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【 0 0 3 9 】

(モジュール)

上述の表示装置 1 は、例えば、図 8 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 4 の一辺に、封止用基板 3 5 から露出した領域 2 1 0 を設け、この露出した領域 2 1 0 に、駆動回路 2 0 の配線を延長して外部接続端子 (図示せず) を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 (F P C ; Flexible Printed Circuit) 2 2 0 が設けられていてもよい。

10

【 0 0 4 0 】

(適用例 1)

図 9 は、上述の表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、上述の表示装置 1 により構成されている。

【 0 0 4 1 】

(適用例 2)

図 1 0 は、上述の表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0 、表示部 4 2 0 、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上述の表示装置 1 により構成されている。

20

【 0 0 4 2 】

(適用例 3)

図 1 1 は、上述の表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0 , 文字等の入力操作のためのキーボード 5 2 0 および映像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上述の表示装置 1 により構成されている。

30

【 0 0 4 3 】

(適用例 4)

図 1 2 は、上述の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0 , この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0 , 撮影時のスタート / ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上述の表示装置 1 により構成されている。

【 0 0 4 4 】

(適用例 5)

図 1 3 は、上述の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部 (ヒンジ部) 7 3 0 で連結したものであり、ディスプレイ 7 4 0 , サブディスプレイ 7 5 0 , ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上述の表示装置 1 により構成されている。

40

【 0 0 4 5 】

以上、実施の形態、変形例および適用例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【 0 0 4 6 】

例えば、上記実施の形態等では、上述の表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 2 の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路

50

１２に追加してもよい。その場合、画素回路１２の変更に応じて、上述した信号線駆動回路２３、書込線駆動回路２４、電源線駆動回路２５のほかに、必要な駆動回路を追加してもよい。

【００４７】

また、例えば、上記実施の形態等では、映像信号処理回路２２、信号線駆動回路２３、書込線駆動回路２４、電源線駆動回路２５の駆動をタイミング生成回路２１が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、映像信号処理回路２２、信号線駆動回路２３、書込線駆動回路２４、電源線駆動回路２５の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

10

【００４８】

また、例えば、本技術は以下のような構成を取ることができる。

(１)

表示領域に複数の画素を備え、

各画素は、有機ＥＬ素子と、前記有機ＥＬ素子を駆動する画素回路とを有し、

前記有機ＥＬ素子は、アノード電極と、カソード電極と、前記アノード電極と前記カソード電極との間に設けられた有機層とを有し、

前記アノード電極の側面は、当該アノード電極の前記カソード電極側の断面積が当該アノード電極の前記カソード電極とは反対側の断面積よりも大きくなるような構造となっている

20

表示パネル。

(２)

前記有機層は、正孔注入効率を高める正孔注入層と、正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合により発光する発光層と、電子輸送効率を高める電子輸送層とを有し、

前記有機層のうち少なくとも正孔注入層は、前記表示領域内の全ての画素を含む領域全体に渡って形成されており、かつ、各アノード電極の側面に対応する箇所に高抵抗構造を有する

(１)に記載の表示パネル。

(３)

前記高抵抗構造は、段切れ構造、または局所的な薄膜構造である

(２)に記載の表示パネル。

(４)

前記アノード電極の側面は、逆テーパーになっている

(１)ないし(３)のいずれか１つに記載の表示パネル。

(５)

前記アノード電極の側面は、ひさし状になっている

(１)ないし(３)のいずれか１つに記載の表示パネル。

(６)

前記有機層は、蒸着によって形成されたものである

(１)ないし(５)のいずれか１つに記載の表示パネル。

(７)

表示領域に複数の画素を備えた表示パネルと、各画素を駆動する駆動回路とを備え、

各画素は、有機ＥＬ素子と、前記有機ＥＬ素子を駆動する画素回路とを有し、

前記有機ＥＬ素子は、アノード電極と、カソード電極と、前記アノード電極と前記カソード電極との間に設けられた有機層とを有し、

前記アノード電極の側面は、当該アノード電極の前記カソード電極側の断面積が当該アノード電極の前記カソード電極とは反対側の断面積よりも大きくなるような構造となっている

表示装置。

50

(8)

表示装置を備え、

前記表示装置は、表示領域に複数の画素を備えた表示パネルと、各画素を駆動する駆動回路とを有し、

各画素は、有機 E L 素子と、前記有機 E L 素子を駆動する画素回路とを有し、

前記有機 E L 素子は、アノード電極と、カソード電極と、前記アノード電極と前記カソード電極との間に設けられた有機層とを有し、

前記アノード電極の側面は、当該アノード電極の前記カソード電極側の断面積が当該アノード電極の前記カソード電極とは反対側の断面積よりも大きくなるような構造となっている

10

電子機器。

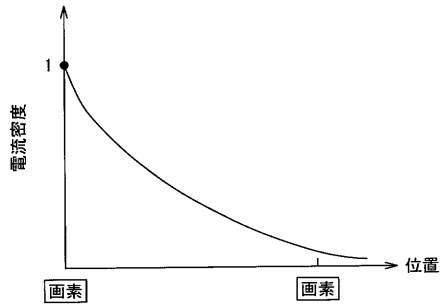
【符号の説明】

【 0 0 4 9 】

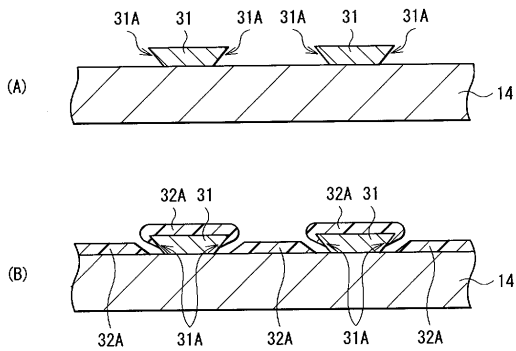
1 ... 表示装置、1 0 ... 表示パネル、1 0 A ... 表示領域、1 1 ... 画素、1 2 ... 画素回路、1 3 ... 有機 E L 素子、1 4 ... T F T 基板、2 0 ... 駆動回路、2 0 A ... 映像信号、2 0 B ... 同期信号、2 1 ... タイミング生成回路、2 1 A ... 制御信号、2 2 ... 映像信号処理回路、2 3 ... 信号線駆動回路、2 4 ... 書込線駆動回路、2 5 ... 電源線駆動回路、3 1 ... アノード電極、3 1 A ... 側面、3 2 ... 有機層、3 2 A ... 正孔注入層、3 2 B ... 正孔輸送層、3 2 C ... 発光層、3 2 D ... 電子輸送層、3 3 ... カソード電極、3 4 ... 基板、3 5 ... 封止用基板、2 1 0 ... 領域、2 2 0 ... F P C、3 0 0 ... 映像表示画面部、3 1 0 ... フロントパネル、3 2 0 ... フィルターガラス、4 1 0 ... 発光部、4 2 0 , 5 3 0 , 6 4 0 ... 表示部、4 3 0 ... メニュースイッチ、4 4 0 ... シャッターボタン、5 1 0 ... 本体、5 2 0 ... キーボード、6 1 0 ... 本体部、6 2 0 ... レンズ、6 3 0 ... スタート/ストップスイッチ、7 1 0 ... 上側筐体、7 2 0 ... 下側筐体、7 3 0 ... 連結部、7 4 0 ... ディスプレイ、7 5 0 ... サブディスプレイ、7 6 0 ... ピクチャーライト、7 7 0 ... カメラ、C s ... 保持容量、D T L ... 信号線、G N D ... グラウンド線、D S L ... 電源線、T r 1 ... 駆動トランジスタ、T r 2 ... 書き込みトランジスタ、W S L ... 書込線。

20

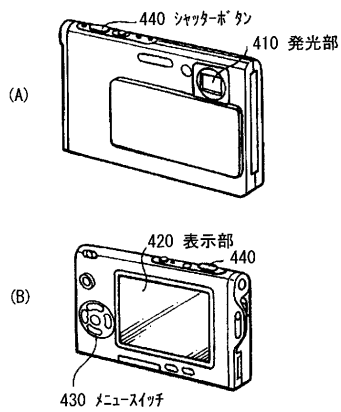
【図 6】



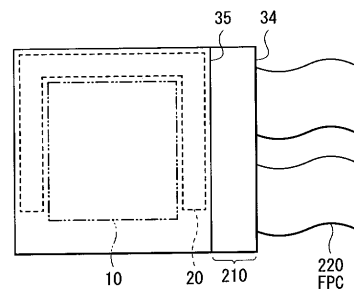
【図 7】



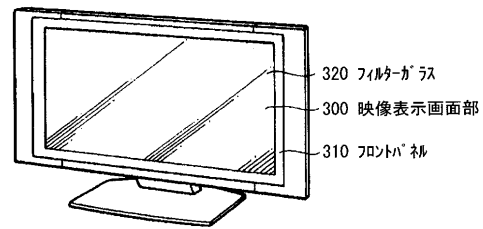
【図 10】



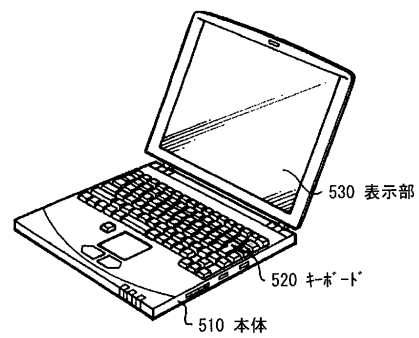
【図 8】



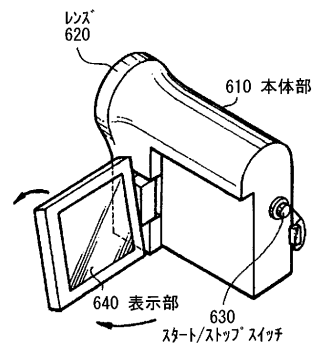
【図 9】



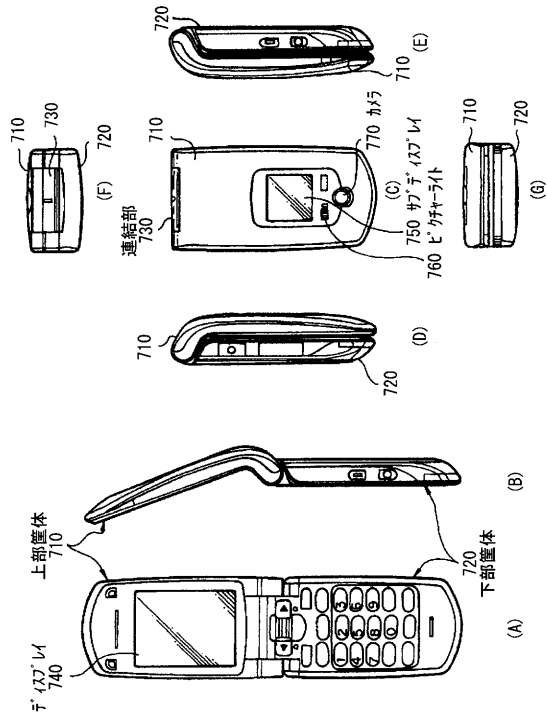
【図 11】



【図 12】



【図 13】



专利名称(译)	显示面板，显示设备和电子设备		
公开(公告)号	JP2013089505A	公开(公告)日	2013-05-13
申请号	JP2011229995	申请日	2011-10-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	三浦 究		
发明人	三浦 究		
IPC分类号	H05B33/26 H01L51/50 G09F9/30 H01L27/32		
CPC分类号	H01L51/5209 H01L27/3244 H01L51/5056 H01L51/5088 H01L2251/53		
FI分类号	H05B33/26.Z H05B33/14.A H05B33/22.C G09F9/30.338 G09F9/30.365.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/DD25 3K107/DD71 3K107/EE03 3K107/FF15 3K107/GG04 5C094/AA25 5C094/BA03 5C094/BA27 5C094/DA13 5C094/EA04 5C094/FA02 5C094/FA03 5C094/HA08		
其他公开文献	JP5919723B2 JP2013089505A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示面板，显示装置和电子设备，其中可以减少彼此相邻的像素之间的漏电流。解决方案：显示面板包括显示区域中的多个像素。每个像素包括有机EL元件和用于驱动有机EL元件的像素电路。有机EL元件包括阳极，阴极和设置在阳极和阴极之间的有机层。阳极的侧面具有这样的结构，即阳极的阴极侧的横截面积大于阳极的阴极侧的横截面积。

