

【特許請求の範囲】

【請求項 1】

マトリクス上に配置された画素毎に電流駆動型の発光素子とこの発光素子に電流を供給する駆動トランジスタを備え、

この発光素子の点灯時間について1フレーム期間を複数のサブフレーム期間に分割して駆動するとともに、

駆動トランジスタの制御を電流書き込み駆動とし、かつ書き込み電流を $1 : 1 / 2^N$ の比をもつ2つの書き込み電流およびその和を用いて行うことを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、

書き込み電流を発生する電流源を2つ設け、これら電流源からの電流を組み合わせ書き込み電流を発生することを特徴とする表示装置。

【請求項 3】

請求項 1 または 2 に記載の表示装置において、

最短のサブフレームの点灯期間を1としたときに、サブフレーム点灯期間の合計が $2^N - 1$ でありサブフレームによりNビット階調を表示でき、駆動電流値との組み合わせで2Nビット階調を表示することを特徴とする表示装置。

【請求項 4】

請求項 1 ~ 3 のいずれか1つに記載の表示装置において、

最短のサブフレームの期間を1としたときに、1フレームが、長さ 2^k ($k = 0 \sim N - 3$) のサブフレームを各1回、長さが 2^{N-2} のサブフレームを3回から構成され、その冗長性を利用して動画像の擬似輪郭を低減することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

マトリクス状に配置した画素毎に画素データを書き込み、表示を行う表示装置及びその駆動に関する。

【背景技術】

【0002】

1フレーム期間を複数のサブフレーム期間に分割して駆動することで階調表示を行う表示装置については特許文献1に示すようなものを代表として、種々のものが提案されている。

【0003】

図1に、特許文献1に示された時間分割階調表示型の有機EL表示装置における1画素分の回路(画素回路)の構成を示す。2T(トランジスタ)、1C(容量)の簡単な構成で、ゲートラインがハイレベルの時にトランジスタTr11がオンとなってデータラインのデータ電圧が保持容量Chに書き込まれる。ゲートラインがロウレベルとなってトランジスタTr11がオフになると、保持容量Chに保持された電圧でトランジスタTr12が駆動され、データ電圧に応じた駆動電流が有機EL素子ELに流れる。

【0004】

通常の駆動方式では、このデータラインの電圧を制御してトランジスタTr12の電流が制御され、有機EL素子ELの発光量(輝度)が制御される。また、通常の駆動方式では、トランジスタTr12は飽和領域で使用され、トランジスタTr12のスレッシュホールド電圧 V_{th} 、移動度 μ 、ゲート幅Wおよびゲート長Lで決まる、次式で示される電流 I_d がTr12を流れる。

【0005】

$$I_d = \mu C_0 (W/L) (V_{gs} - V_{th})^2$$

【0006】

ここで、 V_{gs} はゲートとソースの電位差、 C_0 はゲートの単位面積当たりの容量値である。ガラス基板上に形成される薄膜トランジスタ(TFT)の場合、特に低温ポリシリ

10

20

30

40

50

コン (L T P S) の T F T ではスレッシュヨルド電圧 V_{th} および移動度 μ が画素ごとに値が異なり、不均一な表示となって問題となる。

【 0 0 0 7 】

この問題を解決する方法として、データラインのデータ電圧をトランジスタ T_{r12} が完全にオン状態となるように書き込んで、トランジスタ T_{r12} を単なるスイッチ (リニア領域動作) として利用し、 (正側電源電圧 $P V D D$) - (負側電源電圧 $C V$) がダイレクトに有機 E L 素子に印加され、1 フレームを複数のサブフレームに分けて点灯制御することで階調表示を行っている。図 2 に、4 ビット階調の場合の点灯方法の一例を示す。このように、各ビットに対応して点灯時間を T_1 , T_2 ($= 2 T_1$) , T_4 ($= 4 T_1$) , T_8 ($= 8 T_1$) としている。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 1 9 9 8 - 2 1 4 0 6 0 号公報

【 特許文献 2 】 特開 2 0 0 2 - 3 5 1 3 5 7 号公報

【 特許文献 3 】 特開 2 0 0 6 - 2 4 3 0 6 0 号公報

【 非特許文献 】

【 0 0 0 9 】

【 非特許文献 1 】 “ A New Driving Method for a-Si AMOLED Displays Based on Voltage Feedback ” SID ' 05 Digest p.316-319

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

従来例として図 1 に示した電圧駆動型の装置では、有機 E L 素子の経時変化による電圧上昇の影響により電流量が減少するため、輝度が低くなり焼きつきなどの問題がある。また、複数画素の有機 E L に流れる電流と電源配線による電圧降下により、画素位置に依存する輝度均一性が問題となっている。さらに、表示階調数を増やすとサブフレーム期間が短くなり十分な書き込み時間が取れないなどの問題もあった。

【 0 0 1 1 】

このような問題を鑑みて、特許文献 2 のように、画素駆動回路に電流駆動型を使用した時間分割階調表示装置も提案されている。しかし、この表示装置では、個々の電流書き込みのバラツキによる輝度不均一性や、書き込み時間が十分とれないなどの問題を持つ。

30

【 0 0 1 2 】

電流駆動型の問題である書き込み時間については、特許文献 3 のような工夫もされているが、多ビットの電流源ドライバの構成が複雑でコストの点および各々の電流値を正確に設定することが難しいという難点がある。さらに、有機 E L 素子の電流—発光効率は年々向上しており、1 画素の駆動最大電流が 1 m A 以下となる表示装置も珍しくなく、この場合に、最小階調の精度が問題となる。

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明は、マトリクス上に配置された画素毎に電流駆動型の発光素子とこの発光素子に電流を供給する駆動トランジスタを備え、この発光素子の点灯時間について 1 フレーム期間を複数のサブフレーム期間に分割して駆動するとともに、駆動トランジスタの制御を電流書き込み駆動とし、かつ書き込み電流を $1 : 1 / 2^N$ の比をもつ 2 つの書き込み電流およびその和を用いて行うことを特徴とする。

40

【 0 0 1 4 】

また、書き込み電流を発生する電流源を 2 つ設け、これら電流源からの電流を組み合わせ書き込み電流を発生することが好適である。

【 0 0 1 5 】

また、最短のサブフレームの点灯期間を 1 としたときに、サブフレーム点灯期間の合計

50

が $2^N - 1$ でありサブフレームにより N ビット階調を表示でき、駆動電流値との組み合わせで 2^N ビット階調を表示することが好適である。

【0016】

また、最短のサブフレームの期間を 1 としたときに、1 フレームが、長さ 2^k ($k = 0 \sim N - 3$) のサブフレームを各 1 回、長さが 2^{N-2} のサブフレームを 3 回から構成され、その冗長性を利用して動画像の擬似輪郭を低減することが好適である。

【発明の効果】

【0017】

駆動 TFT のバラツキおよび電流駆動型発光素子の経時変化による電圧上昇の影響を抑制して、均一な表示動作を行うことができる。

10

【図面の簡単な説明】

【0018】

【図 1】従来の画素回路の構成を示す図である。

【図 2】従来の時間分割階調駆動の動作を示す図である。

【図 3】表示装置の全体構成を示す図である。

【図 4】画素回路およびソースドライバの構成を示す図である。

【図 5】書き込み動作を説明する図である。

【図 6】発光動作を説明する図である。

【図 7】各部の波形を示す図である。

【図 8】1 画素点灯における階調表現を説明する図である。

20

【図 9】ゲートラインの駆動タイミングを示す図である。

【図 10】駆動タイミングの概念を示す図である。

【図 11】他の駆動タイミングの概念を示す図である。

【図 12】プリチャージを行う場合の電流切り替えの例を示す図である。

【図 13】1 画素点灯における他の階調表現を説明する図である。

【図 14】1 画素点灯における点灯例を説明する図である。

【図 15】1 画素点灯における点灯タイミングを冗長化した点灯例を説明する図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態について、図面に基づいて説明する。

30

【0020】

「概要説明」

本実施形態では、画素部の制御を電流書き込み型とするが、書き込み電流として最大電流値と、もう一つの（他方の）書き込み電流値を設定する。そして、他方の電流値を最大電流値の $1/8$ 、 $1/16$ 程度といった比較的比率の小さな $1/2^N$ 値に留めて、高速な書き込み時間の範囲内で、最大電流とその $1/2^N$ の 2 つの書き込み電流値を使用して点灯時間制御を行う。

【0021】

これによって、時間階調部の次数を N ビット分低減して、時間階調表示方式の電流駆動型回路を使用した表示装置の問題であった書き込み時間の問題を解決し、高次の階調表示を実現する。また、電流設定値が 2 つであることから管理および回路が簡略化できコストの面で有利となる。さらに、電流書き込み部に 2 つの電流値を補正する回路を組み込み、ソースライン毎の電流バラツキを補正することで表示装置全体の輝度均一性の向上が図れる。

40

【0022】

「実施形態」

実施例として表示装置の全体構成を図 3 に示す。1 つの画素部とソースドライバの 1 ライン分の構成を図 4 に示す。

【0023】

図 3 に示すように、映像信号、水平同期信号、垂直同期信号、その他制御信号は、タイ

50

ミング制御電流選択回路 10 に供給される。映像信号、水平同期信号などから生成される画素毎の画像データ（ビットデータ）を示す電流選択信号、そのタイミングを示す水平制御信号がソースドライバ 12 に供給される。

【0024】

ソースドライバ 12 には、電流検出補正值書き込み部 14 が接続されている。この電流検出補正值書き込み部 14 は、後述するソースドライバ 12 内の各列毎に設けられる電流源の電流値を検出し、その補正值を求める。この電流検出補正值書き込み部 14 には、補正メモリ 16 が接続されており、各列毎の電流源の補正值が電流検出補正值書き込み部 14 によって書き込まれる。電流補正制御部 18 は、補正メモリ 16 に記憶されている補正值をどの列の画素に対する書き込みかに応じて、読み出し、これをソースドライバ 12 に供給する。従って、ソースドライバ 12 内に列毎に 2 つ設けられている電流源の定電流値がそれぞれ補正メモリ 16 に記憶されている補正值によって補正される。

10

【0025】

タイミング制御電流選択回路 10 からの垂直制御信号は、ゲートドライバ 20 に供給される。このゲートドライバ 20 は、画素 22 の行毎に設けられたゲートライン Gate に順次供給する。すなわち、ソースドライバ 12 は、各画素についての電流選択信号を順次受け取り、各列の画素についての画像信号を出力し、ゲートドライバ 20 が選択した該当行の画素に供給するよう制御する。

【0026】

なお、各画素 22 には、電源電圧 P V D D , C V が供給される。通常、一方の電源電圧は有機 E L 素子の供給電極に接続され、他方が駆動用トランジスタに接続される。

20

【0027】

図 4 には、1 画素分の画素回路と、ソースドライバ 12 の列毎に設けられた電流書き込み型の画素データの書き込み回路が示してある。

【0028】

画素 22 は、3 トランジスタ、1 容量の構成である。データライン D a t a B には、トランジスタ T r 1 のソースが接続され、そのドレインはトランジスタ T r 3 のゲートに接続されている。データライン D a t a A には、トランジスタ T r 2 のソースが接続され、そのドレインはトランジスタ T r 3 のソースに接続されている。トランジスタ T r 3 のゲートソース間には保持容量 C h が配置されており、トランジスタ T r 3 のドレインは電圧 V_{P V D D} の電源 P V D D に接続され、ソースは有機 E L 素子 E L のアノードに接続されている。有機 E L 素子 E L のカソードは電圧 V_{C V} の電源 C V に接続されている。なお、有機 E L 素子 E L は、アノードが画素電極になっており、カソードが全画素共通電極になっている。

30

【0029】

ソースドライバ 12 には、2 つの電流源 24 A , 24 B が設けられている。電流源 24 A の定電流は $I_{m a x}$ 、電流源 24 B の定電流は $I_{m a x} / 2^N$ である。そして、電流源 24 A はスイッチ 26 A、電流源 24 B はスイッチ 26 B を介し、共通接続されている。そして、スイッチ 26 A , 26 B の共通接続端は、オペアンプ 28 の負入力端に接続されている。オペアンプ 28 の正入力端は、電源 V_x に接続され、電圧 V_x が供給されており、出力端はデータライン D a t a B に接続されている。また、オペアンプ 28 の負入力端に接続されているスイッチ 26 A , 26 B の共通接続端は、データライン D a t a A に接続されている。図示の例は、m 列目のデータライン D a t a A , D a t a B を示している。

40

【0030】

このように、この構成では、画素回路とソースドライバとして使用した回路は、3 T 1 C の簡単な構成で、図上部の演算回路と電流源で 2 本のソースラインをフィードバックループに構成して書き込み時間の短縮を図っている。

【0031】

この構成による書き込み時の原理図を図 5 に、発光時の原理図を図 6 にそれぞれ示す。

50

図 5 , 6 では、電流源 2 4 A , 2 4 B、スイッチ 2 6 A , 2 6 B によって構成される電流量が変更可能な電流源を電流源 2 4 とし、その電流 $I_x = f(V_{in})$ としている。すなわち、データ信号 V_{in} に応じてスイッチ 2 6 A , 2 6 B のオンオフを制御して出力する電流量が設定される。

【 0 0 3 2 】

このような構成において、水平方向に伸びるゲートライン n (Gate) をハイレベルにして、選択 T F T (トランジスタ T r 1 およびトランジスタ T r 2) をオンすると、オペアンプを含む回路がボルテージフォロワーとして動作し、トランジスタ T r 3 のソース電位 V_x' をオペアンプ 2 8 の正入力端の電圧 V_x と同電位になるようにトランジスタ T r 3 のゲート電圧を制御する。

10

【 0 0 3 3 】

この時、ボルテージフォロワーの基準電圧 V_x は発光素子である有機 E L 素子 E L がオフとなる電圧に設定されているため、電流源 2 4 に引き込まれる電流 I_x はトランジスタ T r 3 を流れる電流 I_x' と等しくなる。そして、この時のトランジスタ T r 3 のゲート電位が保持容量 C_h にチャージされる。

【 0 0 3 4 】

すなわち、トランジスタ T r 1 , T r 2 の両方がオンになっていると、図 5 に示すように、有機 E L 素子 E L には電流が流れず、電流源 2 4 に流れる電流 $I_x = I_x'$ がトランジスタ T r 3 に流れ、そのソース電圧 V_x' は、オペアンプの負入力端電圧 (= 正入力端電圧 V_x) となる。この時のトランジスタ T r 3 のゲートソース間電圧は、トランジスタ T r 3 に電流 I_x が流れる電圧 $V(I_x)$ になる。従って、トランジスタ T r 3 のゲート電圧は、ソース電圧 V_x にゲートソース間電圧 $V(I_x)$ を加算したものになる。

20

【 0 0 3 5 】

次に、ゲートライン n がロウレベルとなってトランジスタ T r 1 , T r 2 がオフになると、この保持容量 C_h にチャージされた電圧がトランジスタ T r 3 のゲートソース間電圧を維持し、ブートストラップ動作を行って有機 E L 素子が発光する。すなわち、トランジスタ T r 3 は、電流 I_x を維持し、有機 E L 素子 E L のアノード電圧が有機 E L 素子において電流 I_x が流れた際の電圧 V_z に上昇して、発光する。

【 0 0 3 6 】

図 7 に、その電圧波形を示す。ゲートライン Gate は、順次オンされる。データ信号 V_{in} は、各行の画素についてのデータを順次定電流源 2 4 に供給する。従って、定電流源 2 4 はデータ信号 V_{in} に対応した電流 I_x を順次流す。

30

【 0 0 3 7 】

図 7 において、 $I_x' \sim I_{OLED}$ は、 n 行の画素についての状態を示している。ゲートライン n がハイレベルの際に、トランジスタ T r 3 の電流 I_x' が I_x と同じになる。この時、トランジスタ T r 3 のゲートソース間電圧 V_{gs} が電流 I_x に対応した電圧 $V(I_x)$ にセットされ、これが保持容量 C_s に保持される。書き込み期間において、有機 E L 素子 E L のアノード電圧 V_z は、 V_x' (= V_x) となり、トランジスタ T r 3 のゲート電圧 V_g は、有機 E L 素子 E L のアノード電圧に比べ、 $V(I_x)$ だけ高い電圧になる。

40

【 0 0 3 8 】

トランジスタ T r 1 , T r 2 がオフされることで、データライン Data A , Data B が画素回路から切り離されるが、トランジスタ T r 3 の V_{gs} は維持され、トランジスタ T r 3 の電流 I_x' 、有機 E L 素子 E L の電流 I が共に I_x となる。

【 0 0 3 9 】

次に、電流源 2 4 A と、電流源 2 4 B の電流量を、それぞれ I_{max} とその $1/8$ の電流 $I_{max}/8$ とした場合における階調制御について説明する。

【 0 0 4 0 】

この例では、この 2 種類の駆動電流と 3 種類 (T_1 , $2T_1$, $4T_1$) のサブフレームでトータル 6 ビットの階調表示を行う。1 画素分の点灯例を図 8 に、この場合のゲートラインの駆動波形を図 9 に、その概念図を図 1 0 にそれぞれ示す。

50

【 0 0 4 1 】

$I_{max} / 8$ で T_1 の期間点灯した場合を最も小さな平均輝度とすると、最大平均輝度は $(I_{max} / 8 + I_{max})$ で全期間点灯した場合であり、 $(1 + 8) \times (1 + 2 + 4) = 63$ 倍になる。すなわち、 $(I_{max} / 8 + I_{max})$ の電流で、 $7 T_1$ の期間点灯した場合の輝度が最大平均輝度 L_{max} であり、 $I_{max} / 8$ の電流で T_1 の期間のみ点灯した場合の平均輝度が $L_{max} / 63$ となる。図 8 に図示の $L_{max} \times 1 / 63$ 、 $L_{max} \times 2 / 63$ 、 $L_{max} \times 4 / 63$ 、 $L_{max} \times 8 / 63$ を組み合わせることによって、 $0 \sim 63$ の 6 ビットの階調表現が行える。

【 0 0 4 2 】

図 9, 10 に示すように各サブフレームについて各ゲートラインを順次駆動してデータの書き込みが行われ、各サブフレームの点灯制御が行われる。

10

【 0 0 4 3 】

駆動例 2 として駆動時間を緩和する駆動波形の概念図を図 11 に示す。図 11 の場合は水平方向の書き込み時に 2 つのゲートラインについて同時期に書き込みをする場合を示している。書き込み期間を分割して、対応する 2 つのラインの画素にデータ書き込みを行うことになる。なお、3 ライン同時など、書き込みを多ライン化することでさらに駆動時間の制限を緩和することも好適である。

【 0 0 4 4 】

更に図 12 に示すように、 $I_{max} / 8$ 書き込み時に I_{max} を短時間作動させてプリチャージ動作として書き込み時間の短縮を図ることも好適である。これによって、小さな電流値に基づく保持容量 C_h へのデータ書き込みを確実にできる。

20

【 0 0 4 5 】

更に、消灯動作時にソースドライバ 12 内の回路の出力を V_{CV} にクランプすることで消灯動作を確実に迅速化することも好適である。すなわち、消灯するサブフレームでは、書き込み期間において、図 4 における V_x をバイパスして V_{CV} をオペアンプ 28 の正入力端に供給することで、保持容量 C_h に保持されている電荷を速やかに放電することができる。

【 0 0 4 6 】

I_{max} とその $1 / 16$ の電流 $I_{max} / 16$ の 2 つの駆動電流と単純なサブフレームでトータル 8 ビットの階調表示の場合で 1 画素分の点灯例を図 13 に示す。この例では 8 ビットの階調表示を行うにあたり、サブフレームビットを 4、駆動電流比を 2^4 としている。

30

【 0 0 4 7 】

このような構成では、擬似輪郭の発生が問題となる。すなわち、動画像では、例えば図 14 に示すような階調変化点が存在する。この例では、127 から 128 へのサブフレーム切り替えにおいて、前半の $7 T_1$ の期間フル点灯、後半の $8 T_1$ の期間最小輝度点灯から、前半消灯、後半フル点灯に変化する。

【 0 0 4 8 】

このような大きな変化点を、最長のサブフレームを二つに分割して、図 15 のように冗長なレベル点灯と、フレーム単位もしくは画素単位で適宜切り替えて表示することで擬似輪郭を視覚上目立たなくすることが可能となる。すなわち、 $8 T_1$ のサブフレームをなくして、 $4 T_1$ のサブフレームを 3 つ設けることで、128 階調について 3 種類の点灯のモードが形成され、これを適宜選択することで、擬似輪郭の発生を減少することができる。

40

【 0 0 4 9 】

また、図 3 の構成でソースドライバを外部 IC とすることで、表示部の有機 EL 素子を実装する前の状態で検査可能となり、表示装置の歩留まりの改善も可能である。この時、電流検出・補正部を外部 IC に内蔵することは精度面・コスト面でも好適である。

【 0 0 5 0 】

なお、有機 EL 素子でなく、他の電流駆動型の発光素子を利用した表示装置にも本実施形態の構成を適用することができる。

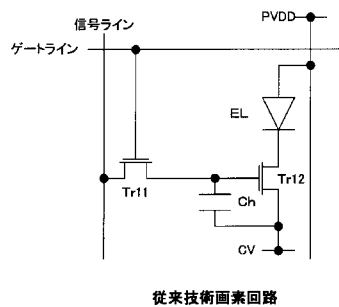
50

【符号の説明】

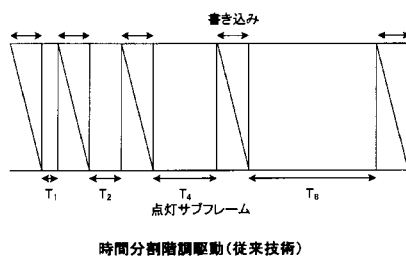
【 0 0 5 1 】

10 タイミング制御電流選択回路、12 ソースドライバ、14 電流検出補正値書き込み部、16 補正メモリ、18 電流補正制御部、20 ゲートドライバ、22 画素、24 (24A, 24B) 電流源、26 (26A, 26B) スイッチ、28 オペアンプ。

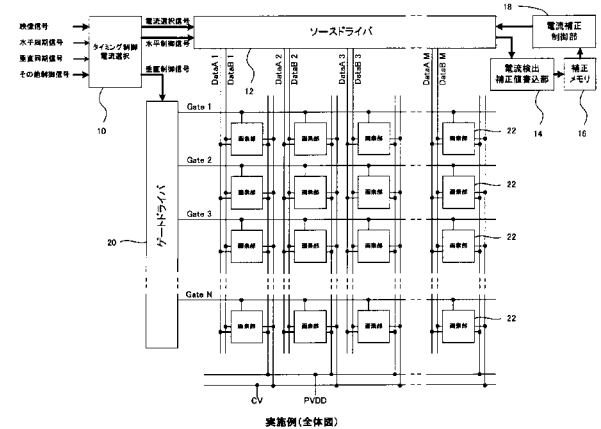
【 図 1 】



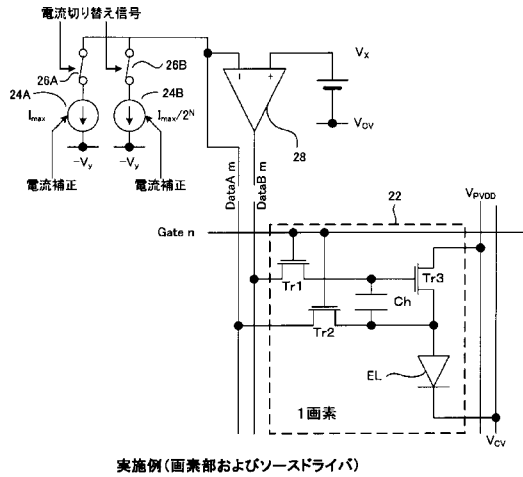
【 図 2 】



【 図 3 】

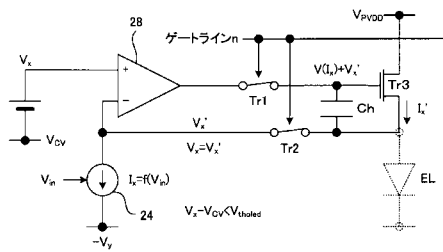


【図 4】



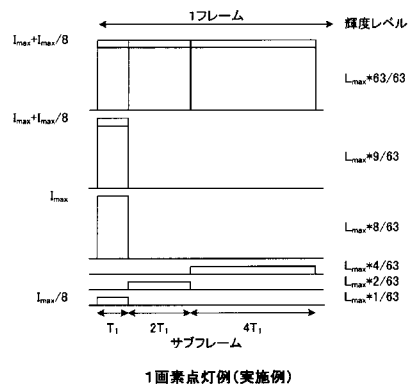
実施例 (画素部およびソースドライバ)

【図 5】

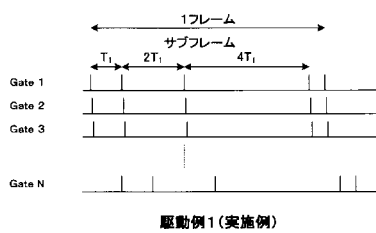


書き込み動作

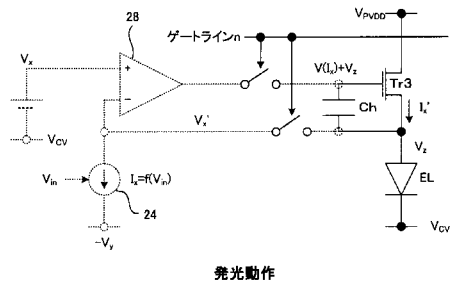
【図 8】



【図 9】

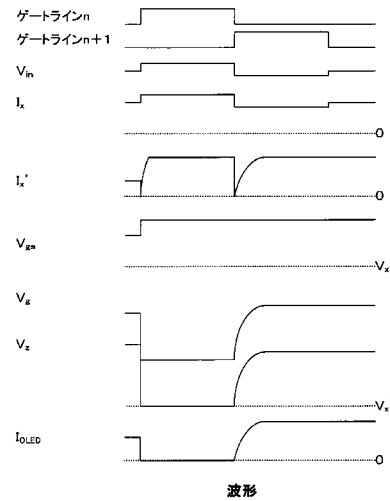


【図 6】

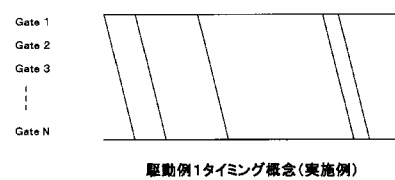


発光動作

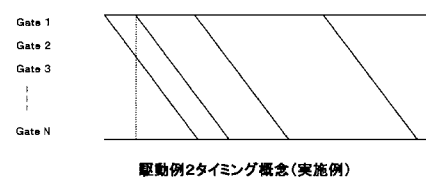
【図 7】



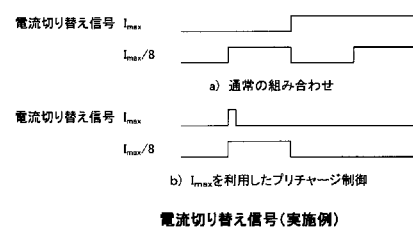
【図 10】



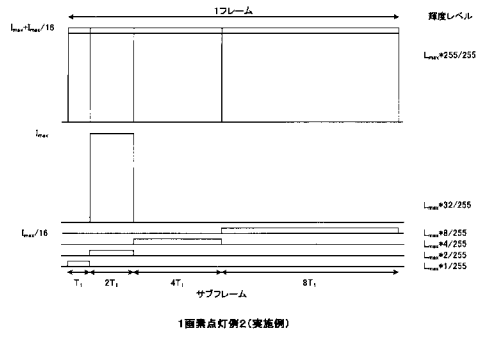
【図 11】



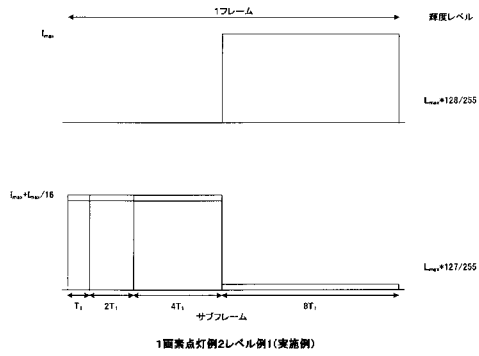
【図 12】



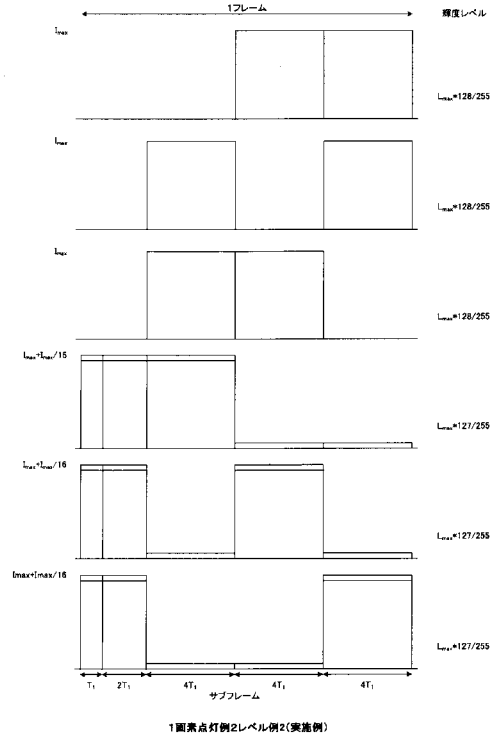
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 4 1 K
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 2 P
H 0 5 B	33/14	A

(74)代理人 100084010

弁理士 古川 秀利

(74)代理人 100094695

弁理士 鈴木 憲七

(74)代理人 100111648

弁理士 梶並 順

(74)代理人 100122437

弁理士 大宅 一宏

(74)代理人 100147566

弁理士 上田 俊一

(72)発明者 河野 誠

東京都千代田区神田駿河台 2 - 9 K D X 御茶ノ水ビル コダック株式会社内

(72)発明者 森 信幸

東京都千代田区神田駿河台 2 - 9 K D X 御茶ノ水ビル コダック株式会社内

(72)発明者 水越 誠一

東京都千代田区神田駿河台 2 - 9 K D X 御茶ノ水ビル コダック株式会社内

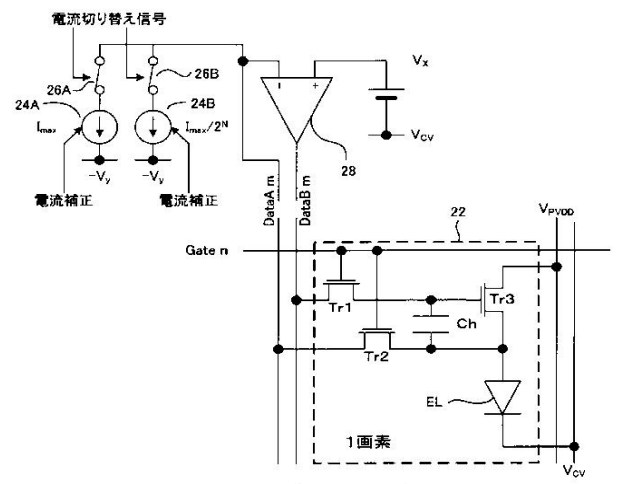
F ターム(参考) 3K107 AA01 BB01 CC33 CC34 EE03 HH04

5C080	AA06	BB05	DD02	DD05	DD07	DD08	DD22	DD25	DD27	DD28
	DD29	EE19	EE29	FF11	FF12	GG12	HH10	JJ02	JJ03	JJ04
5C380	AA01	AB06	AB24	AB45	BA13	BA27	BA28	BA29	BA36	BA37
	BA38	BA39	BB02	BB03	BC14	BC20	BD02	BE11	CA08	CA12
	CA13	CA34	CA36	CA57	CB01	CB02	CC01	CC13	CC27	CC33
	CC62	CD012	CD013	CE05	CE08	CE19	CF01	CF27	CF43	CF48
	CF51	DA02	DA06	DA09	DA16	DA33	DA35	DA50	FA03	GA09
	HA03	HA06	HA11							

专利名称(译)	表示装置		
公开(公告)号	JP2011164136A	公开(公告)日	2011-08-25
申请号	JP2010023287	申请日	2010-02-04
[标]申请(专利权)人(译)	全球OLED TECH		
申请(专利权)人(译)	全球豪迪E.科技有限责任公司		
[标]发明人	河野誠 森信幸 水越誠一		
发明人	河野 誠 森 信幸 水越 誠一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/2033 G09G3/2081 G09G2300/0842 G09G2310/0251 G09G2310/0262 G09G2320/0233 G09G2320/0252 G09G2320/0261 G09G2320/0266		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.642.A G09G3/20.670.J G09G3/20.641.E G09G3/20.641.K G09G3/20.641.D G09G3/20.611.H G09G3/20.623.C G09G3/20.641.R G09G3/20.621.F G09G3/20.624.B G09G3/20.642.P H05B33/14.A G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC34 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD05 5C080/DD07 5C080/DD08 5C080/DD22 5C080/DD25 5C080/DD27 5C080/DD28 5C080/DD29 5C080/EE19 5C080/EE29 5C080/FF11 5C080/FF12 5C080/GG12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AB45 5C380/BA13 5C380/BA27 5C380/BA28 5C380/BA29 5C380/BA36 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB03 5C380/BC14 5C380/BC20 5C380/BD02 5C380/BE11 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA34 5C380/CA36 5C380/CA57 5C380/CB01 5C380/CB02 5C380/CC01 5C380/CC13 5C380/CC27 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CD013 5C380/CE05 5C380/CE08 5C380/CE19 5C380/CF01 5C380/CF27 5C380/CF43 5C380/CF48 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA16 5C380/DA33 5C380/DA35 5C380/DA50 5C380/FA03 5C380/GA09 5C380/HA03 5C380/HA06 5C380/HA11		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过抑制驱动TFT的色散和由电流驱动型发光元件的老化引起的电压升高的影响来抑制显示不均匀。解决方案：显示装置包括以矩阵布置的像素22，每个像素包括电流驱动型发光元件EL和用于向电流驱动型发光元件EL提供电流的驱动晶体管Tr3。通过将每个帧周期分成用于发光元件EL的发光时间的多个子帧周期来驱动电流驱动型发光元件EL。使用具有1：1/2 N 的比率的两个写入电流和两个写入电流的总和在电流写入驱动下控制驱动晶体管。 Z



実施例 (画素部およびソースドライバ)