

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-112722

(P2011-112722A)

(43) 公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H05B 33/08 (2006.01)	G09G 3/20 641D	5C380
H01L 51/50 (2006.01)	G09G 3/20 642A	
	G09G 3/20 611H	
審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2009-266733 (P2009-266733)
 (22) 出願日 平成21年11月24日 (2009.11.24)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

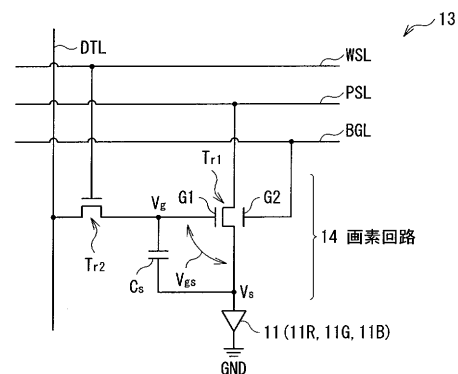
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】移動度 μ の補正に適した時間 t を過度に短くすることなく、高輝度化を実現することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】有機EL素子11と直列に接続された駆動トランジスタ T_{r1} として、デュアルゲート型のトランジスタが用いられている。有機EL素子11を発光させる時、または有機EL素子11を発光させている時に、駆動トランジスタ T_{r1} の閾値補正および移動度補正を行っている時とは異なる所定の値の電圧がバックゲートG2に印加される。これにより、トップゲートG1に書き込む信号電圧 V_{sig} の大きさを大きくする代わりに、バックゲートG2に印加する電圧を適切に調整することにより、有機EL素子11に流れる電流 I_d を大きくすることができる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

一組の発光素子および画素回路が 2 次元配置された表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、

前記画素回路は、第 1 ゲートおよび第 2 ゲートを含み、かつ前記発光素子に流れる電流を制御するデュアルゲート型の第 1 トランジスタと、前記映像信号に応じた信号電圧を前記第 1 ゲートに書き込む第 2 トランジスタとを有し、

前記駆動部は、前記第 1 トランジスタの閾値補正および移動度補正を行っている時と、前記発光素子を発光させている時とで、前記第 2 ゲートに印加する電圧を異ならせる表示装置。

10

【請求項 2】

前記画素回路は、前記発光素子のうち前記第 1 トランジスタ側の端子と前記第 2 ゲートとの電気的な接続を制御するスイッチング素子を有すると共に、前記第 1 トランジスタと前記スイッチング素子との接続点と前記駆動部との間に容量素子を有する

請求項 1 に記載の表示装置。

【請求項 3】

前記駆動部は、少なくとも前記第 1 トランジスタの閾値補正および移動度補正を行っている間、前記スイッチング素子をオンし、発光が開始された後、前記スイッチング素子をオフする

20

請求項 2 に記載の表示装置。

【請求項 4】

前記駆動部は、前記第 1 トランジスタが n チャンネル型である場合には、前記発光素子を発光させている時に前記第 2 ゲートに印加する電圧を、前記第 1 トランジスタの閾値補正および移動度補正を行っている時に前記第 2 ゲートに印加する電圧よりも高くする

請求項 1 ないし請求項 3 のいずれか一項に記載の表示装置。

【請求項 5】

前記駆動部は、前記第 1 トランジスタが p チャンネル型である場合には、前記発光素子を発光させている時に前記第 2 ゲートに印加する電圧を、前記第 1 トランジスタの閾値補正および移動度補正を行っている時に前記第 2 ゲートに印加する電圧よりも低くする

30

請求項 1 ないし請求項 3 のいずれか一項に記載の表示装置。

【請求項 6】

一組の発光素子および画素回路が 2 次元配置された表示部と、映像信号に基づいて前記画素回路を駆動する駆動部とを備え、前記画素回路が、第 1 ゲートおよび第 2 ゲートを含み、かつ前記発光素子に流れる電流を制御するデュアルゲート型の第 1 トランジスタと、前記映像信号に応じた信号電圧を前記第 1 ゲートに書き込む第 2 トランジスタとを有する発光装置を用意するステップと、

前記駆動部を用いて、前記第 1 トランジスタの閾値補正および移動度補正を行っている時に前記第 2 ゲートに第 1 電圧を印加したのち、前記発光素子を発光させている時に前記第 2 ゲートに前記第 1 電圧とは大きさの異なる第 2 電圧を印加するステップと

40

を含む表示装置の駆動方法。

【請求項 7】

表示装置を備え、

前記表示装置は、

一組の発光素子および画素回路が 2 次元配置された表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、

前記画素回路は、第 1 ゲートおよび第 2 ゲートを含み、かつ前記発光素子に流れる電流を制御するデュアルゲート型の第 1 トランジスタと、前記映像信号に応じた信号電圧を前記第 1 ゲートに書き込む第 2 トランジスタとを有し、

50

前記駆動部は、前記第 1 トランジスタの閾値補正および移動度補正を行っている時と、前記発光素子を発光させている時とで、前記第 2 ゲートに印加する電圧を異ならせる電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。

【0003】

有機 E L 素子は、液晶素子などとは異なり自発光素子である。そのため、有機 E L 素子を用いた表示装置（有機 E L 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0004】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した有機 E L 素子に流れる電流を、有機 E L 素子ごとに設けた画素回路内に設けた能動素子（一般には T F T (Thin Film Transistor; 薄膜トランジスタ)）によって制御するものである。

【0005】

一般的に、有機 E L 素子の電流 - 電圧（I - V）特性は、時間の経過に従って劣化（経時劣化）する。有機 E L 素子を電流駆動する画素回路では、有機 E L 素子の I - V 特性が経時変化すると、有機 E L 素子と、有機 E L 素子に直列に接続された T F T との分圧比が変化するので、T F T のゲート - ソース間電圧 V_{gs} も変化する。その結果、T F T に流れる電流値が変化するので、有機 E L 素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【0006】

また、T F T において、閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって画素回路ごとに異なったりする場合がある。T F T の閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なる場合には、T F T に流れる電流値が画素回路ごとにばらつく。その結果、T F T のゲートに同じ電圧を印加しても、有機 E L 素子の発光輝度がばらつき、画面の均一性（ユニフォーミティ）が損なわれる。

【0007】

そこで、有機 E L 素子の I - V 特性が経時変化したり、T F T の閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機 E L 素子の発光輝度を一定に保つようにするために、T F T の閾値電圧 V_{th} や移動度 μ を補正する方策が提案されている（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2008 - 083272 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 9 】

ところで、有機 E L 表示装置の分野では、高輝度化および高精細化が強く要求されている。そのため、例えば、信号電圧 V_{sig} を大きくしたり、画素サイズを小さくしたりする方策が一般に採られている。しかし、そのようにした結果、移動度 μ の補正に適した時間 t (以下の数 1、数 2 参照) が短くなり、実際に移動度 μ を補正したときの補正時間がばらつくので、そのばらつきに起因して画面にスジムラが生じ、画質が低下してしまうという問題があった。なお、数 1 において、 k は、 $(1/2)(W/L)C_{ox}$ である。 W はトランジスタのチャネル幅、 L はトランジスタのチャネル長、 C_{ox} はゲート容量をそれぞれ表している。数 2 において、 C_s は画素回路内の保持容量、 C_{sub} は補助容量、 C_{oled} は有機 E L 素子の容量をそれぞれ表している。

10

【数 1】

$$t = \frac{C}{k\mu V_{sig}}$$

【数 2】

$$C = C_s + C_{sub} + C_{oled}$$

20

【 0 0 1 0 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、移動度 μ の補正に適した時間 t を過度に短くすることなく、高輝度化を実現することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

30

本発明の表示装置は、一組の発光素子および画素回路が 2 次元配置された表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備えたものである。画素回路は、2 つのトランジスタ (第 1 トランジスタ、第 2 トランジスタ) を有している。第 1 トランジスタは、第 1 ゲートおよび第 2 ゲートを含んでおり、発光素子に流れる電流を制御するデュアルゲート型のトランジスタである。一方、第 2 トランジスタは、映像信号に応じた信号電圧を第 1 ゲートに書き込むトランジスタである。駆動部は、第 1 トランジスタの閾値補正および移動度補正を行っている時と、発光素子を発光させている時とで、第 2 ゲートに印加する電圧を異ならせるようになっている。

【 0 0 1 2 】

本発明の電子機器は、上記表示装置を備えたものである。

40

【 0 0 1 3 】

本発明の表示装置の駆動方法は、以下の 2 つのステップを含むものである。

(A) 以下の構成を備えた表示装置を用意するステップ

(B) 駆動部を用いて、第 1 トランジスタの閾値補正および移動度補正を行っている時に第 2 ゲートに第 1 電圧を印加したのち、発光素子を発光させている時に第 2 ゲートに第 1 電圧とは大きさの異なる第 2 電圧を印加するステップ

【 0 0 1 4 】

上記駆動方法が用いられる表示装置は、一組の発光素子および画素回路が 2 次元配置された表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備えたものである。画素回路は、2 つのトランジスタ (第 1 トランジスタ、第 2 トランジスタ) を有している。

50

第 1 トランジスタは、第 1 ゲートおよび第 2 ゲートを含んでおり、発光素子に流れる電流を制御するデュアルゲート型のトランジスタである。一方、第 2 トランジスタは、映像信号に応じた信号電圧を第 1 ゲートに書き込むトランジスタである。

【 0 0 1 5 】

本発明の表示装置およびその駆動方法ならびに電子機器では、第 1 トランジスタの閾値補正および移動度補正を行っている時と、発光素子を発光させている時とで、第 1 トランジスタの第 2 ゲートに印加する電圧が異なっている。これにより、第 1 ゲートに書き込む信号電圧の大きさを大きくする代わりに、第 2 ゲートに印加する電圧を適切に調整することにより、発光素子に流れる電流を大きくすることができる。

【 発明の効果 】

10

【 0 0 1 6 】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、第 1 ゲートに書き込む信号電圧の大きさを大きくする代わりに、第 2 ゲートに印加する電圧を適切に調整することにより、発光素子に流れる電流を大きくすることができるようにした。これにより、第 1 ゲートに書き込む信号電圧を大きくしなくても、高輝度を得ることができるので、移動度 μ の補正に適した時間 t を過度に短くすることなく、高輝度化を実現することができる。

【 図面の簡単な説明 】

【 0 0 1 7 】

【 図 1 】 本発明の第 1 の実施の形態に係る表示装置の一例を表す構成図である。

20

【 図 2 】 図 1 の画素回路アレイ部の内部構成の一例を表す構成図である。

【 図 3 】 図 1 の表示装置の動作の一例について説明するための波形図である。

【 図 4 】 図 1 の表示装置におけるゲート - ソース間電圧 V_{gs} と発光素子に流れる電流 I_d との関係図である。

【 図 5 】 本発明の第 2 の実施の形態に係る表示装置の一例を表す構成図である。

【 図 6 】 図 5 の画素回路アレイ部の内部構成の一例を表す構成図である。

【 図 7 】 図 5 の表示装置の動作の一例について説明するための波形図である。

【 図 8 】 図 2 の画素回路における発光前後の動作点を表す図である。

【 図 9 】 図 6 の画素回路における発光前後の動作点を表す図である。

30

【 図 10 】 上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【 図 11 】 上記実施の形態の表示装置の適用例 1 の外観を表す斜視図である。

【 図 12 】 (A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【 図 13 】 適用例 3 の外観を表す斜視図である。

【 図 14 】 適用例 4 の外観を表す斜視図である。

【 図 15 】 (A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【 発明を実施するための形態 】

40

【 0 0 1 8 】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態 (図 1 ~ 図 4)

○ バックゲートが常にトップゲートおよびソースから独立している例

2. 第 2 の実施の形態 (図 5 ~ 図 9)

○ バックゲートが常にトップゲートから独立している例

○ バックゲートが所定の期間の間だけソースと同電圧となる例

3. モジュールおよび適用例 (図 10 ~ 図 15)

【 0 0 1 9 】

50

< 第 1 の実施の形態 >

(表示装置の概略構成)

図 1 は、本発明の第 1 の実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 10 (表示部) と、駆動回路 20 (駆動部) とを備えている。表示パネル 10 は、例えば、複数の有機 EL 素子 11R, 11G, 11B (発光素子) が 2 次元配置された画素回路アレイ部 13 を有している。本実施の形態では、例えば、互いに隣り合う 3 つの有機 EL 素子 11R, 11G, 11B が 1 つの画素 12 を構成している。なお、以下では、有機 EL 素子 11R, 11G, 11B の総称として有機 EL 素子 11 を適宜、用いるものとする。駆動回路 20 は、画素回路アレイ部 13 を駆動するものであり、例えば、映像信号処理回路 21、タイミング生成回路 22、信号線駆動回路 23、書込線駆動回路 24、電源線駆動回路 25 およびバックゲート線駆動回路 26 を有している。

10

【0020】

[画素回路アレイ部]

図 2 は、画素回路アレイ部 13 の回路構成の一例を表したものである。画素回路アレイ部 13 は、表示パネル 10 の表示領域に形成されている。画素回路アレイ部 13 は、例えば、図 1、図 2 に示したように、行状に配置された複数の書込線 WSL と、列状に配置された複数の信号線 DTL と、書込線 WSL に沿って行状に配置された複数の電源線 PSL および複数のバックゲート線 BGL とを有している。各書込線 WSL と各信号線 DTL との交差部に対応して、一組の有機 EL 素子 11 および画素回路 14 が行列状に配置 (2 次元配置) されている。画素回路 14 は、例えば、駆動トランジスタ T_{r1} (第 1 トランジスタ)、書き込みトランジスタ T_{r2} (第 2 トランジスタ) および保持容量 C_s によって構成されたものであり、2 $T_{r1}C$ の回路構成となっている。

20

【0021】

駆動トランジスタ T_{r1} は、トップゲート G1 (第 1 ゲート) およびバックゲート G2 (第 2 ゲート) を有するデュアルゲート型のトランジスタにより形成されている。駆動トランジスタ T_{r1} は、例えば、n チャネル MOS 型の薄膜トランジスタ (TFET (Thin Film Transistor)) により形成されている。書き込みトランジスタ T_{r2} は、例えば、デュアルゲート型、トップゲート型、またはボトムゲート型のトランジスタにより形成されている。書き込みトランジスタ T_{r2} は、例えば、n チャネル MOS 型の TFET により形成されている。なお、駆動トランジスタ T_{r1} または書き込みトランジスタ T_{r2} は、p チャネル MOS 型の TFET により形成されていてもよい。

30

【0022】

画素回路アレイ部 13 において、各信号線 DTL は、信号線駆動回路 23 の出力端 (図示せず) と、書き込みトランジスタ T_{r2} のドレイン電極 (図示せず) に接続されている。各書込線 WSL は、書込線駆動回路 24 の出力端 (図示せず) と、書き込みトランジスタ T_{r2} のゲート電極 (図示せず) に接続されている。各電源線 PSL は、電源線駆動回路 25 の出力端 (図示せず) と、駆動トランジスタ T_{r1} のドレイン電極 (図示せず) に接続されている。書き込みトランジスタ T_{r2} のソース電極 (図示せず) は、駆動トランジスタ T_{r1} のトップゲート電極 (図示せず) と、保持容量 C_s の一端に接続されている。駆動トランジスタ T_{r1} のソース電極 (図示せず) と保持容量 C_s の他端とが、有機 EL 素子 11 のアノード電極 (図示せず) に接続されている。有機 EL 素子 11 のカソード電極 (図示せず) は、例えばグラウンド線 GND に接続されている。駆動トランジスタ T_{r1} のバックゲート電極 (図示せず) は、バックゲート線 BGL に接続されている。なお、カソード電極は、各有機 EL 素子 11 の共通電極として用いられており、例えば、表示パネル 10 の表示領域全体に渡って連続して形成され、平板状となっている。

40

【0023】

[駆動回路]

次に、画素回路アレイ部 13 の周辺に設けられた駆動回路 20 内の各回路について、図 1 を参照して説明する。

50

【 0 0 2 4 】

映像信号処理回路 2 1 は、外部から入力されたデジタルの映像信号 2 0 A に対して所定の補正を行うと共に、補正した後の映像信号 2 1 A を信号線駆動回路 2 3 に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【 0 0 2 5 】

タイミング生成回路 2 2 は、信号線駆動回路 2 3、書込線駆動回路 2 4、電源線駆動回路 2 5 およびバックゲート線駆動回路 2 6 が連動して動作するように制御するものである。タイミング生成回路 2 2 は、例えば、外部から入力された同期信号 2 0 B に応じて（同期して）、これらの回路に対して制御信号 2 2 A を出力するようになっている。

10

【 0 0 2 6 】

信号線駆動回路 2 3 は、制御信号 2 2 A の入力に応じて（同期して）、映像信号 2 1 A に対応するアナログの映像信号を各信号線 D T L に印加して、アナログの映像信号またはそれに対応する信号を選択対象の画素回路 1 4 に書き込むものである。具体的には、信号線駆動回路 2 3 は、映像信号 2 1 A に対応する信号電圧 V_{sig} を各信号線 D T L に印加して、選択対象の画素回路 1 4 への書き込みを行うものである。なお、書き込みとは、駆動トランジスタ $T r_1$ のトップゲート G 1 に所定の電圧を印加することを指している。

【 0 0 2 7 】

信号線駆動回路 2 3 は、例えば、信号電圧 V_{sig} と、有機 E L 素子 1 1 の消光時に駆動トランジスタ $T r_1$ のトップゲート G 1 に印加する電圧 V_{ofs} とを出力することが可能となっている。ここで、電圧 V_{ofs} は、有機 E L 素子 1 1 の閾値電圧 V_{el} よりも低い電圧値（一定値）である。

20

【 0 0 2 8 】

書込線駆動回路 2 4 は、制御信号 2 2 A の入力に応じて（同期して）、複数の書込線 W S L に選択パルスを順次印加して、複数の有機 E L 素子 1 1 および複数の画素回路 1 4 を順次選択するものである。書込線駆動回路 2 4 は、例えば、書き込みトランジスタ $T r_2$ をオンさせるときに印加する電圧 V_{on1} と、書き込みトランジスタ $T r_2$ をオフさせるときに印加する電圧 V_{off1} とを出力することが可能となっている。

【 0 0 2 9 】

電源線駆動回路 2 5 は、制御信号 2 2 A の入力に応じて（同期して）、複数の電源線 P S L に制御パルスを順次印加して、有機 E L 素子 1 1 の発光および消光を制御するものである。電源線駆動回路 2 5 は、例えば、駆動トランジスタ $T r_1$ に電流を流すときに印加する電圧 V_{ccH} と、駆動トランジスタ $T r_1$ に電流を流さないときに印加する電圧 V_{ccL} とを出力することが可能となっている。ここで、電圧 V_{ccL} は、有機 E L 素子 1 1 の閾値電圧 V_{el} と、有機 E L 素子 1 1 のカソードの電圧 V_{ca} とを足し合わせた電圧（ $V_{el} + V_{ca}$ ）よりも低い電圧値（一定値）である。 V_{ccH} は、電圧（ $V_{el} + V_{ca}$ ）以上の電圧値（一定値）である。

30

【 0 0 3 0 】

バックゲート線駆動回路 2 6 は、制御信号 2 2 A の入力に応じて（同期して）、複数のバックゲート線 B G L に制御パルスを順次印加して、選択対象の有機 E L 素子 1 1 に流れている電流 I_d を所望の大きさにまで増大させるものである。バックゲート線駆動回路 2 6 は、例えば、駆動トランジスタ $T r_1$ の閾値補正および移動度補正を行っている時に印加する電圧 V_{b1} （第 1 電圧）と、有機 E L 素子 1 1 を発光させている時に印加する電圧 V_{b2} （第 2 電圧）とを出力することが可能となっている。電圧 V_{b1} および電圧 V_{b2} は、互いに異なる電圧値となっている。電圧 V_{b1} は、例えば 0 V（ゼロボルト）である。電圧 V_{b2} は、駆動トランジスタ $T r_1$ が n チャネル型である場合には、電圧 V_{b1} よりも高くなっており、例えば、+ 2 . 0 V である。また、電圧 V_{b2} は、駆動トランジスタ $T r_1$ が p チャネル型である場合には、電圧 V_{b1} よりも低くなっており、例えば、- 2 . 0 V である。

40

【 0 0 3 1 】

（表示装置 1 の動作）

50

図 3 は、表示装置 1 を駆動させたときの各種波形の一例を表したものである。図 3 (A) , (B) には、信号線 D T L に V_{sig} 、 V_{ofs} が周期的に印加され、書込線 W S L に V_{on1} 、 V_{off1} が所定のタイミングで印加されている様子がそれぞれ示されている。図 3 (C) , (D) には、電源線 P S L に V_{ccL} 、 V_{ccH} が所定のタイミングで印加され、バックゲート線 B G L に V_{b1} 、 V_{b2} が所定のタイミングで印加されている様子がそれぞれ示されている。なお、図 3 (D) には、電圧 V_{b2} が電圧 V_{b1} よりも高くなっている場合、すなわち、駆動トランジスタ $T r_1$ が p チャネル型である場合の波形が例示されている。図 3 (E) , (F) には、信号線 D T L、書込線 W S L、電源線 P S L およびバックゲート線 B G L への電圧印加に応じて、駆動トランジスタ $T r_1$ のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。図 3 (G) には、有機 E L 素子 1 1 に流れる電流 I_d が時々刻々変化している様子が示されている。

【 0 0 3 2 】

[V_{th} 補正準備期間]

まず、 V_{th} 補正の準備を行う。具体的には、電源線駆動回路 2 5 が電源線 P S L の電圧を V_{ccH} から V_{ccL} に下げる (T_1)。すると、ソース電圧 V_s が V_{ccL} となり、有機 E L 素子 1 1 が消光すると共に、ゲート電圧 V_g が V_{ofs} に下がる。次に、バックゲート線駆動回路 2 6 は、 V_{th} 補正が開始されるまでの間に、具体的には、電源線 P S L の電圧が V_{ccL} となっている間に、バックゲート線 B G L の電圧を V_{b2} から V_{b1} に変更する (T_2)。バックゲート線駆動回路 2 6 は、その後、引き続き、駆動トランジスタ $T r_1$ の閾値補正および移動度補正が終わり、有機 E L 素子 1 1 の発光が開始されるまでの間、バックゲート線 B G L の電圧を V_{b1} に維持する。つまり、バックゲート線駆動回路 2 6 は、駆動トランジスタ $T r_1$ の閾値補正および移動度補正を行っている間、バックゲート線 B G L に V_{b1} を印加する。

【 0 0 3 3 】

[最初の V_{th} 補正期間]

次に、 V_{th} の補正を行う。具体的には、信号線 D T L の電圧が V_{ofs} となっており、かつ書込線 W S L の電圧が V_{on1} となっている間に、電源線駆動回路 2 5 が電源線 P S L の電圧を V_{ccL} から V_{ccH} に上げる (T_3)。すると、駆動トランジスタ $T r_1$ のドレイン - ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇する。なお、図 3 (G) では、縦軸のスケールの関係で、電流 I_d の変化がほとんど見られない。その後、信号線駆動回路 2 3 が信号線 D T L の電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路 2 4 が書込線 W S L の電圧を V_{on1} から V_{off1} に下げる (T_4)。すると、駆動トランジスタ $T r_1$ のゲートがフローティングとなり、 V_{th} の補正が一旦停止する。

【 0 0 3 4 】

[最初の V_{th} 補正休止期間]

V_{th} 補正が休止している期間中は、先の V_{th} 補正を行った行 (画素) とは異なる他の行 (画素) において、信号線 D T L の電圧のサンプリングが行われる。なお、 V_{th} 補正が不十分である場合、すなわち、駆動トランジスタ $T r_1$ のゲート - ソース間の電位差 V_{gs} が駆動トランジスタ $T r_1$ の閾値電圧 V_{th} よりも大きい場合には、以下ようになる。すなわち、 V_{th} 補正休止期間中にも、先の V_{th} 補正を行った行 (画素) において、駆動トランジスタ $T r_1$ のドレイン - ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

【 0 0 3 5 】

[2 回目の V_{th} 補正期間]

V_{th} 補正休止期間が終了した後、 V_{th} の補正を再び行う。具体的には、信号線 D T L の電圧が V_{ofs} となっており、 V_{th} 補正が可能となっている時に、書込線駆動回路 2 4 が書込線 W S L の電圧を V_{off1} から V_{on1} に上げ (T_5)、駆動トランジスタ $T r_1$ のゲートを信号線 D T L に接続する。このとき、ソース電圧 V_s が ($V_{ofs} - V_{th}$) よりも低い場合 (V_{th} 補正がまだ完了していない場合) には、駆動トランジスタ $T r_1$ がカットオフするまで (電位差 V_{gs} が V_{th} になるまで)、駆動トランジスタ $T r_1$ のドレイン - ソース間に電

10

20

30

40

50

流 I_d が流れる。その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。なお、図 3 (G) では、縦軸のスケールの関係で、電流 I_d の変化はほんのわずかである。その後、信号線駆動回路 23 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路 24 が書込線 WSL の電圧を V_{on1} から V_{off1} に下げる (T_6)。すると、駆動トランジスタ Tr_1 のゲートがフローティングとなるので、電位差 V_{gs} を信号線 DTL の電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、駆動トランジスタ Tr_1 の閾値電圧 V_{th} が画素回路 14 ごとにばらついた場合であっても、有機 EL 素子 11 の発光輝度がばらつくのをなくすることができる。

【0036】

10

[2 回目の V_{th} 補正休止期間]

その後、 V_{th} 補正の休止期間中に、信号線駆動回路 23 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える。

【0037】

[書き込み・ μ 補正期間]

V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっている間に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off1} から V_{on1} に上げ (T_7)、駆動トランジスタ Tr_1 のゲートを信号線 DTL に接続する。すると、駆動トランジスタ Tr_1 のゲート電圧が V_{sig} となる。このとき、有機 EL 素子 11 のアノード電圧はこの段階ではまだ有機 EL 素子 11 の閾値電圧 V_{el} よりも小さく、有機 EL 素子 11 はカットオフしている。そのため、電流 I_d は有機 EL 素子 11 の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V_s が ΔV だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、駆動トランジスタ Tr_1 の移動度 μ が大きい程、 ΔV も大きくなるので、電位差 V_{gs} を発光前に ΔV だけ小さくすることにより、画素回路 14 ごとの移動度 μ のばらつきを取り除くことができる。

20

【0038】

[発光期間]

次に、書込線駆動回路 24 が書込線 WSL の電圧を V_{on1} から V_{off1} に下げる (T_8)。すると、駆動トランジスタ Tr_1 のゲートがフローティングとなり、駆動トランジスタ Tr_1 のゲート - ソース間の電圧 V_{gs} を一定に維持した状態で、駆動トランジスタ Tr_1 のドレイン - ソース間に電流 I_d が流れる。その結果、ソース電圧 V_s が上昇し、それに連動して駆動トランジスタ Tr_1 のゲートも上昇し、有機 EL 素子 11 が所望の輝度よりも小さな輝度で発光し始める。

30

【0039】

次に、バックゲート線駆動回路 26 は、有機 EL 素子 11 が発光を開始した直後に、バックゲート線 BGL の電圧を V_{b1} から V_{b2} に変更する (T_9)。すると、駆動トランジスタ Tr_1 の $I_d - V_{gs}$ 特性が変化し、有機 EL 素子 11 に流れる電流 I_d が急激に大きくなる。その結果、有機 EL 素子 11 が所望の輝度で発光ようになる。なお、有機 EL 素子 11 に流れる電流 I_d が急激に大きくなる理由については、後に詳述する。

40

【0040】

本実施の形態の表示装置 1 では、上記のようにして、各画素 12 において画素回路 14 がオンオフ制御され、各画素 12 の有機 EL 素子 11 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こる。この光は、有機 EL 素子 11 の電極等を透過して外部に取り出される。その結果、表示パネル 10 において画像が表示される。

【0041】

(作用・効果)

ところで、従来の有機 EL 表示装置では、信号電圧 V_{sig} を大きくしたり、画素 12 のサイズを小さくしたりすることにより、高輝度化および高精細化への対応がなされてきた。しかし、そのようにした結果、移動度 μ の補正に適した時間 t (上述の数 1、数 2 参照

50

）が短くなり、実際に移動度 μ を補正したときの補正時間がばらつくので、そのばらつきに起因して画面にスジムラが生じ、画質が低下してしまうという問題があった。

【0042】

一方、本実施の形態では、駆動トランジスタ T_{r1} として、デュアルゲート型のトランジスタが用いられており、このデュアルゲート型のトランジスタにおける特異な特性を利用することにより、上記の問題を解決している。以下に、その特異な特性について説明する。

【0043】

図4は、デュアルゲート型のトランジスタにおいて、バックゲート $G2$ の電圧 V_{bg} を0V、+2.0V、または-2.0Vに設定したときの、飽和領域における $I_d - V_{gs}$ 特性の一例を表したものである。図4には、トランジスタがnチャネル型である場合の $I_d - V_{gs}$ 特性が例示されている。図4から、トランジスタがnチャネル型である場合には、例えば、バックゲート $G2$ の電圧 V_{bg} を0Vから+2.0Vに変化させると、 V_{gs} の上昇幅に対する I_d の上昇幅（ $I_d - V_{gs}$ 特性の傾き）が大きくなることがわかる。これは、 V_{gs} を一定としたときに、バックゲート $G2$ の電圧 V_{bg} を正の方向に変化させると、トランジスタに流れる電流 I_d が増大することを意味している。同様のことは、トランジスタがpチャネル型である場合にも言える。トランジスタがpチャネル型である場合には、例えば、図示しないが、バックゲート $G2$ の電圧 V_{bg} を0Vから-2.0Vに変化させると、 V_{gs} の上昇幅に対する I_d の上昇幅（ $I_d - V_{gs}$ 特性の傾き）が大きくなる。これは、 V_{gs} を一定としたときに、バックゲート $G2$ の電圧 V_{bg} を負の方向に変化させると、トランジスタに流れる電流 I_d が増大することを意味している。

【0044】

本実施の形態では、上述した特異な特性を利用するために、駆動トランジスタ T_{r1} において、トップゲート $G1$ と、バックゲート $G2$ とが独立して駆動される。具体的には、トップゲート $G1$ は書き込みトランジスタ T_{r2} および信号線DTLを介して信号線駆動回路23によって駆動され、バックゲート $G2$ はバックゲート線BGLを介してバックゲート線駆動回路26によって駆動される。

【0045】

トップゲート $G1$ とバックゲート $G2$ との独立駆動は、例えば、以下のようにして行われる。まず、信号線駆動回路23は、トップゲート $G1$ （信号線DTL）に印加する信号電圧 V_{sig} を、移動度 μ を補正したときの補正時間のばらつきが問題とならない程度に小さく設定する。そして、信号線駆動回路23は、そのように設定した信号電圧 V_{sig} を移動度補正および発光に際してトップゲート $G1$ （信号線DTL）に印加する。一方、バックゲート線駆動回路26は、駆動トランジスタ T_{r1} の閾値補正および移動度補正を行っている時にバックゲート $G2$ （バックゲート線BGL）に所定の電圧 V_{b1} を印加したのち、有機EL素子11を発光させている時に電圧 V_{b1} よりも大きな電圧 V_{b2} をバックゲート $G2$ （バックゲート線BGL）に印加する。より詳細には、バックゲート線駆動回路26は、消光時および発光初期（有機EL素子11が発光を開始してからごく僅かな期間）にバックゲート $G2$ （バックゲート線BGL）に所定の電圧 V_{b1} を印加し、続いて、電圧 V_{b1} よりも大きな電圧 V_{b2} をバックゲート $G2$ （バックゲート線BGL）に印加する。これにより、上述の信号電圧 V_{sig} をトップゲート $G1$ （信号線DTL）に印加したときに有機EL素子11に通常流れる電流値よりも大きな電流 I_d を有機EL素子11に流すことができる。

【0046】

なお、駆動トランジスタ T_{r1} がpチャネル型である場合には、バックゲート線駆動回路26は、閾値補正および移動度補正を行っている時にバックゲート $G2$ （バックゲート線BGL）に所定の電圧 V_{b1} を印加したのち、有機EL素子11を発光させている時に電圧 V_{b1} よりも小さな電圧 V_{b2} をバックゲート $G2$ （バックゲート線BGL）に印加する。より詳細には、バックゲート線駆動回路26は、消光時および発光初期（有機EL素子11が発光を開始してからごく僅かな期間）にバックゲート $G2$ （バックゲート線BGL）

に所定の電圧 V_{b1} を印加し、続いて、電圧 V_{b1} よりも小さな電圧 V_{b2} をバックゲート $G2$ (バックゲート線 BGL) に印加する。これにより、上述の信号電圧 V_{sig} をトップゲート $G1$ (信号線 DTL) に印加したときに有機 EL 素子 11 に通常流れる電流値よりも大きな電流 I_d を有機 EL 素子 11 に流すことができる。

【0047】

このように、本実施の形態では、有機 EL 素子 11 を発光させる時、または有機 EL 素子 11 を発光させている時に、駆動トランジスタ Tr_1 の閾値補正および移動度補正を行っている時とは異なる所定の値の電圧をバックゲート $G2$ に印加することにより、上述の信号電圧 V_{sig} をトップゲート $G1$ (信号線 DTL) に印加したときに有機 EL 素子 11 に通常流れる電流値よりも大きな電流 I_d を有機 EL 素子 11 に流すことができる。つまり、トップゲート $G1$ に書き込む信号電圧 V_{sig} の大きさを大きくする代わりに、バックゲート $G2$ に印加する電圧を適切に調整することにより、有機 EL 素子 11 に流れる電流 I_d を大きくすることができる。従って、本実施の形態では、移動度 μ の補正に適した時間 t を過度に短くすることなく、高輝度化を実現することができる。

【0048】

< 第2の実施の形態 >

図5は、本発明の第2の実施の形態に係る表示装置2の概略構成を表したものである。図6は、図5の表示装置2の画素回路アレイ部13の回路構成を表したものである。この表示装置2は、駆動回路20において制御線駆動回路27がさらに設けられ、画素回路14において制御トランジスタ Tr_3 (スイッチング素子) および容量素子 C_b がさらに設けられている点で、上記実施の形態の表示装置1の構成と主に相違する。そこで、以下では、表示装置1の構成と相違する点について主に説明し、表示装置1の構成と共通する点についての説明を適宜、省略するものとする。

【0049】

画素回路14は、上述したように、駆動トランジスタ Tr_1 、書き込みトランジスタ Tr_2 および保持容量 C_s の他に、制御トランジスタ Tr_3 および容量素子 C_b をさらに有している。制御トランジスタ Tr_3 は、例えば、デュアルゲート型、トップゲート型、またはボトムゲート型のトランジスタにより形成されている。制御トランジスタ Tr_3 は、例えば、 n チャネル MOS 型の TFT により形成されている。なお、制御トランジスタ Tr_3 は、 p チャネル MOS 型の TFT により形成されていてもよい。

【0050】

制御トランジスタ Tr_3 のドレイン電極 (図示せず) は、駆動トランジスタ Tr_1 のバックゲート電極 (バックゲート $G2$) に接続されている。なお、図6には、制御トランジスタ Tr_3 のドレイン電極と、駆動トランジスタ Tr_1 のバックゲート電極との接続点が P で表されている。制御トランジスタ Tr_3 のソース電極 (図示せず) は、有機 EL 素子 11 のうち駆動トランジスタ Tr_1 側の端子と、駆動トランジスタ Tr_1 のソース電極とに接続されている。制御トランジスタ Tr_3 のゲート電極 (図示せず) は、制御線駆動回路27から延在する制御線 CNL に接続されている。接続点 P と、バックゲート線 BGL との間に容量素子 C_b が設けられている。従って、本実施の形態では、駆動トランジスタ Tr_1 のバックゲート $G2$ は、容量素子 C_b を介してバックゲート線 BGL と接続されており、さらに、制御トランジスタ Tr_3 を介して、駆動トランジスタ Tr_1 のソース電極と接続されている。

【0051】

制御線駆動回路27は、制御信号22Aの入力に応じて (同期して)、複数の制御線 CNL に制御パルスを順次印加して、選択対象の有機 EL 素子 11 に接続された駆動トランジスタ Tr_1 のバックゲート $G2$ の電圧を制御するものである。制御線駆動回路27は、例えば、制御トランジスタ Tr_3 をオンさせるときに印加する電圧 V_{on2} と、制御トランジスタ Tr_3 をオフさせるときに印加する電圧 V_{off2} とを出力することが可能となっている。電圧 V_{on2} は、主に、駆動トランジスタ Tr_1 の閾値補正および移動度補正を行っている時に印加されるものである。一方、電圧 V_{off2} は、有機 EL 素子 11 を発光させている時

に印加されるものである。

【0052】

(表示装置2の動作)

図7は、表示装置2を駆動させたときの各種波形の一例を表したものである。図7(A)、(B)には、信号線DTLに V_{sig} 、 V_{ofs} が周期的に印加され、書込線WSLに V_{on1} 、 V_{off1} が所定のタイミングで印加されている様子がそれぞれ示されている。図7(C)、(D)、(E)には、電源線PSLに V_{ccL} 、 V_{ccH} が所定のタイミングで印加され、バックゲート線BGLに V_{b1} 、 V_{b2} が所定のタイミングで印加され、制御線CNLに V_{on2} 、 V_{off2} が所定のタイミングで印加されている様子がそれぞれ示されている。なお、図3(D)には、電圧 V_{b2} が電圧 V_{b1} よりも高くなっている場合、すなわち、駆動トランジスタ T_{r1} がpチャネル型である場合の波形が例示されている。図3(F)、(G)には、信号線DTL、書込線WSL、電源線PSL、バックゲート線BGLおよび制御線CNLへの電圧印加に応じて、駆動トランジスタ T_{r1} のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。図3(H)には、有機EL素子11に流れる電流 I_d が時々刻々変化している様子が示されている。

10

【0053】

[V_{th} 補正準備期間]

まず、 V_{th} 補正の準備を行う。具体的には、電源線駆動回路25が電源線PSLの電圧を V_{ccH} から V_{ccL} に下げる(T_1)。すると、ソース電圧 V_s が V_{ccL} となり、有機EL素子11が消光すると共に、ゲート電圧 V_g が V_{ofs} に下がる。このとき、制御線駆動回路27が、制御線CNLの電圧を V_{off2} から V_{on2} に上げる(T_1)。すると、駆動トランジスタ T_{r1} がオンし、トランジスタ T_{r1} のバックゲートG2が駆動トランジスタ T_{r1} のソースと電氣的に接続され、バックゲートG2の電圧と、駆動トランジスタ T_{r1} のソース電圧とが互いに等しくなる。なお、 V_{off2} から V_{on2} への変移は、 V_{ccH} から V_{ccL} への変移と同時であってもよいし、 V_{ccH} から V_{ccL} への変移が終わった後であってもよい。制御線駆動回路27は、その後、引き続き、駆動トランジスタ T_{r1} の閾値補正および移動度補正が終わり、有機EL素子11の発光が開始されるまでの間、制御線CNLの電圧を V_{on2} に維持する。つまり、制御線駆動回路27は、駆動トランジスタ T_{r1} の閾値補正および移動度補正を行っている間、制御線CNLに V_{on2} を印加し続け、バックゲートG2の電圧を、駆動トランジスタ T_{r1} のソース電圧に追従させる。

20

30

【0054】

次に、バックゲート線駆動回路26は、 V_{th} 補正が開始されるまでの間に、具体的には、電源線PSLの電圧が V_{ccL} となっている間に、バックゲート線BGLの電圧を V_{b2} から V_{b1} に変更する(T_2)。バックゲート線駆動回路26は、その後、引き続き、駆動トランジスタ T_{r1} の閾値補正および移動度補正が終わり、有機EL素子11の発光が開始されるまでの間、バックゲート線BGLの電圧を V_{b1} に維持する。つまり、バックゲート線駆動回路26は、駆動トランジスタ T_{r1} の閾値補正および移動度補正を行っている時に、バックゲート線BGLに V_{b1} を印加する。

【0055】

[最初の V_{th} 補正期間]

次に、 V_{th} の補正を行う。具体的には、信号線DTLの電圧が V_{ofs} となっており、かつ書込線WSLの電圧が V_{on1} となっている間に、電源線駆動回路25が電源線PSLの電圧を V_{ccL} から V_{ccH} に上げる(T_3)。すると、駆動トランジスタ T_{r1} のドレイン-ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇する。なお、図3(G)では、縦軸のスケールの関係で、電流 I_d の変化がほとんど見られない。その後、信号線駆動回路23が信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路24が書込線WSLの電圧を V_{on1} から V_{off1} に下げる(T_4)。すると、駆動トランジスタ T_{r1} のゲートがフローティングとなり、 V_{th} の補正が一旦停止する。

40

【0056】

[最初の V_{th} 補正休止期間]

50

V_{th} 補正が休止している期間中は、先の V_{th} 補正を行った行（画素）とは異なる他の行（画素）において、信号線DTLの電圧のサンプリングが行われる。なお、 V_{th} 補正が不十分である場合、すなわち、駆動トランジスタ T_{r1} のゲート - ソース間の電位差 V_{gs} が駆動トランジスタ T_{r1} の閾値電圧 V_{th} よりも大きい場合には、以下ようになる。すなわち、 V_{th} 補正休止期間中にも、先の V_{th} 補正を行った行（画素）において、駆動トランジスタ T_{r1} のドレイン - ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

【0057】

[2 回目の V_{th} 補正期間]

V_{th} 補正休止期間が終了した後、 V_{th} の補正を再び行う。具体的には、信号線DTLの電圧が V_{ofs} となっており、 V_{th} 補正が可能となっている時に、書込線駆動回路24が書込線WSLの電圧を V_{off1} から V_{on1} に上げ（ T_5 ）、駆動トランジスタ T_{r1} のゲートを信号線DTLに接続する。このとき、ソース電圧 V_s が（ $V_{ofs} - V_{th}$ ）よりも低い場合（ V_{th} 補正がまだ完了していない場合）には、駆動トランジスタ T_{r1} がカットオフするまで（電位差 V_{gs} が V_{th} になるまで）、駆動トランジスタ T_{r1} のドレイン - ソース間に電流 I_d が流れる。その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。なお、図3（G）では、縦軸のスケールの関係で、電流 I_d の変化はほんのわずかである。その後、信号線駆動回路23が信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路24が書込線WSLの電圧を V_{on1} から V_{off1} に下げる（ T_6 ）。すると、駆動トランジスタ T_{r1} のゲートがフローティングとなるので、電位差 V_{gs} を信号線DTLの電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、駆動トランジスタ T_{r1} の閾値電圧 V_{th} が画素回路14ごとにばらついた場合であっても、有機EL素子11の発光輝度がばらつくのをなくすることができる。

【0058】

[2 回目の V_{th} 補正休止期間]

その後、 V_{th} 補正の休止期間中に、信号線駆動回路23が信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える。

【0059】

[書き込み・ μ 補正期間]

V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線DTLの電圧が V_{sig} となっている間に、書込線駆動回路24が書込線WSLの電圧を V_{off1} から V_{on1} に上げ（ T_7 ）、駆動トランジスタ T_{r1} のゲートを信号線DTLに接続する。すると、駆動トランジスタ T_{r1} のゲート電圧が V_{sig} となる。このとき、有機EL素子11のアノード電圧はこの段階ではまだ有機EL素子11の閾値電圧 V_{el} よりも小さく、有機EL素子11はカットオフしている。そのため、電流 I_d は有機EL素子11の素子容量（図示せず）に流れ、素子容量が充電されるので、ソース電圧 V_s が ΔV だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、駆動トランジスタ T_{r1} の移動度 μ が大きい程、 ΔV も大きくなるので、電位差 V_{gs} を発光前に ΔV だけ小さくすることにより、画素回路14ごとの移動度 μ のばらつきを取り除くことができる。

【0060】

[発光期間]

次に、書込線駆動回路24が書込線WSLの電圧を V_{on1} から V_{off1} に下げる（ T_8 ）。すると、駆動トランジスタ T_{r1} のゲートがフローティングとなり、駆動トランジスタ T_{r1} のゲート - ソース間の電圧 V_{gs} を一定に維持した状態で、駆動トランジスタ T_{r1} のドレイン - ソース間に電流 I_d が流れる。その結果、ソース電圧 V_s が上昇し、それに連動して駆動トランジスタ T_{r1} のゲートも上昇し、有機EL素子11が所望の輝度よりも小さな輝度で発光し始める。

【0061】

10

20

30

40

50

次に、制御線駆動回路 27 は、発光が開始された後、制御線 CNL の電圧を V_{on2} から V_{off2} に下げる (T_9)。すると、駆動トランジスタ Tr_1 がオフし、バックゲート G2 が駆動トランジスタ Tr_1 のソースと電氣的に分離され、バックゲート G2 がフローティングとなる。続いて、バックゲート線駆動回路 26 が、バックゲート線 BGL の電圧を V_{b2} から V_{b1} に変更する (T_{10})。すると、容量素子 C_b を介したカップリングによりバックゲート G2 の電圧が変動するので、バックゲート G2 の電圧変動に起因して駆動トランジスタ Tr_1 の $I_d - V_{gs}$ 特性が変化し、有機 EL 素子 11 に流れる電流 I_d が急激に大きくなる。その結果、有機 EL 素子 11 が所望の輝度で発光するようになる。

【0062】

(作用・効果)

ところで、本実施の形態では、第 1 の実施の形態と同様、駆動トランジスタ Tr_1 として、デュアルゲート型のトランジスタが用いられており、駆動トランジスタ Tr_1 において、トップゲート G1 と、バックゲート G2 とが独立して駆動される。具体的には、トップゲート G1 は書き込みトランジスタ Tr_2 および信号線 DTL を介して信号線駆動回路 23 によって駆動され、バックゲート G2 はバックゲート線 BGL を介してバックゲート線駆動回路 26 によって駆動される。トップゲート G1 とバックゲート G2 との独立駆動は、第 1 の実施の形態と同様の方法で行われる。

【0063】

従って、本実施の形態でも、有機 EL 素子 11 を発光させる時、または有機 EL 素子 11 を発光させている時に、駆動トランジスタ Tr_1 の閾値補正および移動度補正を行っている時とは異なる所定の値の電圧をバックゲート G2 に印加することにより、上述の信号電圧 V_{sig} をトップゲート G1 (信号線 DTL) に印加したときに有機 EL 素子 11 に通常流れる電流値よりも大きな電流 I_d を有機 EL 素子 11 に流すことができる。つまり、トップゲート G1 に書き込む信号電圧 V_{sig} の大きさを大きくする代わりに、バックゲート G2 に印加する電圧を適切に調整することにより、有機 EL 素子 11 に流れる電流 I_d を大きくすることができる。従って、本実施の形態では、移動度 μ の補正に適した時間 t を過度に短くすることなく、高輝度化を実現することができる。

【0064】

ところで、第 1 の実施の形態では、発光前のソース電圧 V_s は、 V_{th} 補正により、駆動トランジスタ Tr_1 の V_{th} ばらつきを反映した値 ($V_{ofs} + V_{th} - \Delta V$) となっている (図 8 (A) 参照)。しかし、発光後は、ソース電圧 V_s は、有機 EL 素子 11 の動作点によって決定されるので、 V_{th} ばらつきに拘わらず、ほぼ一定値 (V_{el}) となる (図 8 (B) 参照)。そのため、発光後に、バックゲート G2 側のゲート - ソース間電圧 V_{gsb} (図 6 参照) に、 V_{th} ばらつきに対応する小さなばらつきが生じる場合がある。

【0065】

一方、本実施の形態では、駆動トランジスタ Tr_1 の閾値補正および移動度補正を行っている間、制御線 CNL に V_{on2} が印加されており、バックゲート G2 の電圧 V_{bg} が、駆動トランジスタ Tr_1 のソース電圧 V_s と等しくなっている (図 9 (A) 参照)。さらに、発光が開始された後、制御線 CNL に V_{off2} が印加されており、バックゲート G2 の電圧 V_{bg} が、容量素子 C_b を介したカップリングにより、駆動トランジスタ Tr_1 の V_{th} ばらつきを反映した電圧 V_b と、 V_{el} との和 ($V_{el} + V_b$) となる (図 9 (B) 参照)。これにより、バックゲート G2 側のゲート - ソース間電圧 V_{gsb} に、 V_{th} ばらつきに対応する小さなばらつきが生じる可能性をなくすることができる。従って、本実施の形態では、高輝度化と同時に高画質化を実現することができる。

【0066】

< モジュールおよび適用例 >

以下、上述した実施の形態で説明した表示装置の適用例について説明する。上記実施の形態の表示装置は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電

10

20

30

40

50

子機器の表示装置に適用することが可能である。

【 0 0 6 7 】

(モジュール)

上記実施の形態の表示装置 1 は、例えば、図 1 0 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 1 の一辺に、封止用基板 3 2 から露出した領域 2 1 0 を設け、この露出した領域 2 1 0 に、駆動回路 2 0 の配線を延長して外部接続端子 (図示せず) を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 (F P C ; Flexible Printed Circuit) 2 2 0 が設けられていてもよい。

【 0 0 6 8 】

10

(適用例 1)

図 1 1 は、上記実施の形態の表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 9 】

(適用例 2)

図 1 2 は、上記実施の形態の表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0 、表示部 4 2 0 、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上記実施の形態に係る表示装置 1 により構成されている。

20

【 0 0 7 0 】

(適用例 3)

図 1 3 は、上記実施の形態の表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0 , 文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

【 0 0 7 1 】

(適用例 4)

図 1 4 は、上記実施の形態の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0 , この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0 , 撮影時のスタート / ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

30

【 0 0 7 2 】

(適用例 5)

図 1 5 は、上記実施の形態の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部 (ヒンジ部) 7 3 0 で連結したものであり、ディスプレイ 7 4 0 , サブディスプレイ 7 5 0 , ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上記各実施の形態に係る表示装置 1 により構成されている。

40

【 0 0 7 3 】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【 0 0 7 4 】

例えば、上記実施の形態等では、表示装置 1 , 2 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 4 の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路 1 4 に追加してもよい。その場合、画素回路 1 4 の変更に応じて、上述した信号線駆動回路

50

23、書込線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26のほかに、必要な駆動回路を追加してもよい。

【0075】

また、上記実施の形態等では、信号線駆動回路23、書込線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26の駆動をタイミング生成回路22が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路23、書込線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【0076】

また、上記実施の形態等では、画素回路14が、2Tr1Cの回路構成となっていたが、デュアルゲート型のトランジスタが有機EL素子11に直列に接続された回路構成を含んでいるものであれば、2Tr1Cの回路構成以外の回路構成となってもよい。

【0077】

また、上記実施の形態等では、駆動トランジスタ Tr_1 、書き込みトランジスタ Tr_2 は、nチャネルMOS型の薄膜トランジスタ（TFET（Thin Film Transistor））により形成されている場合が例示されていたが、pチャネルトランジスタ（例えばpチャネルMOS型のTFET）により形成されていてもよい。ただし、その場合には、トランジスタ Tr_2 のソースおよびドレインのうち電源線PSLと未接続の方と保持容量 C_s の他端とを有機EL素子11のカソードに接続し、有機EL素子11のアノードをGNDなどに接続することが好ましい。

【符号の説明】

【0078】

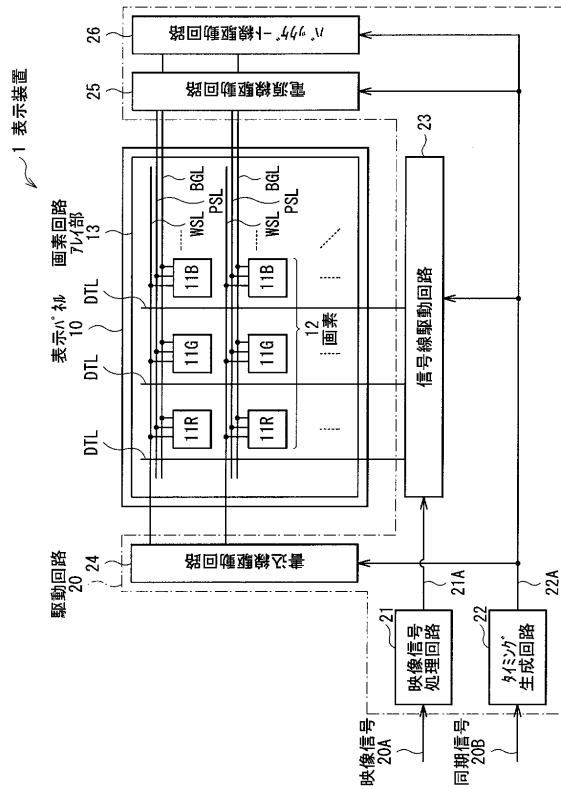
1, 2...表示装置、10...表示パネル、11, 11R, 11G, 11B...有機EL素子、12...画素、13...画素回路アレイ部、14...画素回路、20...駆動回路、21...映像信号処理回路、20A, 21A...映像信号、20B...同期信号、22...タイミング生成回路、22A...制御信号、23...信号線駆動回路、24...書込線駆動回路、25...電源線駆動回路、26...バックゲート線駆動回路、27...制御線駆動回路、BGL...バックゲート線、 C_s ...保持容量、CTL...制御線、DTL...信号線、 I_d ...電流、GND...グラウンド線、G1...トップゲート、G2...バックゲート、PSL...電源線、 Tr_1 ...駆動トランジスタ、 Tr_2 ...書き込みトランジスタ、 Tr_3 ...制御トランジスタ、 V_g ...ゲート電圧、 V_{gs} , V_{gsb} ...ゲート-ソース間電圧、 V_s ...ソース電圧、 V_{sig} ...信号電圧、 V_{b1} , V_{b2} , V_{cch} , V_{CCL} , V_{off1} , V_{off2} , V_{ofs} , V_{on1} , V_{on2} ...電圧、 V_{th} ...閾値電圧、WSL...書込線。

10

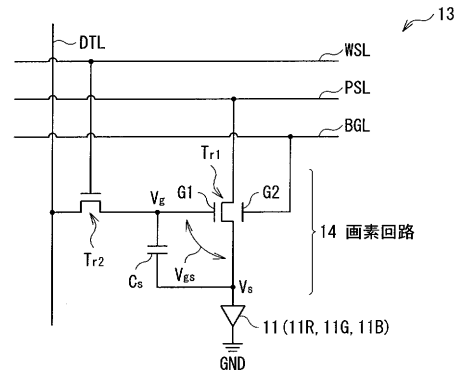
20

30

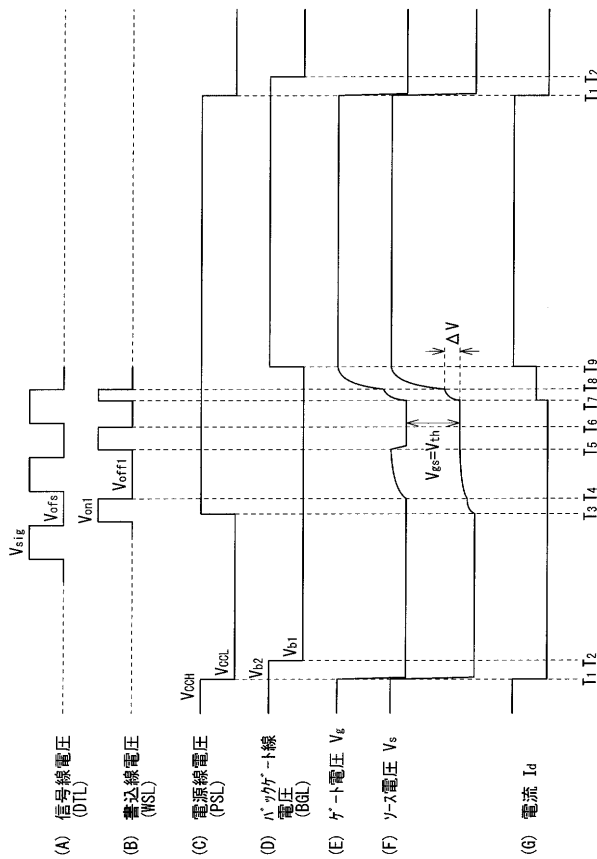
【図 1】



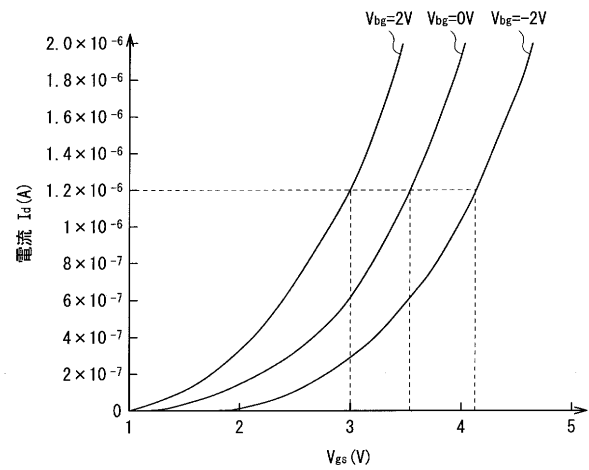
【図 2】



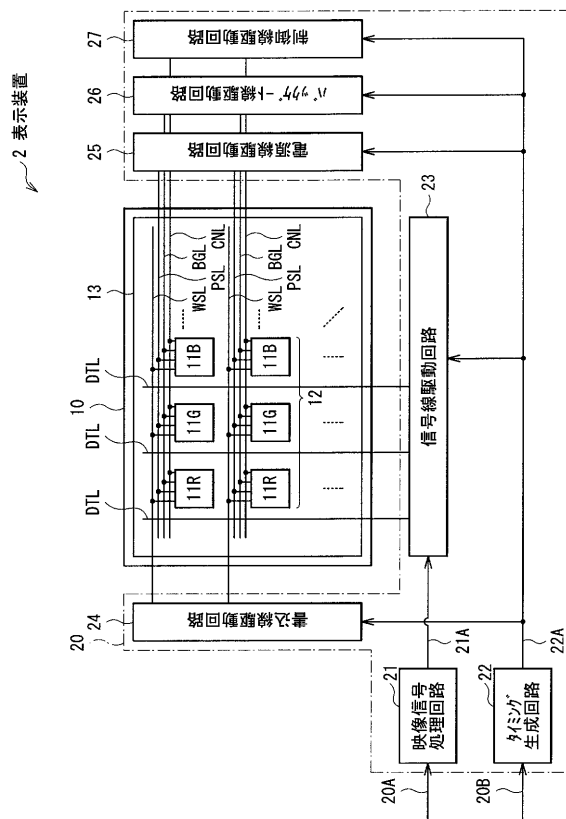
【図 3】



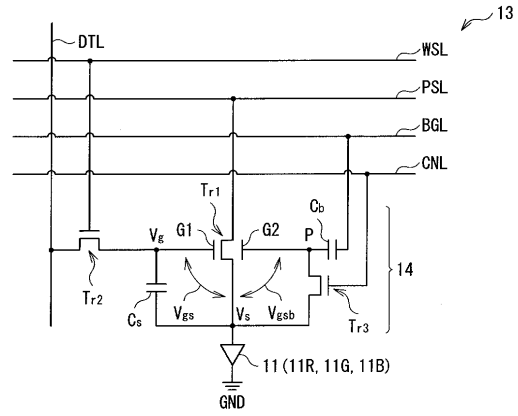
【図 4】



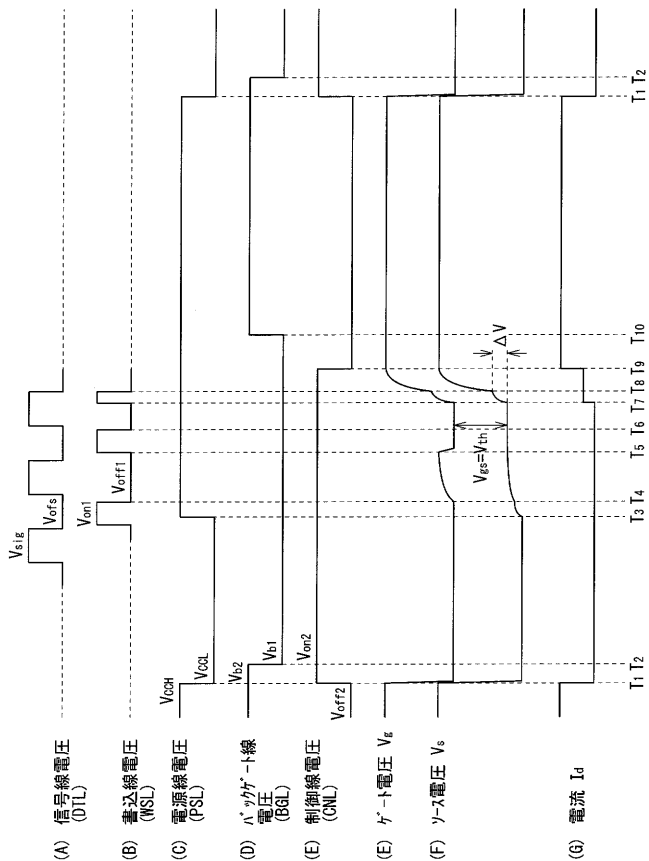
【図 5】



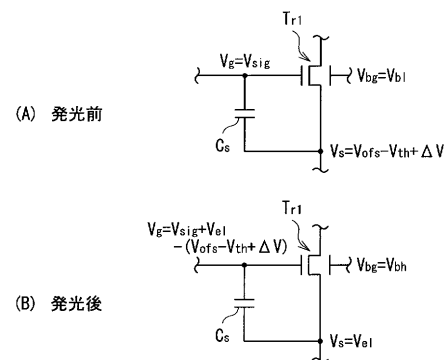
【図 6】



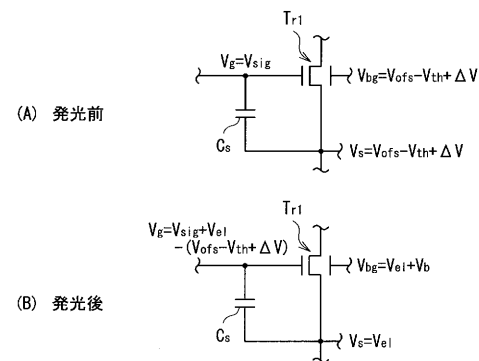
【図 7】



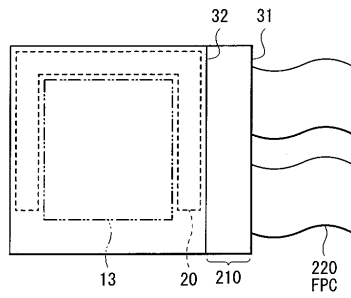
【図 8】



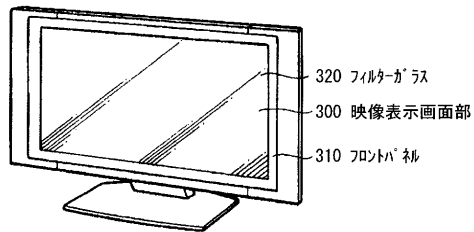
【図 9】



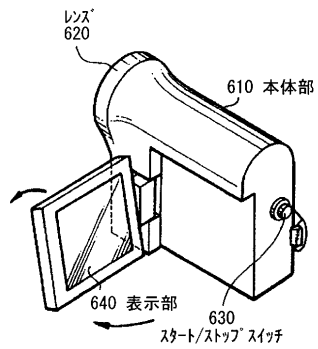
【図 10】



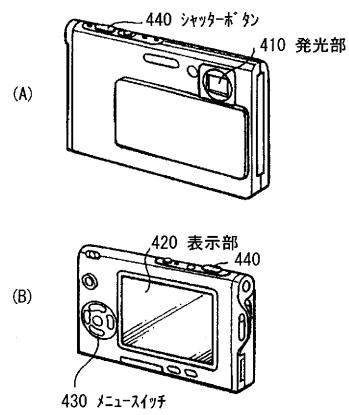
【図 11】



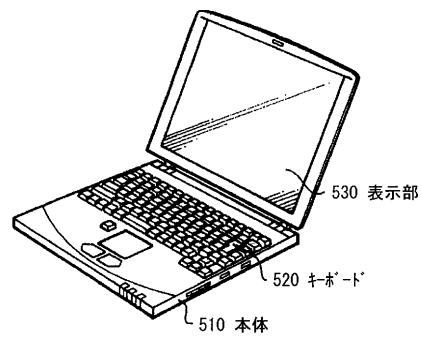
【図 14】



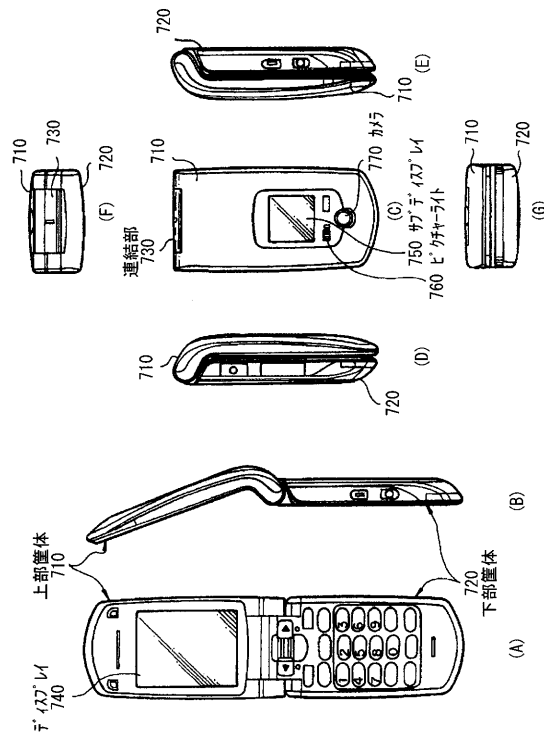
【図 12】



【図 13】



【図 15】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/08
H 0 5 B 33/14 A

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC02 CC31 EE03 HH04
5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ04 JJ05 JJ06
5C380 AA01 AB06 AC07 AC08 AC09 AC11 AC12 BA31 BA38 BA39
BB02 BB22 CA08 CA12 CA53 CB01 CB16 CB31 CC04 CC06
CC07 CC27 CC30 CC33 CC41 CC63 CC80 CD012 CD023 DA02
DA06 DA47

专利名称(译)	显示装置，其驱动方法和电子设备		
公开(公告)号	JP2011112722A	公开(公告)日	2011-06-09
申请号	JP2009266733	申请日	2009-11-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野胜秀		
发明人	山下 淳一 内野 胜秀		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.611.H H05B33/08 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC31 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA31 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC63 5C380/CC80 5C380/CD012 5C380/CD023 5C380/DA02 5C380/DA06 5C380/DA47		
其他公开文献	JP2011112722A5		
外部链接	Espacenet		

摘要(译)

提供一种显示装置，其驱动方法以及能够实现高亮度而不会过度缩短适合于移动性 μ 的校正的时间 t 的电子设备。双栅极型晶体管用作与有机EL元件11串联连接的驱动晶体管 Tr_1 。当使有机EL元件11发光或者当使有机EL元件11发光时，执行与驱动晶体管 Tr_1 的阈值校正和迁移率校正不同的预定值。应用于背栅G2。因此，代替增加要写入顶栅G1的信号电压 V_{sig} 的幅度，通过适当地调节施加到背栅G2的电压，流过有机EL元件11的电流。我可以增加 d 。The

