

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-276744

(P2009-276744A)

(43) 公開日 平成21年11月26日(2009.11.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/30 J	
H05B 33/12 (2006.01)	G09G 3/20 641P	
	G09G 3/20 623D	
審査請求 未請求 請求項の数 18 O L (全 132 頁) 最終頁に続く		

(21) 出願番号 特願2009-11791 (P2009-11791)
 (22) 出願日 平成21年1月22日 (2009.1.22)
 (31) 優先権主張番号 特願2008-31284 (P2008-31284)
 (32) 優先日 平成20年2月13日 (2008.2.13)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2008-33399 (P2008-33399)
 (32) 優先日 平成20年2月14日 (2008.2.14)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2008-105475 (P2008-105475)
 (32) 優先日 平成20年4月15日 (2008.4.15)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 302020207
 東芝モバイルディスプレイ株式会社
 東京都港区港南4-1-8
 (74) 代理人 100059225
 弁理士 蔦田 璋子
 (74) 代理人 100076314
 弁理士 蔦田 正人
 (74) 代理人 100112612
 弁理士 中村 哲士
 (74) 代理人 100112623
 弁理士 富田 克幸
 (74) 代理人 100124707
 弁理士 夫 世進

最終頁に続く

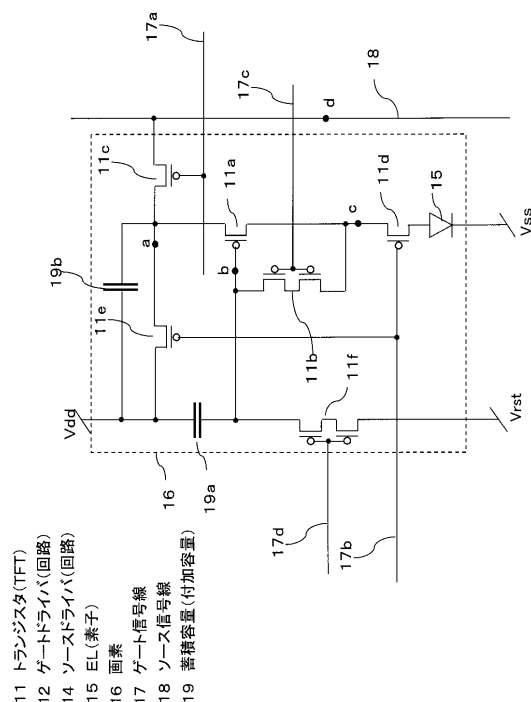
(54) 【発明の名称】 E L表示装置

(57) 【要約】

【課題】十分なオフセットキャンセル期間を確保して、駆動トランジスタの特性バラツキを補償し、特性表示ムラのない画像表示を実現できる E L 表示装置を提供する。

【解決手段】画素 16 には、映像信号電圧 V_{sig} を保持するコンデンサ 19b が形成されている。スイッチトランジスタ 11c がオンすると、映像信号電圧 V_{sig} により、駆動トランジスタ 11a がオフセットキャンセル動作を行うと共に、映像信号電圧 V_{sig} がコンデンサ 19b に書き込まれ、画素 16 の選択期間が終了し、スイッチトランジスタ 11c がオフした後、コンデンサ 19b に保持された映像信号電圧 V_{sig} により、オフセットキャンセル動作が継続する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

E L 素子を有する画素がマトリックス状に複数配置された表示画面を有する E L 表示装置であって、

映像信号電圧を出力するソースドライバ回路と、
前記表示画面の中の画素を選択するゲートドライバ回路と、
前記映像信号電圧を保持する第 1 のコンデンサと、
前記画素の前記 E L 素子に電流を供給する駆動トランジスタと、
を有し、

前記映像信号電圧を前記駆動トランジスタに印加して所定動作を行うと共に、前記第 1 のコンデンサに前記映像信号電圧を書込み、

前記第 1 のコンデンサに保持された前記映像信号電圧により、オフセットキャンセル動作を行う、

ことを特徴とする E L 表示装置。

【請求項 2】

E L 素子を有する画素がマトリックス状に複数配置された表示画面を有する E L 表示装置であって、

映像信号電圧を出力するソースドライバ回路と、
前記表示画面の中の画素を選択するゲートドライバ回路と、
動作信号電圧を保持する第 1 のコンデンサと、
前記画素の前記 E L 素子に電流を供給する駆動トランジスタと、
を有し、

前記動作信号電圧を、前記駆動トランジスタを介して前記画素に印加して所定動作を行うと共に、前記第 1 のコンデンサに前記動作信号電圧を書込み、

前記動作信号電圧の印加を停止した後、前記第 1 のコンデンサに書き込まれた前記動作信号電圧により、前記所定動作を継続する、

ことを特徴とする E L 表示装置。

【請求項 3】

前記各画素にリセット電圧を印加する第 1 のスイッチトランジスタが形成され、

前記第 1 のスイッチトランジスタはマルチゲート構造である、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 4】

前記 E L 素子に流れる電流経路に、第 2 のスイッチトランジスタが形成され、

前記第 2 のスイッチトランジスタをオン / オフ制御することにより、前記表示画面に帯状の非表示領域を発生させ、

前記非表示領域が 1 フレーム周期で前記表示画面を移動させる、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 5】

前記各画素に前記映像信号電圧を印加する第 3 のスイッチトランジスタが形成され、

前記第 3 のスイッチトランジスタのゲート端子と、前記第 3 のスイッチトランジスタのドレイン端子間に、第 2 のコンデンサが形成されている、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 6】

前記ゲートドライバ回路、又は、前記ゲートドライバ回路の入力段にレベルシフト回路が形成され、

前記ソースドライバ回路から出力された信号が、前記レベルシフト回路でレベルシフトして前記ゲートドライバ回路に入力される、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 7】

前記ゲートドライバ回路は、P チャンネルトランジスタ又は N チャンネルトランジスタ

で構成されている、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 8】

前記ソースドライバ回路は、半導体 IC であり、

前記ソースドライバ回路は、前記表示画面が形成された基板に実装され、

前記ソースドライバ回路と前記基板の間に遮光膜が形成されている、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 9】

マトリックス状の同じ列に配置された複数の前記画素に対して、第 1 のソース信号線と第 2 のソース信号線が形成され、

前記第 1 のソース信号線によって第 1 の映像信号電圧が印加される前記画素と、前記第 2 のソース信号線によって第 2 の映像信号電圧が印加される前記画素とが異なる、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 10】

温度センサと、前記 E L 素子に印加する電圧を発生する電圧発生回路とを更に有し、

前記温度センサの出力に基づいて前記電圧発生回路が前記電圧を可変する、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 11】

温度センサを更に有し、

前記温度センサの出力に基づいて、前記表示画面で使用する最大表示階調を可変する、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 12】

前記温度センサが前記ソースドライバ回路に内蔵されている、

ことを特徴とする請求項 10 又は 11 に記載の E L 表示装置。

【請求項 13】

前記ソースドライバ回路は、ソース信号線を選択する選択スイッチ回路が複数内蔵されている、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 14】

外光の明るさを検出するホトセンサを更に有し、

前記ホトセンサの出力に基づいて、前記表示画面の明るさを可変する、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 15】

前記画素に印加するリセット電圧の発生回路を更に有し、

前記リセット電圧は、前記映像信号電圧に基づいて可変する、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 16】

前記画素が複数の色から構成され、前記画素の画素電極の面積が、色によって異なる、

ことを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 17】

前記動作信号電圧が、前記映像信号電圧であり、前記所定の動作がオフセットキャンセル動作である、

ことを特徴とする請求項 2 に記載の E L 表示装置。

【請求項 18】

前記動作信号電圧が、リセット信号電圧であり、前記所定の動作がリセット動作である、

ことを特徴とする請求項 2 に記載の E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、有機又は無機エレクトロルミネッセンス（ＥＬ）素子などを用いるＥＬ表示パネル（表示装置）などの自発光表示パネル（表示装置）を用いた、ＥＬ表示装置（有機発光表示装置）に関するものである。また、映像信号電圧（映像信号データ） V_{sig} を画素に所定期間保持するコンデンサ（容量、付加コンデンサ）を有する表示パネル、表示装置に関するものである。

【背景技術】

【０００２】

電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料あるいは無機ＥＬ材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。ＥＬ表示装置は、各画素に発光素子を有する自発光型である。Ｅ

10

【０００３】

有機ＥＬ（PLED、OLED、OEL）パネルは、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT、FET、MOSトランジスタ）によって制御するものである（特許文献１，２参照）。

【先行技術文献】

【特許文献】

【０００４】

20

【特許文献１】特開２００３－２５５８５６公報

【特許文献２】特開２００３－２７１０９５公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

有機ＥＬ表示パネルは、低温あるいは高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【０００６】

ＥＬ素子１５に電流を供給する駆動トランジスタ１１ａに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ１１ａは５０％以上の特性バラツキがある。そのために、駆動トランジスタの特性バラツキが表示ムラとして表示され、画像表示品位を低下させていた。

30

【０００７】

そこで本発明は、十分なオフセットキャンセル期間を確保して、駆動トランジスタの特性バラツキを補償し、特性表示ムラのない画像表示を実現できるＥＬ表示装置を提供する。

【課題を解決するための手段】

【０００８】

本発明は、ＥＬ素子を有する画素がマトリックス状に複数配置された表示画面を有するＥＬ表示装置であって、映像信号電圧を出力するソースドライバ回路と、前記表示画面の中の画素を選択するゲートドライバ回路と、前記映像信号電圧を保持する第１のコンデンサと、前記画素の前記ＥＬ素子に電流を供給する駆動トランジスタと、を有し、前記映像信号電圧を前記駆動トランジスタに印加して所定動作を行うと共に、前記第１のコンデンサに前記映像信号電圧を書込み、前記第１のコンデンサに保持された前記映像信号電圧により、オフセットキャンセル動作を行う、ことを特徴とするＥＬ表示装置である。

40

【０００９】

また、本発明は、ＥＬ素子を有する画素がマトリックス状に複数配置された表示画面を有するＥＬ表示装置であって、映像信号電圧を出力するソースドライバ回路と、前記表示画面の中の画素を選択するゲートドライバ回路と、信号電圧を保持する第１のコンデンサ

50

と、前記画素の前記 E L 素子に電流を供給する駆動トランジスタと、を有し、前記信号電圧を前記駆動トランジスタを介して前記画素に印加して所定動作を行うと共に、前記第 1 のコンデンサに前記信号電圧を書込み、前記信号電圧の印加を停止した後、前記第 1 のコンデンサに書き込まれた前記信号電圧により、前記所定動作を継続する、ことを特徴とする E L 表示装置である。

【発明の効果】

【0010】

本発明によれば、十分なオフセットキャンセル期間を確保できるので、良好に駆動トランジスタをオフセットキャンセルすることができる。したがって、駆動トランジスタの特性バラツキを補償し、特性表示ムラのない画像表示を実現できる。

10

【図面の簡単な説明】

【0011】

【図 1】 E L 表示装置の画素の構成図である。

【図 2】 E L 表示装置の駆動方法の説明図である。

【図 3】 E L 表示装置の説明図である。

【図 4】 E L 表示装置の画素の構成図である。

【図 5】 E L 表示装置の画素の構成図である。

【図 6】 E L 表示装置の説明図である。

【図 7】 E L 表示装置を用いた機器の説明図である。

【図 8】 E L 表示装置を用いた機器の説明図である。

20

【図 9】 E L 表示装置を用いた機器の説明図である。

【図 10】 E L 表示装置の画素の構成図である。

【図 11】 E L 表示装置の画素の構成図である。

【図 12】 E L 表示装置の駆動方法の説明図である。

【図 13】 E L 表示装置の駆動方法の説明図である。

【図 14】 ソース信号線から画素に映像信号を取り込む構成図である。

【図 15】 図 14 のゲートドライバ回路 12 a の動作を示した説明図である。

【図 16】 本実施例の E L 表示装置の説明図である。

【図 17】 図 16 のゲートドライバ回路 12 の動作を示した図である。

【図 18】 図 16 のゲートドライバ回路 12 の動作を示した図である。

30

【図 19】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 20】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 21】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 22】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 23】 本実施例の E L 表示装置の説明図である。

【図 24】 本実施例の E L 表示装置の説明図である。

【図 25】 本実施例の E L 表示装置の説明図である。

【図 26】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 27】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 28】 本実施例の E L 表示装置の駆動方法の説明図である。

40

【図 29】 本実施例の E L 表示装置の説明図である。

【図 30】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 31】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 32】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 33】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 34】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 35】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 36】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 37】 本実施例の E L 表示装置の駆動方法の説明図である。

【図 38】 本実施例の E L 表示装置の駆動方法の説明図である。

50

- 0
20
40
60

- 【図 8 9】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 9 0】本実施例の E L 表示装置の説明図である。
- 【図 9 1】本実施例の E L 表示装置の説明図である。
- 【図 9 2】本実施例の E L 表示装置の説明図である。
- 【図 9 3】本実施例の E L 表示装置の説明図である。
- 【図 9 4】本実施例の E L 表示装置の説明図である。
- 【図 9 5】本実施例の E L 表示装置の説明図である。
- 【図 9 6】本実施例の E L 表示装置の説明図である。
- 【図 9 7】本実施例の E L 表示装置の説明図である。
- 【図 9 8】本実施例の E L 表示装置の駆動方法の説明図である。 10
- 【図 9 9】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 0 0】本実施例の E L 表示装置の説明図である。
- 【図 1 0 1】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 0 2】本実施例の E L 表示装置のソースドライバ回路の説明図である。
- 【図 1 0 3】本実施例の E L 表示装置の説明図である。
- 【図 1 0 4】本実施例の E L 表示装置の説明図である。
- 【図 1 0 5】本実施例の E L 表示装置のソースドライバ回路の説明図である。
- 【図 1 0 6】本実施例の E L 表示装置のソースドライバ回路の説明図である。
- 【図 1 0 7】本実施例の E L 表示装置のソースドライバ回路の説明図である。
- 【図 1 0 8】本実施例の E L 表示装置のソースドライバ回路の説明図である。 20
- 【図 1 0 9】本実施例の E L 表示装置のソースドライバ回路の説明図である。
- 【図 1 1 0】本実施例の E L 表示装置のソースドライバ回路の説明図である。
- 【図 1 1 1】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 2】本実施例の E L 表示装置の説明図である。
- 【図 1 1 3】本実施例の E L 表示装置の説明図である。
- 【図 1 1 4】本実施例の E L 表示装置の説明図である。
- 【図 1 1 5】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 6】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 7】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 8】本実施例の E L 表示装置の駆動方法の説明図である。 30
- 【図 1 1 9】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 0】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 1】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 2 2】本実施例の E L 表示装置の説明図である。
- 【図 1 2 3】本実施例の E L 表示装置の説明図である。
- 【図 1 2 4】本実施例の E L 表示装置の説明図である。
- 【図 1 2 5】本実施例の E L 表示装置の説明図である。
- 【図 1 2 6】本実施例の E L 表示装置の説明図である。
- 【図 1 2 7】本実施例の E L 表示装置の説明図である。
- 【図 1 2 8】本実施例の E L 表示装置の説明図である。 40
- 【図 1 2 9】本実施例の E L 表示装置の駆動方法の説明図である。
- 【図 1 3 0】本実施例の E L 表示装置の駆動方法の説明図である。
- 【発明を実施するための形態】

【 0 0 1 2 】

本発明の実施例の E L 表示装置は、各画素にオフセットキャンセル動作に使用する所定電圧を保持するコンデンサ（オフセットキャンセルコンデンサ）を具備する。オフセットキャンセルコンデンサは、画素が選択された時に、画素に印加された映像信号などの所定電圧を保持する。駆動トランジスタ画素が非選択となった後も、オフセットキャンセルコンデンサに保持された所定電圧を用いて、駆動トランジスタにオフセットキャンセル動作を継続される。駆動トランジスタ

従来の画素構成では、画素が選択された時にオフセットキャンセル動作を実施していた。したがって、オフセットキャンセル動作は画素行の選択期間以内に限られるため、十分なオフセットキャンセル動作時間を確保できず、十分にオフセットキャンセルを実現することができなかった。

【 0 0 1 3 】

本実施例によれば、オフセットキャンセル動作を継続させるオフセットキャンセルコンデンサを各画素に有しているため、画素が非選択状態であっても、オフセットキャンセル動作を継続できる。したがって、駆動トランジスタ十分にオフセットキャンセル期間を確保できるので、駆動トランジスタ駆動トランジスタ 1 1 a の特性バラツキを補償し、特性表示ムラのない画像表示を実現できる。

【 実施例 1 】

【 0 0 1 4 】

本発明の実施例 1 について説明する。

【 0 0 1 5 】

なお、各図面において説明に必要にない箇所、部分は省略している。したがって、各図面で図示していなくとも、他の図面に図示した事項が適用あるいは組み合わせることができる。また、各図面には拡大あるいは縮小した箇所、部分がある。また、実施例 1 ~ 実施例 7 は相互に組み合わせることができることは言うまでもない。

【 0 0 1 6 】

図 1 は、実施例 1 の E L 表示装置の画素構成である。また、図 3 は、画素 1 6 がマトリックス状に配置された表示領域 3 1 に、ゲートドライバ回路 1 2 及びソースドライバ I C 1 4 が接続された構成図である。

【 0 0 1 7 】

図 3 に示すように、ゲートドライバ回路 1 2 には、クロック信号 (C L K)、スタート信号 (S T 1、S T 2) などは、アップダウン信号 (U P) が印加される。クロック信号 (C L K) は、水平同期信号 (H D) に同期している。また、必要に応じて、E L 表示装置内に内蔵する発振モジュールでクロック信号 (C L K) を発生させる。スタート信号 (S T 2) を制御することにより、D u t y 駆動を実現できる。

【 0 0 1 8 】

クロック信号 (C L K)、スタート信号 (S T 1、S T 2)、アップダウン信号 (U P) などゲートドライバ回路 1 2 に印加する信号は、ソースドライバ I C 1 4 で発生し、アレイ基板に形成したレベルシフト回路でレベルシフトしてゲートドライバ回路 1 2 に印加される。ゲートドライバ回路 1 2 で使用するクロック信号などは、ソースドライバ I C 1 4 から供給する。

【 0 0 1 9 】

レベルシフトする電圧 (例えば、V G H、V G L) は、ソースドライバ I C 1 4 で発生し、各信号 (C L K、U D、S T など) ソースドライバ I C 1 4 内に内蔵されたレベルシフト回路でレベルシフトしてゲートドライバ回路 1 2 に印加してもよい。

【 0 0 2 0 】

レベルシフト回路は、ソースドライバ I C 1 4 から出力されるロジックレベル電圧 (例えば、3 V) をゲートドライバ回路 1 2 で使用する電圧 (例えば、V G H、V G L 電圧) に変換するものである。レベルシフト回路は、ゲートドライバ回路 1 2 内又はゲートドライバ回路 1 2 の入力段あるいはソースドライバ I C 1 4 の出力段に形成又は配置される。

【 0 0 2 1 】

クロック信号 (C L K) は、選択する画素行を順次移動させるための信号である。スタートパルス信号 (S T) は、選択する画素行を指定するための信号である。スタートパルス信号 (S T) はクロック信号 (C L K) により、ゲートドライバ回路 1 2 のシフトレジスタ回路内を移動する。アップダウン信号 (U D) は、画面の上下反転切換信号である。シフトレジスタ回路内のスタートパルス位置にしたがって、ゲート信号線 1 7 が選択される (ゲート信号線 1 7 にオン電圧 (V G L) が印加される)。

10

20

30

40

50

【 0 0 2 2 】

本発明の実施例 1 は、画素 1 6 のトランジスタ 1 1 を P チャンネルトランジスタで形成し、ゲートドライバ回路 1 2 を P チャンネルトランジスタで形成する。画素 1 6 のトランジスタ 1 1 とゲートドライバ回路 1 2 の両方を P チャンネルトランジスタで形成することにより、E L 表示パネルの製造コストは低コストにできる。

【 0 0 2 3 】

ソースドライバ I C 1 4 としては、映像信号を電圧信号として出力するもの、映像信号を電流信号として出力するものが例示される。本明細書では、説明を容易にするため、ソースドライバ I C 1 4 は、電圧信号を出力するものをして説明をする。また、図 2、図 1 1 は本実施例の E L 表示装置の駆動方法の説明図である。

10

【 0 0 2 4 】

本実施例の表示パネルは、R (赤)、G (緑)、B (青) 色の画素がマトリックス状に配置されている。また、R G B に加えて、W (白) 色の画素を配置してもよい。白色発光の画素を形成することにより、表示画像の高い輝度が実現できる。したがって、輝き感のある画像表示実現できる。特に W (白) 画素を有するパネル構成は、図 8 4、図 9 9 などの d u t y 駆動方式、最大使用階調表示駆動方式と組み合わせることが好ましい。

【 0 0 2 5 】

また、白色の画素を表示領域の全面に形成し、カラーフィルタで、R G B 画素をマトリックス状に形成してもよい。

【 0 0 2 6 】

R、G、B の画素開口率 (あるいは画素電極面積) は、異ならせてもよい。開口率を異ならせることにより、各 R G B の E L 素子 1 5 に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、R G B の E L 素子 1 5 の劣化速度を同一にすることができる。R G B の劣化速度を同一にすれば、長期間、E L 表示装置を使用しても、E L 表示装置の表示画面のホワイトバランスずれが発生しない。

20

【 0 0 2 7 】

また、隣接した画素行で、3 原色の配置が異なるように配置することが好ましい。例えば、偶数行目が、左から R、G、B の配置であれば、奇数行目は B、G、R の配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。また、画素をデルタ配置にしてもよい。外光又は、E L 表示パネルなどから放射される光 (E L 素子 1 5 から出射される光) が、ソースドライバ I C (ソースドライバ回路) 1 4 に照射されると、ホットコンダクタ現象 (ホットコン) により誤動作を引き起こす。この課題に対応するため、ソースドライバ I C チップの下又は、ソースドライバ回路 1 4 の下層に遮光膜を形成する。つまり、ソースドライバ I C とアレイ基板間に、遮光物を形成または配置する。遮光膜は、パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜として形成する。好ましくは、遮光膜は、E L 素子 1 5 に電流を供給するアノード配線、カソード配線を使用する (ソースドライバ I C チップ下に形成する)。遮光膜をアノード配線、カソード配線で形成すれば電流 (電圧) 供給配線と遮光膜とを兼用することができる。したがって、遮光膜形成が容易であり、低コスト化できる。この構成は、ソースドライバ回路 1 4 が I C チップの場合に限定されるものではない。ソースドライバ回路 1 4 が、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜 (C G S)、アモルファスシリコン技術を用いた場合にも適用される。つまり、このソースドライバ回路 1 4 の裏面あるいは下層に遮光膜を形成する。

30

40

【 0 0 2 8 】

以上のように、本実施例の E L 表示装置において、ソースドライバ回路 1 4 は、半導体 I C (I C c h i p) であり、前記ソースドライバ回路 1 4 は、前記表示画面が形成された基板に実装されており、前記ソースドライバ回路の下で、かつ前記基板上に、遮光膜が形成されていることを 1 つの特徴とするものである。ソースドライバ I C 1 4 には、ゲートドライバ回路 1 2 で使用する電圧 V G H、V G L を発生させるチャージポンプ回路を

50

構成しておくことが好ましい。電圧 V_{GH} は、トランジスタ 11 をオフさせる電圧であり、電圧 V_{GL} はトランジスタ 11 をオンさせる電圧である。但し、このオン/オフ電圧は、トランジスタ 11 が P チャンネルトランジスタの場合であり、トランジスタ 11 が N チャンネルの場合は、電圧 V_{GH} は、トランジスタ 11 をオンさせる電圧であり、電圧 V_{GL} はトランジスタ 11 をオフさせる電圧となる。また、 V_{GH} 、 V_{GL} はゲートドライバ回路 12 の電源電圧である。

【0029】

図 3 において、ゲートドライバ回路 12 a は、 V_{GH1} 、 V_{GL1} 電圧を印加し、ゲートドライバ回路 12 a は、 V_{GH2} 、 V_{GL2} 電圧を印加する。スイッチトランジスタ 11 が、P チャンネルトランジスタの場合は、 V_{GL1} と V_{GL2} を異ならせる。 V_{GH1} と V_{GH2} とは、共通の電圧にする ($V_{GH1} = V_{GH2}$)。スイッチトランジスタ 11 が、N チャンネルトランジスタの場合は、 V_{GH1} と V_{GH2} を異ならせる。 V_{GL1} と V_{GL2} とは、共通の電圧にする ($V_{GL1} = V_{GL2}$)。

10

【0030】

図 1 の画素構成であれば、スイッチトランジスタ 11 d のオン電圧 (V_{GL}) は、スイッチトランジスタ 11 c のオン電圧 (V_{GL}) よりも高くする。もしくは、スイッチトランジスタ 11 d のオフ電圧 (V_{GH}) - オン電圧 (V_{GL}) の電位差は、スイッチトランジスタ 11 c のオフ電圧 (V_{GH}) - オン電圧 (V_{GL}) の電位差よりも小さくする。スイッチトランジスタ 11 d のオン抵抗を比較的高くし、EL 素子 15 の端子間 (アノード - カソード) 電圧の変化を駆動トランジスタ 11 a にチャンネル間電圧に影響を与えないようにするためである。また、スイッチトランジスタ 11 b のオフリーク電流の低減にも効果がある。スイッチトランジスタ 11 c は、十分にオンさせてオン抵抗を低下させることが望ましい。

20

【0031】

例えば、オフ電圧 ($V_{GH1} = V_{GH2}$) = 6 . 0 (V) とすれば、スイッチトランジスタ 11 c のオン電圧 (V_{GL1}) = - 4 . 0 (V)、スイッチトランジスタ 11 d のオン電圧 (V_{GL2}) = - 2 . 0 (V) に設定する。オフ電圧スイッチトランジスタ 11 c のオフ電圧 (V_{GH1}) = 6 . 0 (V)、スイッチトランジスタ 11 d のオフ電圧 (V_{GH2}) = 5 . 5 (V) とすれば、スイッチトランジスタ 11 c のオフ電圧 (V_{GH1}) - オン電圧 (V_{GL1}) = - 10 . 0 (V)、スイッチトランジスタ 11 d のオフ電圧 (V_{GH2}) - オン電圧 (V_{GL2}) = - 8 . 0 (V) に設定する。また、スイッチトランジスタ 11 c のオフ電圧 (V_{GH1}) - オン電圧 (V_{GL1}) は、スイッチトランジスタ 11 d のオフ電圧 (V_{GH2}) - オン電圧 (V_{GL2}) よりも 1 V 以上 4 V 以下の電位差あるように設定する。以上の事項は本発明の他の実施例においても同様である。

30

【0032】

本実施例は、トランジスタ 11 を基本的には P チャンネルとして説明するがこれに限定するものではない。例えば、駆動トランジスタ 11 a を P チャンネルトランジスタとし、他のスイッチトランジスタは N チャンネルトランジスタとしてもよい。スイッチトランジスタ 11 のオフリーク電流が低減し、良好なコントラストを実現できる。

【0033】

例えば、図 1 12 に図示するように、駆動トランジスタ 11 a を N チャンネルトランジスタで形成してもよい。また、スイッチトランジスタ 11 c、スイッチトランジスタ 11 b を N チャンネルトランジスタで形成してもよい。また、図 1 などにおいて、スイッチトランジスタ 11 b、11 f、11 c はトランジスタの複数のチャンネルが直列に接続された構成 (マルチゲート構造: ディアルゲート、トリプルゲートなど) にすることが好ましい。特に、映像信号電圧 V_{sig} を画素 16 に印加するスイッチトランジスタ 11 c、リセット電圧 V_{rst} を印加するスイッチトランジスタ 11 f、駆動トランジスタ 11 a のゲート端子と他の端子間を短絡状態にするスイッチトランジスタ 11 b はマルチゲート構成にすることが好ましい。また、スイッチトランジスタ 11 b、11 f、11 c は、N チャンネルトランジスタで構成することによりオフリーク電流が低減し、好ましい。

40

50

【0034】

ここで duty 駆動（黒挿入駆動）について説明を行っておく。

【0035】

図1などの本発明の実施例において、トランジスタ11e、トランジスタ11dの少なくとも一方をオン/オフ制御することにより、図12(b)に図示するような duty 駆動を実現できる。図12において、121はプログラム画素行（映像信号を書き込んでいる画素行）であり、123は非表示領域（トランジスタ11eとトランジスタ11dのうち、少なくとも一方をオフさせることにより、非表示（EL素子15に電流が流れていない、又は流れても小さい状態）とした画素行又は画素行の群）である。122は表示領域（トランジスタ11eとトランジスタ11dの両方をオンさせ、EL素子15に電流が供給されている画素行又は画素行の群である。非表示領域123及び表示領域122はフレーム周期又は水平同期信号に同期して、表示画面31の上下方向に走査される。

10

【0036】

図13(a)の表示では、1つの表示領域122が画面の上から下方向に移動する。フレームレートが低いと、表示領域122が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0037】

この課題に対しては、図12(b)(c)に図示するように、表示領域122を複数に分割するとよい。分割された表示領域122は等しく（等分に）する必要はない。例えば、表示領域を4つの領域に分割し、分割された表示領域122aが面積1で、分割された表示領域122bが面積2で、分割された表示領域122cが面積1で、分割された表示領域122dが面積4でもよい。

20

【0038】

数フレーム（フィールド）での表示領域122の面積が平均して目標の大きさになるように制御してもよいことは言うまでもない。例えば、表示画面31に占める表示領域122の面積を1/10にするとした時、1フレーム（フィールド）目は表示領域122の面積を1/10とし、2フレーム（フィールド）目は表示領域122の面積を1/20とし、3フレーム（フィールド）目は表示領域122の面積を1/20とし、4フレーム（フィールド）目は表示領域122の面積を1/5とし、以上の4フレーム（フィールド）で所定の表示面積（表示輝度）の1/10を得る駆動方法が例示される。

30

【0039】

また、R、G、Bのそれぞれが、数フレーム（フィールド）でLの期間の平均が等しくなるように駆動してもよい。しかし、前記数フレーム（フィールド）は4フレーム（フィールド）以下にすることが好ましい。表示画像によってはフリッカが発生する場合があるからである。

【0040】

なお、本実施例での1フレームあるいは1フィールドとは、画素16の画像書き換え周期又は表示画面31が上から下まで（下から上まで）走査される周期と同義あるは類似の意味と考えてもよい。

【0041】

また、R、G、Bで、数フレーム（フィールド）でLの期間の平均を異ならせ、適度なホワイトバランスがとれるように駆動してもよい。この駆動方法は、RGBの発光効率が異なるときに特に有効である。また、RGBで分割数K（表示領域122を複数に分割する数）を異ならせても良い。特にGでは視覚的にめだつため、Gでは分割数をRBに対して多くすることが有効である。

40

【0042】

なお、以上の実施例では理解を容易にするために表示領域122の面積を分割すると説明している。しかし、面積を分割するとは、期間（時間）を分割することである。したがって、図1ではトランジスタ11dのオン期間を分割することになるから、面積を分割することは、期間（時間）を分割することと同義あるいは類似である。

50

【 0 0 4 3 】

以上のように、表示領域 1 2 2 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。また、画像表示のフレームレートを低減することができ、低消費電力化を実現できる。例えば、非点灯領域 1 2 3 を一括にした場合は、フレームレート 4 5 H z 以下になるとフリッカが発生する。しかし、非点灯領域 1 2 3 を 6 分割以上とした場合は、2 0 H z 以下までフリッカが発生しない。

【 0 0 4 4 】

図 1 3 (a) は図 1 3 のように表示領域 1 2 2 が連続している場合の明るさ調整方式である。図 1 3 (a 1) の表示画面 3 1 の表示輝度が最も明るい。図 1 3 (a 2) の表示画面 3 1 の表示輝度が次に明るく、図 1 3 (a 3) の表示画面 3 1 の表示輝度が最も暗い。図 1 3 (a 1) から図 1 3 (a 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、図 1 の V d d 電圧（アノード電圧など）は変化させる必要がない。また、ソースドライバ回路 1 4 が出力するプログラム電流あるいはプログラム電圧の大きさも変化させる必要がない。つまり、電源電圧を変化させず、また、映像信号を変化させずに表示画面 3 1 の輝度変化を実施できる。

【 0 0 4 5 】

また、図 1 3 (a 1) から図 1 3 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、表示画面 3 1 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本実施例の効果のある特徴である。

【 0 0 4 6 】

従来の画面の輝度調整では、表示画面 3 1 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 6 4 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない。これに比較して、本実施例の駆動方法では、画面の表示輝度に依存せず、最高の 6 4 階調表示を実現できる。

【 0 0 4 7 】

図 1 3 (b) は、図 1 2 で説明したように表示領域 1 2 2 が分散している場合の明るさ調整方式である。図 1 3 (b 1) の表示画面 3 1 の表示輝度が最も明るい。図 1 3 (b 2) の表示画面 3 1 の表示輝度が次に明るく、図 1 3 (b 3) の表示画面 3 1 の表示輝度が最も暗い。図 1 3 (b 1) から図 1 3 (b 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 1 3 (b) のように表示領域 1 2 2 を分散させれば、低フレームレートでもフリッカが発生しない。

【 0 0 4 8 】

さらに、低フレームレートでも、フリッカが発生しないようにするには、図 1 3 (c) のように表示領域 1 2 2 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 1 3 (a) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 1 3 (c) の駆動方法が適している。図 1 3 (a) から図 1 3 (c) の駆動方法の切り替えも、シフトレジスタ 6 1 の制御により容易に実現できる。

【 0 0 4 9 】

図 1 3 は非表示領域 1 2 3 が等間隔で構成されているが、これに限定するものではない。表示画面 3 1 の 1 / 2 の面積が連続して表示領域 1 2 2 とし、残りの面積 5 0 が図 1 3 (c 1) のように等間隔に表示領域 1 2 2 と非表示領域 1 2 3 が繰り返すように駆動してもよいことは言うまでもない。

【 0 0 5 0 】

また、図 8 3 に図示した回路構成を用いて、E L 表示装置に入力される映像信号を加算あるいは重み付け処理を行うことが好ましい。図 8 3 の回路構成を用いることにより、表

10

20

30

40

50

示画面に流れる電流を求め、又は予測し、前記求めた電流などにより画像画面に黒帯状の非点灯領域を発生させ、この黒帯状の非点灯領域の大きさを变化させる。又は、黒帯状の非点灯領域の幅は一定にし、映像信号の振幅を变化させることにより、表示画面に流れる電流の大きさが一定以上にならないように制御する。また、この制御により、電源回路から表示画面に流れる電流を一定以下となるようにすることができ、EL表示装置の発熱を抑制できる。また、図98、図99に図示して説明を行っているように、電源回路（電源IC）が出力する電圧を可変することにより、EL表示装置の発熱を抑制できる。また、本発明の画素構成を用いることにより、さらに良好な画像表示を実現できることは言うまでもない。

【0051】

点灯率制御駆動（duty駆動）、ピーク電流抑制駆動、最大表示階調数制御駆動（図12、図13、図84、図98、図99、図130など）により、高画質化、電流抑制を実現できる。なお、各スイッチトランジスタ1の動作に対応させて各ゲート信号線17のオン/オフ電圧を印加する制御タイミングを制御する。ゲートドライバ回路12の制御は図3のように、ソースドライバIC14からの信号をレベルシフト回路32でレベルシフトさせて印加することにより実現する。

【0052】

本明細書において、点灯率に応じてduty比などを变化させるとして説明する。しかし、点灯率とは、一定の意味ではない。例えば、低点灯率とは、画面31に流れる電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。つまり、画面31を構成する映像は、暗い画素（低階調の画素）が多い。

【0053】

したがって、低点灯率とは、画面を構成する映像データのヒストグラム処理をした時、低階調の映像データが多い状態と言い換えることができる。高点灯率とは、画面31に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。つまり、画面31を構成する映像は、明るい画素（高階調の画素）が多い。高点灯率とは、画面を構成する映像データのヒストグラム処理をした時、高階調の映像データが多い状態と言い換えることができる。つまり、点灯率に対応して制御するとは、画素の階調分布状態あるいはヒストグラム分布に対応して制御することと同義あるいは類似の状態を意味することがある。

【0054】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態（低点灯率＝低階調表示の画素が多い。高点灯率＝高階調表示の画素が多い。）にもとづいて制御すると言い換えることができる。

【0055】

また、通常表示状態では、duty比1/1で駆動し、所定の高点灯率以上で段階的にあるいはスムーズにduty比を低下させるとは、低階調あるいは高階調の画素数が一定の範囲以内の時に、duty比1/1で駆動し、高階調の画素数が一定の以上数となった時に、段階的にあるいはスムーズにduty比を低下させることと同一あるいは類似の動作もしくは制御である。

【0056】

duty比制御は、点灯率が1/10以上1/1の範囲で実施する。duty比1/1で、白ラスタ表示であれば、点灯率100%である（最大の白ラスタ表示時）。黒ラスタ表示であれば、点灯率0%である（完全黒ラスタ表示時）。

【0057】

点灯率とは、パネルのアノード又はカソードに流れる最大電流に対する割合でもある（但し、duty比は1/1とする）。例えば、カソードに流れる最大電流を100mAとすれば、duty比1/1において、30mAの電流が流れていれば点灯率は30/100=30%（0.3）である。

【0058】

カソードに流れる最大電流を 100 mA とし、この時、映像データの総和の最大値とすれば、点灯率 50% とは、カソード（アノード）に流れる電流は、最大電流の 50% である。また、点灯率 20% とは、カソードに流れる電流は、最大電流の 20% である。今後は、主として点灯率の用語を用いる。点灯率は、パネルのアノード又はカソードに流れる最大電流に対する割合であるとしたが、パネルの全 EL 素子に流れる最大電流の割合とも言い換えることができることは言うまでもない。

【0059】

本明細書では、点灯率と断り無く記載する時は、 $duty$ 比 $1/1$ としている。もし、 $duty$ 比 $1/3$ で、 20 mA の電流が流れていれば、点灯率は $(20\text{ mA} \cdot 3) / 100\text{ mA} = 60\% (0.6)$ である。つまり、点灯率が 100% でも、 $duty$ 比が $1/2$ であれば、アノード（カソード）端子に流れる電流は最大の電流値の $1/2$ である。点灯率 50% 、アノード電流が 20 mA 、 $duty$ 比 $1/1$ であれば、 $duty$ 比 $1/2$ になれば、アノード電流は 10 mA となる。アノード電流が 100 mA 、点灯率 40% 、 $duty$ 比 $1/1$ であれば、アノード電流が 200 mA に変化したとすると、点灯率は 80% に変化したことを意味する。

10

【0060】

以上のように、点灯率は、1画面を構成する映像データの大きさに対する割合、EL 表示パネルの消費電流（電力）あるいはその割合を示している。

【0061】

一例として点灯率（点灯率）は、映像データの和から求める（図83）。つまり、映像データから算出する。入力映像信号が Y、U、V の場合は、Y（輝度）信号から求めても良い。しかし、EL 表示パネルの場合は、R、G、B で発光効率が異なるため、Y 信号から求めた値が消費電力にならない。したがって、Y、U、V 信号の場合も、一度 R、G、B 信号に変換し、R、G、B に応じて電流に換算する係数をかけて、消費電流（消費電力）を求めることが好ましい。しかし、簡易的に Y 信号から消費電流を求めることは回路処理が容易になることも考慮してもよい（図82、図83などを参照のこと）。なお、点灯率は、カソード（アノード）に流れる電流を測定し、測定した電流から求めても良い。

20

【0062】

点灯率は、パネルに流れる電流で換算する。なぜなら、EL 表示パネルでは青（B）の発光効率が悪いので、B が多い、海の表示などが表示されると、消費電力が一気に増加するからである。また、データととは単純な映像データの加算値ではなく、映像データを消費電流に換算したものである。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。また、データととは加算して求めることだけを意味するものではない。入力される映像データを RGB で重み付けし、加算する方式が例示される。また、画像の特徴を示すデータ抽出して、抽出したデータを処理して求めても良い。また、入力された映像データをヒストグラム処理を行い、ヒストグラム処理の特定範囲（たとえば、平均値を中心として1の範囲）のデータを抽出してデータとを求めても良い。つまり、データととは処理を行ったデータの集合あるいは処理を行った結果である。

30

【0063】

また、入力される映像データは、EL 表示装置に入力される映像データを意味するが、EL 表示装置の画素に入力される映像データを意味することもある。つまり、ソースドライバ IC 14 から出力された映像データである。

40

【0064】

点灯率にあわせて EL 表示装置で表示する階調数を変化させることが好ましい。例えば、点灯率が 50% 以上では、フル階調の $1/2$ の範囲（ 1024 階調の場合は、 512 階調）で、画像を表示し、 50% 以下では、フル階調の範囲で画像を表示する。この実施例は、図98、図99、図130などを用いて説明を行っている。

【0065】

なお、点灯率とは、 $duty$ 駆動などピーク電流を抑制しないノーマルの駆動方式において、最大階調での白ラスタ表示を 100% とした割合である。したがって、黒ラスタ

50

ー表示では点灯率は0%である。

【0066】

図83は本実施例の駆動回路のブロック図である。以下、本実施例の駆動回路について説明をする。図83では、外部からY/U/V映像信号と、コンポジット(COMP)映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路831により選択される。

【0067】

スイッチ回路831で選択された映像信号は、デコーダ及びA/D回路によりデコード及びAD変換され、デジタルのRGB画像データに変換される。RGB画像データは各8ビットである。また、RGB画像データはガンマ回路834でガンマ処理される。同時に輝度(Y)信号が求められる。ガンマ処理により、RGB画像データは各10ビットの画像データに変換される。

【0068】

ガンマ処理後、画像データはFRC処理又は誤差拡散処理が処理回路835で行われる。FRC処理又は誤差拡散処理によりRGB画像データは6ビットに変換される。この画像データはAI処理回路836でAI処理(最適化画像表示処理)データ、duty駆動のための点灯率演算、最大表示階調数演算などが実施される。また、動画検出回路837で動画検出が行われる。動画検出処理の結果に基づいて、図13などで説明した、表示領域122、非表示領域123の分割駆動が実施される。また、カラーマネージメント回路838でカラーマネージメント処理が行われる。

【0069】

AI処理回路836、動画検出回路837、カラーマネージメント回路838の処理結果は演算回路839に送られ、演算処理回路839でduty比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路14及びゲートドライバ回路12に制御データとして送出される。

【0070】

duty比制御データはゲートドライバ回路12bに送られ、duty比制御が実施される。使用階調制御データはソースドライバIC14に送られ、使用階調数制御が実施される。一方、基準電流制御データはソースドライバ回路14に送られ、基準電流制御が実施される。ガンマ補正され、フレームレートコントロール(FRC)又は誤差拡散処理された画像データもソースドライバ回路14に送られる。

【0071】

EL表示パネルは、黒表示は、EL素子15に流れる電流が0の状態である。したがって、本実施例のduty比駆動のように画面31に非表示領域123を発生させても、黒表示の輝度は0である。非表示領域123の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が0であるから、コントラストは無限大である。したがって、duty比駆動は、EL表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は0である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【0072】

duty比制御は、全階調範囲で階調数が保持される。また、全階調範囲でホワイトバランスが維持される。また、duty比制御により画面31の輝度変化は10倍近く変化させることができる。

【0073】

表示画面の輝度はduty比あるいはduty比の逆数と線形の関係になるから、表示画面の明るさ制御も容易である。

【0074】

基準電流制御は、画面輝度31を高くするときに、基準電流量を大きくするものである。したがって、画面31が高いときにしか、EL素子15に流れる電流は大きくならない

10

20

30

40

50

。そのため、E L 素子 1 5 が劣化しにくい。

【 0 0 7 5 】

本実施例では、基準電流制御と d u t y 比制御の両方を用いる。画面 3 1 が白ラスタ表示に近い時には、基準電流は一定値に固定し、d u t y 比のみを制御して表示輝度などを変化させる。画面 3 1 に黒ラスタ表示に近い時は、d u t y 比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。

【 0 0 7 6 】

なお、d u t y 比の最大は d u t y 比 1 / 1 とし、最小は d u t y 比 1 / 1 6 以内にするのが好ましい。さらに好ましくは、d u t y 比 1 / 1 0 以内にとするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、4 倍以内にするのが好ましい。さらに好ましくは 2 . 5 倍以内にする。

10

【 0 0 7 7 】

なお、データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラ I C のハード規模も小さくできる。また、d u t y 比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

【 0 0 7 8 】

以上の事項は、図 7 8、図 7 9、図 8 4、図 9 8、図 9 9、図 1 0 1、図 1 1 1、図 1 1 2、図 1 3 0 などの実施例にも適用できることは言うまでもない。また、前記実施例と組み合わせて実施できることも言うまでもない。

20

【 0 0 7 9 】

図 1 において、画素 1 6 は、2 つのコンデンサ 1 9 a、1 9 b と 5 つのスイッチトランジスタ（1 1 b、1 1 c、1 1 d、1 1 e、1 1 f）と 1 つの駆動トランジスタ 1 1 a で構成される。トランジスタ 1 1 b は、トランジスタ 1 1 a をダイオード接続（Diode-connected）させて、しきい値（閾値）電圧を補償するためのしきい値電圧補償用のスイッチトランジスタである。トランジスタ 1 1 f は、保持用コンデンサ 1 9 a を初期化させるために、リセット電圧 V r s t を印加するための初期化用のスイッチトランジスタである。トランジスタ 1 1 d は、E L 素子 1 5 の発光を制御するためのトランジスタである。

30

【 0 0 8 0 】

スイッチトランジスタ 1 1 b、1 1 f はオフリークと小さくする必要があるため、ディアルゲート以上の複数ゲート構成（マルチゲート構造）にする。但し、スイッチトランジスタ 1 1 b、1 1 f のオフ特性が十分である場合は、シングルゲート構成であってもよい。また、スイッチトランジスタ 1 1 c もマルチゲート構造を採用することが好ましい。

【 0 0 8 1 】

コンデンサ 1 9 a は、駆動トランジスタ 1 1 a のゲート端子の電位を保持する保持用のコンデンサ（以後、保持用コンデンサ 1 9 a と呼ぶ）である。基本的には、駆動トランジスタ 1 1 a の特性バラツキをオフセットキャンセルした電圧が保持される。

【 0 0 8 2 】

スイッチトランジスタ 1 1 c のゲート端子は、ゲート信号線 1 7 a に接続される。スイッチトランジスタ 1 1 c のソース端子は、ソース信号線 1 8 に接続される。スイッチトランジスタ 1 1 c は、ゲートドライバ回路 1 2 a からの選択信号によりオン / オフ制御される。

40

【 0 0 8 3 】

駆動トランジスタ 1 1 a のソース端子は、スイッチトランジスタ 1 1 c のドレイン端子と接続される。しきい値電圧補償用のスイッチトランジスタ 1 1 b のソース端子又はドレイン端子と、保持用コンデンサ 1 9 a の第 1 の端子が接続される。駆動トランジスタしきい値電圧補償用のスイッチトランジスタ 1 1 b がオン（クローズ）することにより、駆動トランジスタ 1 1 a のゲート端子には、オフセットキャンセル電圧が保持される。

【 0 0 8 4 】

50

しきい値電圧補償用のスイッチトランジスタ 11b は、前記駆動トランジスタ 11a のゲート端子とドレイン端子との間に接続され、ゲート信号線 17c に印加されるスキャン信号に応答して駆動トランジスタ 11a のゲート端子とドレイン端子間を短絡し、駆動トランジスタ 11a をダイオード接続状態にする。したがって、前記スキャン信号によって駆動トランジスタ 11a は、ダイオードのような状態になり、駆動トランジスタ 11a のゲート端子に電圧 $V_{sig} - V_{th}$ [V] が印加され、この電圧が、前記駆動トランジスタ 11a のゲート電圧となる。

【0085】

なお、電圧 V_{sig} は、ソースドライバ IC 14 がソース信号線 18 に出力した映像信号である。また、 V_{th} では、駆動トランジスタ 11a にしきい値電圧である。また、 V_{th} は駆動トランジスタ 11a のオフセットキャンセル電圧である。 V_{th} は、駆動トランジスタ 11a の特性によって、個々にバラツキがある。

【0086】

初期化用のスイッチトランジスタ 11f は、リセット電圧ライン V_{rst} と保持用コンデンサ 19a の第 1 の端子との間に接続され、ゲート信号線 17d のスキャン信号に응答して、リセット電圧 V_{rst} が、駆動トランジスタ 11a のゲート端子および保持用コンデンサ 11a に印加される。したがって、保持用コンデンサ 19a に充填された電荷は放電さえる。また、駆動トランジスタ 11a のゲート端子に所定電圧（初期化電圧 V_{rst} ）が印加される。

【0087】

なお、図 1 などの本実施例の画素構成では、駆動トランジスタ 11a のゲート端子に直流的に V_{rst} 電圧、 V_{sig} 電圧を印加するように図示している。しかし、本実施例はこれに限定するものではなく、交流的に V_{rst} 電圧、 V_{sig} 電圧を印加してもよい。具体的には、駆動トランジスタ 11a のゲート端子にコンデンサを配置し、直流成分を遮断して、 V_{rst} 電圧、 V_{sig} 電圧を、駆動トランジスタ 11a のゲート端子に印加する構成を採用してもよい。

【0088】

また、図 1 などの本発明の実施例において、オフセットキャンセルコンデンサ 11b の一方の端子をアノード電圧 V_{dd} に接続するとしたが、これに限定するものではなく、所定の一定電圧に保持されるように構成すればよいことは言うまでもない。一定電圧とは、 V_{GH} 電圧、 V_{GL} 電圧などが例示される。したがって、スイッチトランジスタ 11e の一方の端子を V_{dd} 電圧に接続（図 1 の接続と同一）し、オフセットキャンセルコンデンサ 11b の一方の端子を V_{GH} 電圧などに接続してもよい（ V_{dd} 電圧から V_{GH} 電圧に変更）。

【0089】

スイッチトランジスタ 11e は、アノード電圧 V_{dd} 配線または V_{dd} 電極と駆動トランジスタ 11a のソース端子との間に接続される。スイッチトランジスタは、スイッチトランジスタのゲート端子に接続されたゲート信号線 17b に印加されたオンオフ電圧により制御される。スイッチトランジスタ 11e は、EL 素子 15 を発光させる時は、オンとなり、アノード電圧 V_{dd} を前記駆動トランジスタ 11a のソース端子に印加する。

【0090】

スイッチトランジスタ 11d は、駆動トランジスタ 11a のドレイン端子と EL 素子 15 のアノード端子間に接続（配置）され、スイッチトランジスタ 11d のゲート端子に接続されたゲート信号線 17b に印加されたオンオフ信号（発光制御信号）により制御される。スイッチトランジスタ 11d は、発光制御信号に응答して前記駆動トランジスタ 11a で生成される前記駆動電流を前記 EL 素子 15 に伝達する。つまり、スイッチトランジスタ 11d は、EL 素子 15 に流れる電流経路の電流をオンオフ制御する。

【0091】

保持用コンデンサ 19a は、アノード電圧 V_{dd} 配線（電極）と駆動トランジスタ 11a のゲート端子との間に接続され、アノード電圧 V_{dd} と前記駆動トランジスタ 11a の

10

20

30

40

50

ゲート端子に印加される電圧 $V_{sig} - V_{th} [V]$ に該当する電荷を 1 フレームの間は保持する。

【0092】

なお、ゲート信号線 17 に印加される電圧は、オフ電圧 (V_{GH}) とオン電圧 (V_{GL}) であり、 V_{GH} 電圧の印加により、スイッチトランジスタ 11 (11b、11c、11d、11e、11f) がオフし、 V_{GL} 電圧の印加により、スイッチトランジスタ 11 (11b、11c、11d、11e、11f) がオンする。但し、スイッチトランジスタが、P チャンネルトランジスタの場合である。

【0093】

図 3 に図示するように、 V_{GL} 電圧は、ゲートドライバ回路 12a では、 V_{GL1} とし、ゲートドライバ回路 12b では、 V_{GL2} としている。つまり、ゲートドライバ回路 12a と 12b では、オン電圧を異ならせている。

10

【0094】

したがって、ゲート信号線 17a、ゲート信号線 17c に印加されるオン電圧は V_{GL1} であり、ゲート信号線 17b、ゲート信号線 17d に印加されるオン電圧は V_{GL2} である。また、 $|V_{GL1}| > |V_{GL2}|$ なる関係となるように設定されている。なお、ゲート信号線 17a に印加される V_{GH} とゲート信号線 17d に印加される V_{GH} とは一致させてもよい。つまり、ゲートドライバ回路 12a のオフ電圧 V_{GH1} とゲートドライバ回路 12b の V_{GH2} は同一にしてもよい。

【0095】

20

なお、本発明の実施例において、駆動トランジスタ 11a は P チャンネルトランジスタがこれに限定するものでなく、N チャンネルトランジスタであってもよい。この場合は、オン電圧が V_{GH} となり、オフ電圧が V_{GL} となる。

【0096】

また、駆動トランジスタ 11a のソース端子はアノード電圧 V_{dd} と接続されているとして説明するが、これに限定するものではない。例えば、カソード電圧 V_{ss} あるいはグランド電圧 GND に接続されていてもよい。また、コンデンサ 18 は、トランジスタ 11 のゲート絶縁膜容量によるコンデンサで代用してもよい。

【0097】

ゲートドライバ回路 12a には、ゲート信号線 17a を選択するスタートパルス $ST1$ 、ゲート信号線 17c を選択するスタートパルス $ST2$ 、スタートパルスを順次シフトするクロック信号 (CLK) が印加される。UD は、ゲートドライバ回路 12a 内のスタートパルスの上下シフトレジスタ方向を切り替える信号である。

30

【0098】

ゲートドライバ回路 12b には、ゲート信号線 17b を選択するスタートパルス $ST3$ 、ゲート信号線 17d を選択するスタートパルス $ST4$ 、スタートパルスを順次シフトするクロック信号 (CLK) が印加される。

【0099】

なお、必要に応じて、ゲートドライバ回路 12 には、イネーブル制御端子を付加することが好ましい。ゲートドライバ回路 12 内には、シフトレジスタ回路が形成されており、スタートパルスをクロック信号 (CLK) に同期して順次シフトさせ、選択するゲート信号線 17 位置を変化させる。

40

【0100】

図 2 は、ゲート信号線 17a、17b、17c、17d に印加される駆動電圧、ソース信号線 18 の映像信号電圧、EL 素子 15 の発光状態を示す。

【0101】

また、図 2 は、各動作でのスイッチトランジスタの動作状態 (オン / オフ状態)、電流あるいは電圧の印加状態を示す。

【0102】

なお、図 2 では、説明を容易にするため、オフ電圧を V_{GH} とし、オン電圧を V_{GL} と

50

する。また、ソース信号線 18 に印加される電圧 V_{sig} の範囲は、グランド電圧 (GND) = 0 V とし、アノード電圧 V_{dd} 以下としている。具体的には、映像信号電圧 V_{sig} は、0.2 V ~ 5.0 V の範囲である。

【0103】

なお、1 H とは 1 水平走査期間である。また、図 2 は模式的なものであり、1 H を数 H と置き換えてもよく、1 H は 1 H より短い期間と置き換えてもよい。

【0104】

図 111 は図 1 の画素の動作を説明するための説明図である。図 111 において、説明を容易にするため各スイッチトランジスタはスイッチとして図示している。

【0105】

V_{GH} 電圧は、アノード V_{dd} 電圧よりも 0.5 V 以上 3.0 V 以下の高い電圧に設定される。例えば、アノード電圧 V_{dd} が 5 V であれば、 V_{GH} 電圧は、5.5 V 以上 8 V 以下の電圧値に設定される。

【0106】

画素 16 には、1 t から a t の期間に、ゲート信号線 17 d にオン電圧が印加される。図 111 (a) が対応する。オン電圧 (V_{GL}) の印加により、トランジスタ 11 f がオンし、リセット電圧 V_{rst} が駆動トランジスタ 11 a のゲート端子にリセット電圧 V_{rst} が印加される (a 点)。

【0107】

リセット電圧 V_{rst} の印加により、駆動トランジスタ 11 a は、リセット状態になる。リセット状態とは、駆動トランジスタ 11 a を初期化された状態、駆動トランジスタ 11 a のゲート端子に所定電圧 (初期化電圧) が印加された状態、駆動トランジスタ 11 a が所定状態にされた状態などである。

【0108】

なお、リセット電圧 V_{rst} は、 GND 電圧以下 - 5 (V) 以上の電圧に設定すべきである。例えば、リセット電圧 V_{rst} は、- 2.5 V に設定する。リセット電圧 V_{rst} は、 V_{GL} 1 電圧以上で、 GND 電圧以下の値に設定することが好ましい。さらに好ましくは、映像信号電圧 V_{sig} の最低電圧 - 1.0 V 以下、スイッチトランジスタ 11 c のオン電圧 (V_{GL}) + 1.0 以上の値に設定することが好ましい。

【0109】

また、リセット電圧 V_{rst} は、映像信号電圧 V_{sig} に対応して変化させてもよい。例えば、映像信号の階調番号に対応させてリセット電圧 V_{rst} を変化させる。また、リセット電圧 V_{rst} は、赤 (R)、緑 (G)、青 (B) の映像信号電圧で変化させてもよい。RGB で映像信号の振幅が異なるからである。この場合は、階調番号に対応せず、各 RGB で固定のリセット電圧 V_{rst} を設定してもよい。また、リセット電圧 V_{rst} は、表示画面で消費される電流に対応させて変化させてもよい。表示する画像の輝度に対応させて、リセット電圧 V_{rst} を変化させてもよい。

【0110】

ゲート信号線 17 c は、リセット電圧 V_{rst} の印加後 (a t)、オン電圧が印加される。オン電圧 (V_{GL}) を印加する期間は、1 H 以上としているが、これに限定するものではなく、1 H 以下の期間であってもよい。少なくともゲート信号線 17 c にオン電圧 (V_{GL}) を印加する期間は、ゲート信号線 17 a にオン電圧 (V_{GL}) を印加する期間よりも長くする。または、オーバーラップさせる。なお、リセット電圧 V_{rst} の印加時間は、2 μs e c 以上の時間を確保することが好ましい。

【0111】

ゲート信号線 17 a オン電圧 (V_{GL}) を印加することにより、スイッチトランジスタ 11 c がオンし、ソース信号線 18 に印加した V_{sig} がオフセットキャンセル用コンデンサ 19 a 印加される。a 点に印加されて映像信号 V_{sig} は、スイッチトランジスタ 11 b がオンしている期間保持される。

【0112】

10

20

30

40

50

なお、図 2 に図示するゲート信号線 17 a の斜線部は、オン電圧 (V_{GL}) を印加してもオフ電圧 (V_{GH}) を印加してもよい。

【0113】

スイッチトランジスタ 11 c がオンすることにより、映像信号電圧 V_{sig} がオフセットキャンセルコンデンサ 11 b に印加され、オフセットキャンセルコンデンサ 11 b に映像信号電圧 V_{sig} が充電される。

【0114】

ゲート信号線 17 a にオン電圧 (V_{GL}) が印加されることにより、映像信号電圧 V_{sig} を画素に印加するスイッチトランジスタ 11 c がオンする (図 2 の 1 t ~ 2 t あるいは、a t ~ 2 t)。この状態を図 111 (b) に図示する。図 111 (b) では、スイッチトランジスタ 11 d、11 e、11 f はオフ状態 (オープン状態) である。また、スイッチトランジスタ 11 c、11 b はオン状態 (クローズ状態) である。

【0115】

スイッチトランジスタ 11 b がオンすることにより、ソース信号線 18 から、駆動トランジスタ 11 a 及びトランジスタ 11 b のチャンネル間に電流経路が発生し、オフセットキャンセル電流 I_{c1} が流れる。

【0116】

電流 I_{c1} は最初、比較的大きな電流が流れ、オフセットキャンセル動作が終局に近づくにしたがって、小さくなる。基本的には、オフセットキャンセルが完了すると $I_{c1} = 0$ となる。オフセットキャンセルが動作により、キャンセル電圧がコンデンサ 11 a に保持される。

【0117】

映像信号電圧 V_{sig} の印加により、駆動トランジスタ 11 a は、映像信号電圧 V_{sig} が印加された状態で、駆動トランジスタ 11 a のチャンネルに電流が流れないように、ゲート端子である b 点の電位を変化させる (オフセットキャンセル動作)。変化後の電圧が、保持用コンデンサ 19 a に保持される。この動作により、駆動トランジスタ 11 a は、オフセットキャンセル状態に近い状態までオフセットキャンセルされる。オフセットキャンセル用コンデンサ 19 b には、映像信号電圧 V_{sig} が充電される。

【0118】

図 2 の 1 t ~ 2 t 期間で完全なオフセットキャンセルが実施できることが理想である。しかし、高精細の表示パネルでは、1 画素行を選択する時間が短く、十分なオフセットキャンセル動作を実現できない。オフセットキャンセルが十分でないと、駆動トランジスタ 11 a の特性バラツキが残り、階調表示により画面 31 に輝度ムラが発生する。

【0119】

本実施例はこの課題を解決することを 1 つの目的としている。

【0120】

図 2 の 2 t ~ 3 t は、オフセットキャンセル動作の継続期間である。図 2 では、2 t ~ 3 t の期間が対応する。また、図 111 (c) が対応する。

【0121】

図 111 (c) では、スイッチトランジスタ 11 e、11 d、11 f、11 c がオフ状態 (オープン状態) であり、スイッチトランジスタ 11 b がオン状態 (クローズ状態) である。この場合は、オフセットキャンセル電流 I_{c2} が流れる。オフセットキャンセル電流 I_{c2} は、オフセットキャンセルの終局状態での電流であるから非常に小さい。したがって、オフセットキャンセルコンデンサ 19 b の容量は小さくても良い。

【0122】

なお、図 2 の実施例では、オフセットキャンセル動作を継続する期間を 2 t ~ 3 t 期間としているが、本実施例はこれに限定するものではない。オフセットキャンセルを継続する期間は、それぞれのパネルに対応させて可変あるいは設定する。本実施例は、オフセットキャンセル期間を少なくとも 1 H (1 画素行選択期間) 以上の期間を行うものである。オフセットキャンセル期間は、20 μ 秒以上設定することが好ましい。

【 0 1 2 3 】

図 2 において、 $1t \sim 2t$ の期間に映像信号電圧 V_{sig} が画素 16 に保持される。それ以降の期間は、スイッチトランジスタ 11c がオフ状態であるため、ソース信号線 18 に印加された映像信号電圧 V_{sig} が変化しても、該当画素 16 に映像信号電圧 V_{sig} が書き込まれることはない。

【 0 1 2 4 】

以上のオフセットキャンセルの動作後、ゲート信号線 17b にオン電圧が印加され、スイッチトランジスタ 11e がオンし、アノード V_{dd} 電圧が駆動トランジスタ 11a のソース端子に供給される（図 111 (d) の状態）。また、スイッチトランジスタ 11d がオンし、駆動トランジスタ 11a から EL 素子 15 の駆動用電流が EL 素子 15 に供給される。EL 素子 15 は、印加された電流により発光する。

10

【 0 1 2 5 】

図 2 では、期間 $3t \sim 4t$ の期間にゲート信号線 17b にオン電圧 (V_{GL}) を印加して、スイッチトランジスタ 11b をオンさせて EL 素子 15 に発光電流を供給する。また、期間 $4t \sim 5t$ では、ゲート信号線 17b にオフ電圧 (V_{GH}) を印加し、スイッチトランジスタ 11d をオフし、EL 素子 15 を非発光状態にする。このようにゲート信号線 17b にオン/オフ電圧を印加し、流れる電流を制御することにより、図 78、図 79、図 84 の駆動方法を実現する。

【 0 1 2 6 】

以上のようにゲート信号線 17b には、オン電圧又はオフ電圧が印加され、オン/オフ電圧に同期して EL 素子 15 に電流が供給される。このオン/オフ電圧の印加状態に同期して EL 素子は発光又は消灯する。

20

【 0 1 2 7 】

EL 素子 15 が発光又は消灯している動作時（電圧プログラム時以外の期間、 $3t \sim$ の期間）では、トランジスタ 11b はオープン状態である。この時、トランジスタ 11a のソース端子は、EL 素子 15 が発光しているときは、アノード電圧 V_{dd} （トランジスタ 11e のチャンネル電圧降下は無視する）が印加されている。EL 素子 15 が消灯時は、トランジスタ 11e 及びトランジスタ 11d をオープン状態にされる。この EL 素子 15 が消灯時は、駆動トランジスタ 11a のソース端子は、オフセットキャンセル用コンデンサ 19a により、アノード電位 V_{dd} に保持されている。したがって、トランジスタ 11a の電位安定度がよい。もちろん、EL 素子 15 の点灯及び消灯は、トランジスタ 11d を $duty$ 制御（トランジスタ 11d などオン/オフさせて、表示画面 31 に帯状の非表示領域を発生し、非表示領域を表示画面 31 の上下方向に、フレーム周期あるいはフィールド周期に同期して画像表示させる）してもよい。

30

【 0 1 2 8 】

図 89 は、図 111 (b) (c) の状態を更に詳しく記載したものである。図 111 (b) は、図 89 (a) が対応し、図 111 (c) は、図 89 (b) が対応する。

【 0 1 2 9 】

図 89 (a) では出力アンプ 891 から出力された映像信号電圧 V_{sig} がスイッチトランジスタ 11c を介してオフセットキャンセルコンデンサ 19b に一方の端子に印加され、同時に、駆動トランジスタ 11a のチャンネルにオフセットキャンセル電流 I_{c1} が流れる。

40

【 0 1 3 0 】

画素 16 の選択期間の経過後、図 89 (b) の状態となり、スイッチトランジスタ 11c がオープン状態となる。図 89 (b) の状態では、オフセットキャンセルコンデンサ 19b に保持された映像信号電圧 V_{sig} が電流の供給元となり、継続してオフセットキャンセル電流 I_{c2} が流れる。図 89 (b) でオフセットキャンセル電流 I_{c2} がほぼ 0 となり、オフセットキャンセル動作が完了する。したがって、理想的なオフセットキャンセル動作を実現できる。

【 0 1 3 1 】

50

出力アンプ 891 の駆動能力（電流出力能力）は、複数の段階で変更できるように構成する。出力アンプ 891 はソースドライバ IC 14 の出力段に形成される。出力アンプ 891 の駆動能力は、コマンドで変更できるように構成される。

【0132】

図 88 は、駆動トランジスタ 11a のチャンネルに流れる電流（チャンネル電流 I_c と呼ぶ）を図示したものである。図 88 では、理想的にオフセットキャンセルされた状態での駆動トランジスタ 11a のゲート端子電圧を V_c としている。不十分なオフセットキャンセル電圧は V_b とし、オフセットキャンセル動作の開始電圧は、リセット電圧 V_{rst} としている。図 88 に図示するように、 $a_t \sim 2_t$ の期間において、最初は大きなキャンセル電流 I_{c1} （開始電流は I_a としている）が流れ、キャンセル電流 I_{c1} は急激に現状する。 2_t では、キャンセル電流 $I_{c1} = I_b$ としている。この I_b の時はまだ、電流が流れる状態あるから、オフセットキャンセルは不十分な状態である。

【0133】

その後（ $2_t \sim 3_t$ ：図 89（b））も、オフセットキャンセル状態は継続し、オフセットキャンセル電流 I_{c2} は減少し、 t_3 でオフセットキャンセル電流 I_{c2} は 0 状態となる。

【0134】

ここで、保持用コンデンサ 19a の容量を C_s （pF）とし、オフセットキャンセルコンデンサ 19b の容量を C_o （pF）とすると、図 85 の関係がある。

【0135】

図 85 において、横軸は、オフセットキャンセルコンデンサ 19b の容量 C_o （pF）と保持用コンデンサ 19a の容量 C_s （pF）との比率（ C_o / C_s ）を示している。縦軸は、理想的なオフセットキャンセル状態からのずれを示している。ずれとは、理想的な駆動トランジスタ 19a のゲート端子電圧に対する電圧差を比率で示したものである。例えば、完全にオフセットキャンセル状態に到達した駆動トランジスタ 11a のゲート端子電圧を 1.0V としたとき、誤差（乖離量）10% とは、 $1.0(V) \cdot (1 - 0.1) = 0.9(V)$ である。誤差 2% とは、 $1.0(V) \cdot (1 - 0.02) = 0.98(V)$ である。 C_o / C_s が 0.5 より小さい範囲では、目標値からの誤差が 2% 以上と大きい。そのため、オフセットキャンセル状態は悪い。また、 C_o / C_s の値が小さくなるほど、急激に目標値からの誤差が大きくなる。

【0136】

C_o / C_s が 0.5 以上の範囲では、目標値からの誤差が 2% 以下と小さい。また、 C_o の値を大きくしても、目標値からのずれ量の低減割合は小さい。 C_o の値を大きくすることはオフセットキャンセルコンデンサの容量を大きくする必要がある。コンデンサの容量を大きくするとは、画素の構成上、困難である場合が多い（高精細パネルでは画素には大きなコンデンサは形成できない）。一方で、保持用コンデンサ 19a は少なくとも 1 フレーム期間（又は 1 フィールド期間、なお、本明細書では 1 フレーム期間と 1 フィールド期間とは同義として取り扱う）の間、電荷を保持しておく必要がある。そのため、比較的大きな容量でかつ一定以上の容量が必要である。

【0137】

以上ことから、 C_o / C_s は、0.25 以上となるようにする。つまり、 $C_o : C_s = 1 : 4$ 以上となるように、 C_o 容量を形成する。また、 C_s のサイズ又は C_o に対する C_s の比率の観点から、 $C_o / C_s = 1.0$ 以下とすることが好ましい。つまり、 $C_o : C_s = 1 : 1$ 以下となるように、 C_o 容量を形成する。

【0138】

図 10 は、図 1 の変形例である。オフセットキャンセル用コンデンサ 19a の一端子は、ゲート信号線 17a に接続されている。ゲート信号線 17a には、オン電圧（ V_{GL} ）又はオフ電圧（ V_{GH} ）が印加されるが、映像信号電圧を画素 16 に書き込んだ後（電圧プログラム時以降）以外の期間は、オフ電圧（ V_{GH} ）が印加されている。したがって、オフセットキャンセル用コンデンサ 19a は一定の電荷を保持して安定である。他の構成

10

20

30

40

50

は図 1 で説明したのと同様であるので説明を省略する。

【0139】

なお、図 10 において、オフセットキャンセル用コンデンサ 19 a の一端子は、ゲート信号線 17 b と接続するとしたが、これに限定するものではない。例えば、図 11 に図示するように、ゲート信号線 17 d と接続してもよい。図 11 の構成では、ゲート信号線 17 d には、リセット電圧 V_{rst} を印加するときだけ、オン電圧 (V_{GL}) が印加される。しかし、他の期間には、オフ電圧 (V_{GH}) が印加される。オフ電圧 (V_{GH}) が印加される。したがって、オフセットキャンセル用コンデンサ 19 a は一定の電荷を保持して安定状態を維持される。

【0140】

図 11 は、図 1 の変形例である。オフセットキャンセル用コンデンサ 19 a の一端子は、ゲート信号線 17 b に接続されている。ゲート信号線 17 b には、オン電圧 (V_{GL}) 又はオフ電圧 (V_{GH}) が印加される。しかし、映像信号電圧を画素 16 に書込み時 (電圧プログラム時) の期間は、オフ電圧 (V_{GH}) が印加される。したがって、オフセットキャンセル用コンデンサ 19 a は一定の電荷を保持して安定状態を維持されている。

【0141】

EL 表示装置のゲートドライバ回路 12 について説明する。

【0142】

図 3 に示すように、表示画面 31 の左端にゲートドライバ回路 12 a を設け、右端にゲートドライバ回路 12 b を設けている。なお、ゲートドライバ回路 12 は、表示パネルの空き領域に形成すればよい。

【0143】

ゲートドライバ回路 12 a は、ゲート信号線 17 a を制御し、ゲートドライバ回路 12 b はゲート信号線 17 b を制御する。ゲートドライバ回路 12 a、12 b には、ゲート信号線 17 のオン電圧 (V_{GL}) と、ゲート信号線 17 のオフ電圧 (V_{GH}) が供給されている。オフ電圧 (V_{GH}) は、アノード電圧 V_{dd} 以上又は近傍の電圧である。オン電圧 (V_{GL}) は、カソード電圧 V_{ss} 又はグラウンド電圧 (GND) 近傍の電圧である。なお、近傍の電圧とは、3 V の範囲の電圧である。

【0144】

本実施例では、トランジスタ 31 のオフ電圧を V_{GH} とし、オン電圧を V_{GL} として説明するがこれに限定するものではない。オン電圧 (V_{GL}) とオフ電圧 (V_{GH}) の極性は、駆動トランジスタ 31 a のチャンネルの種類 (P チャンネル又は N チャンネル) に対応して設定する。また、図 31 に示すように、ゲートドライバ回路 12 の電圧の 1 つ又は複数を GND 電圧としてもよい。図 31 では、ゲートドライバ回路 12 b は、 V_{GH} 電圧と、 $V_{GL} = GND$ 電圧で動作しており、ゲートドライバ回路 12 a は、 V_{GH} 電圧と V_{GL1} 電圧で動作している。

【0145】

本実施例では、駆動トランジスタ 31 a は P チャンネルトランジスタとしている。この場合は、オン電圧を V_{GL} とし、オフ電圧を V_{GH} とする。駆動トランジスタ 31 a が N チャンネルトランジスタの場合は、オン電圧を V_{GH} とし、オフ電圧を V_{GL} とする。なお、図 2 に適合するように、 V_{GH1} 、 V_{GH2} 、 V_{GL1} 、 V_{GL2} を内蔵させてもよい。EL 表示装置を駆動する電源 (回路) IC からの ON1 コマンドで、ソースドライバ回路 14 のアナログ電圧 AV_{dd} とゲートドライバ回路 12 の電圧 V_{GH1} 、 V_{GH2} 、 V_{GL1} 、 V_{GL2} を同時に起動し、ON2 でアノード電圧 V_{dd} 、カソード電圧 V_{ss} を起動させる。

【0146】

図 4 は、図 1 の変形例である。図 1 と図 4 の差異は、コンデンサ 11 c が追加形成された点である。コンデンサ 11 c は、ゲート信号線 17 a に印加された電圧の変化 (V_{GL} V_{GH}) により、突き抜け電圧が発生しより良好な黒表示 (高コントラスト表示) を実現することを 1 つの目的とする。 V_{GL} V_{GH} の動作とは、画素 16 に映像信号を書き

10

20

30

40

50

込み保持させる動作である。つまり、スイッチトランジスタ 11c の制御動作である。

【0147】

前記コンデンサ 19c は、第 1 の電極が現在ゲート信号線 17a 及びトランジスタ 11c のゲート端子に接続され、第 2 の電極が前記保持用コンデンサ 19a 及び駆動トランジスタ 11a のゲート端子に共通接続されている。

【0148】

なお、駆動トランジスタ 11a が N チャンネルトランジスタの場合は、ゲート信号線 17a に印加する電圧（映像信号を画素に書き込み、保持させる動作時に使用する電圧）を V_{GL} V_{GH} となるように画素 16 を構成する。

【0149】

ゲート信号線に印加するオフ電圧を V_{GH} 、オン電圧を V_{GL} とすると、ゲート信号線 17a に印加する電圧を、 V_{GL} から V_{GH} に変化させると、駆動トランジスタ 11a のゲート電圧は、前記保持用コンデンサ 19a と補助コンデンサ 19c のカップリングによる補正電圧だけ上昇するようになる。したがって、駆動トランジスタ 11a のゲート端子の電圧が、アノード V_{dd} 電圧側にシフトし、良好な黒表示を実現できる。

【0150】

図 5 は、図 1 又は図 4 の変形例である。図 5 の構成も本実施例の EL 表示装置に用いることができる。図 5 において、画素 16 は、2 つのコンデンサ 19a、19b と 5 つのスイッチトランジスタ（11b、11c、11d、11e、11f）と 1 つの駆動トランジスタ 11a で構成される。トランジスタ 11b は、トランジスタ 11a をダイオード接続（Diode-connected）させて、しきい値電圧を補償するためのしきい値電圧補償用のスイッチトランジスタである。トランジスタ 11f は、保持用コンデンサ 19a を初期化させるためリセット電圧 V_{rst} を印加するための初期化用のスイッチトランジスタである。そして、トランジスタ 11d は、EL 素子 15 の発光を制御するためのトランジスタである。

【0151】

スイッチトランジスタ 11c は、ゲート信号線 17a にゲート端子が接続され、ソース信号線 18 にソース端子が接続され、ゲートドライバ回路 12a からの選択信号によりオン/オフ制御される。

【0152】

ゲート信号線 17a からゲート信号線 17a1 とゲート信号線 17a2 が分岐されており、ゲート信号線 17a1 には、インバータ回路 51 が配置されている。したがって、ゲート信号線 17a1 とゲート信号線 17a2 には、 V_{GH} と V_{GL} が反転して電圧が印加される。

【0153】

また、ソース信号線 18a とソース信号線 18b を有しており、上下方向に隣接した画素 16（16a、16b）は異なるソース信号線 18 に接続されている。図 5 の実施例では、画素 16b はソース信号線 18b に接続されており、画素 16a はソース信号線 18a と接続されている。

【0154】

図 6 は、図 5 の画素構成において、ゲート信号線 17 及びソース信号線 18 との接続状態を示している。図 5、図 6 のように構成することにより、リセット電圧 V_{rst} を印加するためのスイッチトランジスタ 11f を制御するゲート信号線と、映像信号を印加するためのスイッチトランジスタ 11c を制御するゲート信号線とを共通にすることができる。そのため、ゲート信号線 17 数を削減でき、画素 16 の開口率を向上できる。

【0155】

また、複数画素行を同時にオフセットキャンセル状態にすることができ、良好なオフセットキャンセルを実現できる。

【0156】

図 86 は図 1 のオフセットキャンセルコンデンサ 19b を有する構成にコンデンサ 11

10

20

30

40

50

cを付加した構成である。図86において、コンデンサ19cは、スイッチトランジスタ11cのゲート端子(ゲート信号線17a)とコンデンサ19bの一端子(スイッチトランジスタ11cのドレイン端子)に接続されている。

【0157】

コンデンサ19cはゲート信号線17aの変動により、端子電位が変化する。ゲート信号線17aは、画素16が選択されたときには、オン電圧(V_{GL})が印加され、選択されないときにはオフ電圧(V_{GH})が印加される。つまり、画素16が選択状態から非選択状態に変化するとコンデンサ19cのa1電圧は、 $V_{GL} \rightarrow V_{GH}$ に変化する。したがって、a1電圧の電圧変化は、a2電圧の変化に影響する。a2電圧は、a1電圧の変化をコンデンサ19cとコンデンサ19cで分圧されたものとなる。一方で、a点(a2電圧)は、画素が選択されたときは、映像信号電圧 V_{sig} が印加されている。a2電圧が $V_{GL} \rightarrow V_{GH}$ に変化すると、 $(V_{GH} - V_{GL})$ 電圧が分圧されて、映像信号電圧 V_{sig} に重畳される。したがって、a点の電位は、映像信号電圧 V_{sig} よりも高くなる。

10

【0158】

a2点の電位を映像信号電圧 V_{sig} よりも高くすることは、図111(c)のオフセットキャンセル動作を良好な状態にすることができる。通常、オフセットキャンセルコンデンサ19bの容量は小さい。したがって、オフセットキャンセル電流 I_{c2} が大きいと、オフセットキャンセルコンデンサ19bの端子電位が急速に低下してしまい、オフセットキャンセル動作の継続能力が低下する。

20

【0159】

図86の構成では、映像信号電圧 V_{sig} よりも高い電圧をa点に保持できるので、オフセットキャンセル電圧を高め設定でき、良好なオフセットキャンセル動作を実現できる。

【0160】

図86の構成において、オフセットキャンセルコンデンサ19bの動作、機能、効果などは図1で説明したので省略する。

【0161】

図87は図1の変更例である。図87において画素16aのスイッチトランジスタ11cをオン/オフさせるゲート信号線17d1は、次段の画素16bのスイッチトランジスタ11fをオン/オフさせるゲート信号線17d1と共通に結線されている。

30

【0162】

したがって、ゲート信号線17d1にオン電圧を印加すると、リセット電圧 V_{rst} を印加するスイッチトランジスタ11fがオンして、画素16bの駆動トランジスタ11aにリセット電圧 V_{rst} を印加する。同時に、前段の画素16aのスイッチトランジスタ11cがオンして映像信号電圧 V_{sig} を画素16aに書込み、オフセットキャンセル動作を開始する。なお、画素16aは1H後には、図111(c)動作となる。

【0163】

つまり、ゲート信号線17dを順次選択することにより、リセット電圧 V_{rst} を印加する動作と、その他の画素行(基本的には前段の画素行)に映像信号電圧 V_{sig} を印加する動作とを同時に実現できる。したがって、ゲートドライバ回路12の構成を簡略化でき、狭額縁のEL表示装置を実現できる。

40

【0164】

図87では、各画素行のゲート信号線17dは、前段の画素行のゲート信号線17dと接続されているとしたが、これに限定するものではない。例えば、ゲート信号線17dは、複数以上の前又は後の画素行と接続させてもよい。

【0165】

図87の構成において、複数の画素行のゲート信号線17dが共通に接続され、ゲート信号線17dが接続された画素行が前段又は後段の画素行と共通に接続されている点以外の構成あるいは動作は、図1などで説明を行っているので説明を省略する。以上の事項は、本明細書の他の実施例にも適用されることは言うまでもない。

50

【 0 1 6 6 】

図 9 0 は本発明の他の実施例である。図 1 との差異は、スイッチトランジスタ 1 1 d、スイッチトランジスタ 1 1 f が不在点である。他の構成は図 1 と同様である。以上のように本実施例の技術的思想は多種多様な画素構成に対しても適用される。

【 0 1 6 7 】

図 9 1 は、図 9 0 の実施例に対して、コンデンサ 1 9 b の接続位置を異ならせている。図 9 1 では、コンデンサ 1 9 b の一端子は、スイッチトランジスタ 1 1 c のドレイン端子と接続され、他の端子は、ゲート信号線 1 7 a と接続されている。ゲート信号線 1 7 a の電位は、画素 1 6 が選択されている時以外は、オフ電圧 (V G H) が印加されている。したがって、画素 1 6 の選択時以外は、安定した電位に保持されているので、良好に映像信号電圧 V s i g を保持することができる。他の構成あるいは動作は、図 1、図 9 0 と同様であるので説明を省略する。

10

【 0 1 6 8 】

図 1 などの構成では、コンデンサ 1 9 b の一方の端子は、アノード電圧 V d d に接続した。しかし、本実施例はこれに限定するものではない。所定期間の間に安定した電位に保持できるものであれば、どんな電位でもよい。図 9 2 の実施例は、コンデンサ 1 9 b の一方の端子をカソード電圧 V s s となるように接続をしている。他の構成あるいは動作は、図 1、図 9 0 と同様であるので説明を省略する。

【 0 1 6 9 】

図 9 3 の構成は、図 1 の構成に加えて、スイッチトランジスタ 1 1 g を付加した構成である。スイッチトランジスタ 1 1 g のゲート端子はゲート信号線 1 7 g に接続されている。したがって、ゲート信号線 1 7 c にオン電圧 (V G L) を印加することにより、E L 素子 1 5 のアノード端子に、リセット電圧 V r s t を印加することができる。他の構成あるいは動作は、図 1、図 9 0 と同様であるので説明を省略する。

20

【 0 1 7 0 】

図 9 4 の構成は、図 9 3 に対してコンデンサ 1 9 b の接続位置を変化させたものである。コンデンサ 1 9 b の一方の端子は、スイッチトランジスタ 1 1 c のドレイン端子と接続され、他の端子は、駆動トランジスタ 1 1 a のゲート端子と接続される。駆動トランジスタ 1 1 a のゲート端子もオフセット電圧あるいは映像信号電圧 V s i g が印加され、1 フレーム期間の間、電位が維持される。したがって、コンデンサ 1 9 b の保持電圧として用いることができる。他の構成あるいは動作は、図 1、図 9 0 と同様であるので説明を省略する。

30

【 0 1 7 1 】

なお、以上の事項は、本明細書の他の実施例、他の構成に適用される。また、他の実施例、他の構成と組み合わせることができる。

【 実施例 2 】

【 0 1 7 2 】

本発明の実施例 2 について説明する。

【 0 1 7 3 】

図 1 1 4 は、実施例 2 のにおける E L 表示装置の全体構成を示すブロック図である。

40

【 0 1 7 4 】

本実施例は、E L 素子 1 5 がマトリックス状に配置された表示画面 3 1 とこれを駆動する駆動回路とからなる。すなわち、図 1 1 4 に示すように、E L 表示装置は、表示画面 3 1 とこれを駆動するソースドライバ回路 (I C) 1 8 と、ゲート端子ゲートドライバ回路 1 2、1 2 c とからなる。

【 0 1 7 5 】

図 1 1 4 のゲートドライバ回路 1 2 は、図 1 1 3 のゲートドライバ回路 1 2 a、1 2 b が組み合わせたものである。

【 0 1 7 6 】

表示画面 3 1 は、行状のゲート信号線 1 7 と、列状のソース信号線 1 8 と、両者が交差

50

する部分に配された行列状の画素 1 6 と、各画素 1 6 の各列に対応して形成されたアノード電源配線 1 1 3 1 を備えている。つまり、アノード電源配線 1 1 3 1 は画素列に平行に形成されている。また、キャンセル電圧 V_r を供給するキャンセル電圧配線 1 1 3 2 も画素列に平行に形成されている。すなわち、ソース信号線 1 8 に平行に形成されている。

【0177】

図 1 1 3 は、図 1 1 4 に示した E L 表示装置に含まれる画素 1 6 の具体的な構成及び結線関係を示す回路図である。

【0178】

図 1 1 3 に示すように、画素 1 6 は、E L 素子 1 5 など代表される E L 素子 1 5 と、スイッチトランジスタ 1 1 b、1 1 c、1 1 e と、駆動トランジスタ 1 1 a と、コンデンサ 1 9 a とを含む。

10

【0179】

スイッチトランジスタ 1 1 b は、そのゲート端子 d がゲート信号線 1 7 a に接続され、ドレイン端子 d がソース信号線 1 8 に接続され、ソース端子が駆動トランジスタ 1 1 a のゲート端子 g に接続されている。

【0180】

駆動トランジスタ 1 1 a は、そのドレイン端子 d がアノード電源配線 1 1 3 1 に接続され、ソース端子 s が E L 素子 1 5 のアノード端子に接続されている。

【0181】

E L 素子 1 5 のカソードは、接地電極 (G N D) 又はカソード電極 (電圧) V_{ss} に接続している。なお、この接地電極又はカソード電極 (電圧) V_{ss} は全ての画素 1 6 に対して共通に配線されている。

20

【0182】

コンデンサ 1 9 a は、駆動トランジスタ 1 1 a のソース端子 s とゲート端子 g の間に接続されている。

【0183】

係る構成において、スイッチトランジスタ 1 1 b は、ゲート信号線 1 7 から供給された制御信号に応じて導通し、ソース信号線 1 8 から供給された信号電位をサンプリングしてコンデンサ 1 9 a に保持する。

【0184】

30

駆動トランジスタ 1 1 a は、スイッチトランジスタ 1 1 e がオンすることにより、アノード電源配線 1 1 3 1 から電流の供給を受け、コンデンサ 1 9 a に保持された信号電位に応じて駆動電流を E L 素子 1 5 に流す。

【0185】

ゲートドライバ回路 1 2 について説明する。ゲートドライバ回路 1 2 a は、各ゲート信号線 1 7 a に順次制御信号 (オン電圧又はオフ電圧) を供給して画素 1 6 を行単位で線順次走査する。

【0186】

ゲートドライバ回路 1 2 b は、線順次操作 (画素行を順番に選択する動作) に同期して、駆動トランジスタ 1 1 a のドレイン端子 d にキャンセル電圧 V_r を印加するトランジスタ 1 1 c を制御する。すなわち、ゲートドライバ回路 1 2 b は、ゲート信号線 1 7 b にオフ電圧又はオフ電圧を順次印加する。

40

【0187】

ゲートドライバ回路 1 2 c は、この線順次走査に合わせて、駆動トランジスタ 1 1 a のドレイン端子 d にアノード電圧 V_{dd} (もしくはカソード電圧 V_{ss}) を印加するトランジスタ 1 1 e を制御する。すなわち、ゲートドライバ回路 1 2 c は、ゲート信号線 1 7 c にオフ電圧又はオフ電圧を順次印加する。

【0188】

なお、ゲートドライバ回路 1 2 a、1 2 b、1 2 c は 3 つのドライバから構成されるものに限定されるものではなく、図 1 1 4 に示すように、1 2 a、1 2 c で 1 つのゲートド

50

ライバ回路 12 に構成してもよい。

【0189】

また、各ゲートドライバ回路 12 がゲート信号線 17 に出力する電圧（オフ電圧又はオフ電圧）は異なる値とすることが好ましい。図 114 の実施例では、ゲートドライバ回路 12 とゲートドライバ回路 12c のオン電圧（ V_{GH} ）は同一であるが、オフ電圧（ V_{GL} ）は、ゲートドライバ回路 12 は、 V_{GL1} とし、ゲートドライバ回路 12c は、 V_{GL2} として異なっている。すなわち、 $|V_{GL1}| < |V_{GL2}|$ となるようにしている。なお、 V_{GL1} 、 V_{GL2} は負電圧であるため、絶対値の記号 $| |$ で表示している。 $V_r < V_{dd}$ なる関係があり、駆動トランジスタ 11a に十分に V_r 電圧を印加できるように構成している。

10

【0190】

ゲートドライバ回路 12 には、ゲート信号線 17a を選択するスタートパルス $ST1$ 、ゲート信号線 17b を選択するスタートパルス $ST2$ 、スタートパルスを順次シフトするクロック信号（ CLK ）が印加される。 UD は、ゲートドライバ回路 12 内のスタートパルスの上下シフトレジスタ方向を切り替える信号である。また、図 115 のように構成してもよい。

【0191】

ゲートドライバ回路 12c には、ゲート信号線 17c を選択するスタートパルス $ST3$ 、スタートパルスを順次シフトするクロック信号（ CLK ）が印加される。

【0192】

なお、必要に応じて、ゲートドライバ回路 12 には、イネーブル制御端子を付加することが好ましい。ゲートドライバ回路 12 内には、シフトレジスタ回路が形成されており、スタートパルスをクロック信号（ CLK ）に同期して順次シフトさせ、選択するゲート信号線 17 の位置を変化させる。

20

【0193】

駆動トランジスタ 11a のドレイン端子 d に印加する、第 1 電位（キャンセル電圧）とアノード電圧 V_{dd} の切り替えは、スイッチトランジスタ 11c とスイッチトランジスタ 11e で実現する。スイッチトランジスタ 11c とスイッチトランジスタ 11e とは、排他的動作する。

【0194】

したがって、スイッチトランジスタ 11c がオンしているときは、スイッチトランジスタ 11e はオフに制御され、スイッチトランジスタ 11c がオフしているときは、スイッチトランジスタ 11e はオンに制御される。

30

【0195】

スイッチトランジスタ 11c は、順次操作され、スイッチトランジスタ 11e は、 EL 素子 15 に電流を供給する時を主にオン状態とされる。

【0196】

また、スイッチトランジスタ 11e をオン / オフ制御することにより、図 78、図 79、図 84、図 98 で説明する $duty$ 駆動を実現することができる。また、図 99 で説明の駆動方式とも組み合わせることができる。

40

【0197】

以上の事項は、図 1 などの実施例と同様である。なお、図 1 などで説明した実施例 1 の記載事項は、実施例 2、実施例 3 にも適用できることは言うまでもない。本明細書に記載した実施例は相互に組み合わせることができる。

【0198】

EL 素子 15 の点灯及び消灯は、スイッチトランジスタ 11e を $duty$ 駆動する。この $duty$ 駆動は、表示画面 31 に非表示領域 123 を発生（又は、表示領域 122 を発生）させて、 EL 素子 15 に流れる電流を抑制するために行う。スイッチトランジスタ 11e、スイッチトランジスタ 11d などを用いて、表示画面 31 に帯状の非表示領域 123 を発生し、この非表示領域 123 を画面 31 の上下方向に、フレーム周期（

50

フィールド周期)に同期して画像表示させる。

【0199】

ソース信号線18に信号電圧を供給するソースドライバ回路18は、スイッチトランジスタ11bが導通した後で、ソース信号線18に基準電位 V_0 を供給している間に、駆動トランジスタ11aのドレイン端子dに印加する電圧を第1電位(キャンセル電圧)と第2電位(アノード電圧 V_{dd})との間で切換え、駆動トランジスタ11aのしきい値電圧 V_{th} に相当する電圧をコンデンサ19aに保持しておく。

【0200】

以上に記載してしきい値電圧補正機能により、各画素16の駆動トランジスタ11aの特性バラツキの影響をキャンセルすることができる。

10

【0201】

図113に示した画素16は、上記したしきい値電圧補正機能に加え、移動度補正機能を備えている。

【0202】

ソースドライバ回路18は、スイッチトランジスタ11bが導通した後、第1のタイミングでソース信号線18を基準電位 V_0 から信号電位に切り換える。また、スイッチトランジスタ11c及び11eを制御し、第1のタイミングの後、第2のタイミングでゲート信号線17aに対するオン電圧を解除してスイッチトランジスタ11bを非導通状態とする。第1及び第2のタイミングの間の期間を適切に設定することで、コンデンサ19aに信号電位を保持する際、駆動トランジスタ11aの移動度 μ に対する補正を信号電位に加える。

20

【0203】

この場合、ゲートドライバ回路は、ソースドライバ回路18が供給する映像信号とゲートドライバ回路12b、12cが供給する制御信号との相対的な位相差を調整して、第1及び第2のタイミングの間の期間(移動度補正期間)を最適化することができる。

【0204】

また、ソースドライバ回路18は、基準電位から信号電位に切り換える映像信号の立ち上がり傾斜をつけて、第1及び第2のタイミングの間の移動度補正期間を信号電位に自動的に追従させることもできる。

【0205】

30

図113に示した画素16はさらにブートストラップ機能も備えている。ゲートドライバ回路12b及び12cは、コンデンサ19aに信号電位が保持された段階でゲート信号線17bにオフ電圧を印加し、ゲート信号線17cにオン電圧を印加することにより、駆動トランジスタ11aのドレイン端子dの電位を V_r から V_{dd} 電圧に変化させる。また、スイッチトランジスタ11bを非導通状態にして駆動トランジスタ11aのゲート端子gをソース信号線18から電氣的に切り離す。この動作により、駆動トランジスタ11aのソース電位 V_s の変動にゲート電位 V_g が連動しゲート端子gとソース端子s間の電圧 V_{gs} を一定に維持することができる。

【0206】

図115は、図113に示した画素16の動作説明に供するタイミングチャートである。時間軸を共通にして、ゲート信号線17a、17b、17cの電位変化、ソース信号線18の電位変化、EL素子15の発光状態と模式的に示している。

40

【0207】

このタイミングチャートは、画素16の動作の変化に合わせて期間をB~Gのように便宜的に区切っている。

【0208】

発光期間BではEL素子15が発光状態にある。この後、線順次走査の新しいフィールドに入って、最初の期間Cで、スイッチトランジスタ11bがオンし、駆動トランジスタ11aのゲート電位 V_g が初期化される。

【0209】

50

次に、期間 D に進み、スイッチトランジスタ 11c がオンして駆動トランジスタ 11a のドレイン端子 d にキャンセル電圧 V_r が印加され、駆動トランジスタ 11a のソース電位 V_s も初期化される。このように駆動トランジスタ 11a のゲート電位 V_g 及びソース電位 V_s を初期化することで、しきい値電圧補正動作の準備が完了する。 V_r 電圧は、EL 素子 15 がオンせず（電流が流れない）、駆動トランジスタ 11a がオフとなる電圧である。

【0210】

次に、しきい値補正期間 E で実際にしきい値電圧補正動作が行われ、駆動トランジスタ 11a のゲート端子 g とドレイン端子 d との間にしきい値電圧 V_{th} に相当する電圧が保持される。実際には、 V_{th} に相当する電圧が、駆動トランジスタ 11a のゲート端子 g とドレイン端子 d との間に接続されたコンデンサ 19a に書き込まれることになる。

10

【0211】

次に、サンプリング期間 / 移動度補正期間 F に進み、映像信号の信号電位 V_{in} が V_{th} に足し込まれる形でコンデンサ 19a に書き込まれると共に、移動度補正用の電圧 V がコンデンサ 19a に保持された電圧から差し引かれる。

【0212】

次に、発光期間 G に進み、信号電圧 V_{in} に応じた輝度で EL 素子 15 が発光する。そのときに信号電圧 V_{in} はしきい値電圧 V_{th} に相当する電圧と移動度補正用の電圧 V とによって調整されているため、EL 素子 15 の発光輝度は駆動トランジスタ 11a のしきい値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがない。

20

【0213】

なお、発光期間 G の最初でブートストラップ動作が行われ、駆動トランジスタ 11a のゲート - ソース間電圧 $V_{gs} = V_{in} + V_{th} - V$ を一定に維持したまま、駆動トランジスタ 11a のゲート電位 V_g 及びソース電位 V_s が上昇する。

【0214】

図 116 ~ 図 121 を参照して、図 113 に示した画素 16 の動作を詳細に説明する。なお、図 116 ~ 図 121 の図番は、図 115 に示したタイミングチャートの各期間 B ~ G にそれぞれ対応している。また、理解を容易にするため、図 116 ~ 図 121 は、説明の都合上、EL 素子 15 の容量成分をコンデンサ 19b として図示してある。図 116 に示すように、発光期間 B では、スイッチトランジスタ 11e がオンし、スイッチトランジスタ 11c がオフに制御されることにより、駆動トランジスタ 11a のドレイン端子 d の電位がアノード電圧 V_{dd} にあり、駆動トランジスタ 11a が駆動電流 I_{ds} を EL 素子 15 に供給している。

30

【0215】

図示する様に、駆動電流 I_{ds} はアノード電圧 V_{dd} から駆動トランジスタ 11a を介して EL 素子 15 を通り、共通接地電極（GND など）又はカソード電極（電圧） V_{ss} に流れ込んでいる。

【0216】

次に、期間 C に入ると、図 117 に示すように、ゲート信号線 17a の電位がアノード電圧 V_{dd} 側（オン電圧が印加される）に変化することでスイッチトランジスタ 11b がオン状態となり、駆動トランジスタ 11a のゲート電位 V_g はソース信号線 18 の基準電位 V_0 に初期化（リセット）される。

40

【0217】

次に、期間 D に進むと、図 118 に示すように、駆動トランジスタ 11a のドレイン端子 d の電位がアノード電圧 V_{dd} からソース信号線 18 の基準電位 V_0 より十分低いキャンセル電圧 V_r に変化する。

【0218】

これにより駆動トランジスタ 11a のソース電位 V_s がソース信号線 18 の基準電位 V_0 より十分低いキャンセル電圧 V_r に初期化（リセット又はキャンセル）される。

【0219】

50

具体的には、駆動トランジスタ 11a のゲート - ソース間電圧 V_{gs} (ゲート電位 V_g とソース電位 V_s の差) が駆動トランジスタ 11a のしきい値電圧 V_{th} より大きくなるように、駆動トランジスタ 11a のドレイン端子 d に低キャンセル電圧 V_r を設定する。

【0220】

次に、しきい値補正期間 E に進むと、図 119 に示すように、駆動トランジスタ 11a のドレイン端子 d の電位が低キャンセル電圧 V_r からアノード電圧 V_{dd} に変化し、駆動トランジスタ 11a のソース電位 V_s が上昇を開始する。

【0221】

やがて、駆動トランジスタ 11a のゲート端子 - ソース端子間電圧 V_{gs} がしきい値電圧 V_{th} となったところで電流はカットオフする (流れなくなる)。このようにして駆動トランジスタ 11a のしきい値電圧 V_{th} に相当する電圧がコンデンサ 19a に書き込まれる。これがしきい値電圧補正動作である。このとき電流が専らコンデンサ 19a 側に流れ、EL 素子 15 側には流れないようにするため、EL 素子 15 がカットオフとなるように共通接地電極又はカソード電極 (電圧) V_{ss} の電位を設定しておく。

【0222】

次に、サンプリング期間 / 移動度補正期間 F に進むと、図 120 に示すように、第 1 のタイミングでソース信号線 18 の電位が基準電位 V_0 から信号電位 V_{in} に変化し、駆動トランジスタ 11a のゲート電位 V_g は V_{in} となる。

【0223】

このとき EL 素子 15 は始めカットオフ状態 (ハイインピーダンス状態) にあるため駆動トランジスタ 11a のドレイン電流 I_{ds} は EL 素子 15 のコンデンサ 19 (寄生容量) 19b に流れ込む。

【0224】

これにより EL 素子 15 のコンデンサ 19 (寄生容量) 19b は充電を開始する。よって駆動トランジスタ 11a のソース電位 V_s は上昇を開始し、第 2 のタイミングで駆動トランジスタ 11a のゲート - ソース間電圧 V_{gs} は $V_{in} + V_{th} - V$ となる。このようにして信号電位 V_{in} のサンプリングと補正量 V の調整が行われる。 V_{in} が高いほど I_{ds} は大きくなり、 V の絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行える。また V_{in} を一定とした場合、駆動トランジスタ 11a の移動度 μ が大きいほど V の絶対値も大きくなる。換言すると移動度 μ が大きいほど負帰還量 V が大きくなるので、画素 16 毎の移動度 μ のばらつきを取り除くことが可能である。

【0225】

最後に、発光期間 G になると、図 121 に示すように、ゲート信号線 17 が低電位側に変化し、スイッチトランジスタ 11b はオフ状態となる。これにより駆動トランジスタ 11a のゲート端子 g はソース信号線 18 から切り離される。同時にドレイン電流 I_{ds} が EL 素子 15 を流れ始める。これにより EL 素子 15 のアノード電位は駆動電流 I_{ds} に応じて上昇する。

【0226】

EL 素子 15 のアノード電位の上昇は、すなわち駆動トランジスタ 11a のソース電位 V_s の上昇に他ならない。駆動トランジスタ 11a のソース電位 V_s が上昇すると、コンデンサ 19a のブートストラップ動作により、駆動トランジスタ 11a のゲート電位 V_g も連動して上昇する。ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 11a のゲート - ソース間電圧 V_{gs} は $V_{in} + V_{th} - V$ で一定に保持される。

【0227】

図 122 は、図 113 の変更例である。

【0228】

EL 素子 15 のアノード端子と駆動トランジスタ 11a のドレイン端子 d 間に、第 4 のスイッチトランジスタ 11d を形成している。スイッチトランジスタ 11d は、ゲート信号線 17d に接続され、また、ゲート信号線 17d は、ゲートドライバ回路 12d からオ

10

20

30

40

50

ン / オフ電圧が印加される。

【0229】

図120などでは、駆動トランジスタ11aのモビリティバラツキを補正できることを説明した。つまり、図120は、スイッチトランジスタ11aを、短期間、スイッチトランジスタ11eをオンした方法である。

【0230】

短時間とは、0.05 μ 秒以上5 μ 秒以下の時間である。前記短時間は、画素に印加する映像信号電圧 V_{sig} に対応させて変化させることが好ましい。また、点灯率に対応させて変化させることが好ましい。この変化は、線形、非線形に対応させることを含むほか、ステップ状（例えば、点灯率50%以上では、短時間とは0.1 μ 秒、点灯率50%未満では、2 μ 秒）に対応させてもよい。

10

【0231】

図115に図示するように、点灯率に相関させて、duty比を制御あるいは変化させることが好ましい。ピーク電流を抑制し、消費電力を平均化することができるからである。点灯率が高いときは、duty比を低下（小さく）する。したがって、ピーク電流を抑制できる。また、最大使用階調数制御を実施する。以上の事項は、図78、図79、図83、図84、図98、図99、図130などを用いて説明を行っている。

【0232】

1水平走査期間（1H）に対するオン時間比率（%）（以下、オン比率と呼ぶ）は、図120の期間である。オン時間とは、スイッチトランジスタ11b、11eのオン時間（クローズ時間）を意味する。1Hが、20 μ 秒とすれば、10%とは、2 μ 秒となる。

20

【0233】

オン比率が長いほど、駆動トランジスタ11aのモビリティの補正効果が高くなる。しかし、コンデンサ19の電荷が放電され、駆動トランジスタ11aのゲート端子電位が高く（アノード電圧側）の変化し、EL素子15に流れる電流が変化してしまう。

【0234】

オフセットキャンセル駆動では、黒の階調（低階調）は、オフセットキャンセルされ、駆動トランジスタ11aの特性バラツキは目立ちにくい。しかし、白の階調（高階調）では、オフセットキャンセル点から離れているため、駆動トランジスタ11aの特性ばらつきが目立ちやすい。この駆動トランジスタ11aの特性バラツキはモビリティによるものである。

30

【0235】

点灯率が低い場合は、低階調表示の画素が多い。点灯率が高い場合は、高階調表示の画素が多い。したがって、オン比率は、図115の下図の点線で示すように実施することが好ましい。つまり、低点灯率では、オン比率は0とし、高点灯率になるにしたがって、オン比率を大きくする。

【0236】

しかし、点灯率が低い時は、低階調表示の画素が多いというのは、統計的なものであり、実際と異なることがある。また、点灯率が高い場合は、高調表示の画素が多いというのも統計的なものである。実際には表示パターン、映像信号の種類により異なる。したがって、表示パターン、入力される映像信号の種類（PC映像、AV映像など）などにより、オン比率を可変できるように構成しておくことが好ましい。

40

【0237】

図113、図123に図示するように、その他、ゲート信号線17aとトランジスタ11aのゲート（G）端子間に積極的にコンデンサCxを形成し、突き抜け電圧を増加させる構成も有効である。このコンデンサCxの容量は正規のコンデンサ19aの容量の1/10以上1/2以下にすることが好ましい。さらには1/8以上1/3以下とすることが好ましい。

【0238】

突き抜け電圧発生用のコンデンサCxの容量（容量をCb（pF）とする）は、電荷保

50

持用のコンデンサ 19 a の容量（容量と $C a$ (pF) とする）と、トランジスタ 11 a の白ピーク電流時（画像表示で表示最大輝度の白ラスタ時）のゲート（G）端子電圧 $V w$ （V）を黒表示での電流を流す（基本的には電流は 0 である。つまり、画像表示で黒表示としている時）時のゲート（G）端子電圧 $V b$ （V）が関連する。これらの関係は、

$$C a / (200 C b) \quad | V w - V b | \quad C a / (8 C b)$$

の条件を満足させることが好ましい。なお、 $| V w - V b |$ とは、駆動トランジスタの白表示時の端子電圧（V）と黒表示時の端子電圧（V）との差の絶対値である（つまり、変化する電圧幅）。

【0239】

さらに好ましくは、

$$C a / (100 C b) \quad | V w - V b | \quad C a / (10 C b)$$

の条件を満足させることが好ましい。

【0240】

トランジスタ 11 b は P チャンネルにし、この P チャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4 ゲート以上にする。そして、トランジスタ 11 b のソース - ゲート（SD もしくはゲート - ドレイン（GD））容量（トランジスタがオンしているときの容量）の 1 倍以上 10 倍以下のコンデンサを並列に形成又は配置することが好ましい。

【0241】

なお、以上の事項は、図 113、図 123 の画素構成だけでなく、他の画素構成でも有効である。スイッチトランジスタ 11 b がオフするときに、駆動トランジスタ 11 a に電流が流れないようにシフトするように、コンデンサ $C x$ を配置する。なお、スイッチングトランジスタ 11 b の N チャンネルはダブルゲート以上とする。リーク対策のためである。

【0242】

図 113 では、駆動トランジスタ 11 a は、N チャンネルトランジスタであり、映像信号を画素に印加するスイッチトランジスタ 11 b も N チャンネルトランジスタである。スイッチトランジスタ 11 b を制御するゲート信号線 17 a は、画素 16 の選択時は、高い電圧（ $V G H$ ）が印加され、非選択となる場合は、低い電圧（ $V G L$ ）が印加される。

【0243】

画素 16 が選択状態から非選択状態になる時は、ゲート信号線 17 a に電氣的に接続されたコンデンサ $C x$ の一端子は $V G H$ 電圧から $V G L$ 電圧に変化する。コンデンサ $C x$ は $V G H$ 電圧から $V G L$ 電圧への変化をつき抜け電圧として他のコンデンサ $C x$ 端子（駆動トランジスタ 11 a のゲート端子に接続されている）伝達する。したがって、 $V G H$ から $V G L$ 電圧の変化に比例した電圧が、駆動トランジスタ 11 a のゲート端子に印加され、駆動トランジスタ 11 a のゲート端子電圧を低下させる。したがって、駆動トランジスタ 11 a は電流を流しにくい方向に動作する。この動作により、より黒表示レベルが改善され、良好なコントラストを実現できる。

【0244】

同様に、図 123 では、駆動トランジスタ 11 a は、P チャンネルトランジスタであり、映像信号を画素に印加するスイッチトランジスタ 11 b も P チャンネルトランジスタである。つまり、駆動トランジスタ 11 a とスイッチトランジスタ 11 b とは同極性のチャンネルトランジスタで構成されている。スイッチトランジスタ 11 b を制御するゲート信号線 17 a は、画素 16 の選択時は、低い電圧（ $V G L$ ）が印加され、非選択となる場合は、高い電圧（ $V G H$ ）が印加される。

【0245】

したがって、画素 16 が選択状態から非選択状態になる時は、ゲート信号線 17 a に電氣的に接続されたコンデンサ $C x$ の一端子は $V G L$ 電圧から $V G H$ 電圧に変化する。コンデンサ $C x$ は $V G L$ 電圧から $V G H$ 電圧への変化をつき抜け電圧として他のコンデンサ $C x$ 端子（駆動トランジスタ 11 a のゲート端子に接続されている）伝達する。そのため、

V_{GL}からV_{GH}電圧の変化に比例した電圧が、駆動トランジスタ11aのゲート端子に印加され、駆動トランジスタ11aのゲート端子電圧を高い電圧の方向にシフトさせる。したがって、駆動トランジスタ11aは電流を流しにくい方向に動作する。この動作により、より黒表示レベルが改善され、良好なコントラストを実現できる。

【0246】

また、突き抜け電圧用のコンデンサC_xは、画素が変調するR、G、Bで大きさ（容量）を変化させることが好ましい。R、G、Bの各EL素子15の駆動電流が異なるためである。また、EL素子15のカットオフ電圧が異なるためである。そのため、EL素子15の駆動トランジスタ11aのゲート（G）端子にプログラムする電圧（電流）が異なるからである。例えば、Rの画素のコンデンサC_{xR}を0.02pFとした場合、他の色（G、Bの画素）のコンデンサC_{xG}、C_{xB}を0.025pFとする。また、Rの画素のコンデンサC_{xR}を0.02pFとした場合、Gの画素のコンデンサC_{xG}と0.03pFとし、Bの画素のコンデンサC_{xB}を0.025pFとするなどである。このように、R、G、Bの画素ごとにコンデンサC_xの容量を変化させることのよりオフセットの駆動電流をRGBごとに調整することができる。したがって、各RGBの黒表示レベルを最適値にすることができる。

10

【0247】

以上の事項は、図1などの実施例1、実施例3などの画素構成にも適用される。本明細書に記載した実施例は相互に組み合わせることができる。

【0248】

20

以上は、突き抜け電圧発生用のコンデンサC_xの容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサC_xとの容量の相対的なものである。したがって、コンデンサC_xをR、G、Bの画素で変化することに限定するものではない。つまり、保持用コンデンサ19aの容量を変化させてもよい。

【0249】

例えば、Rの画素のコンデンサ11aRを1.0pFとした場合、Gの画素のコンデンサ11aGと1.2pFとし、Bの画素のコンデンサ11aBを0.9pFとするなどである。この時、突き抜け用コンデンサC_xの容量は、R、G、Bで共通の値とする。したがって、本実施例は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサC_xとの容量比を、R、G、Bの画素のうち、少なくとも1つを他と異ならせたものである。なお、保持用のコンデンサ19aの容量と突き抜け電圧発生用のコンデンサC_xとの容量との両方をR、G、B画素で変化させてもよい。

30

【0250】

また、画面31の左右で突き抜け電圧用のコンデンサC_xの容量を変化させてもよい。

【0251】

以上の事項は、図1などの実施例1、実施例3～7などの画素構成、表示パネル（表示装置）あるいは駆動方法にも適用される。本明細書に記載した実施例は相互に組み合わせることができる。

【0252】

40

ゲートドライバ回路12に近い位置にある画素16は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線17端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線17には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ回路12との接続側に近い画素16の突き抜け電圧用コンデンサC_xを小さくする。また、ゲート信号線17端はコンデンサC_xを大きくする。例えば、画面の左右でコンデンサの容量は10%程度変化させる。

【0253】

同様に、画面31の上下で突き抜け電圧用のコンデンサC_xの容量を変化させてもよい。画面31には、コンデンサC_aと映像信号の書込みタイミングの問題から、輝度傾斜が

50

発生するからである。コンデンサ C_x の値をまた、ソース信号線 18 に沿って変化させる。例えば、画面の上下でコンデンサ C_x の容量は 10 % 程度変化させる。

【0254】

発生する突き抜け電圧は、保持用コンデンサ 19a と突き抜け電圧発生用のコンデンサ C_x の容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ C_x の大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ C_x は画面の左右で一定にし、電荷保持用のコンデンサ 19a の容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ C_x と、電荷保持用のコンデンサ 19a 容量の両方を画面の左右で変化させてもよいことは言うまでもない。以上の事項は、画面 31 の上下方向に関しても同様である。

10

【0255】

図 1 の構成あるいは方式は、映像信号電圧 V_{sig} を画素に形成されたオフセットキャンセルコンデンサ 19b に保持するものであった。オフセットキャンセルコンデンサ 19b に映像信号電圧 V_{sig} を保持することにより、画素 16 の選択後もオフセットキャンセル動作を継続し、良好なオフセットキャンセルを実現できる。

【0256】

図 95 は、図 113、図 123 などでも説明した本実施例の画素構成あるいは EL 表示装置にコンデンサ 19b を付加した構成である。コンデンサ 19b は、映像信号電圧 V_{sig} を保持するものではなく、キャンセル電圧 V_r を保持する。

【0257】

図 118 に図示するように、キャンセル電圧 V_r を短時間の間、駆動トランジスタ 11a のソース端子（もしくはドレイン端子）に印加する。しかし、短時間のため、十分にキャンセル動作を実施できない場合がある。

20

【0258】

図 95 のように、キャンセル電圧 V_r を保持するコンデンサ 19b を画素 16 に形成すれば、スイッチトランジスタ 11c をオフした後も、コンデンサ 19b に保持したキャンセル電圧 V_r を用いて、キャンセル動作を継続できる。したがって、キャンセル動作を複数水平走査期間に渡り、実施することができる。

【0259】

以上のように、本実施例は、所定の種類の電圧（映像信号電圧 V_{sig} 、キャンセル電圧 V_r など）を画素 16 に印加し、前記所定の種類の電圧の印加が完了後も、所定の種類の電圧をコンデンサ 19b に保持し、保持した電圧により所定動作（オフセットキャンセル動作、キャンセル動作など）を継続するものである。また、所定動作の継続できる構成又は構成である。

30

【0260】

なお、本発明の実施例において、所定の種類の電圧（映像信号電圧 V_{sig} 、キャンセル電圧 V_r など）を保持するコンデンサ 19b を画素 16 に形成するとししたが、これに限定するものではない。例えば、ダイオードを画素に形成し、ダイオードの接合容量に前記所定の種類の電圧を保持してもよい。また、画素にトランジスタ素子を形成し、トランジスタの寄生容量（ゲート容量など）に前記所定の種類の電圧を保持してもよい。

40

【0261】

また、所定の種類の電圧（映像信号電圧 V_{sig} 、キャンセル電圧 V_r など）を保持するコンデンサ 19b を画素 16 に形成するとししたが、これに限定するものではない。例えば、図 124 ~ 図 126 に図示するように、複数の画素 16 を共通（画素行、画素列）にして、1つのコンデンサ 19b を配置してもよい。

【0262】

図 124 は、1画素行に1つのコンデンサ 19b を形成し、コンデンサ 19b にキャンセル電圧 V_r を保持させる構成である。図 125 は、1画素行に1つのコンデンサ 19b を形成し、コンデンサ 19b に映像信号電圧 V_{sig} を保持させる構成である。映像信号電圧 V_{sig} が画素行あるいは画素列に共通の信号である場合に有効である。図 126 は

50

、１画素行に１つのコンデンサ１９ｂを形成し、コンデンサ１９ｂにリセット電圧 V_{rst} を保持させる構成である。

【０２６３】

また、図１２４～図１２６の構成において、各画素にリセット電圧 V_{rst} あるいは、キャンセル電圧 V_r を印加するスイッチトランジスタ（１１ｃあるいは１１ｆ）を配置しているが、これに限定するものではない。例えば、ＲＧＢの画素を１組として、スイッチトランジスタ（１１ｃあるいは１１ｆ）を配置してもよい。また、画素行あるいは画素列ことに、スイッチトランジスタ（１１ｃあるいは１１ｆ）を配置してもよい。

【０２６４】

アノード電圧 V_{dd} 、カソード電圧 V_{ss} などの電圧を発生させる電源回路（電源ＩＣ）を外部に配置する場合は、この電源回路（電源ＩＣ）をオン／オフ制御させるオン／オフ信号をソースドライバＩＣ１４から発生（指示）させることが好ましい。アノード電圧 V_{dd} 、カソード電圧 V_{ss} は、 V_{GH} 、 V_{GL} 電圧の印加（供給）後に、パネル３４に印加（供給）する。

【０２６５】

以上の事項は、本明細書の他の実施例にも適用されることは言うまでもない。

【０２６６】

図１２７に図示するように、キャンセル電圧 V_r を印加する配線及びスイッチトランジスタ１１ｃを複数の画素（例えば、ＲＧＢの画素を１組として）に１つ形成又は設けてもよい。また、コンデンサ１９ｂは、ＲＧＢで異ならせても良い。ＲＧＢでコンデンサ１９ｂの容量を異ならせることにより、オフセットキャンセル動作、リセット動作、キャンセル動作などが、ＲＧＢの特性にあわせて最適に設定できるからである。

【０２６７】

図１２８に図示するように、キャンセル電圧 V_r を印加する配線及びスイッチトランジスタ１１ｃ、コンデンサ１９ｂを複数の画素（例えば、ＲＧＢの画素を１組として）に１つ形成又は設けてもよい。画素構成が簡略化され、画素１６の開口率を向上できる。以上の事項は、本明細書の他の実施例にも適用されることは言うまでもない。

【０２６８】

コンデンサ１９ｂの容量は、表示画面３１の部分で異ならせてもよい。例えば、画面の左右と中央部で、コンデンサ１９ｂの容量を異ならせる。画面の部分にあわせて、オフセットキャンセル動作、リセット動作、キャンセル動作などが、最適に設定できるからである。以上の事項は、保持用のコンデンサ１９ａにも適用できる。画面の部分にあわせて、映像信号電圧 V_{sig} の書込み、オフセットキャンセル動作などが、最適に設定できるからである。

【０２６９】

以上の事項は、本明細書の他の実施例においても適用されることは言うまでもない。また、他の実施例と組み合わせることができるとは言うまでもない。したがって、他の実施例において、図面の作図、説明を容易にするために、複数の構成、実施の組み合わせは省略している。以上の事項は、図１、図４、図５、図１０、図１１、図２５、図２９、図３１、図３３、図３５、図３７、図４２、図４６、図５２、図５４、図５５、図５８、図５９、図８６、図９０、図９１、図９２、図９３、図９４、図９５、図１１３、図１２３、図１２４～図１２８などのＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【０２７０】

以上の事項は他の実施例においても同様である。例えば、図１２、図１３、図６１、図７５、図７６、図７７、図７８、図７９、図８３、図８４、図８５、図９８、図９９、図１００、図１０１などの方法あるいは方式、図７、図８、図９、図６０、図８３、図９６、図１０２、図１０３、図１０４、図１０６、図１０７、図１０８、図１０９、図１１０、図１１１、図１１２、図１２９の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせて実施することができることは言う

10

20

30

40

50

までもない。

【実施例 3】

【0271】

本発明の実施例 3 について説明する。なお、今までに説明した構成、方式は、以下に説明する構成あるいは方式に、適用あるいは組み合わせることができることは言うまでもない。

【0272】

図 14 は、本実施例における EL 表示パネルの 1 列分の回路を示したものである。ここでソース信号線 18 は切り替え手段 141 を介して、1 列に対して 2 本のソース信号線 18a と 18b が存在し、偶数行と奇数行の画素で接続されるソース信号線が異なる構成となっていることが特徴である（図 6 など参照のこと）。

10

【0273】

各画素 16 の構成は、例えば、図 1、図 4、図 10、図 25、図 29、図 42、図 46、図 52、図 54、図 55、図 58、図 59、図 86、図 87、図 90、図 91、図 92、図 93、図 94、図 95、図 113、図 122、図 124 ~ 図 128 などの回路で構成されている。つまり、以下の実施例は、本明細書の他の実施例に適用することができる。また、相互に組み合わせることができる。

【0274】

ゲートドライバ回路 12a は、シフトレジスタ構成となっており、クロックごとにパルスが 1 段ずつシフトされる。ゲート信号線 17 に対する接続を、図 14 のように行うことで、図 15 に示すような信号波形を実現することができる。

20

【0275】

シフトクロックの周期を 1 水平走査期間（1H）に設定し、1 水平走査期間のみパルスが出力されるようなスタートパルスが入力される。これで各行 1 水平走査期間ずつずれたタイミングで 1 水平走査期間の間パルスが発生する回路が実現できる。

【0276】

シフトレジスタの各段出力を図 14 のようにゲート信号線 17 に取り込み、切り替え手段 141 を図 15 に示すように動作させることで、始めの 1 水平走査期間（1H）では、1 行目の画素 16a の駆動トランジスタ 11a のゲート電圧を V_{rst} 電源により、初期化する。同時にソース信号線から所定の階調に対応する 1 行目の画素に対応する信号電圧が切り替え手段 141 を介してソース信号線 18b に充電される。ソース信号線 18a には充電されない。切り替え手段 141 でソースドライバ出力から切り離されている。

30

【0277】

次の 1 水平走査期間においては切り替え手段 141 を動作させ、ソース信号線 18a を充電するようにする。このときソース信号線 18b は、ソースドライバ出力から切り離されているために、ソース信号線の浮遊容量 142b により 1 行目の画素に対応する信号電圧が充電されたままである。そこで、ゲート信号線 17a 及びゲート信号線 17c を走査し、画素 16a のトランジスタ 11c、11b を導通状態とし、画素の駆動トランジスタ 11a に階調信号の書き込みと、特性バラツキのキャンセル動作を実施する。同時に 2 行目の画素に対応して、画素 16b に対応する階調信号電圧がソース信号線 18a に充電され、駆動トランジスタ 11a のゲート端子が V_{rst} 電源により初期化される。

40

【0278】

浮遊容量 142 は、ゲート信号線 17 とソース信号線 18 の交差部に生じる容量、ソース信号線 18 と画素電極との結合容量などで構成される。図 14 などにおいて、コンデンサ 142 は浮遊容量として説明するがこれに限定されるものではない。ソース信号線 18 を一方の電極としてコンデンサを形成してもよい。

【0279】

ソース信号線 18a とソース信号線 18b を水平走査期間ごとに切り替えて利用することで、ソース信号線に印加させる階調信号が 2 水平走査期間保持されるため、画素回路 16 に信号を書き込む時間を長くすることができるようになる。

50

【0280】

図1などの画素回路の構成では、駆動トランジスタ11aに階調信号を書き込みながら、特性バラツキをキャンセルする動作を行う。特性バラツキをキャンセルする動作は、トランジスタ11f、11d、11eがオフでトランジスタ11bがオン状態のときに行われ、駆動トランジスタ11aのドレイン電流が0になるように、駆動トランジスタ11aのゲート電位が変化することで、特性バラツキのキャンセルを行っている。

【0281】

駆動トランジスタ11aのゲート電位を変化させているのは、ドレイン電流による電荷であり、最終状態が0もしくは限りなく小さい電流（ピコアンペアオーダー）であることから、ゲート電位を支えている保持用コンデンサ19aの電荷の充放電に時間がかかる。そのため、キャンセル動作には時間がかかることがわかる。

10

【0282】

1水平走査期間（1H）が長い場合には、1水平走査期間内にキャンセル動作を完了させることができる。しかし、垂直ライン数が多く、1水平走査期間が40μ秒よりも短い場合には、キャンセル動作が最後まで行われず、特性補償が不完全となり、その結果、特性ばらつきに応じたムラが発生する問題がある。

【0283】

そこで、キャンセル時間を1水平走査期間以上に拡大する方法として、図16に示すようにゲートドライバ回路12aを更に2本のゲートドライバ回路12a1、ゲートドライバ回路12a2で構成する。駆動トランジスタ11aの初期化を、対応する映像信号が入力される1水平走査期間前にあらかじめ実施する。また、ソース信号線18aもしくは18bに映像信号が入力される水平走査期間から駆動トランジスタ11aに階調電圧の書き込み及び特性キャンセル動作を行うようにする。切り替え部141の動作により、2水平走査期間の間映像信号が保持されるため、階調電圧の書き込み及び特性キャンセル動作を2水平走査期間中実施することが可能となる。

20

【0284】

これを実現するために、図17に示すように、シフトレジスタ12a2のスタートパルス172bを入力する。各行のトランジスタ17a及び17cが2水平走査期間オンされる。オンされるタイミングはソース信号線18及び18a、18bの映像信号に同期して実施される。映像信号が偶数行と奇数行で2つのソース信号線18a及び18cに振り分けられることで周波数が半分となり、書き込み時間を2倍にすることができる。

30

【0285】

なお、イネーブル信号173については、パルス伝播の際の波形なまりによる複数の行の画素で同時選択されることを防止するための信号であり、同時選択が起きない場合や、同時選択でも問題なく動作する場合には、不要である。イネーブル信号173がなくても本実施例を実施することができる。例えば図21のように、特性キャンセルを行うための信号を生成するゲートドライバ回路12a2のイネーブル信号を削除した場合の入力波形及び動作を示す。

【0286】

図17の波形によれば、2水平走査期間の間、駆動トランジスタ11aの特性補正動作が可能であるが、あらかじめ映像信号が入力される1水平走査期間前に駆動トランジスタ11aを初期化するための動作が必要であり、1水平走査期間前にあらかじめ動作させることが必要である。したがって、先頭行が検知できない場合には、あらかじめ初期化ができなくなる恐れがある。

40

【0287】

そこで、図18に示すように、初期化動作を、1行目の映像信号入力時と同時に実施する信号パターンを発明した。初期化動作時には、特性補正動作ができないため、2水平走査期間（2H）の間で、初期化後特性補正動作を行う。

【0288】

図18の構成では、2水平走査期間のうちの始めの水平走査期間の前半に初期化動作を

50

行い、残りの半分と次の水平走査期間で画素への信号書き込みと特性補償動作を実施する。ゲートドライバがシフトレジスタ構成である場合には、水平走査期間とシフトクロックが一致する場合には、イネーブル信号でパルス幅をカットする方法により、水平走査期間の前半と後半で異なるスイッチの動作を実現する。

【0289】

ゲート信号線17dがローレベルの 때가、駆動トランジスタ11aの初期化期間となり、ゲート信号線17a及び17cがローレベルのときに、駆動トランジスタ11aの特性キャンセルと、画素に階調を書き込む期間となる。

【0290】

17a及び17cのローレベル期間が1水平走査期間より長く設定できるため、水平走査期間が30 μ 秒であっても、従来比1.5倍の期間が取れることから45 μ 秒のキャンセル期間がとれ、駆動トランジスタの特性ばらつきを補正することが可能となる。初期化動作自体は、2~10 μ 秒程度で完了するため、最大2水平走査期間から2~10 μ 秒を引いた時間までキャンセル期間を拡大することができる。

【0291】

ゲートドライバ回路12aのシフトレジスタが1系統でかつキャンセル期間を1水平走査期間以上に拡大する方法を図19及び図20に示す。

【0292】

例えば、2水平走査期間の間キャンセルする場合には、2水平走査期間ゲート信号線17a及び17cが導通状態にある必要がある。そこでゲートドライバ回路12aのスタートパルスを2水平走査期間の長さだけ入力する。これにより、キャンセル及び階調書き込み時間を2水平走査期間に設定できる。同様に初期化を実施するためのゲート信号線17d用のパルスを生成する必要がある。

【0293】

また、図1、図25に示すような画素回路構成であることから、ゲート信号線17dと駆動トランジスタ11a、スイッチトランジスタ11cを同時に導通状態としてはならないため（異なる電圧がショートする）、初期化用のパルスは、同一行の画素に対するキャンセル及び階調書き込み用のパルスと重ならないようにする必要がある。

【0294】

具体的には、2水平走査期間前のパルスを初期化用のパルスとして利用すればよい。図19に示すように、シフトレジスタに対して、ゲート信号線17dと共通の出力をキャンセル及び階調信号書き込み用ゲート信号線を用いる場合には、2行分後段（つまり2水平走査期間後）の信号を利用すると、同一画素16aに対して、図20に示すように、201、202の2水平走査期間で初期化を実施する。また、203、204の2水平走査期間で駆動トランジスタ11aの特性キャンセル及び階調信号書き込みを実施している。16b、16cの画素においても同様に1水平走査期間ずつ遅れたタイミングで実施している。

【0295】

この方法は、2水平走査期間のキャンセルばかりでなく、3水平走査期間以上、必要な場合でも実施が可能である。1列分の画素に対応するソース信号線の数が必要とする水平走査期間の数（整数）分を用意し、ゲートドライバ回路12aのスタートパルスのパルス幅を必要な水平走査期間数入力する。初期化に対応するゲート信号を取り出すシフトレジスタの段から必要な水平走査期間数分後段のシフトレジスタから特性キャンセル及び階調信号書き込み用のゲート信号をとりだして、同一行の画素に入力すれば実現が可能である。

【0296】

映像信号が、対応する行の画素に書き込まれるようにするため、スタートパルスは、映像信号に対してあらかじめ入力する必要がある。少なくともキャンセルを行う水平走査期間の長さ分だけ早く入力が必要である。図20においても2水平走査期間早く、入力している。

10

20

30

40

50

【0297】

ソースドライバのコスト削減のために、1出力から時系列に複数の画素に対応する電圧を出力する選択駆動方式を採用することがある。選択駆動方式がない場合に比べて、当該画素に対応する映像信号が入力されるタイミングが表示色によって異なるようになる。

【0298】

例えば、赤緑青の3画素分を1出力で行う3選択駆動の場合においては、図22に示すように、赤(R)色に対して、緑(G)及び青(B)は水平走査期間の始めではなく、途中で信号が変化していることがわかる。ゲート信号線17a及び17cを221の波形により入力すると緑及び青色の画素については、1行前の映像信号が画素に書き込まれ、ソース信号線の変化により当該行の映像信号が書き込まれるようになる。

10

【0299】

液晶などでは、書き込み時の最終電圧(ゲート信号線がオフになる瞬間の電圧)が1フレーム間画素に保持され、所定輝度で表示されるため問題がない。本実施例における画素構成を持つ有機EL表示パネルにおいては、映像信号を駆動トランジスタ11aに書き込む際に駆動トランジスタ11aの特性バラツキを補正する動作を行っている。

【0300】

補正に要する時間を短縮するため、書き込みを行う前に、初期化動作を行い、駆動トランジスタ11aのゲート端子に低い電圧(白表示時よりもさらに駆動トランジスタ11aが電流を流す電圧)にあらかじめ初期化を行っている。

【0301】

20

初期化の電圧は低いほど特性補正が高速化される。選択駆動時に1行前の電圧が少しでも印加されると、駆動トランジスタ11aのゲート電圧が1行前の電圧に変化してしまい、1行前の電圧が印加された状態で、当該行の映像信号による階調信号の書き込みとトランジスタばらつき特性補正を行うこととなり、初期化を行う効果がなくなってしまう。これは3選択駆動でなくとも、2選択以上の信号線選択駆動を実施する際に共通の課題である。

【0302】

本実施例では、選択駆動を行う際に、同一水平走査期間で書き込みを行う信号線の電圧がすべて確定した後に特性キャンセル動作を行うようにした。

【0303】

30

図23、図24及び図26に実施例の1つを示す。ここで選択駆動は赤緑青の3つの信号線を順に選択する3選択駆動方式としている。2選択や、4選択以上でも同様に実現できる。

【0304】

キャンセル時間を確保するために、各列に対して2本の信号線を用意し、偶数行と奇数行で異なるソース信号線を利用している。図23ではゲートドライバ回路12aをシフトレジスタ回路1系統で実施する構成を示している。図23のゲートドライバ回路12aを用いた場合の信号入力と、信号線選択回路232の動作を図26に示す。1水平走査期間内で赤(R)、緑(G)、青(B)に信号線を切り替えている。また1水平走査期間ごとに奇数行用のソース線18b、偶数行用のソース線18aを切り替えて選択を行っている。

40

【0305】

この方式では、初期化のタイミングと当該行の映像信号線の書き込みが同一で、画素内部への映像信号の書き込みは、次の水平走査期間にて実施されている。したがって、駆動トランジスタ11aへの信号線書き込み及び特性ばらつき補正の実施中に映像信号が変わることはなく、選択駆動時でもこれまで同様の駆動が実施可能である。

【0306】

1画素分に注目したタイミングチャートを図24に示す。ここではこれまで記載していなかった、ゲート信号線17bについても記載を行っている。ゲート信号線17bについては、初期化期間及び特性キャンセル、階調信号を駆動トランジスタに書き込みを行って

50

いる期間では必ず、接続されるスイッチが非導通状態である必要がある。しかし、その他の期間では、導通、非導通状態いずれであってもかまわない。これは本実施例のほかの実施の形態でも同様である。図 2 4 では、導通非導通を繰り返し実施している例を示している。

【0307】

ソース信号線 1 8 は 3 選択駆動対応用に 1 水平走査期間の間に 3 画素分の信号を送っている。信号線選択回路により奇数行目の青画素に対応するソース信号線 1 8 b B の電圧変化は 2 4 1 に示す波形のようになる。

【0308】

1 行目に対応する階調信号の変化は 2 4 2 のタイミングで変化する。このときゲート信号線 1 7 b がオフ状態となっており、駆動トランジスタ 1 1 a のゲート端子に 1 行前の映像信号が書き込まれることが無いようになっている。ゲート信号線 1 7 a については、図 2 3 のゲートドライバ回路 1 2 の構成によればオフとなっているが、オン状態であってもかまわない。ゲートドライバ回路 1 2 の構成を変更してオンとしてもよい。駆動トランジスタ 1 1 a のソース端子に 1 行前の電圧が印加されるが、初期化されているゲート端子には印加されることが無いためである。

10

【0309】

時間 2 t 以降でゲート信号線 1 7 c、1 7 a が導通状態となり、駆動トランジスタ 1 1 a に階調電圧及び特性キャンセル動作が行われる。このとき、ソース信号線 1 8 b B は図 2 6 でもあったように、信号線選択回路 2 3 2 により各ソース信号線から切り離された状態となる。

20

【0310】

ソース信号線の浮遊容量 2 3 3 により、ソースドライバから書き込まれた電圧が 2 水平走査期間の間保持される。保持された電圧値が画素に書き込まれ、所定電圧が書き込まれている。時間 2 t ~ 3 t の間で、駆動トランジスタ 1 1 a のゲート電圧は書き込まれるソース電圧 (V_{sig}) からしきい値電圧 (V_{th}) 分低下した電位に徐々に変化し、($V_{sig} - V_{th}$) となる。時間 3 t で所定電圧に書き込まれた後、ゲート信号 1 7 b を導通状態にすることで所定電流が EL 素子 1 5 に流れ、発光する。

【0311】

図 2 7 はゲートドライバ回路 1 2 a をシフトレジスタ 2 系統で構成した場合の図である。これによればスタートパルスの個別設定にて、ゲート信号線 1 7 d に対してゲート信号線 1 7 a 及び 1 7 c のパルス幅を異ならせて設定することが可能である。

30

【0312】

図 2 8 にゲートドライバ回路 1 2 a 1 及び 1 2 a 2 の入力波形と、各ゲート信号線波形を示す。初期化用の信号を生成するゲートドライバ回路 1 2 a 1 について、初期化を行うためのパルスを生成する。初期化に要する時間は V_{rst} を発生する電源能力によるが 10 μ 秒程度で初期化が完了する。ゲート信号線 1 7 d がオン状態となるのは短い時間で実施している。

【0313】

時間がかかる特性キャンセル期間と初期化期間は同時に実施することができないため、2 水平走査期間内で初期化 ~ 特性キャンセル、階調信号書き込みを実施するためには、初期化を短くすることが重要であるためである。

40

【0314】

図 2 7、図 3 7 の実施例では、1 水平走査期間に 2 画素行を選択する方式であるが、本実施例はこれに限定するものではない。3 画素行以上を同時に選択してもよい。3 画素行以上を同時に選択する場合は、ソース信号線 1 8 の本数も増加させる。基本的には、1 水平走査期間に同時に選択する画素行分の数量のソース信号線 1 8 を形成する。

【0315】

また、同時に選択する画素行は、隣接していることに限定されない。2 画素行単位でもよい。一例として、第 1 水平走査期間に、第 1 番目の画素行と第 3 番目の画素行を選択し

50

、第 2 水平走査期間に、第 2 番目の画素行と第 4 番目の画素行を選択する駆動方式が例示される。

【0316】

また、同時に選択する画素行は、映像信号電圧 V_{sig} の書込みタイミングをずられてもよい。例えば、第 1 番目の画素行と第 2 番目の画素行を選択する場合、第 1 番目の画素行を選択した後、5 μ 秒後に第 2 番目の画素行を選択してもよい。選択タイミングを異ならせることにより、突入電流などを抑制することができる。また、選択回路 1041 を形成し、選択回路 1041 とタイミング調整を実施してもよい。

【0317】

図 28 では赤色にソース出力が選択された期間のみで実施しているが、赤と緑色の選択期間もしくは赤色の選択期間の一部などであってもよい。最も当該行の映像信号が書き込まれるのが遅い青色のソース信号線 18aB もしくは 18bB においては青色の選択期間になるまで当該画素に対応する電圧がソース信号線 18aB もしくは 18bB に印加されていないため、特性キャンセル期間に移行することができない。

【0318】

特性キャンセルができないことから、赤緑選択期間は初期化期間としても問題が無い。特性キャンセル及び階調信号書き込みであるが、ゲートドライバ回路 12a2 のシフトレジスタ回路により 2 水平走査期間選択できるパルスを生成し、初期化期間もしくは映像信号が書き込まれていない期間を除くように、奇数行偶数行別にイネーブル期間を設けるイネーブル信号を有する。

【0319】

1 行目の特性キャンセル及び階調信号書き込み期間は 281 で示される期間となる。281 の期間の始めは、青画素書き込み終了後となっているが、青画素が信号線選択回路で選択され所定電圧にソース信号線 18aB もしくは 18bB が変化した後であれば、ゲート信号線 17a 及び 17c をローレベルにしてもよい。281 の期間の終わりは、次に同一のソース信号線に異なる行の画素に対応する電圧が印加される前に設定すればよい。信号線選択速度が速い場合には、書き込み終了後～次の水平走査期間の最後まで特性キャンセル期間を設定することができ、駆動トランジスタ 11a のしきい値電圧補正能力が高い表示が実現可能である。

【0320】

なお、ゲート信号線 17a については、2 水平走査期間すべてにおいてローレベルとしてもよい。トランジスタ 11c が導通状態となっても、駆動トランジスタ 11a のゲート電圧には影響がないためである。この場合、ゲート信号線 17c 用にはイネーブル信号を介してシフトレジスタ出力が入力され、ゲート信号線 17a 用にはイネーブル信号を介さずもしくは、別途のイネーブル信号を介してシフトレジスタ出力が入力される構成となる。

【0321】

これまでは画素回路 16 に用いられるトランジスタは P チャンネルトランジスタで説明を行ってきたが、図 29 に示す N チャンネルトランジスタで構成してもよい。以上の事項は本実施例の他の画素構成においても同様である。

【0322】

有機 EL 素子 15 については、アノードとカソードの向きが逆でかつ、 V_{ss} 電位 > V_{dd} 電位という構成であってもよい。図 29 ではコンデンサ 19b が形成されているが、コンデンサ 19b がなくても本実施例を同様に実施することが可能である。以上の事項は本実施例の他の画素構成においても同様である。

【0323】

なお、図 29 と図 4 とを比較すると、図 4 は、突き抜けコンデンサ 19c がゲート信号線 17a と駆動トランジスタ 11a のゲート端子間に配置されているのに対して、図 29 では、突き抜けコンデンサ 19c がゲート信号線 17c と駆動トランジスタ 11a のゲート端子間に配置されている。

【0324】

コンデンサ19bが形成されていると、次に画素に映像信号が書き込まれるまでの1フレーム間電圧が保持されるため、a点の電位が保持される。あるいは、次にトランジスタ11cがオンし映像信号が画素16に書き込まれる時までa点に印加された(書き込まれた)電圧が保持される。

【0325】

保持された電位を元にトランジスタ11bを導通状態とすれば階調信号に応じた信号で、駆動トランジスタ11aの特性バラツキをキャンセルすることが可能である。これが図30に示すキャンセル期間302となる。

【0326】

このキャンセル期間(オフセットキャンセル期間)は水平走査期間の長さによらずゲートドライバ回路12の構成によって任意に設定することが可能である。映像信号の書き込みと駆動トランジスタ11aの初期化は、キャンセル期間302の前に実施される(期間301)。トランジスタ11fと11cのみ導通状態である。これでVrst電源により駆動トランジスタ11aのゲート電位を初期化し、同時にソース信号線18からコンデンサ19bに所定電圧の書き込みを行っている。

【0327】

コンデンサ19bに所定階調電圧を保持することから、ソース信号線18は1本で、1水平走査期間のみトランジスタ11cをオンさせるだけでよい。ソース信号線18を2本用意する方法でソース信号線18の浮遊容量とコンデンサ19bの両方で階調電圧を保持する方法をとってもよい。この場合、コンデンサ19bは小さくすることができる。

【0328】

オフセットキャンセルが完了したら、EL素子15に電流を印加して所定輝度による発光を得る。この期間が発光期間304である。このときトランジスタ11dと11eが導通状態となりEL素子15に電流を供給する。

【0329】

前後にある非発光期間303は、黒挿入を行い動画視認性向上等の効果を得る際に挿入される期間である。黒挿入はduty駆動であり、図12、図13、図84、図98、図99などを用いて説明を行っている。このときは少なくともトランジスタ11dもしくは11eのいずれか一方が非導通状態になっている。また、常時点灯状態にして黒挿入を行わない場合には、期間303はなくても差し支えない。

【0330】

なお、本実施例における切り替え部141及び信号線選択回路232は必ずしもアレイ基板上に形成する必要が無く、ソースドライバICに内蔵される構成であってもよい。

【0331】

本実施例において、同一列に形成された画素に接続されるソース信号線は2本である例で説明をおこなったが、3本以上の複数のソース信号線であっても同様に実施が可能である。一般にN本のソース信号線を用意し、N画素おきにソース信号線を接続すれば、N水平走査期間の間ソース信号線は階調電圧を保持することが可能となり、特性キャンセル期間を長く取ることができる。キャンセル期間を確保することにより、より駆動トランジスタ11aの特性に近づいたゲート電圧を画素回路で保持することができるようになり、表示ムラが改善する。また、複数の画素行を同時に選択してもよい。

【0332】

N本のソース信号線について、少なくとも隣接画素間で異なるソース信号線に画素回路を接続しておけば、2水平走査期間の間ソース信号線に階調信号が保持されることから、同様に特性キャンセル期間を拡大することができ、表示ムラが少ないEL表示装置を得ることができる。

【0333】

図31は、駆動トランジスタ11aのゲート端子の電圧を初期化するための電源(リセット電圧Vrst)を、電圧源から電流源に変更した回路である。図32に図31の回路

10

20

30

40

50

構成におけるゲート信号線の波形を示す。図 3 1 の回路構成において、1 画素での動作は、1 フレームの間に、書き込み期間 3 2 1、発光期間 3 2 4、非発光期間 3 2 3 に分けられる。非発光期間 3 2 3 は、黒挿入 (d u t y 駆動：間欠表示駆動) を行って動作視認性を向上させる場合などに用いられる。本発明の実施例においては、非発光期間 3 2 3 は、あってもなくてもよい。特性バラツキの補償能力向上を同様に実現できる。

【0 3 3 4】

書き込み期間 3 2 1 において、トランジスタ 1 1 b、1 1 c、1 1 f が導通状態となる。これによりソース信号線 1 8 の電圧が駆動トランジスタ 1 1 a のソース端子に印加される。駆動トランジスタ 1 1 a のゲートとドレイン端子はトランジスタ 1 1 b により同電位となり、電流源 3 1 2 により供給される電流が駆動トランジスタ 1 1 a のドレイン電流となるようなゲート、ドレイン電圧となる。

10

【0 3 3 5】

したがって、書き込み期間 3 2 1 において、トランジスタ 1 1 a のゲート電圧は、ソース信号線 1 8 の電圧が映像信号電圧 V_{sig} であったとすると、 $(V_{sig} - V_{t1})$ となる。ここで V_{t1} は、駆動トランジスタ 1 1 a に電流源 3 1 2 の電流 (I_{rst}) を流したときのソースドレイン間電圧であり、駆動トランジスタ 1 1 a の特性により異なる電圧値となる。

【0 3 3 6】

リセット電流 I_{rst} が駆動トランジスタ 1 1 a つまり E L 素子 1 5 に流れるときには、特性バラツキを補正した電圧が駆動トランジスタ 1 1 a のゲート端子に印加され、表示ムラのない E L 表示装置が実現できる。

20

【0 3 3 7】

従来の構成においては、 $I_{rst} = 0$ つまり黒表示時に完全に特性ばらつきを補正し、電流が増加するにつれ、補正ができない移動度ばらつきに起因する電流ばらつきが発生し、高階調ほど表示ムラが発生しやすい状況であった。

【0 3 3 8】

表示ムラは輝度が低いほど視認しにくく、中間調～高階調では視認しやすい性質があり、階調 0 に相当する電流で特性補正を行うよりも、視認しやすい中間～高階調での補正が望ましい。初期化用の電流源の出力電流 I_{rst} の電流値を中間～高階調に設定すれば、視認されやすい階調での表示ムラを優先してなくせる。また、視認しにくい階調では、移動度ばらつきがおこる構成であっても見えにくいことを利用し、全階調領域における表示ムラレベルの向上を実現できる。本実施例は、駆動トランジスタの特性バラツキのキャンセル動作中に電流 I_{rst} を流し、特性キャンセルがもっともよく行われる電流領域を変更させることができるようにしたことが特徴である。

30

【0 3 3 9】

図 3 3 の回路は、図 3 1 の構成に対して、さらに初期化用の電圧源 (リセット電圧 V_{rst} を出力) 3 3 1 及び電圧源 3 3 1 と電流源 3 1 2 の切り替えを行う切り替え部 3 3 3 を有することが特徴である。これは、電流源 3 1 2 によりトランジスタ 1 1 a の電圧を変化させる場合に、1 フレーム前に黒表示をした画素であると、駆動トランジスタ 1 1 a に流れる電流が I_{rst} に変化するまでに時間がかかる。そのため、書き込み期間 3 2 1 内に駆動トランジスタ 1 1 a のゲート電圧が $V_{sig} - V_{t1}$ になりにくい問題を解消するためである。

40

【0 3 4 0】

駆動トランジスタ 1 1 a のドレイン電流が多いほど、書き込み期間 3 2 1 における駆動トランジスタ 1 1 a のゲート電圧を変化させやすい。電流が多く流れるほど、保持用コンデンサ 1 9 a の電荷の充放電速度が速くなるため、ゲート電圧が変化しやすくなる。

【0 3 4 1】

そこで、ゲート電圧の変化速度向上を目的として、電圧源 3 3 1 を用意し、書き込み期間 3 2 1 の初期に、電流源 3 1 2 に変わり、低電圧 (白表示ほど低電圧の図 3 3 の回路構成の場合) の電圧を駆動トランジスタ 1 1 a に供給することで、書き込み期間 3 2 1 の初

50

期に駆動トランジスタ 11a のドレイン電流が多くなるようにして、残りの期間での、リセット電流源 312 によるキャンセル動作を高速化するようにした。

【0342】

図 34 に図 33 の回路構成におけるゲート信号及び切り替え手段の動作を示した。書き込み期間 321 のうち電圧源が供給される期間 341 において、駆動トランジスタ 11a のゲート電圧は V_{rst} となる。

【0343】

リセット電圧 V_{rst} は低い電圧であるほど、切り替え手段 333 により電流源 312 に切り替えた際のゲート電圧の変化を高速化させるが、低下くしすぎると、所定階調とのゲート電位の差が大きくなりすぎ、所定値まで電圧が変化しきれない可能性がある。

10

【0344】

したがって、リセット電圧 V_{rst} は、(白表示時の電圧) ~ (白表示時の電圧 - 5 (V)) 程度が好ましい。続く 342 の期間において、電流源 312 と書き込まれるソース信号線電圧 V_{sig} に基づいてゲート電圧が $V_{sig} - V_{t1}$ に変化する。

【0345】

この時、図 32 の構成に比べて、トランジスタ 11a のドレイン電流が多く、蓄積コンデンサ 19 の電荷の充放電速度が高速化されることから、 $V_{sig} - V_{t1}$ までに変化する速度は、電圧印加期間 341 を含めても高速化され、より短時間での特性補正が可能となる。

【0346】

20

図 35 はゲート信号線をトランジスタ 11e と 11d で個別制御にした回路構成を示している。1 画素において、1 フレームは、リセット期間 361、映像信号書き込みと特性キャンセル期間 362、非発光期間 363、発光期間 364 からなる。

【0347】

駆動トランジスタ 11a の初期化 (リセット) を行う電源が、電圧源 331、電流源 312 の 2 つがあり、電圧源 331 が印加されるリセット期間を 365、電流源 312 が印加されるリセット期間を 366 とする。

【0348】

なお、リセット期間 361 は電流源 312 から出力される電流を元に駆動トランジスタ 11a を初期化し、かつ同一列で同一のリセット線 311 を利用して画素にリセット電圧及び電流を書き込むことから、1 水平走査期間以内で実施する必要がある。

30

【0349】

映像信号書き込みと特性キャンセル期間 362 は、同一列で同一のソース信号線 18 から映像信号に対応する電圧が供給されることから、1 水平走査期間以内で実施する必要がある。リセット及び特性キャンセルに時間がかからない場合においては、リセット期間 361 と映像信号書き込みと特性キャンセル期間 362 を 1 水平走査期間内に実施してもよい。

【0350】

本実施例の方式においては、駆動トランジスタ 11a のゲート電圧の初期化を、電圧源 331 ばかりでなく、電流源 312 を用いて実施することが特徴である。

40

【0351】

図 36 に示すようにリセット期間 361 のうちの期間 365 において、従来と同様に電圧源 331 により駆動トランジスタ 11a のゲート電圧を V_{rst} に初期化する。このときゲート信号線 17e 及び 17c によりトランジスタ 11e 及び 11b については、オンでもオフでも構わない。しかし、 V_{dd} 電源から V_{rst} 電源に駆動トランジスタ 11a の特性により貫通電流が流れることを防止する観点から少なくとも一方のトランジスタについてはオフにすることが好ましい。

【0352】

本実施例ではリセット期間 361 の間にさらに期間 366 を設け、切り替え手段 333 の接続を切り替え、電流源 312 により駆動トランジスタ 11a の初期化を行う。電流源

50

3 1 2 の電流が駆動トランジスタ 1 1 a のドレイン電流となるように、トランジスタ 1 1 f、1 1 b、1 1 e をオン状態とする。

【0 3 5 3】

電流源 3 1 2 の電流値は、期間 3 6 6 において、駆動トランジスタ 1 1 a のゲート電圧が電圧源 3 3 1 の V_{rst} 付近になるような電圧に設定することが好ましい。駆動用トランジスタ 1 1 a の特性バラツキがあるため、EL 表示装置に形成された画素の平均電圧が V_{rst} であってもよい。期間 3 6 6 により駆動トランジスタ 1 1 a のゲート電圧は $V_{rst} + V_1$ に変化する。ここで V_1 は電流源 3 1 2 の電流 (I_{rst}) を流したときのゲート電圧ばらつきに相当する。

【0 3 5 4】

映像信号書き込みと特性キャンセル期間 3 6 2 においてソース信号線 1 8 から映像信号が入力され、トランジスタ 1 1 b がオン状態であり、トランジスタ 1 1 f がオフ状態であることで、駆動トランジスタ 1 1 a のゲート電圧は映像信号電圧を V_{sig} とすると $V_{sig} - V_{th}$ (V_{th} はしきい値 (閾値) 電圧) となるまで変化する。 $V_{sig} - V_{th}$ となるのは、特性キャンセル期間が十分長い時間である場合であって、1 水平走査期間で 3 6 2 の期間を終わらせる必要があることから、特性キャンセル期間は 40μ 秒程度しか取れない。

【0 3 5 5】

そのためゲート電圧は期間 3 6 6 が存在しない図 4 1 の構成であれば、($V_{sig} - V_{th} - V_2$) までしか変化できない。 V_2 分の電位変化が不足となる。そのため V_2 に相当する分だけたくさん駆動トランジスタ 1 1 a のドレイン電流 I_2 が流れる。 I_2 は、駆動トランジスタ 1 1 a の特性バラツキによってばらつく。この影響で EL 素子 1 5 に流れる電流にバラツキが発生し、表示ムラが発生する。

【0 3 5 6】

期間 3 6 6 が存在すると、期間 3 6 1 の終わりの電位が V_1 だけずれるため、期間 3 6 2 の終了時のゲート電圧は ($V_{sig} - V_{th} - V_2 + V_1$) となる。電流源により一定電流を印加した結果トランジスタ 1 1 a のゲート電圧が V_1 だけずれていることから、 V_2 に対する I_2 が大きい駆動トランジスタ 1 1 a の場合 (よく電流を流すトランジスタ) には、 V_1 は大きくなり、 V_2 に対する I_2 が小さい駆動トランジスタ 1 1 a の場合には、 V_1 は小さくなる (負の値を含む)。

【0 3 5 7】

表示ムラにおいてたくさん電流が流れる画素 (V_2 に対する I_2 が大きい) では、 V_1 が大きくなり、ゲート電圧が上昇する。少ない電流の画素では V_1 が小さくなることからゲート電圧が下降する。電流が流れやすい画素では 1 1 a のゲート電圧が上昇し電流が流れに食うなり、電流が流れにくい画素ではゲート電圧が低下することで電流が流れるようになることから、画素ごとの電流量の差が小さくなる方向となり、表示ムラを改善することが可能となる。

【0 3 5 8】

図 4 0 に異なる電流 - 電圧特性を持つ駆動トランジスタ 1 1 a に対する、リセット期間 3 6 1 を電圧源のみで実現した場合 (a) と、電流源を用いて実現した場合 (b) の映像信号書き込みと特性キャンセル期間 3 6 2 終了後の電流値の違いを示す。

【0 3 5 9】

図 4 0 (a) では電圧源のみで駆動トランジスタ 1 1 a の初期化を行っているため、4 0 1 と 4 0 2 の特性を示す 2 つの画素の駆動トランジスタ 1 1 a において、ゲート電圧が V_{rst} となるが、そのときの電流値は I_{rst1} 、 I_{rst2} と異なる値となる。

【0 3 6 0】

4 0 1 の特性では点 4 0 3 a、4 0 2 の特性では点 4 0 3 b である。次に映像信号書き込みと特性キャンセル期間 3 6 2 において、駆動トランジスタ 1 1 a のソース電位に映像信号が書き込まれ、ゲート電位はしきい値キャンセル動作によりソース電位からしきい値電圧分下がった点まで変化しようとする。一例として変化に要する時間は 100μ 秒程度

10

20

30

40

50

かかる、したがって、1 水平走査期間では、十分にキャンセル電圧 4 0 6 にまで変化せず、4 0 5 に示す点までの変化となる。

【0 3 6 1】

電圧変化量は流れる電流と浮遊容量により決められ、電圧変化量 $V = i \cdot T / C$ (ここで、 i : 流れる電流、 T : キャンセル期間 3 6 2 の長さ、 C : 浮遊容量) であらわされ、4 0 3 a 点の方が、4 0 3 b 点に比べて電流が多いことから、曲線 4 0 1 で示されるトランジスタの方は電位変化量が大きく、 V_2 まで電圧が変化する。

【0 3 6 2】

曲線 4 0 2 では、点 4 0 3 b での電流が少ないため変化量が少なくなり、 V_1 までしか電圧が変化しない。点 4 0 5 a 及び 4 0 5 b でのドレイン電流が I_2 と I_1 で異なり、この差が表示ムラとして視認される可能性がある。

10

【0 3 6 3】

一方で電流源を用いてリセットを実施した場合には、図 4 0 (b) に示すように、リセット期間 3 6 1 の終了時には、ドレイン電流が I_{rst} 、ゲート電圧が曲線 4 0 1 と 4 0 2 で異なり、 V_{rst1} 、 V_{rst2} となる。(点 4 0 4 a、4 0 4 b) 次に映像信号書き込みと特性キャンセル期間 3 6 2 においてキャンセルを行うと、流れる電流は I_{rst} と同じで、浮遊容量にばらつきがなく、キャンセル時間は同一パネルであることから同一に設定できるため、 V は曲線 4 0 1、4 0 2 とともに同一となり、それぞれ同一電位だけシフトした V_1 及び V_2 の電圧となる。(点 4 0 5 c、4 0 5 d) このときのドレイン電流はいずれも I_1 となり、駆動トランジスタ 1 1 a の特性に違いがあったとしても特性キャンセル期間 3 6 2 終了後の書き込まれた電流値が同一となり、表示ムラがなくなる構成を実現できる。

20

【0 3 6 4】

リセット期間で、一定電流により駆動トランジスタ 1 1 a のゲート電圧を個別に設定することで、キャンセル期間が短いことにより駆動トランジスタ 1 1 a のゲート電圧が完全に特性キャンセルされた電圧とずれたとしても、電流ばらつきが小さい構成を実現することができる。

【0 3 6 5】

期間 3 6 5 はなく、期間 3 6 6 の電流源のみでのリセットをおこなってもよいが、電流源 3 1 2 により V_{rst} 電圧付近までゲート電圧を変化させるのに時間がかかることから、あらかじめ電圧源 3 3 1 により V_{rst} 付近まで電圧を変化させてから電流源 3 1 2 によるリセットを行うことが好ましい。リセット期間 3 6 1 が長く、電流源 3 1 2 のみで $V_{rst} + V_1$ まで電圧が変化できるのであれば、電圧源 3 3 1、切り替え手段 3 3 3、期間 3 6 5 はなくてもよい。

30

【0 3 6 6】

図 3 5 の画素回路構成の EL 表示装置は、同一列の画素に対して複数のソース信号線を用意し、ソース信号線方向に隣接する画素で、異なるソース信号線から映像信号を書き込むようにすることで、書き込み時間を長くする構成と組み合わせて実施することも可能である。例えば、2 本のソース信号線を用意した場合の回路を図 3 7 に示す。

【0 3 6 7】

ソース信号線 1 8 を 2 本用意すれば、図 1 4、図 1 6、図 1 9 などで説明したように、ソース信号線 1 8 に印加される階調信号は 2 水平走査期間ごとに変化することから、映像信号書き込みと特性キャンセル期間 3 6 2 を最大 2 水平走査期間まで拡大させることが可能となる。例えば、図 3 8 に示すような駆動波形を実現することができる。期間 3 6 2 が拡大することで駆動トランジスタ 1 1 a のゲート電圧を変化させる時間を長く取ることができ、誤差 V_2 の絶対値を小さくすることができ、より正確にキャンセルを行うことが可能となる。

40

【0 3 6 8】

図 3 7 の構成でリセット線 3 1 1 は 1 列分の画素に 1 本であるが、ソース信号線 1 8 と同様に複数本 (例えば 2 本) を形成すれば、リセット期間 3 6 1 についても最大 2 水平走

50

査期間に拡大することができ、リセット電圧もより駆動トランジスタ 1 1 a の特性に応じた電圧にすることが可能となる。

【 0 3 6 9 】

図 3 7 の構成や、図 3 5 の構成において、リセット線 3 1 1 に切り替え手段 3 3 3 を介して電流源 3 1 2、電圧源 3 3 1 が接続されているが、電圧源 3 1 1 がなくても、1 水平走査期間以内に、電流源 3 1 2 によって、所定の初期化電位になるまで、駆動トランジスタ 1 1 a のゲート電圧を変化させることができれば、電流源のみでリセット期間 3 6 1 を構成することができる。この時、図 3 9 に示すような 1 フレーム期間の動作となる。

【 0 3 7 0 】

駆動トランジスタ 1 1 a のゲート電圧は $V_{rst} + V_1$ に収束する。電圧源 3 3 1 を併用した場合でも図 3 6、図 3 8 に示すように $V_{rst} + V_1$ と同一値であり、初期化の効果はかわらず同等であるため、電流源のみの構成でもよい。

10

【 0 3 7 1 】

以上のように、図 4 0 などでも説明したように、駆動トランジスタ 1 1 a が P チャンネルトランジスタの場合、ゲート端子電圧が高くなるほどチャンネルを流れる電流が減少する。図 4 9 ではその関係を図示している。図 4 9 は、横軸を駆動トランジスタ 1 1 a のゲート端子電圧を示す。右側が正である。上のグラフの縦軸は、駆動トランジスタ 1 1 a のチャンネル間（ソース・ドレイン端子間）に流れる電流を示す。上が正である。下のグラフの縦軸は、経過時間を示す。上が正である。

【 0 3 7 2 】

20

上図において、リセット電圧 V_{ra} が駆動トランジスタ 1 1 a に印加され、トランジスタ 1 1 b がクローズしてオフセット動作が開始すると、駆動トランジスタ 1 1 a のドレイン電流は低下していく。リセット電圧 V_{ea} が印加された最初に流れる電流は、 I_{ia} であるが、時間の経過と共に電流が減少し、ある設定階調（第 1 階調と呼ぶ）の電圧 V_{ea} で流れる電流は I_{ea} 、他のある設定階調（第 2 階調と呼ぶ）の電圧 V_{ec} で流れる電流は I_{ec} とする。

【 0 3 7 3 】

下図は、ゲート端子電圧と、経過時間を示す。リセット電圧 V_{ra} から V_{ea} までに必要とする時間は、 t_a である。しかし、リセット電圧 V_{ra} から V_{ec} までに達するのに必要な電圧は、一点破線で示すように非常に時間がかかる。したがって、駆動トランジスタ 1 1 a のゲート端子電圧が V_{ec} になるまでには非常に長いオフセット時間を必要とする。

30

【 0 3 7 4 】

リセット電圧 V_{rst} が V_{rb} であれば、下図の点線のカーブでゲート電圧は変化する。チャンネルに流れる電流は I_{rb} から時間経過と共に低下する。ゲート端子電圧が、 V_{ea} に到達する時間は、 t_b であり、 V_{ec} に到達する時間は、 t_c である。

【 0 3 7 5 】

リセット電圧 $V_{rst} = V_{rb}$ であれば、経過時間 t_c で、ゲート端子電圧 V_{ec} となり、電流は I_{ec} となる。したがって、下図の実線のように、電流 I_{ec} に達する時間は、非常に長時間となることはなく、比較的短時間に目標値 I_{ec} に到達する。

40

【 0 3 7 6 】

図 4 9 の関係から、第 1 階調と第 2 階調で、リセット電圧 V_{rst} を可変することにより、規定の経過時間（オフセットキャンセル時間）に、目標値の電流が E L 素子 1 5 に流れるように設定することができる。

【 0 3 7 7 】

図 5 0 に図示するように、階調電圧（駆動トランジスタ 1 1 a に印加する電圧）とリセット電圧 V_{rst} と適正な関係がある。

【 0 3 7 8 】

図 5 0 は、横軸は電圧（駆動トランジスタ 1 1 a に印加する電圧）であり、縦軸は、階調番号である。図 5 0 では、駆動トランジスタ 1 1 a と P チャンネルトランジスタとして

50

いる。したがって、階調が大きい方が、駆動トランジスタ 11a のゲート端子電圧が低く、階調が小さい方が、駆動トランジスタ 11a のゲート端子電圧は高い（アノード電圧に近い）。

【0379】

図 50 では、駆動電圧（階調電圧、プログラム電圧）を点線で示す。リセット電圧 V_{rst} は、階調電圧に対して一定値以下の電圧をリセット電圧として印加すればよい。実線にリセット電圧 1 として、図示している。階調 1023 では、リセット電圧 V_{rst} は -2 V であり、階調 511 では、リセット電圧 V_{rst} は約 1.3 V である。

【0380】

以上のリセット電圧 1 は、階調電圧（駆動電圧）に対して、一定電圧を下となる電圧印加する場合であるが、これに限定するものではない。例えば、図 50 の一点鎖線（リセット電圧 2）のように階調に対して直線であってもよい。その他、リセット電圧は、階調に対して非線形であってもよいし、ステップ状であってもよい。

10

【0381】

また、図 51 に図示するように、階調に対してリセット電圧（実線）を非線形の関係にしてもよい。階調が大きいほど、リセット電圧を低くし、階調が小さいほど、駆動電圧とリセット電圧 V_{rst} との差を小さくしてもよい。

【0382】

図 51 のように、リセット電圧 V_{rst} を設定するのは、高階調の領域では、オフセット時に駆動トランジスタ 11a のチャンネルが大きく、リセット電圧 V_{rst} と駆動電圧との絶対電圧が大きくても、十分にオフセットキャンセルできるからである。また、オフセット電圧に十分収束しなくとも階調表示に問題がないからである。

20

【0383】

一方、図 51 のように、リセット電圧 V_{rst} を設定するのは、高階調の領域では、オフセット時に駆動トランジスタ 11a のチャンネルが大きく、リセット電圧 V_{rst} と駆動電圧との絶対電圧が大きくても、十分にオフセットキャンセルできるからである。また、オフセット電圧に十分収束しなくとも階調表示に問題がないからである。

【0384】

低階調の領域では、オフセット時に駆動トランジスタ 11a のチャンネルが小さく、リセット電圧 V_{rst} と駆動電圧との絶対電圧を小さくしなくては、オフセットキャンセルが十分できないからである。

30

【0385】

以上のように、本実施例は、階調電圧に対応させてリセット電圧 V_{rst} を変化させるのが本実施例の 1 つの技術的思想である。つまり、映像信号電圧に対応させてリセット電圧 V_{rst} を変化させるのが本実施例の技術的思想である。対応させてリセット電圧 V_{rst} を変化させるとは、少なくとも任意の第 1 の階調と任意の第 2 の階調とで、リセット電圧 V_{rst} を変化あるいは異ならせることである。図 42 などの説明する駆動方式は、以上の効果、方式を適用したものある。

【0386】

以下、図 42 を参照しながら、本発明の他の実施例について説明する。図 42 の駆動トランジスタ 11a と駆動トランジスタ 11a のソース端子間にコンデンサ 19b が配置又は形成されていることである。コンデンサ 19b は、リセット電圧 V_{rst} が印加される配線とソース信号線 17 からの映像信号 V_{sig} が印加される配線とに接続される。又は形成される。コンデンサ 19b の容量は、保持用コンデンサ 19a の容量の 50 % 以上 150 % 以下に形成される。

40

【0387】

以下の説明では、理解を容易にするため、保持用コンデンサ 19a の容量がコンデンサ 19b に比較して非常に大きいとし、コンデンサ 19b の a 端子の電圧の変化が、b 端子にそのまま変化すると説明をする（現実の構成ではないが、理解を容易にするためである）。例えば、a 点の電位が、5 V から 3 V に変化すると、b 点の電位が $5 - 3 = 2$ V

50

変化するものとする。

【0388】

コンデンサ19bの機能は、リセット電圧 V_{rst} の電位を映像信号電圧 V_{sig} で変動させる機能を有する。したがって、コンデンサ19bの配置位置（形成位置）は、一端子にリセット電圧 V_{rst} が印加される配線あるいはリセット電圧 V_{rst} が伝達される配線接続され、他方が、映像信号電圧 V_{sig} がいんかされる配線あるいは映像信号電圧 V_{sig} が伝達される配線に接続され、かつ、コンデンサ19bに前記映像信号電圧 V_{sig} とリセット電圧 V_{rst} が印加されることにより、その相互作用により発生した電圧を駆動トランジスタ11aのゲート端子に印加あるいは保持される電圧又は電位に作用するものである。

10

【0389】

図43は、図42の画素構成の動作を説明するための説明図である。図42などにおいて、電流経路は、点線で示しており、各スイッチトランジスタ11は、スイッチで図示している。スイッチがオープンの時、トランジスタ11がオフ状態を示し、スイッチがクローズの時、トランジスタ11がオン状態を示す。また、図44は、図43の動作をタイミングチャートに図示したものである。但し、本明細書において、タイミングチャートは模式的に図示している。このことは本発明の他の実施例においても同様である。

【0390】

図43(a)はEL素子15に電流が供給され、EL素子15が発光（点灯）している状態である。

20

【0391】

図43(b)からが電圧プログラム（画素16のEL素子15に流れる電流を書き換える動作あるいは期間）の動作である。まず、スイッチトランジスタ11fがオンすることにより、リセット電圧 V_{rst} が駆動トランジスタ11aのゲート端子に印加される。リセット電圧 V_{rst} は、-2V以上3V以下の電圧であることが好ましい。

【0392】

スイッチトランジスタ11fがオンすることにより、図44の1tからat期間にリセット電圧 V_{rst} が印加される。リセット電圧 V_{rst} が印加されている期間は、スイッチトランジスタ11b、11e、11c、11dはオフ状態である。

【0393】

次に図43(c)に示すように、スイッチトランジスタ11cをオンさせる。スイッチトランジスタ11cのオンにより、図42のa点に映像信号電圧 V_{sig} が印加される。一例として、映像信号電圧 V_{sig} は、0V以上5V以下の電圧である。映像信号電圧 V_{sig} は、映像信号により変化する。

30

【0394】

以上の動作より、図42のb点にリセット電圧 V_{rst} が印加され、次に、a点に映像信号電圧 V_{sig} が印加される。 V_{sig} 電圧は、理想的には保持用コンデンサ19aと19bで分圧される。分圧される割合は、保持用コンデンサ19aとコンデンサ19bの容量比で決まる。

【0395】

説明を容易にするため、リセット電圧 V_{rst} を-1Vとし、映像信号電圧の1V又は4Vとする。また、1Vは、EL素子15に最大の電流（白表示電流）を流す電圧と仮定し、4Vは、EL素子15に電流を流さない電流（黒表示電流）であると仮定する。また、アノード電圧 V_{dd} は、5Vであるとする。

40

【0396】

今、映像信号電圧 V_{sig} を1Vとすると、図43(b)では、a点に1Vが印加され、b点には-1Vが印加されている。a点に1Vが印加される以前は、図43(a)の状態であるから、a点には、5Vが印加されている。

【0397】

以上の状態で、a点に印加される電圧が、 V_{sig} 電圧により、5Vから1Vに変化する

50

る。a 点の電位が 5 V から 1 V に変化することにより（電圧変化 $5 - 1 = 4$ V）、b 点の電位も 4 V 変化する（保持用コンデンサ 19 a の容量が、コンデンサ 19 b の容量に比較して非常に大きいとする）。したがって、b 点の電位は、- 1 V から - 5 V（- 1 V +（- 4）V）に変化する。以上の動作により、映像信号電圧 V_{sig} が 1 V の時は、駆動トランジスタ 11 a のゲート端子電圧（b 点）の電位は、- 5 V となる。

【0398】

映像信号電圧 V_{sig} を 4 V とすると、図 43（b）では、a 点に 4 V が印加され、b 点には - 1 V が印加されている。a 点に 4 V が印加される以前は、図 43（a）の状態であるから、a 点には、5 V が印加されている。

【0399】

以上の状態で、a 点に印加される電圧が、 V_{sig} 電圧により、5 V から 4 V に変化する。a 点の電位が 5 V から 4 V に変化することにより（電圧変化 $5 - 4 = 1$ V）、b 点の電位も 1 V 変化する（保持用コンデンサ 19 a の容量が、コンデンサ 19 b の容量に比較して非常に大きいとする）。したがって、b 点の電位は、- 1 V から - 2 V（- 1 V +（- 1）V）に変化する。以上の動作により、映像信号電圧 V_{sig} が 4 V の時は、駆動トランジスタ 11 a のゲート端子電圧（b 点）の電位は、- 2 V となる。

【0400】

映像信号電圧 V_{sig} が 1 V の時は、駆動トランジスタ 11 a のゲート端子電圧（b 点）の電位は、- 5 V となる。したがって、映像信号電圧 V_{sig} とリセット電圧 V_{rst} との電位差は、 $1 - (- 5) = 6$ V である。

【0401】

映像信号電圧 V_{sig} が 4 V の時は、駆動トランジスタ 11 a のゲート端子電圧（b 点）の電位は、- 2 V となる。したがって、映像信号電圧 V_{sig} とリセット電圧 V_{rst} との電位差は、 $4 - (- 2) = 6$ V である。

【0402】

つまり、映像信号電圧 $V_{sig} = 1$ V では、リセット電圧 $V_{rst} = - 5$ V からオフセットキャンセル動作が開始する（図 43（d））。映像信号電圧 $V_{sig} = 4$ V では、リセット電圧 $V_{rst} = - 2$ V からオフセットキャンセル動作が開始する（図 43（d））。

【0403】

以上のことから、図 42 の実施例では、映像信号に対応してリセット電圧 V_{rst} が変化する。したがって、図 50 で説明した、映像信号電圧（駆動電圧）とリセット電圧 1 の関係が実現できていることになる。

【0404】

図 43（c）が上記の映像信号電圧 V_{sig} で、オフセットキャンセルを開始するリセット電圧 V_{rst} が決定される（設定される）。映像信号電圧 V_{sig} の大きさに対応して初期（図 43（b））に印加したリセット電圧 V_{rst} が、変化するからである（図 50）。

【0405】

以上の実施例では、理解を容易にするため、あるいは説明を容易にするため、保持用コンデンサ 19 a の容量がコンデンサ 19 b の容量に比較して十分大きく、図 42 の a 点に印加された電位が、b 点に反映される、もしくは図 42 の b 点に印加された電位が、a 点に反映されることを前提として説明している。

【0406】

しかし、実際には、b 点に反映される（変化する）電圧は、保持用コンデンサ 19 a、19 b の容量、駆動トランジスタ 11 a の寄生容量、他のスイッチング用トランジスタ 11 の寄生容量及びゲート信号線 17 などの突き抜け電圧などにより変化する。

【0407】

したがって、本実施例はこれらの影響を考慮してコンデンサ 19 の容量、各スイッチング用トランジスタ 11 の動作を決定する。これらの事項などは本実施例の技術的思想を逸

10

20

30

40

50

脱するものではない。なお、コンデンサ 19 b と 19 a の容量又は容量比を b 点に設定する設定電圧に対応して決定する。

【0408】

例えば、コンデンサ 19 には、絶縁膜の特性などにより、容量 C を印加電圧に対して非線形性を持たせることができる。したがって、適正にあるいは考慮してコンデンサ 19 などを形成することにより、図 4 2 の構成と駆動方式であっても、図 5 1 のように、駆動電圧 V_{sig} に対してリセット電圧 V_{rst} を変化（非線形）にすることが可能である。

【0409】

また、図 4 2 (b) のリセット電圧 V_{rst} を印加する際、スイッチトランジスタ 11 e をオフした状態で、リセット電圧 V_{rst} を印加すれば、a 点の電位が変化する。次の図 4 2 (c) で、映像信号電圧 V_{sig} を印加すれば、a 点に変化した後を基準にして b 点の電位が変化する。

【0410】

以上のように、各トランジスタ 11 の制御タイミングを各状態に設定あるいは変更することにより多種多様な方式、a 点 b 点などの電位制御を実現できる。

【0411】

図 4 3 (c) を実施している期間が、図 4 4 の $a_t \sim b_t$ 期間である。リセット電圧 V_{rst} を映像信号電圧 V_{sig} の関係で変化する。

【0412】

図 4 3 (d) がオフセットキャンセル期間である。スイッチトランジスタ 11 e、11 d、11 f がオープンに制御され、スイッチトランジスタ 11 c、11 b がクローズに制御される。以上のスイッチトランジスタ 11 の設定により、映像信号電圧 V_{sig} が駆動トランジスタ 11 a のチャンネル間を介して、駆動トランジスタ 11 a のゲート端子に印加される。映像信号電圧 V_{sig} に対する電流（ドレイン電流）は、図 4 9 に図示するように、リセット電圧 V_{rst} を印加後、非線形カーブで低下する。1 H 以内（1 水平走査期間、図 4 4 の $b_t \sim 2_t$ ）の間、オフセットキャンセルされる。

【0413】

図 4 3 (e) が EL 素子 15 の発光期間である（図 4 4 の $2_t \sim 4_t$ 、 $5_t \sim$ ）。スイッチトランジスタ 11 c、11 b、11 f がオフ（オープン）され、スイッチトランジスタ 11 e、11 d がオン（クローズ）される。EL 素子 15 には、アノード電圧源 V_{dd} から、スイッチトランジスタ 11 e、駆動トランジスタ 11 a、スイッチトランジスタ 11 d を介して EL 素子 15 に電流が供給される。

【0414】

図 4 3 (f) の表示期間の動作であるが、EL 素子 15 の消灯期間である（図 4 4 の $4_t \sim 5_t$ ）。スイッチトランジスタ 11 d 又は 11 e のうち、少なくとも一方をオン / オフ制御することにより、図 1 2、図 1 3、図 8 4、図 9 8、図 9 9 などで説明する画像表示を実現できる（黒挿入駆動、 $du ty$ 駆動）。

【0415】

表示期間は、図 4 3 (e)、図 4 3 (f) の駆動方法を実施する。スイッチトランジスタ 11 d 又は 11 e のうち、表示する画像が動画あるいは静止画あるいは中間動画の種類を自動判別し、少なくとも一方をオン / オフする期間、タイミングを制御することにより、動画 / 静止画に対応する適切な画像表示を実現できる。

【0416】

図 4 5 は、図 4 3 で説明した本実施例の駆動方法の他の実施例である。図 4 5 の駆動方法では、図 4 3 (d) の期間が 2 つの期間（図 4 5 (d1) (d2)）に分かれる。

【0417】

図 4 5 の駆動方法は、駆動トランジスタ 11 a のモビリティバラツキを補正するものである。図 4 3 の駆動方法は、 V_t バラツキのみを主として補正する駆動方法である。

【0418】

図 4 5 (d) の期間では、スイッチトランジスタ 11 e がオフ状態である（図 4 5 (d

10

20

30

40

50

1) と同一) が、図 4 5 (d 2) は、スイッチトランジスタ 1 1 e をオン状態にしている。したがって、図 4 5 (d 2) に図示するように、点線の経路で電流が流れる。

【 0 4 1 9 】

図 4 3 (e) では、スイッチトランジスタ 1 1 e はオンであるが、スイッチトランジスタ 1 1 b がオフである。つまり、図 4 5 (d 2) は、図 4 3 (e) 期間前に、スイッチトランジスタ 1 1 b をオンした状態で、短期間、スイッチトランジスタ 1 1 e をオンさせた駆動方法である。もしくは、スイッチトランジスタ 1 1 e をオンする際、短時間の間、スイッチトランジスタ 1 1 b のオン状態を継続する駆動方式である。

【 0 4 2 0 】

短時間とは、 0.05μ 秒以上 5μ 秒以下の時間である。前記短時間は、画素に印加する映像信号電圧 V_{sig} に対応させて変化させることが好ましい。また、点灯率に対応させて変化させることが好ましい。この変化は、線形、非線形に対応させることを含むほか、ステップ状 (例えば、点灯率 50 % 以上では、短時間とは 0.1μ 秒、点灯率 50 % 未満では、 2μ 秒) に対応させてもよい。

10

【 0 4 2 1 】

スイッチトランジスタ 1 1 b のオン抵抗を高くすることにより、図 4 5 (d 2) の期間を長くでき、モビリティ補正を安定に実施できるようになる。オン抵抗を高くするには、オン電圧 (V_{GL}) を高くすればよい。好ましくは、パネル個々に調整できるように構成しておく。調整は、図 6 0 などで説明する電源回路 1 2 を用いることにより容易に実現できる。オン抵抗を調整する、あるいは設定することにより、図 4 5 (d 2) の時間を一定

20

【 0 4 2 2 】

図 7 8、図 7 9、図 9 8、図 9 9 に図示するように、点灯率に相関させて、 $duty$ 比を制御あるいは変化させてことが好ましい。ピーク電流を抑制し、消費電力を平均化することができるからである。点灯率が高いときは、 $duty$ 比を低下 (小さく) する。したがって、ピーク電流を抑制できる。

【 0 4 2 3 】

1 水平走査期間 (1 H) に対するオン時間比率 (%) (以下、オン比率と呼ぶ) は、図 4 5 (d 2) の期間である。オン時間とは、スイッチトランジスタ 1 1 b のオン時間 (クローズ時間) を意味する。1 H が、 20μ 秒とすれば、10 % とは、 2μ 秒となる。

30

【 0 4 2 4 】

オン比率が長いほど、駆動トランジスタ 1 1 a のモビリティの補正効果が高くなる。しかし、コンデンサ 1 9 の電荷が放電され、駆動トランジスタ 1 1 a のゲート端子電位が高く (アノード電圧側) の変化し、EL 素子 1 5 に流れる電流が変化してしまう。

【 0 4 2 5 】

オン比率が短いほど、駆動トランジスタ 1 1 a のモビリティの補正効果が低くなる。しかし、コンデンサ 1 9 の電荷は保持され、駆動トランジスタ 1 1 a のゲート端子電位もオフセットキャンセル後 (図 4 5 (d 1)) の状態から変化しない。

【 0 4 2 6 】

オフセットキャンセル駆動では、黒の階調 (低階調) は、オフセットキャンセルされ、駆動トランジスタ 1 1 a の特性バラツキは目立ちにくい。しかし、白の階調 (高階調) では、オフセットキャンセル点から離れているため、駆動トランジスタ 1 1 a の特性ばらつきが目立ちやすい。この特性バラツキはモビリティによるものである。モビリティの補正は、図 4 5 (d 2) を実施することにより、補正される。

40

【 0 4 2 7 】

以上のことから、低階調領域では、あまり図 4 5 (d 2) の実施する必要はない、しかし、高階調領域では、図 4 5 (d 2) の実施することにより、駆動トランジスタ 1 1 a の特性バラツキを補正できる。図 4 5 (d 2) の特性ばらつきの補正効果は、オン比率を変化させることにより変化する。オン比率が長いほど、高階調の補正効果が高い。短いほど、高階調の補正効果は小さくなる。低階調では、図 4 5 (d 2) の実施はあまり必要では

50

ない。

【0428】

点灯率が低い場合は、低階調表示の画素が多い。点灯率が高い場合は、高階調表示の画素が多い。したがって、オン比率は、図78の下図の点線で示すように実施することが好ましい。つまり、低点灯率では、オン比率は0（図45（d2）は実施しない）とし、高点灯率になるにしたがって、オン比率を大きくする。つまり、図45（d2）の実施期間が長くなる。

【0429】

しかし、点灯率が低い時は、低階調表示の画素が多いというのは、統計的なものであり、実際と異なることがある。また、点灯率が高い場合は、高調表示の画素が多いというのも統計的なものである。実際には表示パターン、映像信号の種類により異なる。したがって、表示パターン、入力される映像信号の種類（PC映像、AV映像など）などにより、オン比率を可変できるように構成しておくことが好ましい。

10

【0430】

図78の下図の実線はその実施例である。点灯率が20%の時を、オン比率最大とし、点灯率が高くとも低くともオン比率を低下させている。

【0431】

なお、図78の実施例において、オン比率と点灯率の関係で説明したがこれに限定するものではない。オン比率は、比率ではなく、時間（例えば、2μ秒など）の指定としてもよい。また、点灯率は、各階調のヒストグラムに置き換えてもよい。あるいは点灯率は消費電力に置き換えても良い。また、表示領域31に流れる電流に置き換えても良い。

20

【0432】

図79に図示するように、使用階調数を点灯率に相関させて変化させてもよい。図79において、ソースドライバIC14はRGB10bit（1024階調）である。使用する階調数を点灯率に対応させて変化させている。例えば、使用階調が1024とは、1階調目から1024階調目まで使用して画像を表示できることを意味し、使用階調256とは、1階調目から256階調目まで使用して画像を表示できることを意味する（257階調目から1024階調目までは使用できない。なお、図99も参照のこと）。

【0433】

使用階調数は、EL素子15に流す電流に影響する。使用階調数が1024で、1024階調を使用すると最大電流をEL素子15に流すことができる。使用階調が525階調では、最大階調の525を指定しても、1024階調の1/2の輝度しか得られない（但し、理解を容易にするため、ガンマカーブがリニアとしている）。

30

【0434】

図79の実線の実施例では、点灯率25%以下で、1024階調までの階調を使用して画像を表示することができる。点灯率100%では、256階調までしか使用して画像を表示できない。点灯率25%以上100%以下は1024階調から256階調までの範囲で、かつ点灯率に比例して階調表示を実現できる。

【0435】

点灯率に対応した使用階調数は、点灯率を求め、入力された映像信号を点灯率あるいはこれに類するデータで乗算して求める。

40

【0436】

図78において、変化点であるa点は可変できるように構成しておくことが好ましい。可変点は、EEPROMに格納できるように構成する。また、b点についても同様である。また、図79のd点及びe点に関しても同様である。また、各直線及び曲線は、多数の折れ点ポイントを設けてもよいことは言うまでもない。

【0437】

以上の実施例では、説明を容易にするため映像信号のガンマカーブは直線であるとして説明あるいは図示した。しかし、実際にはガンマカーブは、2乗あるいは2.2乗カーブあるいはこの近傍のカーブである。

50

【0438】

例えば、1024階調目を1.0の明るさとし、ガンマが2乗特性カーブであれば、0.75の明るさは887階調目、0.50の明るさは724階調目、0.25の明るさは512階調目である。ガンマが2.2乗特性カーブであれば、0.75の明るさは898階調目、0.50の明るさは747階調目、0.25の明るさは545階調目である。したがって、実際には、以上の明るさ（輝度、照度）を基準として制御する階調あるいは設定する階調を決定すべきである。

【0439】

この短時間を調整することあるいは設定することにより、駆動トランジスタ11aのモビリティばらつきを一定量、補償できる。短時間は、パネルの駆動トランジスタ11aの特性に適合させて設定することが好ましい。

10

【0440】

本発明の表示パネルでは、EL素子15の電流経路に流れる電流を制御するスイッチトランジスタ11d、ソースドライバIC14が出力する映像信号電圧Vsig、リセット電圧Vrstの大きさ、図108、図109のガンマ回路、キャンセル電圧Vrの大きさ／印加時間を制御あるいは設定することにより、前述の点灯率制御、duty制御、最大使用階調数制御を容易に実現することができる。また、その実現の際、図61などの電源回路による各電圧の制御あるいは可変、図98、図99の温度あるいは外光あるいは点灯率に対応したカソード（アノード）電圧制御あるいは可変と組み合わせることにより更に特徴ある効果を発揮することができる。

20

【0441】

図43、図45の実施例では、オフセットキャンセル期間は、図44のbt~2tの1H以下の期間としたが、本実施例はこれに限定するものではない。図43(d)において、スイッチトランジスタ11cをオフし、スイッチトランジスタ11bをオン状態（他のスイッチトランジスタ11e、11f、11dはオフ）にして、1H期間以上（図44の2t以降の期間）保持してもよい。スイッチトランジスタ11cをオフしてもa点に映像信号電圧Vsigが保持されているため、オフセットキャンセル状態が持続するからである。したがって、オフセットキャンセル時間が不足することはなくなる。以上の図43(d)において、スイッチトランジスタ11cをオフし、スイッチトランジスタ11bをオン状態（他のスイッチトランジスタ11e、11f、11dはオフ）にする状態の期間は、画素16に印加する映像信号電圧Vsigの大きさに対応して変化させることが好ましい。

30

【0442】

他の構成は、図1などと同様であるので説明を省略する。なお、図42の構成においても、ソースドライバIC14の出力端に3選択回路を配置してもよいことは言うまでもない。

【0443】

以上の事項は本発明の他の実施例においても同様である。

【0444】

図46は、図42の変更例である。図42との際は、図1と同様にコンデンサ11cが付加された点である。基本的には、コンデンサ11cの機能は、図1の機能及び仕様と同様である。

40

【0445】

図47は、図46の画素構成の動作を説明するための説明図である。図47などにおいても図43を同様に、電流経路は、点線で示しており、各スイッチトランジスタ11は、スイッチで図示している。スイッチがオープンの時、トランジスタ11がオフ状態を示し、スイッチがクローズの時、トランジスタ11がオン状態を示す。

【0446】

図47(a)はEL素子15に電流が供給され、EL素子15が発光（点灯）している状態である。

50

【0447】

図47(b)では、スイッチトランジスタ11fがオンすることにより、リセット電圧 V_{rst} が駆動トランジスタ11aのゲート端子に印加される。リセット電圧 V_{rst} は、-2V以上3V以下の電圧であることが好ましい。

【0448】

スイッチトランジスタ11fがオンすることにより、駆動トランジスタ11aのゲート端子にリセット電圧 V_{rst} が印加される。リセット電圧 V_{rst} が印加されている期間は、スイッチトランジスタ11b、11e、11c、11dはオフ状態である。

【0449】

次に図47(c)に示すように、スイッチトランジスタ11cをオンさせる。スイッチトランジスタ11cのオンにより、図42のa点に映像信号電圧 V_{sig} が印加される。

10

【0450】

以上の動作より、図42のb点にリセット電圧 V_{rst} が印加され、次に、a点に映像信号電圧 V_{sig} が印加される。 V_{sig} 電圧は、理想的には保持用コンデンサ19aと19bで分圧される。分圧される割合は、保持用コンデンサ19aとコンデンサ19bの容量比で決まる。

【0451】

図47(c)の動作は、図43(c)の動作と同一である。また、図47(d)の動作は、図43(d)の動作と同様である。

【0452】

20

図43の実施例との差異は、図47(e)の動作である。つまり、コンデンサ19cの一端子(図46のa点)に印加された電圧により、スイッチトランジスタ11cがオフした後も、映像信号電圧 V_{sig} が駆動トランジスタ11aに供給され、オフセットキャンセル期間が持続する点である。したがって、コンデンサ19cの効果によりソースドライバIC14からの映像信号電圧 V_{sig} の供給の有無にかかわらず、オフセットキャンセル期間が持続する。なお、図47(f)は、図43(e)と同一の動作である。

【0453】

図46の実施例において、実際には、b点に反映される(変化する)電圧は、コンデンサ19a、19bの容量、駆動トランジスタ11aの寄生容量、他のスイッチング用トランジスタ11の寄生容量及びゲート信号線17などの突き抜け電圧などにより変化する。したがって、本実施例はこれらの影響を考慮してコンデンサ19の容量、各スイッチング用トランジスタ11の動作を決定する。これらの事項などは本実施例の技術的思想を逸脱するものではない。なお、コンデンサ19bと19aの容量又は容量比をb点に設定する設定電圧に対応して決定する。この点も図42の実施例と同様である。また、図51のように、駆動電圧 V_{sig} に対してリセット電圧 V_{rst} を変化(非線形)にすることが可能である。

30

【0454】

図48は、図46の実施例に対して、図45で説明した本実施例の駆動方法の他の実施例である。図48の駆動方法では、図47(e)の期間が2つの期間(図45(e1)(e2))に分かれる。

40

【0455】

図48(e2)は、図48(f)期間前に、スイッチトランジスタ11bをオンした状態で、短期間、スイッチトランジスタ11eをオンさせた駆動方法である。もしくは、スイッチトランジスタ11eをオンする際、短時間の間、スイッチトランジスタ11bのオン状態を継続する駆動方式である。この点も図45の実施例と同様である。

【0456】

他の構成は、図1などと同様であるので説明を省略する。なお、図42の構成においても、ソースドライバIC14の出力端に3選択回路を配置してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても同様である。

【0457】

50

図４２などの実施例は、映像信号電圧 V_{sig} からリセット電圧 V_{rst} を発生し、あるいは映像信号電圧 V_{sig} に相関するリセット電圧 V_{rst} を発生し、駆動トランジスタ１１ａに印加するものであった。

【０４５８】

図５２は、本発明の他の実施例である。図５２の実施例は、映像信号から、ソースドライバＩＣ１４でリセット電圧 V_{rst} を発生するものである。図５２において、スイッチ回路４３１は、ソースドライバＩＣ１４ｂで発生したリセット電圧 V_{rst} と、ソースドライバＩＣ１４ａで発生した映像信号電圧 V_{sig} を選択するスイッチ回路である。

【０４５９】

ソースドライバＩＣ１４ａ及びソースドライバＩＣ１４ｂの両方に共通の映像信号データ（階調データ）が印加される。ソースドライバＩＣ１４ａは映像信号データを映像信号電圧 V_{sig} に変換し、スイッチ回路４３１のａ端子に印加する。ソースドライバＩＣ１４ｂは映像信号データをリセット電圧 V_{rst} に変換し、スイッチ回路４３１のｂ端子に印加する。ソースドライバＩＣ１４ｂが入力された映像信号データをルックアップテーブルでデータ変換する。

10

【０４６０】

ルックアップテーブル回路の変換データは、ＥＥＰＲＯＭ７５３に格納される。格納するデータは、このましくは、パネル特性を測定し（図７５、図７６、図７７を参照）、パネル特性バラツキ、特性を反映した結果でＥＥＰＲＯＭ７５３データを作成する。スイッチ $S_1 \sim S_n$ は、１Ｈに一回ずつａ端子とｂ端子を選択する。

20

【０４６１】

図５３は、図５２の画素構成の動作を説明するための説明図である。図５２などにおいて、電流経路は、点線で示しており、各スイッチトランジスタ１１は、スイッチで図示している。スイッチがオープンの時、トランジスタ１１がオフ状態を示し、スイッチがクローズの時、トランジスタ１１がオン状態を示す。

【０４６２】

図５３（ａ）はＥＬ素子１５に電流が供給され、ＥＬ素子１５が発光（点灯）している状態である。アノード電極 V_{dd} からスイッチトランジスタ１１ｅを介して駆動トランジスタ１１ａにアノード電圧が印加され、駆動トランジスタ１１ａに、コンデンサ１９ａ及び１９ｂで保持されたゲート端子電位にしたがって、ＥＬ素子１５に電流を供給する。

30

【０４６３】

図５３（ｂ）からが電圧プログラム（画素１６のＥＬ素子１５に流れる電流を書き換える動作あるいは期間）の動作である。スイッチトランジスタ１１ｆがオンすることにより、リセット電圧 V_{rst} が駆動トランジスタ１１ａのゲート端子に印加される。つまり、駆動トランジスタ１１ａのゲート端子には、映像信号電圧 V_{sig} に基づいたリセット電圧 V_{rst} が書き込まれる。

【０４６４】

リセット電圧 V_{rst} は、 $-5V$ 以上 $-1V$ 以下の電圧であることが好ましい。リセット電圧 $V_{rst} < \text{初期電圧 } V_i$ の関係を満足させる。さらに好ましくは、リセット電圧 $V_{rst} + 1.5 < \text{初期電圧 } V_i$ の関係を満足させる。以上の関係を満足させるのは、駆動トランジスタ１１ａのゲート端子に初期電圧 V_i を書き込めるようにするためである。つまり、駆動トランジスタ１１ａのゲート端子に印加したリセット電圧 V_{rst} が書き込まれている時、駆動トランジスタ１１ａのソース端子に印加した初期電圧 V_i を駆動トランジスタ１１ａのチャンネルを介してゲート端子に書き込めるようにするためである。

40

【０４６５】

スイッチトランジスタ１１ｆがオンすることにより、リセット電圧 V_{rst} が駆動トランジスタ１１ａのゲート端子に印加される。リセット電圧 V_{rst} が印加されている期間は、スイッチトランジスタ１１ｂ、１１ｅ、１１ｃ、１１ｄはオフ状態である。

【０４６６】

次に図５３（ｃ）に示すように、スイッチトランジスタ１１ｃ、１１ｂをオンさせる。

50

同時に、ソースドライバIC14bから初期電圧 V_i を出力する。この時の動作は、図1の画素構成の動作と同一である。

【0467】

図53(c)では、切り替え回路431はb端子を選択する。したがって、ソースドライバIC14bから出力された初期電圧 V_i の印加により、電流がスイッチトランジスタ11c、駆動トランジスタ11a、スイッチトランジスタ11bを介して、駆動トランジスタ11aのゲート端子に向かって流れる。

【0468】

切り替え回路431がb端子を選択している期間は、1Hの $1/20$ 以上 $1/4$ 以下に設定される。つまり、1H(1水平走査期間)が、 20μ 秒の場合は、 1μ 秒 $\sim 5\mu$ 秒である。1Hの他の期間において、切り替え回路431はa端子を選択される。a端子が選択されている期間は、ソース信号線18に映像信号電圧が印加される。

10

【0469】

図53(d)に示すように、残りの1H期間では、ソース信号線18には、映像信号電圧 V_{sig} が印加される。スイッチトランジスタ11e、11d、11fがオープンに制御され、スイッチトランジスタ11c、11bがクローズに制御される。以上のスイッチトランジスタ11の設定により、映像信号電圧 V_{sig} が駆動トランジスタ11aのチャネル間を介して、駆動トランジスタ11aのゲート端子に印加される。映像信号電圧 V_{sig} に対する電流(ドレイン電流)は、図49に図示するように、リセット電圧 V_{rst} を印加後、非線形カーブで低下する。1H以内(1水平走査期間、図54の $b_t \sim 2_t$)の間、オフセットキャンセルされる。

20

【0470】

図53(e)では、画素16のコンデンサ19cで保持させた映像信号電圧 V_{sig} で、オフセットキャンセル期間が持続する。以上の事項は図1、図2でも説明を行っている。

【0471】

図53(f)がEL素子15の発光期間である。スイッチトランジスタ11c、11b、11fがオフ(オープン)され、スイッチトランジスタ11e、11dがオン(クローズ)される。EL素子15には、アノード電圧源 V_{dd} から、スイッチトランジスタ11e、駆動トランジスタ11a、スイッチトランジスタ11dを介してEL素子15に電流が供給される。

30

【0472】

スイッチトランジスタ11d又は11eのうち、少なくとも一方をオン/オフ制御することにより、図12、図13、図98、図99などの画像表示を実現できる。 $duty$ 駆動、ピーク電流抑制駆動により、高画質化、電流抑制を実現できる。なお、各スイッチトランジスタ1の動作に対応させて各ゲート信号線17のオン/オフ電圧を印加する制御タイミングを制御する。

【0473】

図45と同様に、図53(f)の期間が2つの期間(図45(d1)(d2))に分かれさせることにより、駆動トランジスタ11aのモビリティバラツキを補正することができる。この事項は、図45で説明しているので説明を省略する。

40

【0474】

なお、以上の他の動作は、基本的には、図1の動作と同様であるので説明を省略する。

【0475】

図54は、図53の変形例である。図54では、映像信号データからソースドライバIC14bでリセット電圧 V_{rst} を発生させていた。

【0476】

図54は、アレイ基板のレベルシフト回路541は、一定の電圧をシフトする機能を有する。例えば、レベルシフト回路541の電圧シフトが4Vであり、ソースドライバIC14aが出力する映像信号電圧が2Vであれば、駆動トランジスタ11aのゲート端子に

50

印加される電圧（リセット電圧 V_{rst} ） $= 2 - 4 = -2\text{ V}$ である。ソースドライバ IC 14 a が出力する映像信号電圧が 5 V であれば、駆動トランジスタ 11 a のゲート端子に印加される電圧（リセット電圧 V_{rst} ） $= 5 - 4 = 1\text{ V}$ である。

【0477】

したがって、図 5 4 の実施例では、図 5 3 (b) の動作は不要である。また、図 5 3 (c) の動作時に、レベルシフト回路 5 4 1 の出力電圧がリセット電圧 V_{rst} として駆動トランジスタ 11 a に印加される。リセット電圧 V_{rst} は、スイッチトランジスタ 11 f がオンすることにより、駆動トランジスタ 11 a に印加される。

【0478】

図 5 5 は本実施例の EL 表示装置の他の実施例である。図 5 5 の実施例では、ソースドライバ IC 14 V は映像信号として映像信号電圧を出力し、ソースドライバ IC 14 I は映像信号として映像信号電流を出力する。なお、説明を容易にするため、ソースドライバ IC 14 V とソースドライバ IC 14 I には、同一の映像階調信号が入力されるものとする。また、同一の映像階調信号が入力された場合、ソースドライバ IC 14 V が出力し画素 1 6 に電圧プログラムを行い、前記画素 1 6 の EL 素子 1 5 に流す電流と、ソースドライバ IC 14 I が出力し画素 1 6 に電流プログラムを行い、前記画素 1 6 の EL 素子 1 5 に流す電流とが、理想的には一致するものとする。

10

【0479】

また、ソースドライバ IC 14 V が出力する電圧により、画素 1 6 の駆動トランジスタ 11 a がオフセットキャンセル動作はするが、電圧補正はできても、モビリティ補正はできないものとする。また、ソースドライバ IC 14 I は、モビリティが補正できるものとする。

20

【0480】

図 5 5 の特徴は、ソースドライバ IC 14 V が出力する映像信号電圧で電圧プログラムを行い、ソースドライバ IC 14 I が出力する映像信号電流でモビリティを補正することである。

【0481】

映像信号電圧 V_{sig} はソース信号線 1 8 V に印加され、スイッチトランジスタ 11 c がオンすることにより画素 1 6 に印加される。また、映像信号電圧 I_{sig} はソース信号線 1 8 I に印加され、スイッチトランジスタ 11 g がオンすることにより画素 1 6 に印加される。

30

【0482】

図 5 6 は図 5 5 の画素構成を説明する説明図である。図 5 6 などにおいて、電流経路及び信号経路は、点線で示しており、各スイッチトランジスタ 11 は、スイッチで図示している。スイッチがオープンの時、トランジスタ 11 がオフ状態を示し、スイッチがクローズの時、トランジスタ 11 がオン状態を示す。

【0483】

図 5 6 (a) は EL 素子 1 5 に電流が供給され、EL 素子 1 5 が発光（点灯）している状態である。

【0484】

図 5 6 (b) から電圧プログラム（画素 1 6 の EL 素子 1 5 に流れる電流を書き換える動作あるいは期間）の動作である。まず、スイッチトランジスタ 11 f がオンすることにより、リセット電圧 V_{rst} が駆動トランジスタ 11 a のゲート端子に印加される。リセット電圧 V_{rst} は、 -2 V 以上 3 V 以下の電圧であることが好ましい。

40

【0485】

スイッチトランジスタ 11 f がオンすることにより、駆動トランジスタ 11 a のゲート端子にリセット電圧 V_{rst} が印加される。リセット電圧 V_{rst} が印加されている期間は、スイッチトランジスタ 11 b、11 e、11 c、11 d はオフ状態である。

【0486】

次に図 5 6 (c) に示すように、スイッチトランジスタ 11 c をオンさせる。スイッチ

50

トランジスタ 11c のオンにより、映像信号電圧 V_{sig} が印加される。一例として、映像信号電圧 V_{sig} は、0 V 以上 5 V 以下の電圧である。映像信号電圧 V_{sig} は、映像信号により変化する。

【0487】

以上の動作より、図 56 の駆動トランジスタ 11a のゲート端子にリセット電圧 V_{rst} が印加され、次に、映像信号電圧 V_{sig} が印加される。以上の動作は、図 1、図 42、図 52 などの画素構成の動作と同一である。又は、類似である。

【0488】

図 43 (d) がソースドライバ IC 14I からの映像信号電流 I_{sig} によるモビリティの補正期間である。スイッチトランジスタ 11g がオンし、スイッチトランジスタ 11c がオフすることにより V_{sig} 信号が遮断され、 I_{sig} 信号が画素 16 に印加される。

10

【0489】

I_{sig} は、アノード電圧 V_{dd} 及び駆動トランジスタ 11a のチャンネルを經由して図の点線のように流れる。この I_{sig} により電流プログラムが実現すると共に、モビリティずれが補正される。

【0490】

図 56 (e) が EL 素子 15 の発光期間である。スイッチトランジスタ 11c、11b、11f がオフ (オープン) され、スイッチトランジスタ 11e、11d がオン (クローズ) される。EL 素子 15 には、アノード電圧源 V_{dd} から、スイッチトランジスタ 11e、駆動トランジスタ 11a、スイッチトランジスタ 11d を介して EL 素子 15 に電流が供給される。

20

【0491】

スイッチトランジスタ 11d 又は 11e のうち、少なくとも一方をオン / オフ制御することにより、図 12、図 13 の画像表示を実現できる (duty 駆動)。duty 駆動、ピーク電流抑制駆動により、高画質化、電流抑制を実現できる。

【0492】

なお、各スイッチトランジスタ 1 の動作に対応させて各ゲート信号線 17 のオン / オフ電圧を印加する制御タイミングを制御する。ゲートドライバ回路 12 の制御は図 3 のように、ソースドライバ IC 14 からの信号をレベルシフト回路 32 でレベルシフトさせて印加することにより実現する。

30

【0493】

図 55 の実施例では、電圧信号 V_{sig} を発生するソースドライバ IC 14V、電流信号 I_{sig} を発生するソースドライバ IC 14I を具備し、また、 V_{sig} 信号を伝達するソース信号線 18V、 I_{sig} 信号を伝達するソース信号線 18I を具備するものであった。

【0494】

図 58 の実施例は、ソースドライバ IC 14a にソースドライバ IC 14V とソースドライバ IC 14I の両方の機能を有している。また、ソース信号線 18 は 1 種類である。

【0495】

40

ソースドライバ IC 14a は、図 57 で図示するように、1H の前半の $1/2$ H 期間に V_{sig} 信号を発生すると共に、ソース信号線 18 に V_{sig} 信号を印加し、スイッチトランジスタ 11c をオンさせて図 56 (c) の動作を実現する。また、ソースドライバ IC 14a は、図 57 で図示するように、1H の後半の $1/2$ H 期間に V_{sig} 信号を発生すると共に、ソース信号線 18 に I_{sig} 信号を印加し、スイッチトランジスタ 11g をオンさせて図 56 (d) の動作を実現する。

【0496】

図 59 は、図 58 の変形例である。図 59 では、コンデンサ 19b が各画素 16 に形成されている。コンデンサ 19b の構成あるいは機能及び動作は、図 4、図 5 で説明をしているので説明を省略する。

50

【0497】

本実施例のトランジスタは、TFTばかりでなく、バイポーラトランジスタでも同様に実現が可能である。またTFTについても、ポリシリコン、結晶シリコン、アモルファスシリコンなど構成材料によらず同様に実施が可能である。

【0498】

図80は、本実施例のEL表示装置のソースドライバ回路24のプログラム電流（映像信号）の発生回路の説明図である。ソースドライバ回路14は、赤（R）、緑（G）、青（B）に対応する基準電流回路（定電流回路）803（803R、803G、803B）を有している。

【0499】

基準電流回路803は、抵抗R1（R1r、R1g、R1b）とオペアンプ801a、トランジスタ804aから構成される。抵抗R1（R1r、R1g、R1b）の値は、R、G、Bの階調電流に対応して独立に調整できるように構成されている。抵抗R1は、ソースドライバ回路14の外部に配置された外付け抵抗である。

【0500】

オペアンプの+端子には、電子ボリウム806により、電圧Viが印加されている。電圧Viは、安定した基準電圧Vbを抵抗Rで分圧することにより得られる。電子ボリウム806は、信号IDATAにより出力電圧Viを変化させる。基準電流Icは $(V_s - V_i) / R_1$ となる。RGBの基準電流Ic（Icr、Icg、Icb）は、それぞれ独立した基準電流回路803で可変される。

【0501】

可変は、RGB毎に形成された電子ボリウムで実施される。したがって、電子ボリウム806に印加される制御信号により、電子ボリウム806から出力される電圧Viの値が変化する。電圧ViによりRGBの基準電流の大きさが変化し、端子806から出力される階調電流（プログラム電流）Iwの大きさが比例して変化する。

【0502】

発生した基準電流Ic（Icr、Icg、Icb）は、トランジスタ804aから804bに印加される。トランジスタ804bとトランジスタ群805とはカレントミラー回路を構成している。図80において、トランジスタ804b1は、1つのトランジスタで構成しているように図示しているが、実際には、トランジスタ群805と同様に、単位トランジスタ812の集合（トランジスタ群）として形成している。

【0503】

トランジスタ群805からのプログラム電流Iwは出力端子806より出力される。トランジスタ群805の各単位トランジスタ812のゲート端子及びトランジスタ804bのゲート端子は、ゲート配線814で接続されている。

【0504】

トランジスタ群805は、図81に示すように、単位トランジスタ812の集合として構成される。理解を容易にするため、映像データとプログラム電流は比例又は相関の関係で変換されるとして説明する。映像信号によりスイッチ811が選択され、スイッチ811の選択により、単位トランジスタ812の出力電流の集合（加算）としてのプログラム電流Iwが発生する。したがって、映像信号をプログラム電流Iwに変換できる。本実施例は単位トランジスタ812の単位電流が、映像データの1の大きさに該当するように構成されている。

【0505】

単位電流とは、基準電流Icの大きさに応じて単位トランジスタ812が出力する1単位のプログラム電流の大きさである。基準電流Icが変化すると、単位トランジスタ812が出力する単位電流も比例して変化する。トランジスタ804bと単位トランジスタ812がカレントミラー回路を構成しているからである。

【0506】

RGBの各トランジスタ群805は単位トランジスタ812の集合で構成されており、

10

20

30

40

50

単位トランジスタ 8 1 2 の出力電流（単位プログラム電流）の大きさは、基準電流 I_c の大きさを調整できる。基準電流 I_c の大きさを調整すれば、RGB 毎に各階調のプログラム電流（定電流） I_w の大きさを可変することができる。したがって、RGB の単位トランジスタ 8 1 2 の特性が同一であるような理想的状態では、RGB の基準電流回路 8 0 3 の基準電流 I_c の大きさを変化させることにより、EL 表示装置の表示画像のホワイトバランスをとることができる。

【0507】

基準電流を大きくすれば、EL 素子 1 5 の発光輝度を高くできる。また、基準電流を小さくすれば、EL 素子 1 5 の発光輝度を低くできる。図 8 3 の処理回路で映像信号（Y / UV、COMP 信号など）を加算、ヒストグラムなどの処理を実施し、実施結果に基づいて基準電流を変更すれば、消費電流を平均化し、かつ高輝度表示を実現できる。

10

【0508】

また、図 9 9 に図示するように、映像信号の処理結果に基づいて、使用する最大階調数を変更しても同様の効果を実現できる。特に、本実施例では、良好なオフセットキャンセルを実現できるため、良好なコントラスト表示を実現でき、また、最高輝度も精度よく実現できるため、図 8 3、図 9 9、図 7 8、図 7 9 などの方法と組み合わせることにより相乗効果を実現できる。

【0509】

以下、説明を容易にするため、ソースドライバ回路（IC）1 4 のトランジスタ群 8 0 5 は 6 ビットであるとして説明をする。図 8 1 において、各単位トランジスタ 8 1 2 は、定電流データ（D 0 ~ D 5）毎に配置される。D 0 ビットには 1 個の単位トランジスタ 8 1 2 が配置される。D 1 ビットには 2 個の単位トランジスタ 8 1 2 が配置される。D 2 ビットには 4 個の単位トランジスタ 8 1 2 が配置され、D 3 ビットには 8 個の単位トランジスタ 8 1 2 が配置され、D 4 ビットには 1 6 個の単位トランジスタ 8 1 2 が配置される。同様に、D 5 ビットには 3 2 個の単位トランジスタ 8 1 2 が配置されている。

20

【0510】

各ビットの単位トランジスタ 8 1 2 の出力電流が出力端子 8 0 6 に出力されるか否かは、アナログスイッチ 8 1 1（8 1 1 a ~ 8 1 1 f）によるオン / オフ制御で実現される。デコーダ回路 8 1 5 は、入力された映像データ K D A T A をデコードする。アナログスイッチは映像信号データ K D A T A に対応してオン / オフ制御される。

30

【0511】

プログラム電流 I_w は内部配線 8 1 3 を流れる。内部配線 8 1 3 の電位は、ソース信号線 1 8 の電位となる。内部配線 8 1 3 の電位は A V d d 以下 G N D 電位以上である。ソース信号線 1 8 の電位は、定電流 I_w をソース信号線 2 8 に印加し、定常状態した時は、画素 1 6 の駆動トランジスタ 1 1 a のゲート端子の電圧（図 3 の画素構成の場合）である。

【0512】

以上の実施例は、ソースドライバ IC 1 4 内にプログラム電流を出力する回路を具備する構成である。なお、ソースドライバ IC 1 4 は、プログラム電圧を出力する回路を具備してもよい。また、プログラム電流を出力する回路とプログラム電圧を出力する回路の両方を具備してもよいことは言うまでもない。以下、説明を容易にするために、ソースドライバ IC 1 4 は、階調信号（映像信号電圧 V_{sig} ）として、プログラム電圧を出力する構成であるとして説明をする。

40

【0513】

図 1 0 2 は、ソースドライバ IC 1 4（ソースドライバ回路 1 4）のブロック図である。図 1 0 2 に図示するように、ソースドライバ IC 1 4 は、シフトレジスタ（Shift Register）1 0 2 2、ミニ LVDS レシーバ回路（Mini-LVDS Receiver）1 0 2 1、RGB のガンマ回路（R GMA、G GMA、B GMA）1 0 2 4、ラインラッチ回路（Line Latch）1 0 2 3、SEL 信号の 2 bit は、アウトプットバッファ（Output Buffer）1 0 2 6、デジタルアナログコンバータ（Digital Analog Converter）1 0 2 5、スイッ

50

チ回路 (Switch) 1027 などから構成される。プログラム電流あるいはプログラム電圧を出力する回路はデジタルアナログコンバータ (DAC と呼ぶ) 1025 と出力バッファ回路 1026 が該当する。

【0514】

SEL 信号の 2 bit は、シフトレジスタ (Shift Register) 1022 を制御し、アウトプットバッファ (Output Buffer) 1026 から出力するチャンネル数を規定する。チャンネル数は、720 / 684 / 642 / 618 から選択する。

【0515】

ミニ LVDS レシーバ回路 (Mini-LVDS Receiver) 1021 には、LV0A、LV0B、LV1A、LV1B、LV2A、LV2B、LV3A、LV3B、LV4A、LV4B、LV5A、LV5B、LV6A、LV6B、LV7A、LV7B、CLKA、CLKB が入力される。映像信号電圧 Vsig データは、RGB が各 10 bit である。

10

【0516】

RGB のガンマ回路 (R GMA、G GMA、B GMA) 1024 は、図 108 に図示する構成である。但し、図 108 は、RGB のうち、1 つだけを図示している。つまり、本実施例の EL 表示装置は、RGB の 3 つの独立ガンマ回路を具備する。このことは、他のガンマ回路においても同様である。

【0517】

図 108 の回路構成は 6 つのタップがあり、VX1 ~ VX6 の電圧が設定できる。VX1 ~ VX6 には、それぞれ DA コンバータが接続されている。駆動トランジスタ 11a が P チャンネルトランジスタの場合は、VX5 のタップはオープンにする。駆動トランジスタ 11a が N チャンネルトランジスタの場合は、VX2 のタップはオープンにする。6 個のタップ VX1 ~ VX6 は、R1 の中点を中心として (ほぼ) 対象に形成されている。したがって、駆動トランジスタ 11a が、P チャンネルトランジスタであっても、N チャンネルトランジスタであっても、図 108 のガンマ回路で対応できる。

20

【0518】

特に、VX2、VX5 の端子が重要である。EL 表示装置では、良好な黒表示が実現できる。駆動トランジスタ 11a が P チャンネルトランジスタの場合は、VV1 が最も低階調表示であり、VX2 が次に黒領域の階調設定表示となる。良好な画像表示を実現するためには、VX2 の設定が重要である。逆に、VX5 は、階調がリニアに変化する領域であるため、設定は必要でない。VX4、VX6 で設定すれば十分である。駆動トランジスタ 11a が N チャンネルトランジスタの場合は、VV6 が最も低階調表示であり、VX5 が次に黒領域の階調設定表示となる。良好な画像表示を実現するためには、VX5 の設定が重要である。逆に、VX2 は、階調がリニアに変化する領域であるため、設定は必要でない。VX1、VX3 で設定すれば十分である。

30

【0519】

なお、図 108 のラダー抵抗 1061 には、階調出力端子を省略しているが、実際には、ラダー抵抗間から階調出力端子が形成されている。例えば、抵抗 R3 には、階調 0 ~ 63 が配置され、階調 1 ~ 62 の出力端子がある。抵抗 R2 には、階調 63 ~ 319 が配置され、階調 64 ~ 318 の出力端子がある。抵抗 R1 には、階調 319 ~ 703 が配置され、階調 320 ~ 702 の出力端子がある。抵抗 R2 には、階調 703 ~ 959 が配置され、階調 704 ~ 958 の出力端子がある。抵抗 R4 には、階調 959 ~ 1023 が配置され、階調 960 ~ 1022 の出力端子がある。また、 $R2 = R1 \cdot 2 / 3$ 、 $R3 = R2 / 4$ 、 $R4 = R3 \cdot 63 / 64$ なる関係に設定されている。

40

【0520】

なお、図 108 では、最低階調が V0 (階調 0) の場合は、最低階調の V0 電圧は、RGB で共通にしている (同一電圧に設定する)。同様に、図 106、図 109 においても、V0 電圧は、RGB で共通にしている。

50

【 0 5 2 1 】

図 1 0 8 において、図 8 3 の処理回路で演算した映像信号の総和あるいは加算和あるいはヒストグラム処理（R G B の色ごとに重み付け処理を実施する）に基づいて、V X 1 ~ V X 6 の少なくとも 1 つの設定端子を制御し、表示画面 3 1 の表示輝度を制御する。

【 0 5 2 2 】

なお、図 1 0 2 において、ガンマ回路は、図 1 0 8 の回路構成としたが、これに限定するものではなく、図 1 0 6、図 1 0 9 のガンマ回路構成を採用してもよい。

【 0 5 2 3 】

図 1 0 6 は、1 つのラダー抵抗 1 0 6 1 c の両端に、電圧設定を行うための、セレクト回路 1 0 6 3 b、アンプ 1 0 6 2 b と、セレクト回路 1 0 6 3 c、アンプ 1 0 6 2 c とを配置している。アンプ 1 0 6 2 b は、階調 1 の V 1 電圧を設定するために使用し、アンプ 1 0 6 2 c は、最高階調の階調 1 0 2 3 の V 1 0 2 3 電圧を設定するために使用する。階調 0 の V 0 電圧は、セレクト回路 1 0 6 3 a、アンプ 1 0 6 2 a で設定する。セレクト回路 1 0 6 3 a は、1 2 8 接点から 1 つを選択するセレクト回路である。セレクト回路 1 0 6 3 b は、6 4 接点から 1 つを選択するセレクト回路である。セレクト回路 1 0 6 3 c は、2 5 6 接点から 1 つを選択するセレクト回路である。選択して可変する電圧範囲は、セレクト回路 1 0 6 3 c > セレクト回路 1 0 6 3 a > セレクト回路 1 0 6 3 b としている。

【 0 5 2 4 】

ラダー抵抗 1 0 6 1 b、1 0 6 1 c は、R G B で独立して形成されている（3 つある）。V 0 電圧は R G B で共通である。そのため、ラダー抵抗 1 0 6 1 a は、R G B で共通であり、1 つである。1 0 6 4 R、1 0 6 4 G、1 0 6 4 B はガンマブロックである。

【 0 5 2 5 】

図 1 0 7 が図 1 0 6 のガンマ回路に基づくガンマカーブの設定例である。なお、ガンマカーブの電圧幅は、A V d d - A V s s（G N D）としている。一般的には、ソースドライバ I C 1 4 の電圧（A V d d は電源電圧、A V s s は G N D 電圧）である。

【 0 5 2 6 】

図 1 0 7 に図示するように、多様なガンマカーブを発生できる。階調 0 の V 0 電圧は、R G B で共通である。階調 1 の V 1 電圧は R G B で独立に設定できる。階調 1 ~ 最高階調の V 1 0 2 3 は、R G B で独立に設定でき、この間は、ガンマカーブはリニアである。したがって、デジタルガンマの設定が容易であり、V 0 を原点とする黒輝度調整も容易である。但し、ビット数は、8 ビットでは不足のため、本実施例では 1 0 ビットとしている。また、V 1 を設定し、V 1 0 2 3 の電圧を設定するだけで、V 1 ~ V 1 0 2 3 の階調電圧を設定できる。したがって、R G B のホワイトバランス調整も容易である。

【 0 5 2 7 】

図 1 0 9 は、ラダー抵抗 1 0 6 2 g の中間のタップ V 7、V 1 9、V 4 3、V 8 7、V 1 7 1 に電圧設定を行う構成である。

【 0 5 2 8 】

タップ V 7 には、ラダー抵抗 1 0 6 1 f とセレクト回路 1 0 6 3 c 及びアンプ 1 0 6 2 b で設定する。タップ V 1 9 には、ラダー抵抗 1 0 6 1 e とセレクト回路 1 0 6 3 g 及びアンプ 1 0 6 2 c で設定する。タップ V 4 3 には、ラダー抵抗 1 0 6 1 d とセレクト回路 1 0 6 3 f 及びアンプ 1 0 6 2 d で設定する。タップ V 8 7 には、ラダー抵抗 1 0 6 1 c とセレクト回路 1 0 6 3 e 及びアンプ 1 0 6 2 e で設定する。タップ V 1 7 1 には、ラダー抵抗 1 0 6 1 b とセレクト回路 1 0 6 3 d 及びアンプ 1 0 6 2 f で設定する。タップ V 2 5 5 には、ラダー抵抗 1 0 6 1 a とセレクト回路 1 0 6 3 c 及びアンプ 1 0 6 2 g で設定する。V 0 は R G B で共通であり、ラダー抵抗 1 0 6 1 h とセレクト回路 1 0 6 3 a 及びアンプ 1 0 6 2 a で設定する。

【 0 5 2 9 】

図 1 1 0 が図 1 0 9 のガンマ回路に基づくガンマカーブの設定例である。なお、ガンマカーブの電圧幅は、A V d d - A V s s（G N D）としている。A V d d は、ソースドライバ I C 1 4 の電源電圧、A V s s はソースドライバ I C 1 4 の G N D 電圧である。

【0530】

図110に図示するように、本実施例のRGB回路は、RGBで独立のガンマブロック1064(1064R、1064G、1064B)を具備している。また、各ガンマブロック1064は、タップ位置(V7、N19、V43、V87、V171)はRGBで独立に設定できる。階調1～最高階調のV255は、RGBで独立に設定できる。V0を原点とする黒輝度調整も容易である。ビット数は、8ビットである。

【0531】

なお、図102、図106、図108、図109において、階調電圧V0が最低電圧であり、最も暗い表示を設定する。逆に、V1023が最高階調であり、最も明るい表示を設定する。また、駆動トランジスタはPチャンネルトランジスタの場合は、V0側が高電圧側(例えば、5V)であり、V1023が低電圧(例えば、0V)である。

10

【0532】

図99で説明する最大表示階調を操作する駆動方法(階調ピーク処理など)では、図102、図106、図108、図109のガンマ回路を制御して実施する。

【0533】

例えば、図106のガンマ回路において、図83の処理回路で演算した映像信号の総和あるいは加算和あるいはヒストグラム処理(RGBの色ごとに重み付け処理を実施する)に基づいて、セレクト回路1063cを制御し、アンプ1062cから出力される電圧を変化させる。加算和が小さい場合は、1062cの出力電圧を低電圧側に变化させ、より明るい表示ができるようにする。加算和が大きい場合は、表示領域31で消費する電流も大きくなり、パネルが過熱されることを防止する観点などから、1062cの出力電圧を高電圧側に变化させ、表示輝度を低下させる。

20

【0534】

図108のガンマ回路においても同様であり、図83の処理回路で演算した映像信号の総和あるいは加算和あるいはヒストグラム処理(RGBの色ごとに重み付け処理を実施する)に基づいて、VX6から入力される電圧を変化させる。加算和が小さい場合は、VX6の入力電圧を低電圧側に变化させ、より明るい表示ができるようにする。加算和が大きい場合は、表示領域31で消費する電流も大きくなり、パネルが過熱されることを防止する観点などから、VX6の入力電圧を高電圧側に变化させ、表示輝度を低下させる。

【0535】

なお、図108の場合は、VX6だけではなく、VX1～VX5の入力電圧も必要に応じて変化させる。VX1～VX6には、6個のDAコンバータを接続し、DAコンバータのデータを加算和などにより変化させて、VX1～VX6に入力する電圧を制御する。なお、DAコンバータは、1024の回路内に形成されるか、外付けで配置される。

30

【0536】

図109でも同様であり、図83の処理回路で演算した映像信号の総和あるいは加算和あるいはヒストグラム処理(RGBの色ごとに重み付け処理を実施する)に基づいて、セレクト回路1063cを制御し、アンプ1062gから出力される電圧を変化させる。加算和が小さい場合は、1062gの出力電圧を低電圧側に变化させ、より明るい表示ができるようにする。加算和が大きい場合は、表示領域31で消費する電流も大きくなり、パネルが過熱されることを防止する観点などから、1062gの出力電圧を高電圧側に变化させ、表示輝度を低下させる。

40

【0537】

なお、図109の場合は、アンプ1062gだけではなく、セレクト回路1063c、アンプ1062gの動作に基づいて、セレクト回路1063a～1063fの選択位置、アンプ1062a、1062h、1062b～1062fの出力電圧も変化させる。

【0538】

ラインラッチ回路(Line Latch)1023は、入力されたデータをラッチする。最大で、720チャンネル・10bitのバッファ回路が2段保有している。

【0539】

50

スイッチ回路 1027 は、PRC 電圧（キャンセル電圧 V_r 、リセット電圧 V_{rst} など）を PRC ON 信号に入力に対応して、ソース信号線 18 に出力する。

【0540】

ソースドライバ回路（IC）18 とソース信号線 18 間に 3 選択回路（選択スイッチ回路）1041 を形成してもよい（図 3、図 104）。なお、選択回路 1041 の選択数は 3 に限定するものではなく、6 選択などの他の選択数に構成してもよい。選択回路が 3 選択の場合は、R 端子、G 端子、B 端子を有し、クロックに同期していずれかの端子を選択する。

【0541】

選択回路 1041 は図 103 に図示するように配置される。選択回路は、ソースドライバ回路 14 の信号出力端子と接続する入力端子と、ソース信号線と接続する選択出力端子を有する。選択回路 1041 は、入力端子と、入力端子と接続できる複数の選択出力端子を含む組を複数有している。

10

【0542】

また、選択回路 1041 は、選択回路 1041 の入力端子に印加されたソースドライバ回路 14 の信号を、複数の選択出力端子から 1 つ以上を選択して、選択された選択出力端子に接続されたソース信号線 18 に印加する。

【0543】

好ましくは選択回路 1041 の組は、1 つの入力端子と、少なくとも 3 つの選択出力端子とを含み、3 つの選択出力端子には、赤色の信号を伝達するソース信号線 18 R と、緑色の信号を伝達するソース信号線 18 G と、青色の信号を伝達するソース信号線 18 B とが、それぞれ接続する。ソースドライバ回路 14 は、半導体を含む IC チップであり、選択回路 1041 は、アレイ基板にポリシリコン技術で形成されている。

20

【0544】

図 103（a）は、表示パネルの画面 31 が横長配置の場合（ポートレート：portrait 配置）であり、ソースドライバ回路 14 が画面の上辺あるいは可変に配置した場合（ランドスケープ：landscape 配置）である。図 103（b）は、表示パネルの画面 31 が横長配置の場合であり、ソースドライバ回路 14 が画面の左右の一方に配置した場合である。

【0545】

ソースドライバ回路 14 から出力する信号は、選択回路 1041 のよりソース信号線 18 R、18 G、18 B に振り分けられる。選択回路 1041 はポリシリコン技術でアレイ基板に直接形成する。また、選択回路 1041 はシリコンチップで形成し、COG 技術でアレイ基板に実装してもよい。また、選択回路 1041 は切り替えスイッチとしてソースドライバ回路 14 の回路として、ソースドライバ回路 14 に内蔵させてもよい。

30

【0546】

選択回路 1041 が R 端子を選択している時は、ソースドライバ回路 14 からの出力信号は、ソース信号線 18 R に印加される。選択回路 1041 が G 端子を選択している時は、ソースドライバ回路 14 からの出力信号は、ソース信号線 18 G に印加される。選択回路 1041 が B 端子を選択している時は、ソースドライバ回路 14 からの出力信号は、ソース信号線 18 B に印加される。

40

【0547】

選択回路 1041 が R 端子を選択している時は、G 端子及び B 端子はオープンである。この場合は、G 端子、B 端子の電位は、寄生容量 142 により保持される。選択回路 1041 が G 端子を選択している時は、R 端子及び B 端子はオープンである。この場合は、R 端子、B 端子の電位は、寄生容量 142 により保持される。選択回路 1041 が B 端子を選択している時は、G 端子及び R 端子はオープンである。この場合は、G 端子、R 端子の電位は、寄生容量 142 により保持される。

【0548】

本実施例の EL 表示装置のソースドライバ IC 14 は、1 つのチップ（IC）で、図 1

50

03(a)の場合と、図103(b)の場合の両方に対応できるように、チップの2箇所から選択信号線1043が接続できるように構成されている。また、ゲート信号線12に接続する出力端子も2箇所ある。

【0549】

図105は、本実施例のソースドライバIC14(ICチップ)の出力側の端子レイアウトの説明図である。ICチップの両端には、ソース信号線のテスト用の端子が配置されている。テスト用端子は、映像信号電圧Vsigを出力する端子と構成は同一であるが、ソース信号線とは接続されない。また、テストコマンドにより、映像信号電圧Vsigを出力するかどうかを設定できる。

【0550】

ソース信号線テスト端子の内側には、ゲートドライバ回路12に供給するゲートドライバ制御信号を出力するゲートドライバ制御端子が配置されている。ゲートドライバ制御端子は、VGH1-VGL1レベルの信号を出力するゲートドライバ制御端子(VGH1/VGL1)と、VGH2レベル-VGL2の信号を出力するゲートドライバ制御端子(VGH2/VGL2)の2種類がある。VGH1/VGL1とVGH2/VGL2は、スイッチトランジスタ11の特性にあわせて、あるいは表示品位にあわせて使い分ける。VGH1/VGL1とVGH2/VGL2に関する事項は、図3を用いて説明を行ったので説明を省略する。

【0551】

選択回路1041がいずれの端子(R端子、G端子、B端子)を選択するかの選択信号線1043は、信号線セクタ端子に接続される。図104(a)の場合のポートレート:portrait配置の場合は、チップの中央より端に配置された信号セクタ端子(ポートレート:portrait)に選択信号線1043が接続される。

【0552】

図104(b)の場合のランドスケープ:landscape配置の場合は、チップの中央に配置された信号セクタ端子(ランドスケープ:landscape配置)に選択信号線1043が接続される。なお、ソース信号線出力端子には、ソース信号線18が接続される(但し、表示画面31間に、選択回路1041が配置される)。

【0553】

以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、他の画素構成(図4、図5、図10、図11、図25、図29、図31、図33、図35、図37、図42、図46、図52、図54、図55、図58、図59、図86、図90、図91、図92、図93、図94、図95、図113、図123、図124~図128など)のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

【0554】

以上の事項は他の実施例においても同様である。例えば、図12、図13、図61、図75、図76、図77、図78、図79、図83、図84、図85、図98、図99、図100、図101などの方法あるいは方式、図7、図8、図9、図60、図83、図96、図102、図103、図104、図106、図107、図108、図109、図110、図111、図112、図129の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせて実施することができることは言うまでもない。

【0555】

図84の実施例は、パネルで最大表示できる輝度をピーク400(nt)、白ラスタ表示(点灯率100%とする)で200(nt)とした実施例である。なお、ピーク輝度(点灯率0%近傍で最大階調の画素が表示できる輝度)と最大電力時の輝度(一般的には、点灯率100%の白ラスタ表示(最大階調)の画素が表示できる輝度)との差は、6倍以下1.5倍以内にする。本明細書では、2倍として説明する。また、ピーク輝度は、点灯率0%近傍の黒表示の画素の輝度であるとする。

【0556】

輝度は最大使用（表示）階調数と $duty$ 比で決定される。 $duty$ 比は、図 12、図 13 などで説明したものである。また、映像信号は、RGB が各 10 bit（1024 階調：1 階調～1024 階調）であるとしている。一例として図 84 では、点灯率 25% 以下では、階調数制御で輝度最大（Max）400 nt（1024 階調の映像信号が印加された画素が表示する輝度）であり、点灯率 100% では、200 nt（1024 階調の映像信号が印加された画素が表示する輝度）である。図 84（a）の点灯率と最大使用階調数の関係カーブは、曲線でもよいし、また、折れ曲がり点は複数形成（設定）してもよい。

【0557】

最大使用（表示）階調数制御とは、ソース信号線 18 に印加する映像信号電圧 V_{sig} 又は画素 16 に書き込む映像信号電圧 V_{sig} を制御することによる。また、最大使用（表示）階調数は、EL 表示装置に入力される映像データ又は画素 16 に書き込む映像信号電圧 V_{sig} に基づいて決定する。

10

【0558】

以上の事項は $duty$ 駆動の $duty$ 比の決定に関しても適用できることは言うまでもない。

【0559】

最大使用（表示）階調数は、表示画面 31 に表示される最大使用（表示）階調数である。表示画面 31 で使用される最大使用（表示）階調数の期間に関しては、1 フレーム（1 フィールド）で限定されるものではなく、複数のフレーム（フィールド）期間であってもよいことは言うまでもない。例えば、最大使用（表示）階調数が、768 であれば、4 フレーム期間の間、最大使用（表示）階調数を 768 に制限し、次の 5 フレーム以降では、最大使用（表示）階調数を 1024 に変化させる方法が例示される。以上の期間に関しては $duty$ 駆動の $duty$ 比に関しても適用される。

20

【0560】

なお、最大使用（表示）階調駆動と $duty$ 駆動は組み合わせて実施することができることは言うまでもない。例えば、第 1 フレームで、最大使用（表示）階調数（最大使用（表示）階調番号）を 768 とし、 $duty$ 比を $1/2$ とし、次の第 2 フレームで最大使用（表示）階調数（最大使用（表示）階調番号）を 1024 とし、 $duty$ 比を $3/4$ にする駆動方法が例示される。

30

【0561】

なお、最大使用（表示）階調数（最大使用（表示）階調番号）、 $duty$ 比は、フレーム（フィールド）周期を単位としてステップ的に変更することに限定されず、フレーム（フィールド）中において、ゆっくりと変化させてもよい。例えば、第 1 フレームで、最大使用（表示）階調数（最大使用（表示）階調番号）を 768 とし、第 3 フレームでは最大使用（表示）階調数（最大使用（表示）階調番号）を 1024 と決定された場合、第 2 フレーム（フィールド）では、768 から 1024 階調の中間の階調数を最大使用階調数として画像表示する。

【0562】

もちろん、第 1 のフレームの途中から階調数 768 から階調数 1023 に変化させてもよいし、第 3 フレームの最初から、最大使用（表示）階調数（最大使用（表示）階調番号）768 から最大使用（表示）階調数（最大使用（表示）階調番号）1024 に変化させてもよい。以上の変化（変更）に関しても $duty$ 駆動の $duty$ 比に関しても適用される。

40

【0563】

また、最大使用（表示）階調数（最大使用（表示）階調番号）又は、 $duty$ 比は、毎フレーム（フィールド）で求める必要はない。偶数フレーム（フィールド）で求めても良いし、複数フレーム間隔で求めても良い。また、ランダムなフレーム間隔で求めても良い。

【0564】

50

例えば、静止画の表示では、長周期間隔で最大使用（表示）階調数（最大使用（表示）階調番号）又は、 $duty$ 比を求め、最大使用（表示）階調数（最大使用（表示）階調番号）又は、 $duty$ 比を求めないフレームでは、求めたフレームでの値の中間値を使用する（ゆっくりと変化させる）。

【0565】

一方、動画の表示では、毎フレーム（フィールド）で最大使用（表示）階調数（最大使用（表示）階調番号）又は、 $duty$ 比を求める。

【0566】

以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、他の画素構成（図4、図5、図10、図11、図25、図29、図31、図33、図35、図37、図42、図46、図52、図54、図55、図58、図59、図86、図90、図91、図92、図93、図94、図95、図113、図123、図124、図125、図126、図127、図128など）のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。また、本明細書で記載した他の駆動方式、構成に適用できることは言うまでもない。また、EL表示装置あるいはEL表示パネルを用いた機器（例えば、図7、図8、図9など）に適用できることは言うまでもない。

10

【0567】

図84は、例示としてガンマ2乗カーブで階調設定を行った実施例である。図84(a)において、縦軸は最大使用階調数である。最大使用階調数とは、ある点灯率において表示する最大階調である。あるいは使用できる最大階調番号である。最大階調番号は、点灯率を係数として乗算することなどにより決定される。当然のことながら、最大階調番号を図示している。

20

【0568】

なお、説明を容易にするため、各図面では点灯率を用いているが、点灯率とは、表示画面31に流れる電流とみなすこともできる（アノード、カソード電圧が一定の場合）。アノード、カソード電圧を変化させる場合は、この変化を加味することが好ましい。つまり、点灯率は表示パネルの表示領域で使用する電力に相関する値である。したがって、電力に基づいて最大使用階調を決定してもよい。なお、前記電力、電流などは表示パネルの表示領域31に使用するものだけでなく、周辺回路部で使用される電力、電流を含めて求め

30

【0569】

図84(a)は、通常表示状態であり、 $duty$ 比が1/1としている。つまり、図12、図13の黒挿入表示を行っていない。この状態が、最大輝度を表示できる駆動状態である。

【0570】

図84において、変化点であるa点は可変できるように構成しておくことが好ましい。可変点は、EEPROMに格納できるように構成する。また、b点についても同様である。また、各直線及び曲線は、多数の折れ点ポイントを設けてもよいことは言うまでもない。

【0571】

例えば、1024階調目を1.0の明るさとし、ガンマが2乗特性カーブであれば、0.75の明るさは887階調目、0.50の明るさは724階調目、0.25の明るさは512階調目である。ガンマが2.2乗特性カーブであれば、0.75の明るさは898階調目、0.50の明るさは747階調目、0.25の明るさは545階調目である。したがって、実際には、以上の明るさ（輝度、照度）を基準として制御する階調あるいは設定する階調を決定すべきである。

40

【0572】

図84(a)から1/4の輝度に低下させるには、図84(a)と技術的思想と同様に、表示する階調数を削減する。図84(b)において、724階調は、輝度200ntを表示する階調である（図84(a)の右の目盛りを参照のこと）。362階調は、ガンマ

50

2乗カーブで $1/4$ の 50 n t を表示できる階調である。同様に、 512 階調は、ガンマ2乗カーブで $1/2$ の 100 n t を表示できる階調であり、 627 階調は、ガンマ2乗カーブで 200 n t の $3/4$ の 150 n t を表示できる階調である。但し、各階調番号は、説明を容易にするために決定したものであり、本実施例がこの値に限定されるものではない。

【0573】

図84(b)に図示するように、通常表示からその $1/4$ 輝度までの輝度可変は、表示する階調数の変更により行う。図84(b)に図示するように図84(a)の点灯率 100% から $1/4$ の 50 n t に低下させる場合には、最大使用階調は 362 とする(つまり、 50 n t を表示する場合に使用する階調は、1階調目から 362 階調目)。 $1/2$ の 100 n t に低下させる場合には、最大使用階調は 512 とする(つまり、 100 n t を表示する場合に使用する階調は、1階調目から 512 階調目)。 150 n t に低下させる場合には、最大使用階調は 627 とする(つまり、 150 n t を表示する場合に使用する階調は、1階調目から 627 階調目)。これ以上、画面輝度を変更する場合も、使用階調数を変更すればよい。

【0574】

以上のように、図84(b)は、通常輝度から輝度 $1/4$ までも、使用する階調数制御(最大使用階調(最大表示階調)制御)で行っている。

【0575】

さらに画面輝度を低下させるため、本実施例では図84(c)に図示するように、 $duty$ 比制御(図12、図13)により、画面輝度制御を実施している。輝度は、表示領域53又は非表示領域52の面積を増減させることにより行う。 $duty$ 比制御では、表示する階調数は変更しないため、良好な階調表示を実現できる。

【0576】

図84(c)では、 200 n t の輝度 $1/4$ 以下から輝度 $1/100(2\text{ n t})$ までは、 $duty$ 制御とした実施例である。最低輝度は、ピーク輝度 4 n t 、白ラスター 2 n t である。図84(c)において、最大使用階調数は、点灯率 100% の時、 362 階調であり、点灯率 0% 近傍(完全に点灯率 0% は、黒ラスター表示となり点灯している画素がないため近傍とした)では、 512 階調である。

【0577】

以上の制御(図84(a)(b)(c))により、画面明るさは、 $1/100$ に調整することができる。

【0578】

なお、図84においても、a点、b点位置を可変できるように設定することが好ましい。a点、b点の変更は、点灯率を求め、EL表示装置に入力された映像信号電圧又は映像信号データに乗算する係数を前記点灯率の値によって変更することにより実現できる。なお、変更は遅延時間、ヒステリシス動作を持たして行うことが好ましい。以上の事項は本発明の他の実施例においても適用される。

【0579】

以上のように、本実施例は、最大輝度(図84(a)の状態)から、所定の輝度変化範囲(図84(a)(b)では輝度変化 $1/4$)までは、使用する最大階調(最大使用階調数)を減らすことにより輝度を可変する。それ以上に、画面輝度を低下させる場合は、図84(c)に図示するように、 $duty$ 比を可変することにより行う。 $duty$ 比を可変する場合は、表示に使用する階調数は変化しない(維持される)。本発明は、最大階調数制御により、比較的明るい表示輝度における表示画面31の明るさ制御を実現し、低輝度表示では、 $duty$ 比制御を実現する。とくに、 $duty$ 比制御は、暗室など非常に暗い環境下で実施することにより効果を発揮する。 $duty$ 比による明るさ制御は、使用する階調数が低下しないため、良好な階調表示を実現できるからである。高輝度表示では、使用する階調数が多いため、最大使用階調数制御により使用する階調数が減少させても画像表示にはほとんど影響を与えない。

【0580】

以上のように、映像信号電圧 V_{sig} の特徴あるいは分布を検出し、あるいは映像信号電圧 V_{sig} に基づいて特徴などを検出し、画面の最大表示輝度を可変する制御は最大使用階調数制御で行い、外部照度などにより、表示画面 31 の明るさ制御（明るさ調整）を行う場合は、 $duty$ 比制御により実現することが好ましい。以上のように、本実施例は、低輝度表示を行う場合（低輝度領域）には、 $duty$ 比制御により表示画面 31 の画面輝度を変化させ、一定以上の高輝度表示を行う場合（高輝度領域）には、使用する階調数を変化させて行う。この場合は、 $duty$ 比は $1/1$ など固定にする。

【0581】

しかし、本実施例はこれに限定するものではなく、高輝度領域で、 $duty$ 比を $1/2$ などとしてもよく、また、可変してもよい。また、低輝度領域においても、使用する階調数を変化させてもよい。

【0582】

また、図 84 (a) は最大階調の輝度を 400nt から 200nt の $1/2$ にするとしたが、これに限定するものではなく、 400nt から 100nt の $1/4$ などに設定してもよい。また、図 84 (b) は最大輝度を 200nt から 50nt の $1/4$ にするとしたが、これに限定するものではなく、 200nt から 25nt の $1/8$ などに設定してもよい。また、図 84 (c) は最大輝度を 50nt から 2nt の $1/25$ にするとしたが、これに限定するものではなく、 50nt から 1nt の $1/50$ などに設定してもよい。

【0583】

以上のように目標仕様のあわせて、最大使用階調数の可変範囲、可変位置をソフト的に変更、最大輝度の可変範囲、変更位置をソフト的にできるようにする。変更などは、ソースドライバ IC 14 のコントローラ部にて容易に実現できる。入力変数は、映像信号データ、点灯率などを用いる。また、変更位置、可変位置などは、EEPROM 753 の外部メモリに格納しておく。

【0584】

EL 表示装置に表示画面 31 に発生する焼付け課題は、図 129 に図示するように、グラフィックコントローラ 1292 と画素数分の容量を有するフラッシュメモリ 1291 を採用することにより解決できる。フラッシュメモリ（フラッシュROM）1291 は、各画素の点灯時間と、RGB 別の EL 素子の寿命曲線が記録されている。グラフィックコントローラ 1292 は、表示パネルの点灯時間を保持し、また、各画素の明るさ（流れる電流の大きさ）を映像信号電圧 V_{sig} から、図 83 の構成で演算する。

【0585】

グラフィックコントローラ 1292 は、各画素の点灯時間と流れる電流から、演算あるいは処理により、各画素の輝度低下を求める。求めた輝度低下は、EL 表示装置をオフするときに、フラッシュROM 1291 に書込み、次にオンするときに、フラッシュROM 1291 から読み出す。グラフィックコントローラ 1292 は、求めた各画素の輝度低下分を補うように映像信号に補正データを加算する。以上のように処理することにより、補正データにより焼付け（画素ごとに EL 素子の輝度低下）は補償される。したがって、焼付けは発生しない。

【0586】

以上の事項は、図 1 の画素構成の EL 表示パネルあるいは EL 表示装置だけではなく、他の画素構成（図 4、図 5、図 10、図 11、図 25、図 29、図 31、図 33、図 35、図 37、図 42、図 46、図 52、図 54、図 55、図 58、図 59、図 86、図 90、図 91、図 92、図 93、図 94、図 95、図 113、図 123、図 124 ~ 図 128 など）の EL 表示パネルあるいは EL 表示装置にも適用できることは言うまでもない。

【0587】

以上の事項は他の実施例においても同様である。例えば、図 12、図 13、図 61、図 75、図 76、図 77、図 78、図 79、図 83、図 84、図 85、図 98、図 99、図 100、図 101 などの方法あるいは方式、図 7、図 8、図 9、図 60、図 83、図 96

10

20

30

40

50

、図 102、図 103、図 104、図 106、図 107、図 108、図 109、図 110、図 111、図 112、図 129 の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせて実施することができることは言うまでもない。また、実施例 1 ~ 2、実施例 4 ~ 7 などの表示パネル（表示装置）あるいは駆動方法にも適用される。

【実施例 4】

【0588】

本発明の実施例 4 について説明する。

【0589】

図 60 は、実施例 4 の EL 表示装置の電源回路（電源 IC）の説明図である。本実施例の電源回路を用いることにより、検査、エージング、輝度調整などが容易に実現できるようになる。

10

【0590】

電源回路 602 の V_{in} 端子には、バッテリーから V_{in} 電圧（電圧 2.3 V 以上 4.6 V 以下）が印加される。電源回路（電源 IC）602 は、EL 表示装置に必要な電圧を発生させる。EL 素子に供給する電圧（アノード電圧 V_{dd} 、カソード電圧 V_{ss} ）及びその電流は、DCDC 回路により発生させる。

【0591】

DCDC 回路において正極性の電圧 V_{dd} は、コイル L_p を用いる。負極性の電圧 V_{ss} は、コイル L_n を用いる。すなわち、コイルを用いて共振させることにより必要な電圧値を発生させる。

20

【0592】

アノード電圧 V_{dd} は、ソースドライバ回路 14 のアナログ電圧 A_{vdd} と共通である（ $V_{dd} = A_{vdd}$ ）。 A_{vdd} 電圧は、ソースドライバ回路 14 の電源電圧である。アナログ電圧 A_{vdd} は、映像信号の基準電圧としている。駆動トランジスタ 11a は、P チャンネルトランジスタであるため、アノード端子はアノード電極（電圧 V_{dd} ）と接続されている。すなわち、駆動トランジスタ 11a の基準電圧位置は、アノード電圧 V_{dd} である。ソースドライバ回路 39 のアナログ電圧を A_{vdd} とし、 A_{vdd} を基準（映像信号電圧が A_{vdd} 電圧の時、映像信号の振幅電圧は、0 V である）とする。

【0593】

30

なお、 A_{vdd} 電圧は、アノード電圧 V_{dd} よりも、0.2 V 以上 1.0 V 以下の電圧だけ高くしてもよい。例えば、アノード電圧が 4.6 V であれば、 A_{vdd} 電圧は、4.8 V 滋養 5.6 V 以下に設定する。表示コントラストを向上させることができる。

【0594】

$A_{vdd} = V_{dd}$ することにより、駆動トランジスタ 11a を映像信号でプログラム設定することが容易になる。また、EL 表示装置で使用する電源数も削減できる。

【0595】

画素 16 の駆動トランジスタ 11a は P チャンネルトランジスタである。 $V_{dd} = A_{vdd}$ とすることにより、階調電圧の電位とアノード電位 V_{dd} が連動して変化するので、良好な階調表示を実現できる。電源回路（IC）602 で発生するアノード電圧 V_{dd} がバラツキにより変化しても、駆動トランジスタ 11a に印加する振幅電圧の基準位置は連動して変化する。したがって、駆動トランジスタ 11a を映像信号でプログラム設定する精度が良好になる。

40

【0596】

なお、画素 16 の駆動トランジスタ 11a が N チャンネルトランジスタの場合は、映像信号の基準電圧をグランド（GND）電圧にする。

【0597】

また、電源回路 602 は、リニアレギュレータ回路により、ソースドライバ回路のロジック電圧 D_{vdd} を発生する。 $D_{vdd} = 1.85$ V である。また、チャージポンプ回路により、ゲートドライバ回路 12 の電源（ V_{GH} 、 V_{GL} ）を発生する。チャージポンプ

50

回路は、正極性の電圧 V_{GH} には、コンデンサ C_p を使用する。チャージポンプ回路は、負極性の電圧 V_{GL} には、コンデンサ C_n を使用する。すなわち、コンデンサと発振回路で、チャージポンプ回路を構成し、必要な電圧値を発生させる。

【0598】

なお、 V_{GH} 、 V_{GL} など、ゲートドライバ回路 12 で使用する電圧は、ソースドライバ回路 14 に形成したチャージポンプ回路で発生させてもよい。この場合は、ソースドライバ回路 14 の V_{GH} 、 V_{GL} 出力回路に、オフスイッチを形成する（ソースドライバ回路 14 に出力オフ機能を持たせる）。

【0599】

以下の実施例では、電源回路 602 に V_{GH} 、 V_{GL} 、 V_{rst} 電圧発生回路 601 を具備するとして説明する。 V_{GL} 、 V_{GH} 、 V_{rst} 電圧発生回路 601 がソースドライバ回路 14 に具備される場合は、ソースドライバ回路 14 と電源回路 602 とを同期を取っても本実施例を実施すればよい。

10

【0600】

A_{vdd} 、 D_{vdd} 電圧は、レギュレータ回路で発生させてもよい。バッテリー電圧 V_{in} がレギュレータ回路に入力され、 D_{vdd} 電圧を発生させる。また、バッテリー電圧 V_{in} がレギュレータ回路に入力され、 A_{vdd} 電圧を発生させる。

【0601】

なお、本実施例の E_L 表示装置においては、映像信号電圧 V_{sig} を画素 16 に印加するスイッチトランジスタ 11c を駆動するゲートドライバ回路 12a は、オン電圧 V_{GH1} 、オフ電圧 V_{GL1} とする。 E_L 素子 15 に流れる電流をオン/オフ制御するスイッチトランジスタ 11d を駆動するゲートドライバ回路 12b は、オン電圧 V_{GH2} 、オフ電圧 V_{GL2} とする。また、 $V_{GH1} = V_{GH2}$ 、 $|V_{GL1}| < |V_{GL2}|$ にしている。本実施例では、画素 26 を選択し映像信号を書き込むゲート信号線 17 の駆動電圧（ V_{GH2} 、 V_{GL1} ）と、 E_L 素子 35 に流す電流を制御するゲート信号線 17 の駆動電圧（ V_{GH2} 、 V_{GL2} ）とを異ならせている。

20

【0602】

ソースドライバ回路 24 の電源電圧を A_{Vdd} (V) とし、アノード電圧を V_{dd} (V) としたとき、 $V_{dd} - 1.5$ (V) A_{Vdd} V_{dd} の関係を満足するように構成している。

30

【0603】

ゲートドライバ回路のオン電圧又はオフ電圧を V_{GH} (V) とし、アノード電圧を V_{dd} (V) としたとき、 $V_{dd} + 0.2$ (V) V_{GH} $V_{dd} + 2.5$ (V) の関係を満足するように構成している。

【0604】

一例としてカソード電圧 V_{ss} は、 -4.5 V \sim -1.0 V であり、アノード電圧 V_{dd} は、 3.5 V \sim 7.0 V である。 V_{ss} 、 V_{dd} 、 V_{GH} 、 V_{GL} などは電源回路から供給され、必要に応じて各電圧の値は変更設定される。

【0605】

本実施例は、エージング工程、欠陥検査、輝度調整などの調整対応するため、出力オープン機能を有する。

40

【0606】

出力オープン機能はスイッチから構成する。図 60 に示すように、各電圧発生回路 601 の出力段にスイッチ（ $SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ 、 $SW5$ 、 $SW6$ 、 $SW7$ ）が形成されている。

【0607】

出力オープン機能とは、スイッチ SW をオフ（ハイインピーダンス）にすることにより、電源回路 602 の出力端子に、別電圧を印加できる。例えば、 $V_{dd} = 5$ V とし、 V_{dd} 出力端子のスイッチ $SW2$ をオフにすることにより、 V_{dd} 出力端子に 7 V の電圧を印加できるようになる。 $V_{ss} = -3$ V とし、 V_{ss} 出力端子のスイッチ $SW1$ をオフにす

50

ることにより、 V_{ss} 出力端子に $-5V$ の電圧を印加できるようになる。

【0608】

各端子のスイッチ SW をオフさせることにより、各端子に外部電圧を印加したとき、オフリーク電流は $10\mu A$ 以下となるように構成されている。この構成は、各スイッチ SW を構成する FET のゲート端子にバッファ回路を介して電圧を印加する回路構成を採用することにより実現できる。

【0609】

スイッチ $SW1$ は、 V_{ss} 電圧をオフ（ハイインピーダンス）にする機能を有する。スイッチ $SW2$ は、 V_{dd} 電圧をオフ（ハイインピーダンス）にする機能を有し、スイッチ $SW3$ は、 Av_{dd} 電圧をオフ（ハイインピーダンス）にする機能を有する。スイッチは、アナログスイッチ、 MOS スイッチなどで構成される。

10

【0610】

同様に、スイッチ $SW4$ は、ソースドライバ回路 14 で使用するロジック電圧 Dv_{dd} をオフ（ハイインピーダンス）にし、スイッチ $SW5$ は、 V_{GH} 電圧をオフ（ハイインピーダンス）にする。スイッチ $SW6$ は、 V_{GL} 電圧をオフ（ハイインピーダンス）、スイッチ $SW7$ は、 V_{rst} 電圧をオフ（ハイインピーダンス）にする機能を有する。

【0611】

なお、スイッチ（ $SW1 \sim SW7$ ）は、明確にスイッチ回路を形成する必要はない。例えば、 V_{dd} 発生回路 601b に印加する発振電圧を停止することにより、等価的に、 V_{dd} 出力がオフとなる場合は、スイッチ $SW2$ の物理的形成は不要である。つまり、スイッチ SW とは、各電圧発生回路 601 の動作を停止させる機能と考えても良い。

20

【0612】

電源電圧の出力回路にはトランジスタ（ FET ）を具備しており、この FET からなるスイッチ、ダイオードと外付けコイル（ L_n 、 L_p ）で共振させて所定の電圧を発生させる。この共振させる FET のゲート端子にオフ電圧を印加する、又はオフにすることにより FET から電圧は出力されないようになる。結果的に、該当電源回路 602 の出力端子はオフ（ハイインピーダンス）になる。また、電源回路 602 に内蔵のダイオードに逆バイアスを印加して、ダイオードをオフさせてもよい。また、図 61 に示すように、電源回路 602 の外部に、スイッチ回路 611 を外付け配置してもよい。スイッチ SW はリレー回路などで構成することもできる。

30

【0613】

また、電源回路 602 の出力段のトランジスタのゲート端子にオフ電圧を印加し、前記トランジスタのチャンネル間をハイインピーダンスにする。なお、電源回路 602 の出力段には保護ダイオードを形成し、保護ダイオードはリークが発生しないように十分に高い電圧に接続してオフ状態を維持する。

【0614】

なお、出力オープン機能は、電源回路 602 に内蔵させることに限定されるものではない。例えば、図 61 に示すように、 SW の部分をスイッチ回路 611 として別途設けてもよい。スイッチ回路 611 は、シリコンチップで形成し、フレキシブル基板 755 などに実装する。スイッチ回路 611 は $MOS-FET$ などで構成する。

40

【0615】

すなわち、本実施例のオフ（ハイインピーダンス）にする機能とは、等価的に、電源回路 602 の端子を外部から見たとき、ハイインピーダンス状態にする機能であれば足りる。また、ハイインピーダンス状態にした時、又はハイインピーダンス状態になった時、電源回路 602 の端子を外部に別の電圧を印加できる構成であれば足りる。

【0616】

本実施例の電源回路は、負電源側のダイオード、 FET を内蔵している。また、 $SMBus$ などの標準データバスを具備し、標準データバスに伝送するコマンドにより、出力電圧などを設定できる。

【0617】

50

コマンドにより設定できる電圧は、VGH電圧、VGL電圧、Vss電圧、Vrst電圧である。これらの電圧は、0.5Vキザミで設定できるように構成されている。なお、VGHはVGH1、VGH2と2種類の電圧を発生させ、VGLはVGL1、VGL2と2種類の電圧を発生させてもよい。

【0618】

電圧の可変は、電源回路602内部に、DA変換回路を設けることにより容易に実現できる。また、出力オープン機能もコマンドで制御することができる。例えば、標準データバス(SMBus、I2Cバスなど)を介したコマンド制御により、Vss電圧端子をオフにできる。コマンドにより、どのスイッチをオンさせるかオフさせるかを指定する。

【0619】

図62は、VGH電圧、VGL電圧、Vdd電圧、Vss電圧、Vrst電圧、Avdd電圧の設定値である。設定値は、コマンドの'値'により、0.5Vキザミで設定されている。VGH電圧の設定値は、Avdd電圧の設定値よりも1.0V以上(少なくとも0.5V以上)高く設定できるように構成する。VGL電圧の設定値は、Vss電圧と同一の値を設定できるように構成する。

【0620】

なお、図62の各電圧の値は、EEPROM753(図75)に格納しておき、使用状態に合わせて変更できるように構成しておくことが好ましい。例えば、図62では、VGHの値0では、5.0Vであるが、この値をEEPROM753から読み出し、4.5Vに変更する。キザミ値もEEPROM753に格納されたデータにより変更できるように構成しておくことが好ましい。

【0621】

VGH電圧、VGL電圧、Vdd電圧、Vss電圧、Vrst電圧、Avdd電圧は、本実施例のパネルの調整工程で、可変して用いる。また、ピーク電流抑制駆動で可変して用いる。

【0622】

VGH電圧は、5.0V以上9V以下であり、この範囲を0.5Vキザミで設定可能である。また、必要に応じて10mVキザミで設定できるように構成することもできる。以上の事項は他の電圧に対しても同様である。なお、本実施例では、説明を容易にするため、基本的には電圧のキザミは0.5Vであるとする。しかし、これに限定するものではない。

【0623】

一例として、VGL電圧は、-6.0V以上-0.5V以下であり、この範囲を0.5Vキザミで設定可能である。Vss電圧は、-6.0V以上-0.5V以下であり、この範囲を0.5Vキザミで設定可能である。

【0624】

なお、Vss電圧は、0.1Vキザミで可変できるように構成することが更に好ましい。特に、EL表示パネルの温度により、Vss電圧を可変できるように構成することが好ましい。

【0625】

出力オープン機能は、ハード端子による制御でオン/オフしてもよい。例えば、電源回路602の1番ピンはTEST1、2番ピンをTEST2とする。TEST1を'H'とすることにより、Vdd端子とVss端子が出力オフにする。また、'L'とすることにより、Vdd端子とVss端子を電圧出力状態にする。TEST2を'H'とすることにより、VGH端子とVGL端子が出力オフにする。'L'とすることにより、VGH端子とVGL端子を電圧出力状態にする。

【0626】

なお、出力オープン機能とは、主として電圧出力端子を外部から切り離された状態を意味し、前記端子などに他の電源からの電圧又は電流を印加しても、前記電源IC602などに前記他の電源からの電流が、前記電源IC602などに流入しない、又は、前記他の

10

20

30

40

50

電源からの電流が流出しない状態、又はこれと類する状態を意味する。また、これらに類する技術的思想である。

【0627】

また、複数のピンにロジック電圧設定することにより、VGH電圧を5.0Vから8.0Vのいずれかの電圧を設定し、端子から出力できるように構成する。なお、図63にTESTモードの出力電圧と、放電回路(図64)の関係を図示している。

【0628】

各電源の出力には、放電回路(ディスチャージ回路)が形成されている。ディスチャージ回路を図64に示す。図64は、一例としてVssの出力段であるが、他の出力段Vdd、Avdd、VGH、VGL、Vrstにも形成されている。オフスイッチSW1がオフの場合に、スイッチS1をオンさせて、抵抗Rと介して、Vss端子に充電された電荷を放電する。抵抗Rの抵抗値は、DCDC回路に関連する出力(Vss、Vdd)は、30~100とする。チャージポンプ回路に関連する出力(VGH、VGL)は、200~1kとする。以上のように抵抗Rの値は、DCDC回路による発生させる電圧よりもチャージポンプ回路で発生させる電圧の方を大きくする。

10

【0629】

ディスチャージ回路を構成するスイッチS1も、コマンド設定により動作するように構成されている。すなわち、ディスチャージ動作をさせるか否かは、コマンドで設定できる。

【0630】

20

また、図65のように、TEST=3の時、Avddは放電なしとしてもよい。放電回路は、ディスチャージ回路とも呼ぶ。図63では、MODE0で、全電圧(Avdd~Vss)の出力端子をディスチャージ状態に保持している。このことはEL表示装置を外部ノイズから保護する上でも重要である。また、MODE1のON1コマンドのみが指定されているときは、Vdd端子とVss端子とディスチャージ状態に保持しておくことも重要である。

【0631】

ON1コマンドのみの場合は、ソースドライバ回路14及びゲートドライバ回路12に使用する電圧(Avdd、VGH、VGL、Vrst)の端子にはディスチャージせず、EL素子35に印加する電圧端子はディスチャージさせる。ON1及びON2コマンド発生時(MODE3)では、すべての電圧端子はディスチャージしない。

30

【0632】

なお、電源回路(電源IC)602の起動はソフトスタート回路の動作あるいは作用によりラッシュ電流が流れないように制御される。ソフトスタート時間は、3msec以上20msec以下の時間に設定される。

【0633】

また、電源回路(電源IC)602には、過電流防止回路及びサーマルシャットダウン回路が形成されている。過電流防止回路が動作する時間は、50msec以上200msec以下の時間に設定される。

【0634】

40

以上のように、図65のTEST状態でも、ディスチャージ(放電)を動作させる。TEST0は、通常の動作状態である。Avdd、VGH、VGL、Vrst、Vdd、Vssの出力は、図67のMODEに従って放電回路が動作する(放電回路ON)。TEST1、TEST2、TEST3では放電回路が動作しない(放電回路OFF:非動作状態)。なお、図68に示すように、TEST3で、放電回路を動作可能状態にしてもよい。

【0635】

放電回路は、図64に示すように、スイッチS1、放電抵抗Rから構成される。放電抵抗Rは、端子又は配線(図64では一例としてVss端子又はVss配線)に充電された電荷を放電するのに使用される。スイッチS1は電源回路602の出力電圧を停止する時、電源電圧の値を変化させる時に動作する。

50

【 0 6 3 6 】

本実施例の電源回路 6 0 2 は、D C D C 回路の発振周波数もソースドライバ回路 1 4 からのコマンドで設定できる。

【 0 6 3 7 】

発振周波数は、0 . 6 M H z、1 . 2 M H z、1 . 8 M H z の複数から 1 つを選択する。発振周波数は、0 . 6 M H z、1 . 2 M H z、1 . 8 M H z と整数倍に設定できるようにする。発振周波数の 1 つは、1 . 0 ~ 1 . 6 M H z 内に設定する（本実施例では、1 . 2 M H z が該当する）。この範囲の周波数では、表示画面 3 1 にビートノイズが発生せず、好ましい。

【 0 6 3 8 】

発振周波数は、図 6 6 に表で示す。発振周波数も電源回路に内蔵する複数の抵抗から 1 つを選択することにより容易に実現できる。発振周波数は、F L コマンドの設定により、発振周波数を変更できる。発振周波数が低いと、電源回路の外付けコイル（L p、L n）のサイズが大きくなる。変換効率は高くなる。電源回路の外付けコイルのサイズが大きくなる。変換効率は高くなる。発振周波数が高いと、電源回路の外付けコイルのサイズが小さくなる。変換効率は低くなることが多い。

【 0 6 3 9 】

本実施例の電源回路は携帯電話に用いる。本実施例は、携帯電話の通信方式により、発振周波数を切り替えて使用する。C D M A 方式の場合は、D C D C の発振周波数を 0 . 6 M H z とする。G S M 方式の場合は、1 . 2 M H z で使用する。本実施例は、C D M A 方式で使用する場合と、G S M 方式で使用する場合とで、コマンドにより、発振周波数を変更する。すなわち、携帯の受信方式に対応させて発振周波数を切り替える。

【 0 6 4 0 】

図 6 3 は、本実施例の電源回路の動作モードであるテストモード（T E S T）で、ディスチャージ（放電）回路の動作の有無を記載している。図 6 3 において、「」は、対応する電圧が出力されることを示し、「・」は、出力されていないことを示す。O N は、放電回路が動作していること（図 6 4 でスイッチ S 1 がオンしていること）を示し、O F F は、放電回路が非動作状態であること（図 6 4 でスイッチ S 1 がオフしていること）を示している。

【 0 6 4 1 】

例えば、T E S T モードの値が 1（設定値 1）では、A v d d、V G H、V G L、V d d、V r s t、V s s が出力されており、放電回路が O N していることを示している。T E S T モードの値が 2（設定値 2）では、A v d d、V G H、V G L が出力されており、放電回路が O F F していることを示している。

【 0 6 4 2 】

本実施例の電源回路 6 0 2 には、図 6 7 に示すように、M O D E がある。

【 0 6 4 3 】

M O D E とは、電源回路 6 0 2 の立ち上げ及び立ち下げシーケンスを行うものである。シーケンスを行うのに、O N 1 と O N 2 がある。

【 0 6 4 4 】

M O D E = 0（M O D E コマンドの値 0、M O D E 0）では、O N 1 及び O N 2 がともに 0（オフ）である。

【 0 6 4 5 】

M O D E = 1（M O D E コマンドの値 1、M O D E 1）では、O N 1 = 1（オン）で、O N 2 = 0（オフ）である。

【 0 6 4 6 】

M O D E = 2（M O D E コマンドの値 2、M O D E 2）では、O N 1 = 0（オフ）であり、O N 2 が 1（オン）である。M O D E = 3（M O D E コマンドの値 3、M O D E 3）では、O N 1 及び O N 2 がともに 1（オン）である。なお、図 6 7 において、は、該当する電圧が出力されていることを、・は、該当する電圧が出力されていないことを示して

10

20

30

40

50

いる。

【0647】

ON1 = 1 は、ソースドライバ回路 14 及びゲートドライバ回路 12 の電源電圧 (A v d d、V G H、V G L、V r s t) の立ち上げをする。ON2 = 1 (オン) は、アノード電圧 V d d、カソード電圧 V s s を E L 表示装置に供給する。

【0648】

立ち上げシーケンスでは、本実施例は、ON1 を設定し、次に ON2 を設定する。立ち上げシーケンスでは、まず、ゲートドライバ回路 12 及びソースドライバ回路 14 を動作した後に、E L 素子 35 に供給するアノード電圧などを印加する。この状態が反転すると、E L 表示装置が不要な発光状態が発生する。

10

【0649】

立ち下げシーケンスでは、本実施例は、ON2 を解除し (ON2 = 0)、次に ON1 を解除する (ON1 = 0)。立ち下げシーケンスでは、まず、アノード電圧 V d d、カソード電圧 V s s を切断してから、ゲートドライバ回路 12 及びソースドライバ回路 14 の電圧をオフにしないと、アノード端子からのソースドライバ回路 14 への逆流により、ソースドライバ回路などが破壊される場合がある。

【0650】

以上により、MODE = 2 の状態は発生してはならない。立ち上がりシーケンスにおいて、ノイズなどにより、MODE = 3 が最初となった場合は、まず、MODE 1 を設定し、MODE 3 を実行する。また、立ち上がりシーケンスにおいて、ノイズなどにより、まず、最初に MODE = 3 となった場合は、まず、MODE 1 を設定し、MODE 3 を実行する。以上のように、本実施例は、各動作が異常状態から動作した場合に、自己修正するロジックを内蔵している。

20

【0651】

立ち下げシーケンスの場合は、MODE 3 の状態から、ON2 = 0 となる、MODE 1 の状態となり、最後に MODE 0 の状態となる。

【0652】

MODE 0 では、全出力電圧がオフである。MODE 1 では、ソースドライバ回路 14 のアナログ電圧 A v d d、ゲートドライバ回路 12 の電圧 (V G H、V G L) がオン状態、アノード電圧 V d d、カソード電圧 V s s がオフ状態である。MODE 2、MODE 3 では、ソースドライバ回路 14 のアナログ電圧 A v d d、ゲートドライバ回路 12 の電圧 (V G H、V G L) がオン状態、アノード電圧 V d d、カソード電圧 V s s がオン状態である。しかし、MODE 2 は、設定禁止状態である。

30

【0653】

図 68 は、MODE に対するディスチャージ動作 (図 64 を参照のこと) の設定状態を示している。図 68 において、「」が、ディスチャージ動作をおこなっていること (図 64 のように、対応するスイッチ S (図 64 では、スイッチ S1) がオンしていること) を示している。「・」は、スイッチ S がオフであること (ディスチャージ動作していないこと) を示している。

【0654】

MODE 0 では、全出力電圧がオフであるため、全端子が、ディスチャージ状態である。MODE 1 では、ソースドライバ回路 14 のアナログ電圧 A v d d、ゲートドライバ回路 12 の電圧 (V G H、V G L) がオン状態、アノード電圧 V d d、カソード電圧 V s s がオフ状態であるため、アノード電圧 V d d、カソード電圧 V s s のみが、ディスチャージ状態である。MODE 2、MODE 3 では、ソースドライバ回路 14 のアナログ電圧 A v d d、ゲートドライバ回路 12 の電圧 (V G H、V G L) がオン状態、アノード電圧 V d d、カソード電圧 V s s がオン状態である。したがって、全出力のディスチャージは非動作である。MODE 2 は、設定禁止状態である。

40

【0655】

以上のように、電圧出力されていない端子を、ディスチャージ状態にすることにより、

50

E L 表示装置の不要な動作又は誤動作を防止すると共に、E L 表示装置が電氣的に破壊されることを防止できる。

【0656】

オン/オフ端子は、電源回路を起動させる端子である。オン/オフ端子にクロック信号が印加されると、D v d d 電圧を出力する。クロック信号は、信号の立ち上がり又は立ち下げを検出し、複数回のクロック信号の立ち上がり又は立ち上がりエッジを検出するとロジック電圧 D v d d を出力する（図 6 9 を参照）。

【0657】

クロック信号は、本実施例の E L 表示装置に印加される映像信号クロック又は水平同期信号 H D を用いる。映像信号は、本実施例の E L 表示装置が組み込まれた機器のグラフィックコントローラが発生する。

10

【0658】

図 6 9 に示すように、クロック (C L K) 信号の立ち上がりを検出し、電源回路 6 0 2 内のカウンタ 7 0 1 をカウントアップする（図 6 9、図 7 0、図 7 2 を参照のこと）。クロックが 3 クロック入ると D v d d 電圧が出力される。この電源立ち上がりまでに必要なクロック数は、コマンドで設定できるように構成されている。

【0659】

図 6 9 では、a 点で 3 クロックであるため、D v d d を出力する。もちろん、クロック信号の検出は、クロックの立ち下げを検出してもよい。また、クロックの両エッジを検出してもよい。クロック間隔が一定以上短いとカウントはしない。この設定は、電源回路 6 0 2 に内蔵するローパスフィルタで設定する。

20

【0660】

クロックが一定期間、遮断されると、D v d d 電圧の出力を停止する。図 6 9 では、T 1 期間が 3 0 m s e c 以上であると出力を停止する。同時に、カウンタ 7 0 1 のカウント値はクリアされる。したがって、カウンタ 7 0 1 のカウントは 0 から開始する。

【0661】

なお、図 6 9 の実施例では、D v d d 電圧をクロックでオン/オフ（出力、停止）させるとしたが、これに限定するものではない。例えば、V d d、V s s 電圧、V G H、V G L 電圧をオン/オフ制御してもよい。また、3 クロック目で V G H、V G L 電圧などゲートドライバ回路 1 2 で必要なチャージポンプで出力する電圧を出力させ、3 0 クロック目で V d d、V s s など E L 素子 3 5 に供給する D C D C 電圧を出力するように構成してもよい。

30

【0662】

立ち下げも同様である。3 0 m s e c で、V d d、V s s など E L 素子 3 5 に供給する D C D C 電圧を停止し、同時に放電回路（図 6 4、図 6 8 を参照）を動作させ、1 0 0 m s e c 後に、V G H、V G L 電圧などゲートドライバ回路 1 2 で必要なチャージポンプで停止（同時に放電回路を動作）するように構成してもよい。すなわち、クロックの個数又はクロックの間隔で電圧出力を制御する。

【0663】

D v d d 電圧は、ソースドライバ回路 1 4 のロジック電圧である。D V d d 電圧が立ち上がると、I 2 C バス（又は S M b u s ）の電源が供給され、ソースドライバ回路 1 4 と電源回路 6 0 2 間のコマンド通信が可能になる。ソースドライバ回路 1 4 は、I 2 C バス（又は S M b u s ）を介して電源回路 6 0 2 にオンシーケンスコマンド（オンコマンド）を送信し、電源回路 6 0 2 は、他の電圧（V G H、V G L、V s s、V d d など）を出力する。

40

【0664】

電源回路 6 0 2 の立ち下げ（電圧出力の停止）は、ソースドライバ回路 1 4 から電源回路 6 0 2 へのオフシーケンスコマンド（オフコマンド）により行われる。なお、図 6 9 に示すクロック信号（C L K）が中断することによっても電源回路 6 0 2 はオフ状態になる。

50

【0665】

D v d d 電圧は、ソースドライバ回路 1 4 で使用されるロジック電圧である。まず、最初にロジック電圧が入力されないと、ソースドライバ回路 1 4 のロジック動作が開始せず、E L 表示装置の開始シーケンスが実施されない。しかし、常時（E L 表示装置を使用しないときも）、D V d d の電圧発生回路 6 0 1 c を起動しておく、電力を使用する。図 6 9、図 7 0 のように、クロックで D v d d 発生回路を起動させるように構成すれば、不要な電力消費はない。また、クロックが一定期間入力されないと、D v d d 回路を非動作状態になるように構成すれば、不要な電力消費はない。

【0666】

なお、図 6 9 の実施例ではクロックの入力により、D V d d 電圧が立ち上がるとしたが、本実施例はこれに限定するものではなく、A v d d 電圧など他の出力電圧を立ち上げるように構成しても良い。また、電圧が立ち上がるクロック数はコマンドなどにより設定できるように構成することが望ましい。立ち下げの時間 T 1 もコマンドなどにより設定できるように構成することが好ましい。

【0667】

また、カウンタの値は、クロックが一定時間以上ない場合はクリアされるように構成することが好ましい。例えば、2 のクロック信号（C L K）が入力されても、3 番目のクロック信号（C L K）までの間隔が 2 0 m s e c 以上あると、電源回路 6 0 2 内のカウンタがクリアされ、カウンタを 0 に戻すように構成する。また、電源回路 6 0 2 がオフシーケンスを受けつけた場合も、カウンタはクリアされる。クリアされるまでの時間は、コマンドにより設定できるように構成されている。

【0668】

クリアされるまでの時間 T 1 は、クロックとして垂直同期信号を使用することを想定される。したがって、3 0 フレームの場合、3 5 m s e c 以上にする必要がある。また、ノイズによるカウントアップの誤動作を防止するため、1 0 0 m s e c 以下（0 . 1 H z）にする必要がある。また、映像信号のメインクロックで動作するように構成する。表示装置の画像クロックが 3 M H z であれば、3 M H z で動作するように構成する。しかし、余り高速なクロックで動作するように構成すると、外部ノイズで簡単に誤動作する。したがって、1 0 M H z 以下にする。したがって、クロックは、0 . 1 H z 以上 1 0 M H z 以下にする。クロックは、水平同期信号（H D）を使用することが好ましい。水平同期信号は、8 K H z 以上 3 0 K H z 以下程度である。したがって、クロックは、8 K H z 以上 1 0 M H z 以下で動作するように構成する。

【0669】

また、短時間で異常なクロック（外部ノイズ）入力による誤動作を防止するため、コンデンサなどのよるノーフイルタを形成しておく。

【0670】

カウンタ 7 0 1 は、電源 I C 6 0 2 がオフされると、クリアされる。また、E L 表示装置のソフトウェアリセット又はハードウェアリセットが入力されるとクリアされる。また、電源 I C 6 0 2 がオンされるときに、初期クリアされる。

【0671】

また、D v d d 電圧は、3 クロック信号（C L K）で出力し、図 7 2 に示すように、A v d d 電圧は、5 クロック信号（C L K）で出力するように構成しても良い。すなわち、クロック信号（C L K）数により、立ち上がる電圧を指定できるように構成する。立ち下げ電圧においても同様に構成しても良い。カウント設定するクロック数は、2 以上 5 以下が好ましい。ノイズによる誤動作防止と起動時間を短くするためである。

【0672】

また、一度、カウントが規定値に達した後は、ソースドライバ回路 1 4 からリセット信号が電源回路 6 0 2 に入力されない限り電圧出力を停止しないように構成してもよい。

【0673】

D v d d 電圧は、レギュレータを用いて発生する。レギュレータは、動作状態であると

10

20

30

40

50

、リーク電流が流れ電力を消費してしまう。図 6 9、図 7 0 のように、クロックを検出してレギュレータを起動するように構成すれば、リーク電流の発生はない。したがって、E L 表示装置が非動作状態では、電力を消費しない。

【0674】

本実施例の電源回路 6 0 2 は、クロック信号 (C L K) が入力されている時に、オンコマンドが入力されることにより、電圧が出力されるように構成されている。また、クロック信号 (C L K) が入力されている時に、オフコマンドが入力されることにより、電圧出力を停止する。また、出力端子をオフにする。

【0675】

但し、本実施例はこれに限定するものではない。例えば、図 7 3 に図示しているように、強制的に電圧を出力されるオン / オフ端子 (ハードピン) を設けても良い。

10

【0676】

次に、立ち上がりシーケンスについて図 7 5 を用いて説明をする。

【0677】

電源回路 6 0 2 に、水平同期信号 (H D) 又はメインクロック (C L K) が入力されると、D v d d 発生回路 6 0 1 c (図 7 0) により、クロックをカウントし、規定のクロック数をカウントすると、D v d d 発生回路のレギュレータが動作する。レギュレータ回路は、入力されたバッテリー電圧 V i n をレギュレータして 1 . 8 5 V (1 . 8 V 系) を出力する。

【0678】

20

以上のように、電源回路 6 0 2 にコネクタ 7 5 1 から供給される信号又は電圧は、C L K 又は H D と、V i n だけである。パネル 3 4 とフレキシブル基板 7 5 6 とは A C F 7 5 5 で電氣的に接続が取られている。したがって、電源回路 6 0 2 から出力される電源電圧数が多くてもコストが高くなることはない。なお、電源回路 6 0 2 は、ブリップチップ実装 (C O F 実装) されている。

【0679】

1 . 8 5 V はソースドライバ回路 1 4 などのロジック電圧である。ロジック電圧 D v d d は、S M B u s の電源であり、また、E E P R O M 7 5 3、フラッシュメモリ 7 5 2 の電源電圧である。したがって、D v d d 電圧が発生することにより、E L 表示装置のロジック系が起動状態になる。

30

【0680】

ソースドライバ回路 1 4 は、ロジック電圧 D v d d が入力され、外部 3 線シリアルバスから、リセット信号コマンドが入力されると、立ち上がりシーケンスを開始する。

【0681】

リセット信号コマンドをソースドライバ回路 1 4 が受信し、電源回路 6 0 2 の初期化が完了 (図 6 7 において、M O D E 0) すると、ソースドライバ回路 1 4 は、S M B u s を介して、電源回路 6 0 2 にオンコマンド (O N 1、O N 2 : 図 6 7) を送る。基本的にオンシーケンスは、M O D E 0 (O N 1、O N 2 はオフ) M O D E 1 (O N 1 のみオン) M O D E 3 (O N 1、O N 2 はオン) である。

【0682】

40

O N 1 コマンドにより、A V d d 電圧 (ソースドライバ回路 1 4 のアナログ電圧)、V G H、V G L が出力される。A V d d とアノード電圧 V d d は同一電圧である (図 6 1 なども参照のこと) が、A V d d は O N 1 で出力されるが、アノード電圧 V d d は、S W 2 がオフ状態であるため、出力されない。S W 2 は O N 2 コマンドでオン状態となる。O N 1 コマンドにより、V G H は S W 5 がオンすることにより、V G L は S W 6 がオンすることにより、出力される。

【0683】

ソースドライバ回路 1 4 に A V d d 電圧が印加されることにより、階調電圧などが出力できるようになる。V G H、V G L 電圧は、ゲートドライバ回路 1 2 に印加される。V G H、V G L 電圧によりゲートドライバ回路 1 2 のゲート信号線 1 7 の電位が設定される。

50

また、ソースドライバ回路 14 は、ゲートドライバ回路 12 にスタート (ST) 信号、クロック (CLK) 信号を印加し、また、ソースドライバ回路 14 は、ソース信号線 18 に黒階調の映像電圧信号などを印加し、ゲートドライバ回路 12 は画素 16 を黒表示状態に制御する。

【0684】

ON1 コマンド (図 67 の MODE 1) から ON2 コマンド (図 67 の MODE 3) までの移行時間は、1 フレーム期間以上とする。好ましくは 2 フレーム期間以上とする。表示画面 31 を黒表示状態にしてから、アノード電圧 V_{dd} 、カソード電圧 V_{ss} を印加するようにするためである。表示画面 31 を黒表示状態にしてから、アノード電圧 V_{dd} 、カソード電圧 V_{ss} を印加しないと、不要な画像表示がされることがあるためである。

10

【0685】

次に、ソースドライバ回路 14 は、入力された映像信号 (RGB)、水平同期信号 (HD)、垂直同期信号 (VD)、クロック (CLK) に対応させてソース信号線 18 に映像信号を出力する。

【0686】

ソースドライバ回路 14 は、電源回路 602 に ON2 コマンドを送出する。ON2 コマンドにより、SW1、SW2 がオンし、表示画面 31 にアノード電圧 V_{dd} 、カソード電圧 V_{ss} が印加される。アノード電圧 V_{dd} 、カソード電圧 V_{ss} の印加により、EL 表示装置に画像が表示される。

【0687】

20

以降、ソースドライバ回路 14 は、映像信号から、表示画面 31 に流れる電流を演算などにより、点灯率求め、ピーク電流をオーバーしないように、duty 比駆動を実施する。また、必要に応じて、電源回路 602 にコマンドを送り、アノード電圧 V_{dd} 、カソード電圧 V_{ss} を変化させる。

【0688】

なお、図 67 に示すように、誤動作により、MODE 2 から開始される場合は、MODE 1 を実行し、次に MODE 3 を実行させる。誤動作により、MODE 3 から開始される場合は、MODE 1 を実行し、次に MODE 3 を実行させる。

【0689】

30

オフシーケンス (立ち下げシーケンス) では、MODE 1 が実行される。MODE 1 の実行前に、ソースドライバ回路 14 は、表示画面 31 を黒表示にする。黒表示は、ソース信号線 18 に黒の階調信号 (低階調) を印加し、この信号を画素 16 に書き込むことにより実現する。黒表示後に、ソースドライバ回路 14 は電源回路 602 にコマンドを送り、MODE 1 (ON2 をオフ) にする。

【0690】

ON2 コマンドのオフ指令により、SW1、SW2 がオフし、表示画面 31 へのアノード電圧 V_{dd} 、カソード電圧 V_{ss} の印加が停止される。

【0691】

40

次に、ソースドライバ回路 14 は、電源回路 602 に MODE 0 にすべく、ON1 をオフにするコマンドを送る。

【0692】

図 67 の MODE 1 から図 67 の MODE 0 までの移行時間は、1 フレーム期間以上とする。好ましくは 2 フレーム期間以上とする。アノード電圧 V_{dd} 、カソード電圧 V_{ss} を完全に端子などから放電させてからゲートドライバ回路 12 を停止させるためである。ON2 コマンドをオフ (0) にすることにより、SW2、SW1 がオフになる。この際、図 64、図 68 に示すように放電回路を動作させる。アノード電圧 V_{dd} 、カソード電圧 V_{ss} を完全に放電させてからでないと、不要な画像表示がされることがあるためである。

【0693】

50

ON1 コマンドをオフすることにより、SW5、SW6 がオフになり、AV V_{dd} 電圧 (

ソースドライバ回路 14 のアナログ電圧)、VGH、VGL が停止される。最後に、電源回路 602 に印加されている CLK 又は HD が停止し、Dvdd が停止する。

【0694】

図 61、図 73 などの実施例では、シャットダウン端子 (SHDN) を配置している。SHDN 端子は、クロック信号 (CLK) が入力されていない状態でも、オン/オフコマンドが入力されると電圧を出力させる端子である (又は、電圧を出力しないようにする端子である)。SHDN 端子へのロジック電圧が L レベルにときは、図 69、図 72 で説明した電源動作が実施される。

【0695】

SHDN 端子へのロジック電圧が H レベルの時は、クロック信号 (CLK) がない状態でも、オン/オフコマンドを受けつけるようになる。シャットダウン端子 (SHDN) は 0 (GND) が通常状態で、外部クロックにより Dvdd 出力状態に設定されており、シャットダウン端子 (SHDN) は H で、クロックが入力されずとも、Dvdd が出力されている状態である。

【0696】

シャットダウン端子 (SHDN) を配置したことは、本実施例の電源回路 602 を検査工程で用いる場合に有効である。検査工程 (点欠陥検出、特性評価) では、フレームレートを低減する。例えば、1 秒間の画像表示を書き換える回数 60 回を 20 回にする。また、テストランジスタ 754 を用いて、ソース信号線 18 に信号電圧を印加し、画像を表示する。そのため、クロックとして用いる映像信号 (メインクロック、水平同期信号クロック) がない場合がある。また、クロックの周期が非常に長く、図 69 に示す T1 期間以上となって、電圧出力が停止してしまう。この場合には、当然クロックを使用して電圧出力をオン/オフさせることができない。そのため、本実施例では、シャットダウン端子 (SHDN) を用いて、電圧出力を強制的に制御する。

【0697】

図 61、図 73 などでは、Dvdd 発生回路のみにシャットダウン端子 (SHDN) を配置しているが、これに限定するものではなく、他の電圧発生回路 601 にシャットダウン端子 (SHDN) を配置してもよい。また、電源回路 602 全体がシャットダウン端子 (SHDN) により、オン/オフ制御できるように構成してもよい。

【0698】

図 74 に示すように、Vss 電圧の発生回路がない構成でもよい。この場合は、EL 表示装置のカソード電圧は、GND 電圧である。Dvdd 電圧発生回路 601c の出力にはスイッチは配置されていない。Dvdd は、CLK 又は SHDN のロジック信号により出力/非出力の制御ができるからである。また、各 SW の制御は、ソースドライバ回路 14 が行うが、Dvdd 電圧の供給がないと、ソースドライバ回路 14 のロジックが動作せず、SW の制御コマンドを発生することができないからである。

【0699】

また、本実施例では、電源回路 602 は、IC として説明するが、これに限定するものではない。例えば、ディスクリート部品で電源回路 602 を構成してもよい。リセット電圧 Vrst は、図 74 の画素構成を有する EL 表示装置などで使用する。

【0700】

Dvdd が起動すると、ソースドライバ回路 14 のロジック回路部が起動すると共に、SMBus などの標準データバスにデータを送ることが可能になる。ソースドライバ回路 14 は、標準データバス (SMBus など) を用いて、電源回路が出力する電圧 (VGH、VGL、Vss) の値を設定する。また、発振周波数を設定する。また、Avdd (Vdd)、VGH、VGL を電源回路 602 から出力させる。

【0701】

電源回路 602 は、図 75 に示すように、フレキシブル基板 (2 層構成) 756 に実装されている。

【0702】

10

20

30

40

50

電源回路 602 の各出力端子には、金バンプが形成されており、ACF（異方導電フィルムによる接続）によりフリップチップ実装されている。

【0703】

図 75 の 754 はテストトランジスタ群である。テストトランジスタ 754 が各ソース信号線 18 に形成されている。テストトランジスタ 754 は、図 76、図 77 に示すように、ソースドライバ回路 14 が実装された反対側（B 位置）に形成してもよい。なお、ソースドライバ回路 14 は、IC に限定するものでなく、低温ポリシリコン技術などで形成されたソースドライバ回路であってもよい。3 選択回路 1041 を形成してもよい。

【0704】

スイッチ SW3、SW4、SW6 は実際には形成されていない。又は省略できる。映像信号のクロック信号により、 $Dvd = 1.85V$ が出力される。したがって、スイッチは必要でない。また、AVdd も DCDC 回路の発振と同時に出力される。AVdd は、ソースドライバ回路 14 のアナログ電源であると同時に、ゲートドライバ回路 12 の内部シフトレジスタの電源電圧ともなる。

【0705】

ソースドライバ回路 14 から SMBus、I2C Bus などの標準データバスにより、各電源のオン/オフ制御信号が電源回路 602 に送られる。なお、SMBus、I2C Bus の動作速度は、10KHz 以上 10MHz 以下に構成されている。

【0706】

コマンドの ON1 により、VGH のスイッチ SW5 と VGL のスイッチ SW6 がオンする。スイッチ SW5、SW6、SW7 がオンすることにより、VGH、VGL（VGL1）、Vrst が出力され、ゲートドライバ回路 12 が同時する。ゲートドライバ回路 12 に印加するスタートパルス（ST1、ST2）、クロック（CLK1、CLK2）、アップダウン（UD）は、ソースドライバ回路 14 により制御される。特に、ゲートドライバ回路 12b の内部シフトレジスタは、クリアされ、すべてのゲート信号線 17b は非選択状態とされる。

【0707】

次に、コマンドの ON2 により、Vdd のスイッチ SW2 と Vss のスイッチ SW1 がオンする。スイッチ SW1、SW2 がオンすることにより、アノード電圧 Vdd、カソード電圧 Vss が出力される。

【0708】

電源回路 602 には、本体のバッテリーからの電圧 Vin が供給される。Vin 電圧は、コネクタ 751 を介して電源回路 602 に供給される。電源回路 602 は、1 つの Vin 電圧から、EL 表示パネルに必要な電圧（アノード電圧 Vdd、カソード電圧 Vss、VGH、VGL、AVdd、 $Dvd = 1.85V$ ）を発生させる。フレキシブル基板 756 とアレイ基板 755 は ACF（異方向性導電フィルム）接続される。すなわち、フレキシブル基板 756 とアレイ基板 755 は接着されるから、当然のことながら電源回路 602 が出力する電圧を EL 表示パネル 755 に印加するのにコネクタは必要でない。

【0709】

図 75 の本実施例では、電源回路をフレキシブル基板 756 に実装し、電源回路 602 を動作させて、輝度調整、ホワイトバランス調整などを実施する。したがって、電源回路 602 の発生電圧が個々でバラツキが発生してもバラツキを考慮して EL 表示パネルの調整を実施するから問題とならない。また、エージングなどにおいても、実際に使用する電圧 VGH、VGL などを使用することにより、良好にエージングを実施できる。但し、エージング時は、通常表示時よりも、VGH - と VGL の絶対値（電位差）を大きくする。

【0710】

本実施例の EL 表示装置の動作の検査には、電流リミット機能（カレント電流リミット機能）を使用する。

【0711】

電流リミット機能は、Vss 又は Vdd の最大出力電流を設定する機能である。例えば

10

20

30

40

50

、 V_{ss} 電圧のリミット電流が 0.5 A であれば、 V_{ss} の出力電流が 0.5 A を越えると、内部の発振周波数が低下し、出力電流が 0.5 A 以上とならないように調整される。一般にこの状態の場合は、出力電圧 V_{ss} が低下する。 V_{ss} 電圧のリミット電流が 1.0 A に設定されておれば、 V_{ss} の出力電流が 1.0 A を越えると、内部の発振周波数が低下し、出力電流が 1.0 A 以上とならないように調整される。一般にこの状態の場合は、出力電圧 V_{ss} が低下する。

【0712】

本実施例の電源回路 602 は、 V_{ss} 電圧と V_{dd} 電圧とが、2 段階の電流リミット設定できるように構成されている。2 段階は、一例として 0.5 A と、 1.0 A である。電流リミットの値は、エージング工程、モジュール最終検査工程で切り替えて設定する。

10

【0713】

コマンド IMN が 0 の時は、 V_{ss} 電圧の電流リミット機能によるリミット電流 (A) は、 0.5 A であり、コマンド IMN が 1 の時は、 V_{ss} 電圧の電流リミット機能によるリミット電流 (A) は、 1.0 A である。

【0714】

コマンド IMP が 0 の時は、 V_{ss} 電圧の電流リミット機能によるリミット電流 (A) は、 0.5 A であり、コマンド IMP が 1 の時は、 V_{ss} 電圧の電流リミット機能によるリミット電流 (A) は、 1.0 A である。

【0715】

以上のように、リミット電流は、 V_{dd} と V_{ss} とで個別に設定することができる。また、実施例では、リミット電流の設定値は、 0.5 A と 1.0 A の 2 段階であるが、これに限定するものではなく、3 段階以上であってもよい。

20

【0716】

電流リミット機能は、 EL 表示装置を検査又は調整する工程で使用する。例えば、 EL 表示装置を出荷検査において、リミット電流を 0.5 A に設定する。通常の動作の設定値は、 1.0 A とする。リミット電流を 0.5 A に設定し、調整画像を EL 表示装置に表示する。

【0717】

EL 表示装置は、表示画像に対応して点灯領域に流れる電流が変化する。例えば、黒ラスタ表示では、表示画面に流れる電流は理想的には 0 A である。白ラスタ表示で、かつピーク電流抑制駆動が設定されていない場合は、最大電流が流れる。ピーク電流抑制駆動が動作している場合は、設定電流以上の電流は流れない。

30

【0718】

EL 表示装置では、画像の種類により、表示画面に流れる電流の大きさが変化する。したがって、 EL 表示装置の検査構成において、既知の電流がわかっている画像を順次、 EL 表示装置に表示することにより、電流リミット機能が動作しているかを判断できる。

【0719】

リミット電流を通常より、小さい値 (本実施例では、 0.5 A) に設定すると、例えば、画像 1 では、表示画面に流れる電流が 0.6 A 、画像 2 では、表示画面に流れる電流を 0.4 A とする。

40

【0720】

画像 1 を EL 表示装置に表示した時、電流リミット機能が動作しなければ、電流リミット機能が動作不良判断できる。一方、画像 2 を EL 表示装置に表示した時、電流リミット機能が動作すれば、電流リミット機能の異常又は、他の箇所での動作不良が発生している可能性があることを判断できる。また、ピーク電流抑制駆動が正常に動作しているかを判断できる。電流リミットの値は、コマンドにより変更設定することができる。コマンドにより、検査中に、電流リミットの値を可変し、 EL 表示装置の動作状態を検査できる。すなわち、複数あるリミット設定値を電源 $IC602$ に形成し、複数のリミット値から 1 つの電流リミット値を設定し、流れる電流が既知の画像を表示して、電流リミット機能の動作を見定める。

50

【0721】

duty比を大きくすれば、電源回路602に流れる電流が大きくなり、duty比を小さくすれば、電源回路602に流れる電流が小さくなり、また変化する。

【0722】

特に、本実施例は、電源回路602とEL表示パネルを一体として動作させ（同時に動作させ）、調整、エージングなどを行う。本実施例のEL表示装置は、電源回路602とEL表示パネルが一体化（接続完了）したものである。このように構成することにより、コネクタ751のピン数が少なくなり低コスト化を実現できる。また、理想的に輝度バラツキ、ホワイトバランス調整を実現できる。この実現のために、本実施例は電源回路602の出力オープン機能を有効に利用している。

10

【0723】

以上の実施例では、電源回路602に出力オープン機能を搭載するとしたが、本実施例はこれに限定するものではない。例えば、電源回路602のアノード出力端子とEL表示パネルのアノード配線761間にアナログスイッチ、リレー回路を配置してもよい。すなわち、電源回路602の外部にスイッチ回路などを配置又は形成してもよい。

【0724】

ソースドライバ回路14は、ゲートドライバ回路12に印加するスタートパルス（ST1、ST2）、クロック（CLK1、CLK2）、アップダウン（UD）を制御し、画像が表示される。ゲートドライバ回路12aは、1フレーム期間に1つのスタート信号ST1が印加され、ゲートドライバ回路12bは、duty駆動に対応するように、スタートパルスST2が印加される。

20

【0725】

アレイ基板755（EL表示パネル）に、フレキシブル基板756をACF接続することによりEL表示装置は完成する（図75も参照のこと）。フレキシブル基板756には、電源回路602、EEPROM753、フラッシュメモリ752などが実装される。テストトランジスタ754をオフさせる電圧VGH（テストトランジスタ754がNチャンネルトランジスタである場合は、電圧VGL）は、電源回路602から供給される。

【0726】

以上の実施例は、主として電源回路（電源IC）602が、VGH、VGL、Avdd、Dvdd、Vdd、Vssを発生するものであった。しかし、本実施例はこれに限定するものではない。

30

【0727】

図96（a）は、電源回路（電源IC）602がVddとVssの2電圧を発生し、他の電圧（Dvdd、Avdd、VGL、VGHなど）をソースドライバIC14で発生する構成である。Vdd、Vss電圧のオン/オフ制御は、ソースドライバIC14から、S-Wire信号線を介して行う。

【0728】

図96（b）は、電源回路（電源IC）602がVddとVss、Avddの3電圧を発生し、他の電圧（Dvdd、VGL、VGHなど）をソースドライバIC14で発生する構成である。Vdd、Vss電圧のオン/オフ制御は、ソースドライバIC14から、S-Wire信号線を介して行う。Avddは、ソースドライバIC14のアナログ電圧である。Avdd電圧は、ソースドライバIC14で発生することもできるし、図96（b）に図示するように、外部の電源回路（電源IC）602で発生させ、ソースドライバIC14に供給する構成とすることもできる。Avdd電圧は、Vdd電圧よりも0.2V以上1.0以下の範囲で高くする。また、Avddは、ソースドライバIC14の耐圧5.5Vを越えることが内容に設定する。このように構成することにより、ソースドライバIC14が出力する映像信号電圧Vsigの振幅範囲を広くすることができ、結果的に良好な画像表示を実現できる。

40

【0729】

図76、図77は、本実施例の電源回路の出力オープン機能を用いたEL表示装置の検

50

査、調整方法の説明図である。以下の実施例においても、画素構成は図 3 を例示して説明するが、これに限定するものではなく、電流駆動方式の画素構成、電圧駆動などのいずれの画素構成のいずれであってもよい。

【0730】

図 7 6 は、E L 表示装置の輝度及びホワイトバランス、コントラストの調整方法である。図 7 6 では、電源回路 6 0 2 の出力オープン機能を用いてスイッチ S W 1 をオフにしている。すなわち、カソード電圧 V_{ss} は、出力されず、出力端子はハイインピーダンス状態となる。カソード電圧 V_{ss} の出力端子のパッド P 1 に、プローブ 7 6 4 でプロービングしている。プローブ 7 6 4 を外部電源 $V_{ss t}$ 間には、電流を測定する電流計 7 6 3 を配置している。なお、調整時のカソード電圧 $V_{ss t}$ = 画像表示時のカソード電圧 V_{ss} とする。

10

【0731】

画素 1 6 の駆動トランジスタ 1 1 a が P チャンネルトランジスタの場合は、カソード電極をオフにして、カソード配線 7 6 2 の電流を測定する。画素 1 6 の駆動トランジスタ 1 1 a が N チャンネルトランジスタの場合は、アノード電極をオフにして、アノード配線 7 6 1 の電流を測定する。

【0732】

ソースドライバ回路 1 4 は、ゲートドライバ回路 1 2 を制御し、画像表示状態にする。基準電流 I_c の大きさは、通常の 1 倍とする。なお、基準電流の大きさに比例して、表示画面 3 1 の発光輝度が変化する。基準電流の大きさが 1 から 2 に変化すると、表示画面 3 1 の輝度は、2 倍になる。表示画面 3 1 で使用する電力も 2 倍となる。

20

【0733】

E L 表示装置において、表示画面 3 1 のカソード電流 I_s はカソード配線 7 6 2 に流れる。表示画面 3 1 のアノード電流はアノード配線 7 6 1 に流れる。

【0734】

図 7 6 の構成では、電源回路 6 0 2 のカソード電圧の出力端子は、オフであり、外部カソード電圧 $V_{ss t}$ が接続されているため、カソード配線 7 6 2 を流れる電流は、プローブ 7 6 4、電流計 7 6 3 を経由して外部カソード電圧 $V_{ss t}$ に流れる。したがって、電流計 7 6 3 で、表示画面 3 1 で使用する電流を測定することができる。カソード電流 I_s を測定するのは、カソード配線 7 6 2 を流れる電流は、表示画面 3 1 を流れる電流であるからである。アノード配線 7 6 1 を流れるアノード電流 I_p の一部は、ソースドライバ回路 1 4 にプログラム電流及び出力段回路を流れる。

30

【0735】

なお、 $V_{dd t}$ 、 $V_{ss t}$ は、検査又はエージング構成で外部から設定又は外部で発生機器からの電圧である。 $V_{dd t}$ 、 $V_{ss t}$ は、電圧値を可変する機能を有する。

【0736】

E L 表示装置は、カソード電流 I_s の大きさを発光輝度は比例の関係になる。したがって、カソード電流を測定することにより、表示画面 3 1 の発光輝度を把握することができる。以上のことから、カソード電流を所定の電流となるように調整することにより、表示画面 3 1 の発光輝度を調整することができる。

40

【0737】

なお、カソード電流など表示画面に流れる電流は、電流が流れる配線にピックアップ抵抗を配置して、前記ピックアップ抵抗の両端の電圧を測定できるように構成してもよい。以上の事項は、本実施例の他の電流を測定する方式においても同様に適用できる。

【0738】

図 7 6 の実施例では、表示画面 3 1 全体に流れるカソード電流を測定するとしたが、本実施例はこれに限定するものではない。例えば、表示画面 3 1 の一部又は所定面積に含まれる画素のカソード電流を測定するようにしてもよい。このカソード電流で表示画面 3 1 全体に流れるカソード電流を推定することができる。また、白ラスタ表示では、画面全体が同一輝度で表示されるため、一部であっても表示画面 3 1 全体の推定は容易だからで

50

ある。

【0739】

また、表示画面31を所定面積で分割し、各分割した領域でのカソード電流を測定することにより、表示画面31の特性分布を測定することができる。分割とは、画素列、画素行、マトリックス状が例示される。

【0740】

画素16が電圧プログラム方式の場合について説明する。カソード電流の大きさの調整（表示輝度の調整）は、表示画面31に印加する映像信号の階調番号（映像信号の大きさ）を一定値に設定し、ソースドライバIC14の振幅調整レジスタを制御させることにより行う。

【0741】

電源（回路）IC12はA_vd_d電圧、V_GH、V_GL、V_rs_t電圧などを適正に設定する。また、カソード電圧を測定できるように、カソード電圧V_ss端子をオフにする。

【0742】

振幅調整レジスタの制御により、上電圧と下電圧の階調アンプを変化させる。上電圧を設定する階調アンプを高く（V_dd電圧に近く）すると、低階調が対応する黒レベルを調整することができる。下電圧を設定する階調アンプを低く（G_ND電圧に近く）すると、高階調が対応する白レベルを調整することができる。本実施例では、出力階調を最大階調に設定し、下電圧の階調アンプを変化させる。カソード電流の値が、所望値となるように下電圧の階調アンプの値を調整する。

【0743】

下電圧を設定する階調アンプの出力電圧を低くすれば、カソード電流I_sも大きくなり、発光輝度も高くなる。したがって、カソード電流の大きさを電流計763で測定し、電流が所定値となったときに、調整完了とする。以上のことを、R_GBで行うことにより、ホワイトバランスの調整が可能になる。

【0744】

なお、電源回路602が出力する電圧V_GH、V_GL、V_ddは通常表示時の電圧にする。また、本実施例では、ゲートドライバ回路12aは、V_GH1、V_GL1電圧で動作させ、ゲートドライバ回路12bは、V_GH2、V_GL2 = G_ND電圧で動作させ、V_GH1 = V_GH2とする。

【0745】

以上の調整により、ホワイトバランス調整を実現でき、また、表示画面31の発光輝度調整を実現できる。E_L表示装置のコントラスト調整は、黒表示時に流れるカソード電流を調整することにより実現できる。

【0746】

カソード電流I_sの大きさの調整（表示輝度の調整）は、表示画面31に印加する最低階調番号に設定し、図10で説明した振幅調整レジスタ101を制御させることにより行う。振幅調整レジスタ101の制御により、階調アンプ102Hを変化させる。上電圧を設定する階調アンプの出力電圧を高く（V_dd電圧に近く）すると、黒レベルでのカソード電流I_sが減少する。上電圧を設定する階調アンプの出力電流を低くすると、カソード電流が増大する。カソード電流I_sの値が、所望値となったときに、調整完了とする。

【0747】

次に、画素16が電流プログラム方式の場合について説明する。カソード電流I_sの大きさの調整（表示輝度の調整）は、表示画面31に印加する映像信号の階調番号（映像信号の大きさ）を一定値に設定し、基準電流の大きさを変化させることにより行う。映像信号の階調番号（映像信号の大きさ）を一定値とは、通常最大階調番号である。基準電流の大きさを大きくすれば、カソード電流I_sも大きくなり、発光輝度も高くなる。したがって、カソード電流I_sの大きさを電流計763で測定し、電流が所定値となったときに、調整完了とする。

10

20

30

40

50

【0748】

以上のことを、RGBで行うことにより、ホワイトバランスの調整が可能になる。ホワイトバランス調整（輝度調整）を完了した基準電流を I_k とする。基準電流 I_k は、RGBで個別設定（赤（R）は I_{kr} 、緑（G）は I_{kg} 、青（B）は I_{kb} ）する。

【0749】

カソード電流 I_s の大きさの調整（表示輝度の調整）は、表示画面31に印加する映像信号の階調番号（映像信号の大きさ）を一定値に設定する。

【0750】

基準電流の大きさは、ホワイトバランスを調整した設定値 I_k （赤（R）は I_{kr} 、緑（G）は I_{kg} 、青（B）は I_{kb} ）を維持（保持）したまま行う。

10

【0751】

黒レベルでの映像信号の階調番号（映像信号の大きさ）は最低階調である。電流駆動では、最低階調では、プログラム電流は0である。黒レベルの調整は、ソースドライバIC14の電圧発生回路から最低階調の電圧を画素16に印加する。最低階調の電圧は、上電圧を発生する階調アンプが出力する電位を変化させて行う。この状態で、カソード電流の大きさを電流計763で測定し、電流が所定値となったときに、調整完了とする。

【0752】

以上の事項は、図1、図4、図5、図10、図11、図25、図29、図31、図33、図35、図37、図42、図46、図52、図54、図55、図58、図59、図86、図90、図91、図92、図93、図94、図95、図113、図123、図124～図128などのEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

20

【0753】

以上の事項は他の実施例においても同様である。例えば、図12、図13、図61、図75、図76、図77、図78、図79、図83、図84、図85、図98、図99、図100、図101などの方法あるいは方式、図7、図8、図9、図60、図83、図96、図102、図103、図104、図106、図107、図108、図109、図110、図111、図112、図129の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせて実施することができることは言うまでもない。

30

【実施例5】

【0754】

本発明の実施例5について説明する。

【0755】

本実施例の電源回路（電源IC）602は、図62、図97に図示するように、カソード電圧 V_{ss} をコマンドで変更することができる。図97では、（コマンド）データ0～31（5bit）で、 V_{ss} 電圧は、-2.0～-5.1Vまで可変する設定である。可変の電圧キザミは、0.1V以下にする。0.1Vを越えると電圧を可変した際に、表示画面31の輝度が発生してしまうからである。

【0756】

40

カソード電圧 V_{ss} の変更は、図96に図示して説明したように、S-Wire信号により実施する。

【0757】

カソード電圧 V_{ss} の変更は、少なくとも0.1V以下のステップで実施する。この実施方法を図98に図示している。図98（a）に図示するように、パネル温度（パネルの表示領域の温度、広義には、パネルモジュール温度である。）

なお、温度センサ711は、ソースドライバIC14に内蔵させる。ソースドライバIC14は内蔵された温度センサ711の出力電圧などをアナログ-デジタル（DA）変換して温度データを取得し、S-Wire信号線を介して、温度変更データ（図97を参照）を電源回路（電源IC）602に転送し、カソード電圧 V_{ss} などを変更あるいは可変

50

する。また、温度センサ 711 は、電源回路（電源 IC）602 に内蔵してもよい。また、パネルモジュール 34 にいずれかの箇所に温度センサ 711 を配置してもよい。

【0758】

また、温度センサ 711 は、温度に対する出力が線形に出力にするものに限定されるものではない。デジタル的に階段状に出力が変化するものであってもよい。また、所定の温度に対して、出力が変化するものであってもよい。例えば、温度 0 までは、出力値が 0（ロジック電圧）で、温度が 0 より小さくなると、1（ロジック電圧）に変化するものを採用してもよい。

【0759】

カソード電圧 V_{ss} は、パネル温度（ ）が低下すると、低下させる。アノード電圧 V_{dd} は、一定値を保持している。したがって、アノード電圧 V_{dd} とカソード電圧 V_{ss} との絶対値を、パネル温度が低下すると大きくしている。これは、EL 素子 15 の端子間電圧が、EL 素子 15 の温度が低下すると、大きくなるからである。

【0760】

本実施例の駆動方法では、図 98 の a 点以上の温度で、EL 素子 15 が発光に必要な端子間電圧（アノード - カソード電圧）に設定している。電圧マージンはほとんどない。パネル温度が低下すると、EL 素子 15 の端子間電圧が大きくなる。したがって、端子間電圧の電圧マージンがないため、そのままでは、EL 素子 15 の発光輝度が低下する。そこでパネル温度に基づいて、カソード電圧 V_{ss} を低下させるのである。

【0761】

図 98 の実施例では、カソード電圧 V_{ss} は、a 点以上の温度で一定にし、b 点以下の温度で一定にしている。a 点及び b 点のパネル温度は、EEPROM 753（図 75）などにメモリしておき、使用する。また、a 点、b 点の値は可変できるように構成する。図 98、図 99 ではカソード電圧 V_{ss} の可変した一例として、実線及び点線で図示している。もちろん、アノード電圧 V_{dd} を温度センサ 711 の出力データ（出力値）に基づいて可変してもよいことは言うまでもない。

【0762】

また、図 98、図 99 において、グラフの横軸を温度としたが、温度をホトセンサ 840 の出力データ（出力値）と置き換えても良い。ホトセンサ 840 の出力データ（出力値）に基づいて、アノード電圧 V_{dd} 、カソード電圧 V_{ss} 、 V_{GH} 、 V_{GL} 、 A_{vdd} などを変化させる。

【0763】

なお、以上の実施例は、ソースドライバ IC 14 に温度センサ 711 を内蔵させるとしたが、これに限定するものではなく、温度センサ 711 は、図 71 に図示するように、電源回路（電源 IC）602（若しくはソースドライバ IC 14）の外部にサーミスタなどの温度センサ 711 を配置又は形成し、温度センサ 711 の出力電圧などをアナログ - デジタル（DA）変換して温度データを取得し、カソード電圧 V_{ss} などを変更あるいは可変してもよい。

【0764】

また、図 83 に図示するように、パネルモジュール回路 830 に温度センサ 711 を内蔵し、温度センサ 711 の出力結果により、カソード電圧 V_{ss} を可変することを実施してもよい。また、duty 制御、最大使用階調制御を実施してもよい。

【0765】

また、本実施例において、カソード電圧 V_{ss} とアノード電圧 V_{dd} のうち、少なくとも一方を変化させるとした。しかし、図 98、図 99 に図示しているように、本実施例はこれに限定するものではなく、 V_{GH} 電圧、 V_{GL} 電圧をカソード電圧 V_{ss} 又はアノード電圧 V_{dd} の変化に伴って、変化させてもよい。例えば、一例としてカソード電圧 V_{ss} が -4 V の時で、 V_{GL} 電圧が、-4.5 V である場合において、カソード電圧 V_{ss} を -5 V に変化させる場合は、 V_{GL} 電圧を -5.5 V に変化させてもよい。また、 V_{GH1} 電圧、 V_{GH2} 電圧、 V_{GL1} 電圧、 V_{GL2} 電圧は独立に可変することが好ましい

10

20

30

40

50

ことは言うまでもない。

【0766】

また、ソースドライバ回路14のアナログ電圧 A_{vd} も変化させてもよい。例えば、アノード電圧 V_{dd} が+5Vの時で、 V_{GH} 電圧が、+6.0Vである場合において、アノード電圧 V_{dd} を+5.5Vに変化させる場合は、 V_{GH} 電圧を+6.5Vに変化させてもよい。

【0767】

パネル温度が低下すると、カソード電圧 V_{ss} を低くする。したがって、パネル温度が低下すると、パネルモジュールとして電力が増大する。電力の増大は、電源回路(電源IC)602の容量マージンがなくなることと意味し、また、パネルの過熱を引き起こすこととなる。

10

【0768】

本実施例は、これに対応するために、図98(b)に図示しているように、パネル温度に対応して(基づいて)、 $duty$ 駆動を実施している。 $duty$ 駆動は、図12、図13、図83、図84などを用いて説明をしているので、ここでは説明を省略する。

【0769】

図98(b)の実線の実施例では、パネル温度が-20以下で、 $duty$ 比を6/8としている。パネル温度が40以上では、 $duty$ 比は $8/8=1$ であるから、-20では、パネルの表示領域31に流れる電流は、理論的には6/8となる。したがって、カソード電圧 V_{ss} を低温度で低下させても、合わせて $duty$ 駆動を実施するため、パネルの流れる電流は増大することがなく、パネルが過熱することもなく、また、電源回路(電源IC)602の電源容量はパネル温度が、40以上の場合の容量を確保すればすむ。

20

【0770】

図98(b)の実線の実施例では、 $duty$ 比は、c点以上の温度で $duty$ 比=8/8と一定にし、また、e点以下の $duty$ 比=6/8と一定にしている。c点及びe点のパネル温度と $duty$ 比は、EEPROM753(図75)などにメモリしておき、使用する。またc点、e点の値は可変できるように構成する。また、図98(b)の点線で示すような $duty$ 駆動を実施してもよい。この場合も、d点のパネル温度と $duty$ 比は、EEPROM753(図75)などにメモリしておき、使用する。またd点の値は可変できるように構成する。

30

【0771】

図98の実施例は、温度()に対して、 $duty$ 比を変化させることにより、パネルの表示領域31に流れ込む電流を制御するものであった。しかし、本実施例はこれに限定するものはない。図99(b)は、最大に使用する階調でパネルに流れる電流を制御するものである。最大使用階調数による制御は、図84でも説明を行っている。

【0772】

以上のように、本実施例は温度センサ711を具備し、温度センサ711に出力結果に基づき、 $duty$ 駆動(図84、図98)を実施する。また、温度センサ711に出力結果に基づき、最大使用階調数を制御する駆動(図84、図99)を実施する。また、本実施例は温度センサ711を具備し、温度センサ711に出力結果に基づき、 $duty$ 駆動(図84、図98)、最大使用階調数を制御する駆動(図84、図99)の両方を同時に実施する駆動方式である。

40

【0773】

図99(b)の実線の実施例では、パネル温度が40以上で、最大使用階調(最大表示階調)を1024としている。つまり、10bitのフルレンジを用いて画像表示を行う。この場合は、表示領域31に流れる電流は抑制されない。パネル温度が-20以下では、最大使用階調(最大表示階調)を768としている。したがって、ガンマカーブが2乗特性あれば、表示領域31に流れる電流は1/2近くに抑制できる場合がある。したがって、カソード電圧 V_{ss} を低温度で低下させても、合わせて最大使用階調(最大表示

50

階調)制御(駆動)を実施するため、パネルの流れる電流は増大することがなく、パネルが過熱することもなく、また、電源回路(電源IC)602の電源容量はパネル温度が、40 以上の場合の容量を確保すればすむ。

【0774】

図99(b)の実線の実施例では、c点以上の温度で最大使用階調(最大表示階調)=1024と一定にし、また、e点以下の最大使用階調(最大表示階調)=768と一定にしている。c点及びe点のパネル温度と最大使用階調(最大表示階調)は、EEPROM753(図75)などにメモリしておき、使用する。またc点、e点の値は可変できるように構成する。また、図99(b)の点線で示すような最大使用階調(最大表示階調)制御を実施してもよい。この場合も、d点のパネル温度と最大使用階調(最大表示階調)は、EEPROM753(図75)などにメモリしておき、使用する。またd点の値は可変できるように構成する。

10

【0775】

なお、以上の実施例は、ソースドライバIC14に温度センサ711を内蔵させるとしたが、これに限定するものではなく、温度センサ711は、図71に図示するように、電源回路(電源IC)602(若しくはソースドライバIC14)の外部にサーミスタなどの温度センサ711を配置又は形成し、温度センサ711の出力電圧などをアナログ-デジタル(DA)変換して温度データを取得し、カソード電圧Vssなどを変更あるいは可変してもよい。また、図83に図示するように、パネルモジュール回路830に温度センサ711を内蔵し、温度センサ711の出力結果により、カソード電圧Vssを可変することを実施してもよい。また、duty制御、最大使用階調制御を実施してもよい(図98、図99)。

20

【0776】

また、温度センサ711の出力結果を画面の明るさ制御(図100、図101)と連動させてもよい。例えば、温度が-20 以下と低く、パネルの消費電力が大きい場合で、周囲照度が低い(ホトセンサ840の出力が小さい)場合は、図98で指定するduty比よりも小さくする(例えば、duty比6/8を5/8とする)。また、図99で指定する最大表示(使用)階調を小さくする(例えば、最大表示階調768を650)ことが例示される。

30

【0777】

以上の事項は、図1、図4、図5、図10、図11、図25、図29、図31、図33、図35、図37、図42、図46、図52、図54、図55、図58、図59、図86、図90、図91、図92、図93、図94、図95、図113、図123、図124~図128などのEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

【0778】

以上の事項は他の実施例においても同様である。例えば、図12、図13、図61、図75、図76、図77、図78、図79、図83、図84、図85、図98、図99、図100、図101などの方法あるいは方式、図7、図8、図9、図60、図83、図96、図102、図103、図104、図106、図107、図108、図109、図110、図111、図112、図129の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせて実施することができることは言うまでもない。

40

【実施例6】

【0779】

本発明の実施例6について説明する。

【0780】

図130にホトセンサ711の出力結果に基づき、アノード電圧Vdd、カソード電圧Vssを可変した実施例を図示している。ホトセンサ711の出力値(出力データ)が10Lx以下と小さい場合は、表示画面31の輝度を低下させる。したがって、EL素子1

50

5 に流す最大電流は低下させることができる。そのため、アノード電圧 V_{dd} 、カソード電圧 V_{ss} 又は、アノード電圧 V_{dd} - カソード電圧 V_{ss} の電位差を小さくすることができる。

【0781】

一方、ホトセンサ 711 の出力値（出力データ）が $5000L_x$ 以上と大きい場合は、表示画面 31 の輝度を高くする。したがって、EL 素子 15 に流す最大電流は高くなるため、EL 素子 15 の端子間電圧も高くなる。そのため、アノード電圧 V_{dd} 、カソード電圧 V_{ss} 又は、アノード電圧 V_{dd} - カソード電圧 V_{ss} の電位差を大きくする。

【0782】

なお、図 130 の実施例は、最大表示階調数に対する制御の実施例であるが、図 98 のように、duty 駆動に対しても実施してもよい。また、図 98、図 99 の実施例とホトセンサ 711 の出力結果に基づく制御とを組み合わせてもよい。

【0783】

また、ホトセンサ 711 の反応時定数は、1 秒以上にすることが好ましい。

【0784】

以上のように、本実施例はホトセンサ 840 を具備し、ホトセンサ 840 に出力結果に基づき、duty 駆動（図 84、図 98）を実施する。また、ホトセンサ 840 に出力結果に基づき、最大（使用）表示階調数を制御する駆動（図 84、図 99）を実施する。また、本実施例はホトセンサ 840 を具備し、ホトセンサ 840 に出力結果に基づき、duty 駆動（図 84、図 98）、最大使用階調数を制御する駆動（図 84、図 99）の両方を同時に実施する駆動方式である。また、同時に、カソード電圧制御（図 97）を実施してもよい。

【0785】

なお、図 98 の実施例では、パネル温度に対応して（基づいて）、カソード電圧 V_{ss} を可変するとしたが、本実施例はこれに限定されるものではない。カソード電圧 V_{ss} を可変するのは、駆動トランジスタ 11a が P チャンネルトランジスタの場合である。駆動トランジスタ 11a が N チャンネルトランジスタである場合は、アノード電圧を可変する必要がある。つまり、本実施例は、パネル温度に対応させて、アノード電圧 V_{dd} とカソード電圧 V_{ss} のうち、少なくとも温度に対応させて可変するものである。また、アノード電圧 V_{dd} とカソード電圧 V_{ss} の電位差を温度に対応させて可変（調整あるいは設定）するものである。

【0786】

本実施例の駆動方法では、パネル温度が低下すると、EL 素子 15 の端子間電圧が大きくなり、EL 素子 15 の端子間電圧の電圧マージンがないため、EL 素子 15 の発光輝度が低下する。そこでパネル温度に基づいて、カソード電圧 V_{ss} を低下させるとした。しかし、カソード電圧 V_{ss} を低下させると、カソード電流は一定であるが、アノード電圧 V_{dd} - カソード電圧 V_{ss} の電位差が大きくなり、電力が増加する。そのため、パネル温度が低下すると、カソード電圧 V_{ss} を上昇させ（アノード電圧 V_{dd} - カソード電圧 V_{ss} の電位差を小さくし）、カソード電流を少なくして、EL 表示装置の電力増加を抑制する方式も考えられる。以上のように、本実施例の駆動方式は、パネル温度により、EL 表示装置（表示領域 31 で使用する）の電力を制御する駆動方式である。

【0787】

なお、以上の実施例では、パネル温度（EL 素子 15 の温度）が低下すると、EL 素子 15 の端子間電圧が大きくなるとした。しかし、パネル温度（EL 素子 15 の温度）が低下すると、EL 素子 15 の端子間電圧が小さくなる場合は、先の実施例と逆の制御を実施すればよいことは言うまでもない。以上のように、本実施例の駆動方式は、パネル温度により、EL 表示装置（表示領域 31 で使用する）の電力を制御する駆動方式である。

【0788】

以上の事項は、図 1 の画素構成の EL 表示パネルあるいは EL 表示装置だけではなく、他の画素構成（図 4、図 5、図 10、図 11、図 25、図 29、図 31、図 33、図 35

10

20

30

40

50

、図 37、図 42、図 46、図 52、図 54、図 55、図 58、図 59、図 86、図 90、図 91、図 92、図 93、図 94、図 95、図 113、図 123、図 124 ~ 図 128 など) の E L 表示パネルあるいは E L 表示装置にも適用できることは言うまでもない。

【0789】

以上の事項は他の実施例においても同様である。例えば、図 12、図 13、図 61、図 75、図 76、図 77、図 78、図 79、図 83、図 84、図 85、図 98、図 99、図 100、図 101 などの方法あるいは方式、図 7、図 8、図 9、図 60、図 83、図 96、図 102、図 103、図 104、図 106、図 107、図 108、図 109、図 110、図 111、図 112 図 129 の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせて実施することができることは言うまでもない。

10

【0790】

また、以上の実施例は、本明細書に記載した他の駆動方式、構成に適用できることは言うまでもない。また、E L 表示装置あるいは E L 表示パネルを用いた機器 (例えば、図 7、図 8、図 9 など) に適用できることは言うまでもない。

【0791】

本実施例の E L 表示装置は、図 83 にも図示しているように、外光の強弱を取得するホトセンサ 840 を具備している。ホトセンサ 840 の出力により外光 (基本的には、表示領域 31 を照明する光の強さ、表示領域 31 に入射する光) により、表示画面 31 の明るさを変化させる。図 100 に示すパネルの明るさとは、パネルの表示領域 31 の最大輝度が該当する。また、パネルの表示領域 31 から出射する光束量が該当する。

20

【0792】

図 100 のグラフの横軸は、ホトセンサ 840 の出力電流を電流 - 電圧変換を行い、アナログ - デジタル変換 (A/D 変換) を行ったものである。

【0793】

図 100 に図示するように、A/D 変換の値が、L1 より小さければ、パネルの明るさは、B1 する。A/D 変換の値が、L2 より小さければ、パネルの明るさは、B2 する。A/D 変換の値が、L3 より小さければ、パネルの明るさは、B3 する。A/D 変換の値が、L4 より小さければ、パネルの明るさは、B4 する。A/D 変換の値が、L4 より大きければ、パネルの明るさは、B5 する。L1 ~ L4 の個数、値及び B1 ~ B5 の個数、値は、EEPROM 753 (図 75) などにメモリしておき、使用する。

30

【0794】

外光は、急変することが多い。したがって、急な変化が発生しても、パネルの明るさが追従しないようにする必要がある。

【0795】

この課題に対応するため、図 101 に図示するように、外光照度 (外光の強さ) を加算平均 (実線で示す) し、加算平均した結果を移動平均 (点線で示す) 処理している。図 101 の実施例での移動平均は、2 つの加算平均の結果を用いて移動平均処理を行った例である。移動平均処理は、2 つデータの平均、3 つのデータの平均、6 つのデータの平均など、移動平均数は可変できるようにする。移動平均した結果を用いて、パネルの明るさを決定する。

40

【0796】

なお、図 83 に図示しているように、ホトセンサ 840 の出力に基づいて、duty 駆動、最大使用階調制御、基準電流制御、カソード (アノード) 電圧制御を実施する。つまり、図 100、図 101 の制御と図 83、図 84、図 98、図 99 などの制御を組み合わせる。

【0797】

なお、ホトセンサ 840 は、図 73 に図示するように、電源回路 (電源 IC) 602 に作用させて、電源回路 (電源 IC) 602 の出力電圧 (アノード電圧、カソード電圧) などを可変してもよい (図 97)。また、図 96 に図示するように、ホトセンサ 840 の出

50

力をソースドライバIC14に取り込み、ソースドライバIC14でホトセンサ840の出力電流（電圧）をAD変換してもよい。ソースドライバIC14は、AD変換結果に基づき、duty駆動、最大使用階調制御、基準電流制御、ガンマカーブ制御、カソード電圧（アノード電圧）制御を実施する（図12、図13、図62、図84、図97、図98、図99、図100、図101）。

【0798】

また、以上の実施例は、本明細書で記載した他の駆動方式、構成に適用できることは言うまでもない。また、EL表示装置あるいはEL表示パネルを用いた機器（例えば、図7、図8、図9など）に適用できることは言うまでもない。

【0799】

また、ホトセンサ840の出力結果に基づいて、ガンマカーブを変化することも有効である。特にEL表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。EL表示パネルは自発光のためである。そこで、外光の強弱に対応させて、ガンマカーブを変化させてもよい。ガンマカーブの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにしてもよい。ガンマカーブは、外光が強い時は、ガンマ乗数を小さくし、画面全体を明るくする。

【0800】

なお、外光の強弱に対応させて、ガンマカーブを切り替えとしたが、これに限定するものではない。図83の演算回路（加算、重み付けなど）の機能を用いて、ガンマカーブを変更してもよいことは言うまでもない。

【0801】

また、パネルの明るさは、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、duty比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のduty比カーブ（図84、図98とその説明などを参照のこと）から1つを選択できるように構成することが好ましい。

【0802】

なお、duty比カーブなどの選択は、APLレベル、最大輝度（MAX）、最小輝度（MIN）、輝度の分布状態（SGM）の1つあるいは複数を加味して行うことが好ましいことは言うまでもない（図82、図83、図84とその説明を参照のこと）。

【0803】

本実施例の表示パネル（表示装置）において、ブライトネス調整は、duty比制御あるいは基準電流比制御、最大使用階調制御などにより実施する。また、外光の強さをホトセンサで検出し、オートマチックに調整する方式でもよい。以上の事項は、コントラスト調整などにも適用できることは言うまでもない。また、duty比制御にも適用できることは言うまでもない。また、図99で説明した最大表示階調の駆動方式も適用できることは言うまでもない。

【0804】

以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、他の画素構成（図4、図5、図10、図11、図25、図29、図31、図33、図35、図37、図42、図46、図52、図54、図55、図58、図59、図86、図90、図91、図92、図93、図94、図95、図113、図123、図124～図128など）のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

【0805】

以上の事項は他の実施例においても同様である。例えば、図12、図13、図61、図75、図76、図77、図78、図79、図83、図84、図85、図98、図99、図100、図101などの方法あるいは方式、図7、図8、図9、図60、図83、図96、図102、図103、図104、図106、図107、図108、図109、図110

10

20

30

40

50

、図 1 1 1、図 1 1 2、図 1 2 9 の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせて実施することができることは言うまでもない。

【 0 8 0 6 】

また、以上の実施例は、本明細書に記載した他の駆動方式、構成に適用できることは言うまでもない。また、E L 表示装置あるいは E L 表示パネルを用いた機器（例えば、図 7、図 8、図 9 など）に適用できることは言うまでもない。

【実施例 7】

【 0 8 0 7 】

本発明の実施例 7 について説明する。

10

【 0 8 0 8 】

次に、本実施例の駆動方式を実施する E L 表示装置を表示ディスプレイとして用いた実施例 7 の表示機器（E L 表示装置）について説明をする。

【 0 8 0 9 】

図 7 は E L 表示装置の一例である情報端末装置の携帯電話の平面図である。筐体 7 3 にアンテナ 7 1 などに取り付けられている。7 2 a は、表示画面の明るさを変化させる切換キー、7 2 b は電源オン / オフキー、7 2 c がゲートドライバ回路 1 2 b の動作フレームレートを切り替えるキーである。7 5 はホトセンサである。ホトセンサ 7 5 は、外光の強弱にしたがって、d u t y 比などを変化させて、表示画面 2 2 の輝度を自動調整する。

【 0 8 1 0 】

20

図 8 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 8 3 とビデオカメラ本体 7 3 と具備している。本実施例の E L 表示パネルは表示モニター 7 4 としても使用されている。表示画面 2 2 は支点 8 1 で角度を自由に調整できる。表示画面 2 2 を使用しない時は、格納部 8 3 に格納される。

【 0 8 1 1 】

本実施例の E L 表示パネルあるいは E L 表示装置などはビデオカメラだけでなく、図 9 に示すような電子カメラにも適用することができる。本実施例の E L 表示装置はカメラ本体 9 1 に付属されたモニター 2 2 として用いる。カメラ本体 9 1 にはシャッター 9 3 の他、スイッチ 7 2 a、7 2 c が取り付けられている。

【変更例】

30

【 0 8 1 2 】

本発明の変更例について説明する。

【 0 8 1 3 】

なお、本明細書で説明した本実施例の技術的思想は相互に組み合わせることができる。例えば、図 1 のコンデンサ 1 9 b を形成する実施例と、図 1 6 の複数のソース信号線を形成した実施例の組み合わせが例示される。また、図 1 のコンデンサ 1 9 b を形成する実施例と、図 3 1 の電流源 3 1 2 を使用する実施例との組み合わせが例示される。

【 0 8 1 4 】

また、図 1 のコンデンサ 1 9 b を形成する実施例と、図 3 2 のコンデンサ 1 9 b を形成する実施例との組み合わせが例示される。また、図 1 のコンデンサ 1 9 b を形成する画素構成の実施例、図 4 5、図 4 8 の駆動方法との組み合わせが例示される。

40

【 0 8 1 5 】

また、図 3 1 と図 4 2 あるいは図 4 5 の構成の組み合わせが例示される。また、図 5 に図示して説明しているように、リセット電圧 V_{rst} を前段（1 つ前の画素行）の映像信号電圧を書き込むゲート信号線 1 7 a が選択されたとき、リセット電圧 V_{rst} が該当画素に書き込む構成あるいは方式は、本発明の他の実施例に適用できることも言うまでもない。

【 0 8 1 6 】

以上、2 つの組み合わせだけでなく、3 つ以上の技術的思想の組み合わせが例示される。例えば、図 5 と図 4 と図 5 5 の組み合わせが例示される。図 5 と図 4 2 と図 1 3 の組み

50

合わせも例示される。以上のように本発明は本明細書に記載された実施例と適時組み合わせることで他の実施例を構成できる。

【0817】

また、画素構成あるいは駆動方法だけでなく、例えば、図6あるいは図3にドライバ構成なども適時、各構成あるいは駆動方法に組み合わせることができる。また、画素構成あるいは駆動方法だけでなく、図12あるいは図13に他の駆動方法なども適時、各構成あるいは駆動方法に組み合わせることができる。

【0818】

以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、他の画素構成（図4、図5、図10、図11、図25、図29、図31、図33、図35、図37、図42、図46、図52、図54、図55、図58、図59、図86、図90、図91、図92、図93、図94、図95、図113、図123、図124、図125、図126、図127、図128など）のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

10

【0819】

以上の事項は他の実施例においても同様である。例えば、図12、図13、図14～図41、図61、図75、図76、図77、図78、図79、図83、図84、図85、図98、図99、図100、図101などの方法あるいは方式、図7、図8、図9、図60、図83、図96、図99、図100、図101、図102、図103、図104、図106、図107、図108、図109、図110、図111、図112、図129の構成あるいは構造あるいは方法に関しても先に例示したあるいは本明細書に記載した画素構成と組み合わせることで実施することができることは言うまでもない。

20

【0820】

なお、以上の構成あるいは駆動方法、また複数の構成あるいは駆動方法を組み合わせたものを図7、図8、図9などに適用したものも本発明の範疇である。

【産業上の利用可能性】

【0821】

本発明に係るEL表示装置は、オフセットキャンセル期間を十分に確保できるため、良好なオフセットキャンセルを実現できる。そのため、駆動トランジスタ11aの特性バラツキが発生しても、特性バラツキをキャンセルすることができ、良好な画像表示を実現できる。

30

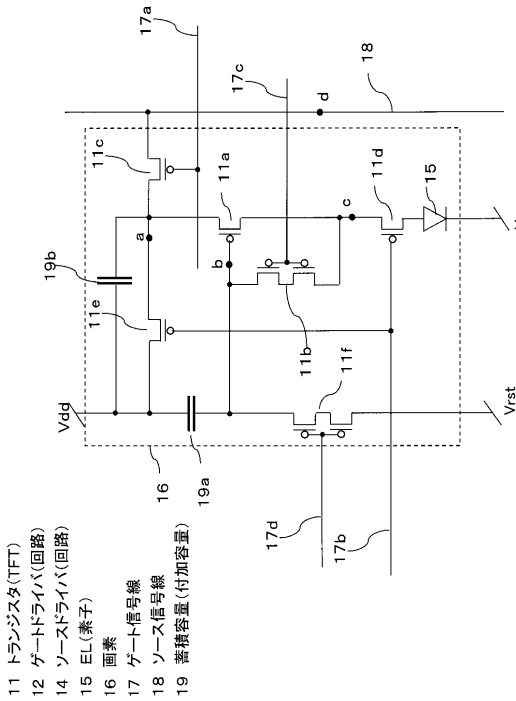
【符号の説明】

【0822】

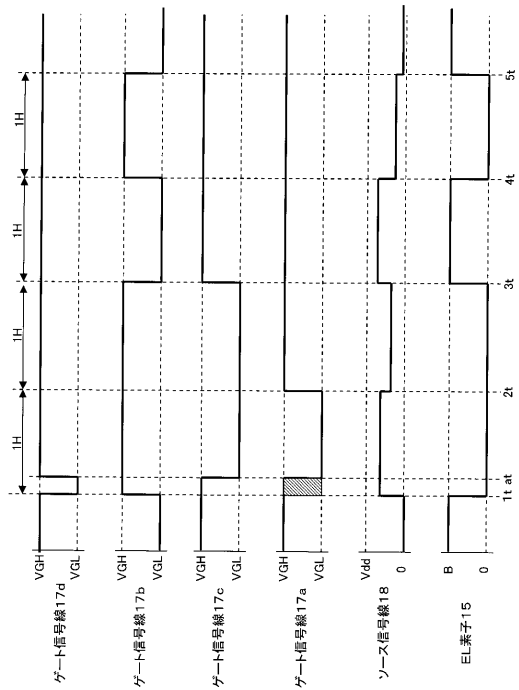
- 11 トランジスタ（TFT）
- 12 ゲートドライバIC（回路）
- 14 ソースドライバ回路（IC）
- 15 EL（素子）
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量（付加コンデンサ、付加容量）
- 31 表示画面
- 32 レベルシフト回路
- 51 インバータ回路
- 71 アンテナ
- 72 キー
- 73 筐体
- 74 表示パネル
- 75 ホトセンサ

40

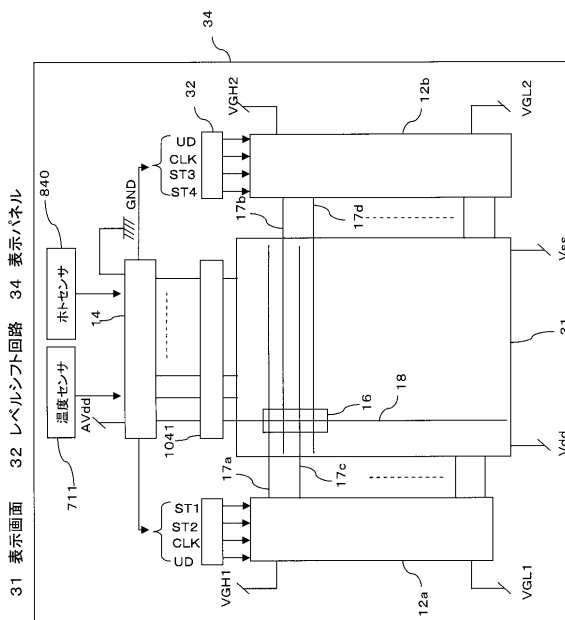
【図 1】



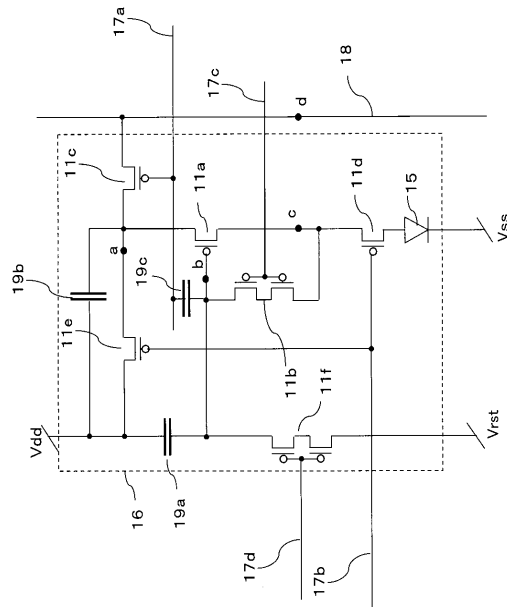
【図 2】



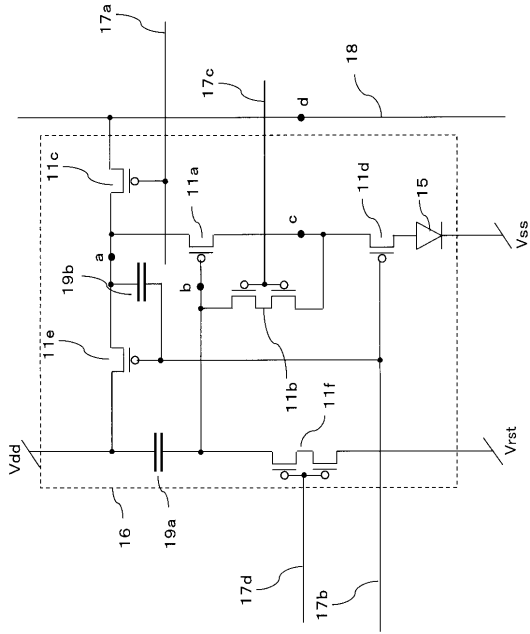
【図 3】



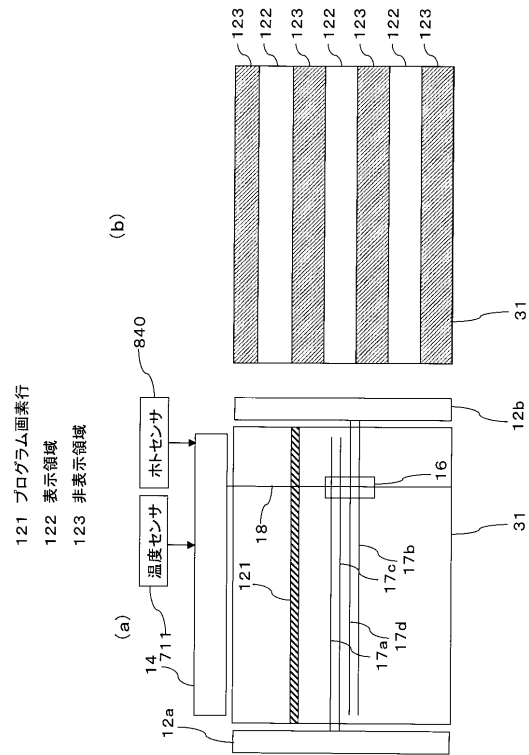
【図 4】



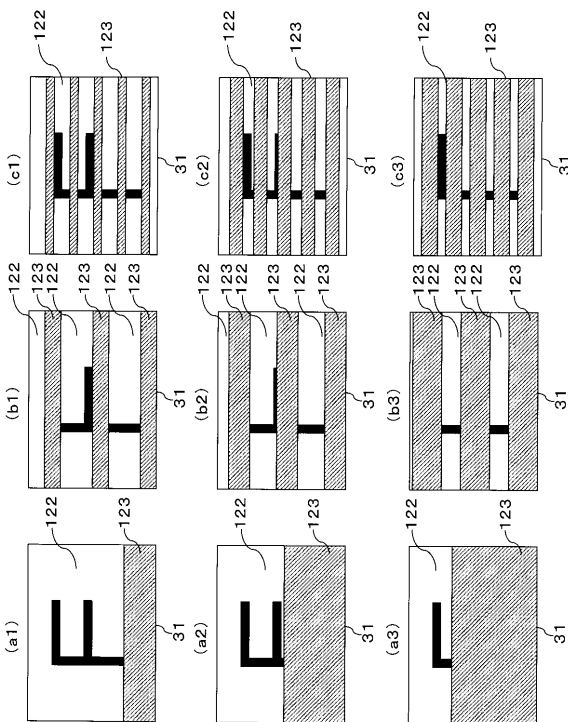
【 図 1 1 】



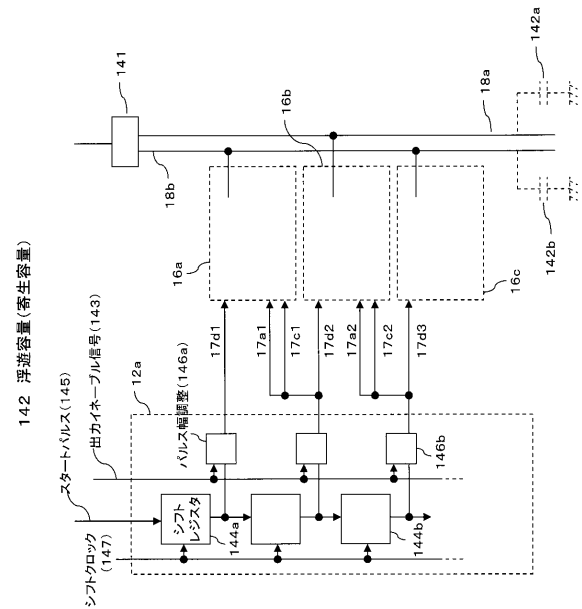
【 図 1 2 】



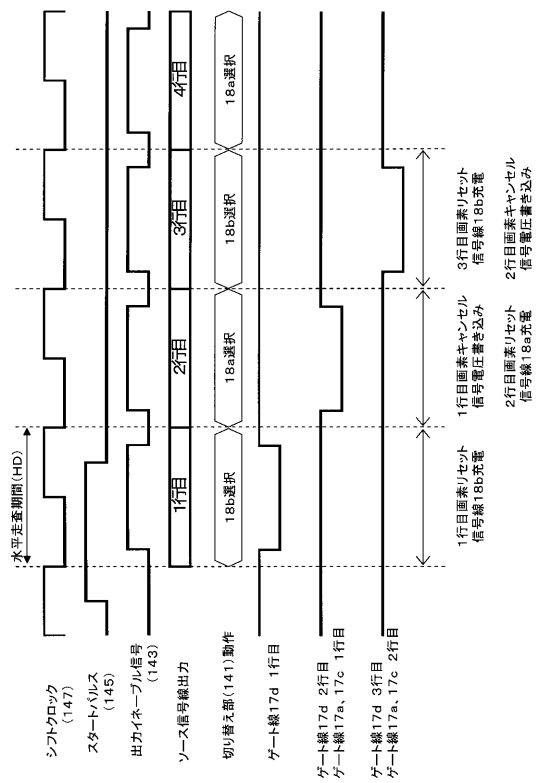
【 図 1 3 】



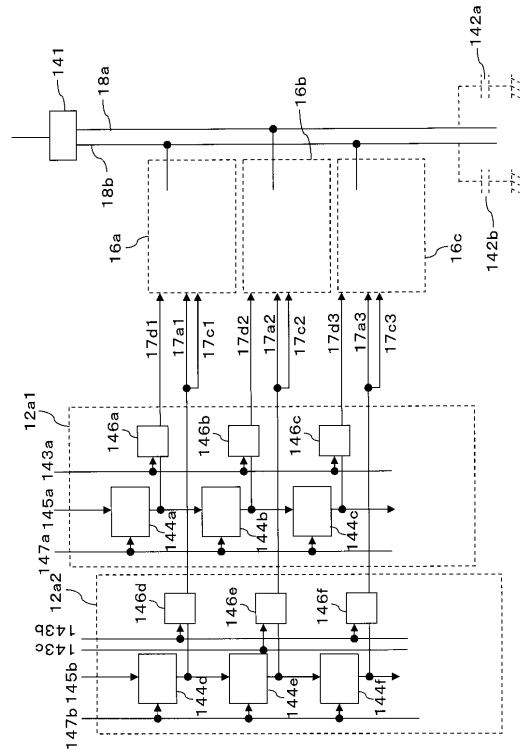
【 図 1 4 】



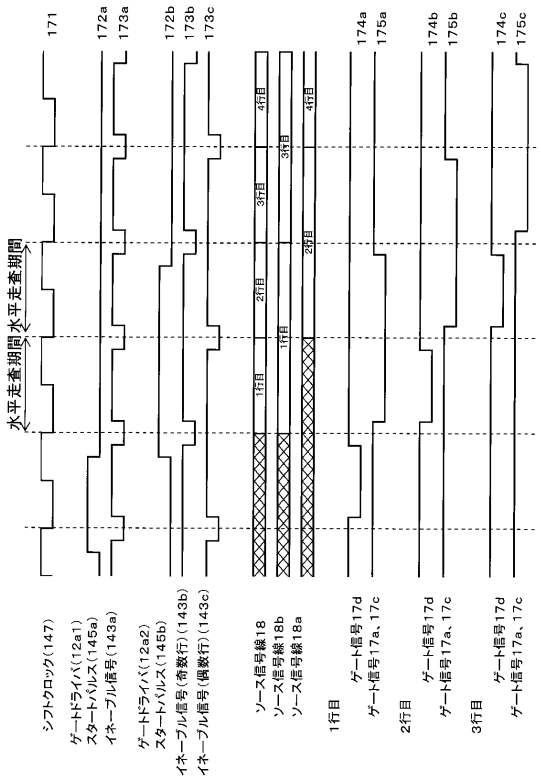
【図 15】



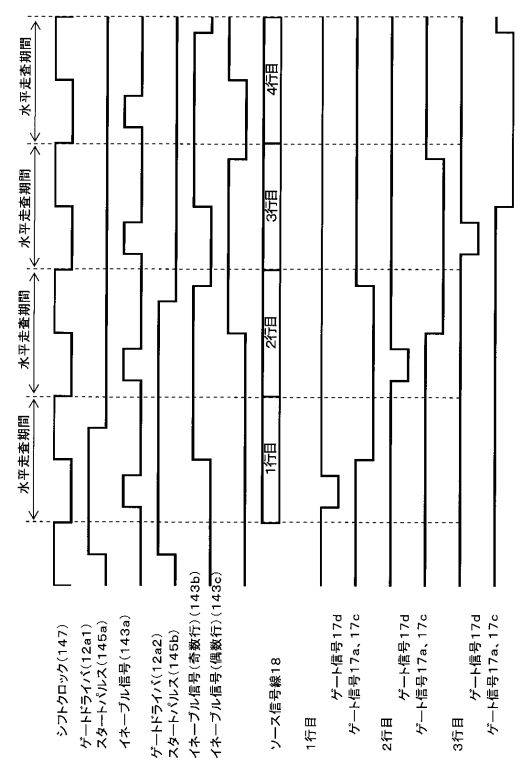
【図 16】



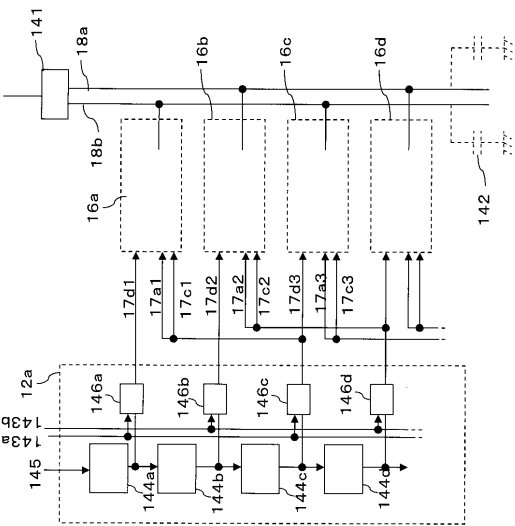
【図 17】



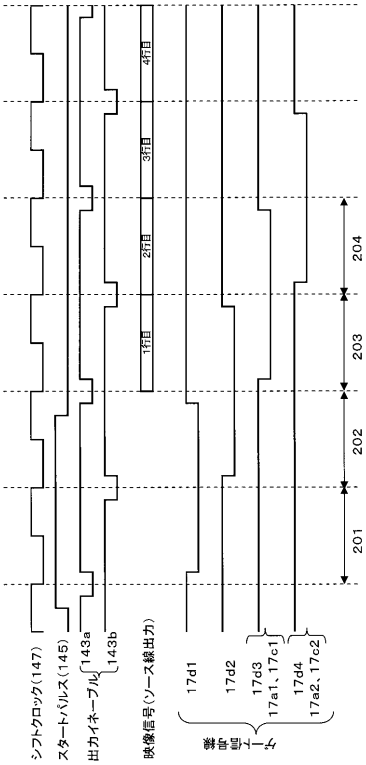
【図 18】



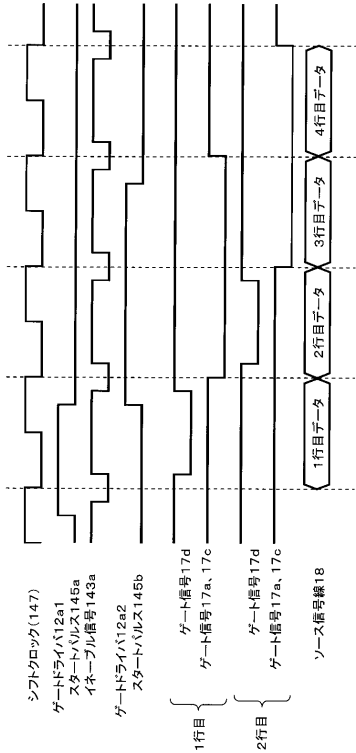
【図 19】



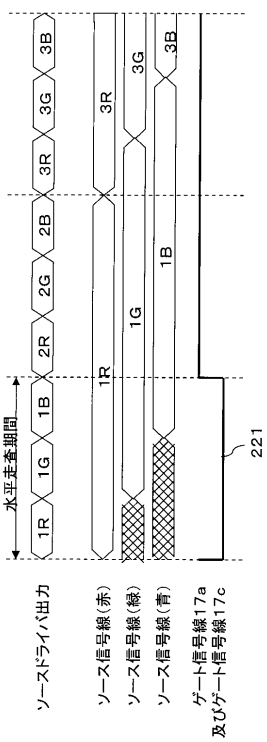
【図 20】



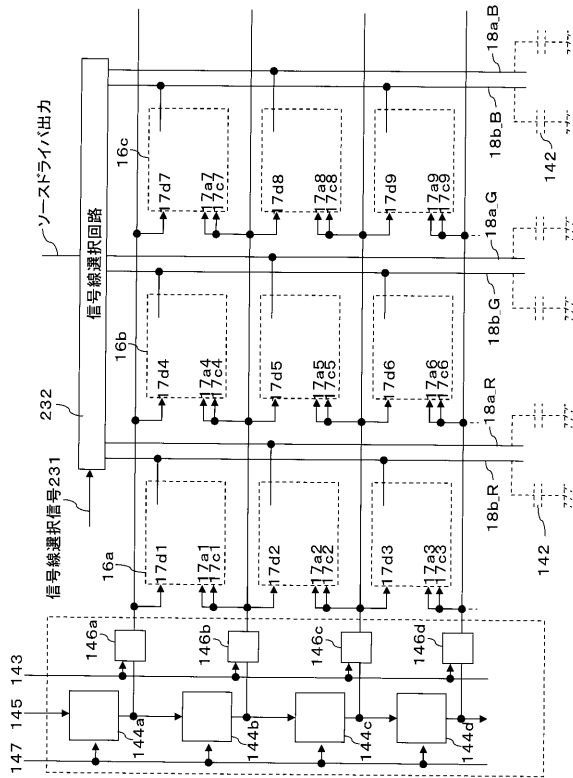
【図 21】



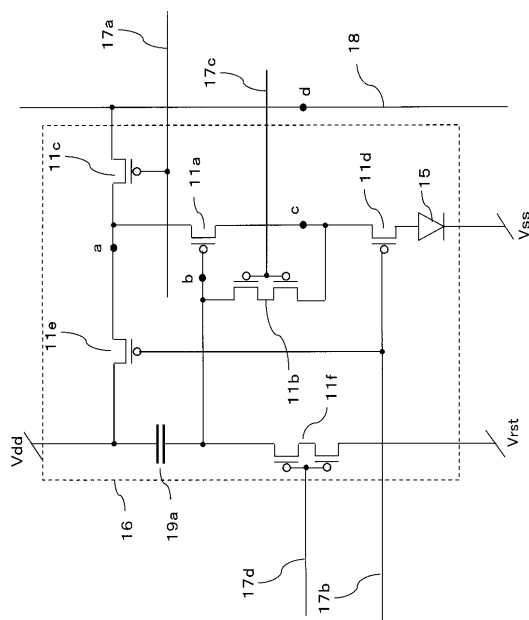
【図 22】



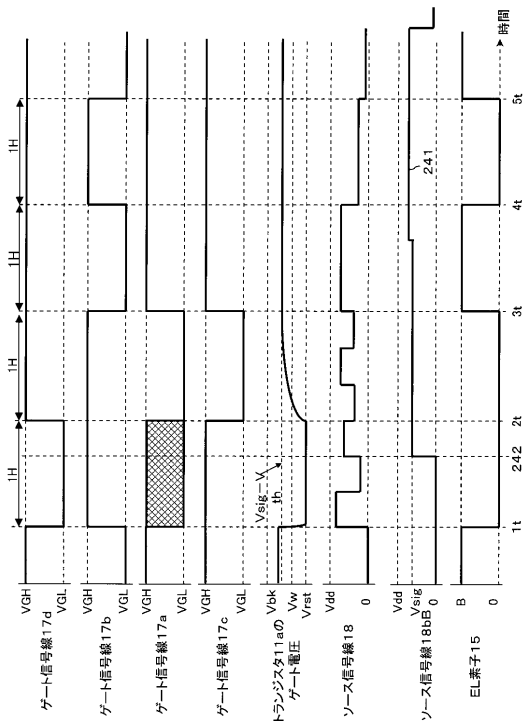
【図 2 3】



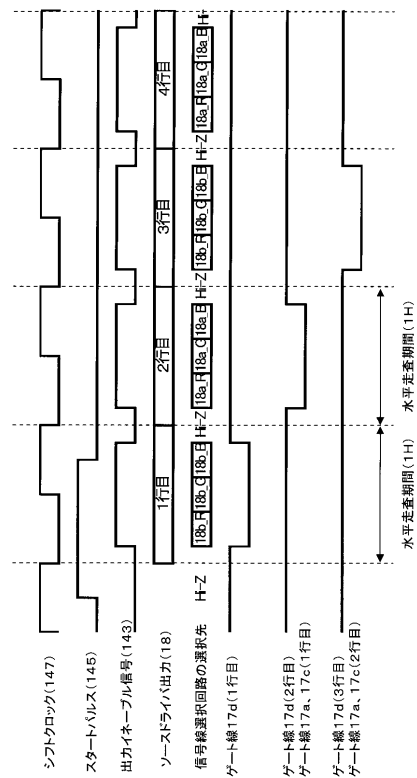
【図 2 5】



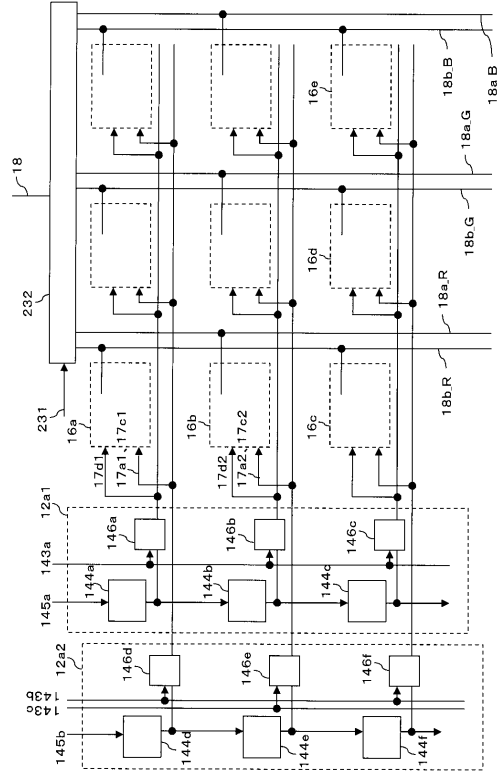
【図 2 4】



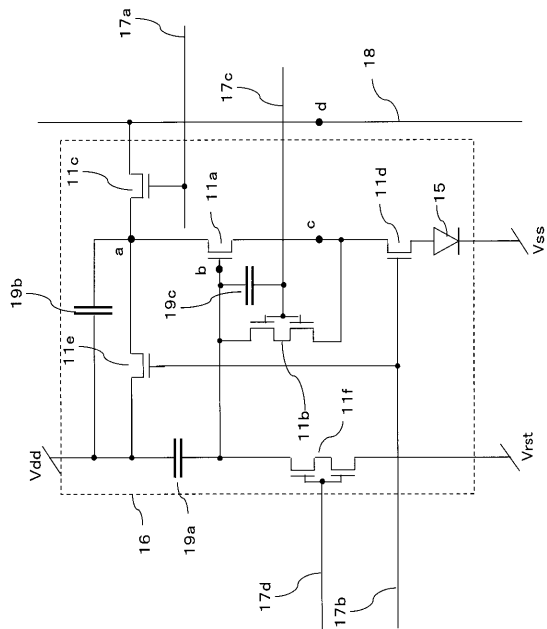
【図 2 6】



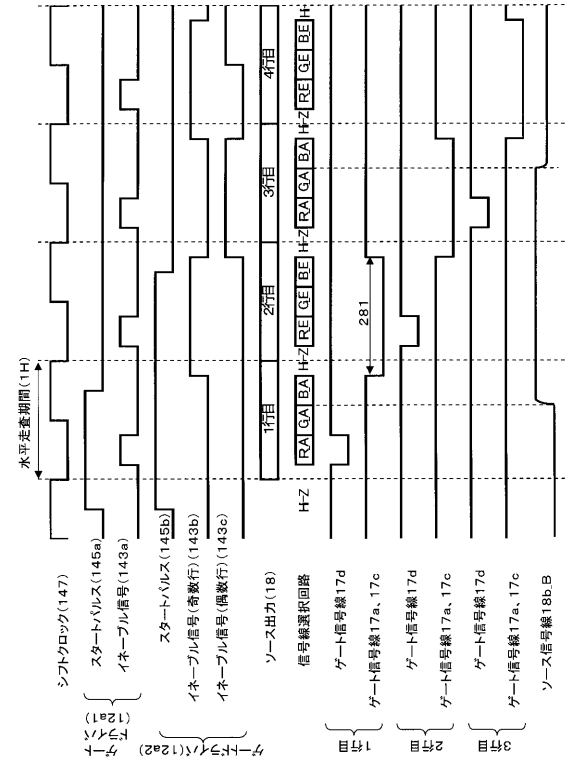
【図 27】



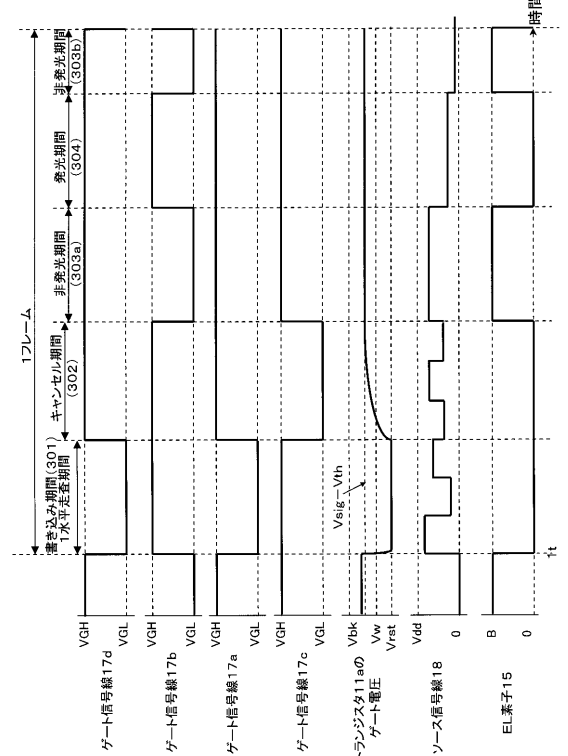
【図 29】



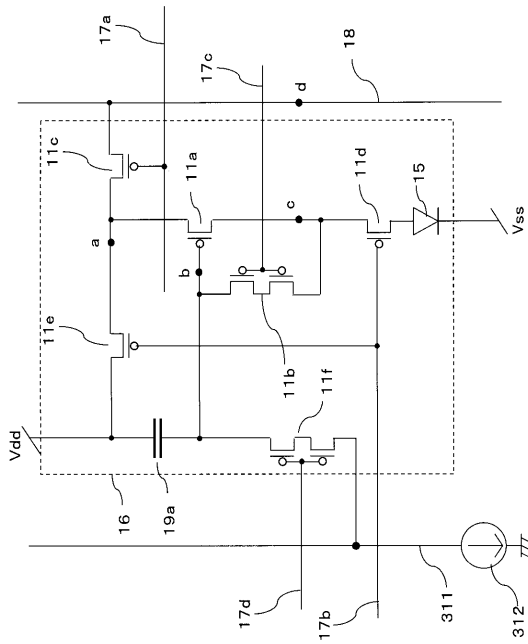
【図 28】



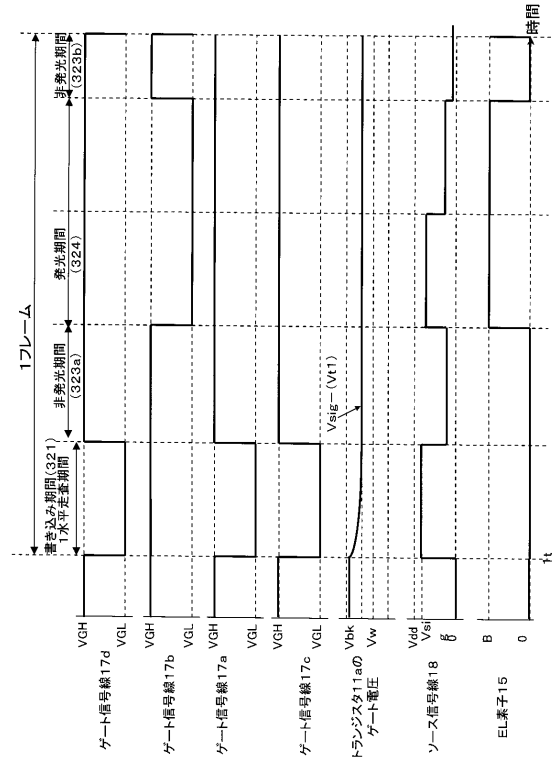
【図 30】



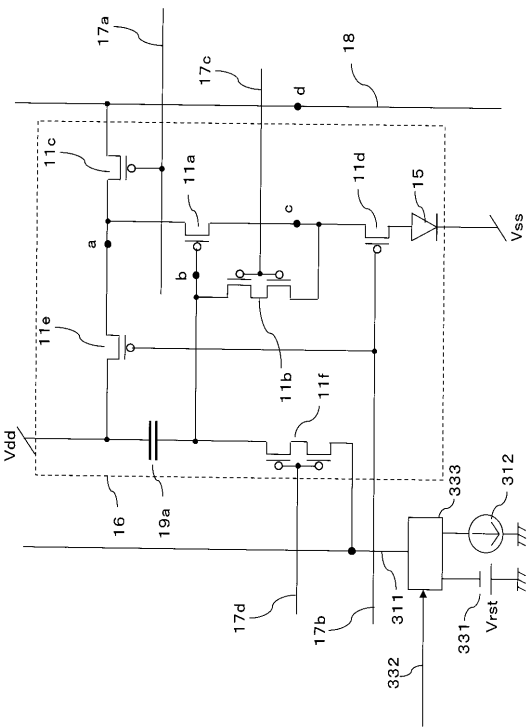
【図 3 1】



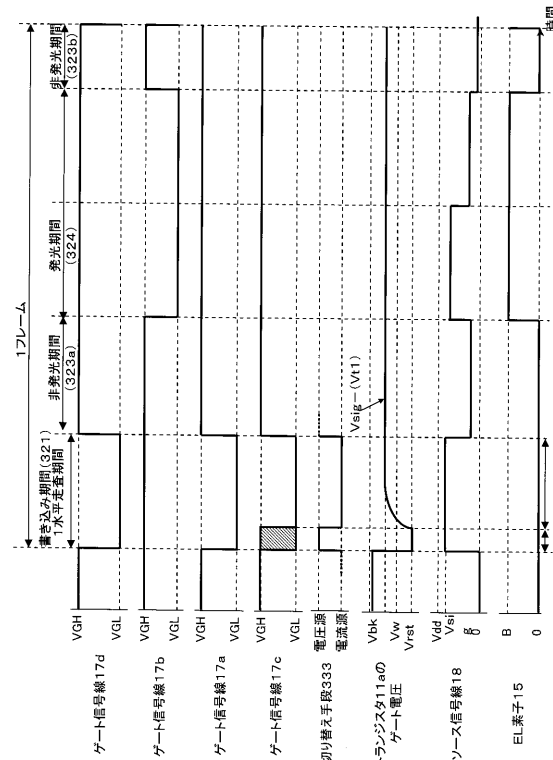
【図 3 2】



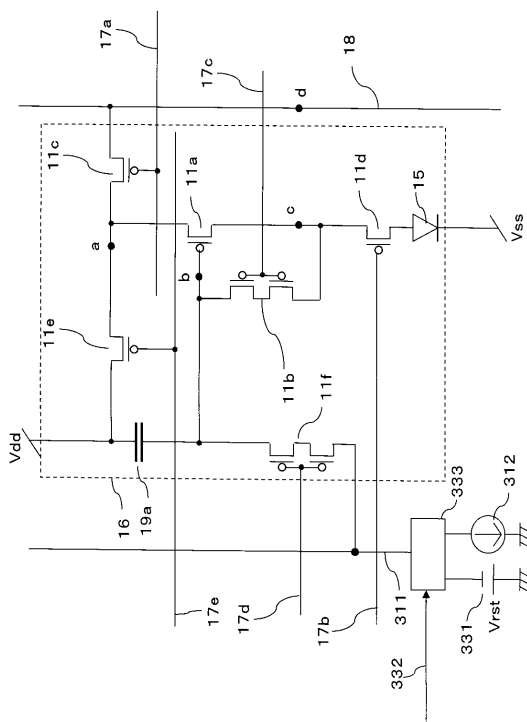
【図 3 3】



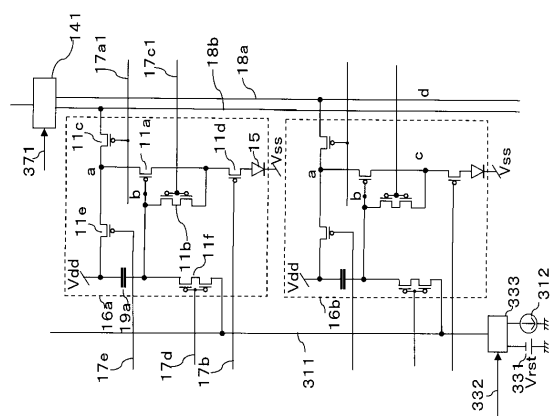
【図 3 4】



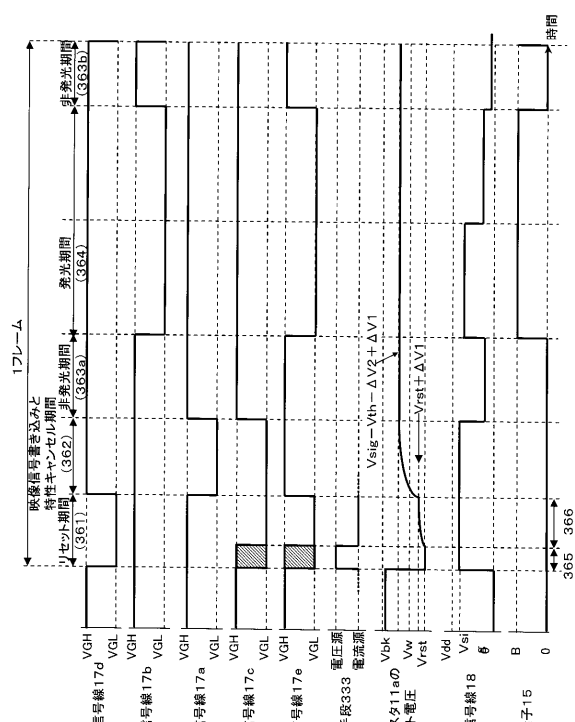
【 図 3 5 】



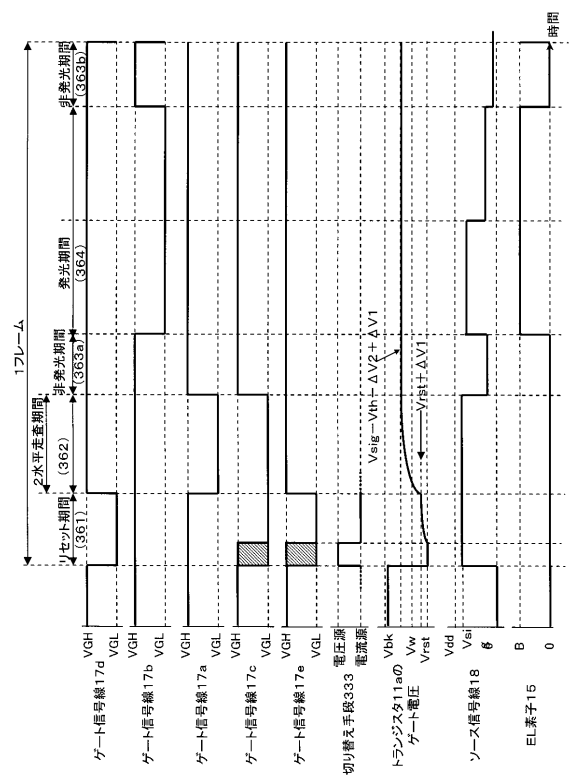
【 図 3 7 】



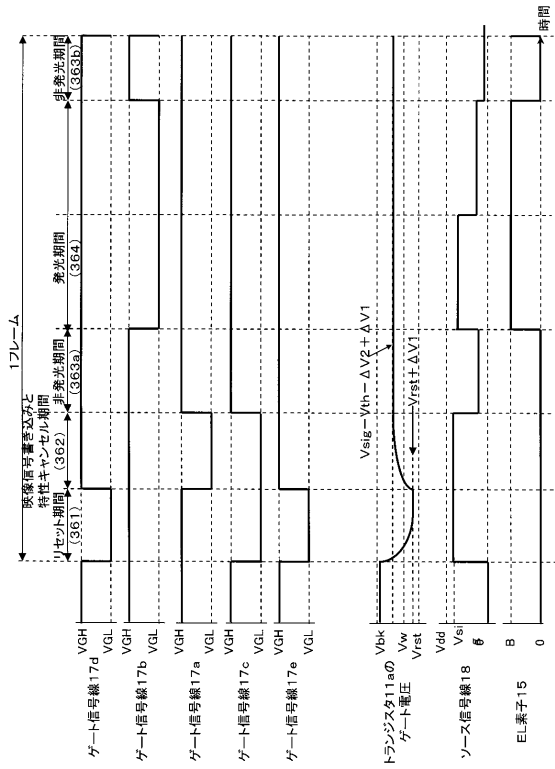
【 図 3 6 】



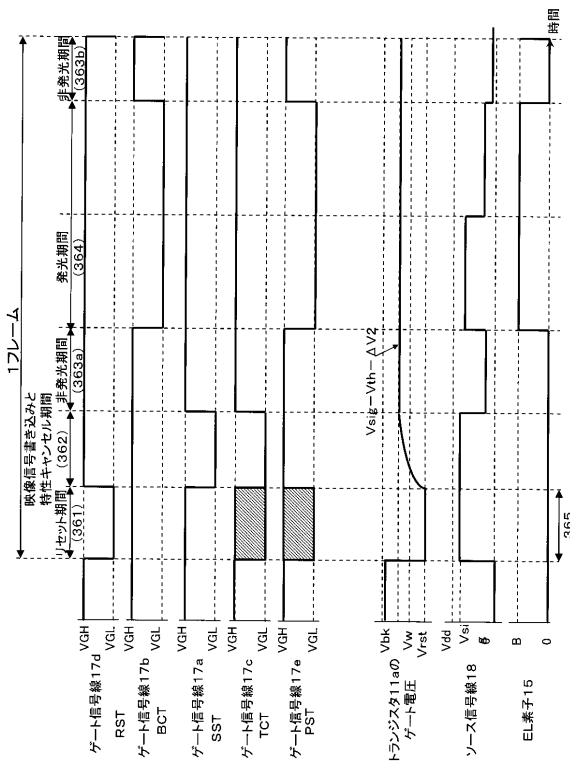
【 ㄨ 3 8 】



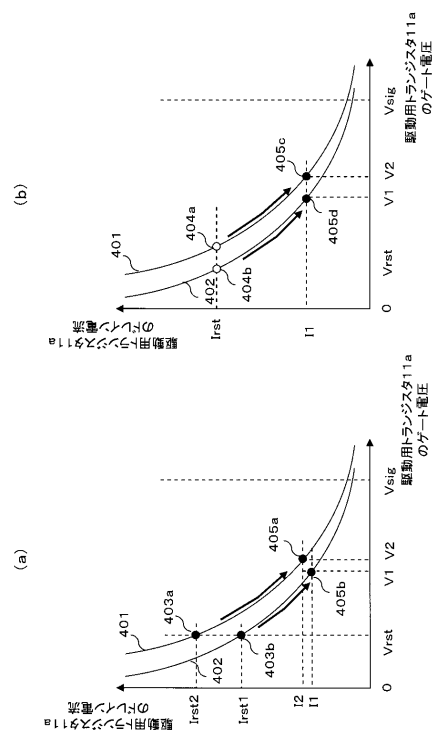
【図 39】



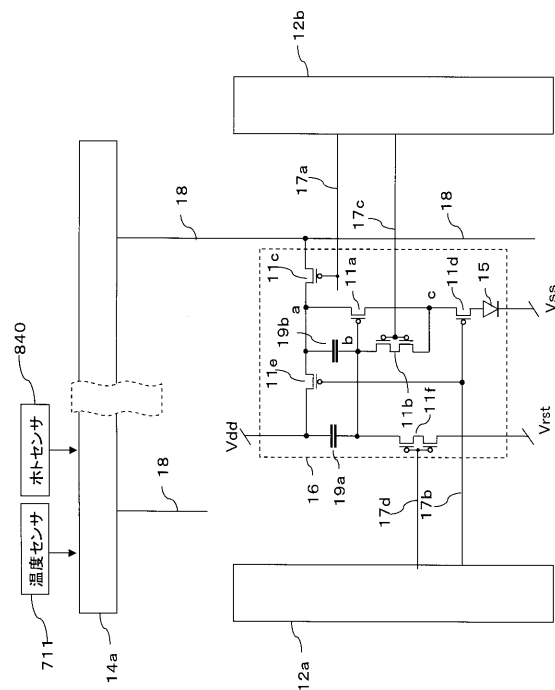
【図 41】



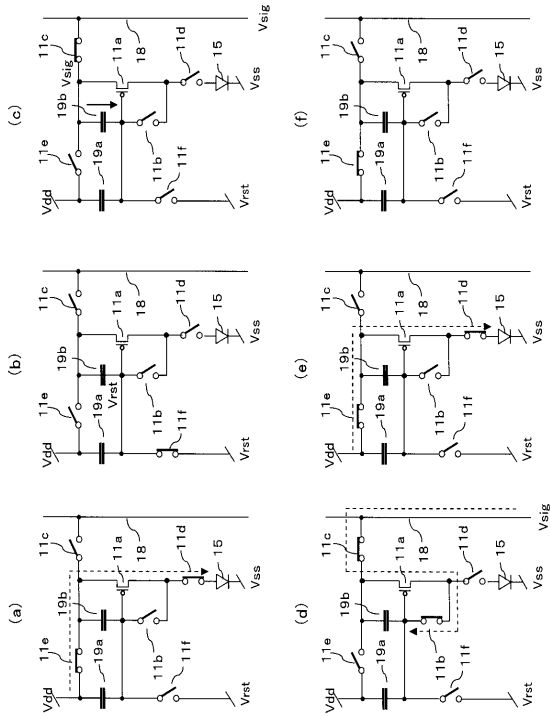
【図 40】



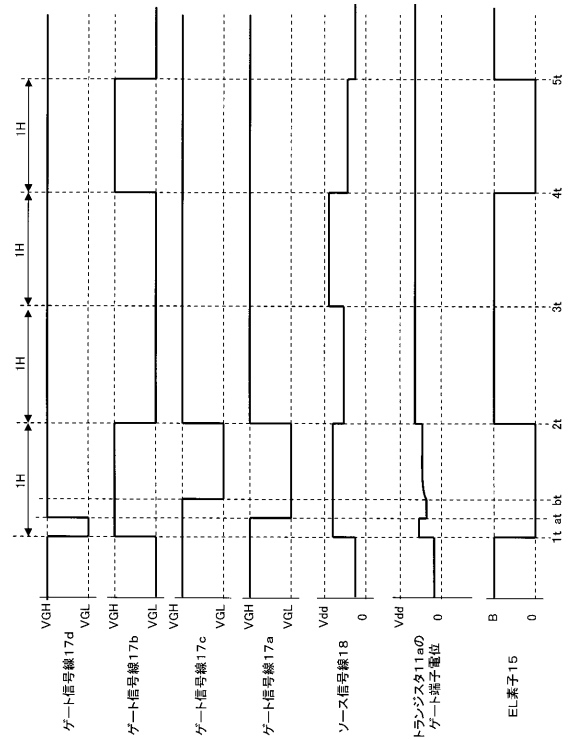
【図 42】



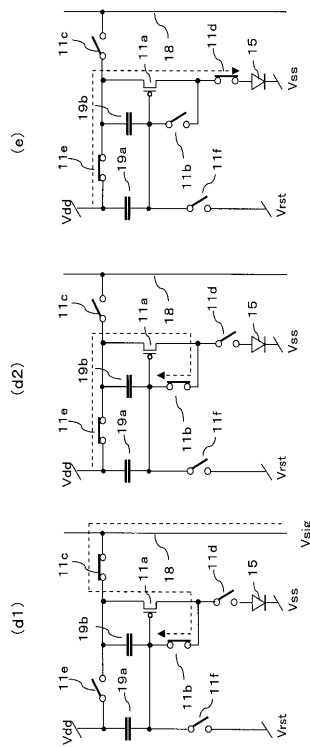
【 図 4 3 】



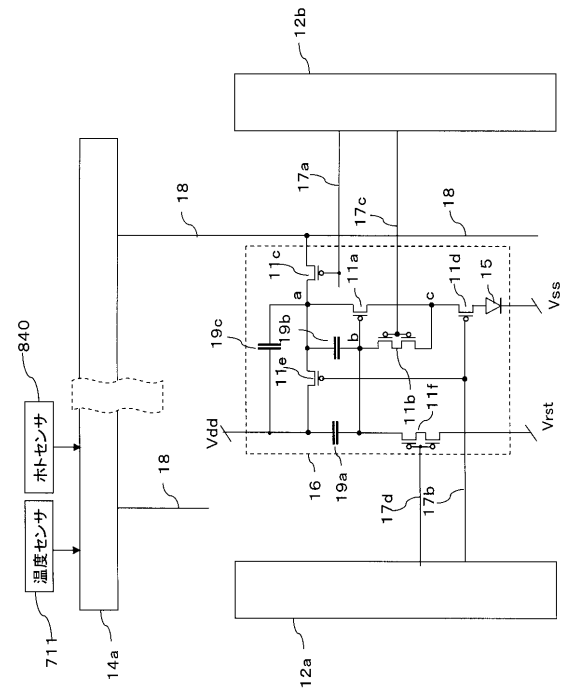
【 図 4 4 】



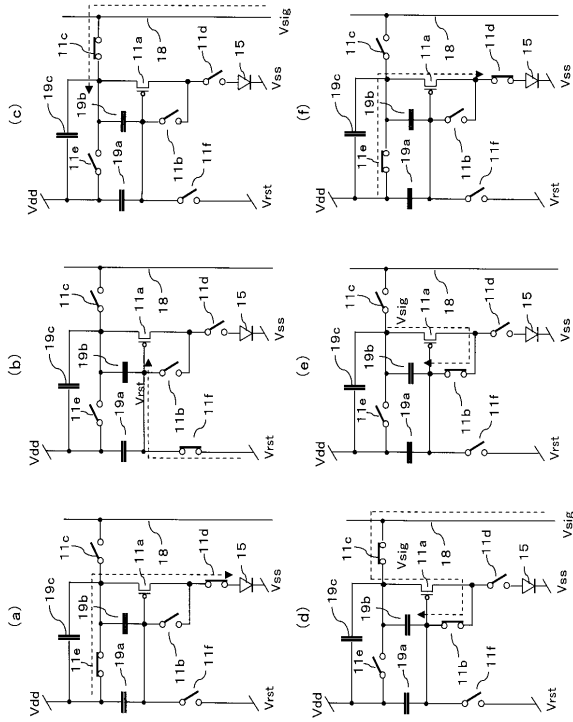
【 図 4 5 】



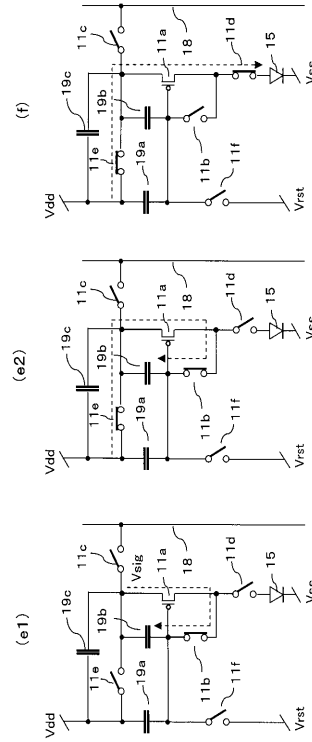
【 図 4 6 】



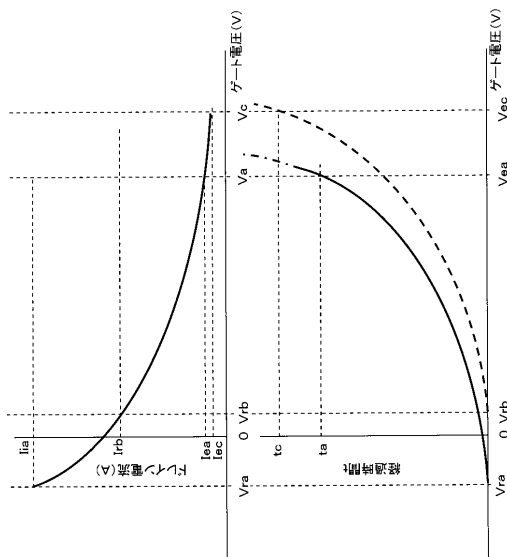
【図 47】



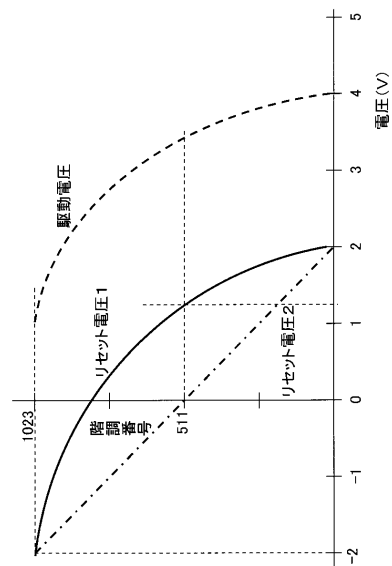
【図 48】



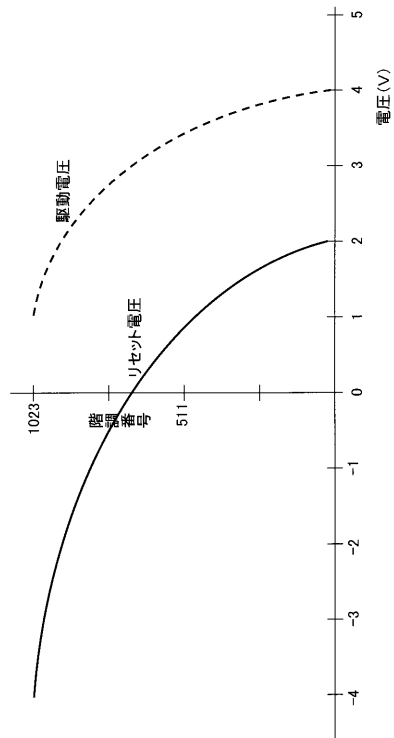
【図 49】



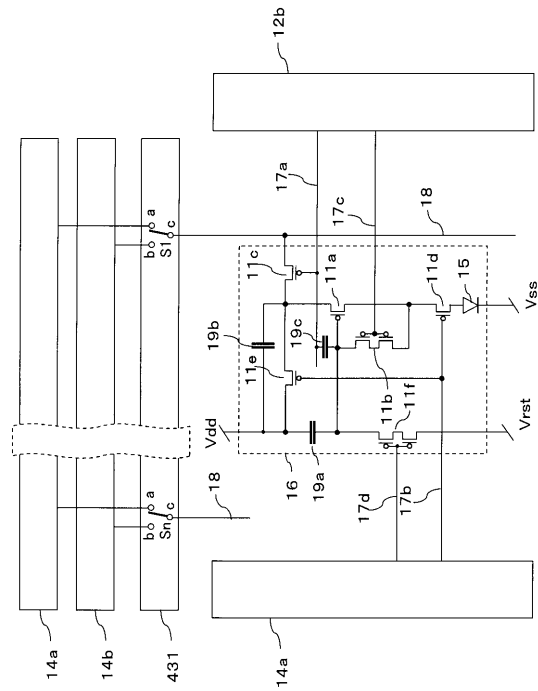
【図 50】



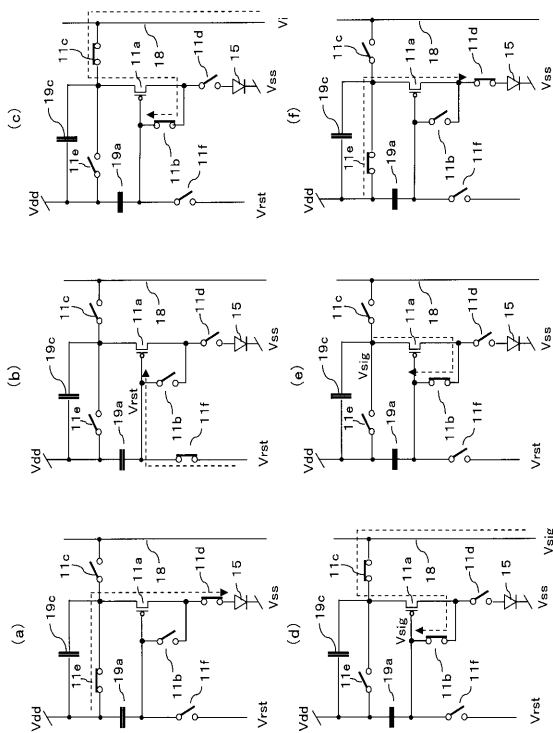
【図 5 1】



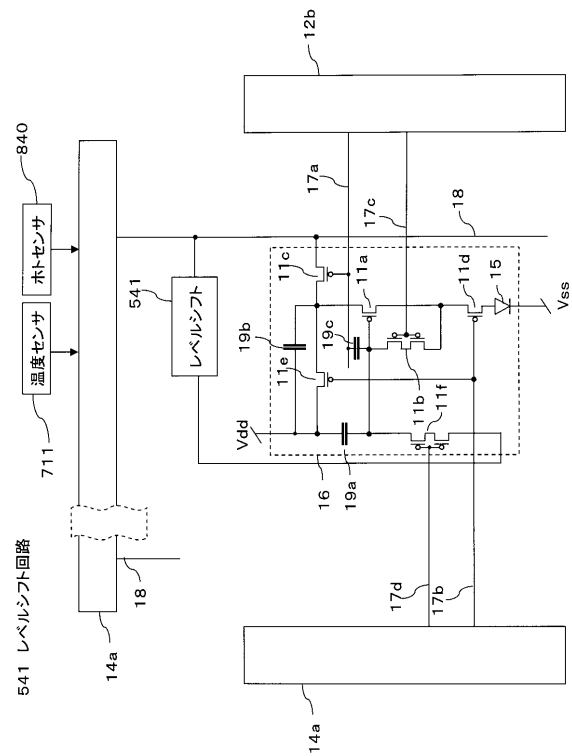
【図 5 2】



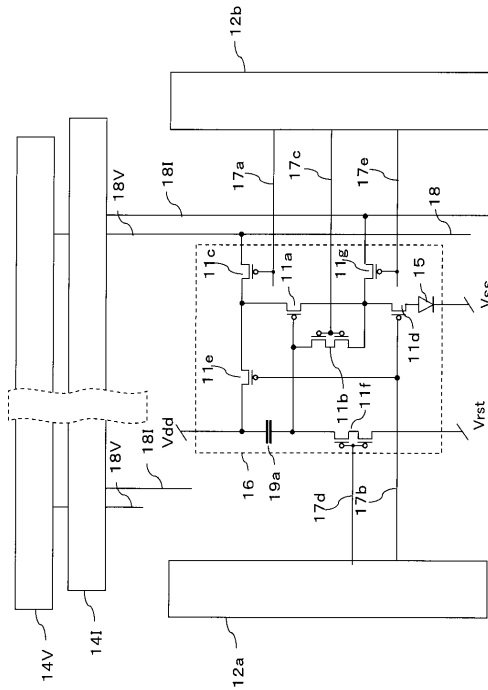
【図 5 3】



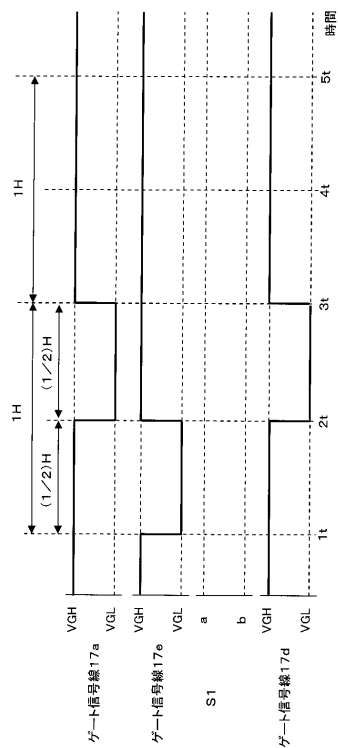
【図 5 4】



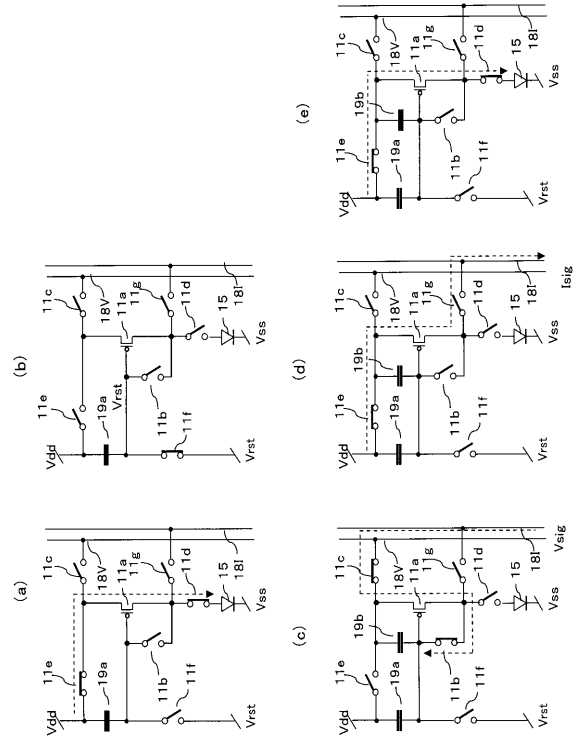
【 図 5 5 】



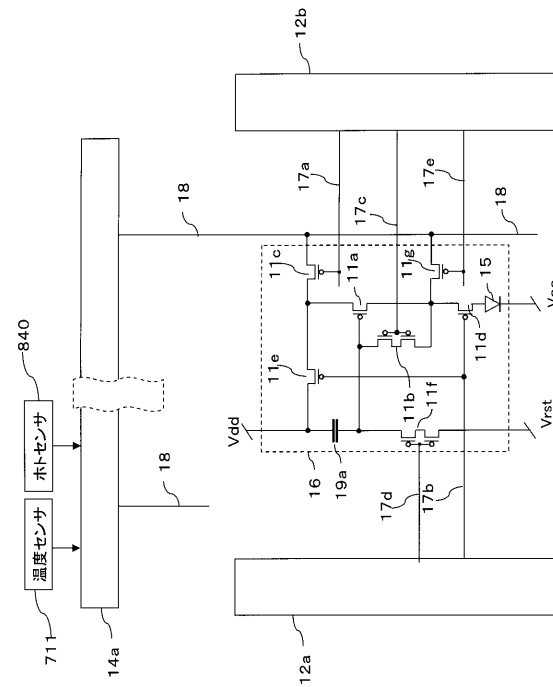
【 図 5 7 】



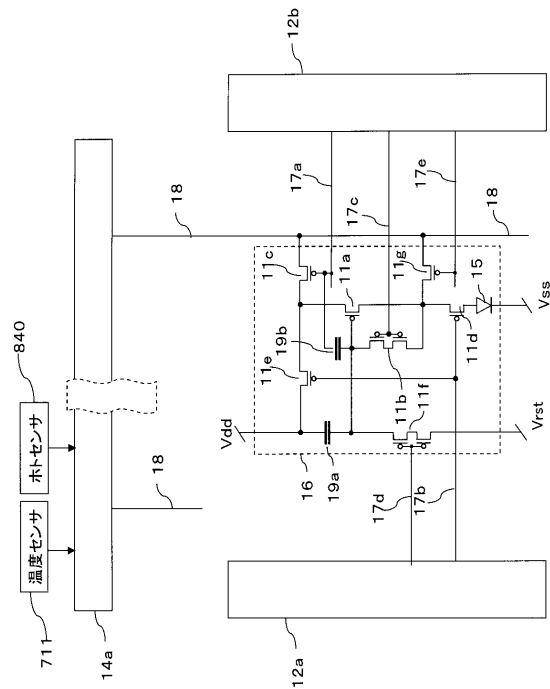
【 図 5 6 】



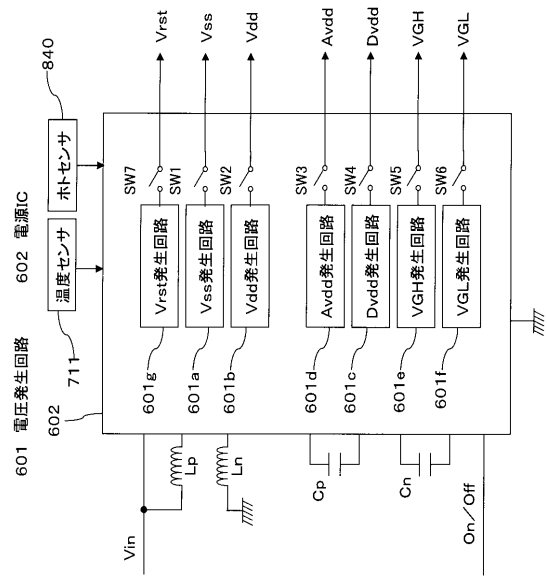
【 ㊦ 5 8 】



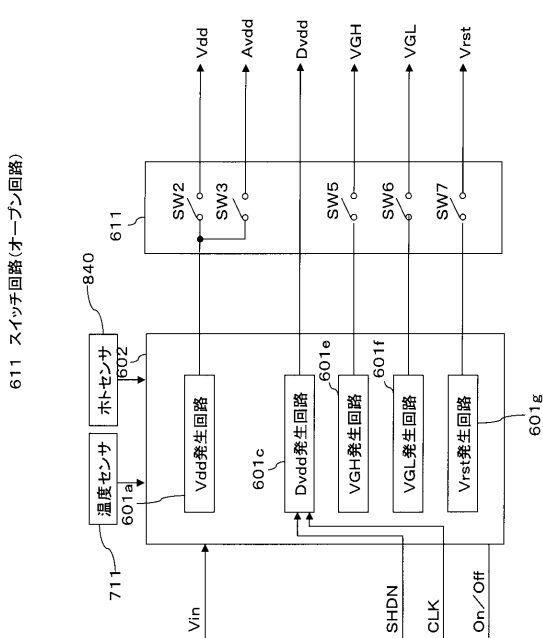
【図 5 9】



【図 6 0】



【図 6 1】



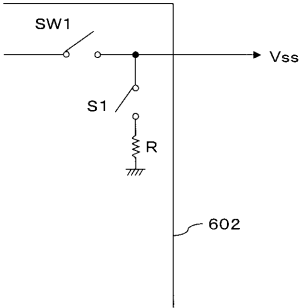
【図 6 2】

VGH		VGL		Vdd		Vss		Avdd		Vrst	
値	出力 電圧(V)	値	出力 電圧(V)	値	出力 電圧(V)	値	出力 電圧(V)	値	出力 電圧(V)	値	出力 電圧(V)
0	5.0	0	-2.5	0	5.0	0	-2.5	0	4.0	0	-1.0
1	5.5	1	-3.0	1	5.5	1	-3.0	1	4.5	1	-1.5
2	6.0	2	-3.5	2	6.0	2	-3.5	2	5.0	2	-2.0
3	6.5	3	-4.0	3	6.5	3	-4.0	3	5.5	3	-2.5
4	7.0	4	-4.5	4	7.0	4	-4.5	4	6.0	4	-3.0
5	7.5	5	-5.0	5	7.5	5	-5.0	5	6.5	5	-3.5
6	8.0	6	-5.5	6	8.0	6	-5.5	6	7.0	6	-4.0
7	8.5	7	-6.0	7	8.5	7	-6.0	7	7.5	7	-4.5

【図 6 3】

MODE	ON2	ON1	AVdd	VGH	VGL	Vrst	Vdd	Vss
0	0	0	0	0	0	0	0	0
1	0	1	x	x	x	x	0	0
2	1	0	x	x	x	x	x	x
3	1	1	x	x	x	x	x	x

【図 6 4】



【図 6 5】

TEST	AVdd	VGH	VGL	Vrst	Vdd	Vss	放電
0	0	0	0	0	0	0	ON
1	0	0	0	0	x	x	OFF
2	0	0	0	0	0	x	OFF
3	x	x	x	x	x	x	OFF

【図 6 6】

FL	周波数 (MHz)
0	0.6
1	1.2
2	1.8

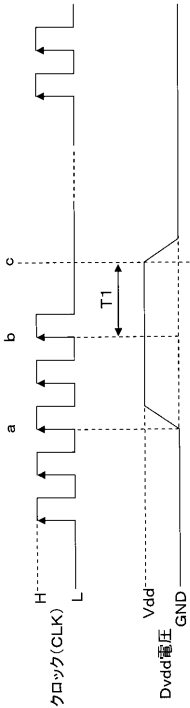
【図 6 7】

MODE	ON2	ON1	AVdd	VGH	VGL	Vrst	Vdd	Vss	備考
0	0	0	x	x	x	x	x	x	
1	0	1	O	O	O	O	x	x	
2	1	0	O	O	O	O	O	O	MODE1→MODE3
3	1	1	O	O	O	O	O	O	MODE1→MODE3

【図 6 8】

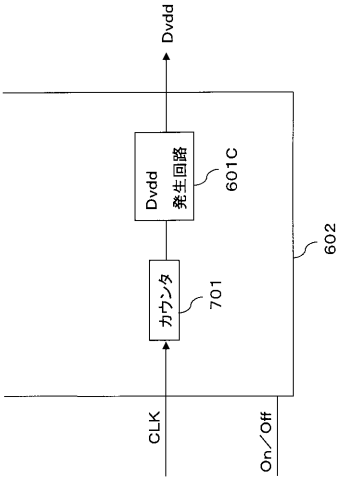
TEST	AVdd	VGH	VGL	Vrst	Vdd	Vss	放電
0	O	O	O	O	O	O	ON
1	O	O	O	O	x	x	OFF
2	O	O	O	O	O	x	OFF
3	O	x	x	x	x	x	ON

【図 6 9】

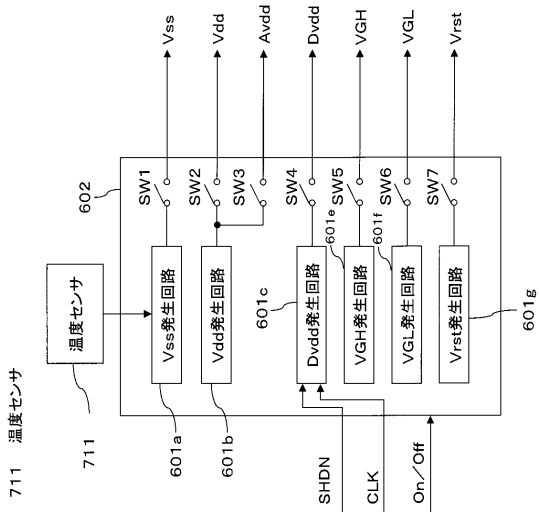


【図 7 0】

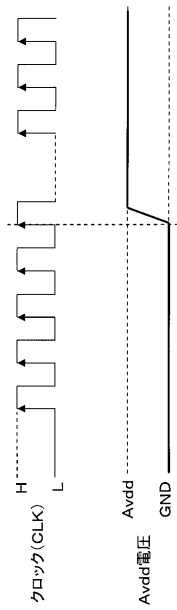
701 カウンタ



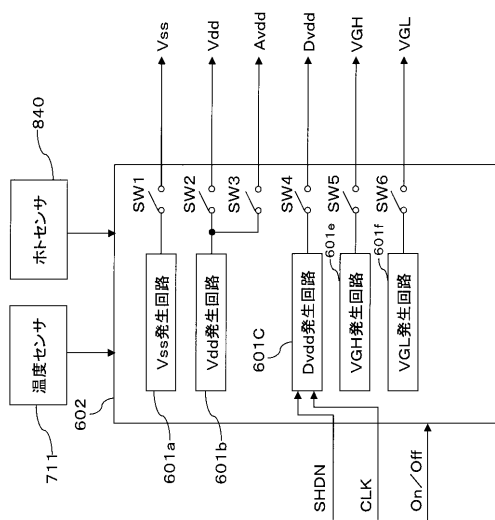
【図 7 1】



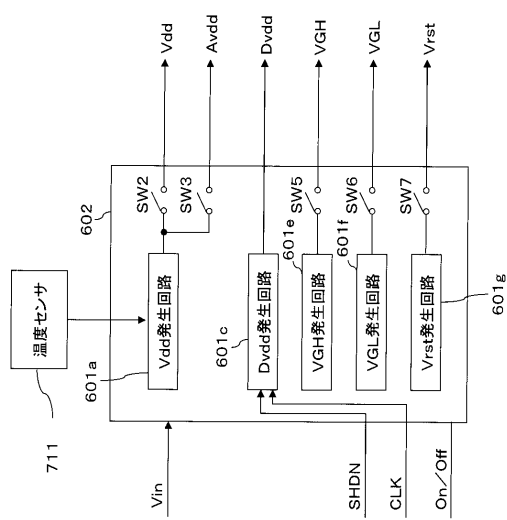
【図 7 2】



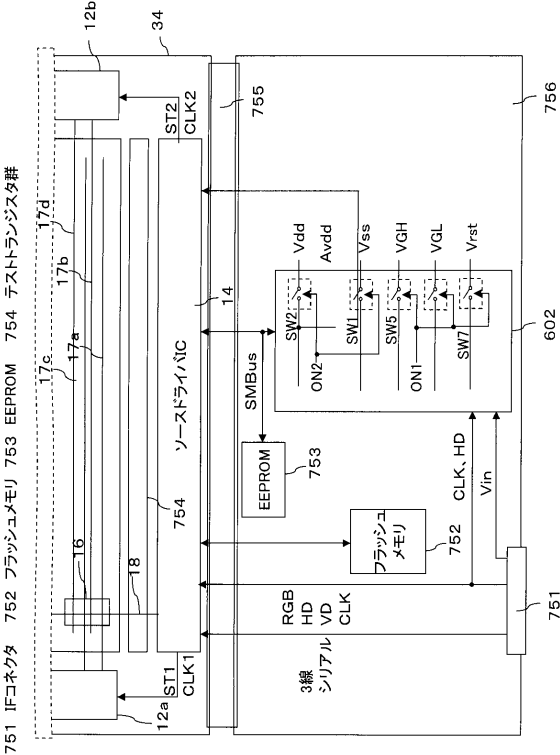
【図 7 3】



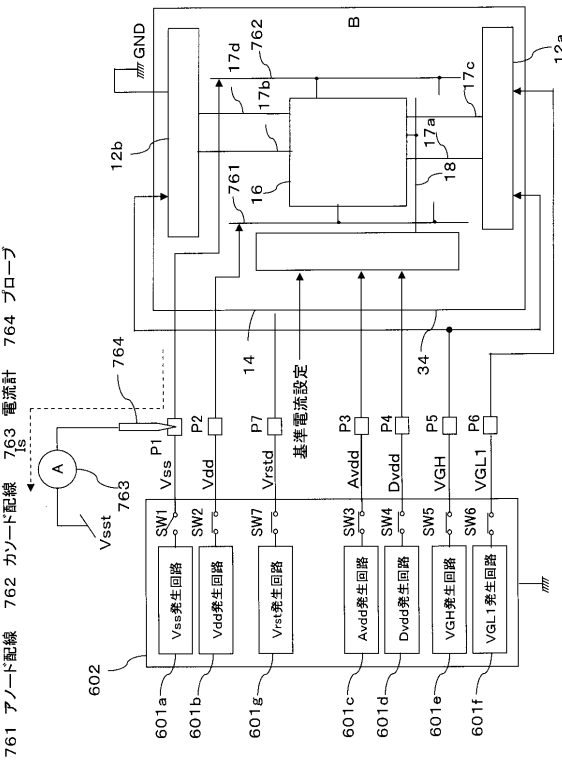
【図 7 4】



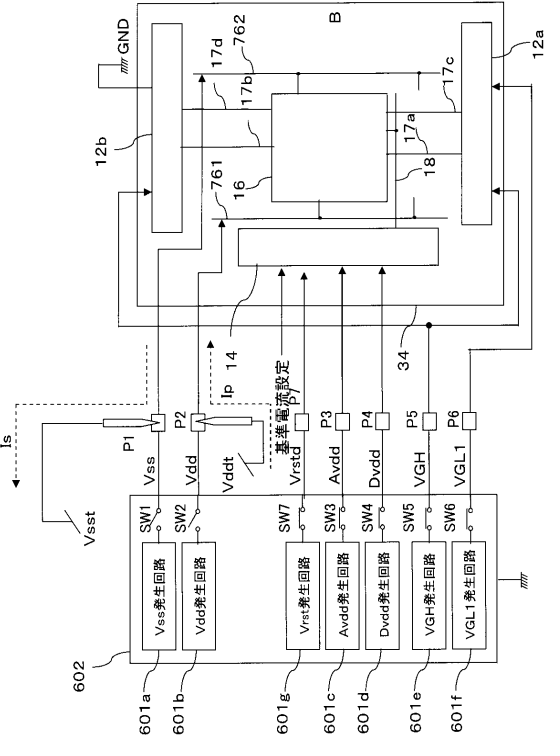
【図 75】



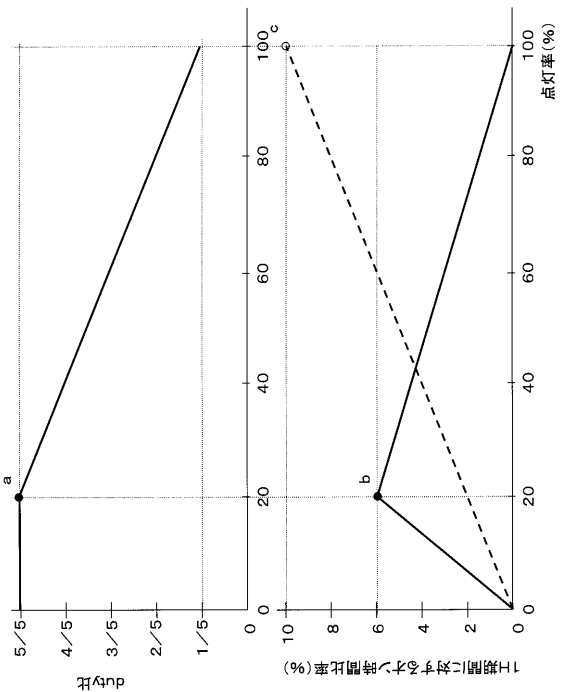
【図 76】



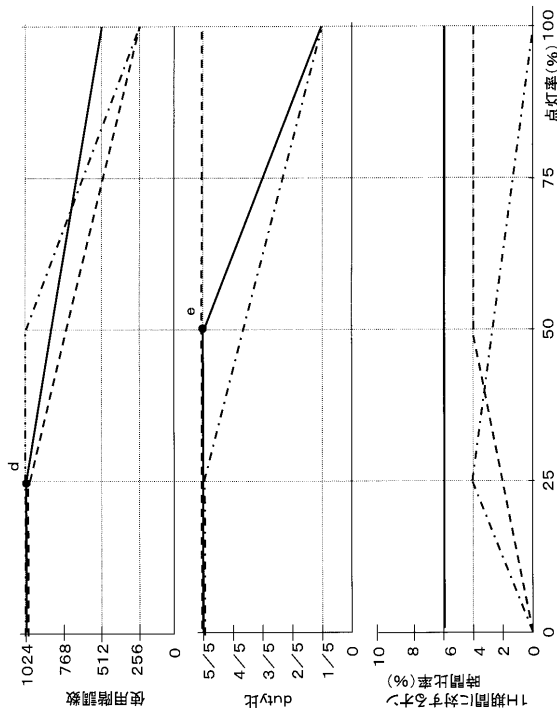
【図 77】



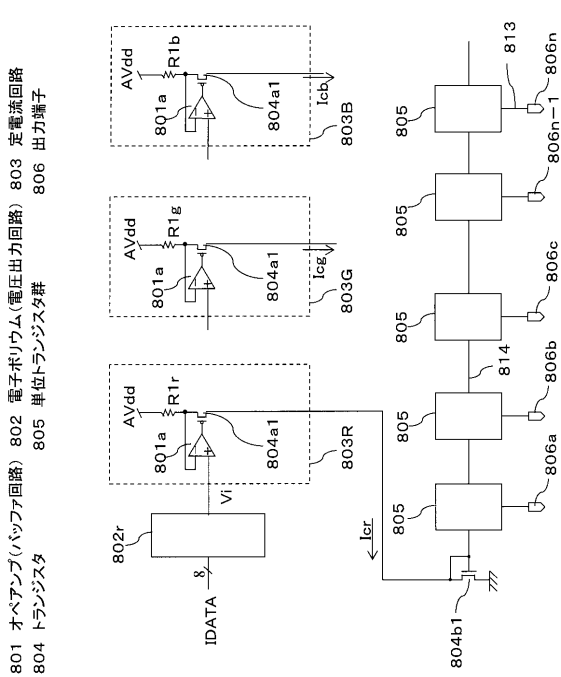
【図 78】



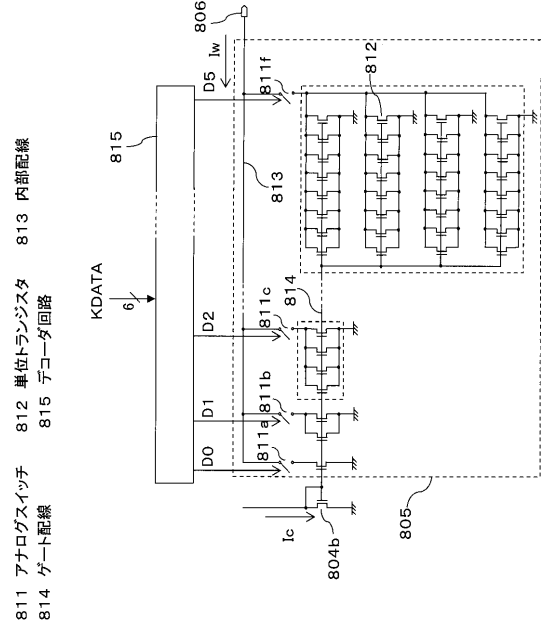
【図 79】



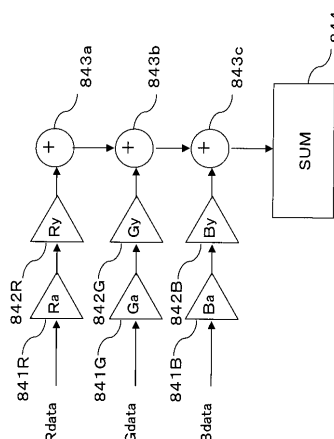
【図 80】



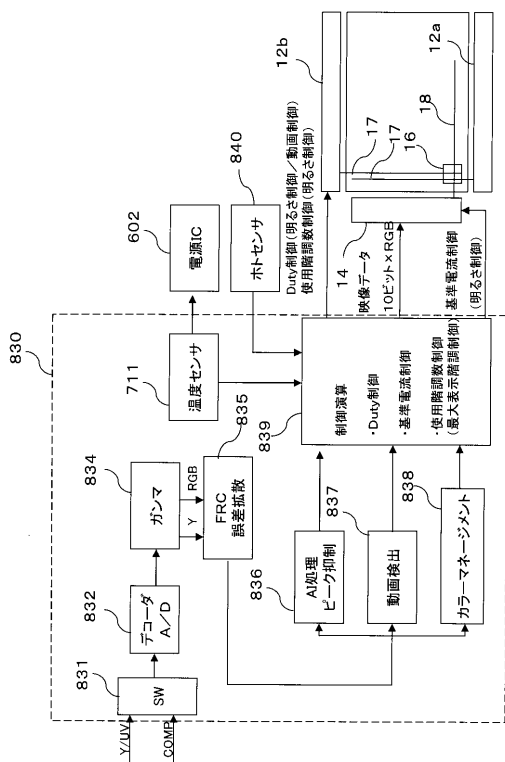
【図 81】



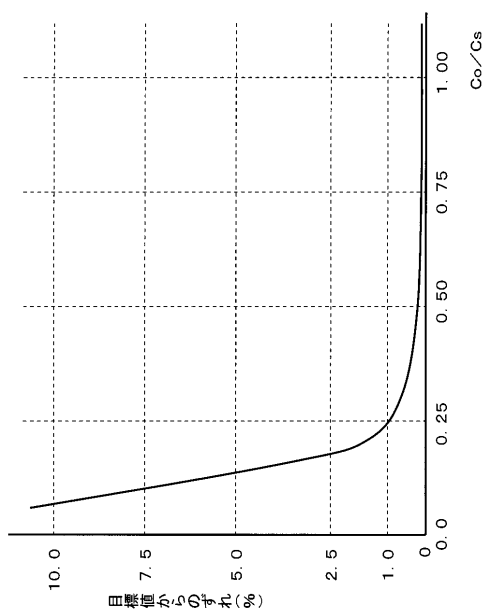
【図 82】



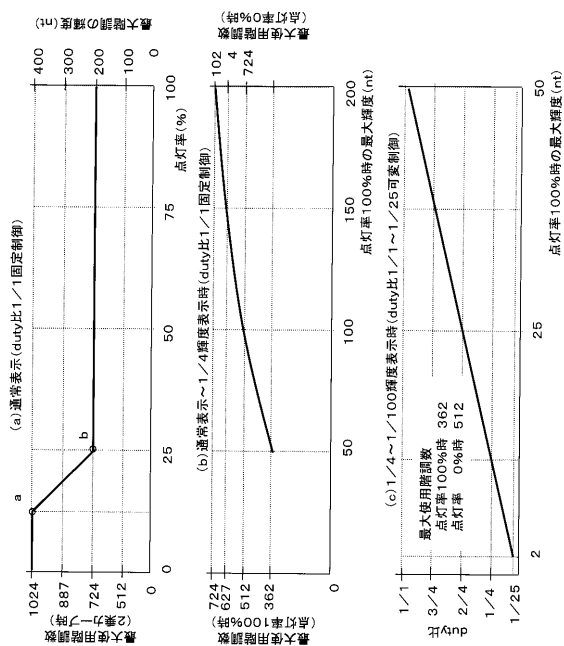
【 図 8 3 】



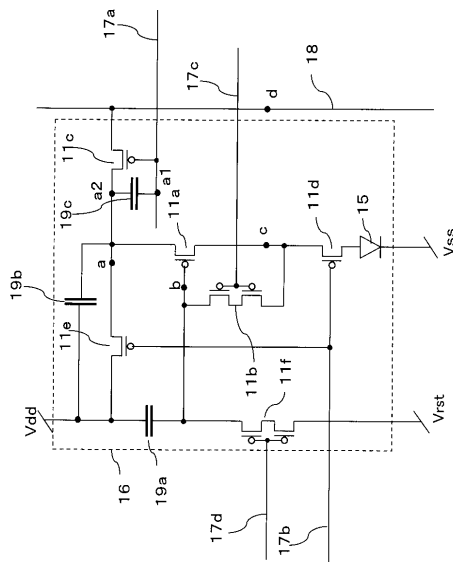
【 図 8 5 】



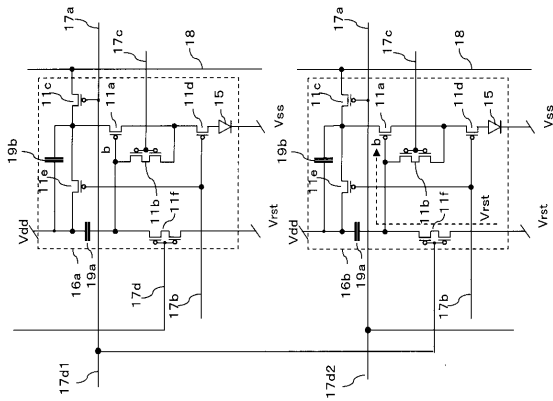
【 図 8 4 】



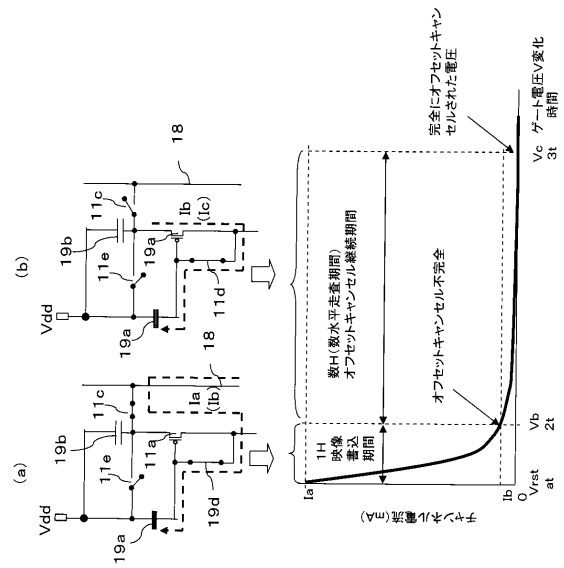
【 図 8 6 】



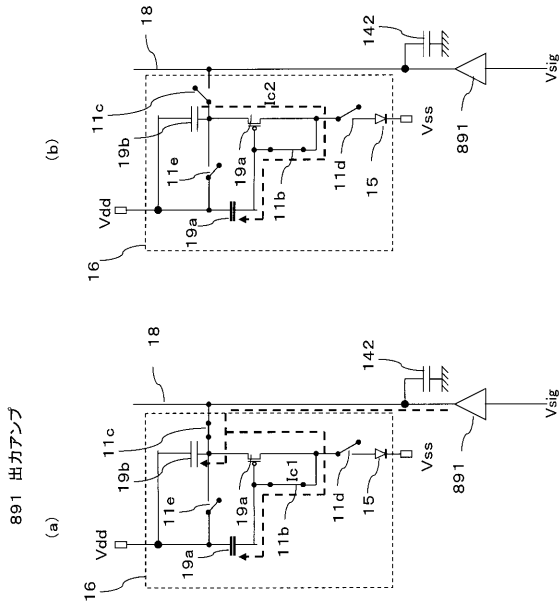
【図 87】



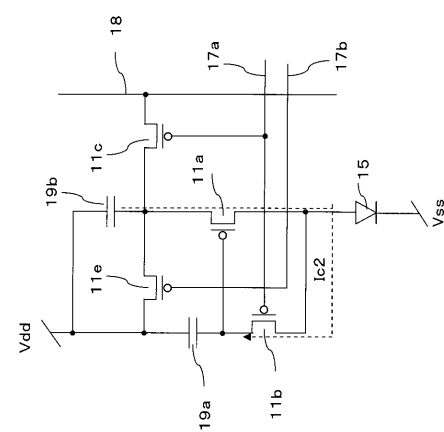
【図 88】



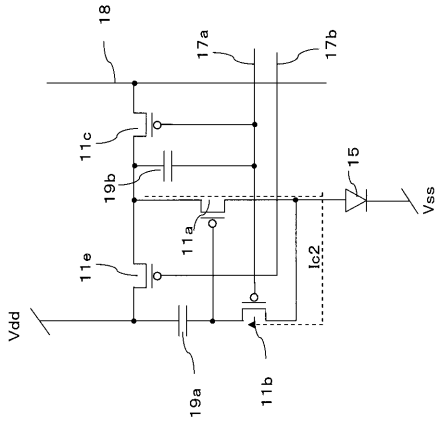
【図 89】



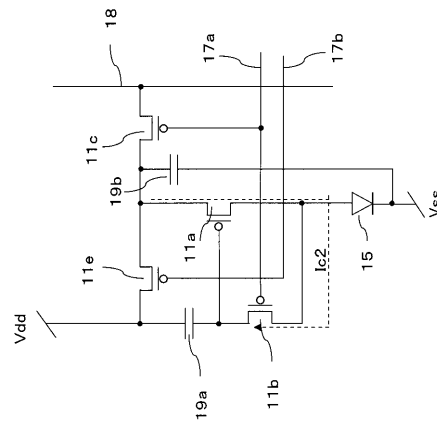
【図 90】



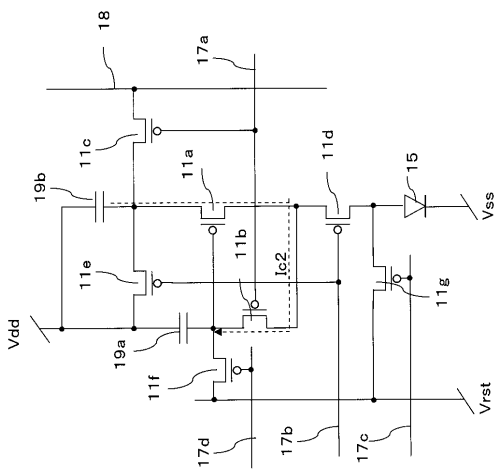
【図 9 1】



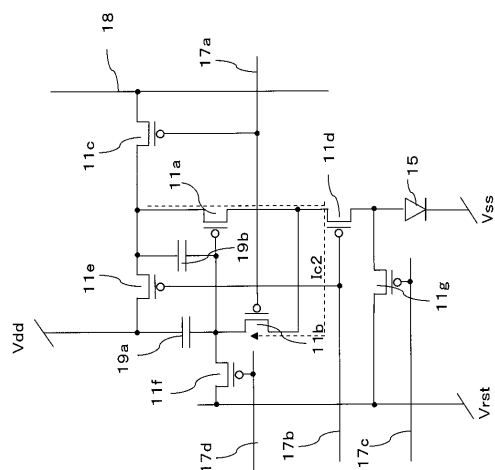
【図 9 2】



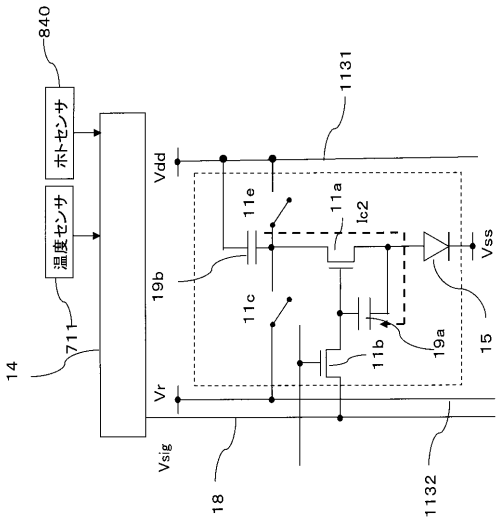
【図 9 3】



【図 9 4】



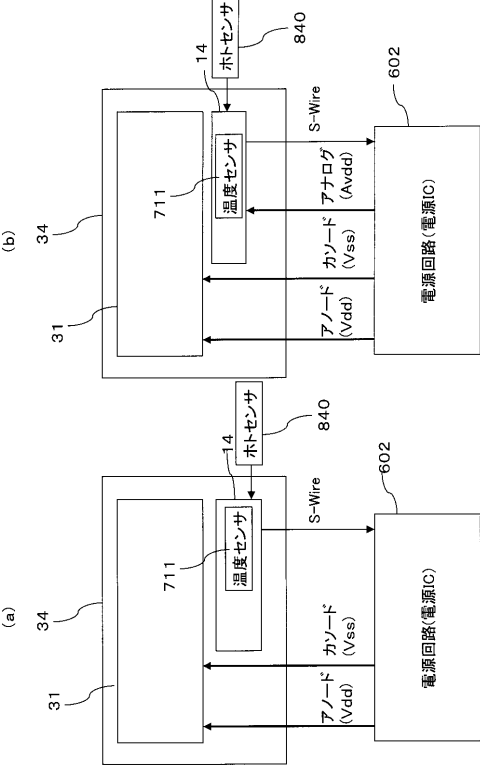
【図 9 5】



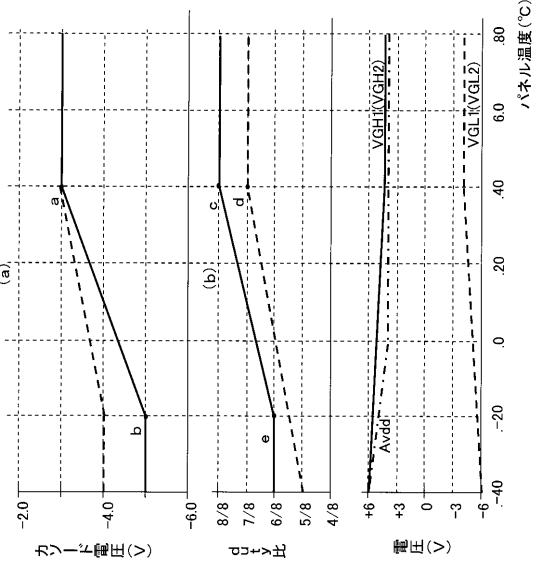
【図 9 7】

データ	出力Vss(V)	データ	出力Vss(V)
0	-2.0	16	-3.6
1	-2.1	17	-3.7
2	-2.2	18	-3.8
3	-2.3	19	-3.9
4	-2.4	20	-4.0
5	-2.5	21	-4.1
6	-2.6	22	-4.2
7	-2.7	23	-4.3
8	-2.8	24	-4.4
9	-2.9	25	-4.5
10	-3.0	26	-4.6
11	-3.1	27	-4.7
12	-3.2	28	-4.8
13	-3.3	29	-4.9
14	-3.4	30	-5.0
15	-3.5	31	-5.1

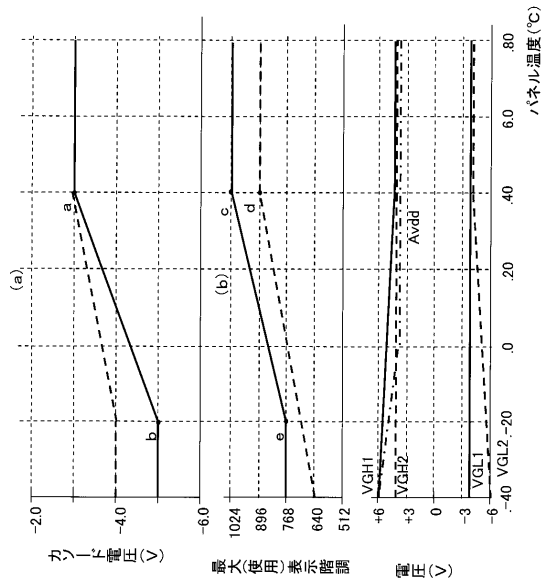
【図 9 6】



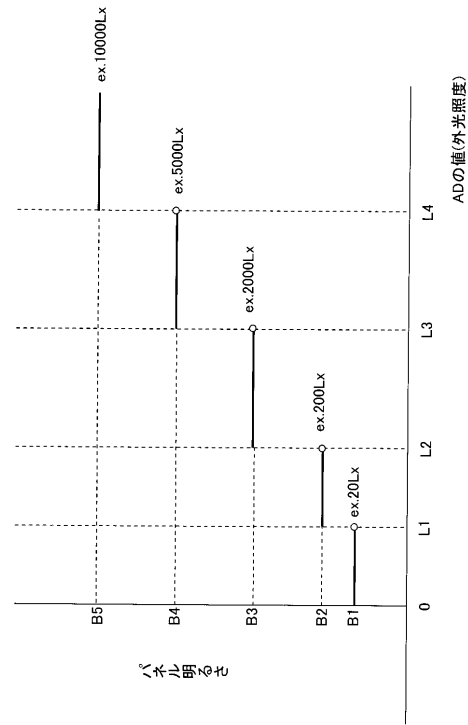
【図 9 8】



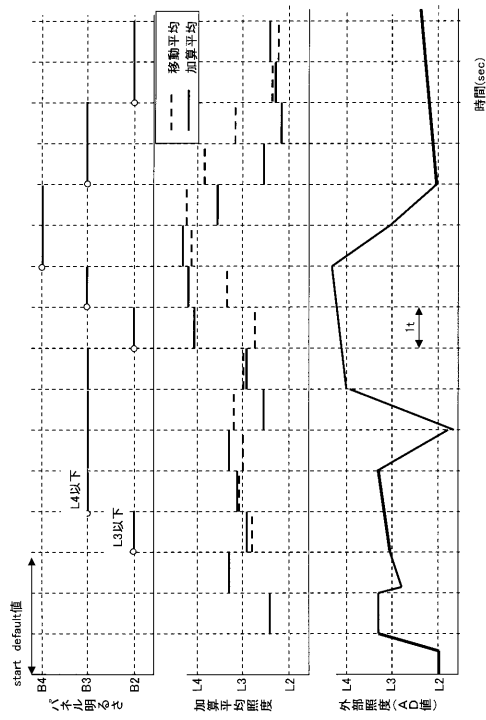
【図 99】



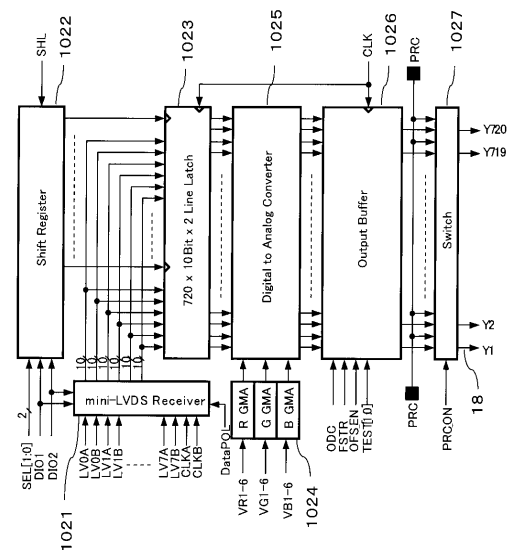
【図 100】



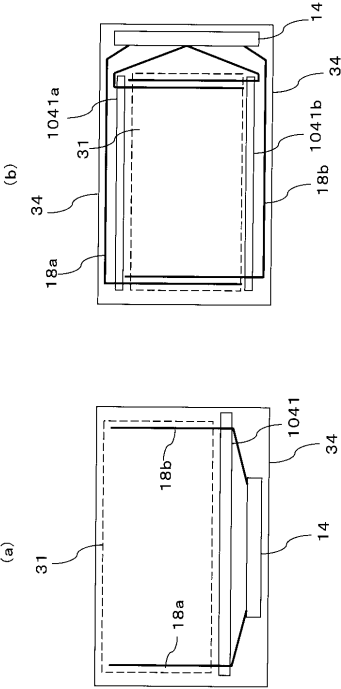
【図 101】



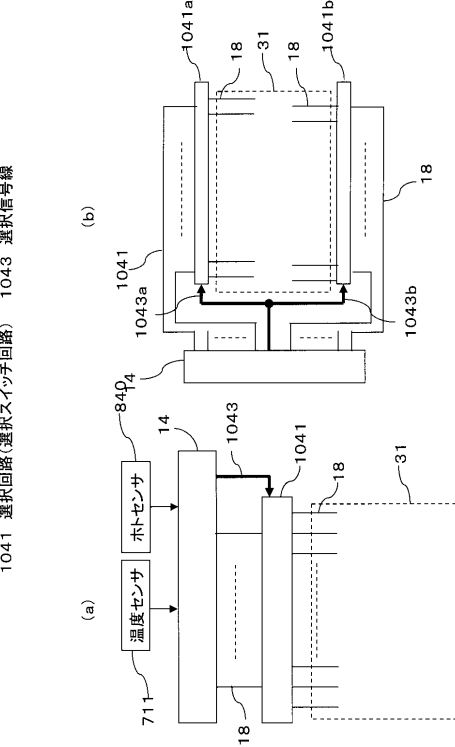
【図 102】



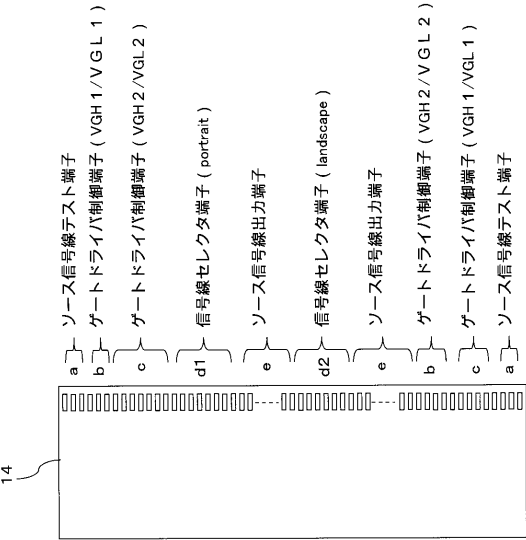
【図 103】



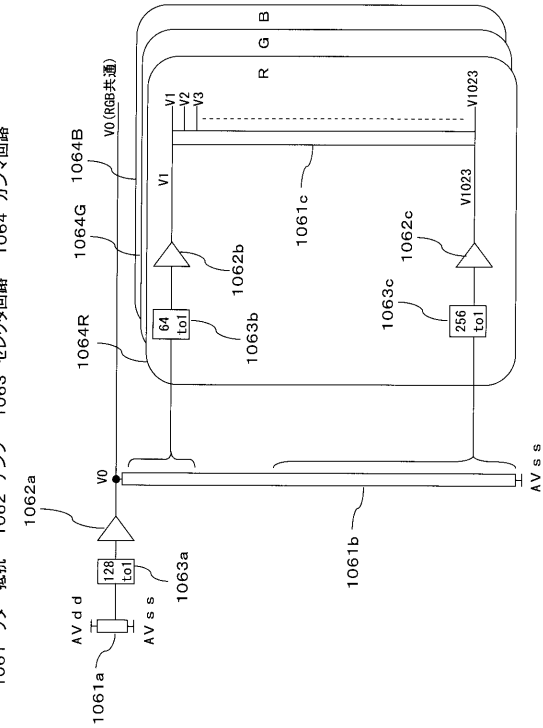
【図 104】



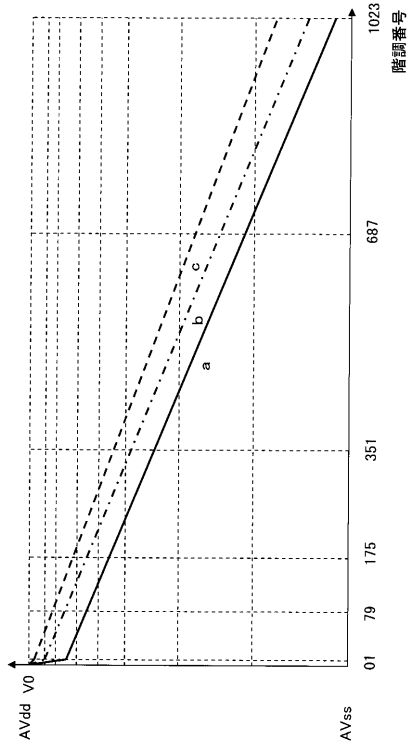
【図 105】



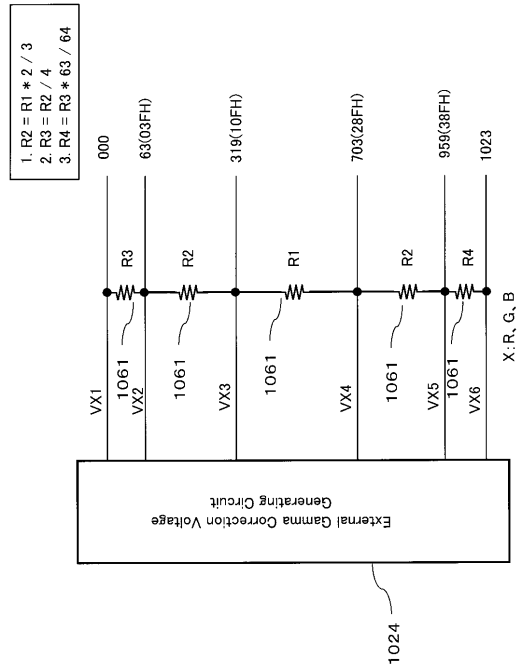
【図 106】



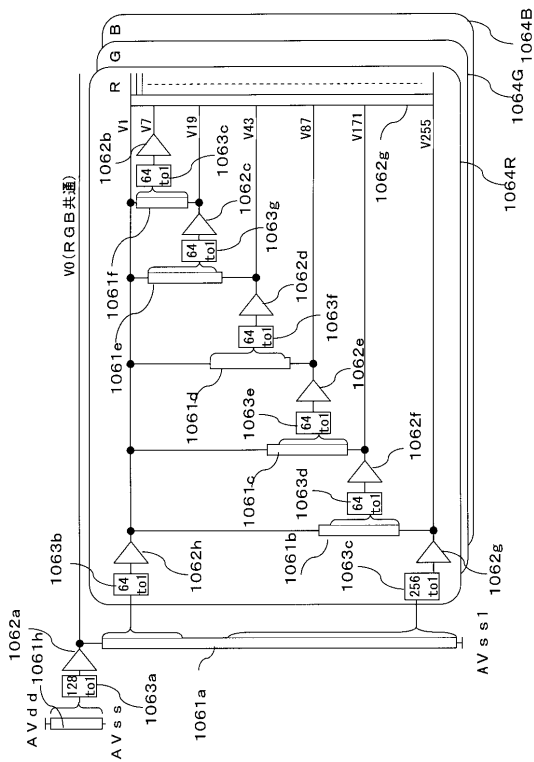
【図 107】



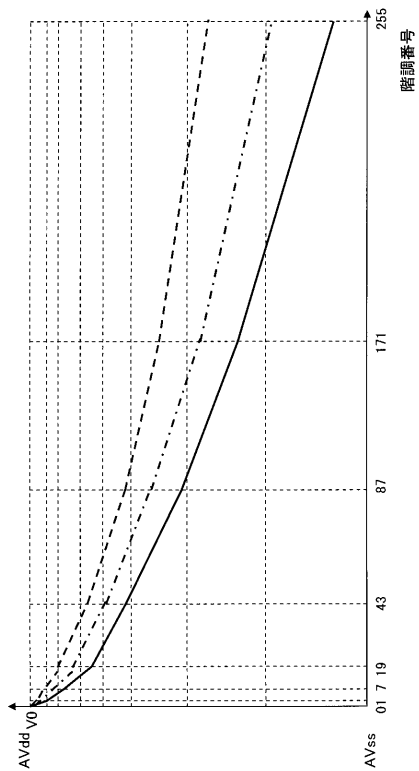
【図 108】



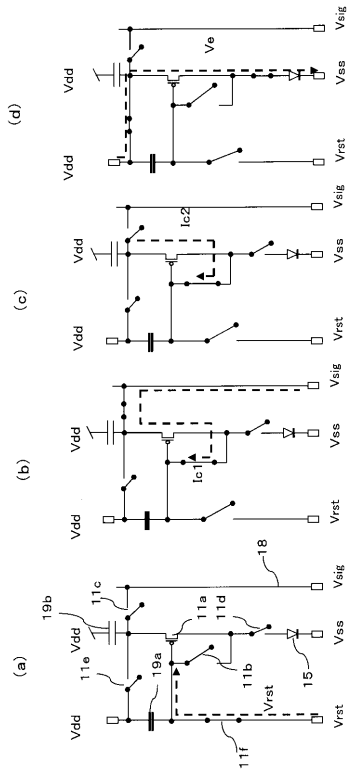
【図 109】



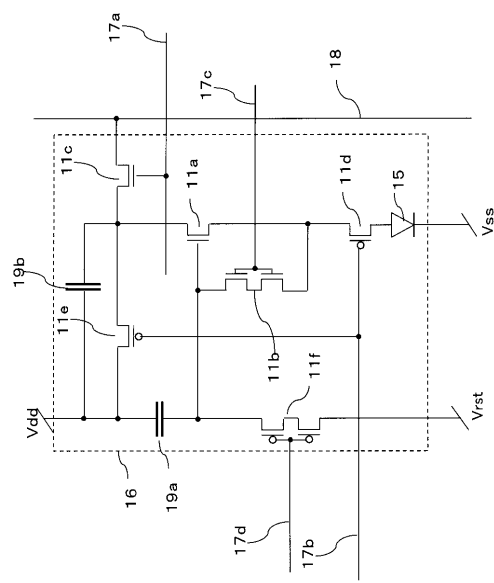
【図 110】



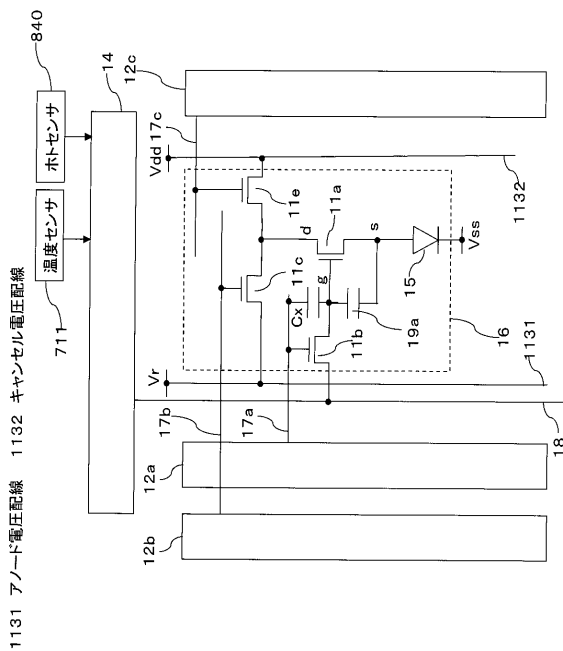
【図 1 1 1】



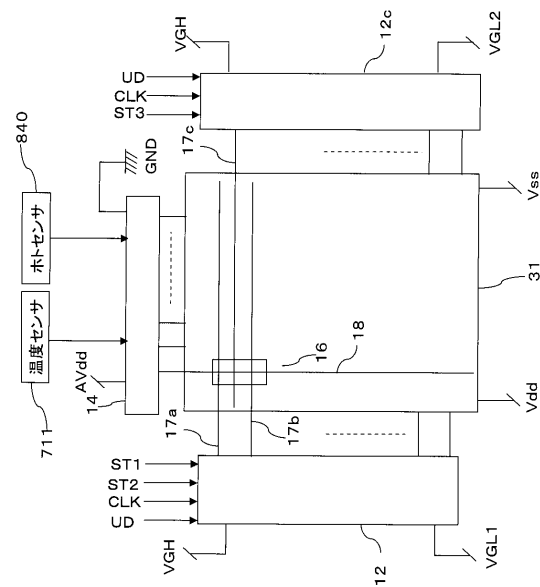
【図 1 1 2】



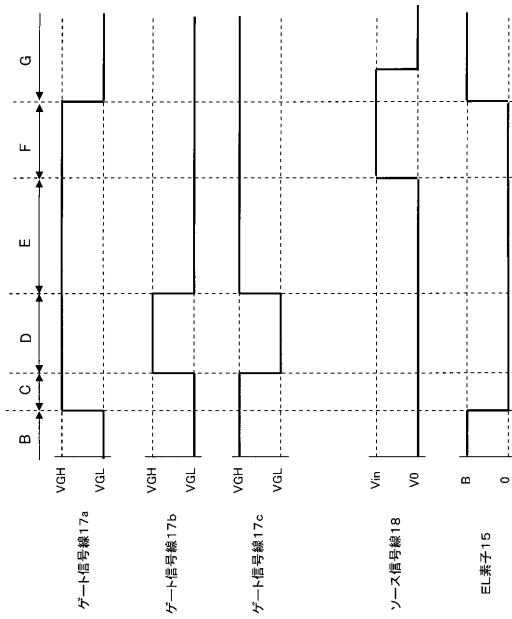
【図 1 1 3】



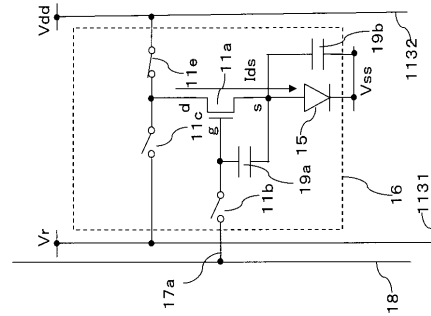
【図 1 1 4】



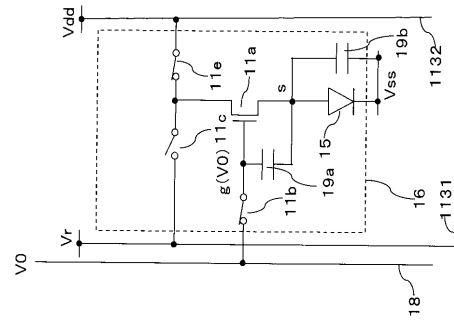
【図 1 1 5】



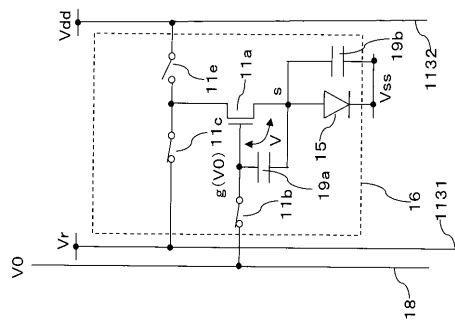
【図 1 1 6】



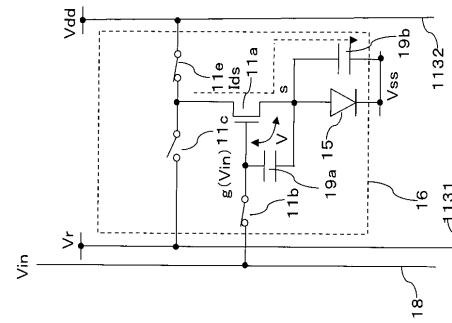
【図 1 1 7】



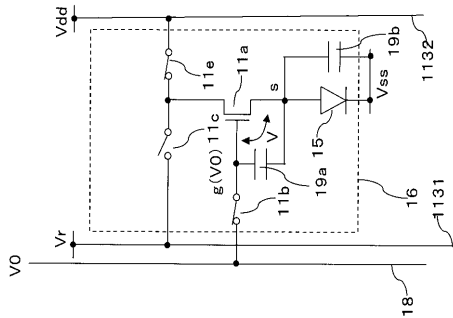
【図 1 1 8】



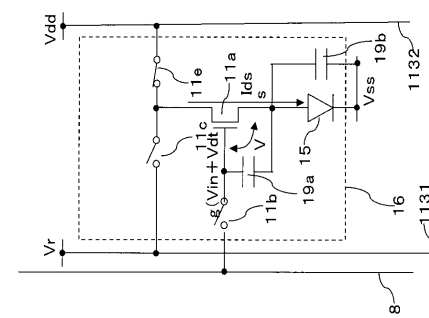
【図 1 2 0】



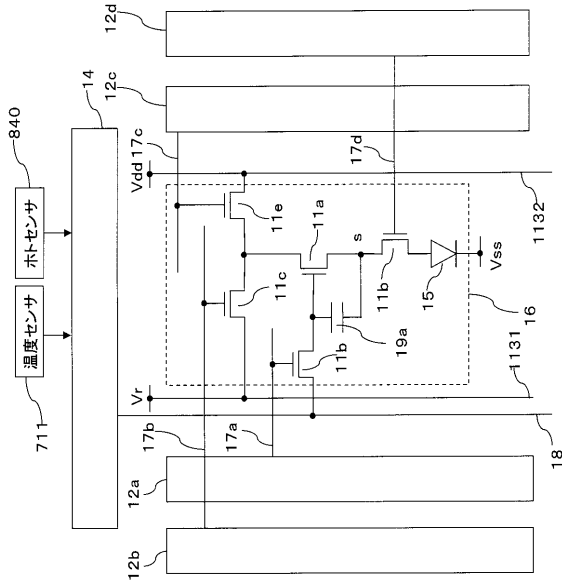
【図 1 1 9】



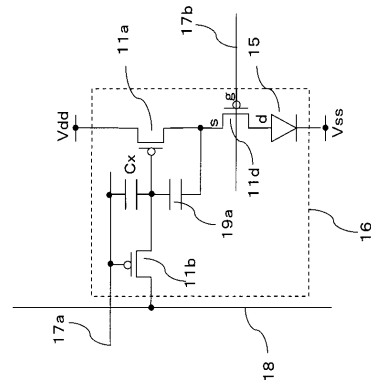
【図 1 2 1】



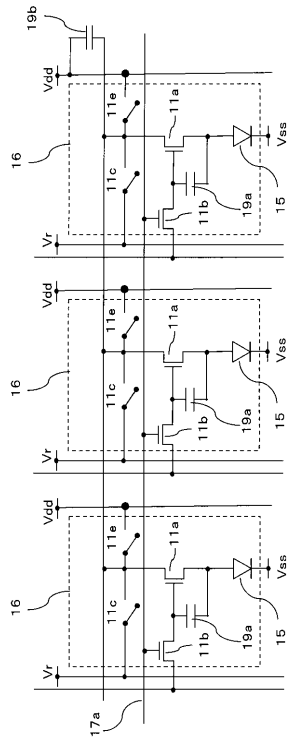
【図 1 2 2】



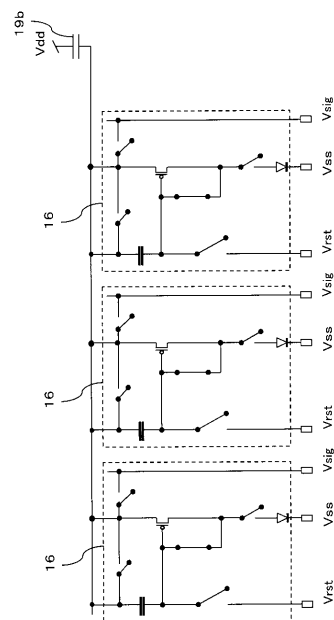
【図 1 2 3】



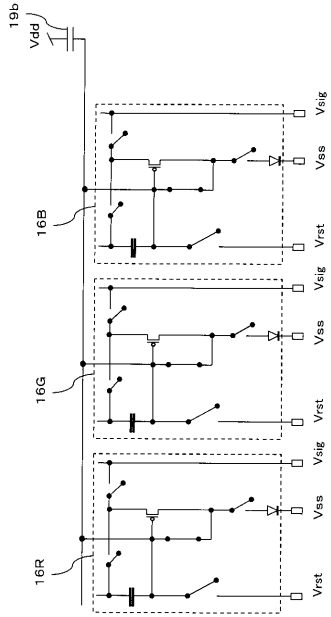
【図 1 2 4】



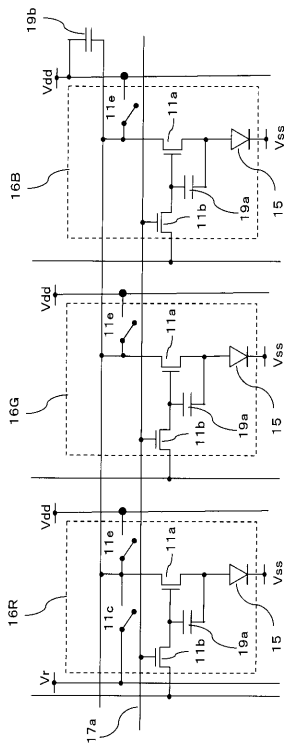
【図 1 2 5】



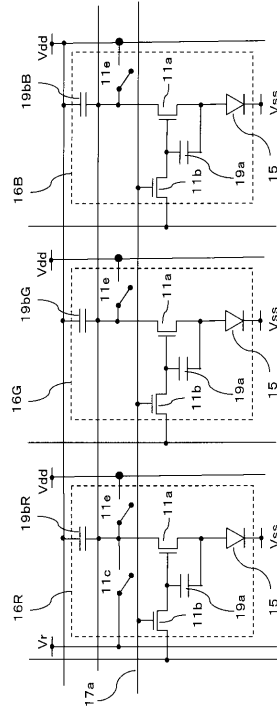
【図 126】



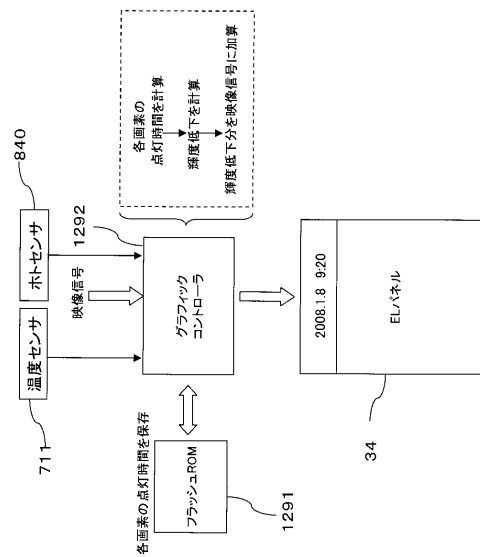
【図 128】



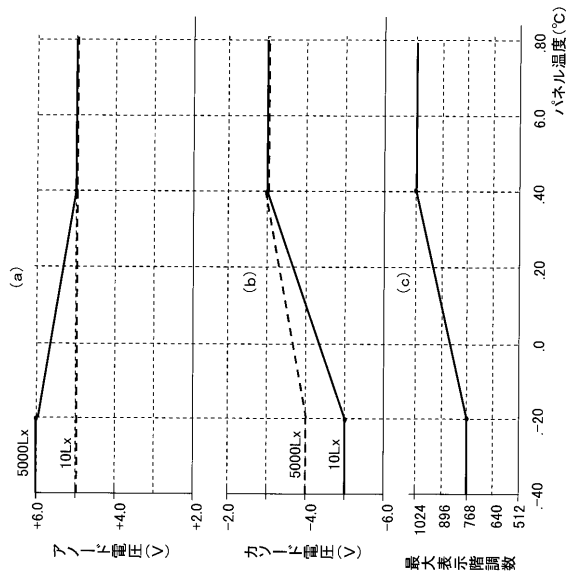
【図 127】



【図 129】

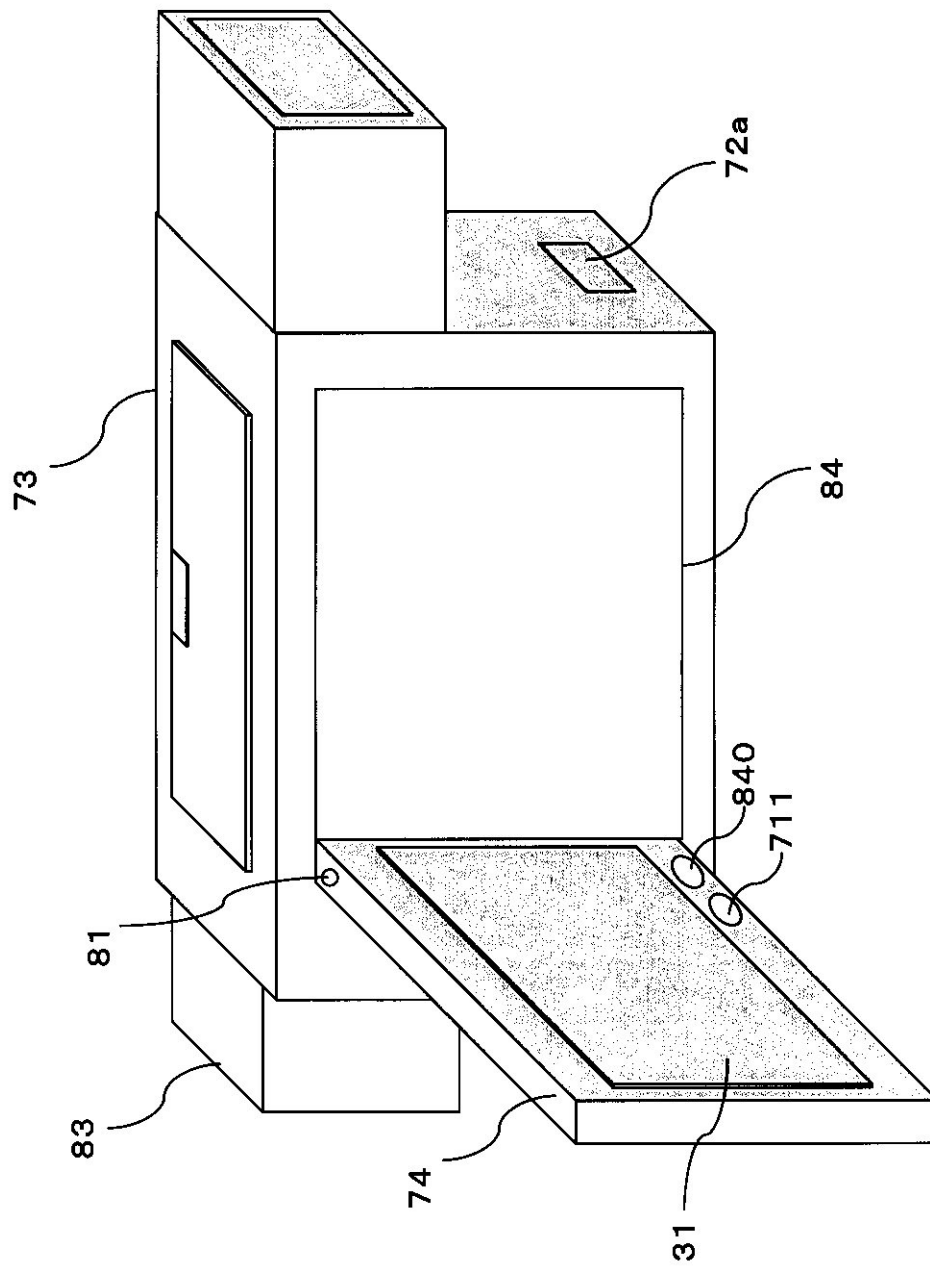


【図 130】



【図 8】

81 支点
83 撮影レンズ
84 格納部

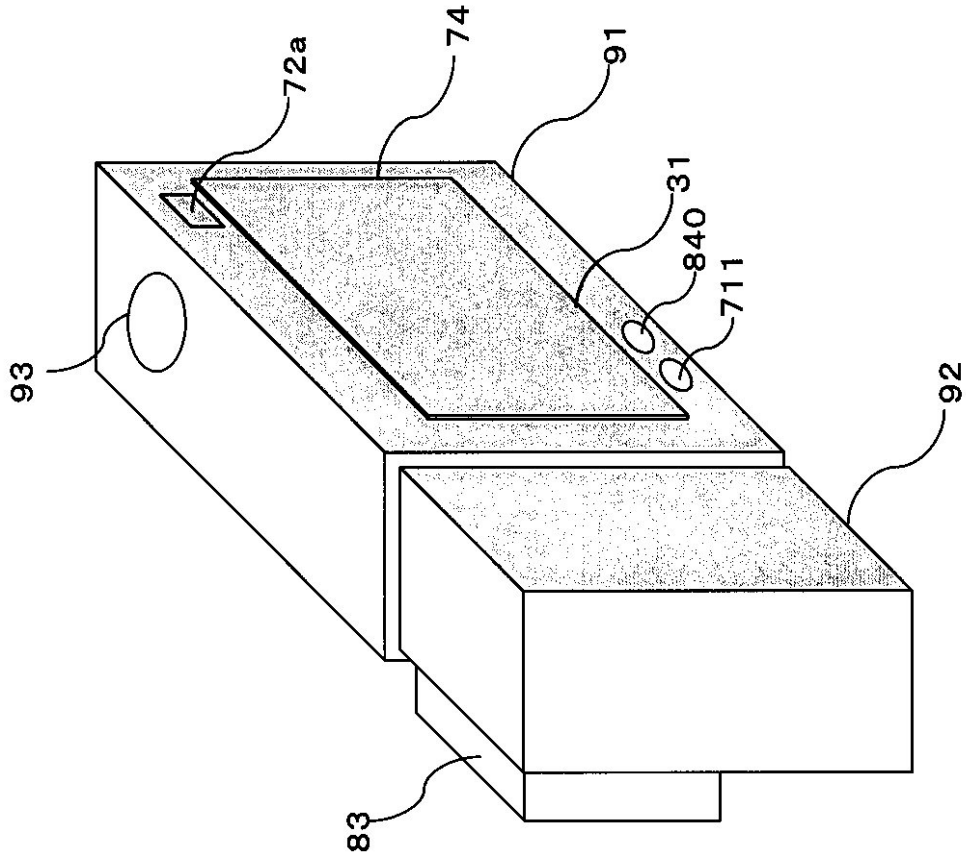


【図 9】

93 シャッタスイッチ

92 撮影部

91 本体



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 1 L
G 0 9 G	3/20	6 8 0 F
G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 4 2 F
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 6 0 V
H 0 5 B	33/14	A
H 0 5 B	33/12	B

(72)発明者 高原 博司

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 柘植 仁志

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE04 EE06 EE27 HH02 HH04 HH05

5C080 AA06 BB05 CC03 DD01 DD05 DD26 EE19 EE28 EE29 EE30

FF07 FF11 HH09 JJ01 JJ02 JJ03 JJ04 JJ05 JJ06 KK43

专利名称(译)	EL表示装置		
公开(公告)号	JP2009276744A	公开(公告)日	2009-11-26
申请号	JP2009011791	申请日	2009-01-22
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	高原博司 柘植仁志		
发明人	高原 博司 柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/12		
CPC分类号	G09G3/3233 G09G2300/0814 G09G2300/0819 G09G2320/043		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/30.J G09G3/20.641.P G09G3/20.623.D G09G3/20.621.L G09G3/20.680.F G09G3/20.612.E G09G3/20.642.F G09G3/20.611.H G09G3/20.642.A G09G3/20.611.A G09G3/20.660.V H05B33/14.A H05B33/12.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/EE06 3K107/EE27 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/DD26 5C080/EE19 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB08 5C380/AB19 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AB45 5C380/AC02 5C380/AC09 5C380/AC11 5C380/AC15 5C380/BA01 5C380/BA06 5C380/BA08 5C380/BA10 5C380/BA12 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA23 5C380/BA24 5C380/BA25 5C380/BA28 5C380/BA33 5C380/BA34 5C380/BA38 5C380/BA40 5C380/BA42 5C380/BA43 5C380/BA46 5C380/BA47 5C380/BB02 5C380/BB09 5C380/BB15 5C380/BB16 5C380/BB17 5C380/BB22 5C380/BB23 5C380/BB25 5C380/BD03 5C380/BD05 5C380/BD07 5C380/BD11 5C380/BD12 5C380/BD16 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA10 5C380/CA12 5C380/CA17 5C380/CA26 5C380/CA30 5C380/CA35 5C380/CA36 5C380/CA53 5C380/CA54 5C380/CB02 5C380/CB11 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB29 5C380/CB30 5C380/CB31 5C380/CB32 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC34 5C380/CC39 5C380/CC52 5C380/CC55 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CC66 5C380/CC77 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD018 5C380/CD019 5C380/CD023 5C380/CD024 5C380/CD026 5C380/CD027 5C380/CD028 5C380/CD029 5C380/CD036 5C380/CD038 5C380/CE02 5C380/CE03 5C380/CE05 5C380/CE07 5C380/CE08 5C380/CE09 5C380/CE16 5C380/CE20 5C380/CE21 5C380/CE22 5C380/CF05 5C380/CF07 5C380/CF09 5C380/CF18 5C380/CF19 5C380/CF23 5C380/CF24 5C380/CF27 5C380/CF31 5C380/CF42 5C380/CF43 5C380/CF45 5C380/CF48 5C380/CF49 5C380/CF52 5C380/CF53 5C380/CF56 5C380/CF57 5C380/CF58 5C380/CF64 5C380/CF67 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA13 5C380/DA19 5C380/DA20 5C380/DA24 5C380/DA26 5C380/DA30 5C380/DA32 5C380/DA33 5C380/DA34 5C380/DA35 5C380/DA37 5C380/DA39 5C380/DA40 5C380/DA41 5C380/DA42 5C380/DA47 5C380/DA50 5C380/DA57 5C380/DA58 5C380/EA01 5C380/EA05 5C380/EA11 5C380/EA12 5C380/EA16 5C380/FA02 5C380/FA03 5C380/FA04 5C380/FA06 5C380/FA07 5C380/FA10 5C380/FA11 5C380/FA12 5C380/FA13 5C380/FA16 5C380/FA22 5C380/FA23 5C380/FA26 5C380/GA02 5C380/GA07 5C380/GA15 5C380/GA17 5C380/GA18 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA06 5C380/HA08 5C380/HA11		
代理人(译)	中村聪		

	<div>富田克幸</div> <div>夫 世进</div>
优先权	<div>2008031284 2008-02-13 JP</div> <div>2008033399 2008-02-14 JP</div> <div>2008105475 2008-04-15 JP</div>
其他公开文献	JP2009276744A5
外部链接	Espacenet

[illegible]