

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-203478

(P2008-203478A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 623C	
	G09G 3/20 642A	

審査請求 未請求 請求項の数 7 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2007-38863 (P2007-38863)
 (22) 出願日 平成19年2月20日 (2007.2.20)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 豊村 直史
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

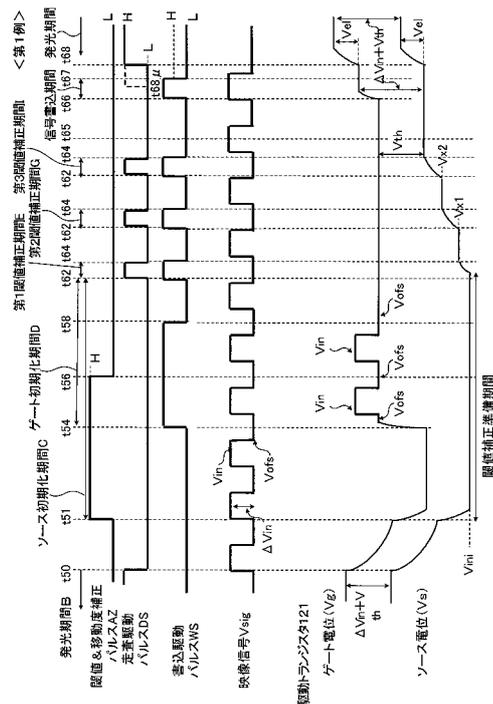
(54) 【発明の名称】 表示装置とその駆動方法

(57) 【要約】

【課題】 閾値補正機能を有する有機EL表示装置において、分割閾値補正動作時に生じ得る破綻現象を防止する。

【解決手段】 閾値補正動作を時分割で複数回繰り返す際に、その期間中において、発光制御トランジスタとサンプリングトランジスタの双方を連動して、閾値補正用の固定電位の期間には道通状態にする一方、映像信号が信号電位の期間には非道通状態にする。複数回に亘る閾値補正期間における各回の閾値補正期間の合間にブートストラップ動作がなされることで閾値補正が破綻してしまうような事態を回避することができる。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号電位に応じた情報を保持する保持容量、前記信号電位に応じた情報を前記保持容量に書き込むサンプリングトランジスタ、前記駆動トランジスタの電源供給端と電源線との間に配され前記電気光学素子の発光期間を調整する発光制御トランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、

前記サンプリングトランジスタを水平周期で順次制御することで前記画素回路を線順次走査して 1 行分の各保持容量に映像信号の信号電位に応じた情報を書き込むための書込走査パルスを書込走査部を前記サンプリングトランジスタに出力する書込走査部、前記サンプリングトランジスタによる信号電位の書込動作に合わせて 1 行分の映像信号を前記映像信号線に供給する水平駆動部を具備する制御部とを備え、

前記制御部は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持するための閾値補正動作の固定電位が前記駆動トランジスタの制御入力端に供給されるように制御するとともに、前記閾値補正動作を時分割で複数回繰り返すことで、前記保持容量の両端電圧を前記駆動トランジスタの閾値電圧にする際に、複数回に亘る前記閾値補正動作の期間中は、前記固定電位の供給期間に、前記発光制御トランジスタと前記サンプリングトランジスタを連動して導通状態に切り替えて各回の前記閾値補正動作をするように制御する

ことを特徴とする表示装置。

【請求項 2】

前記水平駆動部は、水平走査期間の一部で前記映像信号に前記閾値補正動作の固定電位を出力する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記制御部は、前記閾値補正動作に先立って、前記保持容量の両端電圧が前記駆動トランジスタの閾値電圧以上となるように設定する、前記閾値補正動作の準備動作を行なうように制御する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記画素回路は、前記保持容量が前記駆動トランジスタの制御入力端と前記出力端との間に配され、前記駆動トランジスタ、前記サンプリングトランジスタ、および前記発光制御トランジスタの他に、前記保持容量の両端電圧が前記駆動トランジスタの閾値電圧以上となるように設定するための基準電位と前記駆動トランジスタの前記出力端との間に配されたスイッチトランジスタを有し、

前記制御部は、前記閾値補正動作の準備動作時に前記スイッチトランジスタを導通状態にする

ことを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記制御部は、前記閾値補正動作の後、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる情報に加えるための移動度補正動作を行なうように制御する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記制御部は、前記保持容量に前記信号電位に対応する情報が書き込まれた時点で前記サンプリングトランジスタを非導通状態にして前記駆動トランジスタの前記制御入力端への前記映像信号の供給を停止させ、当該駆動トランジスタの前記出力端の電位変動に前記制御入力端の電位が連動する動作を可能にする

10

20

30

40

50

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号電位に応じた情報を保持する保持容量、前記信号電位に応じた情報を前記保持容量に書き込むサンプリングトランジスタ、前記駆動トランジスタの電源供給端と電源線との間に配され前記電気光学素子の発光期間を調整する発光制御トランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路の駆動方法であって、

前記制御部は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持するための閾値補正動作の固定電位が前記駆動トランジスタの制御入力端に供給されるように制御するとともに、前記閾値補正動作を時分割で複数回繰り返すことで、前記保持容量の両端電圧を前記駆動トランジスタの閾値電圧にする際に、複数回に亘る前記閾値補正動作の期間中は、前記固定電位の供給期間に、前記発光制御トランジスタと前記サンプリングトランジスタを連動して導通状態に切り替えて各回の前記閾値補正動作をするように制御する

ことを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）が行列状に配列された画素アレイ部を有する表示装置と、その駆動方法に関する。より詳細には、駆動信号の大小によって輝度が変化する電気光学素子を表示素子として有する画素回路が行列状に配置されてなり、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれるアクティブマトリクス型の表示装置と、その駆動方法に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED; 以下、有機 E L と記す）素子が代表例である。後者の有機 E L 素子を用いた有機 E L 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機 E L 素子は有機薄膜に電界をかけると発光する現象を利用した電気光学素子である。有機 E L 素子は比較的低い印加電圧（たとえば 10 V 以下）で駆動できるため低消費電力である。また有機 E L 素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機 E L 素子の応答速度は非常に高速である（たとえば数 μ s 程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機 E L 素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0004】

ところで、液晶表示素子を用いた液晶表示装置や有機 E L 素子を用いた有機 E L 表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

【0005】

10

20

30

40

50

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor ; T F T) をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【 0 0 0 6 】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタで駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

【 0 0 0 7 】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機 E L 素子を用いる有機 E L 表示装置では、有機 E L 素子は電流駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電圧信号に変換して、その駆動電流を有機 E L 素子に供給する。

【 0 0 0 8 】

有機 E L 素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機 E L 素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

【 0 0 0 9 】

有機 E L 素子の電圧 - 電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

【 0 0 1 0 】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機 E L 素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【 0 0 1 1 】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機 E L 素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

【 0 0 1 2 】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【 0 0 1 3 】

【特許文献 1】特開 2 0 0 6 - 2 1 5 2 1 3 号公報

【 0 0 1 4 】

たとえば、特許文献 1 に記載の仕組みでは、有機 E L 素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機 E L 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかしながら、特許文献1に記載の仕組みでは、補正用の電位を供給する配線と、補正用のスイッチングトランジスタと、それを駆動するスイッチング用のパルスが必要であり、駆動トランジスタおよびサンプリングトランジスタを含めると5つのトランジスタを使用する5TR駆動の構成を採っており、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5TR駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

10

【0016】

このため、画素回路の簡素化を図りつつ、素子の特性ばらつきによる輝度変化を抑制する方式の開発要求がある。この際には、その簡素化に伴って、5TR駆動の構成では生じていない問題が新たに発生することがないようにすることも考慮されるべきである。

【0017】

本発明は、上記事情に鑑みてなされたもので、画素回路の簡素化により表示装置の高精細化を可能にする表示装置およびその駆動方法を提供することを一般的な目的とする。

【0018】

また、特に好ましくは、画素回路の簡素化を図りつつ、画素回路を駆動する動作が画質に与える影響を緩和する（特に輝度ムラを抑制する）ことのできる仕組みを提供することを目的とする。

20

【0019】

また、画素回路の簡素化に当たっては、好ましくは、駆動トランジスタや発光素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

【課題を解決するための手段】

【0020】

本発明に係る表示装置の一実施形態は、映像信号に基づいて画素回路内の電気光学素子を発光させる表示装置であって、先ず、画素アレイ部に行列状に配される画素回路内に、少なくとも、駆動電流を生成する駆動トランジスタ、駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号電位に応じた情報（駆動電位）を保持する保持容量、保持容量に映像信号における信号電位に応じた情報を書き込むサンプリングトランジスタを備える。この画素回路においては、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流すことで電気光学素子を発光させる。

30

【0021】

サンプリングトランジスタで保持容量に信号電位に応じた情報を駆動電位として書き込むので、サンプリングトランジスタは、その入力端（ソース端もしくはドレイン端の一方）に信号電位を取り込み、その出力端（ソース端もしくはドレイン端の他方）に接続された保持容量に信号電位に応じた情報を書き込む。もちろん、サンプリングトランジスタの出力端は、駆動トランジスタの制御入力端にも接続されている。

【0022】

なお、ここで示した画素回路の接続構成は、最も基本的な構成を示したもので、画素回路は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外（つまり他の構成要素）が含まれていてもよい。また、「接続」は、直接に接続されている場合に限らず、他の構成要素を介して接続されている場合でもよい。

40

【0023】

このような変形態様の画素回路であっても、本項（課題を解決するための手段）で説明する構成や作用を実現し得るものである限り、それらの変形態様も、本発明に係る表示装置の一実施形態を実現する画素回路である。

【0024】

たとえば、接続間には、必要に応じてさらに、スイッチング用のトランジスタや、ある

50

機能を持った機能部などを介在させるなどの変更が加えられることがある。典型的には、表示期間（換言すれば非発光時間）を動的に制御するためにスイッチング用のトランジスタ（発光制御トランジスタ）を、駆動トランジスタの出力端と電気光学素子との間に、もしくは駆動トランジスタの電源供給端（ドレイン端が典型例）と電源供給用の配線である電源線との間に配することがある。このうち、本発明に係る表示装置の一実施形態では、少なくとも、駆動トランジスタの電源供給端（ドレイン端が典型例）と電源供給用の配線である電源線との間に発光制御トランジスタが配された構成を基本的な特徴とする。

【0025】

また、画素回路を駆動するための周辺部には、たとえば、サンプリングトランジスタを水平周期で順次制御することで画素回路を線順次走査して、1行分の各保持容量に映像信号の信号電位に応じた情報を書き込む書込走査部、および書込走査部での線順次走査に合わせて1行分の各駆動トランジスタの電源供給端に印加される電源供給を制御するための走査駆動パルスを出力する駆動走査部を具備する制御部を設ける。また、制御部には、書込走査部での線順次走査に合わせて各水平周期内で基準電位と信号電位で切り替わる映像信号がサンプリングトランジスタに供給されるように制御する水平駆動部を設ける。

10

【0026】

制御部は、さらに少なくとも、駆動電流を流すために使用される第1電位に対応する電圧（いわゆる電源電圧）が発光制御トランジスタを介して駆動トランジスタの電源供給端に供給されている時間帯で、閾値補正動作の固定電位が駆動トランジスタの制御入力端に供給されるように制御して、駆動トランジスタの閾値電圧に対応する電圧を保持容量に保持するための閾値補正動作を行なうように制御する。必要に応じて、その制御のための補正走査部を設ける。好ましくは、水平走査期間の一部で映像信号に閾値補正動作の固定電位を出力するようにするのがよい。こうすることで、固定電位を与えるためのスイッチトランジスタとしてサンプリングトランジスタを機能させることができる。

20

【0027】

制御部は、さらに好ましくは、駆動トランジスタの移動度に対する補正分を保持容量に書き込まれる情報に加えるための移動度補正動作を行なうように制御する。必要に応じて、その制御のための補正走査部を設ける。

【0028】

移動度補正動作の補正走査部と閾値補正動作の補正走査部とは、兼用されたものとするのが好ましい。それに合わせて、画素回路も移動度補正動作や閾値補正動作の補正走査部からのパルスを受けて動作する補正用スイッチトランジスタとして発光制御トランジスタを機能させる。

30

【0029】

この閾値補正動作は、必要に応じて、信号電位の保持容量への書込みに先行する複数の水平周期で繰り返し実行するとよい。ここで「必要に応じて」とは、1水平周期内の閾値補正期間では駆動トランジスタの閾値電圧に相当する電圧を十分に保持容量へ保持させることができない場合を意味する。閾値補正動作の複数回の実行により、確実に駆動トランジスタの閾値電圧に相当する電圧を保持容量に保持させるのである。

【0030】

また、さらに好ましくは、制御部は、閾値補正動作に先立って、駆動トランジスタの制御入力端と出力端の電位を、両端の電位差が閾値電圧以上になるように初期化する閾値補正用の準備動作を実行するように制御する。より詳しくは、制御入力端と出力端との間に保持容量を接続しておくことで、保持容量の両端の電位差が閾値電圧以上になるように設定するのである。この準備動作のために画素回路にはスイッチトランジスタを設けるのがよい。

40

【0031】

さらに好ましくは、制御部は、閾値補正動作の後、サンプリングトランジスタに信号電位が供給されている時間帯でサンプリングトランジスタを導通させることで、保持容量に信号電位の情報を書き込みつつ、駆動トランジスタの移動度に対する補正分を保持容量に

50

書き込まれる信号に加えるように制御する。

【0032】

さらに好ましくは、制御部は、保持容量に信号電位に対応する情報が書き込まれた時点でサンプリングトランジスタを非導通状態にして駆動トランジスタの制御入力端への映像信号の供給を停止させ、駆動トランジスタの出力端の電位変動に制御入力端の電位が連動するブートストラップ動作を行なうように制御する。

【0033】

制御部は、好ましくはブートストラップ動作を、サンプリング動作の終了後の特に発光開始の初期でも実行するようにする。すなわち、信号電位がサンプリングトランジスタに供給されている状態でサンプリングトランジスタを導通状態にした後にサンプリングトランジスタを非導通状態にすることで、駆動トランジスタの制御入力端と出力端の電位差が一定に維持されるようにする。

10

【0034】

また、制御部は、好ましくはブートストラップ動作を、発光期間において電気光学素子の経時変動補正動作を実現するように制御する。このため、制御部は、保持容量に保持された情報に基づく駆動電流が電気光学素子に流れている期間は継続的にサンプリングトランジスタを非導通状態にしておくことで、制御入力端と出力端の電圧を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。

【0035】

ここで、本発明に係る表示装置の一実施形態における特徴的な事項として、制御部は、閾値補正動作の固定電位が駆動トランジスタの制御入力端に供給されるように制御するとともに、閾値補正動作を時分割で複数回繰り返すことで保持容量の両端電圧を駆動トランジスタの閾値電圧にする際に、複数回に亘る閾値補正動作の間中は、固定電位の供給期間に、発光制御トランジスタとサンプリングトランジスタを連動して導通状態に切り替えて各回の閾値補正動作をするように制御する。複数回に亘る閾値補正動作の間中において、映像信号が信号電位の期間には、発光制御トランジスタとサンプリングトランジスタの双方を非導通状態にするのである。「連動して」とは、発光制御トランジスタとサンプリングトランジスタの両者が同時オンしあるいはオフすることに限らず、オンやオフが多少相前後する場合であってもよい。

20

【発明の効果】

30

【0036】

本発明の一実施形態によれば、閾値補正動作を時分割で複数回繰り返す際に、その期間中において、発光制御トランジスタとサンプリングトランジスタの双方を連動して、閾値補正用の固定電位の期間には導通状態にする一方、映像信号が信号電位の期間には非導通状態にするので、複数回に亘る閾値補正期間における各回の閾値補正期間の合間にブートストラップ動作がなされることで閾値補正が破綻してしまうような事態を回避することができる。

【0037】

また、有機EL素子などの電流駆動型の電気光学素子を画素回路に用いたアクティブマトリクス型の表示装置において、各画素回路が少なくとも駆動トランジスタの閾値補正機能を備えるようにすれば、閾値電圧のばらつきの影響を受けることがなく、良好な画質の表示装置を実現できる。望ましくは、駆動トランジスタの移動度補正機能を備えるようにすれば、さらに高品位の画質を得ることができる。

40

【0038】

閾値補正機能により駆動トランジスタの閾値変動を補正することで、あるいは移動度補正機能により駆動トランジスタの移動度変動を補正することで、これらの変動やばらつきの影響を受けることなく発光輝度を一定に保つことができるからである。

【0039】

ここで、閾値補正機能およびそれに先立つ閾値補正準備機能（初期化機能）を実現するに当たって、発光制御トランジスタに対するオン/オフ制御を併用するようにすれば、こ

50

これらの機能を実現するためのスイッチトランジスタとして発光制御トランジスタ122を機能させることができ効果的である。加えて、水平走査期間の一部で映像信号に閾値補正動作の固定電位を出力するようにすると、固定電位を与えるためのスイッチトランジスタとしてサンプリングトランジスタを機能させることができ効果的である。

【0040】

結果として、2TR駆動の構成をベースとして、まず、駆動トランジスタの電源供給側に発光制御トランジスタを設けつつ、映像信号用の信号線から供給される固定電位を利用して閾値補正を行なうことができるので、画素回路の構成素子数と配線本数が大幅に削減でき、画素アレイ部を縮小することができ、表示装置の高精細化を達成し易くなる。画素回路の簡素化を図りつつ、素子の特性変動による輝度変化の補正機能を実現できる。素子数や配線数が少ないため高精細化に適しており、高精細の表示が求められる小型の表示装置を容易に実現できる。

10

【発明を実施するための最良の形態】

【0041】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0042】

<表示装置の全体概要>

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ(TFT; Thin Film Transistor)をそれぞれ使い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ(以下「有機EL表示装置」と称する)に適用した場合を例に採って説明する。

20

【0043】

なお、以下においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機EL素子に限らない。一般的に電流駆動で発光する発光素子の全てに、後述する全ての実施形態が同様に適用できる。

【0044】

図1に示すように、有機EL表示装置1は、複数の表示素子としての有機EL素子(図示せず)を持った画素回路(画素とも称される)110が表示アスペクト比である縦横比がX:Y(たとえば9:16)の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200と、映像信号処理部300を備えている。駆動信号生成部200と映像信号処理部300とは、1チップのIC(Integrated Circuit; 半導体集積回路)に内蔵されている。

30

【0045】

なお、製品形態としては、図示のように、表示パネル部100、駆動信号生成部200、および映像信号処理部300の全てを備えたモジュール(複合部品)形態の有機EL表示装置1として提供されることに限らず、たとえば、表示パネル部100のみで有機EL表示装置1として提供することも可能である。また、このような有機EL表示装置1は、半導体メモリやミニディスク(MD)やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

40

【0046】

表示パネル部100は、基板101の上に、画素回路Pがn行×m列のマトリクス状に配列された画素アレイ部102と、画素回路Pを垂直方向に走査する垂直駆動部103と、画素回路Pを水平方向に走査する水平駆動部(水平セクタあるいはデータ線駆動部とも称される)106と、外部接続用の端子部(パッド部)108などが集積形成されている。すなわち、垂直駆動部103や水平駆動部106などの周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。

【0047】

50

垂直駆動部 103 としては、たとえば、書込走査部（ライトスキャナ WS ; Write Scan）104 や駆動走査部（ドライブスキャナ DS ; Drive Scan）105（図では両者を一体的に示している）と、閾値 & 移動度補正走査部 115 を有する。

【0048】

画素アレイ部 102 は、一例として、図示する左右方向の一方側または両側から書込走査部 104、駆動走査部 105、閾値 & 移動度補正走査部 115 で駆動され、かつ図示する上下方向の一方側または両側から水平駆動部 106 で駆動されるようになっている。

【0049】

端子部 108 には、有機 EL 表示装置 1 の外部に配された駆動信号生成部 200 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 300 から映像信号 Vsig が供給されるようになっている。

10

【0050】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、閾値や移動度を補正するためのパルス信号として、垂直方向の閾値検知開始パルスの一例であるシフトスタートパルス SPAZ や垂直走査クロック CKAZ など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給される。

【0051】

20

端子部 108 の各端子は、配線 109 を介して、垂直駆動部 103 や水平駆動部 106 に接続されるようになっている。たとえば、端子部 108 に供給された各パルスは、必要に応じて図示を割愛したレベルシフト部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 103 の各部や水平駆動部 106 に供給される。

【0052】

画素アレイ部 102 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 EL 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

【0053】

30

たとえば、画素アレイ部 102 には、走査線（ゲート線）104 WS、105 DS や閾値 & 移動度補正走査線 115 AZ と信号線（データ線）106 HS が形成されている。両者の交差部分には図示を割愛した有機 EL 素子とこれを駆動する薄膜トランジスタ（TF T ; Thin Film Transistor）が形成される。有機 EL 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

【0054】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 104 によって書込駆動パルス WS で駆動される n 行分の書込走査線 104 WS₁ ~ 104 WS_n および駆動走査部 105 によって走査駆動パルス DS で駆動される n 行分の駆動走査線 105 DS₁ ~ 105 DS_n、また閾値 & 移動度補正走査部 115 によって閾値 & 移動度補正パルス AZ で駆動される n 行分の閾値 & 移動度補正走査線 115 AZ₁ ~ 115 AZ_n が画素行ごとに配線される。

40

【0055】

書込走査部 104 および駆動走査部 105 は、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づいて、各走査線 105 DS、104 WS を介して各画素回路 P を順次選択する。水平駆動部 106 は、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づいて、選択された画素回路 P に対し信号線 106 HS を介して画像信号を書き込む。

【0056】

垂直駆動部 103 の各部は線順次で画素アレイ部 102 を走査するとともに、これに同

50

期して水平駆動部 106 が、画像信号の 1 水平ライン分を同時に、画素アレイ部 102 に書き込む線順次駆動を行なう。線順次駆動に対応する場合、水平駆動部 106 は、全列の信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部 300 から入力される画素信号を、垂直駆動部 103 によって選択された行の 1 ライン分の全ての画素回路 P に同時に書き込むべく、全列の信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせる。

【0057】

垂直駆動部 103 の各部は、論理ゲートの組合せ（ラッチも含む）によって構成され、画素アレイ部 102 の各画素回路 P を行単位で選択する。なお、図 1 では、画素アレイ部 102 の一方側にのみ垂直駆動部 103 を配置する構成を示しているが、画素アレイ部 102 を挟んで左右両側に垂直駆動部 103 を配置する構成を採ることも可能である。同様に、図 1 では、画素アレイ部 102 の一方側にのみ水平駆動部 106 を配置する構成を示しているが、画素アレイ部 102 を挟んで上下両側に水平駆動部 106 を配置する構成を採ることも可能である。

10

【0058】

<画素回路>

図 2 は、図 1 に示した有機 EL 表示装置 1 を構成する本実施形態の画素回路 P の一例を示す図である。なお、表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。図 3 は有機 EL 素子や駆動トランジスタの動作点を説明する図である。図 3 A は、有機 EL 素子や駆動トランジスタの特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図である。

20

【0059】

本実施形態の画素回路 P は、基本的に n チャネル型の薄膜電界効果トランジスタでドライバトランジスタが構成されている点に特徴を有する。また、有機 EL 素子の経時劣化による当該有機 EL 素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機 EL 素子の電流 - 電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する閾値補正機能や移動度補正機能を実現する駆動信号一定化回路（その 1）を備えた点に特徴を有する。加えて、有機 EL 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にするブートストラップ機能を実現する駆動信号一定化回路（その 2）を備えた点に特徴を有する。

30

【0060】

全てのスイッチトランジスタを p チャネル型のトランジスタではなく、n チャネル型のトランジスタで駆動トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路 P の開発が期待される。

【0061】

駆動トランジスタを始めとする各トランジスタとしては MOS トランジスタを使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端およびドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方を電源供給端（ここではドレイン端とする）として取り扱う。

40

【0062】

本実施形態の画素回路 P は、保持容量（画素容量とも称される）120、n チャネル型の駆動トランジスタ 121、アクティブ H の駆動パルス（走査駆動パルス DS）が制御入力端であるゲート端 G に供給される n チャネル型の発光制御トランジスタ 122、アクティブ H の駆動パルス（書込駆動パルス WS）が制御入力端であるゲート端 G に供給される n チャネル型のサンプリングトランジスタ 125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機 EL 素子 127 を有する。

【0063】

サンプリングトランジスタ 125 は、駆動トランジスタ 121 のゲート端 G（制御入力

50

端子)側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ122もスイッチングトランジスタである。

【0064】

一般に、有機EL素子127は整流性があるためダイオードの記号で表わしている。なお、有機EL素子127には、寄生容量(等価容量)C_{el}が存在する。図では、この寄生容量C_{el}を有機EL素子127と並列に示す。

【0065】

ここで、本実施形態の画素回路Pは、駆動トランジスタ121のドレイン端D側に発光制御トランジスタ122を配し、かつ保持容量120を駆動トランジスタ121のゲート・ソース間に接続することでブートストラップ回路が形成されるように、さらに閾値&移動度補正回路を構成するスイッチトランジスタを備える点に特徴を有する。

10

【0066】

有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流量をコントロールすることで発色の階調を得る。このため、駆動トランジスタ121のゲート端Gへの印加電圧を変化させることで、有機EL素子127に流れる電流値をコントロールする。この際、ブートストラップ回路や閾値&移動度補正回路を備えることで、有機EL素子127の経時時変化や駆動トランジスタ121の特性ばらつきの影響を受けないようにしている。このため、画素回路Pを駆動する垂直駆動部103には、書込走査部104および駆動走査部105に加えて、閾値&移動度補正走査部115を備える。

【0067】

図では、1つの画素回路Pのみを示しているが、図1でも説明したように、同様の構成の画素回路Pがマトリクス状に配列される。そして、マトリクス状に配列された各画素回路Pに対しては、書込走査部104によって書込駆動パルスWSで駆動されるn行分の書込走査線104WS₁~104WS_nおよび駆動走査部105によって走査駆動パルスDSで駆動されるn行分の駆動走査線105DS₁~105DS_nの他に、閾値&移動度補正走査部115によって閾値&移動度補正パルスAZで駆動されるn行分の閾値&移動度補正走査線115AZ₁~115AZ_nが画素行ごとに配線される。

20

【0068】

ブートストラップ回路は、有機EL素子127と並列に接続されたアクティブHの閾値&移動度補正パルスAZが供給されるnチャンネル型の検知トランジスタ124を備え、この検知トランジスタ124と駆動トランジスタ121のゲート・ソース間に接続された保持容量120とで構成される。保持容量120は、ブートストラップ容量としても機能するようになっている。

30

【0069】

閾値&移動度補正回路は、駆動トランジスタ121のゲート端Gと第2電源電位V_{c2}との間にアクティブHの閾値&移動度補正パルスAZが供給されるnチャンネル型の検知トランジスタ124を備え、検知トランジスタ124と、駆動トランジスタ121と、発光制御トランジスタ122と、駆動トランジスタ121のゲート・ソース間に接続された保持容量120で構成される。保持容量120は、検知した閾値電圧V_{th}を保持する閾値電圧保持容量としても機能するようになっている。

40

【0070】

駆動トランジスタ121は、先ず、ドレイン端Dが発光制御トランジスタ122のソース端Sに接続されている。発光制御トランジスタ122のドレイン端Dは第1電源電位V_{c1}に接続されている。そのゲート端Gには、駆動走査部105から駆動走査線105DSを介してアクティブHの走査駆動パルスDSが供給される。

【0071】

ここで、本実施形態においては、低消費電力を考慮して、発光制御トランジスタ122に関して、ゲート・ソース間電圧をV_{gs_122}、閾値電圧をV_{th_122}、ドレイン・ソース間電圧をV_{ds_122}としたとき、少なくとも有機EL素子127の発光期間においては線形領域(V_{gs_122} - V_{th_122} > V_{ds_122})で動作させる。このため、駆動走査部105は、少

50

なくとも、有機EL素子127の発光期間では、発光制御トランジスタ122のオン時に飽和しない程度に、走査駆動パルスDSの振幅（LレベルとHレベルの差）を小さめに設定する。

【0072】

また、駆動トランジスタ121は、ソース端Sが直接に有機EL素子127のアノード端Aに接続される。その接続点をノードND121とする。有機EL素子127のカソード端Kは基準電位を供給する全画素共通の接地配線Vcath（GND）に接続されてカソード電位Vcathが供給されるようになっている。

【0073】

サンプリングトランジスタ125は、ゲート端Gが書込走査部104からの書込走査線104WSに接続され、ドレイン端Dが映像信号線106HSに接続され、ソース端Sが駆動トランジスタ121のゲート端Gに接続されている。その接続点をノードND122とする。サンプリングトランジスタ125のゲート端Gには、書込走査部104からアクティブHの書込駆動パルスWSが供給される。サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。保持容量120は、一方の端子が駆動トランジスタ121のソース端Sに接続され、他方の端子が同じく駆動トランジスタ121のゲート端Gに接続されている。

10

【0074】

検知トランジスタ124は、スイッチングトランジスタであり、ドレイン端Dが駆動トランジスタ121のソース端Sと有機EL素子127のアノード端Aとの接続点であるノードND121に接続され、ソース端Sは、基準電位の一例である基準電位Vini（接地電位Vs1とも称する）に接続され、制御入力端であるゲート端Gは閾値&移動度補正走査線115AZに接続されている。駆動トランジスタ121のゲート・ソース間に保持容量120を接続し、検知トランジスタ124がオンすることで、駆動トランジスタ121のソース端Sの電位を検知トランジスタ124を介して固定電位である基準電位Viniに接続するように構成している。

20

【0075】

サンプリングトランジスタ125は、書込走査線104WSによって選択されたとき動作し、信号線106HSから画素信号Vsig（の信号電位Vin）をサンプリングしてノードND112を介し保持容量120に信号電位Vinに対応する大きさの電圧を保持する。保持容量120に保持される電位は理想的には信号電位Vinと同じ大きさであるが実際にはそれよりも小さくなる。

30

【0076】

駆動トランジスタ121は、発光制御トランジスタ122が走査駆動パルスDSの元でオンしているときに保持容量120に保持された駆動電位（その時点の駆動トランジスタ121のゲート・ソース間電圧Vgs）に応じて有機EL素子127を電流駆動する。発光制御トランジスタ122は駆動走査線105DSによって選択されたときに導通して第1電源電位Vc1から駆動トランジスタ121に電流を供給する。

【0077】

このように、駆動トランジスタ121の電源供給端であるドレイン端D側を発光制御トランジスタ122を介して第1電源電位Vc1に接続し、発光制御トランジスタ122のオン期間を制御することで有機EL素子127の発光期間と非発光期間を調整し、デューティ（Duty）駆動を行なうことを可能にしている。

40

【0078】

検知トランジスタ124は閾値&移動度補正走査部115からアクティブHの閾値&移動度補正パルスAZを閾値&移動度補正走査線115AZに供給してそれぞれを選択状態としたとき動作し、予め決められた補正動作（ここでは閾値閾値電圧Vthや移動度μのばらつきを補正する動作）を行なう。たとえば、有機EL素子127の電流駆動に先立って駆動トランジスタ121の閾値電圧Vthを検知し、予めその影響をキャンセルするため、検知した電位を保持容量120に保持する。

50

【 0 0 7 9 】

また、映像信号線 1 0 6 HSにおける映像信号 V_{sig} の一定電位（固定電位）であるオフセット電圧 V_{ofs} （基準電位 V_o とも称する）と検知トランジスタ 1 2 4 のソース端 S 側の基準電位 V_{ini} とを利用して、閾値補正に先立つ準備動作を行なうことを可能にしている。この準備動作は、駆動トランジスタ 1 2 1 の制御入力端（ゲート端 G ）と出力端（ソース端 S ）の電位を、両端の電位差（ゲート・ソース間電圧 V_{gs} ）が閾値電圧 V_{th} 以上になるように初期化するものである。なお、オフセット電圧 V_{ofs} は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線 1 0 6 HSを予めプリチャージしておくためにも利用する。

【 0 0 8 0 】

画素回路 P の正常な動作を保証するための条件として、基準電位 V_{ini} は、映像信号 V_{sig} のオフセット電圧 V_{ofs} から駆動トランジスタ 1 2 1 の閾値電圧 V_{th} を差し引いたレベルよりも低く設定されている。すなわち、“ $V_{ini} < V_{ofs} - V_{th}$ ”である。換言すれば、“ $V_{ofs} - V_{ini} > V_{th}$ ”を満たし、基準電位 V_{ini} としては、映像信号線 1 0 6 HSにおける映像信号 V_{sig} のオフセット電圧 V_{ofs} より十分低い電位とする。

【 0 0 8 1 】

また、有機 EL 素子 1 2 7 のカソード端 K の電位 V_{cath} に有機 EL 素子 1 2 7 の閾値電圧 V_{thEL} を加えたレベルは、基準電位 V_{ini} よりも高く設定される。すなわち、“ $V_{cath} + V_{thEL} > V_{ini}$ ”とされる。これは、閾値補正動作に先立つ準備動作時に有機 EL 素子 1 2 7 が逆バイアスとなる条件を意味する。カソード電位 V_{cath} は $0V$ （＝接地電位）と

【 0 0 8 2 】

また、閾値補正期間におけるアノード電位（駆動トランジスタ 1 2 1 のソース電位 V_s ）が、有機 EL 素子 1 2 7 のカソード端 K の電位 V_{cath} に有機 EL 素子 1 2 7 の閾値電圧 V_{thEL} を加えたレベルよりも高く設定される。すなわち、“ $V_{ofs} - V_{th} < V_{cath} + V_{thEL}$ ”とされる。これは、閾値補正期間にも、有機 EL 素子 1 2 7 が逆バイアスとなる条件を意味する。カソード電位 V_{cath} は $0V$ （＝接地電位）と考えてよく、“ $V_{ofs} - V_{th} < V_{thEL}$ ”としてもよい。

【 0 0 8 3 】

このような構成を持つ比較例の画素回路 P において、サンプリングトランジスタ 1 2 5 は、所定の信号書込期間（サンプリング期間）に書込走査線 1 0 4 WSから供給される書込駆動パルスWSに応じ導通して信号線 1 0 6 HSから供給された映像信号 V_{sig} を保持容量 1 2 0 にサンプリングする。保持容量 1 2 0 は、サンプリングされた映像信号 V_{sig} に応じて駆動トランジスタ 1 2 1 のゲート・ソース間に入力電圧（ゲート・ソース間電圧 V_{gs} ）を印加する。

【 0 0 8 4 】

駆動トランジスタ 1 2 1 は、所定の発光期間中に、ゲート・ソース間電圧 V_{gs} に応じた出力電流を駆動電流 I_{ds} として有機 EL 素子 1 2 7 に供給する。有機 EL 素子 1 2 7 を駆動するときには、駆動トランジスタ 1 2 1 のドレイン端 D に第 1 電位 V_{cc_H} が供給され、ソース端 S が有機 EL 素子 1 2 7 のアノード端 A 側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【 0 0 8 5 】

なお、この駆動電流 I_{ds} は駆動トランジスタ 1 2 1 のチャネル領域のキャリア移動度 μ および閾値電圧 V_{th} に対して依存性を有する。有機 EL 素子 1 2 7 は、駆動トランジスタ 1 2 1 から供給された駆動電流 I_{ds} により映像信号 V_{sig} （特に信号電位 V_{in} ）に応じた輝度で発光する。

【 0 0 8 6 】

ここで、本実施形態の画素回路 P においては、スイッチングトランジスタ（発光制御トランジスタ 1 2 2 および検知トランジスタ 1 2 4）で構成される補正手段を備えており、駆動電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、予め発光期間の先頭

10

20

30

40

50

で保持容量 120 に保持されたゲート・ソース間電圧 V_{gs} を補正する。

【0087】

具体的には、この補正手段（スイッチングトランジスタ 122, 124）は、書込走査線 104 WS および駆動走査線 105 DS から供給される書込駆動パルス WS および走査駆動パルス DS に応じて信号書込期間の一部（たとえば後半側）で動作し、映像信号 V_{sig} がサンプリングされている状態で駆動トランジスタ 121 から駆動電流 I_{ds} を取り出し、これを保持容量 120 に負帰還してゲート・ソース間電圧 V_{gs} を補正する。さらにこの補正手段（スイッチングトランジスタ 122, 124）は、駆動電流 I_{ds} の閾値電圧 V_{th} に対する依存性を打ち消すために、予め信号書込期間に先立って駆動トランジスタ 121 の閾値電圧 V_{th} を検出し、かつ検出された閾値電圧 V_{th} をゲート・ソース間電圧 V_{gs} に足し込む。

10

【0088】

特に、本実施形態の画素回路 P では、駆動トランジスタ 121 は n チャネル型トランジスタでドレインを正電源側に接続する一方、ソースが有機 EL 素子 127 側に接続している。この場合、前述した補正手段は、信号書込期間の後部分に重なる発光期間の先頭部分で駆動トランジスタ 121 から駆動電流 I_{ds} を取り出して、保持容量 120 側に負帰還する。その際、補正手段は、発光期間の先頭部分で駆動トランジスタ 121 のソース端 S 側から取り出した駆動電流 I_{ds} が、有機 EL 素子 127 の有する寄生容量 C_{el} に流れ込むようにしている。具体的には、有機 EL 素子 127 はアノード端 A およびカソード端 K を備えたダイオード型の発光素子であり、アノード端 A 側が駆動トランジスタ 121 のソース端 S に接続される一方、カソード端 K 側が接地側（本例ではカソード電位 V_{cath} ）に接続される。

20

【0089】

この構成で、補正手段（スイッチングトランジスタ 122, 124）は、予め有機 EL 素子 127 のアノード・カソード間を逆バイアス状態にセットしておき、駆動トランジスタ 121 のソース端 S 側から取り出した駆動電流 I_{ds} が有機 EL 素子 127 に流れ込むとき、ダイオード型の有機 EL 素子 127 を容量性素子として機能させている。

【0090】

なお補正手段は、信号書込期間内で駆動トランジスタ 121 から駆動電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより保持容量 120 に対する駆動電流 I_{ds} の負帰還量を最適化する。ここで、「負帰還量を最適化する」とは、映像信号電位の黒レベルから白レベルまでの範囲で、どのレベルにおいても適切に移動度補正を行なうことができるようにすることを意味する。ゲート・ソース間電圧 V_{gs} にかかる負帰還量は、駆動電流 I_{ds} の取り出し時間に依存しており、取り出し時間を長く取るほど、負帰還量が大きくなる。

30

【0091】

たとえば、映像線信号電位である信号線 106 HS の電位の立ち上がりもしくは書込走査線 104 WS の書込駆動パルス WS の遷移特性に傾斜をつけることで、移動度補正期間 t を映像線信号電位に自動的に追従させて、その最適化を図る。すなわち、移動度補正期間 t は書込走査線 104 WS と信号線 106 HS の位相差で決定でき、さらに信号線 106 HS の電位によっても決定できる。移動度補正パラメータ V は $V = I_{ds} \cdot C_{el} / t$ である。この式から明らかなように、駆動トランジスタ 121 のドレイン・ソース間電流である駆動電流 I_{ds} が大きいほど、移動度補正パラメータ V は大きくなる。逆に、駆動トランジスタ 121 の駆動電流 I_{ds} が小さいとき、移動度補正パラメータ V は小さくなる。このように、移動度補正パラメータ V は駆動電流 I_{ds} に応じて決まる。

40

【0092】

その際、移動度補正期間 t は必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。たとえば、駆動電流 I_{ds} が大きい場合、移動度補正期間 t は短めにし、逆に駆動電流 I_{ds} が小さくなると、移動度補正期間 t は長めに設定することがよい。そこで、映像信号線電位（信号線 106 HS の電位）の立上りもしくは書込走査線 104 WS の書込駆動パルス WS の遷移特性に傾斜をつけることで、信号線 106 HS の電位が高いとき（駆動電流 I_{ds} が大きいとき）補正期間 t が短くなり、信号線 106 HS

50

の電位が低いとき（駆動電流 I_{ds} が小さいとき）補正期間 t は長くなるように、自動的に調整する。こうすることで、映像信号電位（映像信号 V_{sig} の信号電位 V_{in} ）に追従して、適切な補正期間を自動的に設定できるため、画像の輝度や絵柄によらず最適な移動度補正が可能となる。

【 0 0 9 3 】

図 2 に示す本実施形態の画素回路 P は、駆動トランジスタ 1 2 1 の他に映像信号 V_{sig} の走査用に 1 つのスイッチングトランジスタ（サンプリングトランジスタ 1 2 5）を使用する 2 T R 駆動の構成をベースとして、表示期間（換言すれば非発光時間）を動的に制御するために発光制御トランジスタ 1 2 2 を駆動トランジスタ 1 2 1 のドレイン端 D 側に設け、さらに閾値や移動度の補正のための走査用に 1 つのスイッチングトランジスタ（サンプリングトランジスタ 1 2 4）を使用する 4 T R 構成を採っている。加えて、各スイッチングトランジスタを制御する書込駆動パルス WS や走査駆動パルス DS や閾値 & 移動度補正パルス AZ のオン / オフタイミングの設定により、有機 E L 素子 1 2 7 の経時劣化や駆動トランジスタ 1 2 1 の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 I_{ds} に与える影響を防ぐ点に特徴を有する。

10

【 0 0 9 4 】

また図 2 に示す本実施形態の画素回路 P は、保持容量 1 2 0 の接続態様に特徴を有し、有機 E L 素子 1 2 7 の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路（その 2）の一例であるブートストラップ回路を構成する。有機 E L 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にする（駆動電流変動を防ぐ）ブートストラップ機能を実現する駆動信号一定化回路（その 2）を備えた点に特徴を有するのである。具体的には、本実施形態の画素回路 P は、駆動トランジスタ 1 2 1 のゲート端 G（ノード ND 1 2 2）とソース端 S との間に保持容量 1 2 0 が接続され、駆動トランジスタ 1 2 1 のソース端 S が直接に有機 E L 素子 1 2 7 のアノード端 A に接続されている。

20

【 0 0 9 5 】

< 基本動作 >

先ず、図 2 に示す本実施形態の画素回路 P の特徴を説明する上での比較例として、発光制御トランジスタ 1 2 2、検知トランジスタ 1 2 4 を備えておらず、また、保持容量 1 2 0 は、一方の端子がノード ND 1 2 2 に接続され、他方の端子が全画素共通の接地配線 V_{cath} (GND) に接続されている場合での動作について説明する。以下、このような画素回路 P を比較例の画素回路 P と称する。

30

【 0 0 9 6 】

比較例の画素回路 P では、駆動トランジスタ 1 2 1 のソース端 S の電位（ソース電位 V_s ）は、駆動トランジスタ 1 2 1 と有機 E L 素子 1 2 7 との動作点で決まり、その電圧は駆動トランジスタ 1 2 1 のゲート電位 V_g によって異なる値を持つてしまう。

【 0 0 9 7 】

一般的に、図 3 に示すように、駆動トランジスタ 1 2 1 は飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端 - ソース間に流れる電流を I_{ds} 、移動度を μ 、チャンネル幅（ゲート幅）を W 、チャンネル長（ゲート長）を L 、ゲート容量（単位面積当たりのゲート酸化膜容量）を C_{ox} は、トランジスタの閾値電圧を V_{th} とすると、駆動トランジスタ 1 2 1 は下記の式（1）に示した値を持つ定電流源となっている。なお、“ \wedge ” はべき乗を示す。式（1）から明らかなように、飽和領域ではトランジスタのドレイン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御され定電流源として動作する。

40

【 0 0 9 8 】

【 数 1 】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

【 0 0 9 9 】

< 発光素子の $I_{el} - V_{el}$ 特性と $I - V$ 特性 >

50

図3A(1)に示す有機EL素子で代表される電流駆動型の発光素子の電流-電圧($I_{el} - V_{el}$)特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に有機EL素子を始めとする電流駆動型の発光素子のI-V特性は、グラフに示すように時間が経過すると劣化する。

【0100】

たとえば、発光素子の一例である有機EL素子127に発光電流 I_{el} が流れるとき、そのアノード・カソード間電圧 V_{el} は一意的に決定される。図3A(1)に示すように、発光期間中では、有機EL素子127のアノード端Aは駆動トランジスタ121のドレイン・ソース間電流 I_{ds} (=駆動電流 I_{ds})で決定される発光電流 I_{el} が流れ、それによってアノード・カソード間電圧 V_{el} 分だけ上昇する。

10

【0101】

比較例の画素回路Pでは、この有機EL素子127のI-V特性の経時変化により同じ発光電流 I_{el} に対するアノード・カソード間電圧 V_{el} が V_{el1} から V_{el2} へと変化することで、駆動トランジスタ121の動作点が変わってしまい、同じゲート電位 V_g を印加しても駆動トランジスタ121のソース電位 V_s は変化してしまい、その結果として、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまう。

【0102】

駆動トランジスタ121としてnチャネル型を使用した単純な回路では、ソース端Sが有機EL素子127側に接続されてしまうため、有機EL素子127のI-V特性の経時変化の影響を受けてしまい、有機EL素子127に流れる電流量(発光電流 I_{el})が変化し、その結果、発光輝度は変化してしまうことになる。

20

【0103】

具体的には、比較例の画素回路Pでは、有機EL素子127のI-V特性の経時変化により動作点が変わってしまい、同じゲート電位 V_g を印加しても駆動トランジスタ121のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式(1)から明らかのように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動し、同時に有機EL素子127に流れる電流値も変化する。このように有機EL素子127のI-V特性が変化すると、比較例の画素回路Pでは、有機EL素子127の発光輝度が経時的に変化してしまう。

30

【0104】

駆動トランジスタ121としてnチャネル型を使用した単純な回路では、ソース端Sが有機EL素子127側に接続されてしまうため、有機EL素子127の経時変化とともに、ゲート・ソース間電圧 V_{gs} が変化してしまい、有機EL素子127に流れる電流量が変化し、その結果、発光輝度は変化してしまうのである。

【0105】

発光素子の一例である有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動は、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} の変動となって現れ、ドレイン電流(駆動電流 I_{ds})の変動を引き起こす。この原因による駆動電流の変動は画素回路Pごとの発光輝度のばらつきとなって現れ、画質の劣化が起きる。

40

【0106】

これに対して、詳細は後述するが、保持容量120に信号電位 V_{in} に対応する情報が書き込まれた時点で(さらにその後の有機EL素子127の発光期間は継続的に)サンプリングトランジスタ125を非導通状態にすることで駆動トランジスタ121のソース電位 V_s の変動にゲート端Gの電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとするブートストラップ動作をさせる。

【0107】

これにより、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動(つまりソース電位変動)があっても、その変動を相殺するようにゲート電位 V_g を変動させることで、画面輝度の均一性(ユニフォームティ)を確保できる。ブート

50

ストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。

【0108】

このブートストラップ機能は、書込駆動パルスWSをインアクティブLに切り替えてサンプリングトランジスタ125をオフさせた発光開始時点で開始させることができ、その後、有機EL素子127に発光電流 I_{el} が流れ始め、それとともにアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、アノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ121のソース電位 V_s が変動する際にも機能する。

【0109】

< 駆動トランジスタの $V_{gs} - I_{ds}$ 特性 >

また、駆動トランジスタ121の製造プロセスのばらつきにより、画素回路Pごとに閾値電圧や移動度などの特性変動がある。駆動トランジスタ121を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ121に同一のゲート電位を与えても、画素回路Pごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

【0110】

たとえば、図3A(2)は、駆動トランジスタ121の閾値ばらつきに着目した電圧電流（ $V_{gs} - I_{ds}$ ）特性を示す図である。閾値電圧が V_{th1} と V_{th2} で異なる2個の駆動トランジスタ121について、それぞれ特性カーブを挙げてある。

【0111】

前述のように、駆動トランジスタ121が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式(1)で表される。特性式(1)から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、閾値電圧 V_{th} のばらつきに対して何ら対策を施さないと、図3A(2)に示すように、閾値電圧が V_{th1} のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、閾値電圧が V_{th2} のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

【0112】

また、図3A(3)は、駆動トランジスタ121の移動度ばらつきに着目した電圧電流（ $V_{gs} - I_{ds}$ ）特性を示す図である。移動度が μ_1 と μ_2 で異なる2個の駆動トランジスタ121について、それぞれ特性カーブを挙げてある。

【0113】

特性式(1)から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、移動度 μ のばらつきに対して何ら対策を施さないと、図3A(3)に示すように、移動度が μ_1 のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、移動度が μ_2 のときの同じゲート電圧 V_{gs} に対応する駆動電流が I_{ds2} となり、 I_{ds1} と異なってしまう。

【0114】

図3A(2)や図3A(3)に示すように、閾値電圧 V_{th} や移動度 μ の違いで $V_{in} - I_{ds}$ 特性に大きな違いが出てしまうと、同じ信号電位 V_{in} を与えても、駆動電流 I_{ds} すなわち発光輝度が異なってしまう、画面輝度の均一性（ユニフォーミティ）が得られない。これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング（詳細は後述する）とすることで、それらの変動の影響を抑制でき、画面輝度の均一性（ユニフォーミティ）を確保できる。

【0115】

本実施形態の閾値補正動作および移動度補正動作では、詳細は後述するが、発光時のゲート・ソース間電圧 V_{gs} が“ $V_{in} + V_{th} - V$ ”で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスや経時により変動しても、駆動電流 I_{ds} は変動せず、有機EL素子1

10

20

30

40

50

27の発光輝度も変動しない。

【0116】

<本実施形態の画素回路の動作>

本実施形態の画素回路Pに対する駆動タイミングについて、先ず、定性的な観点から説明する。本実施形態の画素回路Pにおける駆動タイミングとしては、先ず、サンプリングトランジスタ125は、書込走査線104WSから供給された書込駆動パルスWSに応じて導通し、映像信号線106HSから供給された映像信号Vsigをサンプリングして、映像信号Vsigの有効期間の電位である信号電位Vinに対応する情報を駆動電位として保持容量120に保持する。この点は、一般的な画素回路を駆動する場合と同じである。

【0117】

駆動トランジスタ121は、電源電位Vc1から電流の供給を受け保持容量120に保持された駆動電位（映像信号Vsigの有効期間の電位に対応する電位：信号電位Vinに対応するもの）に応じて駆動電流Idsを有機EL素子127に流す。

【0118】

垂直駆動部103は、映像信号線106HSが映像信号Vsigの非有効期間であるオフセット電圧Vofs（基準電位Vo）にある時間帯でサンプリングトランジスタ125を導通させる制御信号として書込駆動パルスWSをアクティブHにして、駆動トランジスタ121の閾値電圧Vthに相当する電圧を保持容量120に保持しておく。この動作が閾値補正機能を実現する。この閾値補正機能により、画素回路Pごとにばらつく駆動トランジスタ121の閾値電圧Vthの影響をキャンセルすることができる。

【0119】

好ましくは、垂直駆動部103は、映像信号Vsigの内の信号電位Vinのサンプリングに先行する複数の水平期間で閾値補正動作を繰り返し実行して確実に駆動トランジスタ121の閾値電圧Vthに相当する電圧を保持容量120に保持する。このように、閾値補正動作を複数回実行することで、十分に長い書込み時間を確保する。こうすることで、駆動トランジスタ121の閾値電圧Vthに相当する電圧を確実に保持容量120に予め保持することができる。このような閾値補正を「分割閾値補正」と称する。

【0120】

この保持された閾値電圧Vthに相当する電圧は駆動トランジスタ121の閾値電圧Vthのキャンセルに用いられる。したがって、画素回路Pごとに駆動トランジスタ121の閾値電圧Vthがばらついていても、画素回路Pごとに完全にキャンセルされるため、画像のユニフォーミティすなわち表示装置の画面全体に亘る発光輝度の均一性が高まる。特に信号電位が低階調のときに現れがちな輝度ムラを防ぐことができる。

【0121】

好ましくは、垂直駆動部103は、閾値補正動作に先立って、走査駆動パルスDSをインアクティブ（本例ではLレベル）にした状態で、閾値&移動度補正パルスAZをアクティブ（本例では何れもHレベル）にすることで駆動トランジスタ121のソース電位Vsを基準電位Viniにセット（初期化）し、また映像信号Vsigがオフセット電圧Vofsにある期間で書込駆動パルスWSをアクティブ（本例ではHレベル）にすることで駆動トランジスタ121のゲート電位Vgをオフセット電圧Vofsにセット（初期化）して、駆動トランジスタ121のゲート・ソース間に接続されている保持容量120の両端電圧を閾値電圧Vth以上に設定してから閾値補正動作を開始する。このようなゲート電位およびソース電位のリセット動作（初期化動作）により、後続する閾値補正動作を確実に実行することが可能になる。

【0122】

また、本実施形態の画素回路Pにおいては、閾値補正機能に加えて、移動度補正機能を備えるようにすることもできる。たとえば、垂直駆動部103は、閾値補正動作の後、サンプリングトランジスタ125に信号電位Vinが供給されている時間帯でサンプリングトランジスタ125を導通させることで、保持容量120に信号電位Vinに対応する情報（駆動電位）を書き込んでから、信号電位Vinを駆動トランジスタ121のゲート端Gに供

10

20

30

40

50

給したままで走査駆動パルスDSをアクティブHにすることで、駆動トランジスタ121の移動度に対する補正分を保持容量に書き込まれる信号に加え、その後書き込駆動パルスWSをインアクティブLにするように制御する。走査駆動パルスDSをアクティブHにしてから書き込駆動パルスWSをインアクティブにするまでの期間が移動度補正期間であり、この期間を適切に設定することで、駆動トランジスタ121の移動度 μ に対する補正量を適切に調整することができる。

【0123】

また、本実施形態の画素回路Pにおいては、保持容量120を駆動トランジスタ121のゲート・ソース間に接続することでブートストラップ機能も備えるようにしている。すなわち、書き込走査部104は、保持容量120に映像信号Vsigの信号電位Vinに対応する駆動電位が保持された段階で書き込走査線104WSに対する書き込駆動パルスWSの印加を解除し(すなわちインアクティブLにして)、サンプリングトランジスタ125を非導通状態にして駆動トランジスタ121のゲート端Gを映像信号線106HSから電氣的に切り離す。

10

【0124】

駆動トランジスタ121のゲート端Gとソース端Sの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のソース電位Vsの変動にゲート電位Vgが連動するようになり、ゲート・ソース間電圧Vgsを一定に維持するブートストラップ機能を働かせることができる。

20

【0125】

< タイミングチャート ; 比較例 >

図4は、本実施形態の画素回路Pにおける比較例の動作を説明するタイミングチャートである。図4では、時間軸tに沿って、書き込駆動パルスWS、閾値&移動度補正パルスAZ、および走査駆動パルスDSの波形を表してある。前述の説明から理解されるように、スイッチングトランジスタ122, 124, 125は、nチャンネル型なので各パルスDS, WS, AZがそれぞれハイ(H)レベルのときにオンし、ロー(L)レベルのときにはオフする。なお、このタイミングチャートは、各パルスWS, AZ, DSの波形とともに、映像信号Vsig並びに駆動トランジスタ121のゲート端Gの電位変化およびソース端Sの電位変化も表してある。

30

【0126】

基本的には、書き込走査線104WSや閾値&移動度補正走査線115AZの1行ごとに、1水平走査期間だけ遅れて同じような駆動を行なう。図中の各タイミングや信号は、処理対象行を問わず、第1行目のタイミングや信号と同じタイミングや信号で示す。そして、説明中において行の区別が必要とされるときには、そのタイミングや信号に、処理対象行を“_”付きの参照子で示すことで区別する。また、説明や図において、異なる駆動パルスが同じようなタイミングに存在する場合など、必要に応じて、各駆動パルスを区別するDS(走査駆動パルスDSのとき)、AZ(閾値&移動度補正パルスAZのとき)、WS(書き込駆動パルスWSのとき)、V(映像信号Vsigのとき)を付す。

【0127】

比較例の駆動タイミングでは、まず、映像信号Vsigが非有効期間(信号固定期間)であるオフセット電圧Vofs(全水平期間で同一)にある期間を1水平期間の前半部とし、有効期間である信号電位Vin(水平期間ごとに異なる)にある期間を1水平期間の後半部とする。つまり、映像信号Vsigは、1H周期でオフセット電圧Vofsと信号電位Vinの2値をとるパルスとなっている。

40

【0128】

また、比較例の駆動タイミングでは、映像信号Vsigの有効期間と非有効期間を合わせた1水平期間ごとに、閾値補正動作を複数回(たとえば3回)に亘って繰り返すようにしている。その各回の映像信号Vsigの有効期間と非有効期間の切替タイミング(t62V, t64V)、および走査駆動パルスDSのアクティブとインアクティブの切替タイミング(t62DS, t64DS)については、そのタイミングに、各回を“_”なしの参照子で示

50

すことで区別する。

【0129】

なお、図4に示す駆動タイミングでは、1水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしている。1水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ125が信号電位 V_{in} を保持容量120にサンプリングする前に、閾値補正動作に先立って、駆動トランジスタ121のゲート電位 V_g をオフセット電圧 V_{ofs} にセットし、またソース電位 V_s を基準電位 V_{ini} にセットする初期化動作を経てから、サンプリングトランジスタ125を導通させた状態のままで、映像信号線106HSがオフセット電圧 V_{ofs} にある時間帯で発光制御トランジスタ122をオンさせて駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を保持容量120に保持させようとする閾値補正動作を行なうからである。

10

【0130】

映像信号線106HSがオフセット電圧 V_{ofs} にある時間帯は1水平期間ごとに現れ、前述のように映像信号 V_{sig} の前半部に存在し1水平期間よりも狭いので、必然的に、閾値補正期間は、1水平期間よりも短くなってしまふ。したがって、保持容量120の容量 C_s や基準電位 V_{ini} とオフセット電圧 V_{ofs} との差やその他の要因で、この短い1回分の閾値補正期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量120に保持仕切れないケースも起こり得る。閾値補正動作を複数回実行するのは、この対処のためである。すなわち、信号電位 V_{in} の保持容量120へのサンプリング(信号書込み)に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持させる。

20

【0131】

駆動タイミングの基本的な仕組みとして、1水平走査期間内で閾値補正と信号書込みを行なうのであるが、パネルの画素数が増えて高精細化したり、高画質化のためにフィールド周波数を上げたりした場合、1水平走査期間が短くなるため、十分に閾値補正をかけることができない可能性がある。逆に閾値補正期間をある程度確保すると、信号書込み時間が圧迫されるため、十分に映像信号 V_{sig} (信号電位 V_{in})を保持容量120に書き込めないことも有り得る。その改善として、閾値補正動作を複数回実行することで、パネルの高精細化や高画質化に対応するのである。

【0132】

そして、比較例の抑制手法は、複数回に亘る閾値補正動作時には、走査駆動パルスDSを継続的にアクティブHにして発光制御トランジスタ122をオンさせた状態で、オフセット電圧 V_{ofs} と信号電位 V_{in} とで繰り返される映像信号 V_{sig} に合わせて、オフセット電圧 V_{ofs} の期間に書込駆動パルスWSをアクティブHにしてサンプリングトランジスタ125をオンさせることで閾値電圧 V_{th} の情報を保持容量120に書き込む。つまり、初回と最終回の閾値補正期間を除く残りの閾値補正期間をサンプリングトランジスタ125のオン期間(詳しくは発光制御トランジスタ122がオンしている期間内におけるサンプリングトランジスタ125がオンしている期間)で規定する。閾値補正期間は、書込駆動パルスWSのアクティブH(サンプリングトランジスタ125がオン)の期間が支配的(優先的)となる。

30

40

【0133】

なお初回の閾値補正期間を除くのは、その閾値補正期間の開始時点が書込駆動パルスWSと走査駆動パルスDSがともにアクティブHとなった時点で規定されるからである。また、最終回の閾値補正期間を除くのは、最終回の閾値補正期間の後に継続して最初の信号電位 V_{in} の期間に信号書込みを行なう際には、最終回の閾値補正期間の開始時点は書込駆動パルスWSがアクティブHとなった時点で規定される一方、最終回の閾値補正期間の終了時点は走査駆動パルスDSがインアクティブLとなった時点で規定されるからである。最終回の閾値補正期間の後の最初の信号電位 V_{in} の期間では信号書込みを行なわずに間を開けて信号書込みを行なう場合には、最終回の閾値補正期間の終了時点は書込駆動パルスWSがインアクティブLとなった時点で規定され、最終回の閾値補正期間も、サンプリングトランジ

50

スタ 1 2 5 のオン期間（詳しくは発光制御トランジスタ 1 2 2 がオンしている期間内におけるサンプリングトランジスタ 1 2 5 がオンしている期間）で規定される。

【 0 1 3 4 】

線順次走査の新しいフィールドに入って、先ず、駆動走査部 1 0 5 は、閾値 & 移動度補正パルス AZ および書込駆動パルス WS がインアクティブ L にある状態で、1 行目の駆動走査線 1 0 5 DS に与える走査駆動パルス DS をアクティブ H からインアクティブ L に切り替える（ t_{50} ）。

【 0 1 3 5 】

これにより、発光制御トランジスタ 1 2 2 がオフし、駆動トランジスタ 1 2 1 は電源電位 V_{c1} から切り離されるので、有機 EL 素子 1 2 7 の発光が停止し非発光期間に入る。タイミング t_{50} に入ると、制御用の各トランジスタ 1 2 2 , 1 2 4 , 1 2 5 がオフ状態になるのである。このとき、書込駆動パルス WS はインアクティブ L でありサンプリングトランジスタ 1 2 5 がオフしているので駆動トランジスタ 1 2 1 のゲート端 G はハイインピーダンスであり、またゲート・ソース間には保持容量 1 2 0 が接続されているので、直前のゲート・ソース間電圧 V_{gs} を保持するようにソース電位 V_s とゲート電位 V_g とが連動して低下する。

【 0 1 3 6 】

次に、垂直駆動部 1 0 3 は、走査駆動パルス DS および書込駆動パルス WS がインアクティブ L の状態のままで、閾値 & 移動度補正走査部 1 1 5 により閾値 & 移動度補正パルス AZ をアクティブ H に切り替え、検知トランジスタ 1 2 4 をオンさせる（ $t_{51} \sim t_{56}$ ）。これにより、ノード ND 1 2 1 の電圧、つまり保持容量 1 2 0 の他端および駆動トランジスタ 1 2 1 のソース端 S に基準電位 V_{ini} が設定され、ソース電位 V_s が初期化される。閾値補正動作が開始されるまでの期間（ $t_{51} \sim t_{62DS}$, t_{62WS} ）がソース電位 V_s の初期化期間 C となる。

【 0 1 3 7 】

このとき、書込駆動パルス WS はインアクティブ L でありサンプリングトランジスタ 1 2 5 がオフしているので駆動トランジスタ 1 2 1 のゲート端 G はハイインピーダンスであり、またゲート・ソース間には保持容量 1 2 0 が接続されているので、直前のゲート・ソース間電圧 V_{gs} を保持するように、ソース電位 V_s の降下に追従してゲート電位 V_g も低下する。

【 0 1 3 8 】

この後、垂直駆動部 1 0 3 は、走査駆動パルス DS がインアクティブ L の状態かつ閾値 & 移動度補正パルス AZ がアクティブ H の状態のままで、書込走査部 1 0 4 により、書込駆動パルス WS をアクティブ H に切り替え、サンプリングトランジスタ 1 2 5 をオンさせ（ t_{54WS} ）、さらに閾値 & 移動度補正パルス AZ がインアクティブ L になった後に書込駆動パルス WS をインアクティブ L に切り替える（ t_{58WS} ）。これにより、ノード ND 1 2 2 の電圧、つまり駆動トランジスタ 1 2 1 のゲート端 G にオフセット電圧 V_{ofs} が設定され、ゲート電位 V_g が初期化される。閾値補正動作が開始されるまでの期間（ $t_{54WS} \sim t_{62DS}$, t_{62WS} ）がゲート電位 V_g の初期化期間 D となる。駆動トランジスタ 1 2 1 のゲート電位 $V_g = V_{ofs}$ のタイミングでソース電位 V_s がカップリングの影響を受けないために閾値 & 移動度補正パルス AZ で駆動される検知トランジスタ 1 2 4 をオンしてソースを V_{ini} にしておく。

【 0 1 3 9 】

書込駆動パルス WS がアクティブ H の期間（ $t_{54WS} \sim t_{55WS}$ ）内には映像信号 V_{sig} のオフセット電圧 V_{ofs} の期間（ $t_{54WS} \sim t_{55WS}$ ）が含まれるようにする。好ましくは、複数回（本例では 2 回にしている）含まれるようにする。

【 0 1 4 0 】

本例では、書込駆動パルス WS をアクティブ H にしている期間（ $t_{54WS} \sim t_{55WS}$ ）の後半部では、閾値 & 移動度補正パルス AZ がインアクティブ L の状態であるので、ゲート電位 V_g がオフセット電圧 V_{ofs} に遷移する際の変動がソース電位 V_s に影響を与える。

10

20

30

40

50

【 0 1 4 1 】

前述のように、“ $V_{ofs} - V_{ini} > V_{th}$ ”を満たすようにオフセット電圧 V_{ofs} および基準電位 V_{ini} が設定されているので、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} 、つまり駆動トランジスタ121のゲート・ソース間に接続された保持容量120に保持される電圧は、駆動トランジスタ121の閾値電圧 V_{th} を越える電圧に設定され、閾値補正動作に先立って保持容量120にリセットがかけられる。また、“ $V_{thEL} > V_{ini}$ ”に設定されているので、有機EL素子127に逆バイアスが印加され、その後の閾値補正動作が正常に行なわれるようにされている。

【 0 1 4 2 】

閾値補正の準備動作が完了した後は、垂直駆動部103は、駆動走査部105により走査駆動パルスDSをアクティブHにして発光制御トランジスタ122をオンさせる(t_{62DS1})。また、映像信号 V_{sig} がオフセット電圧 V_{ofs} にあるタイミング($t_{62V1} \sim t_{64V1}$)に合わせて、書込走査部104により書込駆動パルスWSをアクティブHに切り替え、サンプリングトランジスタ125をオンさせる(t_{62WS1})。

【 0 1 4 3 】

これにより、ドレイン電流が保持容量120や有機EL素子127を充放電するように使われ、駆動トランジスタ121の閾値電圧 V_{th} を補正(キャンセル)するための情報を保持容量120に記録する第1閾値補正期間Eに入る。この第1閾値補正期間Eは、書込駆動パルスWSがインアクティブLにされるタイミング(t_{64WS1})まで継続する。

【 0 1 4 4 】

好ましくは、書込駆動パルスWSをアクティブHにする期間($t_{62WS} \sim t_{64WS}$)は、映像信号 V_{sig} がオフセット電圧 V_{ofs} にある時間帯($t_{62V} \sim t_{64V}$)内に完全に含まれるものとする。なお、タイミング t_{62WS} とタイミング t_{62DS} とは、概ね同じであってもよいし、相前後してもよい。走査駆動パルスDSがアクティブHの期間内における書込駆動パルスWSがアクティブHの期間で閾値補正期間が規定されることになるからである。もちろん、実際には、各パルスDS, WSが供給される発光制御トランジスタ122およびサンプリングトランジスタ125が実際にオンしている期間で閾値補正期間が規定される。

【 0 1 4 5 】

本例では、映像信号 V_{sig} がオフセット電圧 V_{ofs} にあるタイミング($t_{62V1} \sim t_{64V1}$)内に完全に含まれるようにして先ず書込駆動パルスWSをアクティブHに切り替え(t_{62WS1})、その後、書込駆動パルスWSがアクティブHにある期間($t_{62WS1} \sim t_{64WS1}$)内で走査駆動パルスDSをアクティブHに切り替えている(t_{62DS1})。

【 0 1 4 6 】

第1閾値補正期間Eでは、駆動トランジスタ121のゲート端Gは映像信号 V_{sig} のオフセット電圧 V_{ofs} に保持されており、駆動トランジスタ121のソース電位 V_s が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ121のソース電位 V_s は“ $V_{ofs} - V_{th}$ ”となる。すなわち、有機EL素子127の等価回路はダイオードと寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thEL}$ ”である限り、つまり、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さい限り、駆動トランジスタ121の電流は保持容量120と寄生容量 C_{el} を充放電するために使われる。

【 0 1 4 7 】

この結果、駆動トランジスタ121にドレイン電流が流れると、有機EL素子127のアノード端Aの電圧 V_{el} つまりノードND121の電位は、時間とともに上昇してゆく。そして、ノードND121の電位(ソース電位 V_s)とノードND122の電圧(ゲート電位 V_g)との電位差がちょうど閾値電圧 V_{th} となったところで駆動トランジスタ121はオン状態からオフ状態となり、ドレイン電流は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとり、この情報が、ゲート・ソース間に接続されている保持容量12

10

20

30

40

50

0 に保持される。

【0148】

ここで、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 121 のゲート端 G とソース端 S との間に接続された保持容量 120 に書き込まれることになるが、実際には、第 1 閾値補正期間 E は、書込駆動パルス WS をアクティブ H にしたタイミング (t_{62WS1}) からインアクティブ L に戻すタイミング (t_{64WS1}) までであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。

【0149】

具体的には、ゲート・ソース間電圧 V_{gs} が V_{x1} ($> V_{th}$) になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が低電位側の基準電位 V_{ini} から “ $V_{ofs} - V_{x1}$ ” になったときに終わってしまう。このため、第 1 閾値補正期間 E が完了した時点 (t_{64WS1}) では、 V_{x1} が保持容量 120 に書き込まれる。

【0150】

次に、書込走査部 104 は、走査駆動パルス DS がアクティブ H にある状態のままで、1 水平期間の後半部で、映像信号 V_{sig} が信号電位 V_{in} になる前に書込駆動パルス WS をインアクティブ L に切り替えて発光制御トランジスタ 122 をオフさせ (t_{64WS1})、さらに水平駆動部 106 は、他の行の画素に対する信号電位のサンプリングを行なうため、映像信号線 106 HS の電位をオフセット電圧 V_{ofs} から信号電位 V_{in} に切り替える (t_{64V1})。これにより、書込走査線 104 WS の電位 (書込駆動パルス WS) はローレベルになる一方、映像信号線 106 HS が信号電位 V_{in} に変化する。

【0151】

前述のように、書込駆動パルス WS がアクティブ H となる期間 $t_{62WS} \sim t_{64WS}$ (つまりサンプリングトランジスタ 125 がオンする期間) は、映像信号 V_{sig} がオフセット電圧 V_{ofs} にある期間 $t_{62V} \sim t_{64V}$ 内に完全に含まれるようにするので、換言すれば、映像信号 V_{sig} が信号電位 V_{in} にある期間 $t_{64V} \sim t_{62V}$ は、サンプリングトランジスタ 125 が確実にオフする期間内に完全に含まれるようにする。

【0152】

ここで、サンプリングトランジスタ 125 がオフする期間 $t_{64WS} \sim t_{62WS}$ では、発光制御トランジスタ 122 は導通 (オン) 状態にあり、また、第 1 閾値補正期間 E では閾値電圧 V_{th} に相当する電圧が保持容量 120 に十分に書き込まれていないので、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} の方が閾値電圧 V_{th} よりも大きい ($V_{gs} > V_{th}$)。このような状態で発光制御トランジスタ 122 がオンしていると、駆動トランジスタ 121 にドレイン電流が流れ、ソース電位 V_s が上昇するとともにゲート電位 V_g も上昇する、いわゆるブートストラップ動作 (図中に B S T と記す) が行なわれる。閾値補正動作が 1 回限りであれば問題は生じないかもしれないが、本例のように閾値補正動作を複数回繰り返すとその弊害が懸念される。この点については後で詳しく説明する。

【0153】

次の 1 水平周期 (1 H) の前半になると、水平駆動部 106 が映像信号線 106 HS の電位を信号電位 V_{in} からオフセット電圧 V_{ofs} に切り替え (t_{62V2})、その後、書込走査部 104 が書込駆動パルス WS をアクティブ H に切り替える (t_{62WS2})。これにより、駆動トランジスタ 121 のゲート電位 V_g をオフセット電圧 V_{ofs} にした状態でドレイン電流が保持容量 120 に流れ込み、駆動トランジスタ 121 の閾値電圧 V_{th} を補正 (キャンセル) するための情報を保持容量 120 に記録する第 2 回目の閾値補正期間 (第 2 閾値補正期間 G と称する) に入る。この第 2 閾値補正期間 G は、書込駆動パルス WS がインアクティブ L にされるタイミング (t_{64WS2}) まで継続する。

【0154】

第 2 閾値補正期間 G では、第 1 閾値補正期間 E と同様の動作をする。具体的には、駆動トランジスタ 121 のゲート端 G は映像信号 V_{sig} のオフセット電圧 V_{ofs} に保持されることとなり、ゲート電位 V_g がその直前の電位からオフセット電圧 V_{ofs} に瞬時に切り替わる。この後、駆動トランジスタ 121 のソース電位 V_s がその時点のソース電位 V_s (

10

20

30

40

50

> $V_{ofs} - V \times 1$) から上昇して駆動トランジスタ 1 2 1 がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ 1 2 1 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となる。

【 0 1 5 5 】

しかしながら、第 2 閾値補正期間 G は、書込駆動パルス WS をアクティブ H にしたタイミング (t_{62WS2}) からインアクティブ L に戻すタイミング (t_{64WS2}) までであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。この点は、第 1 閾値補正期間 E と同じであり、ゲート・ソース間電圧 V_{gs} が $V \times 2$ ($< V \times 1$ 、かつ $> V_{th}$) になったとき、つまり、駆動トランジスタ 1 2 1 のソース電位 V_s が “ $V_o - V \times 1$ ” から “ $V_o - V \times 2$ ” になったときに終わってしまう。このため、第 2 閾値補正期間 G が完了した時点 (t_{64WS2}) では、 $V \times 2$ が保持容量 1 2 0 に書き込まれる。

10

【 0 1 5 6 】

以下同様にして、一旦、走査駆動パルス DS をインアクティブ L にした後に (t_{64WS2})、さらに、次の 1 水平周期 (1 H) の前半で第 3 回目の閾値補正期間 (第 3 閾値補正期間 I と称する) に入る (t_{62WS3})。この第 3 閾値補正期間 I は、書込駆動パルス WS がインアクティブ L にされるタイミング (t_{64WS3}) まで継続する。

【 0 1 5 7 】

第 3 閾値補正期間 I では、第 1 閾値補正期間 E や第 2 閾値補正期間 G と同様の動作をする。具体的には、駆動トランジスタ 1 2 1 のゲート端 G は映像信号 V_{sig} のオフセット電圧 V_{ofs} に保持されることとなり、ゲート電位が直前の電位からオフセット電圧 V_{ofs} に瞬時に切り替わる。この後、駆動トランジスタ 1 2 1 のソース電位 V_s が、その時点のソース電位 V_s ($> V_{ofs} - V \times 2$) から上昇して駆動トランジスタ 1 2 1 がカットオフするまでドレイン電流が流れようとする。ゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} となったところでドレイン電流がカットオフする。カットオフすると駆動トランジスタ 1 2 1 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となる。

20

【 0 1 5 8 】

つまり、複数回 (本例では 3 回) に亘る閾値補正期間での処理によって、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。ここで、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 1 2 1 のゲート端 G とソース端 S との間に接続された保持容量 1 2 0 に書き込まれることになる。

30

【 0 1 5 9 】

保持容量 1 2 0 に閾値電圧 V_{th} の情報が書き込まれ駆動トランジスタ 1 2 1 がカットオフした後に駆動走査部 1 0 5 で走査駆動パルス DS をインアクティブ L に切り替える (t_{65})。その後、走査駆動パルス DS がインアクティブ L の状態のままで、水平駆動部 1 0 6 で信号線 1 0 6 HS に映像信号 V_{sig} の信号電位 V_{in} を供給し ($t_{66V} \sim t_{67V}$)、映像信号 V_{sig} が信号電位 V_{in} にある期間 ($t_{66V} \sim t_{67V}$) 内で書込走査部 1 0 4 により書込駆動パルス WS をアクティブ H にしてサンプリングトランジスタ 1 2 5 をオンさせる ($t_{66WS} \sim t_{67WS}$)。

【 0 1 6 0 】

これにより、信号電位 V_{in} が駆動トランジスタ 1 2 1 のゲート端に供給されるので、駆動トランジスタ 1 2 1 のゲート電位 V_g はオフセット電圧 V_{ofs} から信号電位 V_{in} に変化し、保持容量 1 2 0 に信号電位 V_{in} に対応する情報が書き込まれる。閾値補正動作が完全に完了した後に書込駆動パルス WS をアクティブ H にしている期間 ($t_{66WS} \sim t_{67WS}$) を、信号電位 V_{in} を保持容量 1 2 0 へ書き込む信号書込期間 K (サンプリング期間) とする。信号電位 V_{in} は駆動トランジスタ 1 2 1 の閾値電圧 V_{th} に足し込む形で保持容量 1 2 0 に保持される。

40

【 0 1 6 1 】

この結果、駆動トランジスタ 1 2 1 の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量 1 2 0

50

に保持されるゲート・ソース間電圧 V_{gs} は、“ $V_{sig} + V_{th}$ ” = “ $V_{in} + V_{th}$ ” となる。

【 0 1 6 2 】

次に、駆動走査部 1 0 5 は走査駆動パルス DS をアクティブ H に切り替える ($t 6 8$)。これにより、発光制御トランジスタ 1 2 2 がオンするので、駆動トランジスタ 1 2 1 には、その時点のゲート・ソース間電圧 V_{gs} (= $V_{in} + V_{th}$) に対応する駆動電流 I_{ds} が流れ発光期間 L に進む。発光期間 L では、駆動トランジスタ 1 2 1 のゲート電位 V_g はソース電位 V_s に連動して変化可能となり、ブートストラップ動作が可能になる。

【 0 1 6 3 】

この後、次のフレーム (もしくはフィールド) に移って、再び、閾値補正準備動作、閾値補正動作、および発光動作が繰り返される。

10

【 0 1 6 4 】

発光期間 B, L では、駆動トランジスタ 1 2 1 に流れる駆動電流 I_{ds} は有機 EL 素子 1 2 7 に流れ、有機 EL 素子 1 2 7 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 1 2 7 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 1 2 7 は実際に発光を開始する。このときの有機 EL 素子 1 2 7 のアノード電位の上昇 (V_{el}) は、駆動トランジスタ 1 2 1 のソース電位 V_s の上昇に他ならず、駆動トランジスタ 1 2 1 のソース電位 V_s は、“ $V_{ofs} - V_{th} + V_{el}$ ” となる。

【 0 1 6 5 】

駆動トランジスタ 1 2 1 のゲート端 G とソース端 S との間には保持容量 1 2 0 が接続されており、その保持容量 1 2 0 による効果によりブートストラップ動作が行なわれ、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$ ” を一定に維持したまま、駆動トランジスタ 1 2 1 のゲート電位 V_g およびソース電位 V_s が上昇する。駆動トランジスタ 1 2 1 のソース電位 V_s が “ $V_{ofs} - V_{th} + V_{el}$ ” となることで、ゲート電位 V_g は “ $V_{in} + V_{el}$ ” となる。

20

【 0 1 6 6 】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式 (1) の V_{gs} に “ $V_{in} + V_{th}$ ” を代入することで、式 (2) のように表すことができる。式 (2) において、 $k = (1 / 2) (W / L) C_{ox}$ である。この式 (2) から、閾値電圧 V_{th} の項がキャンセルされており、有機 EL 素子 1 2 7 に供給される駆動電流 I_{ds} は駆動トランジスタ 1 2 1 の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は映像信号 V_{sig} の信号電位 V_{in} によって決まる。換言すると、有機 EL 素子 1 2 7 は信号電位 V_{in} に応じた輝度で発光することになる。

30

【 0 1 6 7 】

【 数 2 】

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu * \Delta V_{in}^2 \dots (2)$$

【 0 1 6 8 】

< 閾値補正動作の弊害について >

図 5 は、図 4 に示した比較例の駆動タイミングにおける閾値補正動作による弊害について説明する図である。ここで、図 5 は、図 4 に示した比較例の駆動タイミングにおける複数回に亘る閾値補正期間の一部を拡大して示したタイミングチャートである。

40

【 0 1 6 9 】

本実施形態の画素回路 P では、4 TR 構成を採用することで、閾値補正や移動度補正に必要なトランジスタ数を 5 TR 構成よりも 1 つ少なくすることで、回路素子数を削減している。

【 0 1 7 0 】

ここで、4 TR 構成を採用して閾値補正を行なうに当たり、1 H 周期内で、オフセット電圧 V_{ofs} と信号電位 V_{in} の 2 値をとるパルス状の映像信号 V_{sig} のオフセット電圧 V_{ofs} の期間 (信号固定期間) を利用して閾値補正動作を行なう。特に、比較例の駆動タイミ

50

ングでは、発光制御トランジスタ122をオンさせた状態で、映像信号Vsigがオフセット電圧Vofsの期間にサンプリングトランジスタ125をオンさせることで閾値電圧Vthの情報を保持容量120に書き込む動作を1H周期ごとに複数回実行する。

【0171】

このため、図5に示すように、閾値補正動作を行なったときに($t_{62WS} \sim t_{64WS}$)、その閾値補正では閾値電圧Vthに相当する電圧が保持容量120に十分に書き込まれておらず“ $V_{gs} > V_{th}$ ”であると、書込駆動パルスWSをインアクティブLにしたときには($t_{64WS} \sim t_{62WS}$)、発光制御トランジスタ122がオン(走査駆動パルスDS = Hレベル)していることと“ $V_{gs} > V_{th}$ ”であることに起因して、駆動トランジスタ121にドレイン電流が流れ、ソース電位Vsが上昇するとともにゲート電位Vgも上昇する、いわゆるブートストラップ動作(図中にBSTと記す)が行なわれる。

10

【0172】

閾値補正動作を複数回実行するので、映像信号Vsigがオフセット電圧Vofsの期間になると再度書込駆動パルスWSをアクティブHにしてサンプリングトランジスタ125をオンさせる。これにより、ゲート電位Vgは直ちにオフセット電圧Vofsに戻される。一方、ソース電位Vsは、それ以前のブートストラップ動作で上昇した電位から閾値補正動作により上昇する。

【0173】

ここで、ある回の閾値補正後のブートストラップ動作によりで次の閾値補正開始時のソース電位Vsが“ $V_{ofs} - V_{th}$ ”を越えていると、閾値補正動作が破綻してしまい、閾値補正の効果が得られず、同じ信号電位Vinを与えても、駆動電流Idsすなわち発光輝度が異なってしまい、画面輝度の均一性(ユニフォーミティ)が得られない。

20

【0174】

たとえば、図5中に点線で示すように、ブートストラップ動作での上昇分が少なければ問題はない。一方、図5中に実線で示すように、1回目の閾値補正後のブートストラップ動作により2回目の閾値補正開始時のソース電位Vsが“ $V_{ofs} - V_{th}$ ”を越えたとする。この場合、2回目の閾値補正を行なうために、書込駆動パルスWSをアクティブHにしてゲート電位Vgをオフセット電圧Vofsに戻したときには、“ $V_g - V_s = V_{gs} < V_{th}$ ”であるから、駆動トランジスタ121はカットオフ状態にあり閾値補正の動作がなされない。ゲート電位Vgがオフセット電圧Vofsに戻るときに駆動トランジスタ121がカットオフしてしまい、閾値電圧Vthの情報を正しく保持容量120に保持させることができなくなるのである。

30

【0175】

そこで、本実施形態では、発光制御トランジスタ122をオンさせた状態で、映像信号Vsigがオフセット電圧Vofsの期間にサンプリングトランジスタ125をオンさせることで閾値電圧Vthの情報を保持容量120に書き込む動作を1H周期ごとに複数回実行する場合でも、前述のような閾値補正動作の破綻を防止することのできる仕組みにする。以下、具体的に説明する。

【0176】

<分割閾値補正に伴う閾値補正動作破綻の抑制手法>

40

図6は、本実施形態の画素回路の駆動タイミングを説明するタイミングチャートである。図7は、図6に示した本実施形態の駆動タイミングにおける複数回に亘る閾値補正期間の一部を拡大して示したタイミングチャートである。これらのタイミングチャートは、分割閾値補正に伴う閾値補正動作破綻現象の抑制手法を適用したものである。

【0177】

比較例と同様に、時間軸tに沿って、書込駆動パルスWS、閾値 & 移動度補正パルスAZ、および走査駆動パルスDSの波形を表してある。前述の説明から理解されるように、スイッチングトランジスタ122, 124, 125は、nチャンネル型なので各パルスDS, WS, AZがそれぞれハイ(H)レベルのときにオンし、ロー(L)レベルのときにはオフする。なお、このタイミングチャートは、各パルスWS, AZ, DSの波形とともに、映像信号Vsig並

50

びに駆動トランジスタ121のゲート端Gの電位変化およびソース端Sの電位変化も表してある。

【0178】

説明や図において、異なる駆動パルスが同じようなタイミングに存在する場合など、必要に応じて、各駆動パルスを区別するDS（走査駆動パルスDSのとき）、AZ（閾値&移動度補正パルスAZのとき）、WS（書込駆動パルスWSのとき）、V（映像信号Vsigのとき）を付す。

【0179】

本実施形態の閾値補正破綻防止手法が適用される駆動タイミングは、先ず比較例と同様に、映像信号Vsigが非有効期間（信号固定期間）であるオフセット電圧Vofs（全水平期間で同一）にある期間を1水平期間の前半部とし、有効期間である信号電位Vin（水平期間ごとに異なる）にある期間を1水平期間の後半部とする。つまり、映像信号Vsigは、1H周期でオフセット電圧Vofsと信号電位Vinの2値をとるパルスとなっている。

【0180】

そして、走査駆動パルスDSをアクティブHにして発光制御トランジスタ122をオンさせて、オフセット電圧Vofsと信号電位Vinとで繰り返される映像信号Vsigに合わせて、オフセット電圧Vofsの期間に書込駆動パルスWSをアクティブHにしてサンプリングトランジスタ125をオンさせることで閾値電圧Vthの情報を保持容量120に書き込む動作を、1水平期間ごとに複数回実施する分割閾値補正を行なう。

【0181】

この分割閾値補正の際、本実施形態の閾値補正破綻防止手法においては、各回の閾値補正動作の間は、走査駆動パルスDSをインアクティブLにして発光制御トランジスタ122をオフさせることで、分割閾値補正の間は継続的に走査駆動パルスDSをアクティブHにして発光制御トランジスタ122をオンさせ続けていたが、本実施形態では、閾値補正用の書込駆動パルスWSのオン/オフ制御に連動するように走査駆動パルスDSもオン/オフ制御するのである。以下、比較例との相違点を中心に説明する。

【0182】

閾値補正準備期間までは、比較例と同様である。閾値補正の準備動作が完了した後は、垂直駆動部103は、映像信号Vsigがオフセット電圧Vofsにあるタイミング（ $t_{62V1} \sim t_{64V1}$ ）に合わせて、書込走査部104により書込駆動パルスWSをアクティブHに切り替えサンプリングトランジスタ125をオンさせる（ $t_{62WS1} \sim t_{64WS1}$ ）。また、映像信号Vsigがオフセット電圧Vofsにあるタイミング（ $t_{62V1} \sim t_{64V1}$ ）に合わせて、駆動走査部105により走査駆動パルスDSをアクティブHに切り替え発光制御トランジスタ122をオンさせる（ $t_{62DS1} \sim t_{64DS1}$ ）。

【0183】

各回の閾値補正動作において、開始タイミング t_{62WS} 、 t_{62DS} の関係と、終了タイミング t_{64WS1} 、 t_{64DS1} の関係については後で説明する。なお、好ましくは、書込駆動パルスWSや走査駆動パルスDSをアクティブHにする期間（ $t_{62WS} \sim t_{64WS}$ 、 $t_{62DS} \sim t_{64DS}$ ）は、映像信号Vsigがオフセット電圧Vofsにある時間帯（ $t_{62V} \sim t_{64V}$ ）内に完全に含まれるものとする。

【0184】

これにより、ドレイン電流が保持容量120や有機EL素子127を充放電するように使われ、駆動トランジスタ121の閾値電圧Vthを補正（キャンセル）するための情報を保持容量120に記録する第1閾値補正期間Eに入る。

【0185】

第1閾値補正期間Eは、保持容量120に閾値電圧Vthに対応する情報が十分に記録されずに、ゲート・ソース間電圧Vgsが $V_{x1} (> V_{th})$ になったとき、つまり、駆動トランジスタ121のソース電位Vsが低電位側の基準電位Viniから“ $V_{ofs} - V_{x1}$ ”になったときに終り、第1閾値補正期間Eが完了した時点（ t_{64WS1} 、 t_{64DS1} ）では

10

20

30

40

50

、 $V \times 1$ が保持容量 120 に書き込まれる。

【0186】

第1 閾値補正期間 E ($t_{62WS1} \sim t_{64WS1}$, $t_{62DS1} \sim t_{64DS1}$) が終了して第2 閾値補正期間 G が開始するまでの合間は、サンプリングトランジスタ 125 だけでなく発光制御トランジスタ 122 もオフしているので、比較例とは異なり、ブートストラップ動作は一切起こらない。よって、第2 閾値補正期間 G が開始するときのソース電位 V_s は、第1 閾値補正期間 E が終了した時点のソース電位 $V_s (= V_{ofs} - V \times 1)$ にあり、ここから2 回目の閾値補正動作が開始する。

【0187】

第2 閾値補正期間 G ($t_{62WS2} \sim t_{64WS2}$, $t_{62DS2} \sim t_{64DS2}$) は、保持容量 120 に閾値電圧 V_{th} に対応する情報が十分に記録されずに、ゲート・ソース間電圧 V_{gs} が $V \times 2 (> V_{th})$ になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が、“ $V_{ofs} - V \times 1$ ” から “ $V_{ofs} - V \times 2$ ” になったときに終り、第2 閾値補正期間 G が完了した時点 (t_{64WS2} , t_{64DS2}) では、 $V \times 2$ が保持容量 120 に書き込まれる。

10

【0188】

第2 閾値補正期間 E ($t_{62WS2} \sim t_{64WS2}$, $t_{62DS2} \sim t_{64DS2}$) が終了して第3 閾値補正期間 I が開始するまでの合間は、サンプリングトランジスタ 125 だけでなく発光制御トランジスタ 122 もオフしているので、比較例とは異なり、ブートストラップ動作は一切起こらない。よって、第3 閾値補正期間 I が開始するときのソース電位 V_s は、第2 閾値補正期間 G が終了した時点のソース電位 $V_s (= V_{ofs} - V \times 2)$ にあり、ここから3 回目の閾値補正動作が開始する。

20

【0189】

第3 閾値補正期間 I ($t_{62WS3} \sim t_{64WS3}$, $t_{62DS3} \sim t_{64DS3}$) では、駆動トランジスタ 121 のソース電位 V_s が、その時点のソース電位 $V_s (= V_{ofs} - V \times 2)$ から上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れようとする。ゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} となったところでドレイン電流がカットオフする。カットオフすると駆動トランジスタ 121 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となる。

【0190】

3 回に亘る閾値補正期間 E , G , I では、何れもドレイン電流が専ら保持容量 120 側 ($C_s \ll C_{el}$ 時) に流れ、有機 EL 素子 127 側には流れないようにするため、有機 EL 素子 127 がカットオフとなるように、閾値補正期間 E , G , I におけるソース電位 V_s が有機 EL 素子 127 の閾値電圧 V_{thEL} を超えることがないように、前述のように、“ $V_{ofs} - V_{th} < V_{thEL} + V_{cath}$ ” と設定しておくことで、有機 EL 素子 127 が逆バイアス状態を維持するようにしておく。

30

【0191】

閾値補正期間 E , G , I に有機 EL 素子 127 が逆バイアス状態におかれると、カットオフ状態 (ハイインピーダンス状態) にあるため、発光することはなく、また、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタ 121 に流れるドレイン電流 (駆動電流 I_{ds}) は保持容量 120 の容量値 C_s と有機 EL 素子 127 の寄生容量 (等価容量) C_{el} の容量値 C_{el} の両者を結合した容量 “ $C = C_s + C_{el}$ ” に書き込まれていく。これにより、駆動トランジスタ 121 のドレイン電流は有機 EL 素子 127 の寄生容量 C_{el} に流れ込み充電を開始する。その結果、駆動トランジスタ 121 のソース電位 V_s は上昇していくのである。

40

【0192】

第3 閾値補正期間 I の後には、比較例と同様にして、走査駆動パルス DS がインアクティブ L の状態のままで、映像信号 V_{sig} が信号電位 V_{in} にある期間 ($t_{66V} \sim t_{67V}$) 内でサンプリングトランジスタ 125 をオンさせて、保持容量 120 に信号電位 V_{in} の情報を書き込む ($t_{66WS} \sim t_{67WS}$)。さらにその後、走査駆動パルス DS をアクティブ H

50

に切り替えて発光期間 L 移行する (t 6 8)。

【 0 1 9 3 】

駆動トランジスタ 1 2 1 のゲート端 G とソース端 S との間には保持容量 1 2 0 が接続されており、その保持容量 1 2 0 による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$ ” を一定に維持したまま、駆動トランジスタ 1 2 1 のゲート電位 V_g およびソース電位 V_s が上昇する。駆動トランジスタ 1 2 1 のソース電位 V_s が “ $-V_{th} + V_{el}$ ” となることで、ゲート電位 V_g は “ $V_{in} + V_{el}$ ” となる。

【 0 1 9 4 】

ここで、有機 EL 素子 1 2 7 は、発光時間が長くなるとその I - V 特性が変化してしまう。そのため、ノード ND 1 2 1 の電位も変化する。しかしながら、保持容量 1 2 0 による効果のため、ノード ND 1 2 1 の電位上昇に連動して、ノード ND 1 2 2 の電位も上昇するので、駆動トランジスタ 1 2 1 のゲート・ソース間電位 V_{gs} はノード ND 1 2 1 の電位上昇に拘らず、常にほぼ “ $V_{sig} + V_{th}$ ” に維持される。

10

【 0 1 9 5 】

駆動トランジスタ 1 2 1 が定電流源として動作することから、有機 EL 素子 1 2 7 の I - V 特性が経時変化し、これに伴って駆動トランジスタ 1 2 1 のソース電位 V_s が変化したとしても、保持容量 1 2 0 によって駆動トランジスタ 1 2 1 のゲート・ソース間電位 V_{gs} が一定 ($V_{sig} + V_{th}$) に保たれているため、有機 EL 素子 1 2 7 に流れる電流は変わらず、したがって有機 EL 素子 1 2 7 の発光輝度も一定に保たれる。

20

【 0 1 9 6 】

電気光学素子の一例である有機 EL 素子 1 2 7 の電流 - 電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路としてのブートストラップ回路が機能するようになっているのである。加えて、閾値補正回路を構成するようにしており、閾値補正期間における検出トランジスタ 1 2 4 の作用により、駆動トランジスタ 1 2 1 の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のばらつきの影響を受けない一定電流 I_{ds} を流すことができるため、入力画素信号に対応する安定した階調で表示でき、高画質の画像を得ることができる。

【 0 1 9 7 】

閾値補正の仕組みとしては、複数の行に割り当てられる複数の水平走査期間内で動作し、時分割的に保持容量 1 2 0 を閾値電圧 V_{th} まで充電する。サンプリングトランジスタ 1 2 5 は信号書込み対象となる書込走査線 1 0 4 WS に割り当てられた水平走査期間内で信号線 1 0 6 HS (つまり映像信号 V_{sig}) が信号電位 V_{in} になる信号供給期間に、信号線 1 0 6 HS から供給された映像信号 V_{sig} (信号電位 V_{in}) を保持容量 1 2 0 にサンプリングする。

30

【 0 1 9 8 】

一方、発光制御トランジスタ 1 2 2、検出トランジスタ 1 2 4、サンプリングトランジスタ 1 2 5 のオン/オフタイミングを制御することで実現される補正手段は、複数行の書込走査線 1 0 4 WS に割り当てられた各水平走査期間内で信号線 1 0 6 HS が一定電位であるオフセット電圧 V_{ofs} になる信号固定期間に、駆動トランジスタ 1 2 1 の閾値電圧 V_{th} を検出して時分割的に保持容量 1 2 0 を閾値電圧 V_{th} まで充電する。映像信号 V_{sig} がオフセット電圧 V_{ofs} にある信号固定期間は、各信号線 1 0 6 HS に順次割り当てられる各水平走査期間を互いに区切る期間である。一例としては水平ブランキング期間を含むように割り当てることができ水平ブランキング期間そのものでもよい。

40

【 0 1 9 9 】

補正手段は、各信号固定期間 (オフセット電圧 V_{ofs} の期間) で時分割的に保持容量 1 2 0 を閾値電圧 V_{th} まで充電する。補正手段が各信号固定期間で保持容量 1 2 0 を充電した後には、信号線 1 0 6 HS が一定電位であるオフセット電圧 V_{ofs} から信号電位 V_{in} に切り替る前にサンプリングトランジスタ 1 2 5 をオフさせて (閉じて) 保持容量 1 2 0 を信号線 1 0 6 HS から電氣的に切り離しておくことが好ましい。映像信号 V_{sig} の印加を解除

50

することで、駆動トランジスタ121の V_g を上昇可能とし、ソース電位 V_s とともに上昇していくブートストラップ動作を可能にするためである。なお、信号書込期間Kにはサンプリングトランジスタ125をオンさせるのは言うまでもない。

【0200】

本実施形態の駆動タイミングでは、比較例と同様に閾値補正動作（閾値電圧 V_{th} の情報を保持容量120に保持させる動作）を複数回実行するようにしているが、複数回に亘る閾値補正期間における走査駆動パルスDSの振舞いは、比較例とは異なり、書込駆動パルスWSと連動してオン/オフを行なうようにしている。

【0201】

複数回に亘る閾値補正期間において、保持容量120に閾値電圧 V_{th} に対応する情報が正しく書き込まれ駆動トランジスタ121がカットオフする以前では、各回の閾値補正期間の合間は、サンプリングトランジスタ125だけでなく発光制御トランジスタ122もオフしておくことで、ブートストラップ動作が一切起こらないようにしている。次回の閾値補正期間が開始するときのソース電位 V_s は、前回の閾値補正期間が終了した時点のソース電位 V_s にあり、ここから次回の閾値補正動作が開始するので、比較例のような各回の閾値補正期間の合間に生じるブートストラップ動作を起因とする、分割閾値補正に伴う閾値補正動作の破綻現象を防止できる。各回の閾値補正期間の合間にブートストラップすることを防ぐことで、閾値補正を破綻させることなく、駆動トランジスタ121の閾値電圧 V_{th} の変動やばらつきをキャンセルして輝度ムラを解消することができる。

【0202】

ここで、各タイミング t_{62WS1} 、 t_{62DS1} の関係は、概ね同時であれば良く、多少相前後してもよい。同様に、各タイミング t_{64WS1} 、 t_{64DS1} の関係は、概ね同時であればよく、多少相前後してもよい。ズレが存在する場合には、走査駆動パルスDSと書込駆動パルスWSとがともにアクティブHとなる重なり期間で閾値補正期間が規定される。分割閾値補正の合間のブートストラップ動作が全く起こらないようにするという点では、図6(A)に示すように、走査駆動パルスDSをアクティブHにする期間（ $t_{62DS} \sim t_{64DS}$ ）は、書込駆動パルスWSがアクティブHにある時間帯（ $t_{62WS} \sim t_{64WS}$ ）内に完全に含まれるものとするのが好ましい。

【0203】

図6(B)に示すように、走査駆動パルスDSがアクティブHとなるタイミング t_{62DS} が書込駆動パルスWSがアクティブHとなるタイミング t_{62WS} 以前となるズレがある場合や、走査駆動パルスDSがインアクティブLとなるタイミング t_{64DS} が書込駆動パルスWSがインアクティブLとなるタイミング t_{64WS} 以降となるズレがある場合には、そのズレの期間（ $t_{62DS} \sim t_{62WS}$ や $t_{64WS} \sim t_{64DS}$ ）にブートストラップ動作が行なわれる。

【0204】

すなわち、図5にて示したように、サンプリングトランジスタ125のオフ期間に、発光制御トランジスタ122がオン（走査駆動パルスDS = Hレベル）していることと“ $V_{gs} > V_{th}$ ”であることに起因して、駆動トランジスタ121にドレイン電流が流れ、ソース電位 V_s が上昇するとともにゲート電位 V_g も上昇する。しかしながら、このズレの期間が短ければ、この間のブートストラップ動作によるソース電位 V_s の上昇は比較例に比べると各段に少なく、動作上問題はないと考えてよい。

【0205】

なお、図6に示した駆動タイミングでは、信号書込期間Kを複数回に亘る閾値補正期間と分けて独立に設けているが、このことは必須ではない。たとえば、最終回の閾値補正期間（前例では第3閾値補正期間I）後に継続して信号書込期間Kに移行するようにしてもよい。つまり、保持容量120に閾値電圧 V_{th} の情報が書き込まれ駆動トランジスタ121がカットオフした後は、1水平走査期間の前半部（オフセット電圧 V_{ofs} の期間）が経過し、映像信号 V_{sig} が信号電位 V_{in} に変化する。この映像信号 V_{sig} が信号電位 V_{in} にあるときに保持容量120に信号電位 V_{in} の情報を書き込む。

10

20

30

40

50

【0206】

このため、最終回（本例では3回目）の閾値補正動作を除く各回（本例では1回目と2回目）では、映像信号 V_{sig} が信号電位 V_{in} に切り替る前に書込駆動パルス WS および走査駆動パルス DS をインアクティブ L にしていたが、信号電位 V_{in} の書込みに備えて、最終回の閾値補正動作時には、映像信号 V_{sig} が信号電位 V_{in} に切り替るときにも書込駆動パルス WS に関してはアクティブ H に維持しておく。これにより、信号電位 V_{in} が駆動トランジスタ 121 のゲート端に供給されるので、駆動トランジスタ 121 のゲート電位 V_g はオフセット電圧 V_{ofs} から信号電位 V_{in} に変化し、保持容量 120 に信号電位 V_{in} に対応する情報が書き込まれる。

【0207】

< 移動度補正への対応について >

なお、発光期間 L の開始を規定する走査駆動パルス DS をアクティブ H にするタイミング t_{68} を信号書込期間 K 内に設定すれば（ $t_{68} \mu$ ：図中の点線を参照）、保持容量 120 に信号電位 V_{in} の情報を書き込んでから、あるいは保持容量 120 に信号電位 V_{in} の情報を書き込むと同時に、サンプリングトランジスタ 125 をオンさせたままで発光制御トランジスタ 122 をオンさせることになる。よって、信号電位 V_{in} の情報を保持容量 120 に書込みながら、駆動トランジスタ 121 にドレイン電流を流すことができ、駆動トランジスタ 121 の移動度に対する補正分を保持容量 120 に書き込まれる駆動信号に書き加える移動度補正を行なうことができる。

【0208】

つまり、信号書込期間 K の終了するタイミング $t_{67} WS$ より前に走査駆動パルス DS をアクティブ H とし発光制御トランジスタ 122 をオンさせる。これにより、駆動トランジスタ 121 のドレイン端 D が発光制御トランジスタ 122 を介して第1電源電位 V_{c1} に接続されるので、画素回路 P は非発光期間から発光期間に進む。

【0209】

このように、サンプリングトランジスタ 125 がまだオン状態でかつ発光制御トランジスタ 122 がオン状態に入った期間 $t_{68} \mu \sim t_{67} WS$ で、駆動トランジスタ 121 の移動度補正を行なう。書込駆動パルス WS と走査駆動パルス DS のアクティブ期間のオーバーラップする期間（移動度補正期間と称する）を調整することにより、各画素の駆動トランジスタ 121 の移動度の補正を最適化するのである。すなわち、信号書込期間の後部分と発光期間の先頭部分とが重なる期間 $t_{68} \mu \sim t_{67} WS$ で移動度補正を適切に実行する。

【0210】

この移動度補正を実行する発光期間の先頭では、有機 EL 素子 127 は実際には逆バイアス状態にあるので発光することはない。この移動度補正期間 $t_{68} \mu \sim t_{67} WS$ では、駆動トランジスタ 121 のゲート端 G が映像信号 V_{sig} （詳しくは信号電位 V_{in} ）に対応する電位に固定された状態で、駆動トランジスタ 121 に駆動電流 I_{ds} が流れる。

【0211】

ここで、“ $V_{ofs} - V_{th} < V_{thEL}$ ” と設定しておくことで、有機 EL 素子 127 は逆バイアス状態におかれるため、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタ 121 に流れる駆動電流 I_{ds} は保持容量 120 の容量値 C_s と有機 EL 素子 127 の寄生容量（等価容量） C_{el} の容量値 C_{el} の両者を結合した容量 “ $C = C_s + C_{el}$ ” に書き込まれていく。これにより駆動トランジスタ 121 のソース電位 V_s は上昇していく。この上昇分を V とする。

【0212】

上昇分 V 、すなわち移動度補正パラメータである負帰還量 V は結局、保持容量 120 に保持されたゲート・ソース間電圧 V_{gs} から差し引かれることになるので、負帰還をかけたことになる。このように、駆動トランジスタ 121 の駆動電流 I_{ds} を同じく駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} に負帰還することで、移動度 μ を補正することが可能である。なお、負帰還量 V は移動度補正期間 $t_{68} \mu \sim t_{67} WS$ の時間幅を調整することで最適化可能である。

10

20

30

40

50

【0213】

映像信号 V_{sig} が高いほど駆動電流 I_{ds} は大きくなり、 V の絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行なえる。また、移動度が高い駆動トランジスタ 121 と低い駆動トランジスタ 121 を考えた場合、映像信号 V_{sig} を一定とすると、駆動トランジスタ 121 の移動度 μ が大きいほど V の絶対値も大きくなる。

【0214】

換言すると、移動度補正期間に移動度が高い駆動トランジスタ 121 は低い駆動トランジスタ 121 に対してソース電位が大きく上昇する。また、ソース電位が大きく上昇するほどゲートとソース間の電位差が小さくなり電流が流れ難くなるように負帰還が掛かる。移動度 μ が大きいほど負帰還量 V が大きくなるので、画素ごとの移動度 μ のばらつきを取り除くことが可能である。移動度の違う駆動トランジスタ 121 であっても、同じ駆動電流 I_{ds} を有機 EL 素子 127 に流すことができる。移動度補正期間を調整することで、その負帰還量 V の大きさを最適な状態に設定できる。

10

【0215】

移動度補正後の発光期間 L では、駆動トランジスタ 121 のゲート端 G は映像信号線 106 HS から切り離されるので、駆動トランジスタ 121 のゲート端 G への信号電位 V_{in} の印加が解除され、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は保持容量 120 による効果によって一定であるので、駆動トランジスタ 121 は、一定電流（駆動電流 I_{ds} ）を有機 EL 素子 127 に流す。その結果、電圧降下が生じ、有機 EL 素子 127 のアノード端 A の電位 V_{el} （= ノード ND 121 の電位）は、有機 EL 素子 127 に駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。その間、保持容量 120 に保持されたゲート・ソース間電圧 V_{gs} は “ $V_{sig} + V_{th} - V$ ” の値を維持する。

20

【0216】

やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 127 は実際に発光を開始する。このときの有機 EL 素子 127 のアノード電位の上昇（ V_{el} ）は、駆動トランジスタ 121 のソース電位 V_s の上昇に他ならず、駆動トランジスタ 121 のソース電位 V_s は、 “ $-V_{th} + V + V_{el}$ ” となる。

30

【0217】

発光時の駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表わした式（1）の V_{gs} に “ $V_{sig} + V_{th} - V$ ” を代入することで、式（3）のように表わすことができる。

【0218】

【数3】

$$I_{ds} = k\mu (V_{gs} - V_{th})^2 = k\mu (\Delta V_{in} - \Delta V)^2 \cdots (3)$$

40

【0219】

式（3）において、 $k = (1/2)(W/L)C_{ox}$ である。この式（3）から、閾値電圧 V_{th} の項がキャンセルされており、有機 EL 素子 127 に供給される駆動電流 I_{ds} は駆動トランジスタ 121 の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、有機 EL 素子 127 は映像信号 V_{sig} に応じた輝度で発光することになる。その際、映像信号 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度式（3）の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に映像信号 V_{sig} （信号電位 V_{in} ）にのみに依存することになる。

【0220】

50

その際、信号電位 V_{in} は帰還量 V で補正されている。この補正量 V はちょうど式 (3) の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に信号電位 V_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} に依存しないので、閾値電圧 V_{th} が製造プロセスにより変動しても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機 EL 素子 127 の発光輝度も変動しない。

【0221】

移動度補正回路を構成するようにすることで、オフセット電圧 V_{ofs} と信号電位 V_{in} なる 1 水平期間の信号電位 V_{in} の期間内で、サンプリングトランジスタ 125 による映像信号 V_{sig} の書き込み動作と連動した発光制御トランジスタ 122 による移動度補正期間における作用により、駆動トランジスタ 121 のキャリア移動度 μ を反映させたゲート・ソース間電位 V_{gs} として、当該キャリア移動度 μ のばらつきの影響を受けない一定電流 I_{ds} を流すことができるため、入力画素信号に対応する安定した階調で表示でき、高画質の画像を得ることができる。

【0222】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は前記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0223】

また、前記の実施形態は、クレーム (請求項) にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0224】

<画素回路および駆動タイミングの変形例>

たとえば、回路理論上は「双対の理」が成立するので、画素回路 P に対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、図 2 に示した 4TR 構成の画素回路 P が n チャネル型の駆動トランジスタ 121 を用いて構成しているのに対し、p チャネル型の駆動トランジスタ (以下 p 型駆動トランジスタ 121p と称する) を用いて画素回路 P を構成する。これに合わせて、その他のトランジスタ 122, 124, 125 もアクティブ L の駆動パルスが供給される p チャネル型にし、また映像信号 V_{sig} の信号電位 V_{in} の極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

【0225】

このような双対の理を適用してトランジスタを p 型にした変形例の有機 EL 表示装置においても、前述の n 型にした基本例の有機 EL 表示装置と同様に、サンプリングトランジスタ 125 のオン期間によって閾値補正期間を規定するように制御することで、閾値補正に伴うシェーディング現象を防止できる。もちろん、走査駆動パルス DS のゲートカップリングによるシェーディングを回避することができるので、閾値補正期間にも発光制御トランジスタを線形領域で動作させることができ、駆動走査部の仕様を複雑にせず済む。

【0226】

なお、ここで説明した変形例は、図 2 に示した 4TR 構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。たとえば、図 2 に示した 4TR 構成に対して、発光制御トランジスタ 122 のみを p チャネル型にすることもできるし、あるいはサンプリングトランジスタ 125 のみを p チャネル型にすることもできる。同様のことは、図 2 に示した 4TR 構成に対して「双対の理」に従った変更を加えたものに対してさらに、発光制御トランジスタ 122 のみを n チャネル型にすることもできるし、あるいはサンプリングトランジスタ 125 のみを n チャネル型にす

10

20

30

40

50

ることできる。何れにしても、駆動トランジスタ 121 に関しては閾値補正動作時に、サンプリングトランジスタのオン期間によって閾値補正期間を規定するように制御するものであればよいのである。

【図面の簡単な説明】

【0227】

【図1】図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図2】図2は、本実施形態の画素回路の一例を示す図である。

【図3】有機EL素子や駆動トランジスタの動作点を説明する図である。

【図3A】有機EL素子や駆動トランジスタの特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図である。

【図4】本実施形態の画素回路における比較例の動作を説明するタイミングチャートである。

【図5】図4に示した比較例の駆動タイミングにおける閾値補正動作による弊害について説明する図である。

【図6】本実施形態の画素回路の駆動タイミングを説明するタイミングチャートである。

【図7】図6に示した本実施形態の駆動タイミングにおける複数回に亘る閾値補正期間の一部を拡大して示したタイミングチャートである。

【符号の説明】

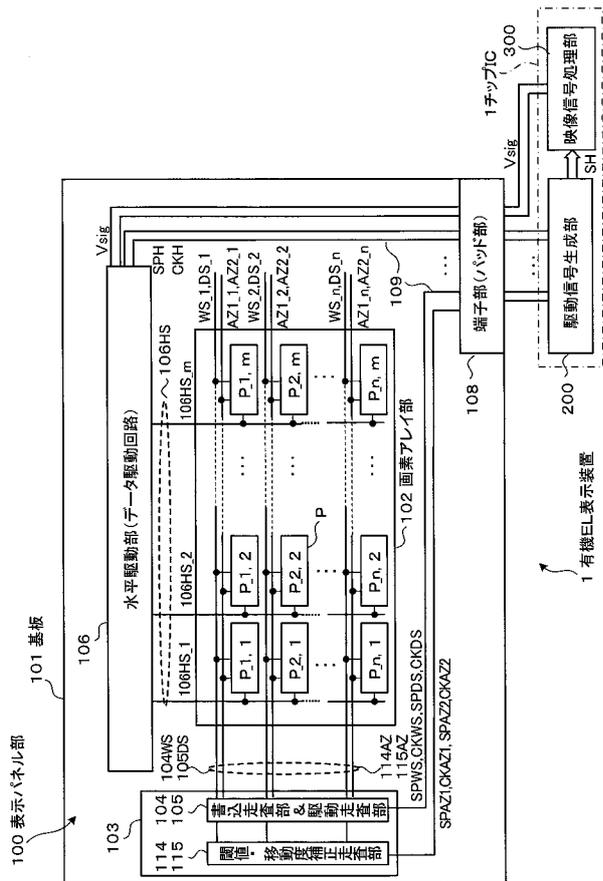
【0228】

1 ... 有機EL表示装置、101 ... 基板、102 ... 画素アレイ部、103 ... 垂直駆動部、104 ... 書込走査部、104WS ... 書込走査線、105 ... 駆動走査部、106 ... 水平駆動部、106HS ... 映像信号線、109 ... 制御部、115 ... 閾値 & 移動度補正走査部、115AZ ... 閾値 & 移動度補正走査線、120 ... 保持容量、121 ... 駆動トランジスタ、122 ... 発光制御トランジスタ、124 ... 検知トランジスタ、125 ... サンプリングトランジスタ、127 ... 有機EL素子、AZ ... 閾値 & 移動度補正パルス、Cel ... 有機EL素子の寄生容量、DS ... 走査駆動パルス、P ... 画素回路、Vsig ... 映像信号、WS ... 書込駆動パルス

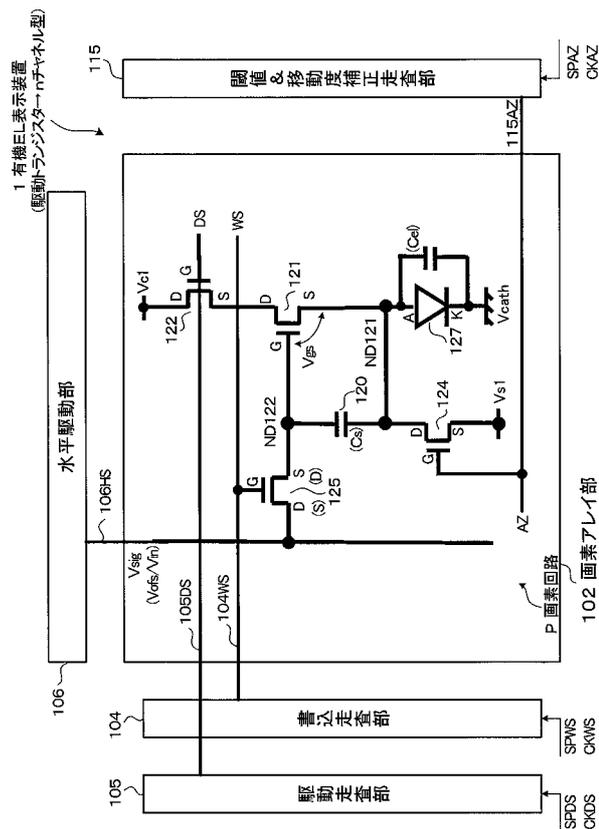
10

20

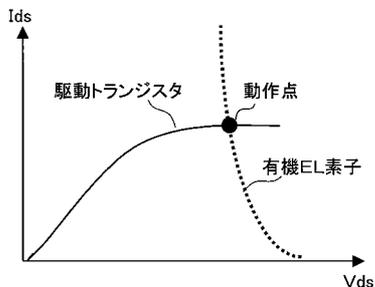
【 図 1 】



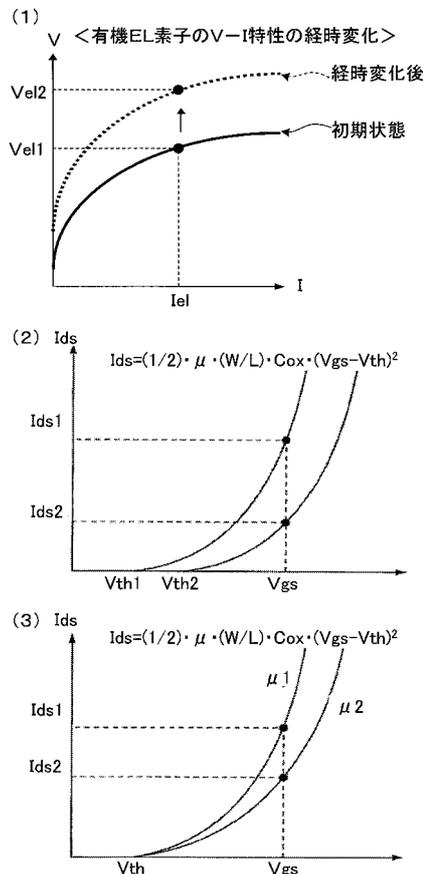
【 図 2 】



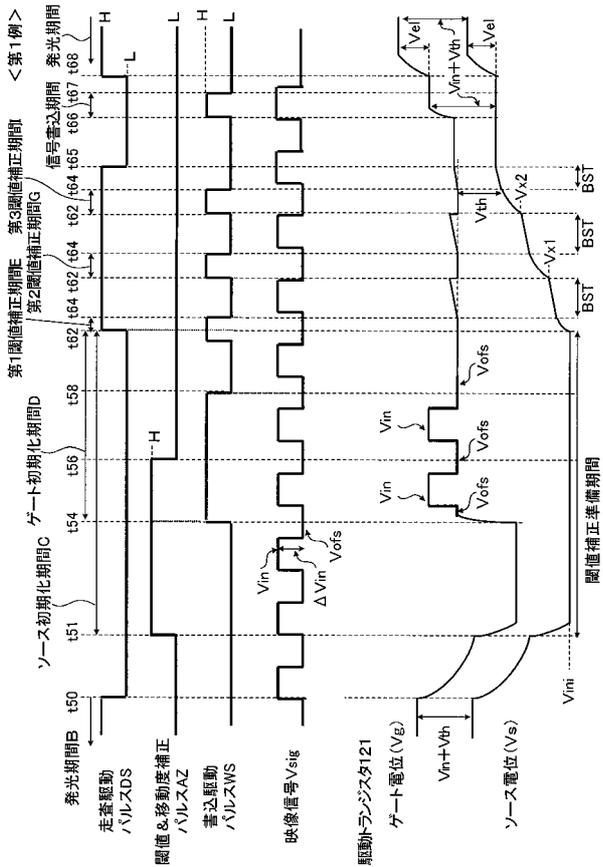
【 図 3 】



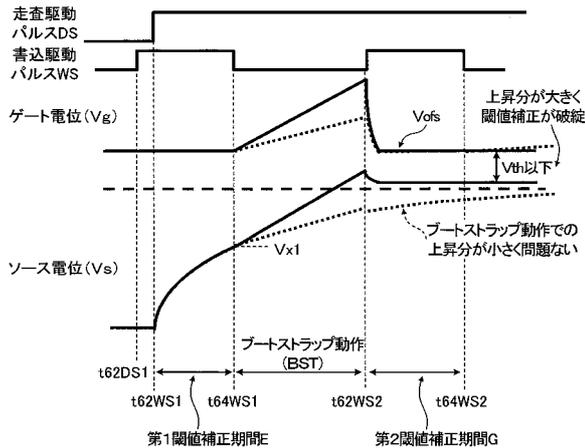
【 図 3 A 】



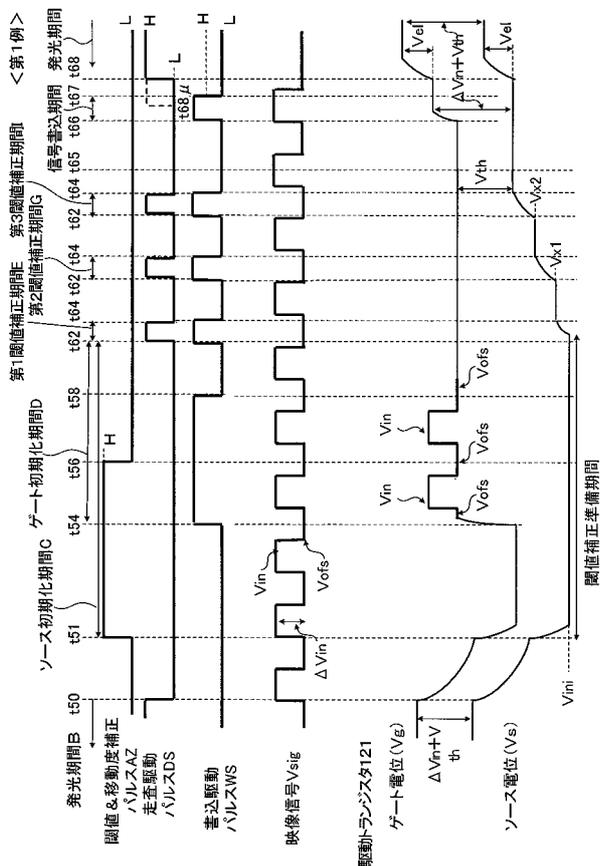
【図4】



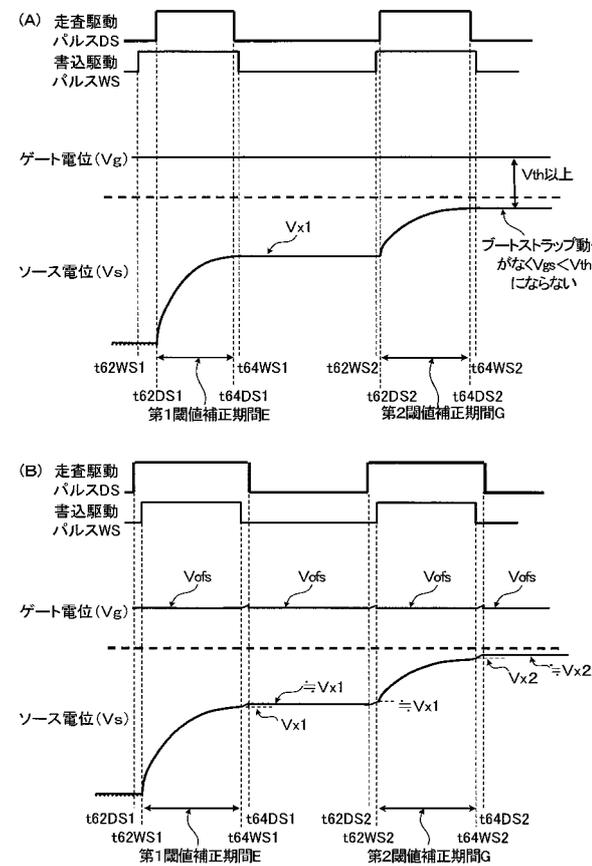
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

Fターム(参考) 3K107 AA01 BB01 CC33 CC35 EE03 HH04 HH05

5C080 AA06 BB05 DD05 DD22 EE29 FF11 HH09 JJ02 JJ03 JJ04

JJ05

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2008203478A	公开(公告)日	2008-09-04
申请号	JP2007038863	申请日	2007-02-20
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	豊村直史 内野勝秀 山本哲郎		
发明人	豊村 直史 内野 勝秀 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/325 G09G3/3233 G09G2300/0819 G09G2310/0262 G09G2320/0233 G09G2320/0295 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.623.C G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AC11 5C380/BA32 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC64 5C380/CD024 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
其他公开文献	JP2008203478A5		
外部链接	Espacenet		

摘要(译)

在具有阈值校正功能的有机EL显示装置中，防止了在分割阈值校正操作时可能发生的故障现象。当以时分方式多次重复阈值校正操作时，发光控制晶体管和采样晶体管在该时段期间互锁，并且在用于阈值校正的固定电位的时段期间处于通过状态。另一方面，视频信号在信号电位期间处于非通过状态。可以在多个阈值校正时段中的各个阈值校正时段之间执行自举操作，以防止阈值校正被破坏。[选图]图6

