

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-529774

(P2007-529774A)

(43) 公表日 平成19年10月25日(2007.10.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 641D	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 642P	
	H05B 33/14 A	
審査請求 未請求 予備審査請求 未請求 (全 18 頁)		

(21) 出願番号 特願2007-503449 (P2007-503449)
 (86) (22) 出願日 平成17年2月28日 (2005.2.28)
 (85) 翻訳文提出日 平成18年9月15日 (2006.9.15)
 (86) 国際出願番号 PCT/IB2005/050728
 (87) 国際公開番号 W02005/091268
 (87) 国際公開日 平成17年9月29日 (2005.9.29)
 (31) 優先権主張番号 0405807.9
 (32) 優先日 平成16年3月16日 (2004.3.16)
 (33) 優先権主張国 英国 (GB)

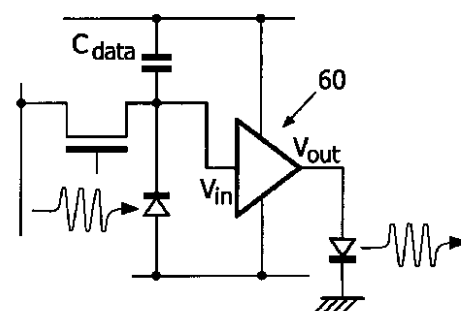
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5621 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 (74) 代理人 100087789
 弁理士 津軽 進
 (74) 代理人 100114753
 弁理士 宮崎 昭彦
 (74) 代理人 100122769
 弁理士 笛田 秀仙

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス表示装置

(57) 【要約】

アクティブマトリックスEL表示装置は画素を有している。この画素は、EL表示素子と、駆動トランジスタと、駆動トランジスタのアドレスを制御するのに使用される電圧を記憶する記憶コンデンサと、を有している。各画素は、表示素子の光出力に従って駆動トランジスタを制御するために、記憶コンデンサのディスチャージを制御する光依存デバイスも有している。記憶コンデンサが光依存デバイスの出力にตอบสนองしてディスチャージされる場合に前記記憶コンデンサのディスチャージの速度を増加させるために、回路が駆動トランジスタに対応付けられている。コンデンサのディスチャージの速度を改善することによって、全てのグレーレベルに対して、経年変化の差異が確実に良好に補償される。



【特許請求の範囲】

【請求項 1】

画素のアレイを有するアクティブマトリックス表示装置であって、
前記各画素が、
電流駆動型発光表示素子、
前記電流駆動型表示素子を流れる電流を運ぶための駆動トランジスタ、
前記駆動トランジスタのアドレッシングを制御するために使用される電圧を記憶する記憶コンデンサ、

前記表示素子の光出力に従って前記駆動トランジスタを制御するために、前記記憶コンデンサのディスチャージを制御する光依存デバイス、および

前記駆動トランジスタに関連する回路であって、前記記憶コンデンサが前記光依存デバイスの出力に応答してディスチャージされる場合に前記記憶コンデンサのディスチャージの速度を増加させるための、前記駆動トランジスタに関連する回路、
を有する、アクティブマトリックス表示装置。

10

【請求項 2】

前記駆動トランジスタをオフに切り替えるために、前記記憶コンデンサをディスチャージするディスチャージトランジスタを更に有する、請求項 1 に記載のアクティブマトリックス表示装置。

【請求項 3】

前記光依存デバイスは、前記ディスチャージトランジスタがオフ状態からオン状態に切り替えるタイミングを制御する、請求項 2 に記載のアクティブマトリックス表示装置。

20

【請求項 4】

前記ディスチャージトランジスタのゲートと定電圧ラインとの間に、ディスチャージコンデンサが備えられており、

前記光依存デバイスは、前記ディスチャージコンデンサをチャージ又はディスチャージする、請求項 2 又は 3 に記載のアクティブマトリックス表示装置。

【請求項 5】

前記駆動トランジスタに関連する回路は、前記駆動トランジスタに直列接続された第 2 のトランジスタを有し、前記第 2 のトランジスタと前記駆動トランジスタとが、インバータ回路を形成し、前記インバータ回路の出力によって前記表示素子が駆動する、請求項 1 に記載のアクティブマトリックス表示装置。

30

【請求項 6】

前記駆動トランジスタに関連する回路は、インバータ回路を有し、
前記インバータ回路の出力が前記駆動トランジスタを制御する、請求項 1 ～ 4 のうちのいずれか一項に記載のアクティブマトリックス表示装置。

【請求項 7】

前記インバータ回路はクロック制御される、請求項 6 に記載のアクティブマトリックス表示装置。

【請求項 8】

前記駆動トランジスタに関連する回路は、フィードバックトランジスタを有し、
前記ディスチャージトランジスタは、前記フィードバックトランジスタのゲートに接続しており、前記フィードバックトランジスタは、前記ディスチャージトランジスタのゲートに接続している、請求項 1 ～ 7 のうちのいずれか一項に記載のアクティブマトリックス表示装置。

40

【請求項 9】

前記光依存デバイスは、ディスチャージ・フォトダイオードを有する、請求項 1 ～ 8 のうちのいずれか一項に記載のアクティブマトリックス表示装置。

【請求項 10】

前記各画素は、データ信号ラインと前記画素の入力部との間に接続されたアドレスタランジスタを更に有する、請求項 1 ～ 9 のうちのいずれか一項に記載のアクティブマトリッ

50

クス表示装置。

【請求項 1 1】

前記駆動トランジスタは、電源ラインと前記表示素子との間に接続されている、請求項 1 ~ 1 0 のうちのいずれか一項に記載のアクティブマトリックス表示装置。

【請求項 1 2】

前記記憶コンデンサは、前記駆動トランジスタのゲートとソースとの間に接続されている、請求項 1 1 に記載のアクティブマトリックス表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、アクティブマトリックス表示装置に関し、特に、専らではないが、各画素に関連する薄膜スイッチングトランジスタを有するアクティブマトリックス・エレクトロルミネセント表示装置に関する。

【背景技術】

【0 0 0 2】

エレクトロルミネセント発光表示素子を使用したマトリックス表示装置が周知である。表示素子は、例えば高分子材料を用いた有機薄膜エレクトロルミネセント素子を有する場合もあれば、伝統的な I I I - V 族半導体化合物を用いた発光ダイオード (L E D) を有する場合もある。

【0 0 0 3】

この型式の表示装置は、電流アドレス型表示素子を有しており、このため、通常のアナログ駆動方式では、制御可能な電流を表示素子に供給する必要がある。画素構造の一部として電流源トランジスタを備え、この電流源トランジスタに供給されるゲート電圧により表示素子に流れる電流を決定することが知られている。記憶コンデンサは、アドレスフェーズの後において、ゲート電圧を保持する。

【0 0 0 4】

図 1 は、既知のアクティブマトリックス・エレクトロルミネセント表示装置を示す。この表示装置はパネルを有している。このパネルは、規則的に間隔を置いて配された画素の行および列のマトリックスアレイを有している。この画素は区画 1 で示されており、エレクトロルミネセント表示素子 2 と、表示素子に関連するスイッチング手段と、を有しており、交差する行 (選択) アドレス導体 4 と列 (データ) アドレス導体 6 との組の間の交差部に位置している。簡単のため、図 1 には数個の画素のみが示されている。実際には、数百行および数百列の画素がある。画素 1 は、行アドレス導体と列アドレス導体との組を介して、周辺駆動回路によりアドレスされる。この周辺駆動回路は、行ドライバ回路即ち走査ドライバ回路 8 と列ドライバ回路即ちデータドライバ回路 9 とを有しており、これら回路 8 および 9 は、対応する組の導体の端部に接続されている。

【0 0 0 5】

エレクトロルミネセント表示素子 2 は有機発光ダイオードを有している。この有機発光ダイオードは、ここではダイオード素子 (L E D) で表されており、一組の電極を有している。この一組の電極の間には、有機エレクトロルミネセント材料の一つ以上の層が挟まれている。マトリックスアレイの表示素子は、表示素子に関連するアクティブマトリックス回路とともに、絶縁支持体の一方の側に支持されている。表示素子のカソード又はアノードは、透明導電材料から形成されている。支持体はガラスなどの透明材料から形成されており、表示素子 2 の、基板に最も近い電極は、エレクトロルミネセント層が発する光がこの電極および支持体を透過し支持体の反対側にいる観察者に見えるように、 I T O などの透明導電材料から構成される。

【0 0 0 6】

図 2 は、電圧アドレス型動作をする最も基本的な画素と駆動回路の構造を、簡略化して模式的に示す。各画素 1 は、 E L 表示素子 2 と、表示素子に関連するドライバ回路と、を有している。ドライバ回路は、行導体 4 の行アドレスパルスによってオンになるアドレス

10

20

30

40

50

トランジスタ 16 を有している。アドレストランジスタ 16 がオンになると、列導体 6 の電圧は画素の残りの部分に送られる。特に、アドレストランジスタ 16 は、列導体電圧を電流源 20 に供給する。この電流源 20 は、駆動トランジスタ 22 と、記憶コンデンサ 24 と、を有している。列電圧は駆動トランジスタ 22 のゲートに供給され、このゲートは、行アドレスパルスが終了した後も、記憶コンデンサ 24 によって当該列電圧に保持される。

【0007】

この回路の駆動トランジスタ 22 は p 型 T F T で実現されており、記憶コンデンサ 24 は駆動トランジスタ 22 のゲート - ソース電圧を固定する。これにより、一定のソース - ドレイン電流がトランジスタを流れ、したがって、画素の所望の電流源動作が得られる。

10

【0008】

上記の基本的な画素回路において、ポリシリコンを用いた回路に対しては、トランジスタのチャネルでのポリシリコンゲインの統計分布によって、トランジスタのしきい電圧にばらつきがある。しかし、ポリシリコントランジスタは、電流および電圧のストレスがかかっている状態においては、或る程度は安定であり、このため、しきい電圧は実質的に一定のままである。

【0009】

トランジスタ特性のばらつきに加えて、LED 自体の経年変化の違いもある。これは、電流ストレスを受けた後に発光材料の効率が低下するためである。ほとんどの場合、LED に多くの電流および電荷が流れるほど、効率は低下する。

20

【0010】

LED 材料の経年変化を補償する電圧アドレス型画素回路も提案されている。例えば、画素が光検出素子を有する種々の画素回路が提案されている。この光検出素子は、表示素子の光出力に応答し、アドレス期間の間のディスプレイの光出力を制御するように、その光出力に응答して記憶コンデンサに蓄積された電荷をリークするよう動作する。

【0011】

図 3 および図 4 は、この目的のための画素レイアウトの例を示す。このタイプの画素構造の他の例は、WO 01 / 20591 号および EP 1096466 号に詳述されている。

【0012】

図 3 の画素回路において、フォトダイオード 27 はコンデンサ 24 (C_{data}) に記憶されたゲート電圧をディスチャージし、輝度を低下させる。EL 表示素子 2 は、駆動トランジスタ 22 (T_{drive}) のゲート電圧がしきい電圧に到達すると、発光せず、このとき、記憶コンデンサ 24 はディスチャージを停止する。電荷がフォトダイオード 27 からリークする速度は、表示素子の出力の関数であり、このため、フォトダイオード 27 は、光検出フィードバックデバイスとして機能する。駆動トランジスタ 22 がオフに切り替ると、表示素子のアノード電圧が低下してディスチャージトランジスタ 29 ($T_{discharge}$) をオンにし、このため、記憶コンデンサ 24 の残りの電荷が素早く消失され、発光がオフに切り替えられる。

30

【0013】

ゲート - ソース電圧を保持するコンデンサがディスチャージされるので、表示素子の駆動電流は次第に小さくなる。したがって、輝度は小さくなる。これにより、平均光強度が小さくなる。

40

【0014】

図 4 は、本出願人が提案した回路を示しており、この回路は、連続的に光出力を与えてこの光出力に依存した時間でオフに切り替わるものである。

【0015】

駆動トランジスタ 22 のゲート - ソース電圧は、やはり記憶コンデンサ 24 ($C_{storage}$) で保持される。しかし、この回路では、コンデンサ 24 は、チャージライン 32 から、チャージトランジスタ 34 によって、一定電圧にチャージされる。したがって、表示素子が照射するときに、駆動トランジスタ 22 を画素のデータ入力に依存しない一定レベ

50

ルで駆動する。輝度は、デューティサイクルを変えることによって、特に、駆動トランジスタがオフになる時間を変えることによって、制御される。

【0016】

駆動トランジスタ22は、記憶コンデンサ24をディスチャージするディスチャージトランジスタ36によって、オフになる。ディスチャージトランジスタ36がオンになると、コンデンサ24は素早くディスチャージされ、駆動トランジスタはオフになる。

【0017】

ディスチャージトランジスタ36は、そのゲート電圧が十分な大きさの電圧に到達すると、オンになる。フォトダイオード27は表示素子2により光が当てられて、やはり、表示素子2の光出力に依存した光電流を発生する。この光電流はディスチャージコンデンサ40 (C_{data}) をチャージし、或る時刻で、コンデンサ40に印加される電圧は、ディスチャージトランジスタ36のしきい電圧に到達し、これによってトランジスタ36はオンになる。オンになる時間は、コンデンサ40に元々蓄積されている電荷と、光電流と、に依存し、さらには、表示素子の光出力に依存する。ディスチャージコンデンサは、初めはデータ電圧を記憶しており、このため、初期データと光学フィードバックとの両方が回路のデューティサイクルに影響を与える。

【0018】

これらの回路は両方とも、ディスチャージトランジスタのターンオン速度によって制約を受け、回路の補正能力に一定の小さな誤差を生じさせる。図3の光学フィードバック補償回路の性能も、光(グレー)レベルが低ければ、良好なものではない。これは光学フィードバックが補正を光に依存しているからであり、したがって、光がほとんどなければ、素早い補正動作が行われない。

【発明の開示】

【発明が解決しようとする課題】

【0019】

フレーム時間は有限であるので、画素の輝度が高い場合よりも、補正は不十分になる。

【課題を解決するための手段】

【0020】

本発明によれば、画素のアレイを有するアクティブマトリックス表示装置が提供される。上記各画素は、

電流駆動型発光表示素子、

上記電流駆動型表示素子を流れる電流を運ぶための駆動トランジスタ、

上記駆動トランジスタのアドレッシングを制御するために使用される電圧を記憶する記憶コンデンサ、

上記表示素子の光出力に従って上記駆動トランジスタを制御するために、上記記憶コンデンサのディスチャージを制御する光依存デバイス、および

上記駆動トランジスタに関連する回路であって、上記記憶コンデンサが上記光依存デバイスの出力に応答してディスチャージされる場合に上記記憶コンデンサのディスチャージの速度を増加させるための、上記駆動トランジスタに関連する回路、を有する。

【0021】

したがって、本発明のアクティブマトリックス表示装置は、光学フィードバックを使用して記憶コンデンサのディスチャージを制御するが、追加の回路素子を使用してコンデンサのディスチャージの速度を改善しており、したがって、光学フィードバックシステムが駆動トランジスタをオフにするように動作する場合に駆動トランジスタのスイッチオフが改善されている。

【0022】

本質的に、本発明は、画素内のゲインシステムを利用して、全てのグレーレベルにおいて、経年変化の差異を確実に補正する。したがって、本発明の駆動トランジスタに関連する回路は、記憶コンデンサのディスチャージが遅いことによって引き起こされる光誤差が

10

20

30

40

50

ら生じる全てのグレーレベルでの回路性能を向上させる。

【0023】

記憶コンデンサは、実現例に依存して、データ電圧用の記憶コンデンサであってもよく、固定電圧用の記憶コンデンサであってもよい。

【0024】

アクティブマトリックス表示装置は、記憶コンデンサが徐々にディスチャージされるように動作してもよい。あるいは、上記記憶コンデンサをディスチャージするディスチャージトランジスタを備えて、これにより駆動トランジスタをオフに切り替えることができる。この動作は素早く行われ、このとき、回路は、デューティサイクル制御システムとして機能する。

10

【0025】

特に、上記光依存デバイスは、上記ディスチャージトランジスタがオフ状態からオン状態に切り替えるタイミングを制御することができ、上記ディスチャージトランジスタは、このディスチャージトランジスタのゲートと定電圧ラインとの間に備えられたディスチャージコンデンサチャージ又はディスチャージする。

【0026】

上記駆動トランジスタに関連する回路は、上記駆動トランジスタに直列接続された第2のトランジスタを有し、上記第2のトランジスタと上記駆動トランジスタとが、インバータ回路を形成し、上記インバータ回路の出力によって上記表示素子を駆動してもよい。このようにして、コンデンサのディスチャージを制御する信号にゲインが与えられ、これにより、ディスチャージの速度を増加することが可能となる。

20

【0027】

上記駆動トランジスタに関連する回路がインバータ回路を有し、上記インバータ回路の出力が上記駆動トランジスタを制御してもよい。上記インバータ回路はクロック制御されるものとして行うことができる。

【0028】

ディスチャージトランジスタを使用する場合、上記駆動トランジスタに関連する回路は、インバータフィードバックトランジスタを有し、上記ディスチャージトランジスタは、上記フィードバックトランジスタのゲートに接続しており、上記フィードバックトランジスタは、上記ディスチャージトランジスタのゲートに接続していてもよい。この構造は、ディスチャージトランジスタが記憶キャパシタンスをディスチャージする速度を加速させる正帰還経路を規定する。

30

【0029】

好ましくは、上記光依存デバイスは、ディスチャージ・フォトダイオードを有しており、上記各画素は、データ信号ラインと上記画素の入力部との間に接続されたアドレストランジスタを更に有していてもよい。

【0030】

本発明は、例として、添付図面を基準にして記載されている。

【発明を実施するための最良の形態】

【0031】

図5は、本発明で取り扱われる問題を説明するために使用される図であり、図4の回路を使用したときに各曲線の内側の面積により決定される2つのグレーレベルを示している。同じ問題は図3の回路にも該当するが、図3の回路では連続的な光出力の期間はない。斜線の領域は、ディスチャージトランジスタのターンオン時間によって生じる誤差である。これは全てのグレーレベルに対して一定であり、したがって、この誤差は、グレーレベルが小さい場合はもっと深刻なものになる。したがって、このターンオン時間を小さくすることによって、画素回路の性能を向上させることができる。

40

【0032】

本発明は経年変化を補償するための光学フィードバックを用いた表示装置を提供する。この表示装置は、記憶コンデンサが光依存デバイスの出力に応答してディスチャージされ

50

るときの記憶コンデンサのディスチャージの速度を増加させるために、所定の回路が画素の駆動トランジスタに関係している。本発明は、本質的には、記憶コンデンサをディスチャージするために使用される信号のためのゲインステージを画素内に備えた画素デザインを提供するものである。

【0033】

本発明の画素回路の一般化された図が、図6に示されており、図7は、図6の回路に使用される増幅器の機能を示している。

【0034】

図6では、光学フィードバック回路素子（フォトダイオード、およびこのフォトダイオードによりディスチャージされるコンデンサ）と表示素子との間に、一つの増幅器60が備えられている。図6の一般化された回路では、増幅器60が画素の駆動トランジスタを有している。

【0035】

図7に示すように、増幅器の機能は、光学フィードバックシステムが供給する制御信号に、よりシャープなカットオフを与えるものである。

【0036】

この回路動作において、光依存型の光電流が、フレーム時間に渡ってデータ容量を線形的にチャージする。ある時点において、ハイゲインステージが、電源ラインを素早く切り替える。したがって、回路の補正誤差は、ゲインステージが電源ラインを切り替えるのに必要な時間によって定められ、この時間は、個々のディスチャージトランジスタのターンオン時間と比較して、非常に短くすることができる。したがって、この回路は、補正の度合いを改善することが可能である。

【0037】

図8は、増幅器80の入力電圧 V_{in} を上昇させるデータ容量が光電流によってディスチャージされ、その結果、図9に示すように、出力 V_{out} がhighからlowに切り替わる反転方式を一般化された形態で示している。図8の増幅器80は、反転ハイゲインステージを表しているが、必ずしも標準のデジタルインバータには限られない。

【0038】

フォトダイオードとデータコンデンサとの構造は、幾つかの方法で実現することができ、上述したのは、基本的な2つの実現例だけである。一般的には、これらの回路は、線形的に増加/減少する電圧 V_{in} を生成し、この電圧 V_{in} の増加/減少の速度は、OLEDの輝度に依存する。

【0039】

第3の一般的な方式は、クロック制御されたハイゲインステージを使用することである。これは、図10および図11に示されている。

【0040】

図10の回路は図6の回路に対応するが、増幅器100は追加のクロック入力部102を有している。

【0041】

この方式では、ハイゲインステージは、クロック（Clk）が所定の状態（ハイ（high）、ロー（low）、又は遷移）になるまで、切り替えることは許されない。したがって、入力電圧 V_{in} が、ゲインステージを切り替えるのに十分な高い電圧である場合、ゲインステージが切り替えるには、クロックが適切な状態に到達するのを待たなければならず、このとき、システムの精度は、フィールド期間当たりのクロックサイクルの数により制限を受ける。図10のクロック制御される回路の構成するのは容易である。

【0042】

本発明の詳細な多数の実現例を以下に示す。

【0043】

第1の実現例が図12に示されている。これは、駆動トランジスタに一定の駆動電圧を与える方式であり、したがって、上記のデューティサイクル方式である。

10

20

30

40

50

【 0 0 4 4 】

図 1 2 の回路は図 4 の回路に対応しているが、フィードバックトランジスタ 1 2 0 ($T_{feedback}$) が追加されている。他の回路素子の動作は記載されていない。

【 0 0 4 5 】

フィードバックトランジスタ 1 2 0 は n 型 T F T であり、このトランジスタ 1 2 0 は、ディスチャージトランジスタ 3 6 ($T_{discharge}$) がオンに切り替っているときに、オンに切り替り始める。トランジスタ 1 2 0 は、正帰還によるハイゲインを、データ記憶ノードに与える (このノードは、フォトダイオードとディスチャージコンデンサ 4 0 (C_{data}) との間に存在している) 。したがって、このフィードバック方式は増幅段として機能し、光学フィードバックシステムが記憶コンデンサのディスチャージを誘発すると、このフィードバック方式は記憶コンデンサのディスチャージの速度を増加させる。

10

【 0 0 4 6 】

この例では、ディスチャージトランジスタは高電源レールとフィードバックトランジスタのゲートとの間に接続されており、フィードバックトランジスタは、ディスチャージトランジスタのゲートと低電源レールとの間に接続されている。

【 0 0 4 7 】

(ディスチャージトランジスタが導通し始めて) フィードバックトランジスタがオンになると、ディスチャージトランジスタのゲート電圧をプルダウンし、これによって、ディスチャージトランジスタのターンオンが加速する。

【 0 0 4 8 】

この回路を用いて良好な黒状態を達成するためには、この回路は、駆動トランジスタ T_{drive} と L E D との間に一個のスイッチを備える必要がある。このスイッチとトランジスタ T_{switch} とが相補型である場合、このスイッチのアドレスラインを、トランジスタ T_{switch} (記憶コンデンサをチャージするトランジスタ) のアドレスラインに接続することができる。

20

【 0 0 4 9 】

第 2 の実現例は、図 1 3 および図 1 4 に示されている。

【 0 0 5 0 】

図 1 3 では、図 3 のディスチャージトランジスタ $T_{discharge}$ が、駆動トランジスタ 2 2 に直列に接続された第 2 のトランジスタ 1 3 0 によって置き換えられており、第 2 のトランジスタ 1 3 0 と駆動トランジスタ 2 2 とがインバータ回路を形成している。インバータ回路の出力によって表示素子が駆動される。

30

【 0 0 5 1 】

このインバータ回路は効率的にゲインを提供する。

【 0 0 5 2 】

図 1 3 の回路は、図 3 の回路と同じ方法で、記憶コンデンサのディスチャージを段階的に行う。

【 0 0 5 3 】

図 1 4 は、図 4 の回路に同様の修正を行ったものを示しており、したがって、図 1 4 の回路はデューティサイクル制御回路である。ディスチャージトランジスタと追加のトランジスタ 1 4 0 とによって、一つのインバータが備えられている。

40

【 0 0 5 4 】

図 1 5 は、図 1 2 のフィードバック回路と図 1 4 のインバータ回路とを組み合わせた回路を示す。したがって、図 1 5 の回路はインバータ段 1 5 0 とフィードバック段 1 5 2 とを有しており、インバータ段 1 5 0 とフィードバック段 1 5 2 との各々は、上記のように動作する。

【 0 0 5 5 】

この回路では、インバータ段 1 5 0 により与えられるゲインは、 $T_{discharge}$ と $T_{feedback}$ とのフィードバックコンビネーションによって、更に増幅され、非常に大きいゲインシステムが提供される。この回路を用いて良好な黒状態を達成するため

50

には、この回路は、駆動 T F T T_{drive} と L E D との間に一個のスイッチを有する必要がある。このスイッチとトランジスタ T_{switch} とが相補型である場合、このスイッチのアドレスラインを、 T_{switch} のアドレスラインに接続することができる。

【 0 0 5 6 】

L E D がオフになると、インバータを流れる持続電流が発生し、これは望ましくない。

【 0 0 5 7 】

図 1 6 は同じような回路を示しているが、インバータ段 1 6 0 は、インバータの静的消費電力が生じないようにするため、別々に制御される 2 つのトランジスタ (T_{off} および $T_{switch2}$) に分割されている。フィードバックシステムは符号 1 6 2 で示されている。トランジスタ T_{off} はコンデンサ C_{data} が十分にチャージされるとオンになり、これによって、正帰還システムが表示素子を素早くオフに切り替える。

10

【 0 0 5 8 】

トランジスタ $T_{switch2}$ はアドレスされている間だけオンであり、それ以外はオフであり、このため、インバータ段の静的消費電力が低減する。

【 0 0 5 9 】

図 1 7 は図 1 6 の変形例を示しており、データコンデンサがフォトダイオードによってチャージではなくディスチャージされ、インバータ 1 7 0 およびフィードバックシステム 1 7 2 の配列が変わっている。これは、各回路が多くの方法で実現できることを示している。

【 0 0 6 0 】

20

図 1 8 および図 1 9 は、別のハイゲインシステムの 2 つの変形例を示す。これらの回路には、3 つのインバータ 1 8 0 a、1 8 0 b、1 8 0 c、および 1 9 0 a、1 9 0 b、1 9 0 c がある。第 2 のインバータ段は、第 2 のインバータ 1 8 0 b、1 9 0 b の入力部と第 3 のインバータの出力部との間に、正帰還接続部 1 8 4、1 9 4 を有している。

【 0 0 6 1 】

これらの実現例では、良好な黒状態を得るのに、チャージスイッチ T_{switch} 、別のコンデンサ、又は駆動トランジスタと L E D との間に追加のトランジスタは必要ない。データ列の電圧が、アドレス時に、これらの機能を自動的に果たす。

【 0 0 6 2 】

第 2 のインバータ段の出力は、駆動トランジスタのゲートを一方の電圧レールに接続することによって、駆動トランジスタのゲートを一定電圧に保持し、このため、記憶コンデンサは必要ない。インバータ回路が切り替わると、駆動トランジスタのゲートは、素早く反対側の電力レールに接続される。このタイミングは、やはり、コンデンサ C_{data} の初期データ電圧と光学フィードバックシステムとに依存する。

30

【 0 0 6 3 】

これらの回路では、データ記憶コンデンサは、駆動トランジスタのアドレスを制御するために使用される電圧を記憶する。しかし、先の回路のように、駆動トランジスタのゲート - ソース電圧を記憶するコンデンサは必要ない。

【 0 0 6 4 】

フィードバックを行う第 2 および第 3 のインバータは、S R A M セルと考えることができる。T F T は、全て最小の大きさであり、したがって、回路に 8 個のトランジスタが存在していても、開口を設けることができる。

40

【 0 0 6 5 】

トランジスタの数は減らすことができ、例えば、この回路が、図 2 0 に示す 2 つのインバータ段 2 0 0 a、2 0 0 b を有する回路になるように、図 1 8 の最後段のインバータ 1 8 0 c を除去することができる。第 2 のインバータ段 2 0 0 b の入力部へのフィードバックは、駆動トランジスタと L E D との間の接続部から行われる。駆動トランジスタと L E D との組み合わせは、最後段のインバータの役割をする。

【 0 0 6 6 】

データ容量をチャージする光電流によって生じる図 1 8 ~ 図 2 0 の第 1 のインバータ 1

50

80a、190a、200aの入力部の電圧が（フレーム時間の一部の間）線形的に増加すると、第1のインバータは、SRAM部が切り替わるまで電流を流す。このインバータのTFTを長くすると（W/L比を小さくする）、第1のインバータが流す電流の量が低減する。

【0067】

図21は、図13の回路の修正例として、クロック制御型システムを示す。一個のインバータが、駆動トランジスタ22と追加のトランジスタ210によって規定されている。このインバータは、入力電圧 V_{in} がこのインバータを切り替えるのに十分に高い電圧に到達した場合に、クロック信号Clkが高くなってから、このインバータが状態を変化させてLEDをオフにすることができるように、一個のトランジスタ212によってクロック制御される。

10

【0068】

斯かるシステムでは、1フレーム時間内のクロックサイクルの数は、グレーレベルの数の少なくとも2倍よりも大きい必要がある。

【0069】

上記の回路は、OLEDディスプレイの経年変化の差異を十分に補正し、幾つかの場合では、フル輝度において、OLED効率が50%劣化しても、補正は0.5%以内であることがシミュレーションによって示されている。もっと小さいグレーレベルでは、性能はほんのわずかに変化するだけである。

【0070】

20

上記の全ての回路は、非常に低い電圧レベル（例えば、5V）で実現することができ、したがって、消費電力は、LEDを動作させるのに必要な電流および電圧によってほぼ決まる。したがって、本発明は、焼き付きがなく低電力が重要である用途に適している。

【0071】

上記の回路はTFTの不均一性を補償するのではないが、多くの用途では、TFTの不均一性は、経年変化の影響よりもそれほど重大なことではない。

【0072】

上の例では、光依存素子はフォトダイオードであるが、画素回路はフォトトランジスタ又はフォトレジスタを使用して作ってもよい。本発明の回路は、いろいろなトランジスタ半導体技術を使用して実現することができる。たくさんの変形例が可能であり、例えば、結晶シリコン、水素化アモルファスシリコン、ポリシリコン、および半導体ポリマーも可能である。これらの変形例は、全て、特許請求の範囲に記載された本発明の範囲内に存在している。

30

【0073】

上記の幾つかの回路では、フォトダイオード（又は、他の光検出素子）を使用して、駆動トランジスタのゲート電圧を保持するコンデンサを直接にディスチャージしており、他のデューティサイクル制御回路では、フォトダイオードを使用して、ディスチャージトランジスタを制御する追加のコンデンサをディスチャージしている。各々の場合において、光依存デバイスは、駆動トランジスタのゲート電圧を保持する記憶コンデンサのディスチャージを直接又は間接に制御し、これによって、光依存デバイスは、表示素子の光出力に従って駆動トランジスタを制御している。したがって、上記の全ての回路の例は、記憶コンデンサのディスチャージを制御する光依存デバイスを有しており、これによって、表示素子の光出力に従って駆動トランジスタを制御している。

40

【0074】

表示デバイスは、ポリマーLEDデバイス、有機LEDデバイス、蛍光体を含む材料、および他の発光構造とすることができる。

【0075】

当業者には、いろいろな他の修正例が明らかである。

【図面の簡単な説明】

【0076】

50

【図 1】既知の E L 表示装置を示す図である。

【図 2】E L 表示装置の画素を電流によりアドレスする既知の画素回路の簡略化した概略図である。

【図 3】経年変化の差異を補償する第 1 の既知の画素のデザインを示す図である。

【図 4】経年変化の差異を補償する第 2 の既知の画素のデザインを示す図である。

【図 5】以前に提案された光学フィードバック回路に関連する問題を説明するために使用される図である。

【図 6】本発明による画素回路の第 1 の一般化した例を示す図である。

【図 7】図 6 の回路の動作説明に使用される図である。

【図 8】本発明による画素回路の第 2 の一般化した例を示す図である。

10

【図 9】図 8 の回路の動作説明に使用される図である。

【図 10】本発明による画素回路の第 3 の一般化した例を示す図である。

【図 11】図 10 の回路の動作説明に使用される図である。

【図 12】本発明の詳細な第 1 の画素回路を示す図である。

【図 13】本発明の詳細な第 2 の画素回路を示す図である。

【図 14】本発明の詳細な第 3 の画素回路を示す図である。

【図 15】本発明の詳細な第 4 の画素回路を示す図である。

【図 16】本発明の詳細な第 6 の画素回路を示す図である。

【図 17】本発明の詳細な第 7 の画素回路を示す図である。

【図 18】本発明の詳細な第 8 の画素回路を示す図である。

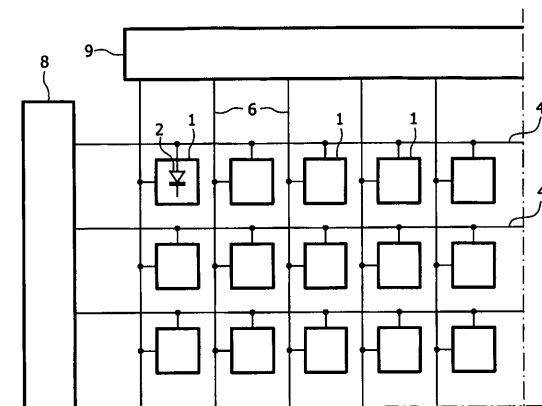
20

【図 19】本発明の詳細な第 9 の画素回路を示す図である。

【図 20】本発明の詳細な第 10 の画素回路を示す図である。

【図 21】本発明の詳細な第 11 の画素回路を示す図である。

【図 1】



先行技術

【図 3】

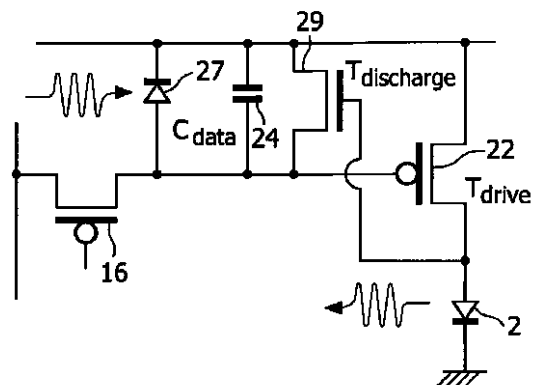
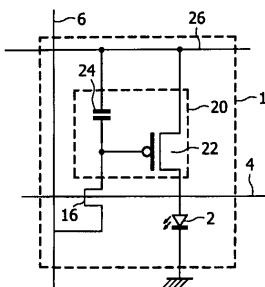


FIG. 3

【図 2】



先行技術

【 図 4 】

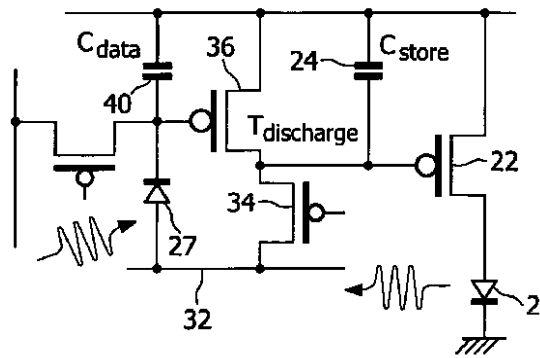
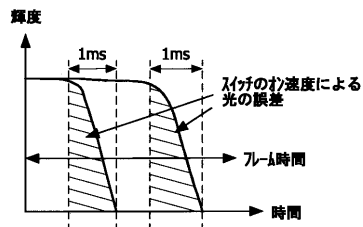
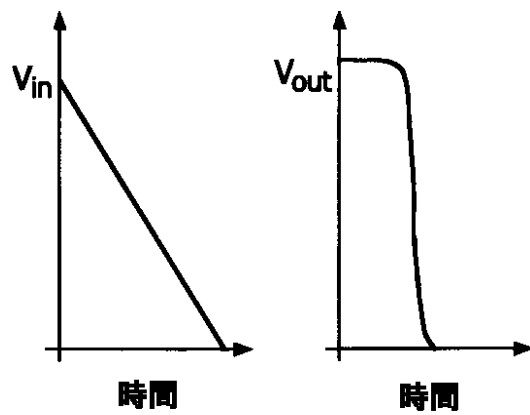


FIG. 4

【 図 5 】



【 図 7 】



【 図 6 】

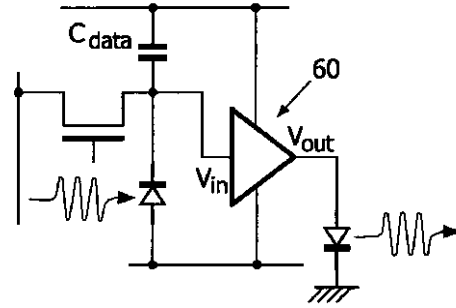


FIG. 6

【 図 8 】

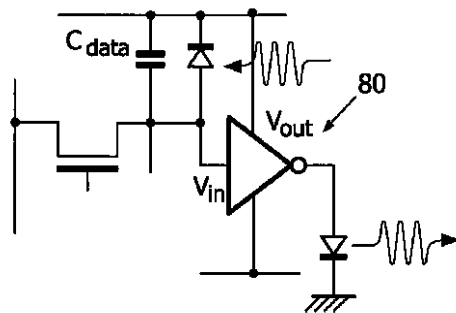
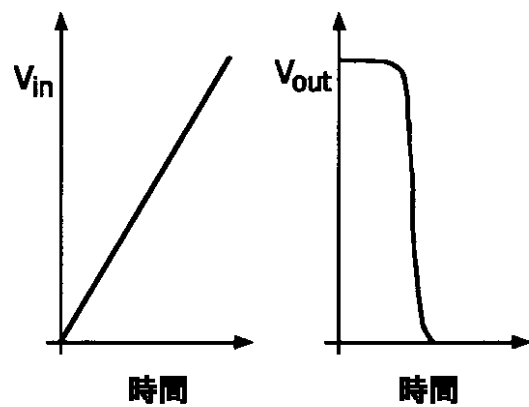


FIG. 8

【 図 9 】



【図 10】

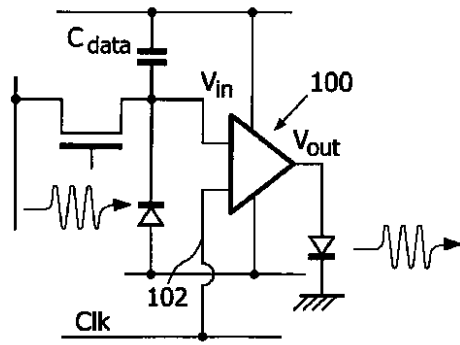
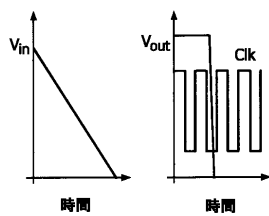


FIG. 10

【図 11】



【図 14】

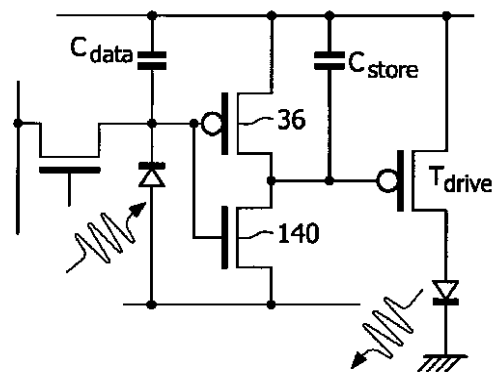


FIG. 14

【図 15】

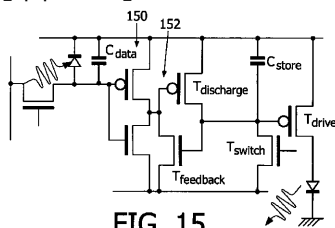


FIG. 15

【図 12】

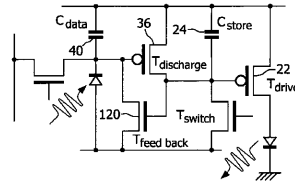


FIG. 12

【図 13】

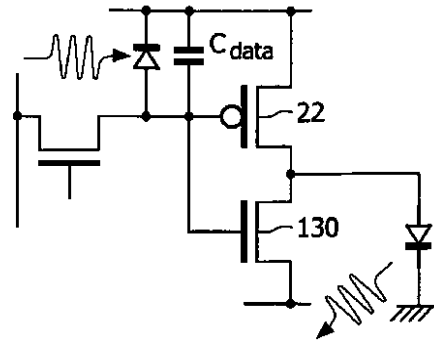


FIG. 13

【図 16】

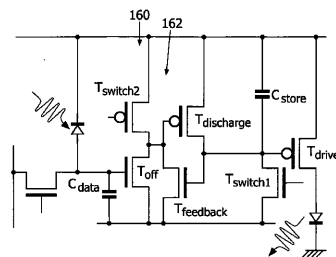


FIG. 16

【図 17】

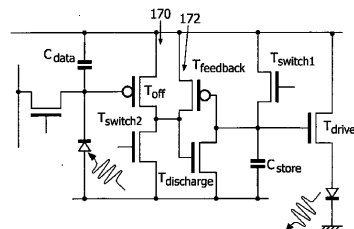


FIG. 17

【図 18】

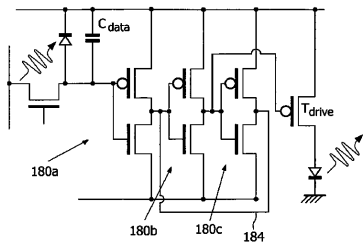


FIG. 18

【図 19】

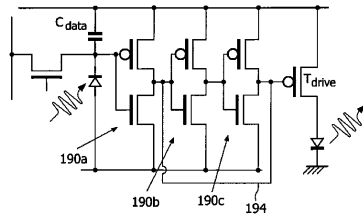


FIG. 19

【図 20】

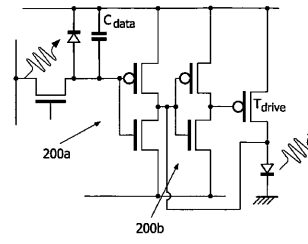


FIG. 20

【図 21】

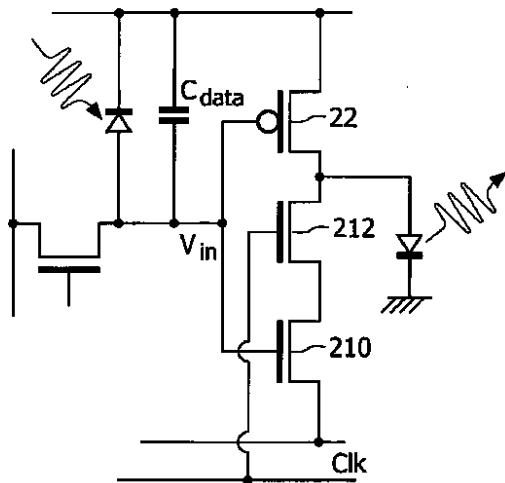


FIG. 21

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/IB2005/050728

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 2005/004097 A (KONINKLIJKE PHILIPS ELECTRONICS N.V; FISH, DAVID, A) 13 January 2005 (2005-01-13) abstract page 12, line 18 - page 16, line 3 page 3, line 25 - page 6, line 25; figures 5-9	1-7, 9-12
P, A	-----	8
X	US 2001/055008 A1 (YOUNG NIGEL D ET AL) 27 December 2001 (2001-12-27) abstract figures 1,2	1-3
A	paragraph '0028!; figure 2 ----- -/--	4-12
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 6 June 2005		Date of mailing of the international search report 13/06/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, L

INTERNATIONAL SEARCH REPORT

International Application No.
/IB2005/050728

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01/20591 A (KONINKLIJKE PHILIPS ELECTRONICS N.V) 22 March 2001 (2001-03-22) abstract figures 3,5 -----	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

/IB2005/050728

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2005004097 A	13-01-2005	WO 2005004097 A1	13-01-2005
US 2001055008 A1	27-12-2001	CN 1411609 A	16-04-2003
		WO 0199190 A2	27-12-2001
		EP 1222692 A1	17-07-2002
		JP 2003536114 T	02-12-2003
WO 0120591 A	22-03-2001	WO 0120591 A1	22-03-2001
		EP 1129446 A1	05-09-2001
		JP 2003509728 T	11-03-2003
		TW 477158 B	21-02-2002
		US 2003122747 A1	03-07-2003
		US 6542138 B1	01-04-2003

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 フィッシュ デヴィッド エイ
イギリス国 シュレイ アールエイチ 1 5 エイチエイ レッドヒル クロス オーク レーン
フィリップス インテレクチュアル プロパティ アンド スタンダーズ

(72)発明者 ディーン スティーブン シー
イギリス国 シュレイ アールエイチ 1 5 エイチエイ レッドヒル クロス オーク レーン
フィリップス インテレクチュアル プロパティ アンド スタンダーズ

F ターム(参考) 3K107 AA01 BB01 CC31 EE03 EE68 HH04 HH05
5C080 AA06 BB05 DD04 DD29 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	有源矩阵显示装置		
公开(公告)号	JP2007529774A	公开(公告)日	2007-10-25
申请号	JP2007503449	申请日	2005-02-28
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデヴィッドエイ ディーンステイーブンシー		
发明人	フィッシュ デヴィッド エイ ディーン スティーブン シー		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G3/2011 G09G3/2014 G09G3/3258 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2320/0233 G09G2320/0238 G09G2320/0252 G09G2320/043 G09G2320/045 G09G2320/0626 G09G2360/148		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.624.B G09G3/20.642.P H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/EE68 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	宫崎明彦		
优先权	2004005807 2004-03-16 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵EL显示装置具有像素。像素具有EL显示元件，驱动晶体管和存储电容器，存储电容器存储用于控制驱动晶体管的地址的电压。每个像素还具有光依赖装置，其控制存储电容器的放电以根据显示元件的光输出控制驱动晶体管。该电路与驱动晶体管相关联，以在存储电容器响应于光依赖装置的输出而被放电时增加存储电容器的放电速度。通过提高电容器的放电速度，对于所有灰度级，老化差异可靠地得到很好的补偿。

