

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-276713

(P2006-276713A)

(43) 公開日 平成18年10月12日(2006.10.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
H01L 51/50 (2006.01)	G09G 3/20 612D	
	G09G 3/20 642P	
	H05B 33/14 A	
審査請求 未請求 請求項の数 1 O L (全 105 頁)		

(21) 出願番号 特願2005-98739 (P2005-98739)
 (22) 出願日 平成17年3月30日 (2005.3.30)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100092794
 弁理士 松田 正道
 (72) 発明者 高原 博司
 東京都港区港南四丁目1番8号 東芝松下
 ディスプレイテクノロジー株式会社内
 Fターム(参考) 3K007 AB02 AB05 AB17 AB18 BA06
 DB03 GA00
 5C080 AA06 BB05 CC03 DD22 DD26
 EE19 EE29 EE30 FF03 FF11
 JJ01 JJ02 JJ03 JJ04 JJ05
 JJ06 KK01 KK07 KK43 KK47

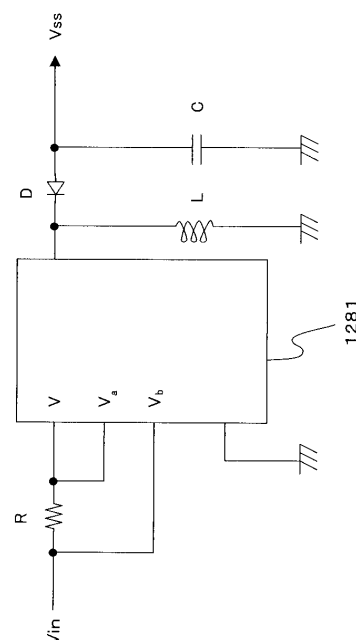
(54) 【発明の名称】 E L表示装置の電源回路

(57) 【要約】

【課題】 従来、有機E L表示パネルは、自発光型の表示パネルで発光に伴う光束の増加に伴って電流が増加する。また、点灯率の変化に伴い電流量は変化する。したがって、点灯率が高くなれば電流量も大きくなる。そのため、電源の出力電流も大きくする必要があり、電源サイズ（電力容量）が大きくなっていた。

【解決手段】 入力端子V i nにピックアップ抵抗Rを配置する。ピックアップ抵抗Rの両端の電圧はV aとV b端子の電位差で検出する。抵抗Rの端子電圧が設定値を超えると、電源回路1 2 8 1内の発振回路の発振周波数を低減し、出力電流もしくは入力電流が規定設定値の上限を超えないように動作させる。電源回路1 2 8 1の発振回路を制御してアノード電圧（電流）V d dまたはカソード電圧（電流）V s sのうち少なくとも一方を調整する。

【選択図】 図8 6



【特許請求の範囲】

【請求項 1】

ＥＬ表示パネルと、
アノード電圧およびカソード電圧を発生する電圧発生回路と、
前記電源回路の入力側または出力側のうち少なくとも一方に配置された電流モニター手段と、

前記電流モニター手段の制御により前記アノード電圧またはカソード電圧を可変する可変回路とを具備することを特徴とするＥＬ表示装置の電源回路。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子などを用いたＥＬ表示パネル（表示装置）などの自発光表示パネルの電源回路に関するものである。また、これらの表示パネルなどの駆動回路（ＩＣなど）および駆動方法などに関するものである。

【背景技術】

【０００２】

電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

20

【０００３】

有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。

【０００４】

30

アクティブマトリクス方式の有機ＥＬ表示パネルは、例えば、特許文献１に開示されている。この表示パネルの一画素の等価回路を図２に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ（駆動用トランジスタ）１１ａ、第２のトランジスタ（スイッチング用トランジスタ）１１ｂおよび蓄積容量（コンデンサ）１９からなる。発光素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本明細書では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図２のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。

【０００５】

有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図１、図２などでは発光素子１５としてダイオードの記号を用いている。

40

【０００６】

本発明における発光素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子１５は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。

【０００７】

図２の動作について説明する。ゲート信号線１７を選択状態とし、ソース信号線１８に

50

輝度情報を表す電圧の映像信号を印加する。トランジスタ11aが導通し、映像信号が蓄積容量19に充電される。ゲート信号線17を非選択状態とすると、トランジスタ11aがオフになる。トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート端子電位は蓄積容量（コンデンサ）19によって安定に保持される。トランジスタ11aを介して発光素子15に流れる電流は、トランジスタ11aのゲート/ドレイン端子間電圧 V_{gd} に応じた値となる。発光素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

【特許文献1】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0008】

従来の電源回路は、出力電圧を一定に保つ回路構成である。出力電流が増加しても出力電圧は一定に保持する。したがって、電源回路の電力は出力電流の増加に伴って大きくなる。有機EL表示パネルは、自発光型の表示パネルで発光に伴う光束の増加に伴って電流が増加する。また、点灯率の変化に伴い電流量は変化する。したがって、点灯率が高くなれば電流量も大きくなる。そのため、電源の出力電流も大きくする必要があり、電源サイズ（電力容量）が大きくなる。

【課題を解決するための手段】

【0009】

本発明の電源回路は、入力端子 V_{in} にピックアップ抵抗 R を配置する。ピックアップ抵抗 R の両端の電圧は V_a と V_b 端子の電位差で検出する。抵抗 R の端子電圧が設定値を超えると、電源回路1281内の発振回路の発振周波数を低減し、出力電流もしくは入力電流が規定設定値の上限を超えないように動作させる。電源回路1281の発振回路を制御してアノード電圧（電流） V_{dd} またはカソード電圧（電流） V_{ss} のうち少なくとも一方を調整する。

20

【発明の効果】

【0010】

本発明は、昇圧回路128aの電源発生容量（アノード電源容量と呼ぶ＝アノード電圧 V_{dd} ×アノード電流 I_{dd} ）と、昇圧回路128bの電源発生容量（カソード電源容量と呼ぶ＝カソード電圧 V_{dd} ×カソード電流 I_{dd} ）は、略同一に構成（作製）している。アノード電源容量＝カソード電源容量とすることにより、電源モジュールサイズを小型化できる。特に、カソード電源容量を必要容量よりも小さい設計できることによる効果が大きい。また、昇圧回路128aで使用するコイル L と昇圧回路128bで使用するコイル L とは同一のものを使用することができるため、コストを低減することができる。

30

【0011】

本発明は、EL表示する電力（電流）に最大電力（電流）容量に上限を持たせたものである。また、電源回路に入力される突入電流を一定値以下になるように抑制処理を実施するものである。つまり、（最大）電力（電流）一定制御を実施するものである。したがって、電源サイズは従来の電源サイズに比較して小さくできる。本発明ではカソード電流が所定値までは、カソード電圧を一定に保持する。カソード電流が一定値を超えると、カソード電流の増加にともない、カソード電圧の絶対値を低下させ、カソード電源の最大電力を超えないよう動作する。この動作は、カソード電流の大きさをモニターし、モニターした電流によりカソード電圧を低下させる。また、電源回路のカソード電流の出力端子に接続した抵抗の両端電圧を測定することにより、この抵抗に発生する電圧によりカソード電圧を低下させる。また、抵抗の発熱量を検出することにより、制御を実施する。また、電源回路の入力電流をピックアップ抵抗などを用いてモニターし、前記抵抗の両端電圧が一定以上となった場合に、電源回路の内部発振回路の周波数と低減もしくは停止し、突入電流が一定以上とならないように抑制するものである。

40

【0012】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コ

50

スト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【 0 0 1 3 】

本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。

【発明を実施するための最良の形態】

【 0 0 1 4 】

本明細書において、各図面は理解を容易するために、また作図を容易にするため、省略および拡大あるいは縮小した箇所がある。たとえば、図 4 に図示する表示パネルの断面図では薄膜封止膜 4 1 などを十分厚く図示している。一方、図 3 において、封止フタ 4 0 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルム (3 8 、 3 9) が必要である。しかし、本明細書の各図面では円偏光板などを省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

10

【 0 0 1 5 】

本明細書では、駆動用トランジスタ 1 1 、スイッチング用トランジスタ 1 1 は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード (T F D) 、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、 F E T 、 M O S - F E T 、 M O S トランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、パリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、 P L Z T 素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ 1 1 、ゲートドライバ回路 1 2 、ソースドライバ回路 (I C) 1 4 などは、これらのいずれでも使用することができる。

20

【 0 0 1 6 】

ソースドライバ回路 (I C) 1 4 は、単なるドライバ機能だけでなく、電源回路、バッファ回路 (シフトレジスタなどの回路を含む) 、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。

【 0 0 1 7 】

基板 3 0 はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、基板 3 0 は、金属基板、セラミック基板、プラスチックシート (板) などを使用してよい。また、本発明の表示パネルなどを構成するトランジスタ 1 1 、ゲートドライバ回路 1 2 、ソースドライバ回路 (I C) 1 4 などは、ガラス基板などに形成し、転写技術により他の基板 (プラスチックシート) に移し変えて構成または形成したものでよいことは言うまでもない。フタ 4 0 の材料あるいは構成に関しても基板 3 0 と同様である。また、フタ 4 0 、基板 3 0 は放熱性を良好にするため、サファイアガラスなどを用いてもよいことは言うまでもない。

30

【 0 0 1 8 】

以下、本発明の E L 表示パネルについて図面を参照しながら説明をする。有機 E L 表示パネルは、図 3 に示すように、画素電極としての透明電極 3 5 が形成されたガラス板 3 0 (アレイ基板 3 0) 上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも 1 層の有機機能層 (E L 層) 2 9 、及び金属電極 (反射膜) (カソード) 3 6 が積層されたものである。透明電極 (画素電極) 3 5 である陽極 (アノード) にプラス、金属電極 (反射電極) 3 6 の陰極 (カソード) にマイナスあるいはグランド電圧を加え、透明電極 3 5 及び金属電極 3 6 間に直流を印加することにより、有機機能層 (E L 膜) 2 9 が発光する。

40

【 0 0 1 9 】

なお、封止フタ 4 0 とアレイ基板 3 0 との空間には乾燥剤あるいは吸湿材料からなるシートあるいは薄膜 (厚膜) 3 7 を配置する。これは、有機 E L 膜 2 9 は湿度に弱いためである。乾燥剤 3 7 によりシール剤を浸透する水分を吸収し有機 E L 膜 2 9 の劣化を防止す

50

る。また、封止フタ 40 とアレイ基板 30 とは、周辺部を封止樹脂 2511 で封止する。乾燥剤 37 などの水分吸収手段は、封止フタ 40 などに直接塗布または蒸着することにより形成してもよい。

【0020】

封止フタ 40 とは、外部からの水分の浸入を防止あるいは抑制する手段であって、フタの形状に限定されるものではない。たとえば、ガラス板あるいはプラスチック板あるいはフィルムなどでもよい。また、融着ガラス、ステンレスなどの金属などでもよい。また、樹脂あるいは無機材料などの構成体であってもよい。また、蒸着技術などを用いて薄膜状の形成（図 4 を参照のこと）したものであってもよい。乾燥剤 37 の表面から E L 膜までの距離は、0.2 mm 以上開けることが好ましい。

10

【0021】

図 3 の本発明の有機 E L 表示パネルは、ガラスのフタ 40 を用いて封止する構成である。しかし、本発明はこれに限定するものではない。たとえば、図 4 に図示するようにフィルム 41（薄膜でもよい。つまり、薄膜封止膜 41 である）41 を用いた封止構造であってもよい。

【0022】

封止フィルム（薄膜封止膜）41 としては電解コンデンサのフィルムに DLC（ダイヤモンド ライク カーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜 41 として用いる。また、DLC（ダイヤモンド ライク カーボン）膜などを電極 36 の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

20

【0023】

薄膜 41 あるいは封止構造を形成する膜の厚みは、上記干渉領域の膜厚には限定されない。5 ~ 10 μm 以上あるいは、100 μm 以上の厚みを有するように構成あるいは形成してもよいことは言うまでもない。また、封止構成の薄膜 41 などが透過性を有する場合は、図 4 の A 側が光出射側となり、不透過性あるいは光反射性の機能あるいは構造を有する場合は、B 側が光出射側となる。

【0024】

A 側と B 側との両方から光が出射されるように構成してもよい。この構成を採用する場合は、A 側から E L 表示パネルの画像を見る場合と、B 側から E L 表示パネルの画像を見る場合とでは画像が左右反転する。したがって、A 側から E L 表示パネルの画像を見る場合と、B 側から E L 表示パネルの画像を見る場合では、手動あるいはオートマチックに画像の左右を反転させる機能を付加する。この機能の実現は、映像信号の 1 画素行あるいは複数画素行分をラインメモリに蓄積し、ラインメモリの読み出し方向を反転させればよい。

30

【0025】

図 4 のように封止フタ 40 を用いず、封止膜 41 で封止する構成を薄膜封止と呼ぶ。基板 30 側から光を取り出す「下取り出し（図 3 を参照のこと。光取り出し方向は図 3 の B 矢印方向である）」の場合の薄膜封止 41 は、E L 膜を形成後、E L 膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は 1 μm 以上 10 μm 以下の厚みが適する。さらに好ましくは、膜厚は 2 μm 以上 6 μm 以下の厚みが適する。この緩衝膜上の封止膜 74 を形成する。

40

【0026】

緩衝膜がないと、応力により E L 膜の構造が崩れ、筋状に欠陥が発生する。封止膜 41 は前述したように、DLC（ダイヤモンド ライク カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【0027】

図 3 などにおいて、有機 E L 膜 29 から発生した光の半分は、反射膜（カソード電極）

50

36で反射され、アレイ基板30と透過して出射される。しかし、反射膜(カソード電極)36には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板30にλ/4板(位相フィルム)38および偏光板(偏光フィルム)39を配置している。偏光板39と位相フィルム38を一体したものは円偏光板(円偏光シート)と呼ばれる。

【0028】

なお、位相フィルム38、円偏光板1654は、有機樹脂フィルム、有機樹脂板に限定するものではなく、無機材料(水晶結晶、光学薄膜)などで構成してもよいことはいうまでもない。

【0029】

反射型画素16は、画素電極35を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極35の表面に、凸部(もしくは凹凸部)を設けることで有機EL膜29との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード36(アノード35)となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【0030】

有機ELは、有機材料であるため、一般的に紫外線により劣化しやすい。この課題に対して、本発明は、図5に図示するように、アレイ基板30または封止基板に紫外線をカットするフィルムあるいは樹脂からなる膜(紫外線カット膜)2971を形成あるいは配置している。紫外線カット膜2971は、画素行あるいは画素列位置に一致するように、ストライプ状あるいはドット状に形成また配置している。もちろん、アレイ基板30また封止基板(フタ)40のうち、少なくとも一方の基板の全面に(シート状に)紫外線カット膜2971を形成または配置してもよい。

【0031】

紫外線カット膜2971は、RGBのEL材料で紫外線に対する耐性が異なる。したがって、紫外線カット膜は画素16のRGBのEL材料に一致するように、ストライプ状などに形成することが好ましい。また、画素16に対応させてストライプ状、ドット状に形成することにより、RGBのEL素子15からの発生しパネルから出射する波長の帯域を制限するあるいは制御することができる。したがって、色純度を向上させることができる。たとえば、紫外線カット膜2971にカラーフィルタなどの機能を持たせる。

【0032】

紫外線カット膜2971としては、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができる。また、その他、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。また、紫外線カット膜2971の一部もしくは全体を着色したりしてもよいことはいうまでもない。また、紫外線カット膜2971はITO、酸化アルミニウム(Al_2O_3)、ジルコニウム(ZrO_2)、フッ化マグネシウム(MgF_2)、一酸化シリコン(SiO)、酸化イットリウム(Y_2O_3)などの無機材料からなる薄膜、厚膜を用いて形成あるいは配置してもよい。特にITOは導電性があるので、静電気防止にもなり好ましい。

【0033】

図3の構成では、封止基板(フタ)40とアレイ基板30との間隔(図6の空間3002)が狭いほど、ELパネルの厚みは薄くすることができる。しかし、封止フタ40とアレイ基板30との間隔が近いと、封止フタ4側などから押圧した場合に、封止フタ40などがひずみ、封止フタ40の裏面が、EL膜29、カソード膜36などと接触する場合がある。接触するとカソード膜36などが破壊される。

【0034】

この課題を解決するため、本発明は、図6に図示するように、アレイ基板30と封止フタ(基板)40間に、スペーサ柱3001を形成している。スペーサ柱3001は開口率

10

20

30

40

50

を低減しないように、ソース信号線 18 またはゲート信号線 17 と垂直方向に重ねるように形成または配置されている。

【0035】

スペーサ柱 300 の形成材料としては、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができる。スペーサ柱 300 1 は透明樹脂に限定されるものでなく、酸化アルミニウム、酸化マグネシウム、オパールガラスなどの光拡散物でもよい。

【0036】

好ましくは、スペーサ柱 300 1 は光吸収材で形成することが好ましい。ハレーションを防止し、コントラストを向上できるからである。光吸収材としては六価クロムなどの黒色の金属薄膜、アクリルにカーボン等を添加した樹脂、複数あるいは単色の色素もしくは染料を添加したカラーフィルタが例示される。これらはアレイ基板 30 などで発生するハレーションを抑制する。また、カラーフィルタを構成する材料で形成してもよい。

10

【0037】

スペーサ柱 300 1 の形成方法としては、アレイ基板 30 または封止基板 40 のうち少なくとも一方に、樹脂材料を塗布し、ドライエッチング技術またはウエットエッチング技術を用いて形成する。また、インクジェット印刷などの技術を用いて染料、色素などを塗布して形成する。また、グラビア印刷技術、オフセット印刷技術、スピナーで膜を塗布し、現像する半導体パターン形成技術などで形成する。また、基板 (30、40) に樹脂板加工技術 (インジェクション加工、コンプレクション加工など) を応用すればよい。

【0038】

図 7 は図 6 に加えて、パターニングされた乾燥剤 3011 を形成した構成図である。乾燥剤 3011 は、封止基板 (フタ) 40 に乾燥剤材料からなる膜を一面に形成し、パターニングして形成する。または、スペーサ柱 300 1 を形成する材料に乾燥剤材料からなる膜を一面に形成し、パターニングする。もちろん、スペーサ柱 300 1 を形成する前にアレイ基板 30 上に形成または配置してもよい。

20

【0039】

EL 表示装置のカラー化は、マスク蒸着により行うが、本発明はこれに限定するものではない。たとえば、青色発光の EL 層を形成し、発光する青色光を、R、G、B の色変換層 (CCM: カラーチェンジミディウムズ) で R、G、B 光に変換してもよい。たとえば、図 4 において、薄膜封止膜 41 上あるいは下にカラーフィルタを配置する。もちろん、プレシジョンシャドーマスクを利用した RGB 有機材料 (EL 材料) の打ち分け方式を採用してもよい。本発明のカラー EL 表示パネルはこれらのいずれの方式を用いても良い。

30

【0040】

本発明の EL 表示パネル (EL 表示装置) の画素 16 の構造は、図 1 などに示すように、1 つの画素 16 が 4 つのトランジスタ 11 ならびに EL 素子 15 により形成される。画素電極 35 はソース信号線 18 と重ねるように構成する。ソース信号線 18 上に絶縁膜あるいはアクリル材料からなる平坦化膜 32 を形成して絶縁し、平坦化膜 32 上に画素電極 35 を形成する。このようにソース信号線 18 上の少なくとも 1 部に画素電極 35 を重ねる構成をハイパーチャ (HA) 構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。当然のことながら、画素電極 35 は反射電極に構成してもよい。

40

【0041】

有機 EL 表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること。1 フレーム期間を通じて EL 素子に電流を流すことができることという 2 つの条件を満足させなければならない。

【0042】

この 2 つの条件を満足させるため、図 2 に図示する従来の有機 EL の画素構成では、第 1 のトランジスタ 11 b は画素を選択するためのスイッチング用トランジスタとして機能させる。また、第 2 のトランジスタ 11 a は EL 素子 15 に電流を供給するための駆動用トランジスタとして機能させている。

【0043】

50

この構成を用いて階調を表示させる場合、駆動用トランジスタ 11a のゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ 11a のオン電流のばらつきがそのまま表示に現れる。

【0044】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 450 度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが $\pm 0.2\text{V} \sim \pm 0.5\text{V}$ の範囲でばらつきがある。そのため、駆動用トランジスタ 11a を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ 11 の劣化によっても特性は変化する。

10

【0045】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が 450 度（摂氏）以上の高温ポリシリコン技術でも、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、主として有機材料で形成した有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。したがって、本発明は、以上のすべての構成に適用できる方式である。

【0046】

図 2 のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えることができない。

20

【0047】

本発明の表示パネルの画素 16 を構成するトランジスタ 11 は、p - チャンネルポリシリコン薄膜トランジスタに構成される。また、トランジスタ 11b は、デュアルゲート以上であるマルチゲート構造としている。

【0048】

本発明の表示パネルの画素 16 を構成するトランジスタ 11b は、トランジスタ 11a のソース - ドレイン間のスイッチとして作用する。したがって、トランジスタ 11b は、できるだけ ON / OFF 比の高い特性が要求される。トランジスタ 11b のゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより ON / OFF 比の高い特性を実現できる。

30

【0049】

図 1 の画素回路は、1 画素内に 4 つのトランジスタ 11 を有している。駆動用トランジスタ 11a のゲート端子はトランジスタ 11b のソース端子に接続されている。トランジスタ 11b およびトランジスタ 11c のゲート端子はゲート信号線 17a に接続されている。トランジスタ 11b のドレイン端子はトランジスタ 11c のソース端子ならびにトランジスタ 11d のソース端子に接続され、トランジスタ 11c のドレイン端子はソース信号線 18 に接続されている。トランジスタ 11d のゲート端子はゲート信号線 17b に接続され、トランジスタ 11d のドレイン端子は EL 素子 15 のアノード電極に接続されている。

40

【0050】

図 1 ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは多少 N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は EL 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

【0051】

パネルを低コストで作製するためには、画素を構成するトランジスタ 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ回路 12 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみのトランジスタで形成することにより、マスク

50

枚数が 5 枚となり、低コスト化、高歩留まり化を実現できる。

【0052】

ゲート信号線 17b に印加するトランジスタ 11d のオン電圧は、ゲート信号線 17a に印加するトランジスタ 11b のオン電圧よりも低くする。具体的にはゲート信号線 17a に印加するオン電圧は -9V であるが、ゲート信号線 17b に印加するオン電圧は、-2 ~ 0V である。ゲート信号線 17b に印加するトランジスタ 11d のオン電圧を、ゲート信号線 17a に印加するトランジスタ 11b のオン電圧よりも低くすることにより、トランジスタ 11d のリークが減少し良好な黒表示を実現できる。ゲート信号線 17a と 17b に印加するオフ電圧は同一にする。オフ電圧は 8V である。ゲート信号線 17a と 17b に印加するオフ電圧は同一にすることにより電源回路の構成が簡略化させる。

10

【0053】

図 1 のように画素 16 の駆動用トランジスタ 11a、選択トランジスタ (11b、11c) が P チャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線 17a の電位変動が、選択トランジスタ (11b、11c) の G - S 容量 (寄生容量) を介して、コンデンサ 19 の端子に突き抜けるためである。P チャンネルトランジスタ 11b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 11a のゲート (G) 端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【0054】

以上の実施例は、トランジスタ 11b の G - S 容量 (寄生容量) を介して、コンデンサ 19 の電位を変動させ、コンデンサ 19 の電位変動により、黒表示を良好にする構成である。しかし、本発明はこれに限定するものではない。たとえば、コンデンサ 19b を素子で形成してもよいことは言うまでもない。コンデンサ 19b はトランジスタ 11 のゲート信号線 17 を構成する電極層と、ソース信号線 18 を構成 (形成) する電極層を 2 つの電極として形成することが好ましい。コンデンサ 19b の容量はコンデンサ 19a の容量の $1/4$ 以上 $1/1$ 以下とすることが好ましい。

20

【0055】

コンデンサ 19b などによる突き抜け電圧のシフト量は一定であり、また、 V_{gh} 電圧、 V_{gl} 電圧が一定値であるからである。電流駆動方式 (電流プログラム方式) では、低階調ではプログラム電流が小さくなり、ソース信号線 18 の寄生容量の充放電が困難である。しかし、コンデンサ 19b などによる突き抜け電圧を利用することにより、ソース信号線 18 に印加するプログラム電流を比較的大きくでき、駆動用トランジスタ 11a が EL 素子 15 に流す電流はプログラム電流よりも小さくすることができる。つまり、微小なプログラム電流を画素 16 に書き込むことができる。

30

【0056】

逆に、突き抜け電圧を可変するには、 V_{gh} 電圧または V_{gl} 電圧もしくは V_{gh} 電圧と V_{gl} 電圧の電位差を変化すればよい。たとえば、点灯率 (後に説明する) に応じて、 V_{gh} 電圧、 V_{gl} 電圧を変化あるいは操作する駆動方法が例示される。また、コンデンサ 19b の容量を変化すればよい。また、アノード電圧 V_{dd} を変化させればよい。たとえば、点灯率 (後に説明する) に応じて、アノード電圧 (V_{dd}) を変化あるいは操作する駆動方法が例示される。これらを変化あるいは変更することにより突き抜け電圧の大きさを制御でき、駆動用トランジスタ 11a が流す電流量を制御でき、良好な黒表示を実現できる。

40

【0057】

突き抜け電圧の大きさは階調番号によらず、一定値であるため、低階調領域では、相対的に減少するプログラム電流量の割合が大きくなる。したがって、低階調領域になるほど、良好な黒表示を実現できる。

【0058】

以下、さらに本発明の理解を容易にするために、本発明の EL 素子構成について図 8 を用いて説明する。本発明の EL 素子構成は 2 つのタイミングにより制御される。図 8 は図

50

1の画素構成における動作の説明図である。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bならびにトランジスタ11cがONすることにより、等価回路として図8(a)となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ11aはゲートとドレインが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 I_w が流れる。したがって、トランジスタ11aのゲート-ソースの電圧は I_1 が流れるような電圧となる。

【0059】

第2のタイミングはトランジスタ11aとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は図8(b)となる。トランジスタ11aのソース-ゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 I_w の電流は一定となる。

10

【0060】

以上の動作を図示すると、図9に図示するようになる。図9(a)の61は、表示画面64における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。画素(行)61は、非点灯(非表示画素(行))とする。また、スイッチング用トランジスタ11dがクローズし、EL素子15に電流が流れている(ただし、黒表示は流れない)領域は、表示領域63となる。また、スイッチング用トランジスタ11dがオープン領域は、非表示領域62となる。

【0061】

20

図1の画素構成の場合は、図8(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w が駆動用トランジスタ11aを流れ、プログラム電流 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。または、駆動用トランジスタ11aのゲート端子にプログラム電流 I_w を流す電流が流れるように電圧が保持される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

【0062】

次に、EL素子15に電流を流す期間は図8(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

30

【0063】

図9の駆動方法のタイミングチャートを図10に図示する。図10でわかるように、各選択された画素行(選択期間は、1Hとしている)において、ゲート信号線17aにオン電圧(V_{gl})が印加されている時(図10(a)を参照)には、ゲート信号線17bにはオフ電圧(V_{gh})が印加されている(図10(b)を参照)。この期間は、EL素子15には電流が流れていない(非点灯状態)。

【0064】

選択されていない画素行において、ゲート信号線17aにオフ電圧(V_{gh})が印加され、ゲート信号線17bにはオン電圧(V_{gl})が印加されている。また、この期間は、EL素子15に電流が流れている(点灯状態)。また、点灯状態では、EL素子15は所定のN倍の輝度($N \cdot B$)で点灯し、その点灯期間は $1F/N$ である。したがって、 $1F$ を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ (所定輝度)となる。なお、Nは1以上であればいずれの値でもよい。もちろん、 $N=1$ とし、書き込み画素行61以外を表示(点灯)領域63としてもよいことは言うまでもない。

40

【0065】

つぎに、図11を用いて、本発明のEL表示パネルで使用する電源(電圧)について説明をする。ゲートドライバ回路12は、バッファ回路82とシフトレジスタ回路81で構成される。バッファ回路82はオフ電圧(V_{gh})とオン電圧(V_{gl})を電源電圧として使用する。一方、シフトレジスタ回路81はシフトレジスタの電源VGGDとグラント

50

(GND) 電圧を使用し、また、入力信号 (CLK、UD、ST) の反転信号を発生させるための VREF 電圧を使用する。また、ソースドライバ回路 (IC) 14 は、電源電圧 Vs とグランド (GND) 電圧を使用する。

【0066】

ゲートドライバ回路 12a は、シフトレジスタ回路 81a とバッファ回路 82 を具備している。したがって、ゲートドライバ回路 12a はゲート信号線 17a をオンオフ制御する。ゲート信号線 17b は、用のシフトレジスタ回路 81b (図示せず) とバッファ回路 82 (図示せず) を内蔵する。なお、説明を容易にするため、画素構成は図 1 を例にあげて説明をする。

【0067】

各シフトレジスタ回路 81 は正相と負相のクロック信号 CLKx (CLKxP、CLKxN)、スタートパルス (STx) で制御される。なお、x は添え字である。その他、ゲート信号線の出力、非出力を制御するイネーブル (ENBL) 信号、シフト方向を上下逆転するアップダウン (UD) 信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路 81 にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。

【0068】

シフトレジスタ回路 81 のシフトタイミングはコントロール IC722 (後述する) からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路 81 を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。

【0069】

シフトレジスタ回路 81 のバッファ容量は小さいため、直接にはゲート信号線 17 を駆動することができない。そのため、シフトレジスタ回路 81 の出力とゲート信号線 17 を駆動する出力ゲート間には少なくとも 2 つ以上のインバータ回路が形成されている。

【0070】

ここで理解を容易にするため、電圧値を規定する。まず、アノード電圧 Vdd を 6 (V) とし、カソード電圧 Vss を -9 (V) とする (図 1 などを参照のこと)。GND 電圧は 0 (V) とし、ソースドライバ回路の Vs 電圧は Vdd 電圧と同一の 6 (V) とする。Vgh1 と Vgh2 電圧は Vdd より 0.5 (V) 以上 3.0 (V) 以下とすることが好ましい。ここでは、Vgh1 = Vgh2 = 8 (V) とする。

【0071】

ゲートドライバ回路 12 の Vgl1 は、図 1 のトランジスタ 11c のオン抵抗を十分に小さくするため、低くする必要がある。ここでは、回路構成を容易にするため、Vgh1 と絶対値が逆である Vgl1 = -8 (V) にする。VGDD 電圧は、Vgh よりも低く、GND 電圧よりも高くする必要がある。ここでは、発生電圧回路を容易にし、回路コストを低減するため、Vgh 電圧の 1/2 の 4 (V) にする。一方で、Vgl2 電圧は、余り低くすると、トランジスタ 11b のリークを発生する危険性があるため、したがって、VGDD 電圧と Vgl1 電圧の中間電圧にすることが好ましい。ここでは、電圧回路を容易にし、回路コストを低減するため、VGDD 電圧と絶対値が等しく、また反対極性である -4 (V) にする。

【0072】

以上の実施例は、主としてシリコンチップからなる IC でソースドライバ回路 (IC) 14 を構成するものであった。しかし、本発明はこれに限定するものではなく、アレイ基板 30 に直接にポリシリコン技術 (CGS 技術、低温ポリシリコン技術、高温ポリシリコン技術など) を用いて出力段回路 91 など (ポリシリコン電流保持回路 92) を形成または構成してもよい。

【0073】

図 12 はその実施例である。R、G、B の出力段回路 91 (R 用は 91R、G 用は 91G、B 用は 91B) と、RGB の出力段回路 91 を選択するスイッチ S がポリシリコン技

10

20

30

40

50

術で形成（構成）されている。スイッチ S は 1 H 期間を時分割して動作する。基本的には、スイッチ S は、1 H の 1 / 3 期間が R の出力段回路 9 1 R に接続され、1 H の 1 / 3 期間が G の出力段回路 9 1 G に接続され、残りの 1 H の 1 / 3 期間が B の出力段回路 9 1 B に接続される。

【 0 0 7 4 】

図 1 2 に図示するように、シフトレジスタ回路、サンプリング回路などを有するソースドライバ（回路）1 4 は、出力端子 9 3 でソース信号線 1 8 と接続される。ポリシリコンからなるスイッチ S が時分割で切り換えられ、出力段回路 9 1 R G B に接続される。出力段回路 9 1 R G B は R G B の映像データからなる電流が保持される。なお、図 1 2 ではポリシリコン電流保持回路 9 2 は 1 段分しか図示していないが、実際には 2 段構成されていることは言うまでもない。 10

【 0 0 7 5 】

図 1 2 では、スイッチ S は、1 H の 1 / 3 期間が R の出力段回路 9 1 R に接続され、1 H の 1 / 3 期間が G の出力段回路 9 1 G に接続され、残りの 1 H の 1 / 3 期間が B の出力段回路 9 1 B に接続されると説明したが本発明はこれに限定するものではない。R、G、B を選択する期間は異なってもよい。これは、R、G、B のプログラム電流 I_w の大きさが異なっているためである。R、G、B で E L 素子 1 5 の効率が異なるため、R、G、B でプログラム電流の大きさが異なる。プログラム電流の大きさが小さいと、ソース信号線 1 8 の寄生容量の影響を受けやすいため、プログラム電流の印加期間を長くし、十分にソース信号線 1 8 の寄生容量の充放電期間を確保する必要がある。一方で、ソース信号線 1 8 の寄生容量の大きさは、R、G、B で同一であることが多い。 20

【 0 0 7 6 】

以上の実施例では、R G B それぞれに対応する画素 1 6 を同時に走査する構成であった。本発明はこの構成に限定するものではない。フレーム（フィールド）ないで、R G B を個別に選択して画像表示を行っても良い。図 1 2 はその実施例である。

【 0 0 7 7 】

図 1 2 (a) は 1 フレーム（1 フィールド）期間に R 表示領域 6 3 R、G 表示領域 6 3 G、B 表示領域 6 3 B を画面の上から下方向（下方向から上方向でもよい）に走査する。R G B の表示領域以外の領域は非表示領域 6 2 とする。つまり、間欠駆動を実施する。R、G、B の表示領域 6 3 は個別に間欠表示が実施される。 30

【 0 0 7 8 】

図 1 2 (b) は 1 フィールド（1 フレーム）期間に R、G、B 表示領域 6 3 を複数発生するように実施した実施例である。図 1 2 (b) に示すように表示領域 6 3 を複数に分割することにより、フリッカの発生は、低フレームレートでも発生しない。

【 0 0 7 9 】

図 1 4 (a) は、各 R G B の表示領域 6 3 の面積を異ならせたものである。なお、表示領域 6 3 の面積は点灯期間に比例することは言うまでもない。図 1 4 (a) では、R 表示領域 6 3 R と G 表示領域 6 3 G と面積を同一にしている。G 表示領域 6 3 G より B 表示領域 6 3 B の面積を大きくしている。

【 0 0 8 0 】

有機 E L 表示パネルでは、B の発光効率が悪い場合が多い。図 1 4 (a) のように B 表示領域 6 3 B を他の色の表示領域 6 3 よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。また、R、G、B 表示領域 6 3 の面積を変化させることにより、ホワイトバランス調整、色温度調整を容易に実現できる。 40

【 0 0 8 1 】

図 1 4 (b) は、1 フィールド（フレーム）期間で、B 表示期間 6 3 B が複数（6 3 B 1、6 3 B 2）となるようにした実施例である。図 1 4 (a) は 1 つの B 表示領域 6 3 B を変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図 1 4 (b) は、同一面積の B 表示領域 6 3 B を複数表示させることにより、ホワイトバランス調整（補正）を良好にする。また、色温度補正（調整）を良好にする 50

。たとえば、屋外と屋内で色温度を変化させることは有効である。たとえば、屋内では、色温度を低下させ、屋外では色温度を高くする。

【0082】

図14(a)と図14(b)とは組み合わせてもよいことはいうまでもない。たとえば、図14(a)のRGBの表示面積63を変化し、かつ図14(b)のRGBの表示領域63を複数発生させる駆動方法の実施である。

【0083】

図9では表示領域63を1つにした方式である。しかし、本発明はこれに限定するものではない。たとえば、図15に図示するように、表示領域63と非表示領域62とを複数に分散させてもよい。

10

【0084】

また、図15に図示するように、間欠する間隔(非表示領域62/表示領域63)は等間隔に限定するものではない。たとえば、ランダムでもよい(全体として、表示期間もしくは非表示期間が所定値(一定割合)となればよい)。また、RGBで異なってもよい。つまり、白(ホワイト)バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値(一定割合)となるように調整(設定)すればよい。

【0085】

非表示領域62とは、ある時刻において非点灯EL素子15の画素16領域である。表示領域63とは、ある時刻において点灯EL素子15の画素16領域である。非表示領域62、表示領域63は、水平同期信号に同期して、1画素行ずつ位置がシフトしていく。

20

【0086】

本発明の駆動方法の説明を容易にするため、1/Nとは、1F(1フィールドまたは1フレーム)を基準にしてこの1Fを1/Nにするとして説明する。しかし、1画素行が選択され、電流値がプログラムされる時間(通常、1水平走査期間(1H))があるし、また、走査状態によっては誤差も生じることは言うまでもない。もちろん、ゲート信号線17aからの突き抜け電圧によっても、理想状態から変化する。ここでは説明を容易にするため、理想状態として説明をする。

【0087】

液晶表示パネルは、1F(1フィールドあるいは1フレーム)の期間の間は、画素に書き込んだ電流(電圧)を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

30

【0088】

有機(無機)EL表示パネル(表示装置)も1F(1フィールドあるいは1フレーム)の期間の間は、画素に書き込んだ電流(電圧)を保持する。したがって、液晶表示パネルと同様の課題が発生する。一方、CRTのように電子銃で線表示の集合として画像を表示するディスプレイは、人間の眼の残像特性を用いて画像表示を行うため、動画表示画像の輪郭ぼけは発生しない。

【0089】

本発明の駆動方法では、1F/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)/N)は電流を流さない。本発明の駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態で見ると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

40

【0090】

本発明の駆動方法では、図6、図14に図示するように間欠表示実施することができる。しかし、間欠表示を実施するにあたり、トランジスタ11dは最大でも1H周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素16に保持されている。そのた

50

め、本発明の駆動方法において、間欠表示を実施するための画像メモリは不要である。

【0091】

本発明の駆動方法はスイッチングのトランジスタ11d(図1などを参照のこと)などをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 I_w をオフしても、画像データはそのまま画素16のコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【0092】

本発明では黒挿入(黒表示などの間欠表示)を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル(液晶表示パネル、EL表示パネルなど)の問題である動画表示の問題を解決できる。

【0093】

さらに、大型の表示装置でソース信号線18の配線長が長くなり、ソース信号線18の寄生容量が大きくなる場合は、N値を大きくすることのより対応できる。ソース信号線18に印加するプログラム電流値をN倍にした場合、ゲート信号線17b(トランジスタ11d)の導通期間を $1F/N$ とすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【0094】

電流駆動では特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1画素行にプログラムする時間(基本的には1H以内である。ただし、本発明は2画素行などの複数画素を同時に書き込む場合もあるので1H以内に限定されるものではない。)内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

【0095】

図1の画素構成の場合、図5(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

【0096】

次に、EL素子15に電流を流す期間は図5(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

【0097】

なお、本発明は、画素構成が電流プログラム方式のみに限定されない。たとえば、図2のような電圧プログラム方式の画素構成にも適用できる。1フレーム(フィールド)の所定期間を高い輝度で表示し、他の期間を非点灯状態にすることが、電圧駆動方式においても、動画表示性能の向上などに有効だからである。また、電圧駆動方式においても、ソース信号線18の寄生容量の影響は無視できない。特に大型EL表示パネルにおいて、寄生容量が大きいため、本発明の駆動方法を実施することは効果がある。以上の事項は、本発明の他の実施例においても同様である。

【0098】

図6(b)に図示するように、書き込み画素行61aを含む画素行が非点灯領域62とし、書き込み画素行61aよりも上画面のS/N(時間的には $1F/N$)の範囲を表示領域63とする(書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる)。画像表示状態は、表示領域63が帯状になって、画面の上から下

10

20

30

40

50

に移動する。

【0099】

図6の表示では、1つの表示領域63が画面の上から下方向に移動する。フレームレートが低いと、表示領域63が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0100】

この課題に対しては、図15に図示するように、表示領域63を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図6の明るさと同等になる。なお、分割された表示領域63は等しく(等分に)する必要はない。また、分割された非表示領域62も等しくする必要はない。

10

【0101】

以上のように、表示領域63を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【0102】

図6のように、非表示領域62を一括で挿入する方式では、外光との干渉によるフリッカが発生しやすい。たとえば、外光の蛍光灯の周波数が60Hzで、表示パネルの1フレームが60Hzのように、一致あるいは近似するときに、干渉が発生する。また、カソード電極36での外光反射による干渉も問題となる。この課題は、以下に説明するように、表示パネルの非表示領域62もしくは表示領域63の1サイクルが、外光(蛍光灯)の点滅サイクルに一致しないようにすることで解決する。表示パネルの非表示領域の1サイクルが、外光(蛍光灯)の点滅サイクルに一致しないようにすることで解決する。

20

【0103】

本発明は、非表示または表示領域制御を、画素行に映像データを書き込む書きこみ周期と独立制御することにより実現できる。つまり、画素行に映像データを書き込むゲートドライバ12aと、非表示または表示領域制御するゲートドライバ12bとを具備することにより実現できる。もしくは、EL素子15と駆動用トランジスタ11a間に供給電流をオンオフ制御できるスイッチ用トランジスタ11dなどを具備することにより実現できる。

【0104】

したがって、電流プログラム方式の1つであるカレントミラー方式であっても、図16に図示するように、駆動用トランジスタ11bとEL素子15間にスイッチング素子としてのトランジスタ11eを形成または配置することにより、EL素子15に流れる電流をオンオフすることができる。したがって、前述の駆動方式を実現できる。また、図17(a)(b)(c)にも適用できることは言うまでもない。図17(a)ではスイッチング用トランジスタ11dをオンオフ制御する。図17(b)ではスイッチング用トランジスタ11e、11fのうち少なくとも一方をオンオフ制御する。図17(c)ではインバータ回路6061をオンオフ制御(Hレベル、Lレベル制御)する。また、図1の画素構成の変形である図18にも適用できることは言うまでもない。スイッチング用トランジスタ11dをオンオフ制御する。

30

40

【0105】

図1などで説明した画素構成では、駆動用トランジスタ11aは各画素16に1つの構成である。しかし、本発明において、駆動用トランジスタ11aは1つに限定されるものでない。たとえば、図19の画素構成が例示される。

【0106】

図19は画素16を構成するトランジスタ数を6個とし、プログラム用トランジスタ11anはトランジスタ11b2とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成し、駆動用トランジスタ11a1はトランジスタ11b1とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成した実施例である。

50

【0107】

図19において、駆動用トランジスタ11a1のゲート端子とプログラム用トランジスタ11anのゲート端子とを共通にしている。トランジスタ11b1は電流プログラム時に駆動用トランジスタ11a1のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ11b2は電流プログラム時にプログラム用トランジスタ11anのドレイン端子とゲート端子とを短絡するように動作する。

【0108】

なお、図19において、駆動用トランジスタ11a1、トランジスタ11anと各1個のように図示しているが、本発明はこれに限定するものではない。たとえば、駆動用トランジスタ11a1を2個以上に形成してもよい。また、トランジスタ11anを2個以上形成してもよい。また、トランジスタ11a1、11anの双方を複数個で形成してもよいことはいうまでもない。以上の事項は図1、図16、図17、図18、図21などの画素構成に対しても適用できることは言うまでもない。

【0109】

トランジスタ11cは駆動用トランジスタ11a1のゲート端子に接続されており、トランジスタ11dは駆動用トランジスタ11a1とEL素子15間に形成または配置され、EL素子15に流れる電流を制御する。また、駆動用トランジスタ11a1のゲート端子とアノード(Vdd)端子間には付加コンデンサ19が形成または配置されており、駆動用トランジスタ11a1とプログラム用トランジスタ11anのソース端子はアノード(Vdd)端子に接続されている。

【0110】

以上のように、駆動用トランジスタ11a1とプログラム用トランジスタ11anが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ11a1を流れる電流は、トランジスタ11b1、トランジスタ11cを通じてソース信号線18に流れる。また、プログラム用トランジスタ11anを流れる電流は、トランジスタ11b2、トランジスタ11cを通じてソース信号線18に流れる。したがって、駆動用トランジスタ11a1の電流と、プログラム用トランジスタ11anの電流は、同数の2つのトランジスタを通過してソース信号線18に流れるように構成されている。

【0111】

図19では、駆動用トランジスタ11anを1つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ11anは、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比の複数のトランジスタから構成してもよい。また、駆動用トランジスタ11a1の駆動用トランジスタ11anと、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比にすることが好ましい。同一WLあるいはWL比のトランジスタを複数形成する方が、各トランジスタ11aの出力バラツキが小さくなり、また画素16間のばらつきも少なくなり好ましい。

【0112】

ゲート信号線17aに選択電圧(オン電圧)が印加されると、トランジスタ11anとトランジスタ11a1からの電流が合成されたものがプログラム電流Iwとなる。このプログラム電流Iwを、駆動用トランジスタ11a1からEL素子15に流れる電流Ieの所定倍率にする。

【0113】

$I_w = n \cdot I_e$ (nは1以上の整数、ただし、トランジスタ11anのサイズが均等でないときは1.25などの小数点を有する数値となることは言うまでもない)。

【0114】

上式において、表示パネルの最大白ラスタでの表示輝度B(nt)、表示パネルの画素面積S(平方ミリメートル)(画素面積は、RGBを1単位として取り扱う。したがって、各R、G、Bの絵素が縦0.1mm、横0.05mmであれば、 $S = 0.1 \times (0.05 \times 3)$ (平方ミリメートル)である)、表示パネルの1画素行選択期間(1水平走査

10

20

30

40

50

(1H)期間)をH(ミリ秒)としたとき、以下の条件を満足するようにする。なお、表示輝度Bは、パネル仕様に規定する表示できる最大輝度である。なお、以下に示す222、100などの数値は、多くの実験を実施し、見つけ出した値である。

【0115】

$$5 \quad (B \cdot S) / (n \cdot H) \quad 222$$

さらに好ましくは、以下の条件と満足するようにする。

【0116】

$$10 \quad (B \cdot S) / (n \cdot H) \quad 100$$

I_wはソースドライバ回路(IC)14が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素16のコンデンサ19にホールドされる。また、I_eは駆動用トランジスタ11a1がEL素子15に流す電流である。 10

【0117】

トランジスタ11a1、トランジスタ11anの出力ばらつきに関しては、トランジスタ11anと駆動用トランジスタ11a1を近接させて形成または配置することにより改善できる。また、トランジスタ11an、トランジスタ11a1の特性は形成方向によっても特性が異なる場合がある。したがって、同一方向に形成することが好ましい。

【0118】

ゲート信号線17aが選択されると、駆動用トランジスタ11a1およびプログラム用トランジスタ11anの両方がオンする。駆動用トランジスタ11a1が流す電流I_{w1}と、プログラム用トランジスタ11a1が流す電流I_{w2}とは、略一致させることが好ましい。最もこのましくは、プログラム用トランジスタ11anと駆動用トランジスタ11a1のサイズ(W、L)を一致させることである。つまり、I_{w1} = I_{w2}、I_w = 2I_eの関係を満足させることが好ましい。もちろん、I_{w1} = I_{w2}の関係を満足させるには、トランジスタサイズ(W、L)を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのWLを調整することにより容易に実現できる。略I_{w2} / I_{w1} = 1であれば、トランジスタ11b1とトランジスタ11b1のサイズは略一致して構成あるいは形成することができる。 20

【0119】

なお、I_{w2} / I_{w1}は、1以上10以下の関係を満足させておくことが好ましい。I_{w2} / I_{w1}は、1以上10以下の関係を満足させておくことが好ましい。さらに好ましくは、1.5以上5以下の関係を満足させておくことが好ましい。 30

【0120】

I_{w2} / I_{w1}が1以下では、ほとんど、ソース信号線18の寄生容量の影響を改善する効果は見込めない。一方I_{w2} / I_wが10以上となると、I_wに対するI_eの係に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ11bのオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【0121】

プログラム用トランジスタ11anが流す電流I_{w2}が、駆動用トランジスタ11a1が流す電流I_{w1}に比較して一定以上大きい場合は(I_{w2} > I_{w1})、スイッチング用トランジスタ11b2のオン抵抗を、スイッチング用トランジスタ11b1のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ11b2は、トランジスタ11b1よりも大きな電流を、同一のゲート信号線17aの電圧にたいして流すように構成する必要があるからである。 40

【0122】

つまり、駆動用トランジスタ11a1の出力電流の大きさに対するトランジスタ11b1の大きさと、プログラム用トランジスタ11anの出力電流の大きさに対するトランジスタ11b2の大きさをマッチングさせる必要がある。

【0123】

言い換えれば、プログラム電流I_{w2}、プログラム電流I_{w1}に対して、トランジスタ11bのオン抵抗を変化させる必要がある。また、プログラム電流I_{w2}、プログラム電 50

流 I_{w1} に対して、トランジスタ 11b1 と 11b2 のサイズを変化させる必要がある。

【0124】

プログラム電流 I_{w2} がプログラム電流 I_{w1} よりも大きければ、トランジスタ 11b2 のオン抵抗はトランジスタ 11b1 のオン抵抗よりも小さくする必要がある（トランジスタ 11b1 とトランジスタ 11b2 のゲート端子電圧が同一の場合である）。プログラム電流 I_{w2} がプログラム電流 I_{w1} よりも大きければ、トランジスタ 11b2 のオン電流（ I_{w2} ）はトランジスタ 11b1 のオン電流（ I_{w1} ）よりも大きくする必要がある（トランジスタ 11b1 とトランジスタ 11b2 のゲート端子電圧が同一の場合である）。

【0125】

$I_{w2} : I_{w1} = n : 1$ とし、ゲート信号線 17a にオン電圧が印加され、トランジスタ 11b1 とトランジスタ 11b2 がオンしたときのトランジスタ 11b2 のオン抵抗を $R2$ 、トランジスタ 11b1 のオン抵抗を $R1$ とする。この時、 $R2$ は、 $R1 / (n + 5)$ 以上、 $R1 / (n)$ 以下の関係を満足するように構成する。構成するとは、トランジスタ 11b の所定のサイズに形成するあるいは配置するもしくは動作させる意味である。ただし、 n は 1 よりも大きな値である。

【0126】

上記事項は、トランジスタ 11b1 とトランジスタ 11b2 のオン抵抗 R あるいは、プログラム電流 I_w の説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ 11b1 のゲート端子に接続されたゲート信号線 17 と、トランジスタ 11b2 のゲート端子に接続されたゲート信号線 17 とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることできる。

【0127】

図 20 は図 19 の画素構成の動作の説明図である。図 20 (a) は電流プログラム状態であり、図 19 (b) は EL 素子 15 に電流を供給している状態である。なお、図 20 (b) の状態で、トランジスタ 11d をオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【0128】

図 20 (a) では、ゲート信号線 17a にオン電圧が印加され、トランジスタ 11b1、11b2、11c がオンする。トランジスタ 11a1 は電流 I_e を供給し、トランジスタ 11an は電流 $I_w - I_e$ を供給し、合成した電流 I_w がソースドライバ Ic にプログラム電流となる。以上の動作により、プログラム電流 I_w に対応する電圧がコンデンサ 19 に保持される。電流プログラム時にはトランジスタ 11d はオフ状態に保持される（ゲート信号線 17b にはオフ電圧が印加されている）。

【0129】

EL 素子 15 に電流を流す場合が、図 20 (b) の動作状態にされる。ゲート信号線 17a にオフ電圧が印加され、ゲート信号線 17b にオン電圧が印加される。この状態では、トランジスタ 11b1、11b2、11c がオフ状態になり、トランジスタ 11d がオン状態になる。EL 素子 15 に I_e 電流が供給される。

【0130】

以上の実施例は、主として図 1 の変形例の実施例であった。本発明はこれに限定するものではなく、図 16 などのカレントミラーの画素構成にも適用することができる。また、図 17 (a) (b) (c) にも適用できることは言うまでもない。

【0131】

また、図 1 などの画素構成は、トランジスタ 11d により EL 素子 15 に流す電流をトランジスタ 11d により制御するものであったが、本発明はこれに限定するものではない。たとえば、図 20 に図示するように、トランジスタ 11d がなくとも EL 素子 15 に印加する電流をオンオフ制御することができる。

【0132】

10

20

30

40

50

図 20 では、ゲートドライバ回路 12 b は、ゲート信号線 17 b を制御し、ゲート信号線 17 b の電位は、V_{dd} 電圧と、それより低い電圧である E_L 素子 15 に電流が流れない電圧 V_g で駆動される。つまり、ゲート信号線 17 b には、V_{dd} 電圧と V_g 電圧が出力される。ゲート信号線 17 b に V_{dd} 電圧が印加されたときは、E_L 素子 15 に電流が流れ、ゲート信号線 17 b に V_g 電圧が印加されたときには、E_L 素子 15 には電流が流れない。図 20 の画素構成では、トランジスタ 11 d がなくとも、ゲートドライバ 11 b の制御により Duty 比制御、基準電流比制御、点灯率制御が実現できる。

【0133】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図 22 に 10
図示するように本発明は単位トランジスタ 224 の単位電流が、映像データの 1 に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流は R、G、B 回路ごとに設けられており、R G B 回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路 (IC) 14、表示パネル構成の相乗効果である。以下、本発明のソースドライバ回路 (IC) 14 について説明をする。

【0134】

なお、以下の実施例では、単位トランジスタ群 251 c などはソースドライバ回路 (IC) 14 に形成あるいは構成するとして説明するが、本発明はこれに限定するものではない。たとえば、図 12 では、単位トランジスタ群 251 c などはアレイ基板 30 に形成して 20
いる。つまり、画素 16 と単位トランジスタ群 251 c、ゲートドライバ回路 12 をアレイ基板 30 に形成し、他の部分をソースドライバ回路 (IC) 14 に形成した実施例である。

【0135】

E_L 表示パネルでは、プログラム電流と E_L 素子 15 の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアに E_L 素子 15 の発光輝度を調整できる。

【0136】

駆動用トランジスタ 11 a はゲート端子に印加した電圧と、駆動用トランジスタ 11 a 30
が流す電流とは非線形である (2 乗カーブになることが多い)。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。

【0137】

以下、図 22、図 23 などを参照しながら、本発明のソースドライバ回路 (IC) 14 について説明をする。ソースドライバ回路 (IC) 14 は、出力端子数に対応する出力段 (トランジスタ群) 251 c が形成または配置されている。各出力段 251 c には、映像信号のビット数に対応するトランジスタ (電流源 (1 単位) 電流) 224 が形成または配置されている。たとえば、基本的には映像信号が 6 ビット (D₀ ~ D₅) の場合は、2 の 40
6 乗 - 1 = 63 個のトランジスタ 224 が形成される。映像信号が 8 ビット (D₀ ~ D₇) の場合は、2 の 8 乗 - 1 = 255 個のトランジスタ 224 が形成される。図 24 は、この基本を変形した実施例である。図 24 に関しては後に説明をする。

【0138】

以下、説明を容易にするため、ソースドライバ回路 (IC) 14 は 6 ビットであるとして説明をする。図 22 において、各トランジスタ 224 は、映像データビット (D₀ ~ D₅) ごとに配置される。D₀ ビットには 1 つのトランジスタ 224 が配置される。D₁ ビットには 2 つのトランジスタ 224 が配置される。D₂ ビットには 4 つのトランジスタ 224 が配置され、D₃ ビットには 8 つのトランジスタ 224 が配置され、D₄ ビットには 16 つのトランジスタ 224 が配置される。同様に、D₅ ビットには 32 つのトランジス 50

タ 2 2 4 が配置されている。

【 0 1 3 9 】

各ビットのトランジスタ 2 2 4 の出力電流が出力端子 9 3 に出力されるか否かは、アナログスイッチ 2 2 1 (2 2 1 a ~ 2 2 1 f) によるオンオフ制御で実現される。アナログスイッチ 2 2 1 a ~ 2 2 1 f は映像信号の各ビット (一例として 6 ビット) に対応する。D 0 ビットに対応するスイッチ 2 2 1 a が閉じると、1 単位電流が出力端子 9 3 から出力 (入力) される。出力端子 9 3 には、ソース信号線 1 8 が接続されている。同様に、D 1 ビットに対応するスイッチ 2 2 1 b が閉じると、2 単位電流が出力端子 9 3 から出力 (入力) される。以下、D 2 ビットに対応するスイッチ 2 2 1 c が閉じると、4 単位電流が出力端子 9 3 から出力 (入力) され、D 3 ビットに対応するスイッチ 2 2 1 c が閉じると、8 単位電流が出力端子 9 3 から出力 (入力) され、D 4 ビットに対応するスイッチ 2 2 1 d が閉じると、1 6 単位電流が出力端子 9 3 から出力 (入力) され、D 5 ビットに対応するスイッチ 2 2 1 c が閉じると、3 2 単位電流が出力端子 9 3 から出力 (入力) される。以上のように、映像信号のビットに対応して、デジタル的にスイッチ 2 2 1 がクローズまたはオープンし、映像信号に応じて電流 (プログラム電流) が出力端子 9 3 から出力される。

10

【 0 1 4 0 】

また、プログラム電流は内部配線 2 2 2 を流れる。内部配線 2 2 2 の電位 V w は、ソース信号線 1 8 の電位となる。ソース信号線 1 8 の電位は、電流プログラム時は、画素 1 6 の駆動用トランジスタ 1 1 a のゲート電圧である。

20

【 0 1 4 1 】

単位トランジスタ 2 2 4 はトランジスタ 2 2 8 b とカレントミラー回路を構成している。なお、図 2 2、図 2 3 では、トランジスタ 2 2 8 b を 1 つと図示しているが、実際は、複数のトランジスタ (トランジスタ群) で構成 (形成) される。トランジスタ 2 2 8 b とトランジスタ群 2 5 1 c とは所定のカレントミラー比でカレントミラー回路を構成する。つまり、トランジスタ 2 2 8 b も多数の単位トランジスタを有する群として構成されている。ただし、トランジスタ群 2 5 1 c を構成する単位トランジスタ 2 2 4 とトランジスタ 2 2 8 b を構成する単位トランジスタのサイズ、特定は異ならせてもよいことはいうまでもない。また、トランジスタ 2 2 8 a も複数のトランジスタで形成あるいは構成してもよいことは言うまでもない。以上のように、1 つの動作を行うトランジスタを複数の同一特性のトランジスタからなるトランジスタ群で形成することにより、特性バラツキが少なくなり、良好な動作を実現できる。

30

【 0 1 4 2 】

トランジスタ 2 2 8 b には基準電流 I c が流れ、この基準電流 I c のカレントミラー比に応じた電流が単位トランジスタ 2 2 4 に流れる。図 2 2 の 6 3 個の単位トランジスタ 2 2 4 はすべて同一の単位電流を出力する。単位電流が流れるためには、該当のスイッチ 2 2 1 が閉じ、電流経路を構成する必要がある。

【 0 1 4 3 】

基準電流 I c はオペアンプ 2 3 1 a と抵抗 R 1 からなる定電流回路で発生する。基準電流 I c は基準電圧 V s を安定化かつ高精度化することにより一定化する。基準電流 I c を設定する電圧 V i と V s が抵抗 R 1 の両端に印加される。したがって、基準電流 I c = (V s - V i) / R 1 となる。基準電流 I c は R G B ごとに設定することができる。つまり、R G B ごとにトランジスタ群 2 5 1 c が構成 (形成) されている。前記トランジスタ群 2 5 1 c のトランジスタ 2 2 8 b に流れる電流 I c を設定 (調整) できる。抵抗 R 1 は、ソースドライバ回路 (I C) 1 4 外に配置されており、抵抗 R 1 の値を R G B で調整することにより、良好にホワイトバランスを調整あるいは設定できる。

40

【 0 1 4 4 】

図 2 3 (a) は基準電流 I c を、V s 電圧を用いて発生する回路構成である。図 2 3 (b) は G N D とオペアンプ 2 3 1 a の - 端子間に配置 (挿入) された抵抗 R 1 を用いて基本的な電流を発生させ、トランジスタ 2 3 2 b とトランジスタ 2 2 8 a からなるカレント

50

ミラー回路で折り返し、トランジスタ 228b に基準電流 I_c を流す構成である。図 23 (b) の方が、基準電流の I_c の大きさを調整しやすい。しかし、トランジスタ 232b とトランジスタ 228a からなるカレントミラー回路で折り返すために、バラツキが発生しやすい。

【0145】

本発明は図 24 (a) に図示するように、各ビットに 1 つまたは複数の単位トランジスタ 224 を形成または配置するとした。しかし、本発明はこれに限定するものではない。たとえば、各ビットに、各ビットに応じた電流を出力する 1 つのトランジスタ 224 を形成または配置してもよいことは言うまでもない。たとえば、1 ビット目のトランジスタは、0 ビット目のトランジスタの 2 倍の電流を出力するトランジスタを 1 個形成または配置する。2 ビット目のトランジスタは、0 ビット目のトランジスタの 4 倍の電流を出力するトランジスタを 1 個形成または 0 ビット目のトランジスタの 4 2 の電流を出力するトランジスタを 2 個形成または配置する。

10

【0146】

図 24 (a) に図示するように、64 階調 (RGB 各 6 ビット) の場合は、63 個の単位トランジスタ 224 を形成するとした。したがって、256 階調 (RGB 各 8 ビット) の場合、255 個の単位トランジスタ 224 が必要になることになる。

【0147】

電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ 224 において、チャンネル長 L を一定にし、チャンネル幅 W を $1/2$ にすれば、単位トランジスタ 224 が流す電流がおよそ $1/2$ になるという特徴ある性質がある。同様に、チャンネル長 L を一定にし、チャンネル幅 W を $1/4$ にすれば、単位トランジスタ 224 が流す電流がおよそ $1/4$ になるという特徴ある性質がある。

20

【0148】

図 24 (a) は、各ビットに対して同一のサイズの単位トランジスタ 224 を配置したトランジスタ群 251c の構成である。説明を容易にするため、図 24 (a) は 63 個の単位トランジスタ 224 が構成され、6 ビットのトランジスタ群 251c を構成 (形成) しているとする。また、図 24 (b) は 8 ビットであるとする。

【0149】

図 24 (b) では、下位 2 ビット (A で示す) は、単位トランジスタ 224 よりも小さいサイズのトランジスタで構成している。最小ビット目の第 0 ビット目は、単位トランジスタ 224 のチャンネル幅 W の $1/4$ で形成している (単位トランジスタ 224b で示す)。また、第 1 ビット目は、単位トランジスタ 224 のチャンネル幅 W の $1/2$ で形成している (単位トランジスタ 224a で示す)。なお、単位トランジスタ 224a は、単位トランジスタ 224 のチャンネル幅 W の $1/4$ である単位トランジスタ 224b を 2 個で形成してもよい。

30

【0150】

以上の実施例では、単位トランジスタ 224b の W は、単位トランジスタ 224 の W の $1/4$ であるとした。たとえば、単位トランジスタ 224 の W が $6\mu m$ であれば、単位トランジスタ 224b の W は $1/4$ の $1.5\mu m$ となる。しかし、これは理想的な特性を示す場合である。本発明では、 $1.5\mu m$ より大きくしている。つまり、 $2.0\mu m$ など大きくしている。大きくすることにより、単位トランジスタ 224b の 4 倍の電流が単位トランジスタ 224 の電流と一致するように構成することができる。以上の事項は後にさらに詳しく説明をする。

40

【0151】

単位トランジスタ 224a、224b、224 のゲート端子は同一のゲート配線 222 に接続される。ゲート配線 223 はトランジスタ 228b のゲート端子と接続されている。

【0152】

以上のように、下位 2 ビットは上位の単位トランジスタ 224 よりも小さいサイズの単

50

位トランジスタ(224a、224b)で形成している。また、正規の単位トランジスタ224の個数は63個で変化がない。したがって、6ビットから8ビットに変更しても、トランジスタ群251cの形成面積は図24(a)と図24(b)で大差はない。

【0153】

図24(b)に図示するように、6ビットから8ビット仕様に変化させても出力段のトランジスタ群251cのサイズが大きくなるのは、電流の加算ができるという点、単位トランジスタ224において、チャンネル長Lを一定にし、チャンネル幅Wを $1/n$ にすれば、単位トランジスタ224が流す電流がおよそ $1/n$ になるという点をうまく利用しているからである。

【0154】

また、図24(b)に図示するように、単位トランジスタ224a、224bのようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ224aまたは224bの出力電流は加算される。したがって、図24(a)の6ビット仕様より、図24(b)の8ビット仕様のほうが高階調出力を実現できる。

【0155】

実際にはチャンネル幅Wを $1/2$ にしても出力電流は正確には $1/2$ にはならない。多少の補正が必要である。本発明に説明する。チャンネル幅W $1/2$ にすることに大きな意味を持つものではなく、トランジスタ24aの出力電流を単位トランジスタ224の出力電流を $1/2$ にすることに技術的意味がある。したがって、チャンネル幅Wだけでなく、チャンネル長Lを変化させて出力電流を $1/2$ あるいは $1/4$ のように、略整数分の1に構成すればよい。また、図24(b)で図示した単位トランジスタ224、224a、224bは同一ゲート電圧で動作させる。これは図22に図示するように、ゲート配線223にすべての単位トランジスタのゲート端子を接続することにより容易に実現できる。また、すべての単位トランジスタ(224、224a、224b)はトランジスタ228bとカレントミラー回路を構成させればよい。

【0156】

チャンネル幅Wを $1/2$ にすると、トランジスタのゲート端子電圧を同一とした場合、出力電流は、 $1/2$ 以下となる。そのため、本発明は、下位ビットを構成するトランジスタと、上位ビットを構成するトランジスタのサイズと変化させる場合、以下のようにトランジスタサイズを設定している。

【0157】

まず、ソースドライバ回路(IC)14の単位トランジスタ224を2種類のサイズのように、少ない形状で構成する。複数の単位トランジスタ224のチャンネル長Lは同一にする。つまり、チャンネル幅Wのみを変化させる。第1の単位トランジスタの第1の単位出力電流と、第2の単位トランジスタの第2の単位出力電流の比をn(第1の単位出力電流:第2の単位出力電流=1:n、ただし、nは1より小さい値)とすると、第1の単位トランジスタのチャンネル幅W $1 < \text{第2の単位トランジスタのチャンネル幅} W_2 \times n \times a$ の関係となるように構成する。

【0158】

$W_1 \times n \times a = W_2$ とした場合、 $1.05 < a < 1.3$ の関係が成り立つようにすることが好ましい。補正aは、テストトランジスタを形成し、測定することにより補正係数を容易に把握することができる。

【0159】

本発明は、下位のビットを作製(構成)するために、上位のビットの単位トランジスタ224に比較して小さい小単位トランジスタを形成または配置するものである。この小さいという概念は、上位ビットを構成する単位トランジスタ224の出力電流よりも小さいという意味である。したがって、単位トランジスタ224に比較してチャンネル幅Wが小さいだけでなく、同時にチャンネル長Lも小さい場合も含まれる。また、他の形状も含まれる。また、たとえば、単位トランジスタ224aの出力電流が単位トランジスタ224

10

20

30

40

50

の 1 / 2 とは精度が要求されるものではない。したがって、各ビットでの出力電流が反転しないように、60% ~ 140% の範囲で設定できればよい。つまり、略 1 / 2、略 1 / 4 であればよい。

【0160】

図 24 (b) はトランジスタ群 251c を構成する単位トランジスタ 224 のサイズを複数種類とするものであった。図 24 (b) では 3 種類 (224、224a、224b) としている。この理由は、先に説明したように、単位トランジスタ 224 のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ 251c を構成する単位トランジスタ 224 のサイズは低階調用と高階調用の 2 種類とすることが好ましい。たとえば、図 24 (b) において、低階調の単位トランジスタである 0 ビット目の単位トランジスタ 224b を 2 個用いて、1 ビット目を構成すればよい。つまり、高階調用の単位トランジスタ 224 で 2 ビット目から 7 ビット目を形成し、低階調の単位トランジスタ 224b を用いて 0 ビット目と 1 ビット目を形成する。しかし、本発明はこれに限定するものではない。3 種類以上であってもよいことは言うまでもない。

10

【0161】

図 26 でも図示しているように、トランジスタ群 251c を構成する単位トランジスタ 224 のゲート端子は、1 つのゲート配線 223 で接続されている。ゲート配線 223 に印加された電圧により単位トランジスタ 224 の出力電流が決定される。したがって、トランジスタ群 251c 内の単位トランジスタ 224 の形状が同一であれば、各単位トランジスタ 224 は同一の単位電流を出力する。

20

【0162】

本発明は、トランジスタ群 251c を構成する単位トランジスタ 224 のゲート配線 223 を共通にすることには限定されない。たとえば、図 25 (a) のように構成してもよい。なお、トランジスタ群 251b とはトランジスタ 228b が対応する。つまり、トランジスタ群 251c によりトランジスタ 228b が構成されている。図 25 (a) において、トランジスタ群 251b1 とカレントミラー回路を構成する単位トランジスタ 224 と、トランジスタ群 251b2 とカレントミラー回路を構成する単位トランジスタ 224 とが配置されている。

30

【0163】

トランジスタ群 251b1 はゲート配線 223a で接続されている。トランジスタ群 251b2 はゲート配線 223b で接続されている。図 25 (a) の一番上の 1 個の単位トランジスタ 224 は LSB (0 ビット目) であり、2 段目の 2 個の単位トランジスタ 224 は 1 ビット目、3 段目の 4 個の単位トランジスタ 224 は 2 ビット目である。また、4 段目の組の 8 個の単位トランジスタ 224 は 3 ビット目である。

【0164】

図 25 (a) において、ゲート配線 223a とゲート配線 223b の印加電圧を変化させることにより、各単位トランジスタ 224 のサイズ、形状が同一であっても、各単位トランジスタ 224 の出力電流をゲート配線 223 の印加電圧により変化 (変更) することができる。

40

【0165】

図 25 (a) において、単位トランジスタ 224 のサイズなどを同一にして、ゲート配線 223a、223b の電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ 224 のサイズなどを異ならせ、印加するゲート配線 223a、223b の電圧を調整することにより、異なる形状の単位トランジスタ 224 の出力電流を同一となるようにしてもよい。

【0166】

図 24 では、低階調のビットを構成する単位トランジスタ 224 サイズは、高階調を構成する単位トランジスタ 224 よりも小さくした。単位トランジスタ 224 のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の

50

単位トランジスタ 224 はチャンネル長 L を高階調よりも大きくし、単位トランジスタ 224 の面積を小さくならないようにしてバラツキを抑制している。たとえば、単位トランジスタ 224 a のチャンネル幅 W_b は単位トランジスタ 224 のチャンネル幅 W と同一に、単位トランジスタ 224 a のチャンネル長 L_b は単位トランジスタ 224 のチャンネル長 L の 2 倍に形成する。

【0167】

ソースドライバ回路 (IC) 14 の単位トランジスタ 224 の最小出力電流は 0.5 nA 以上 10 nA にしている。特に単位トランジスタ 224 の最小出力電流は 2 nA 以上 20 nA にすることがよい。ドライバ IC 14 内の単位トランジスタ群 251 c を構成する単位トランジスタ 224 の精度を確保するためである。

10

【0168】

以上のように構成することにより、各出力端子 93 の出力バラツキを低減することができる。特に、各端子間の隣接バラツキを低減することができる。さらに、出力バラツキを低減するためには、図 27 のように構成する。

【0169】

図 27 と、図 26 との差異は、出力段 251 c の出力側に、出力選択回路 1531 を有する構成である。出力選択回路は 1531、主として選択回路とアナログスイッチから構成される。出力選択回路 1531 は、任意の出力段 251 c の出力電流を、任意の出力端子 93 から出力させることができる。つまり、シャッフル回路である。

【0170】

20

たとえば、出力段 251 c 1 の出力電流は、出力端子 93 a に出力することができるし、出力端子 93 c、93 n にも出力することができる。つまり、出力段 251 c 1 のプログラム電流をどの出力端子 93 にでも出力させることができる。出力選択回路 1531 の切り換えタイミング (動作タイミング) は、コントローラ 722 により制御される。たとえば、出力選択回路 1531 の制御により、出力段 251 a の出力信号を、1 水平走査期間の前半に出力端子 93 a に出力し、後半に出力端子 93 b に出力することができる。また、出力選択回路 1531 は、出力段 251 c に設定される階調番号により動作を変化させることができる。

【0171】

出力選択回路 1531 は、1 つまたは複数の出力段 251 c からの出力信号 (電圧または電流) を 1 つまたは複数の出力端子 93 から出力されるように動作させることができることは言うまでもない。たとえば、出力段 251 c 1、251 c 3、251 c 5 の出力電流を合成して、出力端子 93 a に出力することができる。また、出力段 251 c 1、251 c 3、251 c 5 の出力電流を合成して、出力端子 93 a と出力端子 93 b の両方に出力することができる。また、出力段 251 c 1 の出力電流を合成して、出力端子 93 a と出力端子 93 b の両方に出力することができる。

30

【0172】

本発明の出力選択回路 1531 の説明は、出力段 251 c が電流出力であるとして説明するが、これに限定するものではない。たとえば、出力段 251 c が電圧出力であってもよい。つまり、ソースドライバ回路 (IC) 14 が液晶表示パネルのように、電圧駆動を実施する場合が例示される。なお、EL 表示パネルが電圧駆動である場合も同様に適用される。また、出力選択回路 1531 は、ソースドライバ回路 (IC) 14 がシリコンチップとして構成され、前記チップ 14 に内蔵されているとして説明するが、これに限定するものではない。たとえば、出力選択回路 1531 を、ポリシリコン技術などでガラス基板 30 に直接形成してもよい。また、別チップに形成または構成してもよい。

40

【0173】

出力段 251 c は単位トランジスタ 224 で構成されるため、各出力段 251 の出力電流バラツキは小さい。しかし、ソースドライバ回路 (IC) のチップには、穏やかなモビリティ特性、 V_t 特性のうねりがある。このうねりにより出力段 251 c から出力電流は変化する。

50

【 0 1 7 4 】

このうねりの影響がない様にするには、1つの出力段251cを構成する単位トランジスタ224の形成領域をうねりの周期にまたがる大きさ（範囲あるいは面積）に形成すればよい。しかし、この場合は、単位トランジスタ224の形成面積が大きく、巨大なチップサイズになってしまう。本発明はこの課題に対して、1つに出力端子93に出力する電流を、チップ14内の比較的広い領域から選択肢、選択する領域を一定条件で変化させることにより形成（発生）させる。たとえば、出力端子93aに、38階調目のプログラム電流を出力させ、ある画素16に32階調目のプログラム電流を書き込む場合を例示する。1フィールド（フレーム）目では、出力選択回路1531は、出力段251c1から、38階調目のプログラム電流を出力されるように制御し、この出力段251c1からプログラム電流を出力端子93aから出力する。 10

【 0 1 7 5 】

次のフィールド（フレーム）では、出力段251c2から、38階調目のプログラム電流を出力されるように制御し、この出力段251c2からプログラム電流を出力端子93aから出力する。さらに次のフィールド（フレーム）では、出力選択回路1531は、出力段251c3から、38階調目のプログラム電流を出力されるように制御し、この出力段251c3からプログラム電流を出力端子93aから出力する。以降、この動作を順次繰り返す。また、各出力端子93からは、対応する（書き込む）画素に応じて各出力段251cの階調設定がなされ、プログラム電流がソース信号線18に出力される。 20

【 0 1 7 6 】

図28は以上の動作を表にまとめたものである。図28は、出力端子93と、水平走査期間（H）の関係を示している。ただし、理解を容易にするため、階調に関する記載は省略している。つまり、単に出力端子93には、各Hにどの出力段251cからのプログラム電流が出力されているかを示している。 20

【 0 1 7 7 】

図28において、出力端子93aには、出力選択回路1531により、1H目に出力段251c1が選択される。なお、表では出力段251c1の1を図示している。2H目に出力段251c2が選択され（表では2と図示している）、3H目に出力段251c3（図28の表では3と図示している）が選択される。さらに、次の4H目では出力段251c4が選択され（図28の表では4を図示している）、5H目では、出力段251c5が 30

【 0 1 7 8 】

同様に、出力端子93bには、出力選択回路1531により、1H目に出力段251cn（最終段の出力段）が選択される。なお、表では出力段251cnのnを図示している。2H目に出力段251c1が選択され（表では1と図示している）、3H目に出力段251c2（図28の表では2と図示している）が選択される。さらに、次の4H目では出力段251c3が選択され（図28の表では3を図示している）、5H目では、出力段251c4が選択される。以下、同様である。

【 0 1 7 9 】

同様に出力端子93cには、出力選択回路1531により、1H目に出力段251cn - 1が選択される。なお、表ではn - 1と図示している。2H目に出力段251cnが選択され（表ではnと図示している）、3H目に出力段251c1（図28の表では1と図示している）が選択される。さらに、次の4H目では出力段251c2が選択され（図28の表では2を図示している）、5H目では、出力段251c3が選択される。以下同様である。 40

【 0 1 8 0 】

以上のように、たとえば、出力端子93aには、Hごとに異なる出力段251cからのプログラム電流が出力され、ソース信号線18を介して画素に順次印加される。

【 0 1 8 1 】

さらに理解を容易にするため、出力端子93aを例示して説明する。1H目ではソース 50

信号線 18 a (出力端子 93 a に接続されたソース信号線) に印加される (出力される) 出力段は 251 c 1 である。1 H 目では、第 1 画素行目で、かつソース信号線 18 a に接続された画素に出力段 251 c 1 からの信号が印加される。2 H 目ではソース信号線 18 a (出力端子 93 a に接続されたソース信号線) に印加される (出力される) 出力段は 251 c 2 である。2 H 目では、第 2 画素行目で、かつソース信号線 18 a に接続された画素に出力段 251 c 2 からの信号が印加される。同様に、3 H 目ではソース信号線 18 a (出力端子 93 a に接続されたソース信号線) に印加される (出力される) 出力段は 251 c 3 である。3 H 目では、第 3 画素行目で、かつソース信号線 18 a に接続された画素に出力段 251 c 3 からの信号が印加される。以上の動作を順次最終の m 画素行 (m は最終の画素行番号) の画素に実施していく。画素の選択はゲートドライバ回路 17 a により 10
選択される。

【0182】

最終画素行まで以上の動作を実施すると、また、第 1 画素行に対して以上の動作を行う。ただし、第 1 画素行の画素には、出力段 251 c 1 以外の出力信号が印加される。たとえば、出力段 251 c 2 の出力信号が印加される。つまり、フィールド (フレーム) ごとに異なる出力段 251 c の出力信号が印加されるようにし、各画素 16 に書き込まれる信号を平均化し出力段 251 c の出力ムラ分布が反映されないようにしている。各画素 16 に書き込まれる出力段 251 c からの信号はランダム化することが好ましいが、これが不可能な場合は、少なくとも 2 つの出力段 251 c の出力が書き込まれて平均化されるように 20
制御する。以上の事項は、第 2 画素行の画素以降にも同様に適用される。また、出力端子 93 a 以外 (93 b ~ 93 n) に対しても同様の動作が実施される。

【0183】

以上のように、基本的には 1 つの出力段 251 c の出力と 1 つの出力端子とが、出力選択回路 153 1 により選択され、各出力段 251 c の出力がソース信号線 18 に印加される。ソース信号線 18 から出力される信号は、正規の (正常な) 画像表示となるように、ラッチ回路 351 にラッチ保持される。

【0184】

1 画面あるいは一定の表示周期が終了すると、出力端子 93 から出力される出力段 521 c の順番を入れ替えることが好ましい。たとえば、図 28 の表の状態が、1 フレーム目とする。次の 2 フレーム目では、図 28 の表の出力端子 93 a の出力段 251 c の選択状態 (251 c 1、251 c 2、251 c 3、251 c 4) を、出力端子 93 b の出力段 251 c の選択状態 (251 c n、251 c 1、251 c 2、251 c 3、251 c 4) とする。図 28 の表の出力端子 93 b の出力段 251 c の選択状態 (251 c n、251 c 1、251 c 2、251 c 3、251 c 4) を、出力端子 93 c の出力段 251 c の選択状態 (251 c n - 1、251 c n、251 c 1、251 c 2、251 c 3、251 c 4) とする。図 28 の表の出力端子 93 c の出力段 251 c の選択状態 (251 c n - 1、251 c n、251 c 1、251 c 2、251 c 3、251 c 4) を、出力端子 93 d の出力段 251 c の選択状態 (251 c n - 2、251 c n - 1、251 c n、251 c 1、251 c 2、251 c 3、251 c 4) とする。以後同様にシフトさせる。 30
40

【0185】

次の 3 フレーム目では、出力端子 93 a の出力段 251 c の選択状態 (251 c n、251 c 1、251 c 2、251 c 3、251 c 4) を、出力端子 93 b の出力段 251 c の選択状態 (251 c n - 1、251 c n、251 c 1、251 c 2、251 c 3、251 c 4) とする。出力端子 93 b の出力段 251 c の選択状態 (251 c n - 1、251 c n、251 c 1、251 c 2、251 c 3、251 c 4) を、出力端子 93 c の出力段 251 c の選択状態 (251 c n - 1、251 c n - 1、251 c n、251 c 1、251 c 2、251 c 3、251 c 4) とする。出力端子 93 c の出力段 251 c の選択状態 (251 c n - 2、251 c n - 1、251 c n、251 c 1、251 c 2、251 c 3、251 c 4) を、出 50

力端子 9 3 d の出力段 2 5 1 c の選択状態 (2 5 1 c - 3、2 5 1 c n - 2、2 5 1 c n - 1、2 5 1 c n、2 5 1 c 1、2 5 1 c 2、2 5 1 c 3、2 5 1 c 4) とする。以後同様にシフトさせる。

【 0 1 8 6 】

なお、本発明では説明を容易にするため、1 フレームまたは 1 フィールドで出力端子 9 3 から出力される状態を入れ替えるとして説明するが、これに限定するものではない。複数フレームまたはフィールドで入れ替えてもよい。また、複数画素行 (複数水平走査期間) ごとに入れ替えてもよい。また、フレームまたは画素行 (水平走査期間) に限定されるものではなく、一定周期もしくはランダム周期で入れ替えてもよい。以上の事項は本発明の他の実施例にも適用されることは言うまでもない。

10

【 0 1 8 7 】

シフトさせることにより、画面 9 4 の表示状態は、出力段 2 5 1 c の特性の影響を受けず、均一な表示を実現できる。シフトの方式には他の方法も例示される。

【 0 1 8 8 】

たとえば、フレームごとに、出力端子 9 3 a と出力端子 9 3 n の状態を入れ替える。出力端子 9 3 b と出力端子 9 3 n - 1 の状態を入れ替える。出力端子 9 3 c と出力端子 9 3 n - 2 の状態を入れ替える。以下同様で入れ替える。つまり、画面の左右を入れ替える。

【 0 1 8 9 】

また、他の方法も例示される。たとえば、フレームごとに、奇数番目の出力端子 9 3 と偶数番目の出力端子 9 3 の状態とを入れ替える。もちろん、ランダムに入れ替えてもよい。

20

【 0 1 9 0 】

また、第 1 のフレームでは、出力端子 9 3 a と出力端子 9 3 b の状態とを入れ替える。次の第 2 のフレームでは、出力端子 9 3 a と出力端子 9 3 c の状態とを入れ替える。次の第 3 のフレームでは、出力端子 9 3 a と出力端子 9 3 d の状態とを入れ替える。次の第 4 のフレームでは、出力端子 9 3 a と出力端子 9 3 c e 状態とを入れ替える。以下、他の出力端子も同様に入れ替える方法が例示される。

【 0 1 9 1 】

また、第 1、第 3 のフレームなどの奇数番目のフレームでは、奇数番目の出力端子 9 3 間で入れ替え、偶数番目の出力端子 9 3 間で入れ替える。第 2、第 4 のフレームなどの偶数番目のフレームでは、隣接した奇数番目と偶数番目の出力端子 9 3 間で入れ替える方式が例示される。

30

【 0 1 9 2 】

また、ソースドライバ回路 (I C) 1 4 では、4 m m ~ 8 m m の周期で特性周期が分布する。これは、I C 製造時の拡散工程により発生する。したがって、出力端子 9 3 の入れ替え範囲は、4 m m 以上の範囲で実施する。たとえば、出力段 2 5 1 a ~ 2 5 1 n の形成長さが 2 0 m m あり、4 m m 周期で特性分布が発生する恐れがある場合は、少なくとも $20 / 5 = 5$ ブロック以下の範囲内で出力端子 9 3 と出力段 2 5 1 c との接続を出力選択回路 1 3 5 1 により入れ替えることが好ましい。

【 0 1 9 3 】

また、先の説明では、最終画素行まで以上の動作を実施すると、また、第 1 画素行に対して同一の動作を行うとしたが、これに限定されるものではない。たとえば、最終画素行 - 1 画素行までに 1 周期を完了させ、最終画素行から次の周期を開始してもよい。つまり、出力端子 9 3 a を例示すれば、1 画素行目の画素には、出力段 2 5 1 c 1 からの信号が印加される。2 画素行目の画素には、出力段 2 5 1 c 2 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c 3 からの信号が印加され、4 画素行目の画素には、出力段 2 5 1 c 4 からの信号が印加される。以上の動作を順次行い、最終の画素行から 1 つ前の画素行に、たとえば、出力段 2 5 1 n の信号が印加されたとすると、最終の画素行には、出力段 2 5 1 c 1 の信号が印加される。したがって、次のフレームである 1 画素行目の画素には、出力段 2 5 1 c 2 からの信号が印加される。2 画素行目の画素には、出力段 2 5

40

50

1 c 3 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c 4 からの信号が印加される。このように駆動することにより、フレーム（フィールド）周期では、1 画素行あるいはそれ以上がずれて、出力段 2 5 1 c 選択が行われることになり、各画素に印加する出力段 2 5 1 c が長期間で変化させることができる。したがって、各画素 1 6 は多数の出力段 2 5 1 c からの信号で駆動されることになり、画像表示は均一化される。なお、他の出力端子 9 3 においても同様の制御が実施される。

【0194】

また、画面の第 1 画素行から最終画素行まで選択された後、今度は、最終画素行から第 1 画素行の方向に選択される出力段 2 5 1 c を変化させてもよい。つまり、出力端子 9 3 a を例示すれば、1 画素行目の画素には、出力段 2 5 1 c 1 からの信号が印加される。2 画素行目の画素には、出力段 2 5 1 c 2 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c 3 からの信号が印加され、4 画素行目の画素には、出力段 2 5 1 c 4 からの信号が印加される。以上の動作を順次行い、最終の画素行に、たとえば、出力段 2 5 1 n の信号が印加されたとすると、次のフレームである 1 画素行目の画素には、出力段 2 5 1 c n からの信号が印加される。2 画素行目の画素には、出力段 2 5 1 c n - 1 からの信号が印加され、3 画素行目の画素には、出力段 2 5 1 c n - 3 からの信号が印加される。このように駆動することにより、フレーム（フィールド）周期で、各画素に印加する出力段 2 5 1 c が長期間で変化させることができる。したがって、各画素 1 6 は多数の出力段 2 5 1 c からの信号で駆動されることになり、画像表示は均一化される。なお、他の出力端子 9 3 においても同様の制御が実施される。

【0195】

出力端子 9 3 を順次選択する出力段 2 5 1 c の順番をランダム化してもよい。また、2 とばしや、3 以上とばしで出力段 2 5 1 c を選択してもよい。

【0196】

以上の事項あるいは方法は、図 3 1 の方式においても適用できることは言うまでもない。

【0197】

なお、出力段 2 5 1 の個数は、行方向のドット数（ソース信号線 1 8 の本数）以上の個数を形成または構成しておき、そのうち、必要な個数（基本的にはソース信号線 1 8 の本数）を選択して各ソース信号線 1 8 に出力段 2 5 1 c からの出力信号を印加してもよい。

【0198】

以上の実施例では、R、G、B の各出力段 2 5 1 については、説明していないが、R、G、B の各出力段 2 5 1 c の出力にも出力選択回路 1 5 3 1 が形成または構成されている。R、G、B の各出力選択回路 1 5 3 1 の制御により、各出力端子 9 3 から出力される信号が、出力段 2 5 1 c を選択して出力される。本発明はこれに限定するものではなく、R、G、B で共通の出力選択回路 1 5 3 1 を形成または構成し、出力段 2 5 1 c が R G B の区別なく選択されて各出力端子 9 3 から出力されるように構成しても良いことは言うまでもない。

【0199】

以上の実施例では、選択する出力段 2 5 1 c を変化させることにより、出力段 2 5 1 c の特性バラツキを平均化し、均一な画像表示を実現するという駆動方式であった。しかし、本発明はこれに限定されるものではない。

【0200】

均一の方式として、基準電流を変化させるという方法がある。図 2 7 などに図示する基準電流 I_c により出力段 2 5 1 c の特性が変化するからである。複数の基準電流 I_c により、出力段 2 5 1 c の信号（出力電流または出力電圧）を変化させることにより、より均一な画像表示を実現できる。なお、この方式では、出力選択回路 1 5 3 1 は必要ないが、出力選択回路 1 5 3 1 により、選択する出力段 2 5 1 c を変化させることにより、より均一な画像表示を実現できることは言うまでもない。

【0201】

10

20

30

40

50

基準電流 I_c の大きさと出力段 251c から出力されるプログラム電流は基本的には比例する。しかし、選択される単位トランジスタ数などによりプログラム電流 I_c は変化する。以上のことから、基準電流を変化させ、画素 16 に書き込まれるプログラム電流が平均的に目標値となるように駆動することにより、均一は画像表示を実現できる。

【0202】

図 29 はその実施例である。図 29 の実施例では、一例として基準電流 I_{c1} と I_{c2} で駆動する場合を例示している。また、図 29 では、水平走査期間ごとに基準電流 I_{c1} と I_{c2} とを変化させている。なお、目標の基準電流 I_c と I_{c1} 、 I_{c2} とは、 $I_c = (I_{c1} + I_{c2}) / 2$ の関係に調整されている。

【0203】

なお、以下の実施例では、基準電流を一定の周期で変化させるとして説明している。基準電流の変化させるのは、図 30 などの電子ボリウム 291 を変化させる方法がある。他にも、カスケード接続を行う場合に、マスターチップ（ソースドライバ回路（IC）14）からスレーブチップ（ソースドライバ回路（IC）14）に基準電流（この場合はカスケード電流）を受け渡す構成がある。基準電流（カスケード電流）はトランジスタ群 251b に印加され、このカスケード電流に対応して出力段 251c からプログラム電流が出力される。したがって、基準電流を変化することは、カスケード電流が変化することと同義である。

【0204】

1 つの表示領域 94 を構成するのに、3 つ以上のソースドライバ回路（IC）14 を用いる場合は、カスケード接続において、スレーブチップが複数のマスターチップから基準電流（カスケード電流）を受け取る構成が実施される。この場合は、基準電流（カスケード電流）を発生するマスターチップが複数存在することになる。したがって、スレーブチップは、複数のマスターチップからの基準電流（カスケード電流）が入力されることになる。つまり、基準電流は複数になる。スレーブチップでは、入力される複数の基準電流を平均化することにより、良好なカスケード接続を実現する。つまり、スレーブチップは、画像表示に基準電流を切り換えるという動作を行う。この動作は以下に説明する基準電流を変化させる実施例で実現する。

【0205】

図 29 において、第 1 F（フレームまたはフィールド）では、最初の 1 H（第 1 画素行目）は、基準電流 I_{c1} （第 1 のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子 93 から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線 18 に出力される。次の 2 H（第 2 画素行目）は、基準電流 I_{c2} （第 2 のマスターチップからのカスケード電流と考えてもよい）を印加し、出力端子 93 から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線 18 に出力される。以下同様に、3 H（第 3 画素行目）は、基準電流 I_{c1} を印加し、出力端子 93 から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線 18 に出力される。第 4 画素行目）は、基準電流 I_{c2} を印加し、出力端子 93 から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線 18 に出力される。

【0206】

第 1 F（フレームまたはフィールド）の次の第 2 F は、基準電流が平均化されて目標の基準電流 I_c となるように、最初の 1 H（第 1 画素行目）は、基準電流 I_{c2} を印加し、出力端子 93 から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線 18 に出力される。次の 2 H（第 2 画素行目）は、基準電流 I_{c1} を印加し、出力端子 93 から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線 18 に出力される。以下同様に、3 H（第 3 画素行目）は、基準電流 I_{c2} を印加し、出力端子 93 から基準電流 I_{c2} に対応するプログラム電流が各ソース信号線 18 に出力される。第 4 画素行目）は、基準電流 I_{c1} を印加し、出力端子 93 から基準電流 I_{c1} に対応するプログラム電流が各ソース信号線 18 に出力される。

【0207】

10

20

30

40

50

なお、基準電流の変化は2つに限定するものではなく、3以上としてもよいことは言うまでもない。また、基準電流は1Hごとに限定するものではなく、複数H（複数水平走査期間）ごとに变化させてもよい。また、水平走査期間に限定するものではなく、F（フレームまたはフィールド）周期で基準電流を変化させてもよい。また、1Hあるいは1F単位の変化に限定するものではない。1.5Hや1.5Fなどで、基準電流を変化させてもよい。

【0208】

以上の実施例は、図27に図示するトランジスタ228bを構成するトランジスタ群251bに印加される基準電流Icを変化させるものであった。本発明はこれに限定するものでない。たとえば、図26に図示するように、トランジスタ群251c（出力段251c）の両側にトランジスタ群251b（チップの左端にトランジスタ228b1を構成するトランジスタ群251b1、チップの右端にトランジスタ228b2を構成するトランジスタ群251b2）を配置または形成し、トランジスタ群251b1に基準電流Ic1を印加し、トランジスタ群251b2に基準電流Ic2を印加する構成としてもよい。

10

【0209】

図31の実施例で示すように基準電流Ic1を選択するか、基準電流Ic2を選択するかは、基準電流を伝送する配線途中に形成されたスイッチS1とスイッチS2を制御することにより実現する。スイッチS1をクローズし、スイッチS2をオープンすれば、出力段251cからは、基準電流Ic1に対応するプログラム電流が出力される。スイッチS2をクローズし、スイッチS1をオープンすれば、出力段251cからは、基準電流Ic2に対応するプログラム電流が出力される。

20

【0210】

図29の実施例のように、第1F（フレームまたはフィールド）の次の第2Fは、基準電流が平均化されて目標の基準電流Icとなるように、最初の1H（第1画素行目）は、基準電流Ic2を印加し、出力端子93から基準電流Ic2に対応するプログラム電流が各ソース信号線18に出力される。次の2H（第2画素行目）は、基準電流Ic1を印加し、出力端子93から基準電流Ic1に対応するプログラム電流が各ソース信号線18に出力される。以下同様に、3H（第3画素行目）は、基準電流Ic2を印加し、出力端子93から基準電流Ic2に対応するプログラム電流が各ソース信号線18に出力される。第4画素行目）は、基準電流Ic1を印加し、出力端子93から基準電流Ic1に対応するプログラム電流が各ソース信号線18に出力される。

30

【0211】

なお、基準電流の変化は2つに限定するものではなく、3以上としてもよいことは言うまでもない。この場合は、トランジスタ251bの個数を増加させればよい。基準電流は1Hごとに限定するものではなく、複数H（複数水平走査期間）ごとに变化させてもよい。また、水平走査期間に限定するものではなく、F（フレームまたはフィールド）周期で基準電流を変化させてもよい。

【0212】

ソースドライバ回路（IC）14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBで異なるからである。

40

【0213】

図32はプリチャージ部の構成図である。Vpはプリチャージ電圧である。プリチャージ電圧は映像データD0～D5により出力期間範囲が決定される。プリチャージ電圧は、クロックCLKに同期して出力される。プリチャージ電圧を出力する時間は、水平同期信号HDを基点としてカウンタ332の設定値で決定される。カウンタ332はクロックCLK信号に同期してカウントアップされる。プリチャージ電圧出力期間は、HDの最初から開始される。カウンタ332はカウントしたカウント値と設定値が一致すると、プリチ

50

ャージ電圧の出力期間が終了する。カウンタ回路 3 3 2 の出力はアンド (A N D) 回路 3 3 3 の a 端子入力となる。なお、説明を容易にするため、映像データは 6 ビットであるとして説明をする。

【 0 2 1 4 】

図 3 3 の構成では、どの電圧範囲までプリチャージするかは、一致回路 3 3 1 で決定される。一致回路 3 3 1 には、映像データ D 0 ~ D 5 が印加される。一致回路はプリチャージ範囲がメモリされている。メモリされた値よりも、映像データ D 0 ~ D 5 が小さい時、プリチャージ電圧が出力される。一致回路 3 3 1 はクロック C L K で同期して動作する。また、イネーブル信号 E N が H の時、プリチャージ電圧は出力され、L の時は映像データの値によらず、プリチャージ電圧は出力されない。一致回路 3 3 1 の出力はアンド回路 3 3 3 の b 端子入力となる。

10

【 0 2 1 5 】

アンド回路 3 3 3 の a 端子入力が H で、b 端子入力が H の時、スイッチ 2 2 1 a が閉じ、プリチャージ電圧 V p が内部配線 2 2 2 に印加され、かつ H I 信号が H の時、スイッチ 2 2 1 b が閉じて出力端子 9 3 からプリチャージ電圧が出力される。

【 0 2 1 6 】

電流出力回路 3 3 4 は、映像データ D 0 ~ D 5 に基づく、プログラム電流を出力する。本発明では、プリチャージ電圧とプログラム電流を同時に出力する。ただし、プリチャージ電圧は H D の最初から一定の期間である。

【 0 2 1 7 】

20

プリチャージ電圧は、駆動用トランジスタ 1 1 a のゲート (G) 端子に立ち上がり電圧あるいは立ち上がり電圧以下の電圧を印加する方法とも考えることができる。つまり、駆動用トランジスタ 1 1 a をオフ状態にすることによりプログラム電流 I w が 0 になる状態を発生させ、E L 素子 1 5 に電流が流れないようにする。

【 0 2 1 8 】

プリチャージ電圧 (電流) の設定あるいは調整は、図 3 3 のようにして行う。まず、プリチャージ電圧を印加しない状態で、階調 0 番目の電圧 V 0 を表示領域 6 4 の各画素に印加し、図 3 3 (a) に図示するように、カソード端子に流れる電流 I 1 を測定する。次に、図 3 3 (b) に図示するように、各プリチャージ電圧 (電流) を印加し、各プリチャージ電圧 (電流) を印加した時のカソード電流 I 2 を測定して、各プリチャージ電圧 (電流) に対するカソード電流が規定値あるいは規定の範囲となるように調整してする。プリチャージ電圧が階調に対応して、複数ある場合は複数のプリチャージ電圧 (電流) に対応して実施する。

30

【 0 2 1 9 】

図 3 4 は、ソースドライバ回路 (I C) 1 4 のプリチャージ回路 (プリチャージ電圧を出力する回路構成部) 3 5 3 を中心とするブロック図である。プリチャージ回路 3 5 3 とは、プリチャージ制御回路によりプリチャージ制御信号 P C 信号 (赤 (R P C) 、緑 (G P C) 、青 (B P C)) が出力される。なお、プリチャージ電圧を印加するとは、電圧プログラムを実施すると同義あるいは類似の技術である。

【 0 2 2 0 】

40

セクタ回路 3 5 2 は、メインクロックに同期して出力段に対応するラッチ回路 3 5 1 に順次ラッチしていく。ラッチ回路 3 5 1 はラッチ回路 3 5 1 a とラッチ回路 3 5 1 b の 2 段構成である。ラッチ回路 3 5 1 b は水平走査クロック (1 H) に同期してプリチャージ回路 3 5 3 にデータを送出する。つまり、セクタは、1 画素行分の画像データおよび P C データを順次ラッチしていき、水平走査クロック (1 H) に同期して、ラッチ回路 3 5 1 b でデータをストアする。

【 0 2 2 1 】

なお、図 3 4 では、ラッチ回路 3 5 1 の R 、 G 、 B は R G B の画像データ 6 ビットのラッチ回路であり、P はプリチャージ信号 (R P C 、 G P C 、 B P C) の 3 ビットをラッチするラッチ回路である。

50

【0222】

プリチャージ回路353は、ラッチ回路351bの出力がHレベルの時、スイッチ221aをオンさせ、ソース信号線18にプリチャージ電圧を出力する。電流出力回路334は画像データに応じて、プログラム電流をソース信号線18に出力する。

【0223】

図34の構成では、各RGB画像データに対応して、プリチャージコントロール(PC)信号を発生させている。プリチャージの印加は、以上のようにRGBごとに行うことが好ましい。しかし、動画表示、自然画表示では、RGBごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、RGBを輝度信号に変換し(換算し)、輝度によりプリチャージをするかしないかを判断してもよい。

10

【0224】

以上の本発明の構成は、コントローラ回路(IC)が画像データに基づいてPC信号(プリチャージ制御信号)を発生する点、ソースドライバIC14がPC信号をラッチし1Hの同期信号に同期してソース信号線18に印加する点に特徴がある。プリチャージモード(PMODE)信号により、プリチャージ信号の発生を容易に変更することができる。

【0225】

たとえば、PMODEとは、階調0のみをプリチャージするモード、階調0-7など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。

20

【0226】

1画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して(たとえば、重み付け処理など)プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【0227】

プリチャージをするかしないかの判定は、1画素行前の画像データ(あるいは、直前にソース信号線に印加された画像データ)にもとづいて行っても良い。たとえば、あるソース信号線18に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書き込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線18の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ81に1画素行分(FIFOのため2ラインのメモリが必要)のラインメモリを形成(配置)することのより容易に実現できる。

30

【0228】

なお、ソースドライバ回路(IC)14を1パネルに複数個使用するときは、図35に図示するように配線接続する。

40

【0229】

本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明するが、これに限定するものではない。1水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線18に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線18に書き込み、その後にプログラム電流をソース信号線18に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の技術的範疇である(本発明の範囲内である)。

【0230】

本発明のプリチャージ駆動では所定電圧をソース信号線18に印加する。また、ソース

50

ドライバICはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線18に出力するプリチャージ電圧はプログラム電圧となる。ソースドライバIC内にこのプリチャージ電圧のプログラム電圧回路371を導入した回路構成が図36である。

【0231】

図36は主として1つのソース信号線18に対応する1出力回路ブロック図である。階調に応じてプログラム電流を出力する電流階調回路334と、階調に応じたプリチャージ電圧を出力する電圧階調回路371で構成される。電流階調回路334と電圧階調回路371には映像データが印加される。電圧階調回路371の出力はスイッチ221a、221bがオンすることによりソース信号線18に印加される。スイッチ221aはプリチャージイネーブル(プリチャージENBL)信号と、プリチャージ信号(プリチャージSIG)で制御される。

10

【0232】

電圧階調回路371は、サンプルホールド回路、DA回路などで構成される(図35を参照のこと)。デジタルの映像データに基づいて、DA回路によりプリチャージ電圧に変換される。この変換されたプリチャージ電圧は、サンプルホールド回路381によりサンプルホールドされ、オペアンプを介してスイッチ221aの一端子に印加される。なお、DA回路は電圧階調回路371ごとに構成または形成する必要がなく、ソースドライバ回路(IC)14の外部にDA回路を構成し、このDA回路の出力を電圧階調回路371内でサンプルホールドしてもよい。また、ポリシリコン技術で形成してもよい。

20

【0233】

図37に図示するように、8ビットの映像DATAに対応する電圧(プログラム電圧)が、映像クロックに同期して電子ポリウム291から出力される。プログラム電圧は、駆動用トランジスタ11aにプリチャージ電圧として印加される電圧である。また、プログラム電圧は、この電圧を印加することにより、階調にほぼ対応した電流がEL素子15に印加されるように駆動用トランジスタ11aのゲート端子に保持される電圧である。

【0234】

プログラム電圧はCc容量に一時的に保持され、バッファアンプ231aから出力される。出力された電圧は、サンプルホールド回路(この実施例では切り換え回路のように図示している)381により、各出力端子93に順次振り分けられる(出力端子93a、93b、93c、93d・・・、93n、93a、93b、93c、・・・93n・・・)。振り分けはクロックCLKに同期して実施される。なお、本発明では、8ビットのアドレス信号PADRSにより、任意の端子にプログラム電圧を振り分けできるように構成されている。このように、アドレス信号PADRSにより任意の出力端子93に振り分け(8ビットであるから256本の端子のいずれかに振り分け可能である)できるように構成することにより、プログラム電圧を書き換えが必要な端子のみ新規のプログラム電圧を印加することができる。また、プログラム電圧の振り分けをランダム化することができる。プログラム電圧は容量Cに保持され(サンプリングされ)、バッファ回路231bの出力は、スイッチSpの制御により出力端子93に印加されたり、遮断されたりする。スイッチSpは図36では、スイッチ221aが該当する。

30

40

【0235】

電流階調回路334は、具体的には図22の回路構成が該当する。電流階調回路334のプログラム電流出力はスイッチSiにより制御される。以上のように、電流階調回路334と電圧階調回路371の出力はスイッチSi、Spにより制御され、プリチャージ駆動(電圧プログラム)+電流プログラミングが実現される。以上の信号は、出力端子93からソース信号線端子382に印加される。プログラム電圧はソース信号線18の寄生容量Caを短期間で充放電させる。

【0236】

電圧階調回路371の出力は、図38に図示するように、1Hの最初に印加される(記号Aで示す)。その後、電流出力回路334によりソース信号線にプログラム電流が供給

50

される（記号 B で示す）。つまり、プリチャージ電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタ 11a は目的電流に近い値まで、高速に設定される。その後、電流階調回路 334 が出力するプログラム電流により駆動用トランジスタ 11a の特性バラツキを補償する目的電流（＝プログラム電流）まで設定される。

【0237】

プリチャージ電圧信号が印加される A 期間は、1 H の $1/100$ 以上 $1/5$ 以下の期間が好ましい。または、 $0.2 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以下の期間に設定することが好ましい。したがって、A 期間以外が B 期間のプログラム電流の印加期間である。A 期間が短いとソース信号線 18 の電荷の充放電が十分に行われなため、書き込み不足が発生する。一方、長すぎると電流印加期間（B）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ 11a の電流補正不足となる。

10

【0238】

電圧印加期間（A 期間）は、1 H の最初から実施することが好ましいが、これに限定されない。たとえば、1 H の終わりのブランキング期間から開始してもよい。また、1 H（水平走査期間）の途中に A 期間を実施してもよい。つまり、1 H のいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、1 H の最初から $1/4$ H（ 0.25 H）の期間内に実施することが好ましい。

【0239】

図 38 の実施例では、電圧プリチャージ（A）の期間後、電流を印加（B 期間）としたがこれに限定するものではない。たとえば、図 39（a）に図示するように、1 H の期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（*A）期間としてもよい。

20

【0240】

図 39（a）でも理解できるように、ソース信号線 18 の電位がアノード電位（V_{dd}）に近い場合に、1 H の期間のすべてに（大半に）電圧が印加される。ソース信号線 18 の電位が 0（V）に近くなると、電圧プログラム（A 期間）と電流プログラム（B）が 1 H の期間内に実施される。なお、ソース信号線 18 の電位が 0（V）に近い場合（高階調領域）では、1 H の期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【0241】

図 39（a）の *A 以外の期間は、1 H の一定期間（A で示す）に電圧プログラムによる電圧をソース信号線 18 に印加し、その後、B の期間に電流プログラムによる電流を印加している。以上のように A 期間の電圧の印加により画素 16 の TFT 11a のゲート電位に所定電圧を印加し、概略 EL 素子 15 に流す電流が所望値になるようにしている。その後、B 期間のプログラム電流により、EL 素子 15 に流れる電流が所定値となるようにしている。*A 期間は、1 H 期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

30

【0242】

図 39（a）は、画素 16 の TFT 11a（駆動用トランジスタ）が P チャンネルの場合のソース信号線 18 への印加信号波形である。しかし、本発明はこれに限定するものではない。画素 16 の TFT 11a が N チャンネルであってもよい。この場合は、図 39（b）に図示するように、ソース信号線 18 の電位が 0（V）に近い場合に、1 H の期間のすべてに（大半に）電圧が印加される。ソース信号線 18 の電位がアノード電圧（V_{dd}）に近くなると、電圧プログラム（A 期間）と電流プログラム（B）が 1 H の期間に実施される。

40

【0243】

なお、ソース信号線 18 の電位が V_{dd} に近い場合（高階調領域）では、1 H の期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【0244】

本発明では、駆動用トランジスタ 11a は P チャンネルとして説明するがこれに限定す

50

るものではなく、駆動用トランジスタ 11a は N チャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ 11a が P チャンネルトランジスタであるとして説明を行うだけである。

【0245】

図 42 などの本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、1H 最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧の種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

10

【0246】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である。もちろん、電圧を印加してもよいことはいうまでもない。

【0247】

電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを出力端子 93 でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することはない。

20

【0248】

したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたがこれに限定するものではない。電流階調回路 334 からプログラム電流の出力した状態で、スイッチ 221（図 36 を参照のこと）をオンして、電圧階調回路 371 の電圧を出力端子 93 に印加してもよいことはいうまでもない。

【0249】

スイッチ 221 を閉じて出力端子 93 に電圧と印加した状態で、電流階調回路 334 からプログラム電流を出力してもよい。電流階調回路 334 は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

30

【0250】

図 40 に図示するように、1H 期間に印加するプログラムを電圧または電流の一方にしてもよいことはいうまでもない。図 40 において、A の期間は電圧プログラムが実施された 1H 期間であり、B の期間は電流プログラムが実施されている 1H 期間である。主として低階調領域では電圧プログラムが実施され（A で示す）、中間調以上の領域では電流プログラムが実施される（B で示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

40

【0251】

図 36 の本発明の実施例では、電圧階調回路 371 と電流階調回路 334 には、同一の映像 DATA が入力されている。したがって、映像 DATA のラッチ回路は電圧階調回路 371 と電流階調回路 334 と共通でよい。つまり、映像 DATA のラッチ回路は電圧階調回路 371 と電流階調回路 334 とに独立に設ける必要はない。共通の映像 DATA のラッチ回路からのデータに基づき、電流階調回路 334 または（および）電圧階調回路 371 がデータを出力端子 93 に出力される。

【0252】

50

図 4 2 は本発明の駆動方法のタイミングチャートである。図 4 2 において、(a) の D A T A は画像データである。(b) の C L K は回路クロックである。(c) の P c n t l は、プリチャージのコントロール信号である。P c n t l 信号が H レベルの時は、電圧駆動のみモード状態になり、L レベルの時、電圧 + 電流駆動モードになる。(d) の P t c はプリチャージ電圧あるいは電圧階調回路 3 7 1 からの出力の切り換え信号である。P t c 信号が H レベルの時は、プリチャージ電圧などの電圧出力がソース信号線 1 8 に印加される。P t c 信号が L レベルの時は、電流階調回路 3 3 4 からのプログラム電流がソース信号線に出力される。

【 0 2 5 3 】

たとえば、データ D (2)、D (3)、D (8) の時は、P c n t l 信号が H レベルであるから、ソース信号線 1 8 に電圧階調回路 3 7 1 から電圧が出力される (A 期間)。P c n t l が L レベルの時は、ソース信号線 1 8 にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間を A で示し、電流が出力される期間を B で示す。電圧を出力する期間 A は、P t c 信号で制御される。P t c 信号は、図 3 6 のスイッチ 2 2 1 のオンオフを制御する信号である。

10

【 0 2 5 4 】

P c n t l 信号が H レベルの時は、電圧駆動のみモード状態になり、L レベルの時、電圧 + 電流駆動モードになると説明した。電圧を印加する期間は、点灯率あるいは階調に応じて変化させることが好ましい。低階調の時は、電流駆動では画素にプログラム電流を完全には書き込むことができない。したがって、電圧駆動を実施することが好ましい。電圧を印加する期間を長くすることによって、電圧 + 電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。低点灯率の場合は、低階調状態の画素が多い。したがって、低階調状態 (低点灯率) の場合も、電圧を印加する期間を長くすることによって、電圧 + 電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。

20

【 0 2 5 5 】

以上のように、電圧 + 電流駆動モードであっても、点灯率あるいは画素に書き込む階調データ (映像データ) に応じて、電圧駆動状態の期間を変化させることが好ましい。つまり、E L 素子 1 5 に流す電流を小さくするときは (本発明では低点灯率範囲)、電圧駆動モード期間を長くし、E L 素子 1 5 に流す電流を大きくするときは (本発明では高点灯率範囲)、電圧駆動モード期間を短くするか、もしくは ' なし ' にするように制御あるいは調整もしくは装置を構成する。なお、点灯率の意味あるいは点灯率状態に関しては、本明細書内で詳細に説明しているので省略する。また、電圧 + 電流駆動モードにおいて電圧駆動モードに印加 (動作) 期間を、d u t y 比、基準電流比などを制御あるいは調整もしくは装置を構成してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

30

【 0 2 5 6 】

図 4 2 において、電圧出力期間 A と電流出力期間 B とを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ 2 2 1 (図 3 6 を参照) をオンして、電圧階調回路 3 7 1 の電圧を出力端子 9 3 に印加してもよいことは言うまでもない。また、スイッチ 2 2 1 を閉じて出力端子 9 3 に電圧と印加した状態で、電流階調回路 3 3 4 からプログラム電流を出力してもよい。A 期間後にスイッチ 2 2 1 をオープンにする。以上のように電流階調回路 3 3 4 は高インピーダンスであるので電圧回路と短絡状態にしても回路的には問題がない。

40

【 0 2 5 7 】

図 4 3 は、図 3 6 などの電流階調回路 3 3 4 と電圧階調回路 3 7 1 の構成部分をさらに詳細に記載したブロック図である。シフトレジスタ回路 (セレクタ回路) 3 5 2 はスタート信号 (S T 1)、クロック (C L K 1) により順次シフト動作する。シフト動作により、第 1 のラッチ回路 (保持回路) 3 5 1 a に、D A T A 9 ビットの保持位置を指定する。D A T A 9 ビットとは、映像信号 8 ビットとプリチャージ信号 1 ビットの計 9 ビットであ

50

る。ラッチ回路 351a は 1 水平期間に順次 DATA を保持していく。

【0258】

第 1 のラッチ回路に保持された DATA は、ロード信号 (LD) により 2 段目の第 2 のラッチ回路 351b にロードされる。ラッチ回路 351b に保持された DATA は、電圧階調回路 371 の入力と、電流階調回路 334 の入力となる。プリチャージ信号の 1 ビットは、電圧階調回路 371 のプログラム電圧と、電流階調回路 334 のプログラム電流の切り換え信号である。プリチャージ信号は、切り換え回路 (図 36 のスイッチ 221 などが該当する) 391 を時間的に制御し、出力端子 93 からプリチャージ信号がオンのときはまずプリチャージ電圧を出力し、その後プログラム電流を出力する。

【0259】

なお、電圧階調回路のサンプルホールド回路は比較的低速でしか動作しないため、電圧階調回路のサンプルホールド用として 1 段のラッチ回路を追加し、3 段のラッチ回路で構成してもよいことは言うまでもない。また、切り換え回路 391 は基板 30 にポリシリコン技術で形成してもよい。

【0260】

図 44 はプリチャージ電圧発生回路からの出力 (一例として Vpa、Vpb、Vpc) を IC チップ 15 の配線で伝達した構成である。配線は、IC チップの長手方向に形成される (各出力段 251 と垂直)。プリチャージ電圧 (プログラム電圧と同義あるいは類似) Vp (Vpa、Vpb、Vpc、open) を伝達するプリチャージ電圧 (プログラム電圧と同義あるいは類似) 配線 PS (PSa、PSb、PSc、PSd) がソース信号線 18 に直交するように配線される。プリチャージ電圧 (プログラム電圧と同義あるいは類似) 配線 PS と内部配線 222 とは直交し、各交点にスイッチ Sp が配置されている。スイッチ Sp は SEL 信号 (プリチャージ電圧の選択信号、open を含む) で切り換えられる。open がスイッチ Sp0a で選択された場合は、プリチャージ電圧は出力されない。スイッチ Sp は出力端子 93 ごとに自由に設定できる。スイッチ Sp は映像信号の大きさ、変化などにより適切なものが選択され制御される。

【0261】

図 43 と図 44 との差異は、図 43 が映像信号ごとに対応するプリチャージ電圧をサンプルホールドして発生させる構成である。サンプルホールドしたプリチャージ電圧は、出力端子ごとに、プリチャージビット (プリチャージ電圧を印加するか否かの判断ビット) により判断され印加される。図 44 は複数のプリチャージ電圧を発生させておき、1 つのプリチャージ電圧を選択する構成である。選択するプリチャージ電圧は、プリチャージビット (SEL 信号: どのプリチャージ電圧を印加するか指定ビット。ただし、プリチャージ電圧を印加しない (open) 場合もある) により判断され、ソース信号線 18 に印加される。

【0262】

なお、プリチャージ電圧 (プログラム電圧と同義あるいは類似) は 1 H の最初の期間に全ソース信号線 18 に一斉に印加される。したがって、SEL 信号もラッチして保持しておく必要がある。

【0263】

以上の実施例は、ソースドライバ IC 14 を介して、プリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ 30 基板に形成したプリチャージ電圧 (プログラム電圧と同義あるいは類似) 用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧 (プログラム電圧と同義あるいは類似) 線に印加されたプリチャージ電圧 (プログラム電圧と同義あるいは類似) をソース信号線 18 に印加するように構成してもよいことは言うまでもない。

【0264】

図 44 など、オープン機能 (open の選択、つまりプリチャージを実施しない) を設けている。しかし、これは説明を容易にするためであって、必ずしも構成あるいは形成

10

20

30

40

50

することに限定するものではない。

【0265】

以上の実施例では、プリチャージ電圧（プログラム電圧と同義あるいは類似）はアノード電圧に近い電圧であるとして説明をした、しかし、画素構成によっては、プリチャージ電圧（プログラム電圧と同義あるいは類似）がカソード電圧に近い場合がある。たとえば、駆動用トランジスタ11aがNチャンネルトランジスタで形成している場合、駆動用トランジスタ11aが、Pチャンネルトランジスタで吐き出し電流（図1の画素構成は吸い込み（シンク）電流）で電流プログラムが実施される場合である。この場合は、プリチャージ電圧（プログラム電圧と同義あるいは類似）はカソード電圧に近い電圧とする必要がある。

10

【0266】

図45では、プリチャージ電圧 V_{pc} を電子ボリウム291で発生させている。プリチャージ電圧 V_{pc} は V_{DATA} によりスイッチ S_x （ $x = 1 \sim 7$ ）が選択されて出力される。また、電圧 V_1 は8ビットの S_{DATA} が DA 変換回路511で DA 変換されて印加される。各プリチャージ電圧 V_{pc} は、 V_0 電圧を V_1 電圧を外付け抵抗 R_x （ $x = 1 \sim 6$ ）で発生される。

【0267】

スイッチ S （図42では $S_1 \sim S_7$ ）は V_{DATA} をデコードすることにより指定される。なお、選択できる V_{pc} の電圧の個数は、表示装置が6インチ以上の場合、表示装置の階調数の $1/8$ 以上にすることが好ましい（256階調の場合は、32階調以上）。特に、 $1/4$ 以上とすることが好ましい（256階調の場合は、64階調以上）。比較的高階調領域までプログラム電流の書き込み不足が発生するからである。6インチ以下の比較的小型の表示パネル（表示装置）では、選択できる V_{pc} の電圧の個数は、2以上にすることが好ましい。 V_{pc} が V_0 の1つであっても良好な黒表示を実現できるが、低階調領域で階調表示することが困難な場合があるからである。 V_{pc} が2以上であれば、 FR 制御により複数の階調を発生することができ、良好な画像表示を実現できる。

20

【0268】

図46の実施例のように、 V_2 電圧、 V_8 電圧、 V_{32} 電圧、 V_{128} 電圧と、4倍の階調に対応するように電圧端子を構成すると、折れ線ガンマのプリチャージ電圧回路を構成することができる。 V_2 電圧と V_8 電圧との電位差、 V_8 電圧と V_{32} 電圧との電位差、 V_{32} 電圧と V_{128} 電圧との電位差、 V_{128} 電圧と V_{255} 電圧との電位差はほぼ等しくなる。折れ線ガンマは駆動用トランジスタ11aの $V-I$ 特性と一致させる。

30

【0269】

図46の構成は、電圧端子は V_0 、 V_1 、 V_2 、 V_8 、 V_{32} 、 V_{128} 、 V_{255} の7端子の実施例である。しかし、本発明はこれに限定されるものではない。たとえば、端子位置を0、8、32、128、512としてもよい。つまり、 V_0 電圧端子、 V_8 電圧端子、 V_{32} 電圧端子、 V_{128} 電圧端子、 V_{512} 電圧端子を形成した実施例である。また、端子位置を0、1、2、8、32、128としてもよい。つまり、 V_0 電圧端子、 V_1 電圧端子、 V_2 電圧端子、 V_8 電圧端子、 V_{32} 電圧端子、 V_{128} 電圧端子を形成してもよい。もちろん、近傍であればよく、たとえば、 V_0 電圧端子、 V_1 電圧端子、 V_3 電圧端子、 V_7 電圧端子、 V_{31} 電圧端子、 V_{127} 電圧端子などであってもよい。

40

【0270】

以上のように、本発明は、少なくとも電圧端子の1組が4の倍数あるいはその近傍にしたものが本発明である。なお、4倍といっても、0階調から開始されるか、1階調から開始されるかにより異なる。たとえば、 V_0 、 V_1 、 V_2 、 V_8 、 V_{32} 、 V_{128} としても、 V_1 、 V_2 、 V_7 、 V_{31} 、 V_{127} などであってもよい。つまり、 V_n/V_{n-1} が4近傍になればよい。たとえば、 V_{127}/V_{31} も4近傍であるので本発明の技術的範疇である。 V_1 、 V_3 、 V_{12} 、 V_{31} 、 V_{255} などであっても1つの組み合わせである V_{12} と V_3 の関係、つまり V_{12}/V_3 が4であるから本発明の技術的範疇である。

50

【0271】

電流駆動方式では、低階調領域においてプログラム電流が小さくなり、書き込み不足が発生することが課題である。この課題の対策のために本発明では、プリチャージ駆動、電圧＋電流駆動、基準電流比制御などを実施する。

【0272】

電流駆動で書き込み不足が発生する原因は、図47に図示するようにソース信号線18の寄生容量 C_s による影響が大きい。寄生容量 C_s はゲート信号線17とソース信号線18との交差部などで発生する。

【0273】

以下の説明は説明を容易にするために、画素16の駆動用トランジスタ11aがPチャンネルトランジスタで、かつ吸い込み電流（ソースドライバ回路（IC）14に吸い込む電流）で電流プログラムを実施する場合であるとして説明をする。画素16の駆動用トランジスタ11aがNチャンネルトランジスタの場合あるいは駆動用トランジスタ11aを吐き出し電流（ソースドライバIC14から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。逆の関係に変更あるいは読み変えることは当業者であれば容易であるので説明を省略する。

【0274】

以下の説明は画素16の駆動用トランジスタ11aがPチャンネルに限定されるものではない。また、画素構成は図1の画素構成を例示して説明をするが、これに限定するものではなく、他の電流駆動の画素構成であればいずれでもよいことも言うまでもない。なお、以上の事項は、以前あるいはこれ以降に記載する本発明に適用されることはいうまでもない。

【0275】

図47(a)に図示するように、黒表示（低階調表示）から白表示（高階調表示）に変化する時は、ソースドライバ回路（IC）14がシンク電流で駆動することが主体である。ソースドライバ回路（IC）14がプログラム電流 I_{d1} （ I_w ）で寄生容量 C_s の電荷を吸い込む。電流を吸い込むことにより、寄生容量 C_s の電荷を放電し、ソース信号線18の電位が低下する。したがって、画素16の駆動用トランジスタ11aのゲート端子電位が低下し、プログラム電流 I_w を流すように電流プログラムが行われる。

【0276】

白表示（高階調表示）から黒表示（低階調表示）に変化する時は、画素16の駆動用トランジスタ11aの動作が主体である。ソースドライバ回路（IC）14は黒表示の電流を出力するが、微小であるため実効的に動作しない。駆動用トランジスタ11aが動作し、プログラム電流 I_{d2} （ I_w ）の電位に一致するように寄生容量 C_s を充電する。寄生容量 C_s に電荷を充電することにより、ソース信号線18の電位が上昇する。したがって、画素16の駆動用トランジスタ11aのゲート端子電位が上昇し、プログラム電流 I_w を流すように電流プログラムが行われる。

【0277】

しかし、図47(a)の駆動は低階調領域では電流 I_{d1} が小さく、また、定電流動作のため、寄生容量 C_s の電荷の放電に非常に長時間を必要とする。特に白輝度に到達するまでの時間が長いと白ウインドウ表示で上辺の輝度が所定輝度より低い。そのため、視覚的にめだつ。図47(b)は駆動用トランジスタ11aが非線形動作するため、比較的電流 I_{d2} が大きい。そのため、 C_s の受電時間が比較的是やい。また、特に黒輝度に到達するまでの時間が短いと白ウインドウ表示で下辺の輝度が低下しやすく、視覚的にめだたない。

【0278】

プログラム電流の書き込み不足の課題を解決するために、電圧＋電流駆動、突き抜け電圧駆動、 $duty$ 駆動、プリチャージ駆動を実施する。しかし、この方法だけでは、パネルが大型になれば、図47(a)の黒から白表示の実現が困難になる場合がある。この対策として、本発明では、1Hの前半にソースドライバ回路（IC）14からのプログラム

電流を増加させる。なお、後半は正規のプログラム電流 I_w を出力する。つまり、所定条件の時は、1 H の最初に所定のプログラム電流よりも大きな電流をソース信号線 18 に流し、後半に正規のプログラム電流をソース信号線 18 に流す。以下この実施例について説明をする。

【0279】

以下に説明する駆動方法（駆動装置あるいは駆動方式）を過電流（プリチャージ電流もしくはディスチャージ電流）駆動と呼ぶ。また、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は本発明の他の駆動方式あるいは駆動装置（電圧＋電流駆動、突き抜け電圧駆動、duty 駆動、プリチャージ駆動など）と組み合わせることができることは言うまでもない。

10

【0280】

図 48 は本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式を実施したソースドライバ回路（IC）14 の説明図である。図示を容易とするため、単位トランジスタ 224 が 1 個の電流回路はトランジスタ群 841 a とし、'1' で図示している。以下同様に、単位トランジスタ 224 が 2 個の電流回路はトランジスタ群 841 b とし、'2' で図示している。また、単位トランジスタ 224 が 4 個の電流回路はトランジスタ群 841 c とし、'4' で図示している。単位トランジスタ 224 が 8 個の電流回路はトランジスタ群 841 d とし、'8' で図示している。また、これらのトランジスタ群 841 の 1 出力段が電流出力回路 251 c である。なお、作図を容易にするため、RGB は各 6 ビットとしている。

20

【0281】

図 48 の構成は、過電流（プリチャージ電流もしくはディスチャージ電流）のプログラム電流を流すトランジスタ群はトランジスタ群 841 f としている。つまり、階調データの最上位ビットのスイッチ D5 をオンオフ制御することにより、過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線 18 に流す。過電流（プリチャージ電流もしくはディスチャージ電流）を流すことにより寄生容量 C_s の電荷を短時間で放電させることができる。

【0282】

最上位ビットを過電流（プリチャージ電流もしくはディスチャージ電流）制御に使用するの、以下の理由による。まず、説明を容易にするため、1 階調から 4 階調に変化させるとする。また、階調数は 256 階調（RGB 各 8 ビット）とする。

30

【0283】

1 階調から白階調に変化させる場合であっても、1 階調から中間調以上（128 階調以上）に変化させる場合は、プログラム電流の書き込み不足は発生しない。プログラム電流が比較的大きく、寄生容量 C_s の充放電が比較的早いからである。

【0284】

しかし、1 階調から中間調以下に変化する場合は、プログラム電流が小さく、1 H 期間に寄生容量 C_s を十分に充放電させることができない。したがって、1 階調から 4 階調などのように、中間調以下に階調変化させることを改善させる必要がある。この場合に、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

40

【0285】

以上のように変化する階調が中間調以下であるから、プログラム電流の指定に最上位ビットは使用しない。つまり、1 階調から変化させる場合、目標の階調は、'011111' 以下である（最上位ビットのスイッチ D5 は絶えずオフ状態である。本発明はたえず、オフ状態の最上位ビットを制御して過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【0286】

最初の階調（変化前の階調）が 1 であれば、スイッチ D0 がオンで単位トランジスタ 224 が 1 個動作する。目標の階調が 4 であれば、スイッチ D2 が動作し、単位トランジスタ 224 が 4 個動作する。しかし、単位トランジスタ 224 が 4 個では十分に寄生容量 C

50

sの電荷を目標値まで放電させることができない。そこで、スイッチD5を閉じトランジスタ群841fを動作させる。なお、D5スイッチの動作は、D2スイッチの動作に加えて実施してもよいし(1Hの前半をD5とD2スイッチをオンさせ、後半はD2スイッチのみをオンさせる)、1Hの前半はスイッチD5のみをオンさせ、後半はスイッチD2のみをオンさせてもよい。

【0287】

スイッチD5がオンすれば、単位トランジスタ224が32個動作する。したがって、D2スイッチのみの動作に比較して $32/4 = 8$ であるから8倍の速度で寄生容量Csの電荷を放電させることができる。したがって、プログラム電流の書き込み改善が可能である。

10

【0288】

スイッチD5をオンさせるか否かは、RGBの映像データごとにコントローラ回路(IC)で判断する。コントローラ回路(IC)からは判断ビットKDATAがソースドライバ回路(IC)14に印加される。KDATAは一例として4ビットである。KDATA = 0の時は、過電流(プリチャージ電流もしくはディスチャージ電流)駆動は実施しない。KDATA = 1の時はプリチャージ駆動(電圧+電流駆動)を実施する。KDATA = 2~15が過電流(プリチャージ電流もしくはディスチャージ電流)駆動を実施し、KDATAの大きさは、D5ビットをオンさせる時間を示す。

【0289】

KDATAはラッチ回路331で1H期間保持される。カウンタ回路332はHD(1Hの同期信号)でリセットされ、クロックCLKでカウントされる。カウンタ回路332とラッチ回路331のデータが比較され、カウンタ回路332のカウント値が、ラッチ回路331のデータ値(KDATA)よりも小さいとき、AND回路333は内部配線222bにオン電圧を出力しつづけ、スイッチD5のオン状態が維持される。したがって、トランジスタ群841fの単位トランジスタ224の電流が内部配線222aおよびソース信号線18に流れる。なお、電流プログラム時はスイッチ222bが閉じ、プリチャージ駆動時は、スイッチ221aが閉じ、スイッチ221bがオープン状態となる。

20

【0290】

図49はコントローラIC(回路)の動作の説明図である。ただし、1画素列(RGBの組)の処理の説明図である。映像データDATA(8ビット×RGB)は内部クロックに同期してラッチ回路351aと351bに2段ラッチされる。したがって、ラッチ回路351bには、1H前の映像データが保持され、ラッチ回路351aには現在の映像データが保持される。

30

【0291】

比較回路911は1H前の映像データと現在の映像データを比較し、KDATAの値を導出する。また、映像データDATAはソースドライバ回路(IC)14に転送される。また、コントローラIC(回路)はカウンタ332の上限カウント値CNTをソースドライバ回路(IC)14に転送する。

【0292】

KDATAは比較回路911で決定される。決定は、変化前の映像データ(1H前のデータ)と変化後の映像データ(現在のデータ)から決定される。1H前のデータとは、現在のソース信号線18の電位を示す。現在のデータとは、変化させるソース信号線18の目標電位を示す。

40

【0293】

図47に図示して説明したように、プログラム電流の書き込みは、ソース信号線18の電位を考慮して行うことが重要である。書き込み時間tは、 $T = ACV/I$ (A:比例定数、C:寄生容量の大きさ、V:変化する電位差、I:プログラム電流)で表すことができる。したがって、変化する電位差Vが大きければ書き込み時間が長くなる。一方、プログラム電流 $I = I_w$ が大きくすれば書き込み時間は短くなる。

【0294】

50

本発明では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動で I を大きくする。しかし、いずれの場合でも I を大きくすると、目標のソース信号線 18 電位を越える場合が発生する。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する場合には、電位差 V を考慮する必要がある。現在のソース信号線 18 の電位と、次の映像データ（現在の映像データ（次に印加する映像データ = （変化後：図 50 の縦方向））から決定される目標のソース信号線 18 電位から、 $K D A T A$ を求める。

【0295】

$K D A T A$ は $D 5$ スイッチをオンさせる時間の場合もあるが、過電流（プリチャージ電流もしくはディスチャージ電流）駆動での電流の大きさでもよい。また、 $D 5$ スイッチのオン時間（時間が長いほどソース信号線 18 に印加する過電流（プリチャージ電流もしくはディスチャージ電流）印加時間が長くなり、過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）と、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ（大きさが大きいほどソース信号線 18 に印加する過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）の両方を組み合わせてもよい。説明を容易にするため、最初、 $K D A T A$ は $D 5$ スイッチのオン時間であるとして説明をする。

10

【0296】

比較回路 911 は 1 H 前と変化後（図 50 を参照のこと）の映像データを比較して $K D A T A$ の大きさを決定する。 $K D A T A$ に 0 以上のデータが設定される場合は以下の条件に合致する場合である。

20

【0297】

1 H 前の映像データが低階調領域である場合（0 階調以上全階調の $1/8$ 以下の領域であることが好ましい。たとえば、64 階調の場合は、0 階調以上 8 階調以下である。）で、かつ、変化後の映像データが中間調領域以下である場合（1 階調以上全階調の $1/2$ 以下の領域であることが好ましい。

【0298】

たとえば、64 階調の場合は、1 階調以上 32 階調以下の領域である。）に $K D A T A$ を設定する。設定するデータは、駆動用トランジスタ 11a の $V I$ 特性カーブを考慮して決定する。ソース信号線 18 の $V d d$ 電圧から、0 階調目の電圧である $V 0$ （完全黒表示）までの電位差は大きい。また、 $V 0$ 電圧から、1 階調目の $V 1$ までの電位差は大きい。次の 2 階調目である $V 2$ 電圧と $V 1$ 電圧までの電位差は、 $V 0$ 電圧から $V 1$ 電圧までの電位差よりもかなり小さい。以降、 $V 3$ と $V 2$ 、 $V 4$ と $V 3$ になるにつれて電位差は小さくなる。以上のように高階調側になるにしたがって、電位差が小さくなるのは、駆動用トランジスタ 11a の $V I$ 特性が非線形であることにほかならない。

30

【0299】

階調間の電位差は、寄生容量 $C s$ の電荷の放電量に比例する。したがって、プログラム電流の印加時間つまり、過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流） $I d$ の印加時間と大きさに連動する。たとえば、1 H 前の $V 0$ （階調 0）と変化後の $V 1$ （階調 1）の階調差が小さいからといって、過電流（プリチャージ電流もしくはディスチャージ電流） $I d$ の印加時間を短くすることはできない。電位差が大きいからである。

40

【0300】

逆に、階調差が大きくとも過電流（プリチャージ電流もしくはディスチャージ電流）を大きくする必要がない場合もある。たとえば、階調 10 と階調 32 では、階調 10 の電位 $V 10$ と階調 32 の電位 $V 32$ の電位差も小さく、階調 32 のプログラム電流 $I w$ も大きい。ため、寄生容量 $C s$ を短時間で充放電できるからである。

【0301】

図 50 は横軸に 1 H 前（変化前、つまり現在のソース信号線 18 電位を示す）の映像データの階調番号を示している。また、縦軸に現在の映像データの階調番号（変化後、つま

50

り変化させる目標のソース信号線 18 電位を示す)を示している。

【0302】

0 階調目 (1 H 前) から 0 階調目 (変化後) に変化させるのは、電位変化がないため、K D A T A は 0 でよい。ソース信号線 18 の電位変化がないからである。0 階調目 (1 H 前) から 1 階調目 (変化後) に変化させるのは、V 0 電位から V 1 電位に変化させる必要がある。V 1 - V 0 電圧は大きいから、K D A T A は最高値の 15 (例である) に設定する。ソース信号線 18 の電位変化が大きいからである。1 階調目 (1 H 前) から 2 階調目 (変化後) に変化させるのは、V 1 電位から V 2 電位に変化させる必要があり、V 2 - V 1 電圧は比較的大きいから、K D A T A は最高値近傍の 12 (一例である) に設定する。ソース信号線 18 の電位変化が大きいからである。3 階調目 (1 H 前) から 4 階調目 (変化後) に変化させるのは、V 3 電位から V 4 電位に変化させる必要がある。しかし、V 4 - V 3 電圧は比較的小さいため、K D A T A は小さい値の 2 に設定する。ソース信号線 18 の電位変化が小さくてすみ、寄生容量 C s の充放電が短時間で実施でき、目標のプログラム電流を画素 16 に書き込むことができるからである。

10

【0303】

変化前が低階調領域であっても、変化後の階調が中間調以上の場合は、K D A T A の値は 0 である。変化後の階調に対応するプログラム電流が大きく、1 H 期間内にソース信号線 18 の電位を目標電位または近傍の電位まで変化させることができるからである。たとえば、2 階調から 38 階調目に変化させる場合は、K D A T A = 0 である。

【0304】

20

変化後が変化前より低階調の場合において、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動は実施しない。38 階調から 2 階調目に変化させる場合は、K D A T A = 0 である。この場合は、図 47 (b) が該当し、主として画素 16 の駆動用トランジスタからプログラム電流 I d が寄生容量 C s に供給されるからである。図 47 (b) の場合は、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動方式は実施せず、電圧 + 電流駆動方式あるいはプリチャージ電圧駆動を実施することが好ましい。

【0305】

本発明の過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動方式において、基準電流を増加させる駆動方式あるいは基準電流比と d u t y を制御する駆動方式と組み合わせることは効果がある。基準電流の増加により、図 48 の構成では過電流 (プリチャージ電流もしくはディスチャージ電流) も増加させることができるからである。したがって、寄生容量 C s の充放電時間も短くなる。基準電流の大きさあるいは基準電流比の制御により、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動方式の過電流 (プリチャージ電流もしくはディスチャージ電流) の大きさを制御することができる点も本発明の特徴ある構成である。

30

【0306】

以上のように、K D A T A がコントロール IC (回路) で決定され、K D A T A がソースドライバ回路 (IC) 14 に差動信号で伝送される。伝送された K D A T A は図 48 のラッチ回路 331 で保持され、D 5 スイッチが制御される。

【0307】

40

図 50 の表の関係は、マトリックス R O M テーブルを用いて K D A T A を設定してもよいが、計算式を用いてコントローラ IC (回路) の乗算器を用いて K D A T A の算出 (導出) を行ってもよい。その他、コントローラ IC (回路) の外部電圧の変化により K D A T A を定めてもよい。また、コントローラ IC (回路) で実施することに限定されるものではなく、ソースドライバ回路 (IC) 14 で実施してもよいことは言うまでもない。

【0308】

本発明は、基準電流の大きさによりプログラム電流 I w の大きさが基準電流に比例して変化する。したがって、図 48 などの過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動の過電流 (プリチャージ電流もしくはディスチャージ電流) の大きさも基準電流の大きさに比例して変化する。図 50 で説明した K D A T A の大きさも基準電流の大き

50

さの変化に連動させる必要があることは言うまでもない。つまり、K D A T Aの大きさは、基準電流の大きさに連動させるあるいは基準電流の大きさを考慮することが好ましい。

【0309】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の技術的思想は、プログラム電流の大きさ、駆動用トランジスタ11aからの出力電流などに対応して過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、印加時間、実効値を設定するものである。

【0310】

比較回路911または比較手段などではR G Bの映像データごとに比較を実施するが、R G Bデータから輝度（Y値）を求めて、K D A T Aを算出してもよいことは言うまでもない。つまり、単に、各R G Bで比較するのではなく、色度変化、輝度変化を考慮し、また、階調データの連続性、周期性、変化割合を考慮してK D A T Aを算出あるいは決定もしくは演算する。また、1画素単位でなく、周辺の画素の映像データもしくは映像データに類するデータを考慮してK D A T Aを導出してもよいことは言うまでもない。たとえば、画面64を複数のブロックに分割し、各ブロック内の映像データなどを考慮してK D A T Aを決定する方式が例示される。

10

【0311】

図48などにおいて、D5スイッチが選択される時間は、1H（1水平走査期間）の3/4期間以下1/32期間以上に設定することが好ましい。さらに好ましくは1H（1水平走査期間）の1/2期間以下1/16期間以上に設定することが好ましい。過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が長いと、正規のプログラム電流を印加する期間が短くなり、電流補償が良好にならない場合がある。

20

【0312】

過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が短いと、目標のソース信号線18の電位まで到達することができない。過電流（プリチャージ電流もしくはディスチャージ電流）駆動では、目標の階調のソース信号線18電位まで行うことが好ましいのは言うまでもない。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）駆動のみで完全に目標のソース信号線電位にする必要はない。1Hの前半の過電流（プリチャージ電流もしくはディスチャージ電流）駆動後に、正規の電流駆動を実施し、過電流（プリチャージ電流もしくはディスチャージ電流）駆動により生じた誤差は、正規の電流駆動によるプログラム電流で補償されるからである。

30

【0313】

図51は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式を実施した場合の、ソース信号線18の電位変化を図示している。図51（a）はD5スイッチを1/（2H）期間オン状態にした場合である。1水平走査期間（1H）の最初であるt1よりD5スイッチをオンし、32個分の単位トランジスタ224の単位電流が出力端子93から吸い込まれる。D5スイッチは1/（2H）のt2期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）I_{d2}がソース信号線18に流れる。したがって、ソース信号線18の電位は目標電位のV_n電位近傍のV_m電位まで低下する。その後（t2後）、D5スイッチはオフ状態となり、正規のプログラム電流I_wが1Hの終了（t3）まで、ソース信号線18に流れて、ソース信号線18電位は目標のV_n電位となる。

40

【0314】

ソースドライバ回路（IC）14は定電流動作する。したがって、t2～t3期間には定電流のプログラム電流I_wが流れる。このプログラム電流I_wにより、寄生容量C_sが目標電位になるまで充放電されると、画素16の駆動用トランジスタ11aから電流Iが流れ、ソース信号線18の電位は目標プログラム電流I_wが流れるように保持される。したがって、駆動用トランジスタ11aは所定プログラム電流I_wが流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも

50

、画素 16 の駆動用トランジスタ 11 a により補正される。

【0315】

図 5 1 (b) は D 5 スイッチを $1 / (4 H)$ 期間オン状態にした場合である。1 水平走査期間 (1 H) の最初である t_1 より D 5 スイッチをオンし、32 個分の単位トランジスタ 224 の単位電流が出力端子 93 から吸い込まれる。D 5 スイッチは $1 / (4 H)$ の t_4 期間までの間、オン状態が維持され、過電流 (プリチャージ電流もしくはディスチャージ電流) I_{d2} がソース信号線 18 に流れる。したがって、ソース信号線 18 の電位は目標電位の V_n 電位近傍の V_m 電位まで低下する。その後 (t_4 後) 、D 5 スイッチはオフ状態となり、正規のプログラム電流 I_w が 1 H の終了 (t_3) まで、ソース信号線 18 に流れて、ソース信号線 18 電位は目標の V_n 電位となる。

10

【0316】

ソースドライバ回路 (IC) 14 は定電流動作する。したがって、 $t_4 \sim t_3$ 期間には定電流のプログラム電流 I_w が流れる。このプログラム電流 I_w により、寄生容量 C_s が目標電位になるまで充放電されると、画素 16 の駆動用トランジスタ 11 a から電流 I が流れ、ソース信号線 18 の電位は目標プログラム電流 I_w が流れるように保持される。したがって、駆動用トランジスタ 11 a は所定プログラム電流 I_w が流れるように保持される。以上のように、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動の過電流 (プリチャージ電流もしくはディスチャージ電流) の精度は必要ない。精度がなくとも、画素 16 の駆動用トランジスタ 11 a により補正される。

【0317】

20

図 5 1 (c) は D 5 スイッチを $1 / (8 H)$ 期間オン状態にした場合である。1 水平走査期間 (1 H) の最初である t_1 より D 5 スイッチをオンし、32 個分の単位トランジスタ 224 の単位電流が出力端子 93 から吸い込まれる。D 5 スイッチは $1 / (8 H)$ の t_5 期間までの間、オン状態が維持され、過電流 (プリチャージ電流もしくはディスチャージ電流) I_{d2} がソース信号線 18 に流れる。したがって、ソース信号線 18 の電位は目標電位の V_n 電位近傍の V_m 電位まで低下する。その後 (t_5 後) 、D 5 スイッチはオフ状態となり、正規のプログラム電流 I_w が 1 H の終了 (t_3) まで、ソース信号線 18 に流れて、ソース信号線 18 電位は目標の V_n 電位となる。

【0318】

以上のように、単位トランジスタ 224 の動作個数と、1 つの単位トランジスタ 224 の単位電流の大きさが固定値である。したがって、D 5 スイッチのオン時間により、比例して寄生容量 C_s の充放電時間を操作することができ、ソース信号線 18 の電位を操作することができる。なお、説明を容易にするため、寄生容量 C_s を過電流 (プリチャージ電流もしくはディスチャージ電流) により充放電させるとしているが、画素 16 のスイッチトランジスタなどのリークもあるから、 C_s の充放電に限定されるものではない。

30

【0319】

以上のように、過電流 (プリチャージ電流もしくはディスチャージ電流) の大きさが単位トランジスタ 224 の動作個数により把握できる点が本発明の特徴ある構成である。書き込み時間 t は、 $T = A C V / I$ (A : 比例定数、 C : 寄生容量の大きさ、 V : 変化する電位差、 I : プログラム電流) で表すことができるから、 $K D A T A$ も値も、寄生容量 (アレイ設計時に把握できる) 、駆動用トランジスタ 11 a の $V I$ 特性 (アレイ設計時に把握できる) などから理論値に $K D A T A$ の値を決定できる。

40

【0320】

図 4 8 の実施例は、最上位ビット D 5 スイッチを操作することにより、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動の過電流 (プリチャージ電流もしくはディスチャージ電流) I_d の大きさ、印加時間を制御するものであった。本発明はこれに限定するものではない。最上位ビット以外のスイッチを操作あるいは制御してもよいことは言うまでもない。

【0321】

図 5 2 は、ソースドライバ回路 (IC) 14 が各 R G B 8 ビット構成である場合におい

50

て、最上位ビットのスイッチ D 7 と最上位ビットから 2 番目のスイッチ D 6 を K D A T A により制御した構成である。なお、説明を容易にするため、D 7 ビットには 1 2 8 個の単位トランジスタ 2 2 4 が形成または配置されているとし、D 6 ビットには 6 4 個の単位トランジスタ 2 2 4 が形成または配置されているとする。

【0322】

図 5 2 (a 1) は D 7 スwitchの動作を示している。図 5 2 (a 2) は D 6 スwitchの動作を示している。図 5 2 (a 3) はソース信号線 1 8 の電位変化を示している。図 5 2 (a) では D 7、D 6 のスイッチを同時に動作するため、単位トランジスタ 2 2 4 は 1 2 8 + 6 4 個が同時に動作し、出力端子 9 3 からソースドライバ回路 (I C) 1 4 に流れ込む。したがって、階調 0 の V 0 電圧から階調 3 の V 3 電圧まで高速にソース信号線 1 8 電位を変化させることができる。なお、t 2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I w が出力端子 9 3 からソースドライバ回路 (I C) 1 4 に吸い込まれる。

【0323】

同様に、図 5 2 (b 1) は D 7 スwitchの動作を示している。図 5 2 (b 2) は D 6 スwitchの動作を示している。図 5 2 (b 3) はソース信号線 1 8 の電位変化を示している。図 5 2 (b) では D 7 スwitchのみが動作するため、単位トランジスタ 2 2 4 は 1 2 8 個が同時に動作し、出力端子 9 3 からソースドライバ回路 (I C) 1 4 に流れ込む。したがって、階調 0 の V 0 電圧から階調 2 の V 2 電圧まで高速にソース信号線 1 8 電位を変化させることができる。図 5 2 (a) より変化速度は小さい。しかし、変化する電位が V 0 から V 2 であるから、適正である。なお、t 2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I w が出力端子 9 3 からソースドライバ回路 (I C) 1 4 に吸い込まれる。

【0324】

同様に、図 5 2 (c 1) は D 7 スwitchの動作を示している。図 5 2 (c 2) は D 6 スwitchの動作を示している。図 5 2 (c 3) はソース信号線 1 8 の電位変化を示している。図 5 2 (c) では D 6 スwitchのみが動作するため、単位トランジスタ 2 2 4 は 6 4 個が同時に動作し、出力端子 9 3 からソースドライバ回路 (I C) 1 4 に流れ込む。したがって、階調 0 の V 0 電圧から階調 1 の V 1 電圧まで高速にソース信号線 1 8 電位を変化させることができる。図 5 2 (b) より変化速度は小さい。しかし、変化する電位が V 0 から V 1 であるから、適正である。なお、t 2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I w が出力端子 9 3 からソースドライバ回路 (I C) 1 4 に吸い込まれる。

【0325】

以上のように K D A T A により、スイッチのオン期間だけでなく、複数のスイッチを操作あるいは動作させ、動作させる単位トランジスタ 2 2 4 個数を変化させることにより、適正なソース信号線電位を達成できる。

【0326】

図 5 2 では、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動によるスイッチ D (D 6、D 7) を t 1 から t 2 の期間に動作させるとしたが、これに限定するものではなく、図 4 2 に図示あるいは説明したように、t 2、t 3、t 4 などのように K D A T A の値によって変化あるいは変更してもよいことは言うまでもない。また、過電流 (プリチャージ電流もしくはディスチャージ電流) を印加している期間に基準電流あるいは基準電流の大きさを制御あるいは変更し、過電流 (プリチャージ電流もしくはディスチャージ電流) の大きさを調整してもよい。なお、正規のプログラム電流を印加している期間は基準電流あるいは基準電流の大きさは正規の値にする。

【0327】

操作するスイッチは D 7、D 6 に限定するものではなく、D 5 など他のスイッチも同時にあるいは選択して動作あるいは制御してもよいことは言うまでもない。たとえば、図 3 8 が実施例である。a 期間の例では、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動として 1 / (2 H) の期間 D 7 スwitchをオン状態にして、1 2 8 個の単位電流からなる過電流 (プリチャージ電流もしくはディスチャージ電流) をソース信号線 1 8 に印加している。

【0328】

b 期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として $1/(2H)$ の期間 D7、D6 スイッチをオン状態にして、 $128+64$ 個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線 18 に印加している。

【0329】

c 期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として $1/(2H)$ の期間 D7、D6、D5 スイッチをオン状態にして、 $128+64+32$ 個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線 18 に印加している。

10

【0330】

d 期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として $1/(2H)$ の期間 D7、D6、D5 スイッチと前記スイッチに該当しない映像データのスイッチ（たとえば、映像データが 4 であれば、D2 スイッチ）をオン状態にして、 $128+64+32+\alpha$ 個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線 18 に印加している。

【0331】

図 65 は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図 65 では、外部から Y/U V（輝度/色差）映像信号と、コンポジット（COMP）映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、

20

【0332】

スイッチ回路 1121 で選択された映像信号は、デコーダおよび A/D 回路によりデコードおよび A/D 変換され、デジタルの RGB 画像データに変換される。RGB 画像データは各 8 ビットである。また、RGB 画像データはガンマ回路 1124 でガンマ処理される。同時に輝度（Y）信号が求められる。ガンマ処理により、RGB 画像データは各 10 ビットの画像データに変換される。

【0333】

ガンマ処理後、画像データは FRC 処理または誤差拡散処理が処理回路 1129 で行われる。FRC 処理または誤差拡散処理により RGB 画像データは 6 ビットに変換される。この画像データは AI 処理回路 1126 で AI 処理あるいはピーク電流処理が実施される。また、動画検出回路 1127 で動画検出が行われる。同時に、カラーマネージメント回路 1128 でカラーマネージメント処理が行われる。

30

【0334】

AI 処理回路 1126、動画検出回路 1127、カラーマネージメント回路 1128 の処理結果は演算回路 1129 に送られ、演算処理回路 1129 で制御演算され、フレーム間制御変換、映像データ変換、duty 比制御、基準電流比制御データに変換され、変換された結果が、ソースドライバ回路（IC）14 およびゲートドライバ回路 12 に制御データとして送出される。

【0335】

なお、コントローラ 722 の機能は、ソースドライバ回路（IC）14 に組み込んで一体としてもよいことは言うまでもない。

40

【0336】

また、コントローラ 722 はソースドライバ回路（IC）14 などにコマンドを転送する。転送したコマンドは、ソースドライバ回路（IC）14 の電源が印加されているときは、保持される。しかし、電源がオフされると消去される。この課題に対しては、図 67 に図示するように、ソースドライバ回路（IC）14 内に ROM 3111 を形成し、コマンドなどを ROM 3111 に設定しておいてもよい。ROM 3111 はヒューズ ROM、EEPROM で形成してもよい。また、フラッシュ RAM であってもよい。

【0337】

50

d u t y 比制御、基準電流比制御、ピーク電流制御などは、O S D（オンスクリーンディスプレイまたはオンスクリーンデマンド）には適用しないことが好ましい。O S Dでは、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。O S Dにおいても、ピーク電流制御などを行うと、メニューの表示状態によって画面が暗くなったり明るくなったりし、視覚的に不具合が発生する。

【0338】

この課題に対しては、O S Dのデータ（O S D D A T A）と映像データ（動画データ）とを別のコントロール回路1126で処理をする。基本的には、O S Dデータは輝度変調を実施しない。

【0339】

なお、コントローラ回路（I C）722に関しても、1チップ化することに限定するものではない。たとえば、ゲートドライバ回路12を制御するコントローラ回路（I C）722Gと、ソースドライバ回路（I C）14を制御するコントローラ回路（I C）722Sに分離してもよい。分離により処理内容が明確になり、コントローラI Cを小サイズ化することが可能である。

【0340】

d u t y 比制御データはゲートドライバ回路12bに送られ、d u t y 比制御が実施される。一方、基準電流比制御データはソースドライバ回路（I C）14に送られ、基準電流比制御が実施される。ガンマ補正され、F R Cまたは誤差拡散処理された画像データもソースドライバ回路（I C）14に送られる。

【0341】

画像データ変換は、ガンマ回路1124のガンマ処理により行う必要がある。ガンマ回路1124は、多点折れガンマカーブにより階調変換を行う。256階調の画像データは、多点折れガンマカーブにより1024階調に変換される。ガンマ回路1124により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。

【0342】

以上の説明ではd u t y 比で制御するとして説明したが、d u t y 比は、所定期間（通常は1フィールドまたは1フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるE L素子15の点灯期間である。つまり、d u t y 比1/8とは、1フレーム（フィールド）の1/8の期間（1F/8）の間、E L素子15が点灯していることを意味する。したがって、d u t y 比は、画素16が書き換えられる周期時間をT fとし、画素の点灯期間T aとした時、d u t y 比 = T a / T fと読み替えることができる。

【0343】

なお、画素16が書き換えられる周期時間をT fとし、T fを基準とするとしたがこれに限定されるものではない。本発明のd u t y 比制御駆動は、1フレームあるいは1フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を1周期としてd u t y 比制御を実施してもよい。したがって、T fは画素を書き換える周期だけに限定されるものではなく、1フレームあるいは1フィールド以上であってもよい。たとえば、1フィールドあるいは1フレームごとに点灯期間T aがことなる場合は、繰り返し周期（期間）をT fとし、この期間の総点灯期間T aを採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間をT aとしてもよい。d u t y 比についても同様である。d u t y 比がフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均d u t y 比を算出して用いればよい。

【0344】

したがって、白ラスタ表示でのプログラム電流の総和をS wとし、任意の自然画像でのプログラム電流の総和をS sとし、最小の点灯期間をT a s、最大の点灯期間をT a m（通常はT a m = T fであるからT a m / T f = 1）とした時、S w × (T a s / T f) S s × (T a m / T f) の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

10

20

30

40

50

【 0 3 4 5 】

基準電流の制御により、プログラム電流をリニアに調整することができる。1つあたりの単位トランジスタ224の出力電流が変化するからである。単位トランジスタ224の出力電流を変化させるとプログラム電流 I_w も変化する。画素のコンデンサ19にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、EL素子15に流れる電流も大きくなる。EL素子15に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりEL素子15の発光輝度をリニアに変化させることができる。

【 0 3 4 6 】

本発明のソースドライバ回路（IC）14は、出力端子93に接続される単位トランジスタ224の個数を制御することによりプログラム電流 I_w を変化させるものであった。また、プログラム電流 I_w は基準電流 I_c を変化させることにより実現した。 10

【 0 3 4 7 】

しかし、本発明の基準電流比制御などは限定するものではない、一定の基準となるもの（電圧、電流、設定データなど）を変化し、この変化により出力端子93から出力される電流 I_w を変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子93のプログラム電流 I_w が同一割合で変化させることが重要である。なお、プログラム電流 I_w の変化に限定するものではない。プログラム電圧であってもよい。各出力端子93のプログラム電圧が同一割合で変化させることにより、表示画面64の輝度を調整することができるからである。また、RGB端子で変化させることによりホワイトバランスを調整することができるからである。 20

【 0 3 4 8 】

本発明は、説明した基準電流比制御方式と、duty比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、基準電流比制御方式とduty比制御方式を組み合わせる実施することが好ましい。

【 0 3 4 9 】

さらに、本発明の駆動方式について説明をする。本発明の駆動方法は、EL表示パネルに消費される消費電流の上限にリミットすることが1つの目的である。EL表示パネルはEL素子15に流れる電流を輝度が比例関係にある。したがって、EL素子15に流れる電流を増大させれば、EL表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流（＝消費電力）も増大する。 30

【 0 3 5 0 】

携帯装置などのモバイル機器に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の1つの目的である。

【 0 3 5 1 】

画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像（ダイナミックレンジが広い、コントラスト比が高い、階調表現力が大きいなど）変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の2つめの目的である。以上の目的を実現する本発明をAI駆動と呼ぶことにする。 40

【 0 3 5 2 】

説明を容易にするために、本発明のICチップ14は64階調表示であるとする。AI駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバ回路（IC）14は64階調表示とし、画像データは256階調とする。この画像データをEL表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力256階調を1024階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバIC14の64階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（FRC）処理が行われ、ソースド 50

ライバ I C 1 4 に印加される。

【 0 3 5 3 】

1 画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスタは 6 4 階調表示の場合は画像データとしては 6 3 であるから、表示画面 6 4 の画素数 $\times$ 6 3 が画像データの総和である。1 / 1 0 0 の白ウインドウ表示で、白表示部が最大輝度の白表示では、表示画面 6 4 の画素数 $\times$ (1 / 1 0 0) $\times$ 6 3 が画像データの総和である。

【 0 3 5 4 】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、d u t y 比制御あるいは基準電流比制御を行う。

10

【 0 3 5 5 】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの 1 フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより映像信号の平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルを A D 変換して画像データの総和としてもよい。この場合は、画像データは A P L レベルとも言うことができる。

【 0 3 5 6 】

3 0 フレームから 3 0 0 フレーム期間の画像データの総和あるいは総和を推定できるデータを求め、このデータの大きさに基づいて、d u t y 比制御を行うこと好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。

20

【 0 3 5 7 】

表示画面 6 4 を構成する画像のすべてのデータを加算する必要はなく、表示画面 6 4 の 1 / W (W は 1 より大きい値) をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。たとえば、1 画素とばしで映像データをサンプリングし、サンプリングされた映像データから総和を求めるなどの方法が例示される。また、1 画素行ごとに 1 または複数の画素の映像データをサンプリングし、サンプリングされた映像データから総和を求める方法が例示される。

【 0 3 5 8 】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像の A P L レベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするため A P L レベルと呼ぶ。

30

【 0 3 5 9 】

白ラスタの時に A P L レベルは画像が R G B 各 6 ビットであるから 6 3 (6 3 階調目であるからデータの表現としては 6 3 で示されている) $\times$ 画素数 (Q C I F パネルの場合は 1 7 6 $\times$ R G B $\times$ 2 2 0) となる。したがって、A P L レベルは最大となる。ただし、R G B の E L 素子 1 5 で消費する電流は異なるから、R G B で分離して画像データを算出することが好ましい。

40

【 0 3 6 0 】

この課題に対して、図 6 6 に図示する演算回路を使用する。図 6 6 において、1 1 3 1、1 1 3 2 は乗算器である。1 1 3 1 は発光輝度を重み付けする乗算器である。R、G、B では視感度が異なる。N T S C での視感度は、R : G : B = 3 : 6 : 1 である。したがって、R の乗算器 1 1 3 1 R では、R 画像データ (R d a t a) に対して 3 倍の乗算を行う。また、G の乗算器 1 1 3 1 G では、G 画像データ (G d a t a) に対して 6 倍の乗算を行う。また、B の乗算器 1 1 3 1 B では、B 画像データ (B d a t a) に対して 1 倍の乗算を行う。ただし、この記述は概念的である。E L 素子は R G B で効率が異なっているからである。

50

【0361】

EL素子15はRGBで発光効率が異なる。通常、Bの発光効率が最も悪い。次にGが悪い。Rが最も発光効率が良い。そこで、乗算器1132で発光効率の重み付けを行う。Rの乗算器1132Rでは、R画像データ(Rdata)に対してRの発光効率の乗算を行う。また、Gの乗算器1132Gでは、G画像データ(Gdata)に対してGの発光効率の乗算を行う。また、Bの乗算器1132Bでは、B画像データ(Bdata)に対してBの発光効率の乗算を行う。

【0362】

乗算器1131および1132の結果は、加算器1133で加算され、総和回路1134に蓄積される。この総和回路1134の結果にもとづき、duty比制御、基準電流比

10

制御を実施する。
以上の実施例では、映像データに、EL素子15などの効率を考慮し、所定値を乗算することによりデータを求める。本発明は、映像データから表示パネルのアノードまたはカソード端子に流れる電流を求めるものである。

【0363】

通常、RGBのEL素子15は、EL材料ごとに発光効率が既知であり、電流と輝度の関係がわかっている。また、EL表示パネルは生産する時の目標色温度が決定されている。したがって、EL表示パネルの表示サイズと目標輝度が決定されれば、目標色温度にするための、EL表示パネルに流すRGB電流の比率と大きさがわかる。このことから、EL表示パネルのアノード端子あるいはカソード端子に流す電流を所定値にすることにより

20

、目標とする輝度と色温度を得ることができる。

【0364】

アノード端子あるいはカソード端子に流れる電流は映像データの総和に比例する。以上のことから、映像データの総和からアノード電流(カソード電流)を求めることができる。アノード電流とは表示領域に接続されたアノード端子に流れ込む電流である。カソード電流とは表示領域に接続されたカソード端子から流れ出す電流である。アノード電圧またはカソード電圧は固定値であるから、映像データからEL表示パネルの消費電力を制御することができる。

【0365】

つまり、映像データ(の総和)の大きさあるいは大きさの変化をリアルタイムでモニタ(演算)することにより、EL表示パネルが必要とするカソード(アノード)電流を得ることができる。この電流の大きさをどの大きさに抑制すべきであるかがわかっているれば、基準電流比制御、duty比制御により電流の大きさを制御することができる。

30

【0366】

もちろん、アノード電流あるいはカソード電流の大きさをAD(アナログデジタル)変換することにより、変換されたデジタルデータから基準電流比制御、duty比制御により電流の大きさを制御することができる。また、アナログデータを直接用いてオペアンプなどにより増幅率のフィードバック制御を実施することにより、基準電流比制御、duty比制御により電流の大きさを制御することができる。つまり、制御方式としてはデジタル、アナログ方式を問わない。

40

【0367】

入力データはRGBデータ(赤はRDATA、緑はGDATA、青はBDATA)としているがこれに限定するものではない。YUV(輝度データと色度データ)であってもよい。YUVの場合は、Y(輝度)データあるいはYデータとUV(色度)データに直接にあるいは、色度に対する発光効率を考慮して輝度データなどに変換して重みづけ処理を行う。

【0368】

なお、この動作を実施する場合も現動作状態のduty比を考慮することは言うまでもない。duty比が小さければ、重みづけを行ったデータが大きくともパネルに流れ込む電流は小さく、パネルが過熱状態とはならないからである。

50

【0369】

RDATAには、定数Raが乗算される。GDATAには、定数Gaが乗算される。BDATAには、定数Baが乗算される。乗算されたデータは総和回路(SUM)1134で1画面分の電流データ(もしくは類似するデータ)が求められる。なお、以下の説明を容易にするため、Ry、Gy、Byは1とする。総和回路1134は比較回路(図示せず)に送る。比較回路はあらかじめ設定された比較データ(所定の電流データ以上では過熱状態であることを示すために設定された値またはデータ)と比較し、電流データが比較データ以上の場合、カウンタ回路(図示せず)を制御し、カウンタ回路のカウンタ値を1つアップする。また、電流データが比較データよりも小さい時、カウンタ回路のカウンタ値を1つダウンする。

10

【0370】

以上の動作を継続し、カウンタ回路のカウンタ値が所定以上に到達した場合、コントローラ回路(IC)722は、ゲートドライバ12bを制御して、duty比を小さくし、パネルに流れる電流を抑制する。したがって、パネルが過熱状態になり劣化することがなくなる。

【0371】

定数Ra、Ga、Baは、コントローラ回路(IC)722によりコマンドで書き換えできるように構成することが好ましいことは言うまでもない。もちろん、ユーザーが手動で書き換えできるように構成してもよいことは言うまでもない。比較回路の比較データも書き換えできるように構成することが好ましいことは言うまでもない。また、EL素子15は温度依存性があるため、パネルの温度により定数を書き換えるように構成することが好ましい。また、点灯率によっても(EL素子15に流れる電流の大きさによっても)発光効率が変化する。したがって、点灯率によっても定数を書き換えるように構成することが好ましい。以上の事項は、Ry、Gy、Byについても同様である。

20

【0372】

以上のように、本発明は、映像データ(もしくはこれに比例するデータ)の大きさ(もしくは推定できるデータ)から、EL表示パネルで消費する電力(電流)を算出あるいは制御し、duty比制御、基準電流比制御を実施するものである。

【0373】

映像データ(もしくはこれに比例するデータ)の大きさ(もしくは推定できるデータ)から、EL表示パネルで消費する電力(電流)の算出は、1フレーム(1フィールド)ごとに行うことに限定されるものではなく、複数フレーム(フィールド)ごとに行ってもよく、また、1フレーム(1フィールド)で複数回行ってもよいことは言うまでもない。また、基準電流比制御、duty比制御はリアルタイムで実施することに限定されるものではなく、遅延させたり、ヒステリシスで実施したり、飛ばし飛ばしで実施してもよいことは言うまでもない。

30

【0374】

基準電流比制御、duty比制御によりEL表示パネルのアノード電流またはカソード電流の大きさを制御するとしたが、これに限定するものではなく、アノード電圧またはカソード電圧を制御することによっても、EL表示パネルの消費電力を制御することができるとは言うまでもない。

40

【0375】

図66のように制御すると、輝度信号(Y信号)に対するduty比制御、基準電流比制御を実施することができる。しかし、輝度信号(Y信号)を求めて、duty比制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではEL表示パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー(B)の視感度が低いためである。そのため、輝度信号(Y信号)の総和(APLレベル)は小さく算出されるため、duty比制御が高duty比になる。したがって、フリッカの発生などが生じる。

【0376】

50

この課題に対しては、乗算器 1131 をスルーにして用いるとよい。消費電流に対する総和 (A P L レベル) が求められるからである。輝度信号 (Y 信号) による総和 (A P L レベル) と消費電流による総和 (A P L レベル) は、両方を求めて加味して総合 A P L レベルを求めることが望ましい。総合 A P L レベルにより d u t y 比制御、基準電流比制御またプリチャージ制御などを実施する。

【0377】

黒ラスタは 64 階調表示の場合は 0 階調目であるから、A P L レベルは 0 で最小値となる。電流駆動方式では、消費電力 (消費電流) は画像データに比例する。なお、画像データは、表示画面 64 を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が 6 ビットで表現される場合、上位ビット (M S B) のみをカウントしてもよい。この場合は、階調数が 32 以上で、1 カウントされる。したがって、表示画面 64 を構成する画像データにより A P L レベルは変化する。つまり、映像データの総和とは、完全な総和ではなく、総和を推定できる方式であればいずれでもよい。

10

【0378】

アナログ的な概念から映像データの総和あるいは総和に類似する指標として A P L レベルという語を用いる。しかし、後半では、点灯率という語を用いて本発明の駆動方式の説明を行う。なお、点灯率は後に説明をする。

【0379】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

20

E L 表示パネルで最大に流せる電流を 100 (m A) とする。白ラスタ表示ととき、総和 (A P L レベル) は 200 (単位なし) になるとする。この A P L レベルが 200 の時、そのままパネルに印加すると E L 表示パネルに 200 (m A) が流れるとする。なお、A P L レベルが 0 の時、E L 表示パネルに流れる電流は 0 (m A) である。また、A P L レベルが 100 の時、d u t y 比は 1 / 2 で駆動するものとする。

【0380】

したがって、A P L が 100 以上の場合は、制限である 100 (m A) 以下となるようにする必要がある。最も簡単には、A P L レベルが 200 の時、d u t y 比を $(1 / 2) \times (1 / 2) = 1 / 4$ にし、A P L レベルが 100 の時、d u t y 比を 1 / 2 とする。A P L レベルが 100 以上 200 以下の時は、d u t y 比が 1 / 4 ~ 1 / 2 の間をとるように制御する。d u t y 比 1 / 4 ~ 1 / 2 は、E L 選択側のゲートドライバ回路 12 b が、同時に選択するゲート信号線 17 b の本数を制御することにより実現できる。

30

【0381】

ただし、A P L レベルのみを考慮し、d u t y 比制御を実施すれば、画像に応じて表示画面 64 の平均輝度 (A P L) に応じて表示画面 64 の輝度が変化し、フリッカが発生する。この課題に対して、もとめる A P L レベルは、少なくとも 2 フレーム、このましくは、10 フレームさらに好ましくは 60 フレーム以上の期間保持し、この期間で演算して、A P L レベルにより d u t y 比制御による d u t y 比を算出する。また、表示画面 64 の最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M) などの画像の特徴抽出を行って d u t y 比制御を行うことが好ましい。以上の事項は、基準電流比制御にも適用されることは言うまでもない。

40

【0382】

画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M)、シーンの変化状態を考慮して行うとよい。つまり、総和 (A P L レベルあるいは点灯率) は、映像データの加算だけでなく、画像表示の分布状態などを考慮して補正などを行うことが好ましい。回路構成としては、図 66 の加算器 1133 c の補正回路 (図示せず) の補正量を加算する構成などが例示される。以下、図面を参照しながら、本発明の点灯率制御などについて説明をする。

【0383】

50

点灯率に対する $duty$ 比を図 68 であるとする。図 68 の制御では、表示画像の点灯率が 100% に近いと $duty$ 比はほぼ $1/4$ にする。階調は輝度と比例する。点灯率が高い画像では、画像の階調表示がつぶれて解像度のない画像になってしまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。

【0384】

以上のことから、本発明では、点灯率あるいは $duty$ 比に応じて、ガンマカーブの係数を変化させている。図 69 はその説明図である。

【0385】

本発明は点灯率が高い（表示画面 64 の全体的に白表示部分が多い）時に、 $duty$ 比を小さくする。つまり、 $duty$ 比 $1/n$ の n を大きくする。点灯率が低い（表示画面 64 の全体的に黒表示部分が多い）時に、 $duty$ 比を大きくする。つまり、 $duty$ 比 $1/1$ に近づく。したがって、 $duty$ 比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率から $duty$ 比制御を行うのであるから当然である。

【0386】

図 69 (a) に図示するように、 $duty$ 比と点灯率 (%) の関係があるとする。図 69 (b) のグラフは縦軸をガンマカーブの係数を示している。図 69 (b) では、 $duty$ 比が 70% 以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

【0387】

$duty$ 比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、 EL は電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスター表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。

【0388】

本発明では、点灯率が高いときに、 $duty$ 比制御の $1/n$ の n を大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、 $duty$ 比を $1/1 = 1$ または $1/1$ に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。

【0389】

まず、点灯率（点灯率）と $duty$ 比の関係を図 68 に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、 EL 表示パネルでは B の発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データとは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【0390】

図 68 は点灯率 0% の時に、 $duty$ 比を $1/1$ とし、点灯率 100% の時に最低 $duty$ 比を $1/4$ とした例である。図 70 は、電力と点灯率との掛算をした結果である。図 68 で点灯率が 0 から 100% まで、絶えず $duty$ 比 $1/1$ であれば、図 70 の a で示すカーブとなる。なお、図 70 において点灯率とは、 $duty$ 比制御などを実施する前の値である。図 70 の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブ a では、点灯率と消費電力は比例関係にある。したがって、点灯率 0% で消費電力は 0（電力比 0）であり、点灯率 100% では、消費電力 100（電力比 100%）となる。

【0391】

図 70 のカーブ b は、図 68 の $duty$ 比カーブで電力制限を実施した実施例である。

点灯率 100% の時の duty 比は 1/4 であるから、カーブ a に比較して、電力比は 1/4 の 25% になる。カーブ b は電力 1/3 よりも小さい範囲で動作している。したがって、図 68 のように duty 比制御を実施すると、電源容量は、従来（カーブ a）に比較して 1/3 で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。

【0392】

従来（カーブ a）で点灯率が高い状態がつづくパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、duty 比制御を実施した本発明ではカーブ b でわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。

10

【0393】

duty 比と点灯率との積（ $a = \text{duty 比} \times \text{点灯率}$ ）は以下の条件に合致するように制御することが好ましい。

【0394】

0.2 duty 比 $\times$ 点灯率 0.6 ただし、点灯率は、15% 以上。

【0395】

たとえば、duty 比が 1/2 で、点灯率が 50% であれば、 $\text{duty 比} \times \text{点灯率} = 0.25$ で上記条件に合致する。点灯率は、100% と 1.0 として計算している。また、duty 比が 1/4 で、点灯率が 100% であれば、 $\text{duty 比} \times \text{点灯率} = 0.25$ で上記条件に合致する。duty 比が 1/3 で、点灯率が 90% であれば、 $\text{duty 比} \times \text{点灯率} = 0.30$ で上記条件に合致する。しかし、duty 比が 1/1 で、点灯率が 10% であれば、 $\text{duty 比} \times \text{点灯率} = 0.10$ で上記条件に合致しない。なお、点灯率は、duty 比制御などをピーク電流抑制処理がされない場合に表示パネルのアノードあるいはカソード端子に流れる電流より求めたものである。

20

【0396】

$a = \text{duty 比} \times \text{点灯率}$ が、0.2 より小さい場合は、画像表示輝度が低く、実用的でない。一方、 a が 0.6 より大きい場合は、輝度変化が大きい画像が表示された場合、フリッカが発生しやすい。また、電源モジュールの電源容量が大きくなり実用的ではない。

【0397】

図 68 の duty 比カーブにおいて、最低 duty 比を 1/2 にした実施例がカーブ c である。また、最低 duty 比を 1/3 にして実施例がカーブ d である。同様に最低 duty 比を 1/8 にして実施例がカーブ e である。

30

【0398】

図 68 は duty 比カーブを直線にしたものあった。しかし、duty 比カーブは、多種多様な直線あるいは曲線で発生させることができる。duty 比カーブにより、図 70 の b、c、d、e に示すように点灯率に対する電力比が変化する。以上のように duty 比カーブあるいは基準電流比カーブは、マイコンなどのプログラミングあるいは外部制御により、可変できるように構成することが好ましい。

【0399】

duty 比制御カーブは、ユーザーが外部環境に応じてボタンで自由に duty 比カーブを切り換えるようにする。明るい外部環境では、duty 比の大きなカーブを選択し、外部環境が暗いときは、より電力を抑制するため、duty 比の小さなカーブを選択するようにする。また、duty 比制御カーブは自由に変更できるように構成しておくことが好ましい。

40

【0400】

図 71 に図示するように、低点灯率領域（図 71 では点灯率 20% 以下）で duty 比を低下させ（図 71（a））、duty 比の低下にあわせて、基準電流比を上昇させ（図 71（b））てもよい。以上のように duty 比制御と基準電流比制御を同時に行うことにより、図 71（c）で図示するように輝度の変化はなくなる。低点灯率では低階調領域でのプログラム電流の書き込み不足が顕著に目立つ。しかし、図 71 に実施するように低

50

点灯率領域で基準電流を増加させることによりプログラム電流を基準電流に比例して増加させることができるので電流の書き込み不足がなくなる。かつ輝度も一定であるから良好な画像表示を実現できる。

【0401】

図71において、点灯率が高い領域（図71では40%以上）では、 $duty$ 比は低下させるが、基準電流比は1のまま一定とする。したがって、輝度は $duty$ 比の低下に伴って低下するから、パネルの消費電力を制御（基本的には少なく）することができる。なお、 $duty$ 比の最大を1/1とする駆動方法では、非表示領域62は一括して挿入することが好ましい。

【0402】

基準電流比、 $duty$ 比と点灯率との関係は以下に説明するように一定の関係を保つことが好ましい。フリッカの発生の増加またはパネルの自己発熱による劣化が加速されるからである。検討の結果によれば、点灯率が30%以下の領域では、 $duty$ 比×基準電流比（A）が0.7以上1.4以下にすることが好ましい。さらに好ましくは0.8以上1.2以下にすることが好ましい。また、点灯率が80%以下の領域では、 $duty$ 比×基準電流比（A）が0.1以上0.8以下になるように制御あるいは設定することが好ましい。また、さらに好ましくは0.2以上0.6以下になるように制御あるいは設定することが好ましい。

【0403】

あるいは、点灯率50%の時の $duty$ 比×基準電流比をAとした時、点灯率が30%以下の領域では、 $duty$ 比×基準電流比×Aが0.7以上1.4以下に設定あるいは制御することが好ましい。さらに好ましくは0.8以上1.2以下に設定あるいは制御することが好ましい。また、点灯率が80%以下の領域では、 $duty$ 比×基準電流比×Aが0.1以上0.8以下に設定あるいは制御することが好ましい。さらに好ましくは0.2以上0.6以下に設定あるいは制御することが好ましい。

【0404】

本発明は第1の点灯率（アノード端子のアノード電流、データの総和に対する比率などでもよいことは以前に説明をした）もしくは点灯率範囲（アノード端子のアノード電流範囲、データの総和に対する比率の範囲などでもよいことは以前に説明をした）において、第1のFRCあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは $duty$ 比あるいはパネル温度、基準電流比と $duty$ 比との積などもしくはこれらの組合せとして変化させる。

【0405】

また、第2の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第2のFRCあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは $duty$ 比あるいはパネル温度、基準電流比と $duty$ 比との積などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、FRCあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは $duty$ 比あるいはパネル温度、基準電流比と $duty$ 比との積など、もしくはこれらの組合せとして変化させるものである。また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっくりと変化させる。

【0406】

図72は、一例としての点灯率とアノード電圧の関係を示したものである。なお、 $V_{dd}+2$ 、 $V_{dd}+4$ は、絶対的な電圧を示しているものではなく、説明を容易にするため相対的に図示したものである。

【0407】

図72において、点灯率が25%以下で基準電流（プログラム電流）を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノ

10

20

30

40

50

ード電圧も高くしている。なお、点灯率 75 % 以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【0408】

図 7 2 は、一例としての点灯率とアノード電圧の関係を示したものである。本発明はこれに限定するものではない。たとえば、点灯率などに応じて、アノード端子電圧とカソード端子電圧との電位差を変化させてもよいことはいうまでもない。たとえば、アノード端子電圧が 6 (V)、カソード端子電圧が - 9 (V) であれば、電位差は $6 - (-9) = 15$ (V) である。つまり、アノード電圧をカソード電圧との絶対値を点灯率あるいは基準電流もしくはアノード端子に流れる電流などに応じて変化させる。

【0409】

図 7 3 において、点灯率に応じて基準電流（プログラム電流）を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。

【0410】

プログラム電流の大きさ（基準電流の大きさ）に対するアノード電圧は、図 7 4 に図示するように変化させてもよい。図 7 4 の実線 a は、プログラム電流（基準電流）に比例させてアノード電圧を変化させた例である。図 7 4 の点線 b は、所定のプログラム電流（基準電流）以上の時に、アノード電圧を変化させた実施例である。点線 b では、基準電流に対するアノード電圧の変化点は 1 点であるので回路構成が容易となる。

【0411】

以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線 18 の電位を変化させることと同義である。図 1 などの駆動用トランジスタ 11 a が P チャンネルの場合は、プログラム電流 I_w あるいは基準電流を増加させることは、ソース信号線 18 の電位を低くすることである（GND 電位に近くなる）。逆に、プログラム電流 I_w あるいは基準電流を小さくすることは、ソース信号線 18 の電位を高くすることである（アノード V_{dd} に近くなる）。

【0412】

以上のことから、図 7 5 に図示するように、制御を行っても良い。つまり、ソース信号線 18 の電位が 0 (GND) 電位の時に、アノード電圧を最も高くする（基準電流およびプログラム電流が最大値）。ソース信号線 18 の電位が V_{dd} 電位の時に、アノード電圧を最も低くする（基準電流およびプログラム電流が最小値）。以上のように構成あるいは制御することにより、EL 素子 15 に高電圧が印加される期間を短くすることができ、EL 素子 15 を長寿命化できる。

【0413】

パネルあるいはパネルの周囲温度に応じて、duty 比などを変化させてもよい。図 7 6 はその実施例である。図 7 6 において実線は、パネル温度が 40 以下の場合である。実線では、点灯率 40 % 以下で、duty 比を 1 / 1 とし、40 % 以上で duty 比を低下させている。点線では点灯率 20 % 以下で duty 比を 1 / 2 とし、点灯率 20 % 以上で duty 比を低下させる。40 から 60 の間では、点線と実線の間のカーブを描く。

【0414】

以下、さらに図面を参照しながら、本発明の電源回路などについて説明する。

【0415】

図 7 7 は、他の実施例における本発明の表示装置の電源回路の構成図である。バッテリーあるいは DC 電源からの出力電圧 V_{in} が昇圧回路 1281 a、電圧反転回路 1282 に印加される。昇圧回路 1281 は DC/DC コンバータ回路、チャージポンプ回路が例示される。DC/DC コンバータ回路は、スイッチング素子とコイルなどから構成される。スイッチング素子により DC 電圧 V_{in} を矩形波に変換し、コイルの共振作用などにより電圧を昇圧させる。昇圧した電圧は、昇圧回路 1281 a のコンデンサにより平滑化し、アノード電圧 V_{dd} を得る。一方、電圧反転回路 1282 に入力された電圧 V_{in} は、

10

20

30

40

50

極性反転される。極性反転された電圧は、昇圧回路 1281b に入力され、昇圧されてカソード電圧 V_{ss} となる。

【0416】

図 77 などにおいて、電圧反転回路 1282 と昇圧回路 1281b とは別ブロックで図示しているが、これに限定するものではなく、電圧反転回路 1282 と昇圧回路 1281b は 1 つの回路構成 (1 ブロック) で作製あるいは構成してもよいことは言うまでもない。以上のように、本発明は、主として 2 つのコイルにより正極性の電圧 V_{dd} と、負極性の電圧 V_{ss} を発生する。電圧反転回路 1282 と昇圧回路 1281 は接地電位 (GND) を基準として動作する。また、 V_{in} も同様である。接地電位 (GND) はソースドライバ回路 (IC) 14 の GND でもある。

10

【0417】

説明を容易にするため、本発明の実施例における電圧 V_{in} は、2.7 (V) ~ 4.5 (V) とする。また、アノード電圧 V_{dd} は、6 (V) とし、カソード電圧 V_{ss} は、-9 (V) とする。

【0418】

図 78 は、本発明の表示装置の電源回路などの出力電圧の関係を図示している。本発明では、ソースドライバ回路 (IC) 14 の接地電位 (GND) と、昇圧回路 1281 の接地電位 (GND) は共通である。ソースドライバ回路 (IC) 14 の電源電圧 V_{cc} は、 V_{dd} 電圧をレギュレートして作成 (発生) するか、もしくは別途構成した DCDC コンバータで V_{in} 電圧から作成 (発生) させる。

20

【0419】

EL 表示装置では図 1 で説明したように、アノード電圧 V_{dd} からカソード電圧 V_{ss} に電流 I_e が流れる。また、アノード端子を流れる電流とカソード端子を流れる電流は、等しいという特徴がある。つまり、 $I_e = I_{dd} = I_{ss}$ なる関係がある。このことは EL 表示装置に特徴ある事項である。

【0420】

図 78 の実施例では、A で示すアノード電圧 V_{dd} の絶対値と、B で示すカソード電圧 V_{ss} の絶対値とは、 $A < B$ の関係となるように構成している。具体的にはアノード電圧 V_{dd} は、6 (V) とし、カソード電圧 V_{ss} は、-9 (V) としている。つまり、 $1.5 \times A = B$ である。

30

【0421】

本発明は、図 77 の昇圧回路 128a の電源発生容量 (アノード電源容量と呼ぶ = アノード電圧 $V_{dd} \times$ アノード電流 I_{dd}) と、昇圧回路 128b の電源発生容量 (カソード電源容量と呼ぶ = カソード電圧 $V_{dd} \times$ カソード電流 I_{dd}) は、略同一に構成 (作製) している。アノード電源容量 = カソード電源容量とすることにより、電源モジュールサイズを小型化できる。特に、カソード電源容量を必要容量よりも小さい設計できることによる効果が大きい。また、昇圧回路 128a で使用するコイル L と昇圧回路 128b で使用するコイル L とは同一のものを使用することができるため、コストを低減することができる。

【0422】

$1.5 \times A = B$ 、 $I_{dd} = I_{ss}$ とし、アノード電源容量 = カソード電源容量であれば、カソード電流 $I_{ss} = (1 / 1.5) \times$ アノード電流 I_{dd} となる。先にも説明したように、EL 表示装置では、 $I_{dd} = I_{ss}$ の関係がある。したがって、図 78 の構成において、アノード電源容量をフルに使用した時、カソード電源容量が足りなくなる。 $1.5 \times A = B$ であれば、カソード電源容量は、約 50 % 分が、必要電源容量に対して足りなくなる。なお、図 1 を用いてアノード電流 I_{dd} 、カソード電流 I_{ss} を説明しているが、 I_{dd} 、 I_{ss} は、以下の本明細書においては、画素単位の電流の意味ではなく、表示領域 64 全体に流れ込む電流である。つまり、点灯率に対応して変化する電流である。

40

【0423】

本発明ではカソード電源容量が規定値以上は出力されないように構成されている。した

50

がって、カソード電源容量が足りなくなれば、カソード電圧 V_{ss} が上昇し、規定値の電源容量で頭打ちになって制御される。カソード電圧 V_{ss} が上昇しても（例えば、 $-9V \rightarrow -6V$ ）、 I_{ss} 電流は最大電流を維持する。カソード電圧が上昇した分だけ、カソード電流 I_{ss} を増大させることができる。つまり、カソード電源容量の規格の最大値は守られる。また、 $I_{dd} = I_{ss}$ の関係が維持される。逆に言えば、 $I_{dd} = I_{ss}$ の関係を維持するように、カソード電源容量を構成する昇圧回路 1281b は、カソード電圧 V_{ss} を上昇させ、カソード電源容量の上限値以上とならないように制御される。

【0424】

なお、図77などにおいて、 I_{dd} 、 I_{ss} はDC電流であるが、昇圧回路 1281内では、矩形波あるいは三角波が発生し、交流動作が行われている。本発明では、カソード電源容量あるいはアノード電源容量が一定容量以上とならないように制御するとしている。しかし、一定容量以上にならないようにとは、DCレベルではなく、矩形波あるいは三角波の最大値で検討する必要がある。昇圧回路 1281内のIC耐圧で最大電圧が規定されるからである。

10

【0425】

図77、図78では、 $I_{dd} = I_{ss}$ とし、 $A < B$ としている。したがって、従来の実施例では、昇圧回路 128bの電源発生容量（カソード電圧 $V_{ss} \times$ カソード電流 I_{ss} ）は、昇圧回路 128aの電源発生容量（アノード電圧 $V_{dd} \times$ アノード電流 I_{dd} ）よりも大きくしている。

【0426】

本発明では、 $A < B$ とし、Bに対応する昇圧回路 128bの電源発生容量を、本来必要な電源容量よりも小さくしている。そのため、 $I_{dd} = I_{ss}$ を維持し、昇圧回路 128bの電源発生容量以上に I_{ss} が大きくなると、カソード電圧 V_{ss} を上昇させて、電源容量の規定上限値を維持する。

20

【0427】

以上のように、カソード電源容量を規定よりも小さくし、カソード電圧 V_{ss} を上昇させても、表示画面64の表示画像の劣化（たとえば、フリッカが発生するとか、視覚的に認識されるレベルの輝度が発生するとか）はない。本発明はこれらのEL表示パネルの特徴をうまく利用している。

【0428】

本発明は、図1に図示するように、駆動用トランジスタ11aをPチャンネルトランジスタで構成（形成）している。駆動用トランジスタ11aの動作起点は、アノード電圧 V_{dd} である。また、 V_{dd} 電圧はソースドライバ回路（IC）14からみても、起点電圧である。つまり、ソース信号線18の電位が、 V_{dd} 電圧の時、EL素子15には電流が流れない。ソースドライバ回路（IC）14が動作し、 V_{dd} 電圧からソース信号線18にプログラム電流 I_w がながれることにより、ソース信号線18の電位が低下する。ソース信号線18の電位が V_{dd} から離れるにしたがって、EL素子15に流れる電流は大きくなる。以上のことから、 V_{dd} 電圧は起点電圧として、所定値に安定に保つ必要がある。

30

【0429】

一方、カソード電圧 V_{ss} は、起点電圧ではない。 V_{dd} 電圧と V_{ss} 電圧との電位差がEL素子15の飽和電圧として影響があるだけである。したがって、 V_{ss} 電圧が変化しても、画像表示に影響を与えにくい。本発明は、 I_{ss} 電流が小さい時には、カソード電圧 V_{ss} を規定値に維持し、 I_{ss} 電流が大きい時に、カソード電圧を上昇させる駆動方法または駆動回路または駆動方式である。

40

【0430】

I_{ss} 電流が大きい時とは、点灯率が高い場合である。点灯率が高い画像表示は画面に白表示（高輝度表示）が占める割合が高い画像表示状態である。このような画像表示状態では、多少輝度が低下しても、表示ムラが発生しても視覚的には認識されない。点灯率が低い時は、カソード電圧は規定値を維持するため、当然のことながら画像表示劣化はない

50

。

【0431】

以上のように、本発明は、画素16の駆動用トランジスタ11aをPチャンネルで構成し、ソースドライバ回路(IC)14が吸い込み電流方式で動作し(ソースドライバ回路(IC)14の単位トランジスタ224をNチャンネルトランジスタで形成または構成している)などの構成において、カソード電源容量を規定値電源容量(本来必要な電源容量)よりも小さくした構成である。小さくするとは、10%以上60%以下の範囲とすることが好ましい。10%より小さければ、コストメリット、電源サイズメリットを出しにくい。60%より大きければ、点灯率が少し大きくなると、カソード電圧が上昇してしまい画像表示に影響が発生する。

10

【0432】

特にカソード電源容量などに関する本発明は、duty比制御、基準電流比制御と組み合わせるにより相乗効果が発揮される。たとえば、duty比制御は、加算などの処理により点灯率を制御する方法である。

【0433】

たとえば、duty比が1/1近傍で点灯率が低い画像表示において、急に点灯率が高い画像表示(シーン)に変化した場合を例示して考える。この場合は、duty比を小さく(1/4など0に近づける)し、ピーク電流を抑制する動作を実施する。duty比1/1から1/4に急に变化させると、フリッカが発生する。このフリッカの発生を抑制するため、duty比の変化は数フレームあるいは十数フレームかけてゆっくりと行う。しかし、duty比をゆっくり変化させると、変化の期間には電源容量の規定値を超える電流が流れる場合がある。duty比を急に变化させる期間とは、画像シーンの急変時であり、発生する機会は極めて少ない。

20

【0434】

画像シーンの急変時に対応するため、カソード電源容量を大きく作製するのは、非効率である。本発明では、画像シーンの急変時に発生する大きなIss電流に対しては、Vss電圧を上昇させてカソード電源容量を規定値以下に維持するように構成する。したがって、電源の使用効率が高い。また、昇圧回路1281aと1281bのいずれもが、比較的高い電力で使用する。したがって、昇圧回路128において、最大効率が発揮する箇所を、比較的高い電力時に設定しておくことにより高効率設計を実現できる。

30

【0435】

なお、duty比制御を実施する場合は、点灯率に対するIdc電流は変化する。たとえば、点灯率100%でduty比1/4となる制御を実施する駆動方式では、従来の点灯率100%でduty比1/1の駆動方法に比較して、Idcは1/4である。電力比はアノード電流の変化比率を示すことになる。

【0436】

以上の事項は、電流駆動方式に限定されるものではなく、電圧駆動方式の画素構成あるいは表示パネル、表示装置などにも適用できることは言うまでもない。また、本発明の昇圧回路などの電源構成などに関する事項は、本発明の他の事項と組み合わせることができる。たとえば、画像(映像)データ、点灯率、アノード(カソード)端子に流れる電流、パネル温度などにより、基準電流、duty比、プリチャージ電圧(プログラム電圧と同義あるいは類似)、ゲート信号線電圧(Vgh、Vgl)、ガンマカーブなどを変更あるいは調整と連動あるいは組み合わせても良い。また、画像(映像)データ、点灯率、アノード(カソード)端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。

40

【0437】

以上の実施例は、駆動用トランジスタ11aがPチャンネルトランジスタの場合である。しかし、本発明はこれに限定されるものでない。たとえば、駆動用トランジスタ11aがNチャンネルの場合であっても適用することができる。駆動用トランジスタ11aがNチャンネルの場合は、駆動用トランジスタ11aの動作起点は、カソード電圧Vssであ

50

る。また、 V_{ss} 電圧はソースドライバ回路 (IC) 14 からみても、起点電圧とする場合がほとんどである。つまり、ソース信号線 18 の電位が、 V_{ss} 電圧の時、EL 素子 15 には電流が流れない。ソースドライバ回路 (IC) 14 が動作し、 V_{ss} 電圧からソース信号線 18 にプログラム電流 I_w がながれることにより、ソース信号線 18 の電位が上昇する。ソース信号線 18 の電位が V_{dd} から離れるにしたがって、EL 素子 15 に流れる電流は大きくなる。以上のことから、 V_{ss} 電圧は起点電圧として、所定値に安定に保つ必要がある。

【0438】

一方、駆動用トランジスタ 11a が N チャンネルトランジスタの場合は、アノード電圧 V_{dd} は、起点電圧ではない。 V_{dd} 電圧と V_{ss} 電圧との電位差が EL 素子 15 の飽和電圧として影響があるだけである。したがって、 V_{dd} 電圧が変化しても、画像表示に影響を与えにくい。本発明は、 $I_{dd} = I_{ss}$ 電流が小さい時には、アノード電圧 V_{dd} を規定値に維持し、 I_{dd} 電流が大きい時に、アノード電圧を低下させる駆動方法または駆動回路または駆動方式である。

10

【0439】

つまり、本発明は、アノード電源容量あるいはカソード電源容量のうち少なくとも一方の電源容量を規定値 (表示パネルが使用する最大電流を流す電流 $\times$ アノード電圧またはカソード電圧) よりも小さく形成 (構成) する。そして、 I_{dd} または I_{ss} 電流が所定値以上流れる場合に、カソード電圧またはアノード電圧のうち少なくとも一方の電圧を変化させる駆動方法あるいは駆動装置もしくは駆動方式である。また、特に $duty$ 比制御または基準電流比制御を組み合わせることが好ましい方式である。

20

【0440】

本発明は、 GND 電圧に対するアノード電圧とカソード電圧のうち一方の電圧を大きくし、大きくした方の電源容量 (アノード電源容量またはカソード電源容量) の出力電圧 (アノード電圧またはカソード電圧) を点灯率あるいは点灯率の大きさあるいは所定の点灯率の範囲もしくは点灯率変化に応じて、変化させる駆動方式、駆動方法あるいは駆動装置である。特に $duty$ 比制御または基準電流比制御を組み合わせることが好ましい。

【0441】

本発明は、画素の駆動用トランジスタを P チャンネルで構成した場合は、カソード電圧を、点灯率の大きさあるいは点灯率の変化あるいは点灯率変化量に応じて変化させる駆動方式あるいは駆動方法もしくは駆動装置である。また、本発明は、画素の駆動用トランジスタを N チャンネルで構成した場合は、アノード電圧を、点灯率の大きさあるいは点灯率の変化あるいは点灯率変化量に応じて変化させる駆動方式あるいは駆動方法もしくは駆動装置である。以上の事項は特に $duty$ 比制御または基準電流比制御を組み合わせることが好ましい。

30

【0442】

以上の実施例において、カソード電圧あるいはアノード電圧の変化はヒステリシスをもたせて (遅延時間をもたせて)、ゆっくりと変化あるいは変更させることが好ましいことはいうまでもない。

【0443】

また、カソード電流は点灯率に応じて増加するように構成することが好ましい。本発明では、検討の結果、点灯率が 30% 以上 80% 以下の範囲でカソード電圧を低下させるように構成することが好ましい。点灯率が 30% 以上 80% 以下の範囲でカソード電圧を低下させるように構成することが好ましい。さらに好ましくは、昇圧回路 1281b の電源容量は点灯率 100% の 40% 以上 70% 以下でカソード電圧を低下させるように構成する (駆動する) ことが好ましい。つまり、本発明の方式では、昇圧回路 1281b の電源容量は、点灯率 100% の電源容量は必要でなく、50% 程度の容量サイズにすることができる。したがって、低コスト、電源サイズの小型化を実現できる。なお、昇圧回路 1281a 内で使用するコイルのインダクタンス L_1 (μ ヘンリー) と、昇圧回路 1281b 内で使用するコイルのインダクタンス L_2 (μ ヘンリー) との関係は、 $L_2 = L_1 \times (\pm$

40

50

1. 2) (精度によるバラツキは除く。つまりタイプ値の比較である。)に設定することが好ましい。さらに好ましくは $L2 = L1 \times (\pm 1.1)$ に設定することが好ましい。特性が安定し、実装面積を小さくすることができる。また、コストの低減も実現できる。

【0444】

以上の本発明は、電源容量が限定されるモバイル機器(DVC、DSC、DVDテレビ、携帯テレビ、携帯電話など)に用いることにより大きな効果を発揮する。

【0445】

図77、図78の実施例では、点灯率などに応じてカソード電圧を変化させるとした。なお、カソード電圧は電源容量から自動的に変化することを想定しているが、意識的に変化させる場合もある。つまり、本発明のカソード電圧などを変化させるとは、自動的な制御と手動的な制御の双方の概念を含む。

【0446】

カソード電流 I_{ss} またはアノード電流 I_{dd} の最大値は、設定により可変できるように構成しておくことが好ましい。可変は、昇圧回路1281のスイッチング素子などにリミッタ機能を設け、複数のリミッタ値から1つを設定できるように構成すればよいから実現は容易である。

【0447】

図79は点灯率に対応してカソード電圧を変化させた実施例である。図79において、実線の例は、第1の点灯率(図79では一例として20%)と第2の点灯率(図79では一例として80%)間でリニアにカソード電圧を変化させている。点灯率が高くなるにつれて、カソード電圧は上昇させる。この範囲では、カソード電流 I_{ss} はカソード電圧が上昇した分だけ、カソード電流 I_{ss} を増大させる。一方のアノード電流 I_{dd} は、アノード電圧の大きさA(図78を参照のこと)がカソード電圧の大きさBより小さい。アノード電源容量=カソード電源容量であれば、カソード電圧が上昇し、 $A=B$ となるまで、アノード電圧の低下は発生しない。アノード電流 I_{dd} とカソード電流 I_{ss} は同一に保たれる。

【0448】

図79の実線の例では、点灯率80%以上では、カソード電圧は一定になるように保たれる。以上のようにカソード電圧の上昇に一定のリミットを設定しないと、さすがに画像表示が破綻するからである。点灯率80%以上では、カソード電圧 V_{ss} が一定となるように制御するため、点灯率が80%から100%の範囲では、カソード電流 I_{dd} は一定に維持される。したがって、表示パネルから発生する全光速の増加はない(画面輝度は変化しない)。ただし、上記の記載は、点灯率80%以上では、昇圧回路1281bが最大電源容量で動作していることを想定している。もちろん、点灯率80%以上でも電源容量に余裕があれば、点灯率が高くなるにつれてカソード電流 I_{ss} は増加する。

【0449】

図79の実線において、点灯率20%以下でも、カソード電圧は一定になるように保たれる。以上のようにカソード電圧の上昇に一定のリミットを設定しないと、昇圧回路1281bで使用するIC耐圧が上限を超えるからである。点灯率20%以下では、カソード電圧 V_{ss} が一定となるように制御するため、点灯率が0%から20%の範囲では、カソード電流 I_{dd} は点灯率が低下すれば、減少する。

【0450】

図79の点線は、点灯率に応じてカソード電圧が線形に変化させた実施例である。点灯率が高く、つまり、 I_{dd} 電流が増加するにつれてカソード電圧は上昇する。点灯率100%では、カソード電圧は-5Vに上昇するが、画質の劣化はない。また、通常の映像表示の点灯率は20%~40%である。点灯率80%以上はほとんど発生しない。したがって、点灯率が高い領域で画質劣化は発生したとしても、ごく稀であり、視覚的に認識されることはない。本発明はこの映像表示の高点灯率の発生が稀であるという特徴もうまく利用している。また、本発明では duty 比制御を実施し、高点灯率領域ではアノード電流 I_{dd} を抑制している。したがって、電源容量を小さくしている。したがって、点灯率が

10

20

30

40

50

高くとも、カソード電圧を上昇させる事態はほとんど発生しない。

【0451】

カソード電圧を上昇させる事態が発生するのは、点灯率が低い画像表示で、かつ、 $duty$ 比が $1/1$ あるいはそれに近い画像表示を行っている場合に、映像表示シーンが急変し点灯率が高くなった場合である。もちろん、点灯率が高くなれば、 $duty$ 比は低くするから（たとえば、 $1/4$ に近づける）、一定期間経過後は、高点灯率かつ低 $duty$ 比状態に移行する。したがって、カソード電圧は正常電圧に低下する。以上ことからカソード電圧 V_{ss} を上昇させる駆動状態が発生することはごく稀である。

【0452】

本発明は、電源容量を小さくし、ごく稀に発生する I_{dd} または I_{ss} 電流増加状態は、カソード電圧 V_{ss} を上昇させて画像表示の劣化を抑制する。以上のことはEL表示装置など自発光表示デバイスに特有の構成であり、極めて有効である。

【0453】

表示パネルの温度に応じて、点灯率に対するカソード電圧変化を可変あるいは変更してもよい。図80はその実施例である。図80に図示するように、表示パネルが50と高い場合は、点灯率60%以上の比較的低い点灯率の状態からカソード電圧を一定値に保持する。一定値に保持されているため、点灯率が60%以上に高くなる状態では、 I_{dd} 電流は増加しない。つまり I_{dd} 電流のリミッタ機能が働く。したがって、表示パネルでの発熱が抑制される。表示パネルが高温状態で、さらに発熱すると表示パネルの劣化が促進されてしまうからである。なお、カソード電圧を上昇させ、EL素子15に印加される電圧と小さくすることにより、発熱も抑制できることは言うまでもない。

【0454】

表示パネルの温度が10と低い場合は、点灯率60%以下と比較的高い点灯率までカソード電圧を低い状態で保持する。したがって、点灯率が高くなるにつれて、アノード電流 I_{dd} は増加する（ $duty$ 比制御が実施されていない場合）。点灯率60%以上では、カソード電圧を上昇させる。上昇により表示パネルで発生する発熱も抑制される。

【0455】

表示パネルが高温の場合は、カソード電圧は比較的高くてもよい。EL素子15の V_t 電圧（立ち上がり電圧）が低くなり、また、同一輝度を得るためのEL素子15の両端に印加する電圧の絶対値も低くなるからである。つまり、表示パネルの温度によりカソード電圧を変化させることが低消費電力化に有利である。図80の点線（パネル温度が高い場合）では、カソード電圧を $-8V$ としている。実線（パネル温度が低い場合）の場合は、カソード電圧を $-9V$ としている。さらにパネル温度が低い一点鎖線の場合は、カソード電圧を $-9.5V$ としている。本発明では、表示パネルあるいは表示パネルの周囲温度を検出（測定）し、温度によりカソード電圧またはアノード電圧を変化させることを特徴とする。

【0456】

図79、図80において、点灯率に対応してカソード電圧はリニア（線形）に変化させるとしたが、これに限定するものではなく、2乗カーブなど非線形に変化（対応）させてもよいことは言うまでもない。また、図79の実線のように2点折れ線に限定するものではなく、3点以上の折れ線としてもよいことは言うまでもない。

【0457】

以上のように、本発明は、点灯率に対応してあるいは応じてカソード電圧を変化させる。また、本発明は $duty$ 比制御、基準電流比制御と組みあわせて実施することが好ましい。図81はカソード電圧制御（図79、図80など）と、基準電流比制御とを組み合わせで実施した実施例である。

【0458】

図81において、点灯率75%以上で基準電流を増加させる。基準電流比の変化は、プログラム電流の変化である。したがって、基準電流比に比例してプログラム電流が大きくなり、EL素子15の輝度も高くなる。図81では、基準電流を増加させる範囲（点灯率

10

20

30

40

50

75%以上)では、カソード電圧を一定にしている。点灯率25%以上ではカソード電圧を上昇させている。

【0459】

図82はカソード電圧制御(図79、図80など)と、duty比制御とを組み合わせで実施した実施例である。

【0460】

図81において、点灯率75%以上でduty比を $1/2 = 0.5$ に低下させる。duty比の変化は、Idd(Iss)電流の変化である。したがって、duty比に対応して表示画面64の輝度は低下する。図82では、点灯率75%以上では、カソード電圧を-4Vと一定にしている。点灯率25%以上ではカソード電圧を上昇させている。また、点灯率に応じてduty比を低下させている。

10

【0461】

以上のように、本発明はカソード電流またはアノード電流のうち少なくとも一方の電流制御を実施し、カソード(アノード)電源電力を抑制する。つまり、一定以上の突入電流が発生しないように制御する。または、一定以上の大きな出力電流(これも突入電流である)を一定値以上とならないように抑制する。特に、本発明はduty比制御などと組み合わせることにより、ピーク電流を抑制し、カソード(アノード)電源電力を抑制する。図83はその実施例の説明図である。

【0462】

図83(a)は、従来例(カソード電圧一定、duty比制御)の場合である。横軸は経過時間である。EL表示装置(自発光表示装置)に動画などが表示されていく状態(時間)を示している。図83(a)では、画像の点灯率に合わせて、duty比を可変している。点灯率はコントローラ722で映像信号を加算処理などすることにより得られ、得られたSUMデータによりduty比制御などが実施される。しかし、点灯率が変化に伴い、duty比を急変させるとフリッカが発生する(画面の輝度の強弱が短時間で変化する)。発生するフリッカを抑制するため、duty比の変化はゆっくりと実施される。点灯率が急変する画像表示とは、暗い表示でduty比が $1/1$ で画像を表示しているとき、シーンが変化し、非常に明るい画像表示になったときである。非常に明るい画像表示では、表示パネルに流れる電流を抑制するため、本来はduty比 $1/4$ などに低下させる必要がある。しかし、duty比 $1/1$ から $1/4$ に急変させるとフリッカが発生してしまう。

20

30

【0463】

点灯率が急変した時刻は、図83(a)のaとbの時である。duty比の変化は遅延して、また0.5~2秒程度の時間をかけて目標のduty比に変化させるため、この時、大きなカソード電流(突入電流)が流れる(単位時間2からa点(頂点)までの期間、単位時間4.5からb点(頂点)までの期間)。したがって、カソード電源電力の容量も一例として160%近く必要である。a点、b点の時間あるいはその前から、duty比が変化し、duty比制御によりカソード電流が低下してカソード電源電力が100%以内となる(a点(頂点)もしくはその前から単位時間2.6の期間、b点(頂点)もしくはその前から単位時間5の期間)。カソード電流が増大した状態は一定期間継続する。しかし、duty比をゆっくりと低下させることにより、カソード電流が低下され、カソード電源電力の容量は100%以内の規定範囲内となる。しかし、a点、b点の期間ではカソード電源電力容量を超えてしまう。従来ではこの電源容量を超えることを見越して、カソード電源サイズを決定していたため、カソード電源サイズは非常に大きなものを配置または設置していた。この大きな電源サイズはコストが増大し、また、モバイル機器には許容不可能なサイズであった。

40

【0464】

図83(b1)、図83(b2)は、カソード電流制御(図77、図78、図85などを参照のこと)と、duty比制御とを組み合わせで実施した実施例である。点灯率が急変した時刻は、図83(a)と同様にaとbの時である(図83(a)と本発明の図83

50

(b)とを比較して説明している)。この時、図83(b2)に図示するように、カソード電圧は上昇する(カソード電圧の絶対値が小さくなる)。そのため、EL素子15に印加される電圧は低下する。なお、アノード電圧は一定値(本発明では6Vとする)を保持している。カソード電流 I_{ss} は増加するが、カソード電圧が上昇(絶対値が小さくなる)するために、結果としてカソード電源電力は一定に保たれる。したがって、図83(b1)に図示するように、カソード電源電力比は100%を超えることはない。duty比は、a、b時刻と起点としてゆっくりと低下し、duty比の変化に伴い、カソード電圧も正規の電圧に復帰する(-9Vとなる)。

【0465】

本発明のEL表示装置では、アノード電圧 V_{dd} の絶対値(GNDを基準とする)カ
ソード電圧 V_{ss} の絶対値(GNDを基準とする)の関係で電源電圧を構成している。し
たがって、アノード電流=カソード電流であり、アノード電源容量=カソード電源容量で
あれば、点灯率が高いときは、カソード電源容量が不足する。カソード電源容量の上限値
を維持するため、カソード電流は増加させ必要なカソード電流をEL表示パネルに供給す
る。カソード電源容量の上限値を維持するため、カソード電圧の絶対値は小さくなるよう
に変化させる。図1などに図示するような画素の構成あるいは、画素16の駆動用トラン
ジスタ11aがPチャンネルトランジスタで構成した場合は、カソード電圧を変化させて
も画像表示を劣化させることはほとんどない。また、点灯率が急変するときのみに、カソ
ード電圧を変化させても、点灯率が急変している時は、画像が急変しているときであるか
ら、画像表示状態が劣化していても、視覚的に認識されることはない。

【0466】

図83は、カソード電流制御(図77、図78、図85などを参照のこと)と、duty
比制御とを組みあせた駆動方式として説明したが本発明はこれに限定するものではない
。たとえば、カソード電流制御と、基準電流比制御とを組みあわせてもよい。基準電流比
を増減することによっても、プログラム電流を増減でき、アノード(カソード)電流を増
減できるからである。また、カソード電流制御と、duty比制御および基準電流比制御
とを組みあせてもよい。

【0467】

図84の実施例は、カソード電流 I_{ss} の変化割合(カソード電流比とし、%で示す)
と、カソード電圧との関係を示すものである。カソード電流比100%とは、カソード電
圧の初期値電圧(点灯率が低い領域での電圧。図84ではカソード電圧=-9V。つまり
、カソード電圧を-9Vに保持し、出力できるカソード電流の最大値を100%とする。
100%以上では、カソード電圧はGND側に上昇する)の場合において、昇圧回路12
81bから取り出せるカソード電流 I_{ss} の最大電流である。変過点は、カソード電流比
100%であり、カソード電流比100%以上では、カソード電圧を上昇させている。

【0468】

説明を容易にするため、一例として具体的な数字を記載して説明をする。図84におい
て、カソード電流比が100%の時のカソード電流 $I_{ss}=0.1A$ とする。したがって
、カソード電流比150%の時は、カソード電流 $I_{ss}=0.15A$ である。昇圧回路1
281bの電源容量は、カソード電流比100%の時の $0.1A \times (-9)V = 0.9W$
である。カソード電流比150%の時は、カソード電流 $I_{ss}=0.15A$ であり、カソ
ード電圧は-6Vである。したがって、必要な電源容量は、 $0.15A \times (-6)V = 0.9W$
となる。つまり、カソード電流が1.5倍(カソード電流比150%)になっても、
カソード電圧を上昇(-9V→-6V)とすることにより、昇圧回路1281bの電源容
量は増加させる必要はない。カソード電流比100%~150%の範囲ではカソード電圧
を線形に変化させることにより、昇圧回路1281bの電源容量は最大使用範囲(内)に
保たれる。

【0469】

以上のように、本発明は、カソード電流の増加に対応させて、カソード電圧を変化させ
る。したがって、電源回路の小型化が可能となる。点灯率が短期間で複数回急変する時は

、カソード電圧も複数回変化する。

【0470】

従来の電源回路は、出力電圧を一定に保つ回路構成である。出力電流が増加しても出力電圧は一定に保持する。したがって、電源回路の電力は出力電流の増加に伴って大きくなる。有機EL表示パネルは、自発光型の表示パネルで発光に伴う光束の増加に伴って電流が増加する。また、点灯率の変化に伴い電流量は変化する。したがって、点灯率が高くなれば電流量も大きくなる。そのため、電源の出力電流も大きくする必要があり、電源サイズ（電力容量）が大きくなる。

【0471】

本発明は、最大電力容量に上限を持たせたものである。つまり、（最大）電力一定制御を実施するものである。したがって、電源サイズは従来の電源サイズに比較して小さくできる。本発明ではカソード電流が所定値までは、カソード電圧を一定に保持する。カソード電流が一定値を超えると、カソード電流の増加にともない、カソード電圧の絶対値を低下させ、カソード電源の最大電力を超えないよう動作する。この動作は、カソード電流の大きさをモニターし、モニターした電流によりカソード電圧を低下させる。また、電源回路のカソード電流の出力端子に接続した抵抗の両端電圧を測定することにより、この抵抗に発生する電圧によりカソード電圧を低下させる。また、抵抗の発熱量を検出することにより、制御を実施する。カソード電流の変化に伴うカソード電圧の低下制御は瞬時に行う。瞬時とは1秒以内の時間である。

【0472】

カソード電源の最大電力 $P_m = \text{カソード電流 } I_{ss} \times \text{カソード電圧 } V_{ss}$ とすれば、カソード電流が変化しても P_m が一定となるように、カソード電圧 V_{ss} が調整される。調整に遅延が発生するが、最大電力の理想値を1とした時、1秒以内に、理想値の0.9以上1.1以下となるように、カソード電圧が調整される。好ましくは、0.9以上1.0以下となるように制御される。

【0473】

なお、本発明では、一定以上のカソード電流 I_{ss} が増加に伴い、カソード電圧 V_{ss} を低下させることにより、カソード電源電力の上限（最大）を超えないように制御あるいは動作させるとして説明するが、これに限定するものではない。たとえば、一定以上のアノード電流 I_{dd} が増加に伴い、アノード電圧 V_{dd} を低下させることによりアノード電源電力の上限（最大）を超えないように制御あるいは動作させるとしてもよい。また、アノード電源電力とカソード電源電力の両方を同時に制御してもよい。また、アノード電圧（電流）とカソード電圧（電流）の両方を1つの電源で発生させる場合も本発明の技術的範疇である。

【0474】

図85は、横軸を昇圧回路1281bのカソード電源の電力（％）としている。電力100％とは、昇圧回路1281bが使用できる最大電力である。つまり、カソード電源電力の出力上限（最大）である。図85の実施例では、電力100％以上で、カソード電圧 V_{ss} の絶対値を小さくすることにより、カソード電源の電力100％を超えないように制御している。カソード電流 I_{ss} は増加させている。カソード電源電力100％までは、カソード電圧 V_{ss} は所定値（規定値、本発明の実施例では-9Vである）を保持しており、また、カソード電流も100％まで増加する。カソード電流100％がカソード電源電力の最大値である。カソード電流 I_{ss} は増加させるが、カソード電圧 V_{ss} を低下させることにより電力が上限値を超えないよう制御している。一例として、カソード電流150％とは、カソード電圧が既定値の-9Vを保持した状態で出力できるカソード電流を100％とした時の1.5倍である。カソード電流150％では、カソード電圧は、-6Vまで上昇する。

【0475】

説明を容易にするため、一例として具体的な数字を記載して説明をする。図85において、カソード電流比が100％の時のカソード電流 $I_{ss} = 0.1\text{A}$ とする。したがって

、カソード電流 150 %では、 $I_{ss} = 0.15 \text{ A}$ となる。昇圧回路 1281b の電源容量 100 %とは、カソード電流 100 %の時の $0.1 \text{ A} \times (-9) \text{ V} = 0.9 \text{ W}$ である。カソード電流が 1.5 倍の 0.15 A となったとき、昇圧回路 1281b の電源容量 100 %の上限を超えないようにするには、 $0.9 \text{ W} / 0.15 \text{ A} = 6 \text{ V}$ となるから、カソード電圧 V_{ss} は -6 V に調整すればよい。つまり、カソード電流 I_{ss} が 150 %の時は、昇圧回路 1281b が出力する電力は、 $1.5 \times 0.1 \text{ A} \times (-6 \text{ V}) = 0.9 \text{ W}$ となる。つまり、カソード電圧 V_{ss} を 1.5 分の 1 倍に抑制することにより、昇圧回路 1281b の電源容量は増加させる必要はない。カソード電流 I_{ss} が 0 ~ 100 %の時は、昇圧回路 1281b の出力電力は 0 % ~ 100 %の範囲で、カソード電流 I_{ss} に比例して線形に変化させている。もちろん、カソード電源の電力が上限値を超えなければ線形でなくともよい。

10

【0476】

以上のように、本発明は、カソード電流 I_{ss} が 100 %以上の領域であっても、カソード電源の最大電力 $P_m = \text{カソード電流 } I_{ss} \times \text{カソード電圧 } V_{ss}$ が維持されるように制御することを特徴とする。EL 表示装置（自発光表示装置）に供給する電流（アノード電流またはカソード電流）が設定された電流以下（カソード電流 100 %以下）の場合は、アノード電圧とカソード電圧を保持した状態で、必要なカソード電流 I_{ss} を供給し、カソード電流 100 %以上の領域では、アノード電圧、カソード電圧の絶対値を小さくし、 P_m が一定となるように、カソード電流を供給する。

20

【0477】

本発明では、duty 比制御などを実施することにより EL 表示パネルに流れ込む電流を、点灯率に対応して制御する。例えば、画像の点灯率が 10 %などから低い状態から、90 %以上の点灯率に急変したときは、duty 比を小さくすることにより、EL 表示パネルに流れ込む電流（カソード電流 I_{ss} 、アノード電流 I_{dd} ）を抑制する。その抑制期間は 0.5 ~ 2 秒程度である。つまり、点灯率が急変時は 0.5 ~ 2 秒の短期間の間、カソード電流などは増加するが、短時間でカソード電流などは低下する。この短期間の間は、図 85 などで説明したカソード電圧 V_{ss} の絶対値を低下させるなどの方式を用いて、カソード電力の最大値を超えないようにする。

【0478】

特に、本発明の EL 表示パネルでは、カソード電圧 V_{ss} の絶対値が小さくなっても、電流プログラムによる駆動用トランジスタ 11a のプログラムは良好に実施できるので、問題ない。たとえ、以上にカソード電圧の絶対値が小さくなっても、0.5 ~ 2 秒の短期間の間だけ、レーザーショットの筋ムラが発生するだけである。この期間は画像が急変している期間であるから、視覚的にはレーザーショットがめだつことはない。以上のように、本発明の電源回路あるいは構成もしくは制御方法は、EL 表示装置などの自発光表示装置に特に有効である。

30

【0479】

以上の実施例は、カソード電圧を上昇（GND 側に近くする）としたが、電源回路 1281 に入力される突入電流を抑制することにも意義がある。突入電流が一定の上限値を超えるとバッテリーのインピーダンスによりバッテリーの出力電圧（電源回路 1281 では V_{in} ）が低下し、本体の回路（EL 表示装置以外の回路）が誤動作してしまうからである。本発明により、EL 表示装置の使用電力（電流）が変化しても、一定以上の突入電流は流れない。したがって、この課題は発生しない。

40

【0480】

図 85 では、カソード電流が 100 %と超えてもカソード電源電力 P_m が一定となるように制御されている。電力比 100 %（カソード電源の最大電力）までは、カソード電流 I_{ss} の増加に伴い、カソード電源の出力電流は増加する。カソード電圧 V_{ss} は一定に保持されている。電力比 100 %以上ではカソード電流は増加を続けるが、電力を一定値以内とするため、カソード電圧 V_{ss} の絶対値は小さくされる。

【0481】

50

カソード電流 I_{ss} が増加をつづけ、それに伴いカソード電圧 V_{ss} の絶対値が低下する。一定以上のカソード電流 I_{ss} が増加すれば、増加は停止し、また、カソード電圧 V_{ss} の絶対値の低下もなくなり、一定値を保持するように制御される。

【0482】

以上の本発明の実施例において、一定以上のカソード電流 I_{ss} を EL 表示パネルに供給する時は、「カソード電圧の絶対値が小さくする」として説明した。しかし、絶対値の基準は、GND に限定するものでない。アノード電圧 V_{dd} あるいはそれと比例して変化する電圧（たとえばプリチャージ電圧 V_p など）を基準としてもよい。特に電流駆動方式で画素が図 1 のように P チャンネルの場合は、アノード電圧 V_{dd} が電圧の原点（基準）である。したがって、本発明において、カソード電圧の絶対値を小さくするとは、アノード電圧を基準として小さくすると考えてもよい。また、駆動用トランジスタ 11a が N チャンネルトランジスタの場合は、カソード電圧を基準としてアノード電圧の絶対値を小さくするとして置き換えても良い。また、画素 16 の駆動用トランジスタ 11a が P チャンネルであっても、カソード電圧（ V_{ss} ）を基準とする場合もある。その場合は、カソード電圧を基準としてアノード電圧の絶対値を小さくするとして置き換えても良い。

10

【0483】

カソード電流（電圧）あるいはアノード電流（電圧）の抑制制御は、電源回路に入力される入力電流の検出により実施する。図 86 はその実施例である。入力端子 V_{in} にピックアップ抵抗 R を配置する。ピックアップ抵抗 R の両端の電圧は V_a と V_b 端子の電位差で検出する。ピックアップ抵抗の両端の電圧は、20 mV 以上 100 mV 以下となるように設定する。好ましくは、精度の観点から 35 mV 以上 70 mV 以下となるように抵抗値を調整あるいは設定する。抵抗値 R の値は 20 mΩ 以上 100 mΩ 以下となるように選定する。好ましくは、精度などの観点から 35 mΩ 以上 70 mΩ 以下の抵抗を用いる。抵抗 R の端子電圧が設定値を超えると、電源回路 1281 内の発振回路の発振周波数を低減し、出力電流もしくは入力電流が規定設定値の上限を超えないように動作させる。発振回路などは当業者であれば、既知であるのでその説明を省略する。電源回路 1281 の発振回路を制御してアノード電圧（電流） V_{dd} またはカソード電圧（電流） V_{ss} のうち少なくとも一方を調整する。

20

【0484】

図 91 のようにアノード側とカソード側の 2 つの電源回路を有する場合は、カソード電流側の入力電流あるいは出力電流をモニターし、入力電流あるいは出力電流の値が規定値を超えないように発振周波数などを制御する。EL 表示装置ではアノード電流とカソード電流は略一致している。カソード電流を抑制あるいは上限値を超えないように制御すれば、同時にアノード電流も抑制される。この点が本発明の特徴ある構成である。ここでカソード側をモニターするとしたのは、図 1 のように駆動用トランジスタ 11a が P チャンネルトランジスタであり、また、EL 素子 15 の一端がカソード端子に接続されているからである。駆動用トランジスタ 11a が N チャンネルトランジスタの場合は、アノード側をモニターして制御する。また、EL 素子 15 の一端がアノード端子に接続されている場合も同様に、アノード側をモニターして制御する。なお、ダイオード D 、コイル L 、コンデンサ C は DC DC 回路と平滑回路である。

30

40

【0485】

図 86 などでは、抵抗 R の両端電圧をモニターするとしたが、入力電流あるいは出力電流を、直接、電流計などを用いてモニターしてもよいことは言うまでもない。また、抵抗 R の代わりに FET トランジスタを用いて、FET トランジスタのチャンネル間電圧をモニターするように構成してもよい。

【0486】

なお、図 86 などでは電源回路 1281 の入力側に抵抗 R を配置したが、これに限定するものではなく、出力側に抵抗 R あるいは出力電流をモニターする電流測定手段を配置して、出力電流あるいは入力電流を抑制あるいは上限値を超えないように制御、調整してもよいことは言うまでもない。

50

【0487】

また、図86などは、抵抗Rの両端電圧を測定（モニター）など、電圧により制御するとしたが、これに限定するものではない。抵抗Rに流れる電流 I_{in} （抵抗Rの値が既知の場合は抵抗Rの両端電圧から電流を算出できる）と、入力電圧 V_{in} を掛け合したものの電力 W_{in} （ $V_{in} \times I_{in}$ ）で入力電流または出力電流を制御してもよいことは言うまでもない。 W_{in} はバッテリー（1次電池、2次電池、ACアダプタ、DCアダプタなど）から出力される電力である。このように制御することによりバッテリー（電力供給手段）が出力する電力を規定の上限値と超えないように制御あるいは調整することができる。バッテリーは、フル充電時と終了時では出力電圧 V_{in} が異なるからである。入力電圧 V_{in} は、AD回路で容易に取得あるいはモニターできる。

10

【0488】

以上の事項は、本発明の他の実施例においても適用されることはいうまでもない。

【0489】

以上のように、本発明では、電流あるいは電圧駆動を実施する基準電圧（本実施例ではアノード電圧 V_{dd} ）を基準として他方の電圧（本実施例ではカソード電圧 V_{ss} ）の絶対値を小さくする。また、カソード電源容量とアノード電源容量が同一あるいは類似の容量（電力（W）または電力時（Wh））に形成し、アノード電圧の絶対値（本実施例では6V）をカソード電圧の絶対値（本実施例では9V）よりも小さく構成する。基準電圧はアノード電圧とし、カソード電圧を一定以上のカソード電流を出力するときは、カソード電圧の絶対値を小さくする。つまり、基準でないほうの電圧を変化させる点が技術的特徴である。

20

【0490】

本発明は、アノード電流（電源回路から出力される正電流）とカソード電流（電源回路から出力される負電流）が一致もしくは略一致する自発光表示装置において、カソード電流あるいはアノード電流が規定値を超えると、一方の電圧（カソード電圧またはアノード電圧）の一方の電圧の絶対値を小さくする駆動方式である。

【0491】

また、本発明は、電圧または電流プログラムを実施する自発光表示装置において、カソード電流あるいはアノード電流が規定値を超えると、電圧または電流プログラムの基準電圧（本発明の図1の実施例ではアノード電圧 V_{dd} ）を変化させず（一定電圧を保持し）、他方の電圧（本発明ではカソード電圧 V_{ss} ）の絶対値を小さくする駆動方式である。

30

【0492】

また、本発明は、アノード電流（電源回路から出力される正電流）とカソード電流（電源回路から出力される負電流）が一致もしくは略一致し、電流プログラムを実施する自発光表示装置にあって、カソード電流あるいはアノード電流が所定値を超えると、電流プログラムの基準電圧（本発明の図1の実施例ではアノード電圧 V_{dd} ）を変化させず（一定電圧を保持し）、他方の電圧（本発明ではカソード電圧 V_{ss} ）の絶対値を小さくする駆動方式または電源回路構成である。

【0493】

また、本発明の電源あるいは電源回路構成もしくは電源を用いた駆動方法は、duty比制御、基準電流比制御など表示パネルに流れる電流（電源回路から出力される電流）を抑制する駆動方式と組み合わせることにより、より特徴ある効果を発揮する。

40

【0494】

以上の実施例では、図1などに図示するような画素の構成あるいは、画素16の駆動用トランジスタ11aがPチャンネルトランジスタで構成した場合は、カソード電圧を変化させても画像表示を劣化させることはほとんどない。駆動用トランジスタ11dがPチャンネルの場合は、基準とする電圧（電位）がアノード電圧 V_{dd} であるため、カソード電圧の変化は画像表示あるいは電圧/電流プログラムに影響を与えないからである。つまり、本発明は、電圧または電流プログラムで基準となる電圧とならない電圧（本実施例では

50

基準となる電圧はアノード電圧 V_{dd} であり、基準とならない電圧はカソード電圧 V_{ss} である)を、100%を超える電流をEL表示装置(自発光表示装置)に供給するときは変化させる(変化させる電圧は、カソード電圧 V_{ss} である)。

【0495】

図1などに図示するような画素の構成あるいは、画素16の駆動用トランジスタ11aがPチャンネルトランジスタで構成した実施例について説明したが、画素16の駆動用トランジスタ11aがNチャンネルトランジスタの場合も本発明を適用できることは言うまでもない。画素16の駆動用トランジスタ11aがNチャンネルの場合は、基準とする電圧(電位)がカソード電圧 V_{ss} となる場合が多い。この場合は、アノード電圧の変化は画像表示あるいは電圧/電流プログラムに影響を与えない。つまり、本発明は、電圧また

10

【0496】

なお、以上の実施例では、点灯率が短期間で急変する時に、カソード電圧の絶対値などを小さくするとしたが、本発明はこれに限定するものでない。EL表示装置では、RGBで発光効率が異なる。特に、BはGなどに比較して発光効率が悪い。そのため、Bのラスター表示などを表示された場合は、必要な電力がGあるいはRラスター表示に比較して大きい。電源電力容量を決定する場合に、Bラスター表示を基準としてサイズを決定すれば、電源サイズが非常に大きくなる。モバイル表示装置では不可能に近い。

20

【0497】

この課題に対して、本発明を実施すれば有効である。RGBの中間的な効率での電力から電源サイズを決定する。したがって、Bラスター表示では、電源電力よりオーバーとなる。この場合は、カソード電流は、B表示状態に対応して出力するが、カソード電圧は電源オーバーにならないように電圧の絶対値を小さくする。青空の表示、海の表示では比較的カソード電流出力が規定値より大きくなる状態が連続する。しかし、本発明では、カソード電圧を制御するだけであるので画質劣化はほとんど発生しない。

【0498】

また、図2のように電圧駆動の画素構成にも、本発明の電源回路およびそれを用いた表示装置、表示装置の駆動方法にも有効であることは言うまでもない。特に、図1、図18

30

【0499】

また、本発明は、点灯率を演算などして得ることができる駆動方式と組み合わせることにより効果を発揮できることも言うまでもない。点灯率により、EL表示装置などの自発光表示装置に流れ込む電流を得ることにより、電源から出力される電流(アノード電流、カソード電流)を把握することからである。この電流の把握により、カソード電圧

40

【0500】

図87は本発明の他の実施例である。図87は V_{in} 電圧を昇圧し、 V_{dd} 電圧を発生する昇圧回路1281と、昇圧された V_{dd} 電圧をGND電圧と中心として、極性反転した V_{ss} 電圧を発生する電圧反転回路1282から構成された電源回路の構成図である。

【0501】

図87のように構成することにより、回路構成が簡単になり、低コスト化を実現できる。しかし、発生する電圧は、図88に図示するように、 V_{dd} 電圧の大きさAと V_{ss} 電圧の大きさBとは、 $A=B$ となる。なお、図88に図示するように、 V_{cc} 電圧と V_{dd}

50

電圧とを共通（同一の電圧）にすることにより、より電源回路の低コスト化が可能になる。

【0502】

図88の構成であっても、カソード（アノード）電圧制御（駆動用トランジスタがPチャンネルトランジスタの場合は、主としてカソード電圧を変化させるカソード電圧制御と実施し、駆動用トランジスタがNチャンネルトランジスタの場合は、主としてアノード電圧を変化させるアノード電圧制御と実施する）を適用できることは言うまでもない。

【0503】

また、図79、図80では、カソード電圧の変化は連続して変化させるとして説明したが、本発明はこれに限定するものではない。たとえば、図89に図示するように、カソード電圧を V_{ss0} 、 V_{ss1} 、 V_{ss2} 、 V_{ss3} とデジタル的に変化させてもよい（飛び飛びな値で変化させてもよい）。図90では、カソード電圧をデジタル的に、 V_1 、 V_2 、 V_3 、 V_4 から選択できるように構成している。図90ではスイッチにより、カソード電圧 V_2 が選択されている。また、一部を連続で、一部をデジタル的に変化させてもよい。たとえば、高輝度表示モードとノーマル輝度表示モードの切り換え時は、デジタル的に変化させ、温度による変化では連続的に変化させてもよい。また、図91に図示するように、 V_{in} 電圧を昇圧回路1281bしてから反転させてもよい。

10

【0504】

図92は、カソード電圧をDAコンバータ回路（デジタル・アナログ変換手段）211によりカソード電圧を変化あるいは可変できるように構成した実施例である。コントロールICから出力されるデジタル8ビットのVKDATAデータを、DAコンバータ211でアナログ信号に変換し、カソード端子に印加する。

20

【0505】

また、以上の実施例は、昇圧回路1281の動作により、アノード電圧を低下させたり、カソード電圧を上昇させたりするとした。しかし、本発明はこれに限定するものではない。たとえば、図93に図示するように、カソード電圧の出力端子に抵抗Rを配置する。抵抗Rに I_{ss} 電流が流れると、抵抗Rの両端電圧が I_{ss} 電流に比例して高くなる。したがって、 I_{ss} 電流が大きくなるにしたがって、カソード端子電圧が上昇する。 I_{ss} 電流は点灯率に比例するから、点灯率に対応してカソード電圧を上昇させる（変化させる）ことができる。なお、抵抗Rの代わりに、ボジスタ、サイリスタなどの非線形素子と用いても良い。

30

【0506】

以上に説明した本発明の電源回路方式は、少なくとも電流駆動方式を実施する表示装置と組み合わせと相乗効果が得られる。電流駆動方式では、映像信号のデータ処理を実施することにより、表示装置で使用される電力を把握できているからである。したがって、電力（電流）の上限値が明確であり、それ以上の電力（電流）となることを抑制するという構成が容易に実現でき、また、表示パネルとしても有効であるからである。特に、EL表示装置では、短時間の間、カソード電圧などが変化しても表示画像に影響を与えない。したがって、特に有効な効果を発揮できる。

【0507】

なお、以上に説明した本発明の電源回路あるいは電源回路の駆動方法およびそれを用いた表示装置（表示パネル）は、EL表示装置などに限定されるものではない。本発明は、広く自発光デバイスに適用できるものである。自発光デバイスは、それらを用いた表示装置から放射される光束量と消費電力とが比例関係にあるからである。したがって、放射光束が増大するほど電力は増大するから、最大値を超えないように抑制処理を実施する必要がある。そのため、本発明の電源回路などを採用することによりすぐれた効果を発揮できる。

40

【0508】

自発光デバイスあるいは表示装置として、CRT、フィールドエミッションディスプレイ（FED）、SED（キャノンと東芝が開発したディスプレイ）、PDP（プラズマデ

50

イスプレイパネル)などが例示される。また、有機EL表示装置の他、無機EL表示装置が例示される。

【0509】

また、一定の条件が合致すれば、自発光デバイスに限定されず、本発明の電源回路方式は適用される。たとえば、液晶表示装置において、画像表示状態に合わせて、バックライト輝度を制御する方式に本発明は適用される。液晶表示パネルの表示輝度が高い画像ではバックライトの輝度を上昇させ、液晶表示パネルの表示輝度が低い画像ではバックライトの輝度を低下させる。バックライトの輝度は入力電力に略比例する。したがって、以上のように制御あるいは表示する液晶表示装置では、自発光表示装置と同様に画面輝度に合わせて消費電力が変化する。このような方式の場合に本発明の電源回路方式を適用すると良好な結果を得ることができる。つまり、本発明の電源回路方式は、表示輝度の変化に伴い、入力電流が変化する表示デバイス(広義にはバックライトなどの光発生手段)に広く適用されるものである。

10

【0510】

以下、本発明のEL表示パネルまたはEL表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図53は情報端末装置の一例としての携帯電話の平面図である。筐体1333にアンテナ1331、テンキー1332などが取り付けられている。1332などが表示色切換キーあるいは電源オンオフ、フレームレート切り換えキーである。

【0511】

20

キー1332を1度押さえると表示色は8色モードに、つづいて同一キー1332を押さえると表示色は4096色モード、さらにキー1332を押さえると表示色は26万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。

【0512】

図54は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図54において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【0513】

30

ボデー1333の裏面は暗色あるいは黒色にされている。これは、EL表示パネル(表示装置)1334から出射した迷光がボデー1333の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板($\lambda/4$ 板など)38、偏光板39などが配置されている。このことは図3、図4でも説明している。

【0514】

接眼リング1341には拡大レンズ1342が取り付けられている。観察者は接眼リング1341をボデー1333内での挿入位置を可変して、表示パネル1334の表示画面64にピントがあうように調整する。

【0515】

40

また、必要に応じて表示パネル1334の光出射側に正レンズ1343を配置すれば、拡大レンズ1342に入射する主光線を収束させることができる。そのため、拡大レンズのレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0516】

図55はビデオカメラの斜視図である。ビデオカメラは撮影(撮像)レンズ部1352とビデオカメラ本体1333と具備し、撮影レンズ部1352とビューファインダ部1333とは背中合わせとなっている。また、ビューファインダ(図54も参照)1333には接眼カバーが取り付けられている。観察者(ユーザー)はこの接眼カバー部から表示パネル1334の表示画面64を観察する。

【0517】

本発明のEL表示パネルは表示モニターとしても使用されている。表示部64は支点1

50

３５１で角度を自由に調整できる。表示部６４を使用しない時は、格納部１３５３に格納される。

【０５１８】

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図５６に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１３６１に付属されたモニター６４として用いる。カメラ本体１３６１にはシャッタ１３６３の他、スイッチ１３５４が取り付けられている。

【０５１９】

本発明のＥＬ表示パネルは、３Ｄ（立体）表示装置にも採用できる。図５８は本発明の３Ｄ表示装置の説明図である。図５８に図示するように、２枚のＥＬ表示パネル（ＥＬ表示アレイ）３０ａ、３０ｂは対面して配置されている。また、表示パネル３０ａの画素電極１５ａと、表示パネル３０ｂの画素電極１５ｂとは対面する位置に配置されている。２枚のＥＬ表示パネルの間隔は隔離柱１４１１で保持されている。隔離柱１４１１は表示領域６４の周囲に配置され、リング状の形状をしている。ガラスなどの無機材料で構成されている。隔離柱１４１１（高さ）は圧膜技術、塗布技術、印刷技術などで形成または構成してもよい。また、アレイ基板３０をエッチング技術あるいは研磨技術を用いて表示領域６４などを掘り下げることにより形成してもよい。

10

【０５２０】

隔離柱１４１１は１ｍｍ以上８ｍｍ以下の厚みである。特に、隔離柱１４１１は３ｍｍ以上７ｍｍ以下の厚みにすることが好ましい（図６０のｄが該当する）。隔離柱１４１１は封止樹脂６３３２でパネル３０ａ、３０ｂに貼り付けられている。空間６３３３には必要に応じて乾燥剤が配置あるいは形成または構成される。

20

【０５２１】

なお、図５８では、表示パネル３０ａと３０ｂは２枚の基板で一体化されているように図示したがこれに限定するものではない。表示パネル３０ａと３０ｂはそれぞれアレイ基板と対向基板（封止基板）を有するように構成してもよい。つまり、独立した表示パネル３０ａと３０ｂを隔離柱１４１１などの隔離手段（一定間隔を保持する手段）を用いて配置してもよい。

【０５２２】

表示パネル３０ａの画素電極１５ａと、表示パネル３０ｂの画素電極１５ｂとは、異なる画像あるいは同一の画像を表示する。画像はＡ方向から観察する。したがって、ＥＬ表示パネル３０ａは透過型である必要がある。画素電極１５ａを介して表示パネル３０ｂの画素電極１５ｂに表示される画像を観察する必要があるからである。表示パネル３０ｂのＥＬ素子１５の両電極は透過性を有する必要がある。液晶表示装置では画像表示にバックライトが必要である。したがって、透過型に構成することはできない。ＥＬ表示パネルは自己発光パネルであるので、表示画像を両面から見えるように構成することができる。つまり、Ａ側から表示パネル３０ａの画像を観察することができる。かつ、表示パネルはＡ側から表示パネル３０ｂの画像を観察できるように構成する必要がある。表示パネル３０ｂは透過型であっても、反射型であってもよい。

30

【０５２３】

表示パネル３０ｂは液晶表示パネルで構成してもよい。その場合は、図５８に図示するようにバックライト１４１４を配置し、表示パネル３０ｂの画像がＡ側から観察できるように構成する。表示パネル３０ａと３０ｂの画面サイズは一致されることが好ましいが、これに限定するものではない。一方の表示パネル３０の画面サイズを小さくしてもよい。

40

【０５２４】

表示パネル３０ａと３０ｂに映像信号を供給する映像処理回路は共通にすれば低コスト化が望める。また、表示パネル３０ａと３０ｂの表示画像の明るさうち、一方の明るさを他方の明るさに対して変化ありは変更できるように構成することが好ましい。

【０５２５】

表示パネル３０ａの表示画像６４ａは、表示パネル３０ｂの表示画層６４ｂよりも明る

50

く（輝度を高く）表示させる。表示画像 6 4 a と表示画像 6 4 b との輝度差を発生させることにより、A 側から見た画像が立体的に見える。輝度差は、10%以上80%以下にするとよい。特に、20%以上60%以下にするとよい。

【0526】

図 5 9 は、2 つの表示パネル 3 0 の画像表示状態の説明図である。コントローラ IC（回路）は表示パネル 3 0 a のソースドライバ回路（IC）1 4 a などと、表示パネル 3 0 b のソースドライバ回路（IC）1 4 b などとを制御して画像を制御し、表示画像 6 4 a と 6 4 b とで 3 D 表示を実現する。

【0527】

図 6 0 は、透過型の自発光型表示パネル 3 0 a と、非発光型の液晶表示パネル 1 6 5 3 とを組み合わせた実施例である。液晶表示パネル 1 6 5 3 の背面にはバックライト 1 6 5 1 が配置されている。バックライト 1 6 5 1 と液晶表示パネル 1 6 5 3 間には偏光板（偏光フィルム）3 9 a が配置されており、液晶表示パネル 1 6 5 3 の光出射面側にも偏光板（偏光フィルム）3 9 b が配置されている。液晶表示パネル 1 6 5 3 はノーマリホワイトモードであり、偏光板 3 9 a と偏光板 3 9 b の偏光軸は直交している。液晶表示パネル 1 6 5 3、バックライト 1 6 5 1、EL 表示パネル 3 0 a は保持具（筐体）1 6 5 2 に一体となるように取り付けられている。したがって、液晶表示パネル 1 6 5 3 の画像表示位置と、EL 表示パネル 3 0 a の画像表示位置間距離 d は精度よく一定に保たれている。

【0528】

なお、ここでいう直交とは、液晶表示パネルの液晶層に電圧が印加されていない時、偏光板 3 9 a に入射した光が、液晶表示パネル 1 6 5 3 を透過し、偏光板 3 9 b に入射した際に、偏光板 3 9 b で吸収されて、偏光板 3 9 b から透過しない状態（最も光を透過しない状態）に構成または配置することを意味する。

【0529】

一方、EL 表示パネル 3 0 a と液晶表示パネル 1 6 5 1 間には、円偏光板 1 6 5 4 a が配置されている。円偏光板 1 6 5 4 は $\lambda/4$ 板（ $\lambda/4$ フィルム）3 8 と偏光板（偏光フィルム）3 9 から構成される。EL 表示パネル 3 0 a の光出射面にも、円偏光板 1 6 5 4 b が配置されている。円偏光板 1 6 5 4 a の偏光板 3 9 c の偏光軸と、円偏光板 1 6 5 4 b の偏光板 3 9 d の偏光軸とは、直交するように配置されている。

【0530】

なお、ここでいう直交とは、偏光板 3 9 c に入射した直線偏光が、 $\lambda/4$ 板（ $\lambda/4$ フィルム）3 8 c で円偏光に変換され、EL 表示パネル 3 0 a を透過し、円偏光板 3 8 d で先の直線偏光と 90 度位相が異なる直線偏光に変換され、偏光板 3 9 d を透過する状態（最も光を透過する状態）に構成または配置することを意味する。

【0531】

以上の関係を図 6 1 に図示している。図 6 1 の偏光板 3 9 上に示す矢印は、偏光軸を示している。バックライト 1 6 5 1 からの光は、偏光板 3 9 a に入射し、直線偏光に変換される。直線偏光は、液晶表示パネル 1 6 5 3 に入射し、液晶表示パネル 1 6 5 3 は直線偏光を印加される映像信号に応じて変調する。変調された直線偏光は、変調の割合に応じて偏光板 3 9 b で吸収または透過する。偏光板 3 9 b を透過する直線偏光は、偏光板 3 9 a を透過する直線偏光を 90 度位相が回転している。

【0532】

偏光板 3 9 b を透過した直線偏光は、そのまま、偏光板 3 9 c を透過する（一部減衰する）。偏光板 3 9 c に入射した直線偏光が、 $\lambda/4$ 板（ $\lambda/4$ フィルム）3 8 c で円偏光に変換され、EL 表示パネル 3 0 a を透過し、円偏光板 3 8 d で先の直線偏光と 90 度位相が異なる直線偏光に変換され、偏光板 3 9 d を透過する。したがって、液晶表示パネル 1 6 5 3 の表示画像は、EL 表示パネル 3 0 a を透過して、観察することができる。もちろん、EL 表示パネル 3 0 a は自己発光であるから、円偏光板 1 6 5 4 b を介して、EL 表示パネルの表示画像も観察することができる。以上の構成により、図 4 6 で説明したように、A 側から見た画像が立体的に見える。

10

20

30

40

50

【0533】

図62は、外光の抑制を説明する説明図である。外光BはEL表示パネル30a側から入射する。外光Bは偏光板39dに入射し、直線偏光となる。この直線偏光は、 $\lambda/4$ 板($\lambda/4$ フィルム)38dで円偏光に変換され、EL表示パネル30aに入射する。外光は、主としてカソード電極30で反射される。反射された光Cは、再び、 $\lambda/4$ 板($\lambda/4$ フィルム)38dに入射する。入射した反射光Cは、 $\lambda/4$ 板($\lambda/4$ フィルム)38dで直線偏光に変換される。この直線偏光は、外光Bが偏光板39dを透過した直線偏光と90度位相が異なっている。したがって、光Cは偏光板39dで吸収される。そのため、本発明は、外光Bの影響を受けず、良好なコントラスト表示を実現できる。

【0534】

10

図60などにおいて、表示パネル30aはEL表示パネルとして説明したが、表示パネル30aは、自己発光表示パネルであり、光透過性を有するものであればいずれの表示パネルであればよいことは言うまでもない。また、1653は、液晶表示パネルに限定するものではなく、画像を表示する表示パネル(有機および無機EL表示パネル、SED、FEDなど)であればいずれでもよい。

【0535】

なお、図60、図61、図62などにおいて、液晶表示パネル1653とEL表示パネル(自己発光パネル)30aとの位置関係は入れ替えてもよい。たとえば、図60において、液晶表示パネル1653および偏光板39などをEL表示パネル(自己発光パネル)30aおよび円偏光板1654を入れ替えてもよい。また、自己発光パネル30aは本発明の駆動方式、構造、構成などを採用することにより、より良好な3D(立体)表示を実現できる。

20

【0536】

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面64がたわみやすい。その対策のため、本発明では図57に示すように表示パネルに外枠1371をつけ、外枠1371をつりさげられるように固定部材1374で取り付けている。この固定部材1374を用いて、壁などに取り付ける。

【0537】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部1373を配置し、複数の脚1372で表示パネルの重量を保持できるようにしている。

30

【0538】

脚1372はAに示すように左右に移動でき、また、脚1372はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【0539】

図57のテレビでは、画面の表面を保護フィルム(保護板でもよい)で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況(外光)が写り込むことを抑制している。

40

【0540】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【0541】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

50

【0542】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

【0543】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【0544】

以上の実施例は、本発明の表示パネルなどを表示装置として用いるものであった。しかし、本発明はこれに限定するものではない。図64は、情報発生装置として用いるものである。図11などで説明したように、ゲートドライバ回路12に入力する信号（特にST信号）により、非点灯領域62と点灯領域63を発生することができる。点灯領域63は該当画素16のEL素子15が発光している領域である。つまり、ゲート信号線17bにオン電圧が印加され、図1の画素構成では、トランジスタ11dがオン状態となっている領域である。非点灯領域62は該当画素16のEL素子15に電流が流れていない領域である。つまり、ゲート信号線17bにオフ電圧が印加され、図1の画素構成では、トランジスタ11dがオフ状態となっている領域である。

【0545】

ソースドライバ回路（IC）14から表示領域64に白ラスタ表示の信号が印加されているとする。ゲートドライバ12bを制御することにより、表示領域64にストライプ状（画素行単位で点灯、非点灯制御されるため）に点灯領域63と非点灯領域62を発生させることができる。図64に図示するように、ゲートドライバ回路12bの制御によりバーコード表示を実現できる。

【0546】

ゲートドライバ回路12aのST1端子には、1フレームに1回のスタートパルスが印加される。ゲートドライバ回路12bのST2端子には、バーコード表示に対応させてスタートパルスが印加される。通常の印刷物のバーコードと異なる点は、表示領域64の各バーコード表示位置が水平走査信号に同期して移動する点である。

【0547】

したがって、図63に図示するように、EL表示パネルの表示領域64に、1画素行の点灯状態を検出できるホトセンサ1391を配置または形成すれば、ホトセンサ1391を固定した状態で、1/（1秒間のフレーム数・画素行数）のレートでバーコードの表示状態を検出できる。ホトセンサ1391で検出したデータはデコーダ（バーコード解読器）1392により電気信号に変換され解読されて情報になる。EL表示パネルは応答性が速いため、高速の情報を表示することができる。

【0548】

本発明の実施例で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体（3D）テレビ、プロジェクションテレビ、フィールドエミッションディスプレイ（FED）、SED（キャノンと東芝が開発したディスプレイ）、PDP（プラズマディスプレイパネル）などに適用できる。

【0549】

また、ビューファインダ、携帯電話のメインモニターおよびサブモニターあるいは時計表示部、PHS、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。

【0550】

10

20

30

40

50

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、デジタルスチルカメラ、電子スチルカメラにも適用できる。

【0551】

また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置などにも適用できる。また、バーコードなどの情報の発生機器にも適用することができる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0552】

本発明は、炊飯器などの家庭電器機器の表示モニター、カーオーディオの表示部、車のスピードメーター、ひげそりの表示部、ポケットゲーム機器およびそのモニター、電話器の番号、工場の計測器のインジケーターなどの表示モニター、電車の行き先表示モニター、ネオン表示装置の置き換え、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置、天井灯、窓ガラス、車のヘッドライトなどの照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。

【0553】

また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【0554】

また、スクアナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、本発明の表示装置から出力される光を単一波長あるいは狭帯域の波長がでるように構成し、レーザー表示装置またはその応用として用いても良いことは言うまでもない。狭帯域化は、干渉効果あるいは光学フィルタなどを用いることにより実現できる。

【0555】

なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせて実施されてもよく、その場合は、その組み合わせによる特徴ある効果が得られる。

【産業上の利用可能性】

【0556】

本発明は、昇圧回路128aの電源発生容量（アノード電源容量と呼ぶ＝アノード電圧 V_{dd} ×アノード電流 I_{dd} ）と、昇圧回路128bの電源発生容量（カソード電源容量と呼ぶ＝カソード電圧 V_{dd} ×カソード電流 I_{dd} ）は、略同一に構成（作製）している。アノード電源容量＝カソード電源容量とすることにより、電源モジュールサイズを小型化できる。特に、カソード電源容量を必要容量よりも小さい設計できることによる効果が大きい。また、昇圧回路128aで使用するコイルLと昇圧回路128bで使用するコイルLとは同一のものを使用することができるため、コストを低減することができる。

【0557】

本発明は、EL表示する電力（電流）に最大電力（電流）容量に上限を持たせたものである。また、電源回路に入力される突入電流を一定値以下になるように抑制処理を実施するものである。つまり、（最大）電力（電流）一定制御を実施するものである。したがって、電源サイズは従来の電源サイズに比較して小さくできる。本発明ではカソード電流が所定値までは、カソード電圧を一定に保持する。カソード電流が一定値を超えると、カソード電流の増加にともない、カソード電圧の絶対値を低下させ、カソード電源の最大電力を超えないよう動作する。この動作は、カソード電流の大きさをモニターし、モニターし

10

20

30

40

50

た電流によりカソード電圧を低下させる。また、電源回路のカソード電流の出力端子に接続した抵抗の両端電圧を測定することにより、この抵抗に発生する電圧によりカソード電圧を低下させる。また、抵抗の発熱量を検出することにより、制御を実施する。また、電源回路の入力電流をピックアップ抵抗などを用いてモニターし、前記抵抗の両端電圧が一定以上となった場合に、電源回路の内部発振回路の周波数と低減もしくは停止し、突入電流が一定以上とならないように抑制するものである。

【0558】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0559】

本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。

【0560】

本発明のEL表示装置の電源回路は、上記効果を有し、有機または無機エレクトロルミネッセンス(EL)素子などを用いたEL表示パネル(表示装置)などの自発光表示パネルの電源回路に関するものである。また、これらの表示パネルなどの駆動回路(ICなど)および駆動方法などとして有用である。

【図面の簡単な説明】

【0561】

【図1】本発明の表示パネルの画素の構成図である。

【図2】従来の表示パネルの画素の構成図である。

【図3】本発明の表示パネルの構成図である。

【図4】本発明の表示パネルの構成図である。

【図5】本発明の表示パネルの構成図である。

【図6】本発明の表示パネルの構成図である。

【図7】本発明の表示パネルの構成図である。

【図8】本発明の表示パネルの駆動方法の説明図である。

【図9】本発明の表示パネルの駆動方法の説明図である。

【図10】本発明の表示パネルの駆動方法の説明図である。

【図11】本発明の表示パネルの構成図である。

【図12】本発明の表示パネルの構成図である。

【図13】本発明の表示パネルの駆動方法の説明図である。

【図14】本発明の表示パネルの駆動方法の説明図である。

【図15】本発明の表示パネルの駆動方法の説明図である。

【図16】本発明の表示パネルの画素の構成図である。

【図17】本発明の表示パネルの画素の構成図である。

【図18】本発明の表示パネルの画素の構成図である。

【図19】本発明の表示パネルの画素の構成図である。

【図20】本発明の表示パネルの駆動方法の説明図である。

【図21】本発明の表示パネルの駆動方法の説明図である。

【図22】本発明のソースドライバ回路(IC)の構成図である。

【図23】本発明のソースドライバ回路(IC)の構成図である。

【図24】本発明のソースドライバ回路(IC)の構成図である。

【図25】本発明のソースドライバ回路(IC)の構成図である。

【図26】本発明のソースドライバ回路(IC)の構成図である。

【図27】本発明のソースドライバ回路(IC)の構成図である。

【図28】本発明のソースドライバ回路(IC)の説明図である。

【図29】本発明のソースドライバ回路(IC)の説明図である。

【図30】本発明のソースドライバ回路(IC)の構成図である。

10

20

30

40

50

- 【図 3 1】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 3 2】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 3 3】本発明のソースドライバ回路（ＩＣ）の説明図である。
- 【図 3 4】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 3 5】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 3 6】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 3 7】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 3 8】本発明の表示パネルの駆動方法の説明図である。
- 【図 3 9】本発明の表示パネルの駆動方法の説明図である。
- 【図 4 0】本発明の表示パネルの駆動方法の説明図である。 10
- 【図 4 1】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 4 2】本発明の表示パネルの駆動方法の説明図である。
- 【図 4 3】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 4 4】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 4 5】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 4 6】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 4 7】本発明のソースドライバ回路（ＩＣ）の説明図である。
- 【図 4 8】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 4 9】本発明のソースドライバ回路（ＩＣ）の構成図である。
- 【図 5 0】本発明のソースドライバ回路（ＩＣ）の説明図である。 20
- 【図 5 1】本発明の表示パネルの駆動方法の説明図である。
- 【図 5 2】本発明の表示パネルの駆動方法の説明図である。
- 【図 5 3】本発明の表示装置の構成図である。
- 【図 5 4】本発明の表示装置の構成図である。
- 【図 5 5】本発明の表示装置の構成図である。
- 【図 5 6】本発明の表示装置の構成図である。
- 【図 5 7】本発明の表示装置の構成図である。
- 【図 5 8】本発明の表示装置の構成図である。
- 【図 5 9】本発明の表示装置の構成図である。
- 【図 6 0】本発明の表示装置の構成図である。 30
- 【図 6 1】本発明の表示装置の構成図である。
- 【図 6 2】本発明の表示装置の構成図である。
- 【図 6 3】本発明の表示装置の構成図である。
- 【図 6 4】本発明の表示装置の説明図である。
- 【図 6 5】本発明の表示装置のブロック図である。
- 【図 6 6】本発明の表示装置のブロック図である。
- 【図 6 7】本発明のソースドライバ回路（ＩＣ）のブロック図である。
- 【図 6 8】本発明の表示パネルの駆動方法の説明図である。
- 【図 6 9】本発明の表示パネルの駆動方法の説明図である。
- 【図 7 0】本発明の表示パネルの駆動方法の説明図である。 40
- 【図 7 1】本発明の表示パネルの駆動方法の説明図である。
- 【図 7 2】本発明の表示パネルの駆動方法の説明図である。
- 【図 7 3】本発明の表示パネルの駆動方法の説明図である。
- 【図 7 4】本発明の表示パネルの駆動方法の説明図である。
- 【図 7 5】本発明の表示パネルの駆動方法の説明図である。
- 【図 7 6】本発明の表示パネルの駆動方法の説明図である。
- 【図 7 7】本発明の表示装置の電源回路の説明図である。
- 【図 7 8】本発明の表示装置の電源回路の説明図である。
- 【図 7 9】本発明の表示装置の電源回路の説明図である。
- 【図 8 0】本発明の表示装置の電源回路の説明図である。 50

- 【図 8 1】本発明の表示装置の電源回路の説明図である。
- 【図 8 2】本発明の表示装置の電源回路の説明図である。
- 【図 8 3】本発明の表示装置の電源回路の説明図である。
- 【図 8 4】本発明の表示装置の電源回路の説明図である。
- 【図 8 5】本発明の表示装置の電源回路の説明図である。
- 【図 8 6】本発明の表示装置の電源回路の説明図である。
- 【図 8 7】本発明の表示装置の電源回路の説明図である。
- 【図 8 8】本発明の表示装置の電源回路の説明図である。
- 【図 8 9】本発明の表示装置の電源回路の説明図である。
- 【図 9 0】本発明の表示装置の電源回路の説明図である。
- 【図 9 1】本発明の表示装置の電源回路の説明図である。
- 【図 9 2】本発明の表示装置の電源回路の説明図である。
- 【図 9 3】本発明の表示装置の電源回路の説明図である。

10

【符号の説明】

【 0 5 6 2 】

- 1 1 T F T (薄膜トランジスタ)
- 1 2 ゲートドライバ I C (回路)
- 1 4 ソースドライバ回路 (I C)
- 1 5 E L (素子) (発光素子)
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量 (付加コンデンサ、付加容量)
- 2 9 E L 膜
- 3 0 アレイ基板 (自発光表示パネル)
- 3 1 土手 (リブ)
- 3 2 層間絶縁膜
- 3 4 コンタクト
- 3 5 画素電極
- 3 6 カソード電極
- 3 7 乾燥剤
- 3 8 $\lambda / 4$ 板 ($\lambda / 4$ フィルム、位相板、位相フィルム)
- 3 9 偏光板
- 4 0 封止フタ
- 4 1 薄膜封止膜
- 6 1 書き込み行
- 6 2 非表示領域 (非点灯領域、黒表示領域)
- 6 3 表示領域 (点灯領域、画像表示領域)
- 8 1 シフトレジスタ回路
- 8 2 バッファ回路
- 9 1 電流保持回路
- 9 2 ポリシリコン電流保持回路 (内蔵電流保持回路)
- 9 3 出力端子
- 2 2 1 スイッチ (オンオフ手段)
- 2 2 2 内部配線 (出力配線)
- 2 2 3 ゲート配線
- 2 2 4 単位トランジスタ
- 2 2 8 トランジスタ
- 2 3 2 トランジスタ
- 2 3 1 オペアンプ

20

30

40

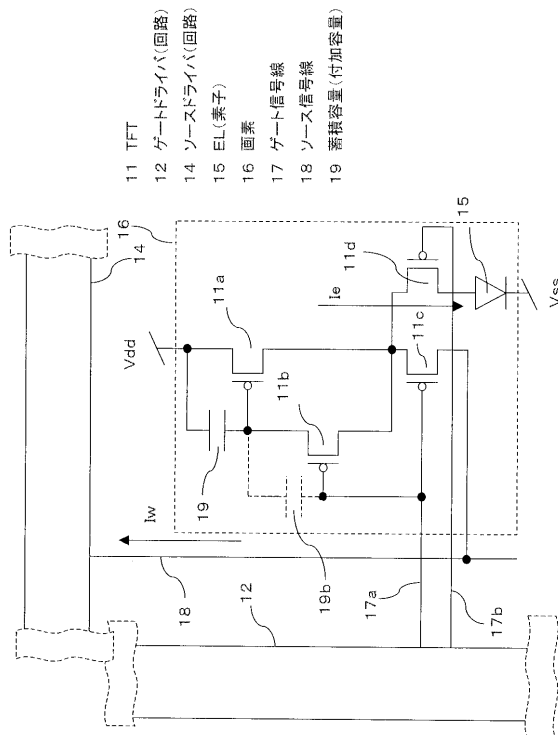
50

2 5 1	トランジスタ群	
2 9 1	電子ポリウム	
3 3 1	一致回路	
3 3 2	カウンタ	
3 3 3	A N D 回路	
3 3 4	電流出力回路	
3 5 1	ラッチ回路	
3 5 2	セクタ回路	
3 5 3	プリチャージ回路	
3 7 1	電圧階調回路	10
3 8 1	サンプルホールド回路（電圧保持手段）	
3 8 2	ソース信号線端子	
3 9 1	切り換え回路	
8 4 1	単位トランジスタ（単位電流出力回路）	
9 1 1	比較回路	
1 1 2 1	スイッチ回路（切り換え手段）	
1 1 2 2	デコーダ回路	
1 1 2 6	A I 処理回路（ピーク電流抑制、ダイナミックレンジ拡大処理など）	
1 1 2 7	動画検出処理（I D 処理）	
1 1 2 8	カラーマネージメント処理回路（色補償 / 補正、色温度補正回路）	20
1 1 2 9	演算回路（M P U、C P U）	
1 1 3 1、1 1 3 2	乗算器	
1 1 3 3	加算器	
1 1 3 4	総和回路（S U M 回路、データ処理回路、総電流演算回路）	
1 2 8 1	昇圧回路または電源回路）	
1 2 8 2	電圧反転回路	
1 3 3 1	アンテナ	
1 3 3 2	キー	
1 3 3 3	筐体	
1 3 3 4	表示パネル	30
1 3 4 1	接眼リング	
1 3 4 2	拡大レンズ（正レンズ）	
1 3 4 3	凸レンズ（正レンズ）	
1 3 5 1	支点（回転部）	
1 3 5 2	撮影レンズ（撮影手段）	
1 3 5 3	格納部	
1 3 5 4	スイッチ	
1 3 6 1	本体	
1 3 6 2	撮影部	
1 3 6 3	シャッタスイッチ	40
1 3 7 1	取り付け枠	
1 3 7 2	脚	
1 3 7 3	取り付け台	
1 3 7 4	固定部	
1 3 9 1	ホトセンサ	
1 3 9 2	デコーダ（バーコード読取器）	
1 3 9 3	E L 表示パネル（自発光表示パネル（装置））	
1 4 1 1	隔離柱（隔離壁（リング））	
1 4 1 2	封止樹脂（封止手段）	
1 4 1 3	空間	50

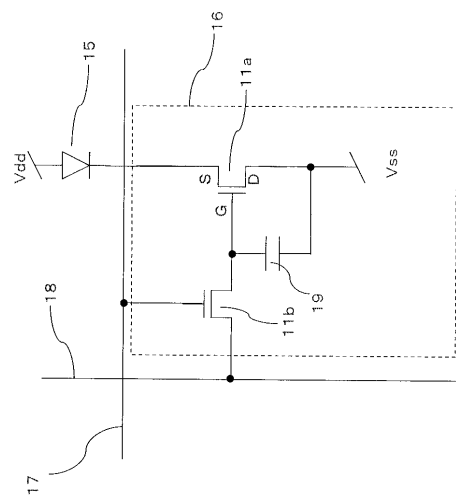
- 1 4 1 4 バックライト
- 1 5 3 1 出力選択回路
- 1 6 5 1 バックライト
- 1 6 5 2 保持具（筐体）
- 1 6 5 3 液晶表示パネル（非発光表示パネル）
- 1 6 5 4 円偏光板
- 2 1 0 1 アノード配線
- 2 1 0 2 カソード配線
- 2 1 1 1 D A 変換回路（ I C ）
- 2 9 7 1 紫外線カット膜
- 3 0 0 1 スペーサ柱
- 3 0 0 2 空間
- 3 0 1 1 乾燥材
- 3 1 1 1 ヒューズROMまたはEEPROM

10

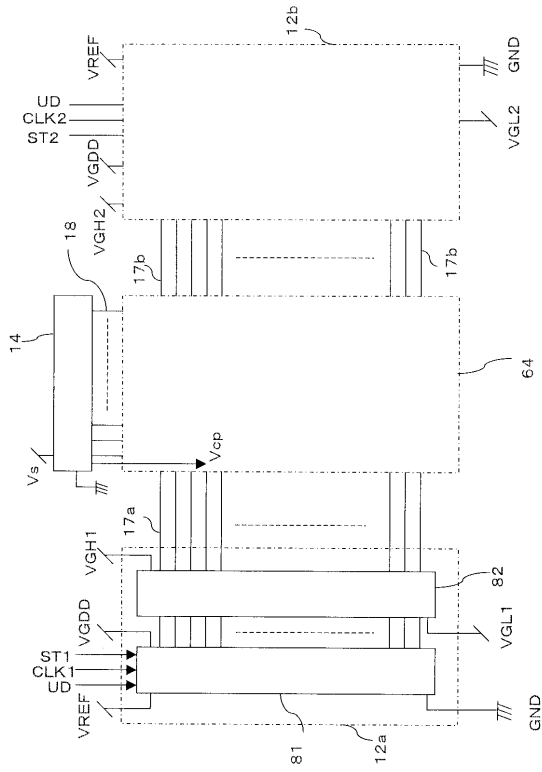
【図 1】



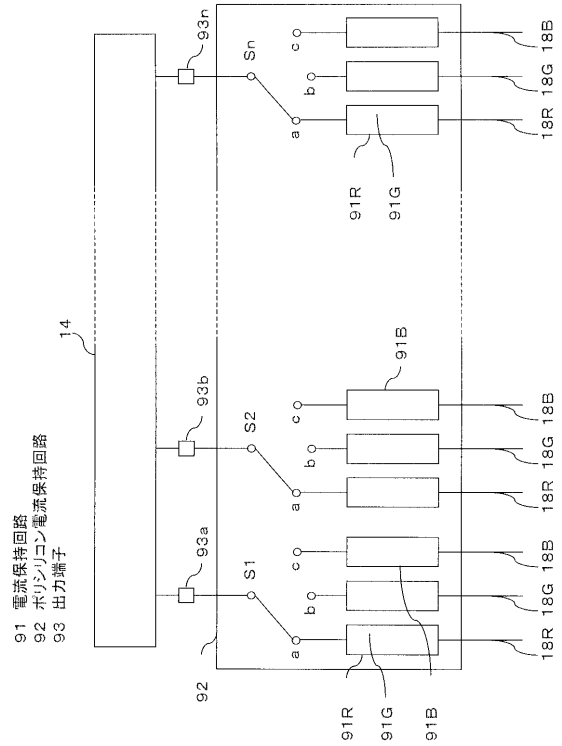
【図 2】



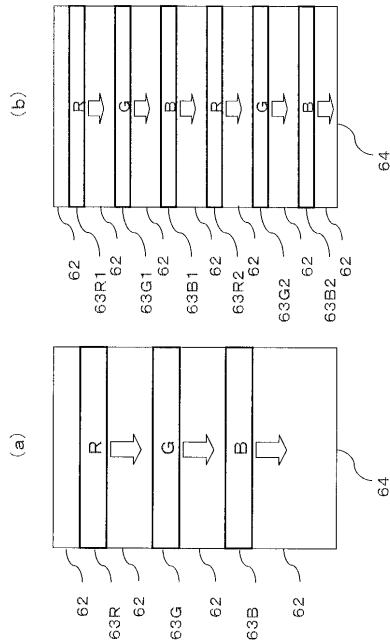
【図 1 1】



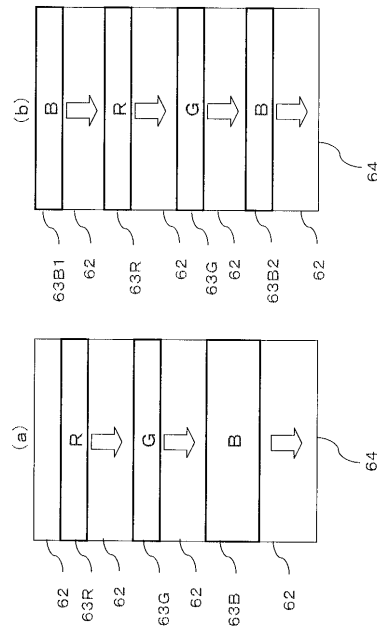
【図 1 2】



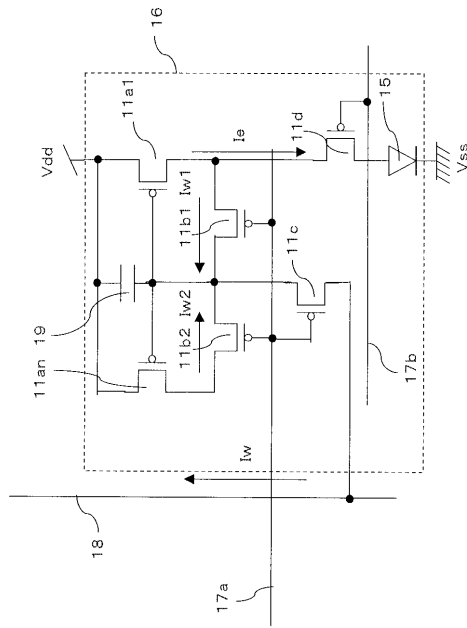
【図 1 3】



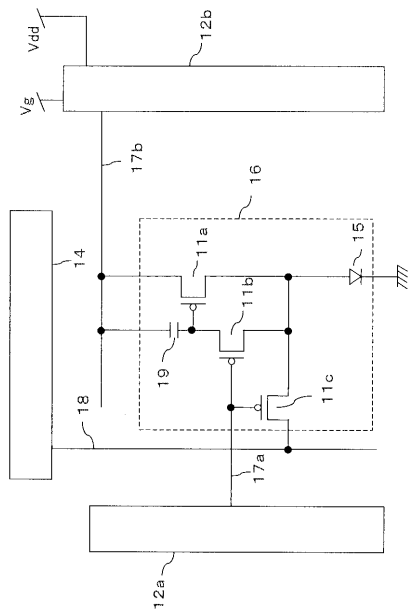
【図 1 4】



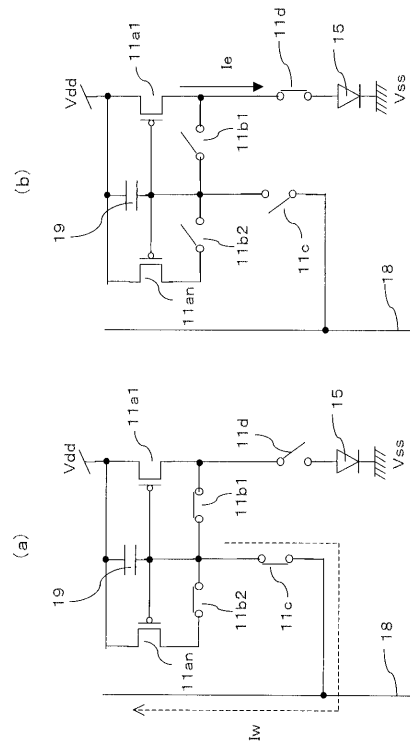
【 図 1 9 】



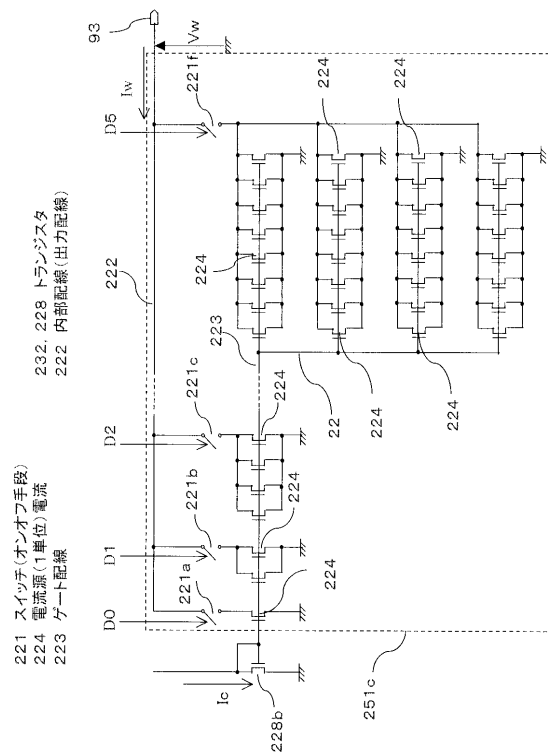
【 図 2 1 】



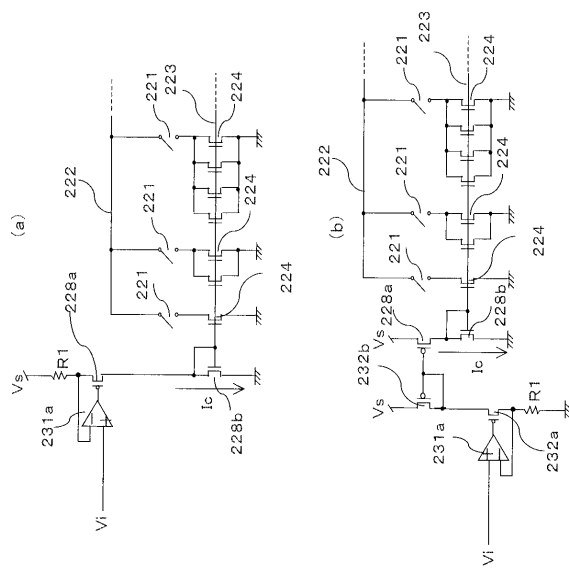
【 図 2 0 】



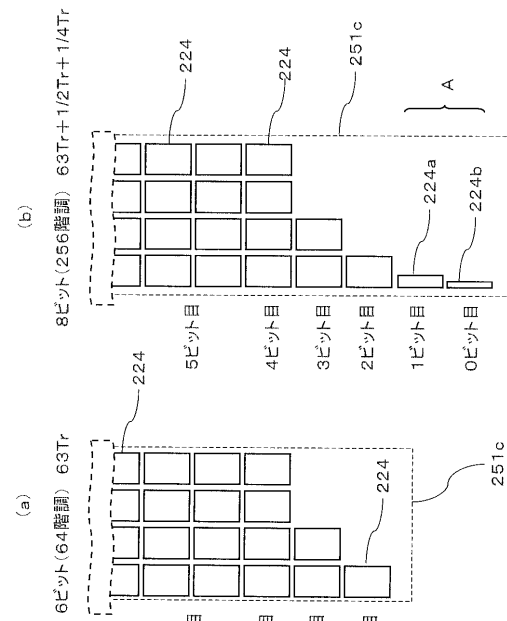
【 図 2 2 】



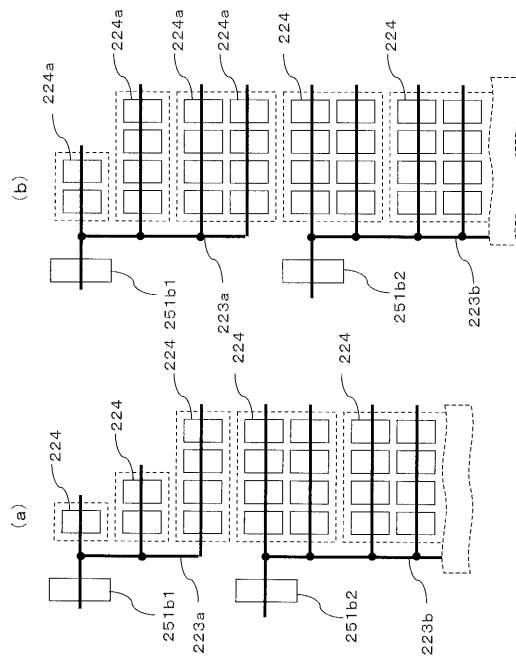
【図 2 3】



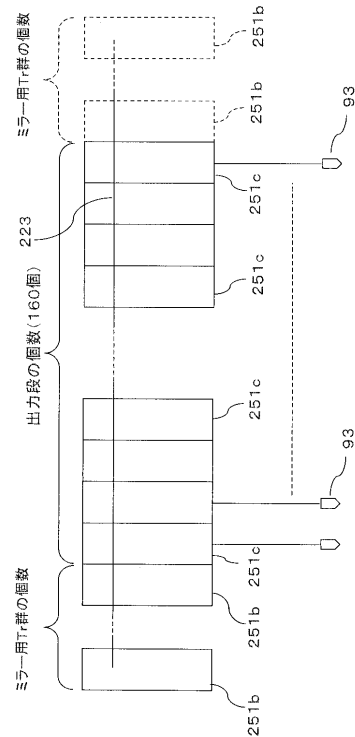
【図 2 4】



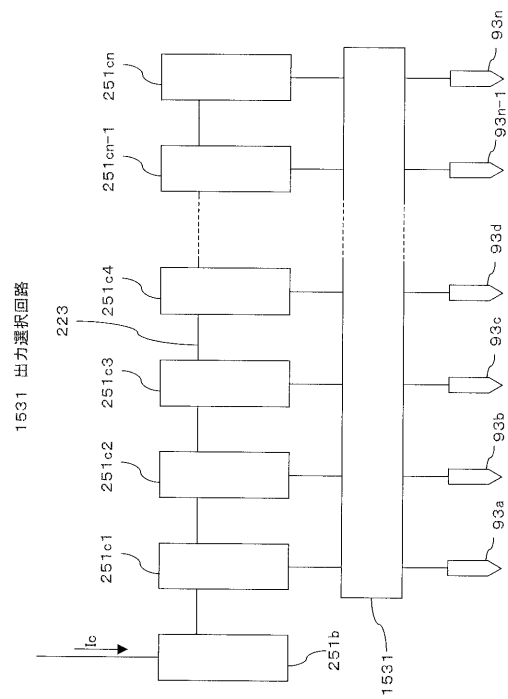
【図 2 5】



【図 2 6】



【図 27】



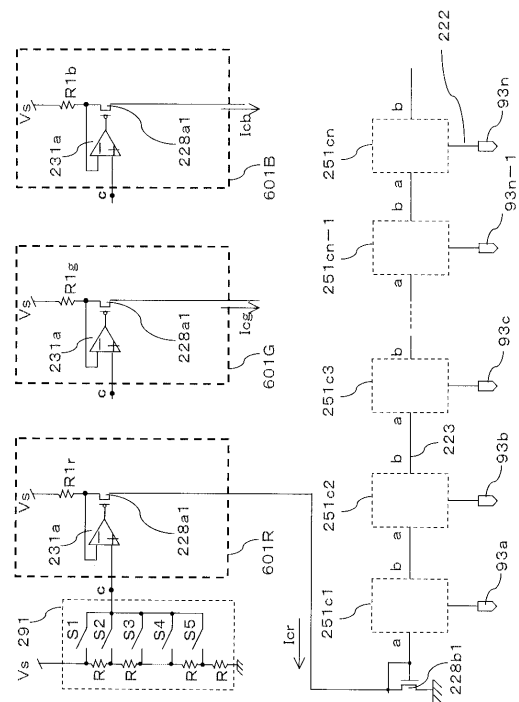
【図 29】

H	1Fの基準電流	2Fの基準電流
1	Ic1	Ic2
2	Ic2	Ic1
3	Ic1	Ic2
4	Ic2	Ic1
5	Ic1	Ic2
6	Ic2	Ic1

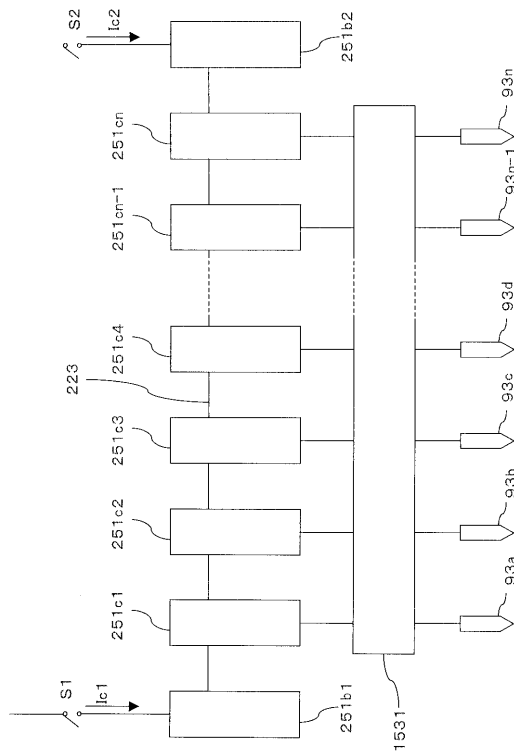
【図 28】

端子	93a	93b	93c	93d	93e
H	1	n	n-1	n-2	n-3
1	2	1	n	n-1	n-2
2	3	2	1	n	n-1
3	4	3	2	1	n
4	5	4	3	2	1
5	6	5	4	3	2
6	7	6	5	4	3
7					

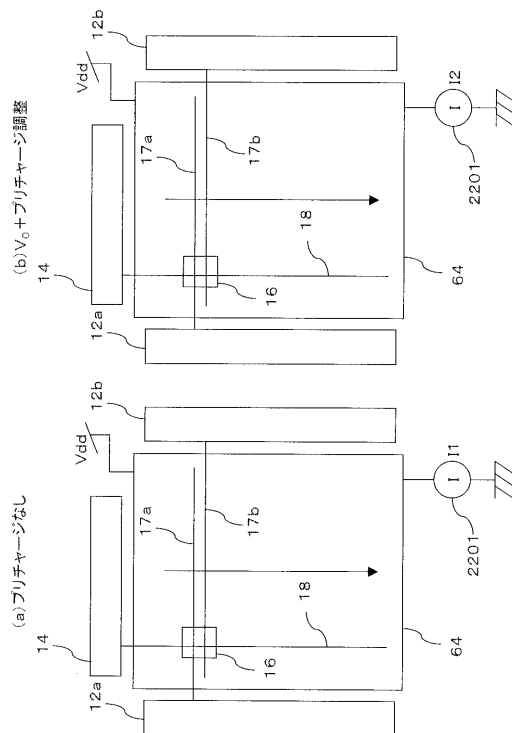
【図 30】



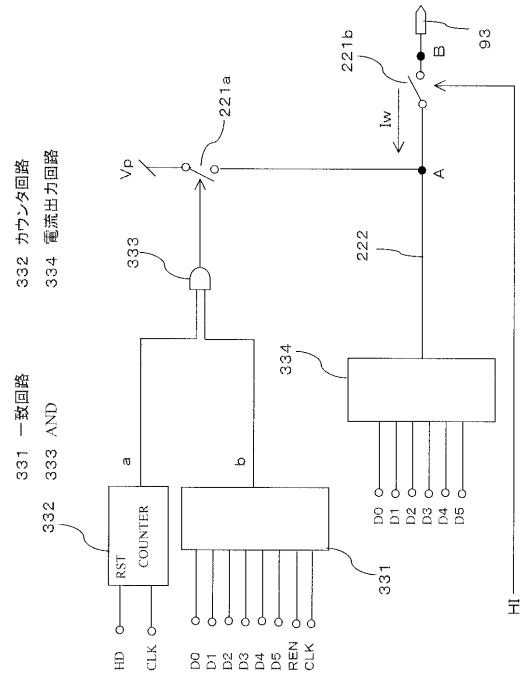
【図 3 1】



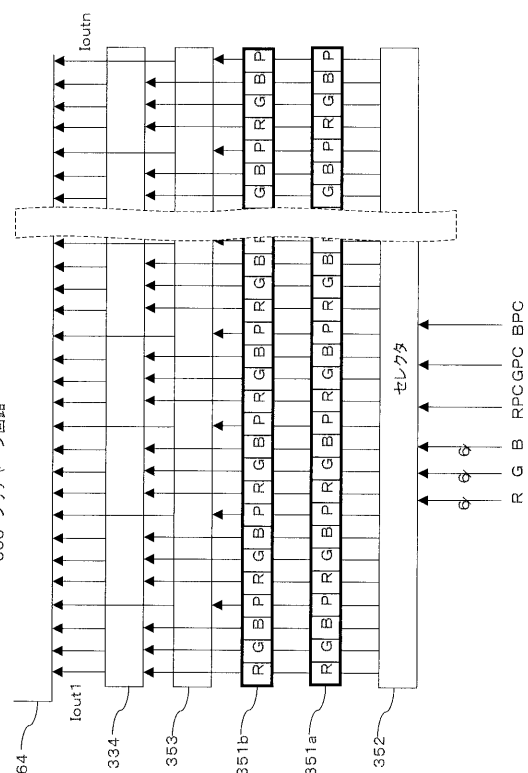
【図 3 3】



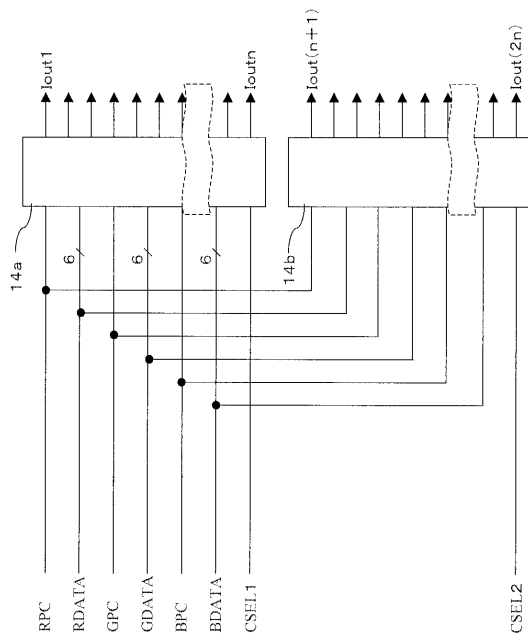
【図 3 2】



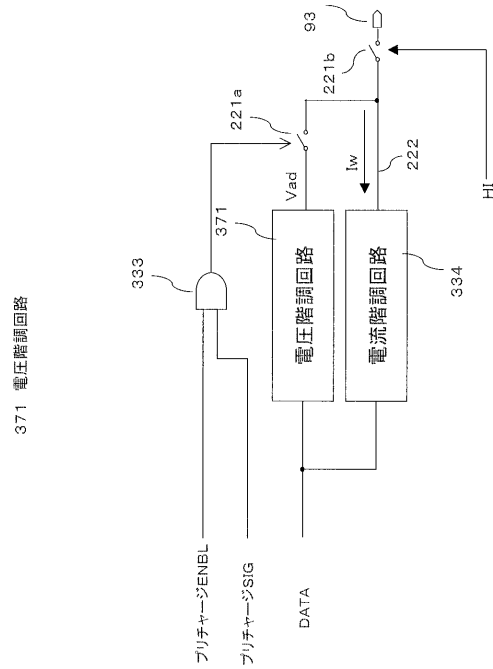
【図 3 4】



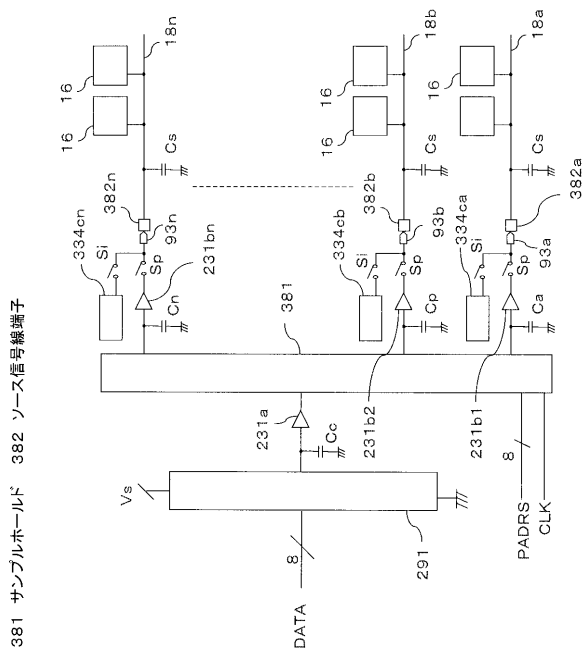
【図 35】



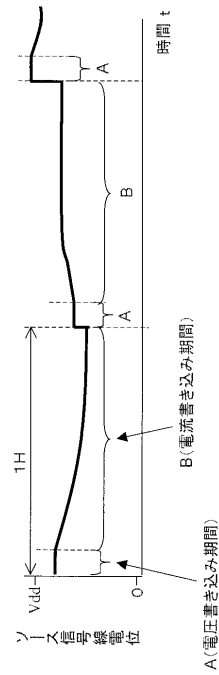
【図 36】



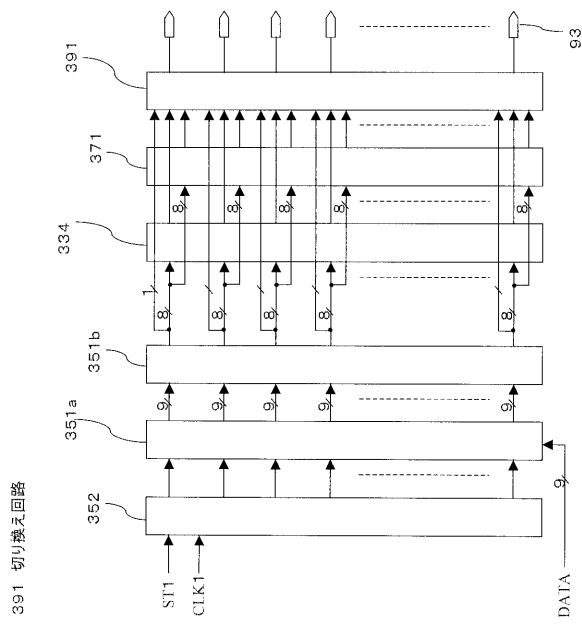
【図 37】



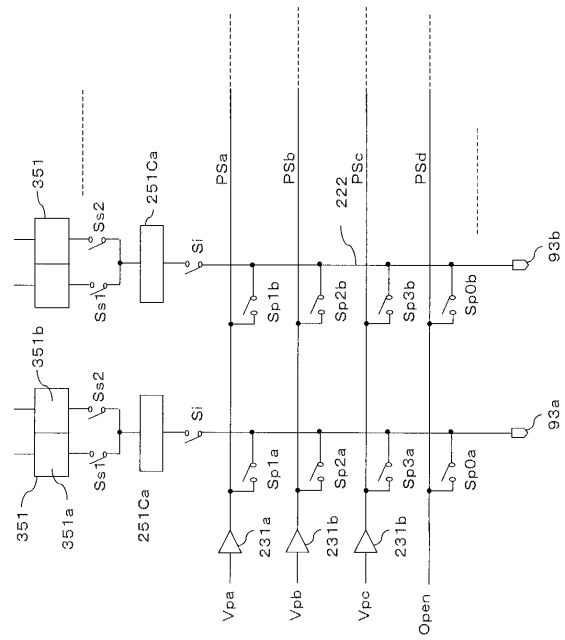
【図 38】



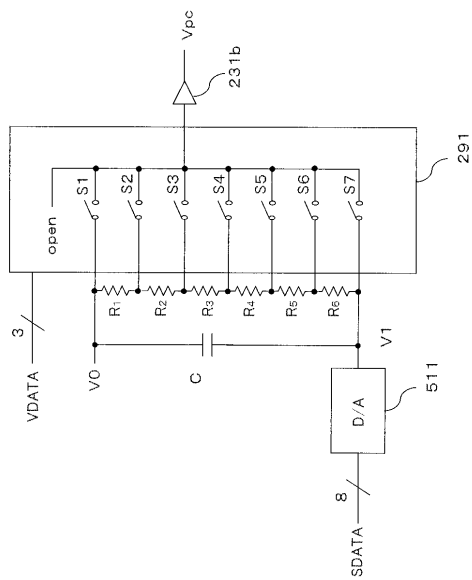
【図 4 3】



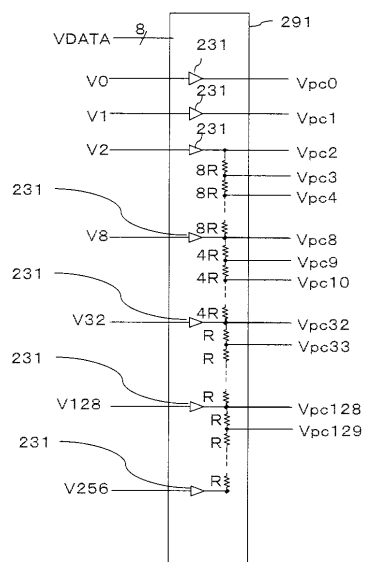
【図 4 4】



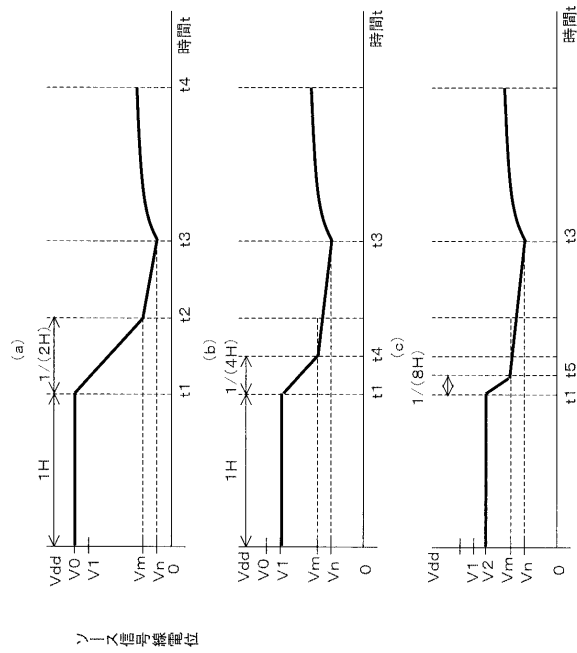
【図 4 5】



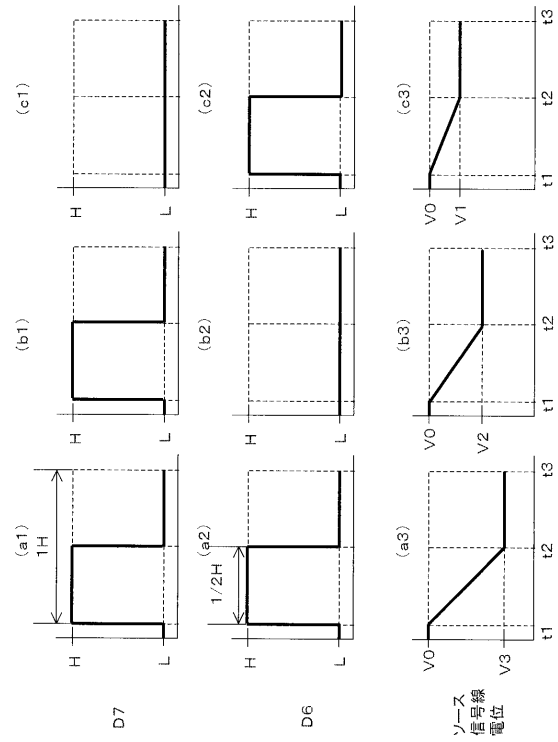
【図 4 6】



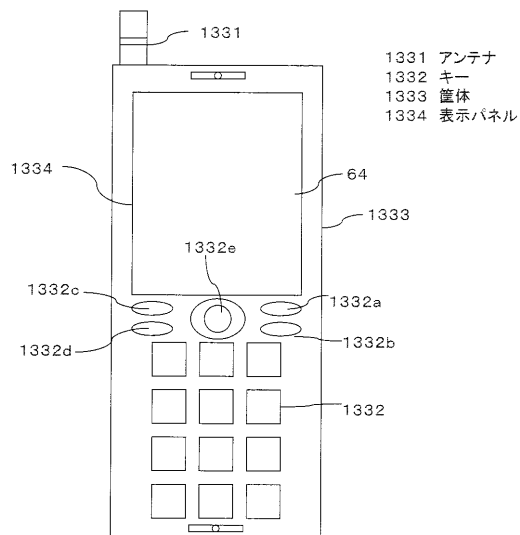
【図 5 1】



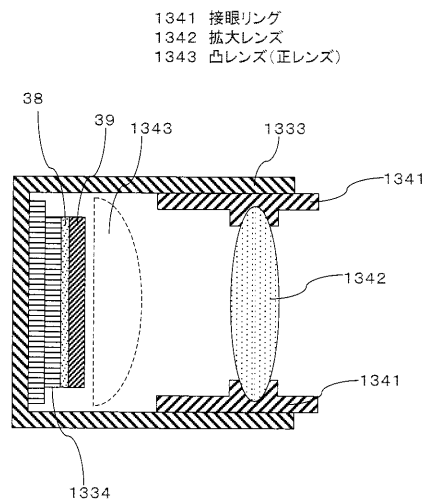
【図 5 2】



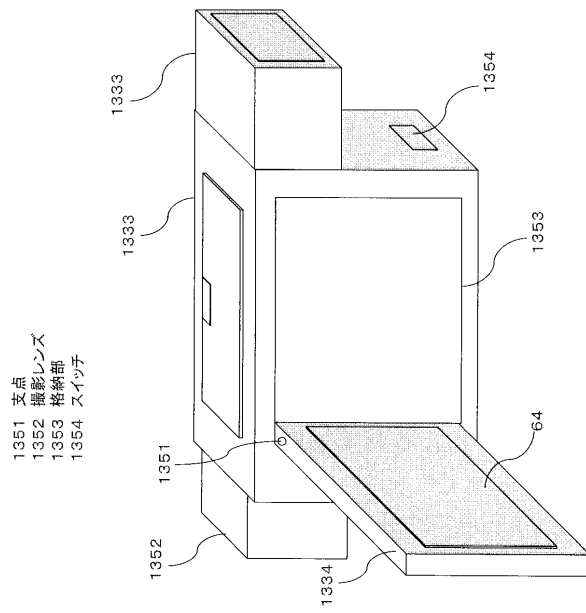
【図 5 3】



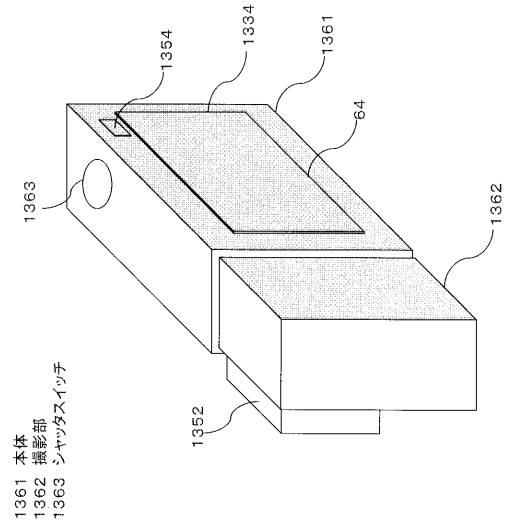
【図 5 4】



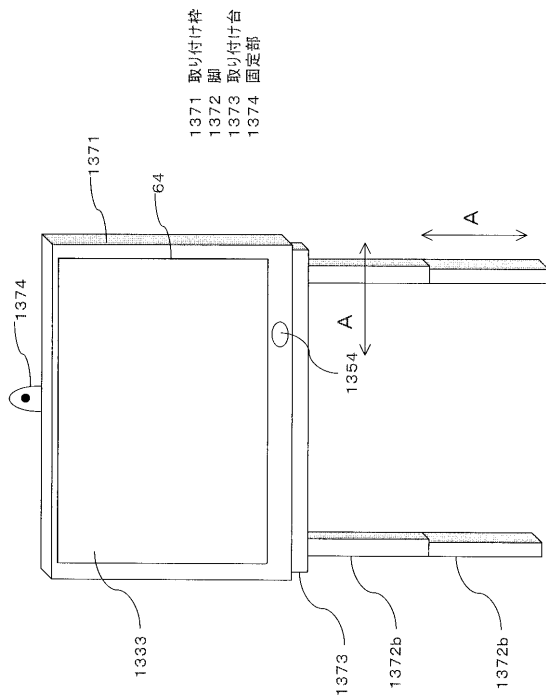
【図 55】



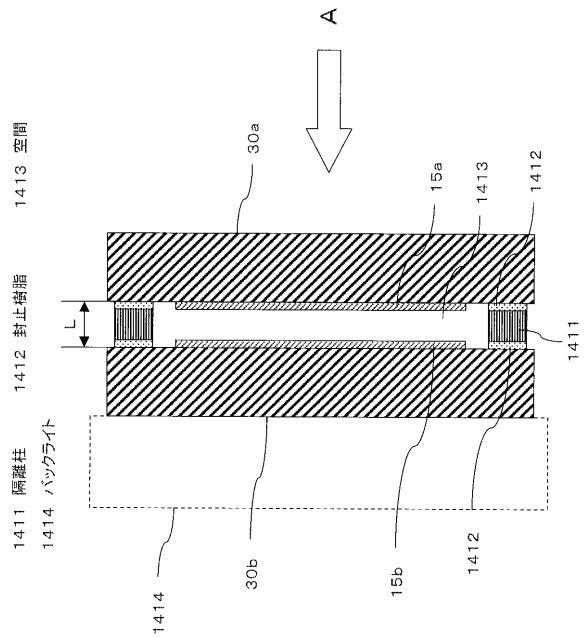
【図 56】



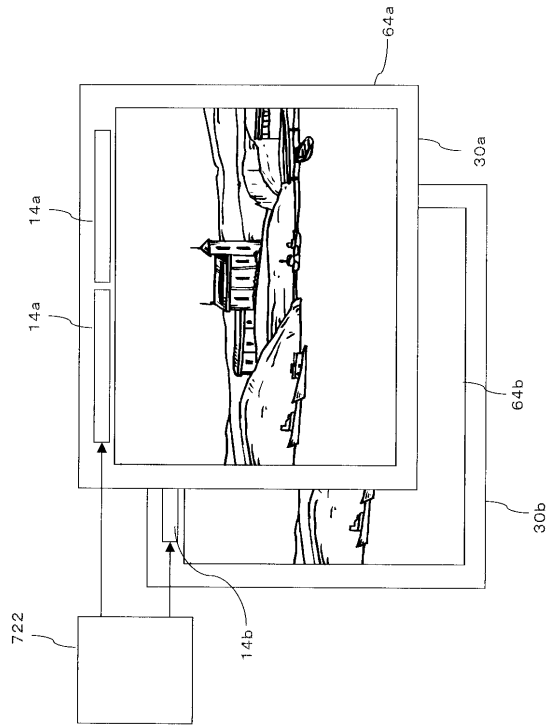
【図 57】



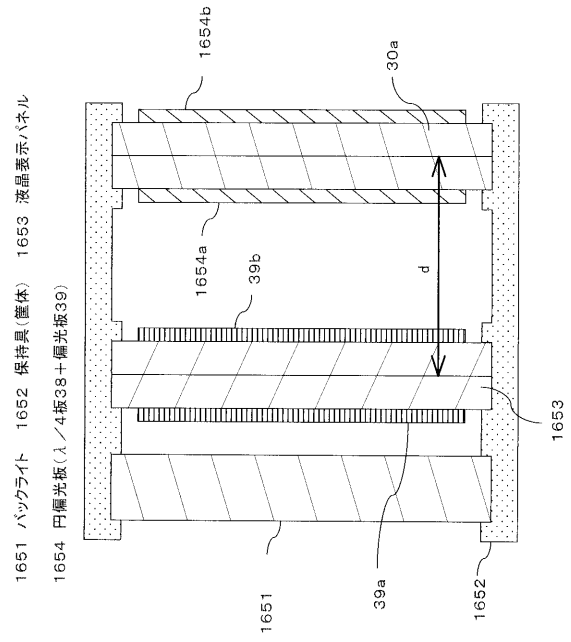
【図 58】



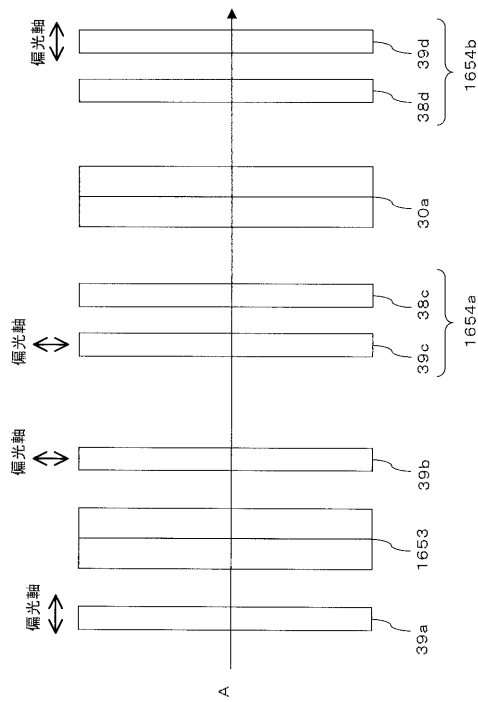
【図 59】



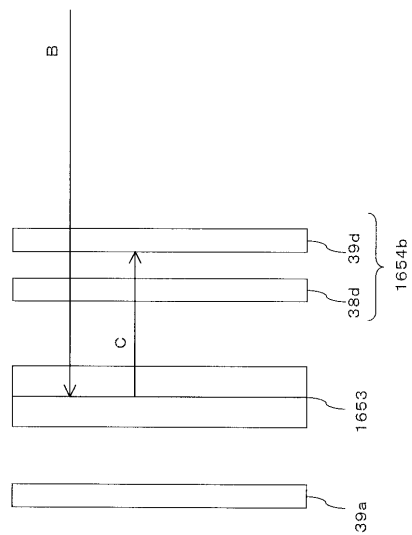
【図 60】



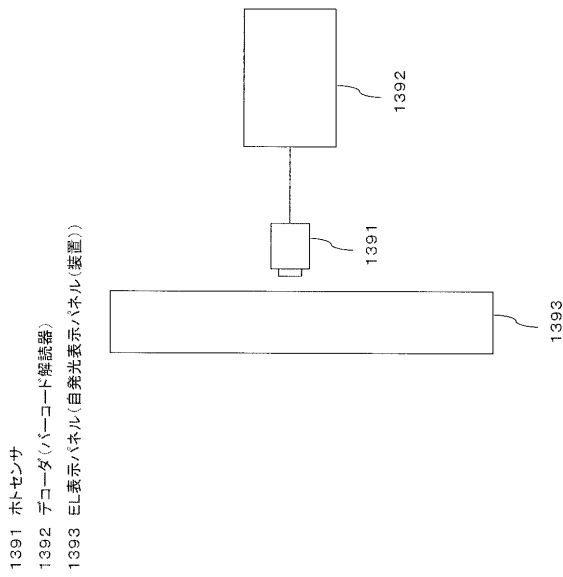
【図 61】



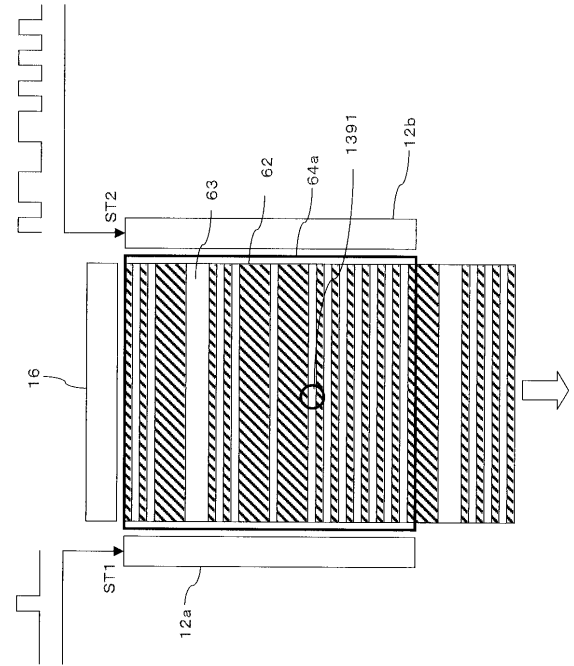
【図 62】



【図 6 3】

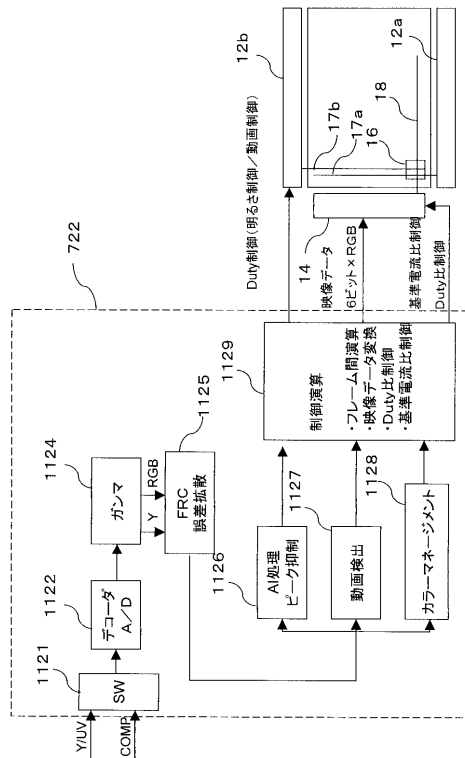


【図 6 4】



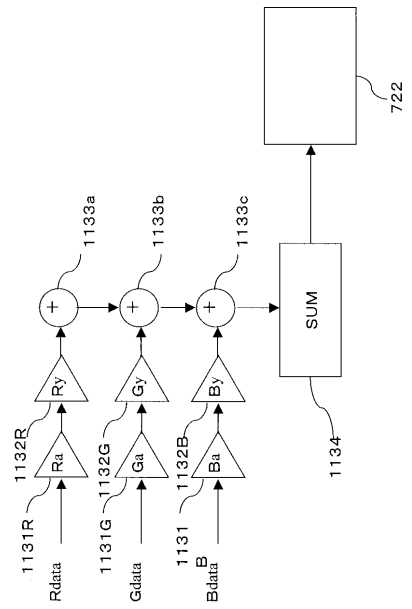
【図 6 5】

1121 スイッチ回路 1122 デコーダ回路 1126 AI処理回路
1127 動画検出処理 1128 カラーマネージメント 1129 演算回路

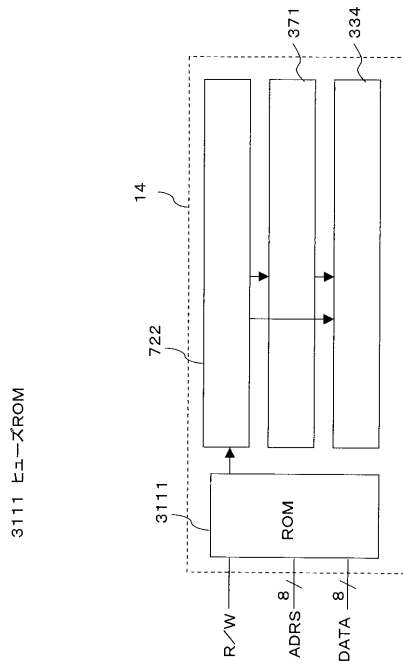


【図 6 6】

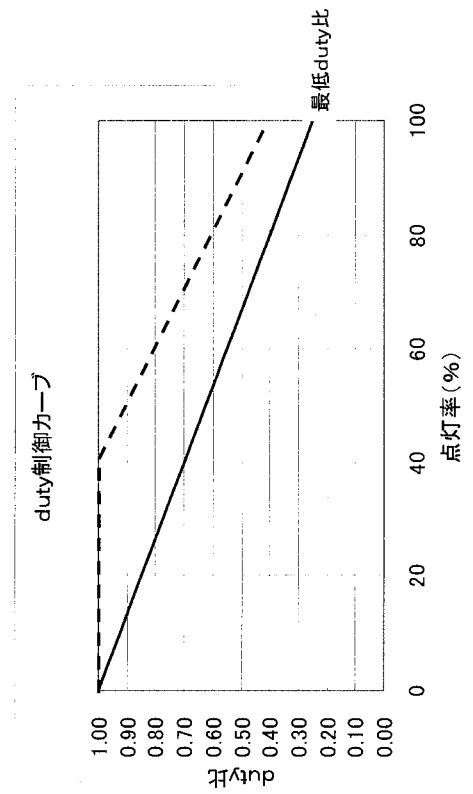
1131、1132 乗算器
1133 加算器
1134 総和回路(演算回路)



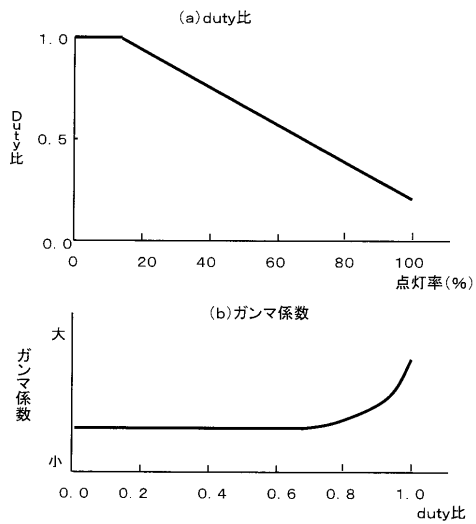
【図 67】



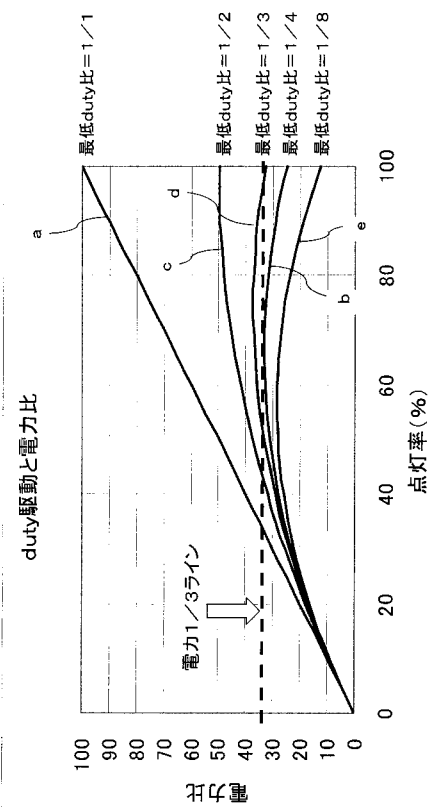
【図 68】



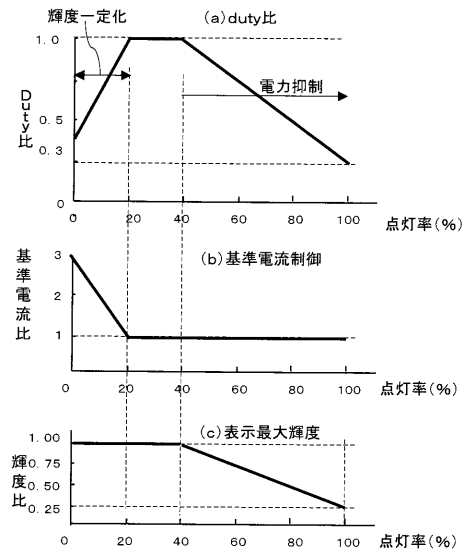
【図 69】



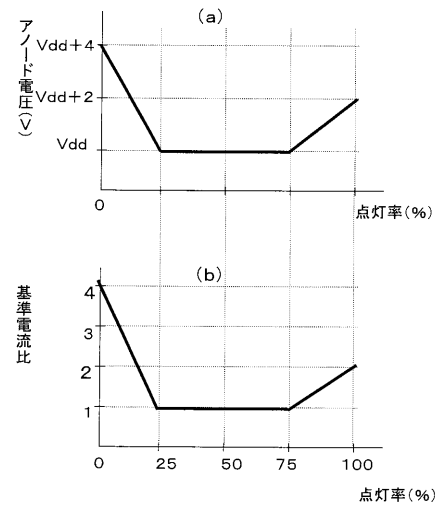
【図 70】



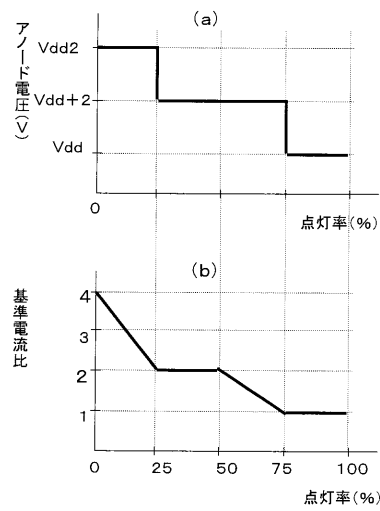
【図 7 1】



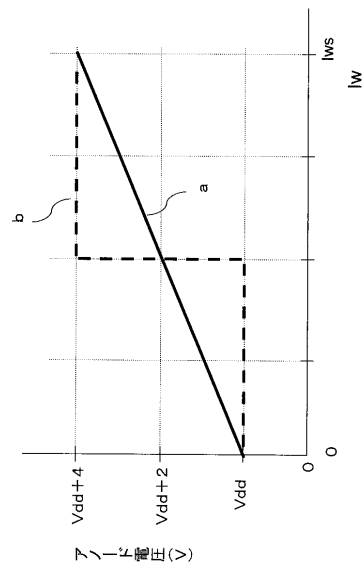
【図 7 2】



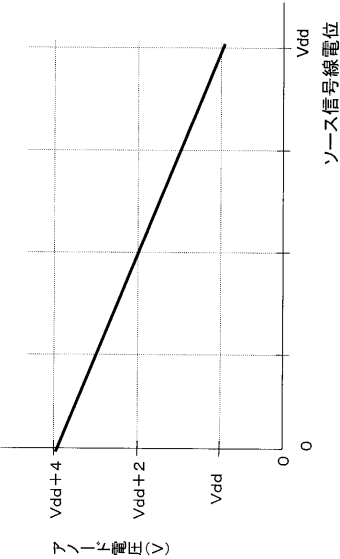
【図 7 3】



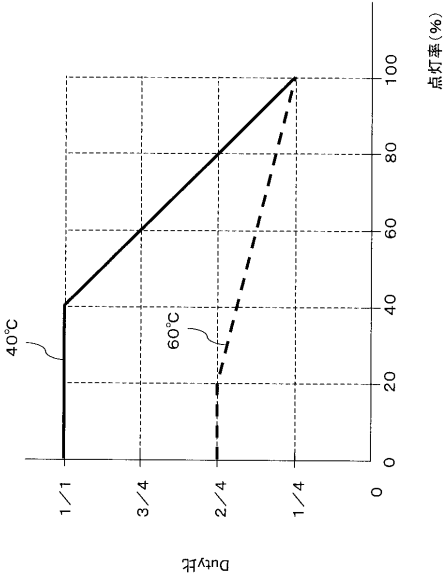
【図 7 4】



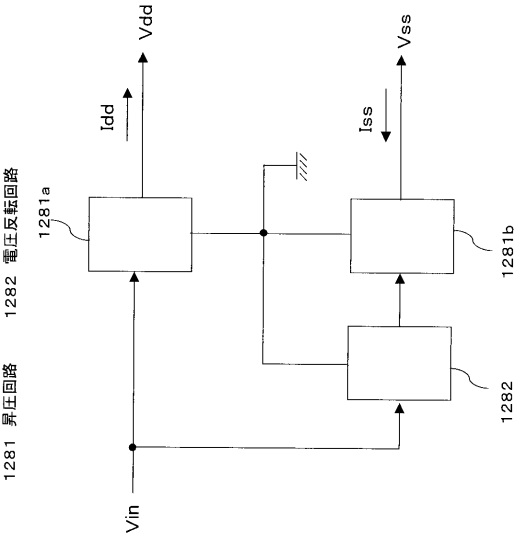
【図 7 5】



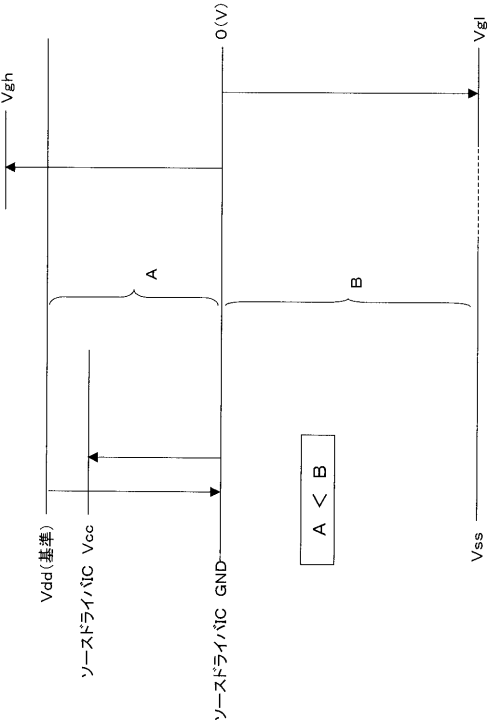
【図 7 6】



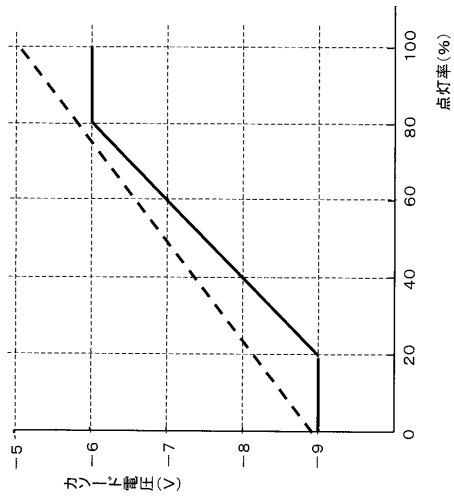
【図 7 7】



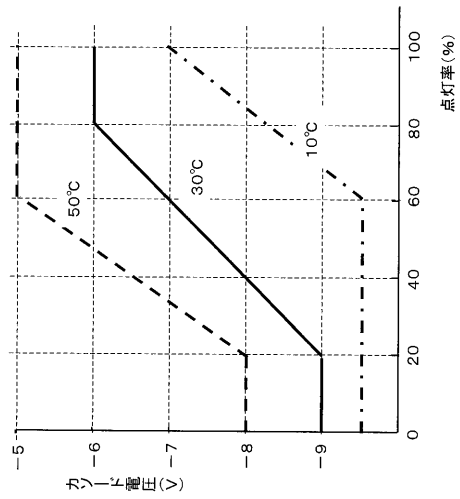
【図 7 8】



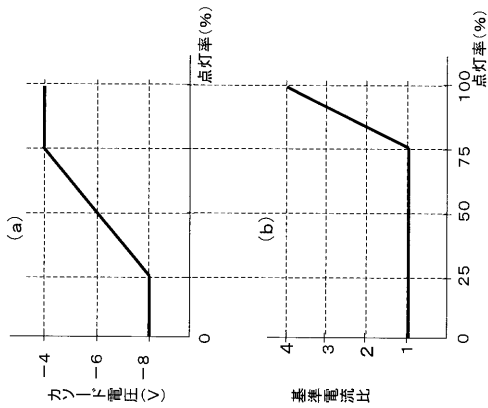
【図 79】



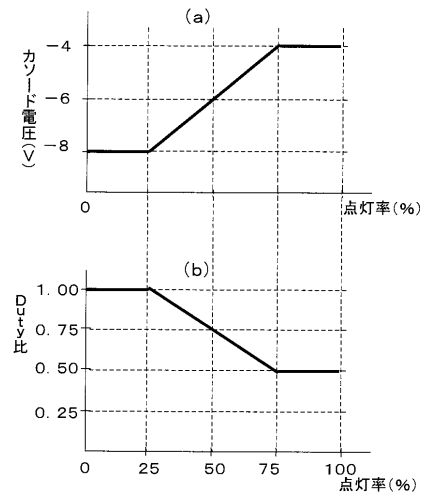
【図 80】



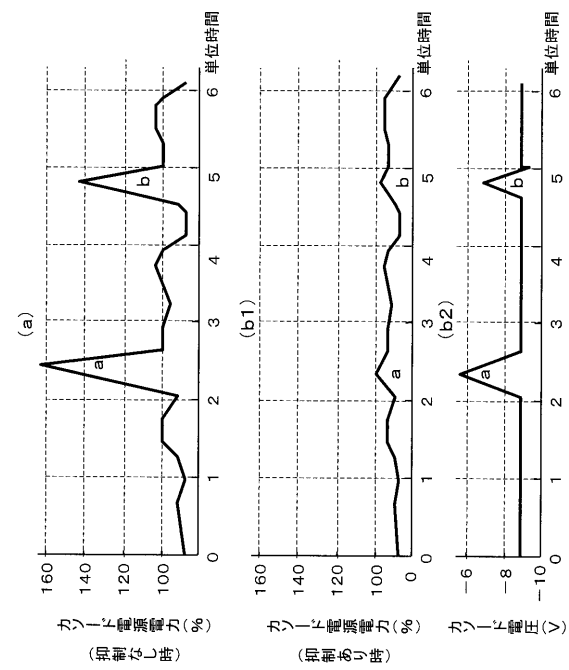
【図 81】



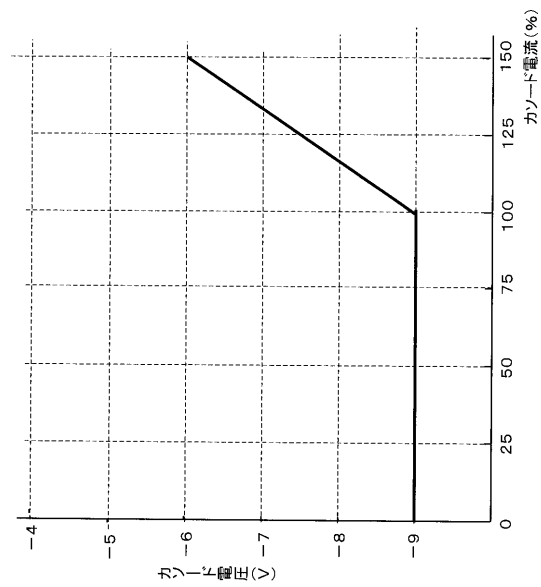
【図 82】



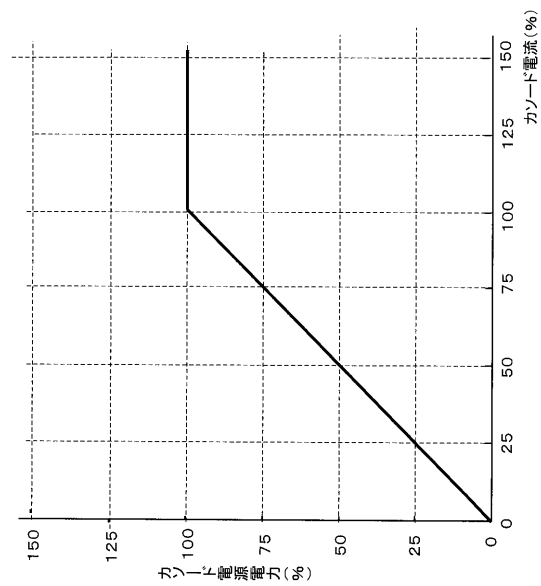
【図 8 3】



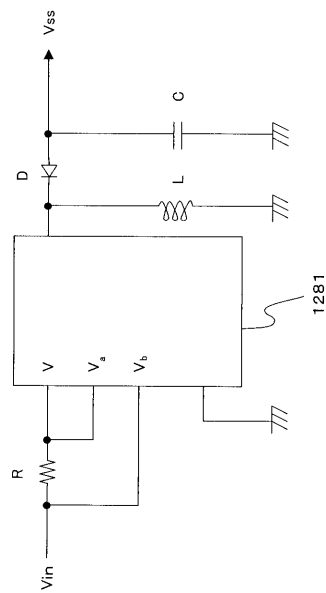
【図 8 4】



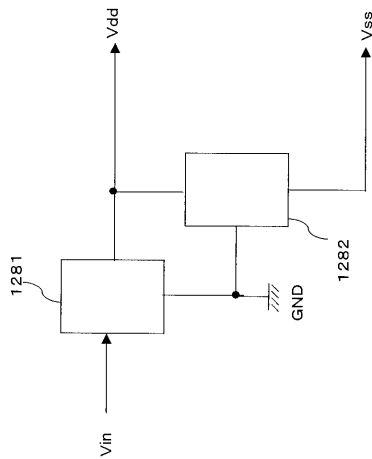
【図 8 5】



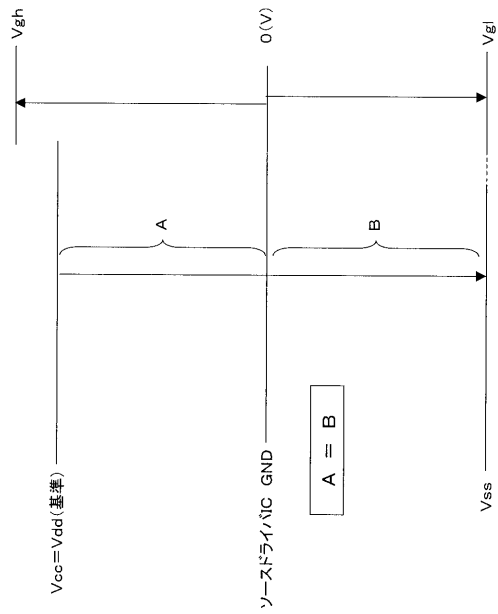
【図 8 6】



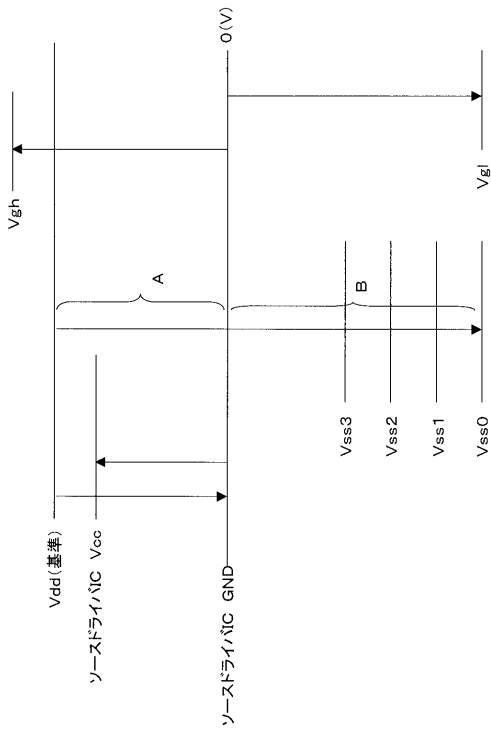
【図 8 7】



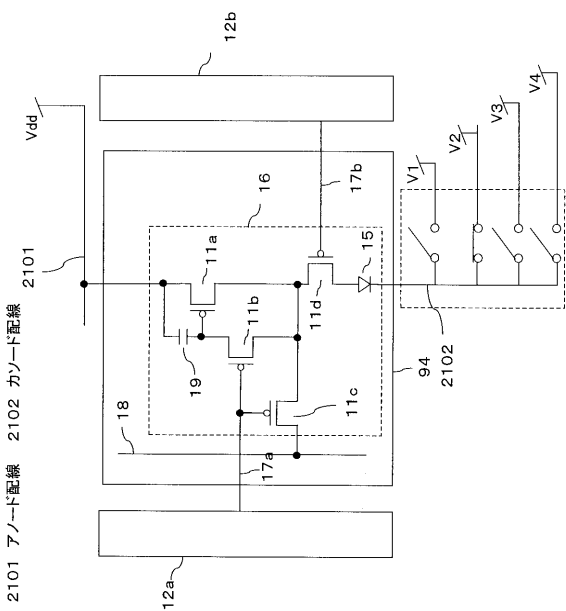
【図 8 8】



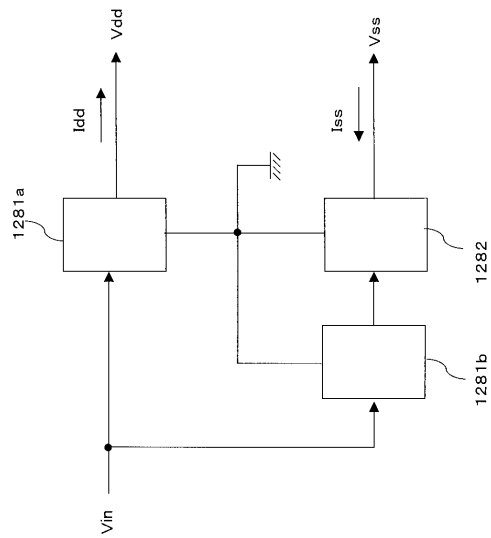
【図 8 9】



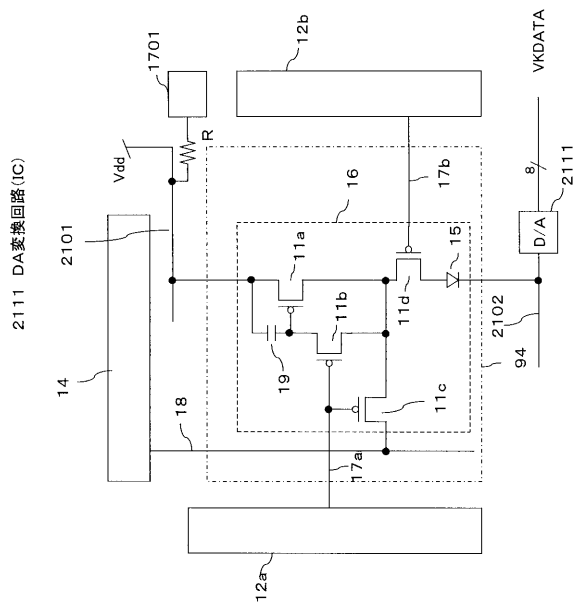
【図 9 0】



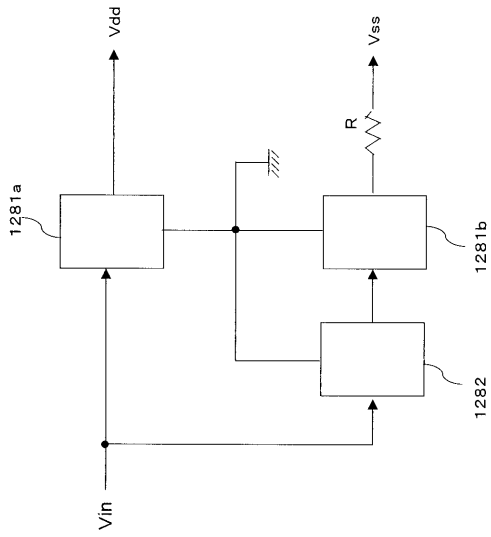
【図 9 1】



【図 9 2】



【図 9 3】



专利名称(译)	EL显示器件的电源电路		
公开(公告)号	JP2006276713A	公开(公告)日	2006-10-12
申请号	JP2005098739	申请日	2005-03-30
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.612.D G09G3/20.642.P H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB02 3K007/AB05 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD26 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 3K107/AA01 3K107/BB01 3K107/CC14 3K107/EE03 3K107/HH01 3K107/HH02 3K107/HH04 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB12 5C380/AB13 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB25 5C380/AB31 5C380/AB34 5C380/AB40 5C380/AC02 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC10 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/AC18 5C380/BA01 5C380/BA10 5C380/BA12 5C380/BA14 5C380/BA17 5C380/BA19 5C380/BA23 5C380/BA29 5C380/BA31 5C380/BA39 5C380/BA42 5C380/BA43 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB02 5C380/BB12 5C380/BB15 5C380/BB16 5C380/BB19 5C380/BB23 5C380/BB25 5C380/BC02 5C380/BC07 5C380/BC09 5C380/BC10 5C380/BC14 5C380/BC18 5C380/BD09 5C380/BE05 5C380/BE12 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA24 5C380/CA26 5C380/CA30 5C380/CA32 5C380/CA35 5C380/CA36 5C380/CA43 5C380/CA47 5C380/CA57 5C380/CB01 5C380/CB04 5C380/CB18 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC13 5C380/CC15 5C380/CC18 5C380/CC19 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC52 5C380/CC53 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD024 5C380/CE02 5C380/CE03 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE09 5C380/CF02 5C380/CF03 5C380/CF05 5C380/CF07 5C380/CF12 5C380/CF13 5C380/CF15 5C380/CF18 5C380/CF19 5C380/CF22 5C380/CF24 5C380/CF26 5C380/CF27 5C380/CF32 5C380/CF37 5C380/CF42 5C380/CF43 5C380/CF45 5C380/CF46 5C380/CF48 5C380/CF51 5C380/CF56 5C380/CF58 5C380/CF61 5C380/CF64 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA26 5C380/DA30 5C380/DA32 5C380/DA34 5C380/DA35 5C380/DA38 5C380/DA42 5C380/DA43 5C380/DA44 5C380/DA49 5C380/DA50 5C380/DA57 5C380/DA58 5C380/EA11 5C380/EA12 5C380/FA03 5C380/FA04 5C380/FA05 5C380/FA10 5C380/FA11 5C380/FA12 5C380/FA13 5C380/FA18 5C380/FA21 5C380/FA23 5C380/FA24 5C380/FA25 5C380/FA26 5C380/HA02 5C380/HA05 5C380/HA06 5C380/HA07 5C380/HA08 5C380/HA09 5C380/HA10 5C380/HA11 5C380/HA13		
代理人(译)	松田 正道		
其他公开文献	JP2006276713A5		
外部链接	Espacenet		

摘要(译)

常规地，有机EL显示面板是自发光显示面板，其中电流由于发光而随着光通量的增加而增加。另外，电流量随着点亮率的变化而变化。因此，点亮率越高，电流量越大。因此，需要增加电源的输出电流，并且电源尺寸（功率容量）较大。拾取电阻R布置在

