

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-334179
(P2004-334179A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 K	3K007
G09G 3/20	G09G 3/20 612 J	5C080
H05B 33/12	G09G 3/20 641 A	
H05B 33/14	G09G 3/20 641 D	
	G09G 3/20 641 K	
審査請求 未請求 請求項の数 17 O L (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2004-102666 (P2004-102666)	(71) 出願人	000116024
(22) 出願日	平成16年3月31日 (2004.3.31)		ローム株式会社
(31) 優先権主張番号	特願2003-110322 (P2003-110322)	(74) 代理人	100079555
(32) 優先日	平成15年4月15日 (2003.4.15)		弁理士 梶山 信是
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100079957
			弁理士 山本 富士男
		(72) 発明者	矢熊 宏司
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		(72) 発明者	阿部 真一
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
最終頁に続く			

(54) 【発明の名称】 有機EL駆動回路およびこれを用いる有機EL表示装置

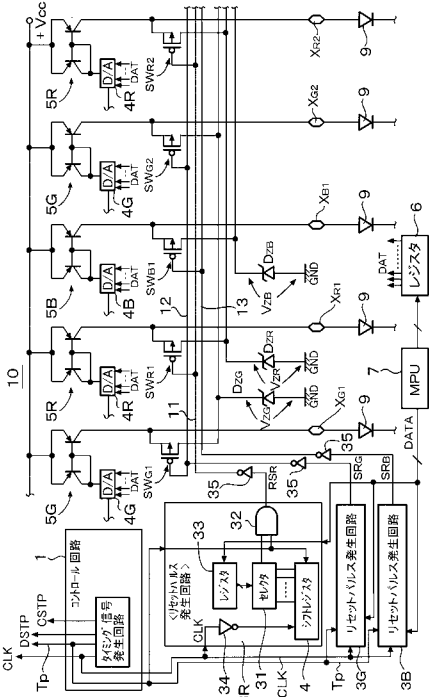
(57) 【要約】

【課題】

ホワイトバランス調整のために行われるR、G、Bの各基準電流値の調整ダイナミックレンジが小さくても精度よくホワイトバランス調整ができる有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】

この発明は、第1のタイミングコントロール信号に対して所定時間順次遅延した複数の第2のタイミングコントロール信号を発生し、複数の第2のタイミングコントロール信号と第1のタイミングコントロール信号と所定のデータとを受けてこの所定のデータに応じて複数の第2のタイミングコントロール信号の1つを選択して選択した第2のタイミングコントロール信号の前縁を前縁とし、後縁を第1のタイミングコントロール信号としたリセットパルスを発生し、このリセットパルスに応じて端子ピンを所定のバイアスラインに接続して端子ピンに接続してリセットすることで、所定のデータに応じて表示期間が調整され、有機ELパネルの輝度が調整されるものである。



【特許請求の範囲】

【請求項 1】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数の第 1 のタイミングコントロール信号に応じて前記表示期間に有機 E L パネルをその端子ピンを介して電流駆動する有機 E L 駆動回路において、

前記第 1 のタイミングコントロール信号に対して所定時間順次遅延した複数の第 2 のタイミングコントロール信号を発生するタイミング信号発生回路と、

所定のデータに応じて前記複数の第 2 のタイミングコントロール信号の 1 つを選択して選択した前記第 2 のタイミングコントロール信号に応じて前縁を決定し、後縁を前記第 1 のタイミングコントロール信号としたリセットパルスが発生するリセットパルス発生回路と、

10

前記リセットパルスを受けて前記端子ピンを所定のバイアスラインに接続して前記端子ピンに接続された前記有機 E L パネルの O E L 素子の電荷をリセットするスイッチ回路とを備え、

前記所定のデータに応じて前記表示期間が調整され、前記有機 E L パネルの輝度が調整される有機 E L 駆動回路。

【請求項 2】

前記リセットパルス発生回路は、選択した前記第 2 のタイミングコントロール信号の前縁を前縁とする前記リセットパルスが発生する請求項 1 記載の有機 E L 駆動回路。

【請求項 3】

20

さらにレジスタを有し、前記タイミング信号発生回路は、前記第 1 のタイミングコントロール信号を受けて前記所定時間順次遅延させて複数の第 2 のタイミングコントロール信号を発生する遅延回路であり、前記所定のデータが前記レジスタに設定される請求項 2 記載の有機 E L 駆動回路。

【請求項 4】

前記リセット回路は前記レジスタを有し、前記リセット回路の外部から前記レジスタに前記所定のデータが設定される請求項 3 記載の有機 E L 駆動回路。

【請求項 5】

前記有機 E L パネルは、R、G、B の表示色に対応して複数の前記 O E L 素子を有し、前記リセットパルス発生回路と前記スイッチ回路とが R、G、B 対応に設けられ、R、G、B に対応に前記 O E L 素子がそれぞれリセットされる請求項 4 記載の有機 E L 駆動回路。

30

【請求項 6】

R、G、B に対応のそれぞれの前記スイッチ回路は、それぞれに対応する前記リセットパルスを受けて ON にされて R、G、B に対応のそれぞれの前記 O E L 素子の陽極側を前記端子ピンを介して前記所定のバイアスラインあるいは R、G、B 対応のバイアスラインに接続する請求項 5 記載の有機 E L 駆動回路。

【請求項 7】

前記リセットパルス発生回路は、前記端子ピンのそれぞれに対応して設けられ、前記所定のデータが前記端子ピン対応に設定される請求項 6 記載の有機 E L 駆動回路。

40

【請求項 8】

前記前縁は立上がりエッジであり、前記後縁は立下がりエッジであり、前記遅延回路はシフトレジスタで構成され、前記リセットパルス発生回路は、前記レジスタと、セレクトと、アンド回路あるいはナンド回路とからなり、前記セレクトが前記複数の第 2 のタイミングコントロール信号と、前記レジスタから前記所定のデータとを受けて前記複数の第 2 のタイミングコントロール信号の 1 つを選択し、前記アンド回路あるいはナンド回路が前記第 1 のタイミングコントロール信号と前記セレクトから出力された前記第 2 のタイミングコントロール信号とを受けて前記リセットパルスが発生する請求項 7 記載の有機 E L 駆動回路。

【請求項 9】

50

さらに、前記端子ピン対応に設けられた D / A 変換回路と、

この D / A 変換回路により変換された電流値の電流により電流駆動され、前記端子ピンを電流駆動する前記端子ピン対応に設けられた電流源とを有する請求項 8 記載の有機 EL 駆動回路。

【請求項 10】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数の第 1 のタイミングコントロール信号に応じて前記表示期間に有機 EL パネルをその端子ピンを介して電流駆動する有機 EL 表示装置において、前記第 1 のタイミングコントロール信号に対して所定時間順次遅延した複数の第 2 のタイミングコントロール信号を発生するタイミング信号発生回路と、

10

所定のデータに応じて前記複数の第 2 のタイミングコントロール信号の 1 つを選択して選択した前記第 2 のタイミングコントロール信号の前縁を前縁とし、後縁を前記第 1 のタイミングコントロール信号としたリセットパルスが発生するリセットパルス発生回路と、

前記リセットパルスを受けて前記端子ピンを所定のバイアスラインに接続して前記端子ピンに接続された前記有機 EL パネルの前記 O E L 素子の電荷をリセットするスイッチ回路とを備え、

前記所定のデータに応じて前記表示期間が決定され、前記有機 EL パネルの輝度が調整される有機 EL 表示装置。

【請求項 11】

さらにレジスタを有し、前記タイミング信号発生回路は、前記第 1 のタイミングコントロール信号を受けて前記所定時間順次遅延させて複数の第 2 のタイミングコントロール信号を発生する遅延回路であり、前記所定のデータが前記レジスタに設定される請求項 10 記載の有機 EL 表示装置。

20

【請求項 12】

前記リセット回路は前記レジスタを有し、前記リセット回路の外部から前記レジスタに前記所定のデータが設定される請求項 11 記載の有機 EL 表示装置。

【請求項 13】

前記有機 EL パネルは、R、G、B の表示色に対応して複数の前記 O E L 素子を有し、前記リセットパルス発生回路と前記スイッチ回路とが R、G、B 対応に設けられて R、G、B に対応に前記 O E L 素子がそれぞれリセットされる請求項 12 記載の有機 EL 表示装置。

30

【請求項 14】

前記前縁は立上がりエッジであり、前記後縁は立下がりエッジであり、R、G、B に対応のそれぞれの前記スイッチ回路は、それぞれに対応する前記リセットパルスを受けて O N にされて R、G、B に対応のそれぞれの前記 O E L 素子の陽極側を前記端子ピンを介して前記所定のバイアスラインあるいは R、G、B 対応のバイアスラインに接続する請求項 13 記載の有機 EL 表示装置。

【請求項 15】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号に応じて前記表示期間に有機 EL パネルをその端子ピンを介して電流駆動する有機 EL 駆動回路において、

40

前記タイミングコントロール信号の前縁に対して所定時間順次遅延した複数のタイミング信号を発生するタイミング信号発生回路と、

所定のデータに応じて前記複数のタイミング信号の 1 つを選択して選択した前記タイミング信号に応じて前縁を決定し、後縁を前記タイミングコントロール信号としたリセットパルスが発生するリセットパルス発生回路と、

前記リセットパルスを受けて前記端子ピンを所定のバイアスラインに接続して前記端子ピンに接続された前記有機 EL パネルの O E L 素子の電荷をリセットするスイッチ回路とを備え、

前記所定のデータに応じて前記表示期間が調整され、前記有機 EL パネルの輝度が調整

50

される有機 E L 駆動回路。

【請求項 16】

前記タイミング信号は、前記タイミングコントロール信号から遅延して生成される信号である請求項 15 記載の有機 E L 駆動回路。

【請求項 17】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号に応じて前記表示期間に有機 E L パネルをその端子ピンを介して電流駆動する有機 E L 表示装置において、

前記タイミングコントロール信号の前縁に対して所定時間順次遅延した複数のタイミング信号を発生するタイミング信号発生回路と、

所定のデータに応じて前記複数のタイミング信号の 1 つを選択して選択した前記タイミング信号に応じて前縁を決定し、後縁を前記タイミングコントロール信号としたリセットパルスを発生するリセットパルス発生回路と、

前記リセットパルスを受けて前記端子ピンを所定のバイアスラインに接続して前記端子ピンに接続された前記有機 E L パネルの O E L 素子の電荷をリセットするスイッチ回路とを備え、

前記所定のデータに応じて前記表示期間が調整され、前記有機 E L パネルの輝度が調整される有機 E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、有機 E L 駆動回路およびこれを用いる有機 E L 表示装置に関し、詳しくは、携帯電話機、PHS 等の表示装置を有する電子機器の R（赤）、G（緑）、B（青）の輝度調整による表示画面上でのホワイトバランス調整が容易なあるいは輝度むらを低減することができるような高輝度カラー表示に適した有機 E L 表示装置に関する。

【背景技術】

【0002】

携帯電話機、PHS、DVD プレーヤ、PDA（携帯端末装置）等に搭載される有機 E L 表示装置の有機 E L 表示パネルでは、カラムラインの数が 396 個（132×3）の端子ピン、ローラインが 162 個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機 E L 表示パネルの電流駆動回路の出力段には、アクティブマトリックス型でも単純マトリックス型のものでも端子ピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。

【0003】

有機 E L 表示装置の問題点の 1 つは、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R、G、B に発光感度差があることから表示制御が難しいことである。そのために電流駆動を行うことになるが、電流駆動を行っても、R、G、B の駆動電流に対する発光効率の比は、例えば、R：G：B＝6：11：10 程度と差があって、このような発光効率は、使用される有機 E L 素子（以下 O E L 素子）の材料によって異なってくる。

そこで、カラー表示における電流駆動回路では、R、G、B 対応に使用材料に応じて輝度調整をして表示画面上でホワイトバランスを採る必要がある。そのために、R、G、B 対応に輝度調整をする調整回路が設けられている。

【0004】

ところで、マトリックス状に配置した O E L 素子を電流駆動し、かつ、O E L 素子の陽極と陰極をグランドに落としてリセットする O E L 素子の駆動回路が公知である（特許文献 1）。また、DC-DC コンバータを用いて O E L 素子を低消費電力で電流駆動する技術が公知である（特許文献 2）。

【特許文献 1】特開平 9-232074 号公報

10

20

30

40

50

【特許文献2】特開2001-143867号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

有機EL表示装置の電流駆動回路では、通常、基準電流を電流増幅して各カラム端子ピン対応にOEL素子の駆動電流が生成される。そこで、ホワイトバランスを採るための駆動電流の調整は、R、G、Bに対応するそれぞれの基準電流を調整することで行われている。

基準電流を調整するために、従来の電流駆動回路は、基準電流発生回路に4ビット程度のD/A変換回路を設けてR、G、B対応に、例えば、 $30\mu\text{A} \sim 75\mu\text{A}$ の範囲で $5\mu\text{A}$ 刻みで所定のビットデータを設定することでR、G、Bそれぞれの基準電流を調整している。しかし、最近では各種の有機EL材料が開発されてきており、ホワイトバランスを採るための輝度調整の範囲は、4ビット程度のD/A変換回路では調整が粗くなり、4ビット程度では調整ダイナミックレンジが小さくて対応しきれなくなっている。

【0006】

また、カラムラインの数が増加すると、複数のドライバICによりカラムラインの端子ピンを駆動することが必要になる。しかも、1個のドライバICは、多数の端子ピンを駆動することになる。その結果、端子ピン対応に設けられる電流源の駆動回路の電流出力特性にばらつきが発生して、これにより駆動される有機EL表示パネルの輝度むらが目立ってくる。

この発明の目的は、このような従来技術の問題点を解決し、ホワイトバランス調整のために行われるR、G、Bの各基準電流値の調整ダイナミックレンジが小さくても精度よくホワイトバランス調整ができる有機EL駆動回路および有機EL表示装置を提供することにある。

この発明の他の目的は、輝度むらを低減することが容易な有機EL駆動回路および有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0007】

このような目的を達成するためのこの発明の有機EL駆動回路およびこれを用いる有機EL表示装置の構成は、水平1ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数の第1のタイミングコントロール信号に応じて表示期間にその端子ピンを介して有機ELパネルを電流駆動する有機EL駆動回路において、

第1のタイミングコントロール信号に対して所定時間順次遅延した複数の第2のタイミングコントロール信号を発生するタイミング信号発生回路と、複数の第2のタイミングコントロール信号と第1のタイミングコントロール信号と所定のデータとを受けてこの所定のデータに応じて複数の第2のタイミングコントロール信号の1つを選択して選択した第2のタイミングコントロール信号に応じて前縁（立上がりあるいは立下がりエッジ）を決定し、後縁（立下がりあるいは立上がりエッジ）を第1のタイミングコントロール信号としたリセットパルスが発生するリセットパルス発生回路と、リセットパルスを受けて端子ピンを所定のバイアスラインに接続して端子ピンに接続された有機ELパネルのOEL素子の電荷をリセットするスイッチ回路とを備えていて、所定のデータに応じて表示期間が調整され、有機ELパネルの輝度が調整されるものである。

【発明の効果】

【0008】

ところで、OEL素子は、所定の定電圧VZRにプリチャージする定電圧リセットが行われて発光駆動されるので、有機EL駆動回路の各カラム端子ピンを介して電流駆動されるOEL素子の駆動波形は、図3（g）に示すRについての駆動電流波形のように、この所定の定電圧VZRからスタートするピーク電流波形（実線）となる。なお、図3（g）の点線は、電圧波形である。

10

20

30

40

50

定電圧リセットは、水平走査の帰線期間に相当するリセット期間に行われ、このときの表示期間は、水平1ラインの水平走査期間に相当する。そこで、表示期間とリセット期間の切り分けが表示期間+リセット期間に対応する周期（水平走査周波数）のタイミングコントロールパルスにより行われる。なお、図3は、端子ピンを電流駆動する電流の駆動波形とこれを発生するための各種タイミング信号の説明図である。

【0009】

これについて説明すると、図3(a)は、各制御信号のタイミングの基本となる同期クロックCLKであり、図3(b)は、ピクセルカウンタのカウントスタートパルスCSTPである。そして、ピクセルカウンタのカウント値が図3(c)に示されている。図3(d)は、表示開始パルスDSTPであり、図3(j)は、タイミングコントロールパルスTPであり、図3(e)がRについてのリセットパルスRSR、図3(h)がGについてのリセットパルスRSG、図3(i)がBについてのリセットパルスRSBである。

10

この発明では、図3(e)、図3(h)、図3(i)に示すように、R、G、Bそれぞれのリセットパルスのリセット期間を相違させて、R、G、Bの表示期間の終了時点を異なるものにする。

【0010】

言い換えれば、この発明は、リセット期間をR、G、Bに対応して外部からデータ設定して調整できるようにすることにより、R、G、Bの表示期間の終了時点をR、G、Bそれぞれに対応して調整して、それぞれの輝度を調整するものである。あるいは各端子ピン対応にリセット期間を調整できるようにすることで、各端子ピン対応に輝度調整すること

20

を可能にする。これにより、R、G、Bのそれぞれの端子ピン全体に対してリセット期間の調整ができ、ホワイトバランス調整ができる。さらに、輝度むらに対応して各端子ピンのうち選択した端子のリセット期間を調整して輝度むらを低減することができる。

その結果、ホワイトバランス調整が可能なあるいは輝度むらの低減が可能な有機EL駆動回路および有機EL表示装置を容易に実現できる。

【発明を実施するための最良の形態】

【0011】

図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバのリセット回路を中心とするブロック図、図2は、そのタイミング波形の説明図、そして図3は、端子ピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

30

図1において、10は、有機ELパネルにおける有機EL駆動回路としてのカラムICドライバ（以下カラムドライバ）である。このカラムドライバ10は、コントロール回路1と、n段（nは2以上の整数）のシフトレジスタ2と、リセットパルス発生回路3R、3G、3B、D/A変換回路4R、4G、4B、出力段電流源5R、5G、5B、レジスタ6等を有している。

【0012】

各D/A変換回路4Rは、MPU7からレジスタ6を介して表示データDATを受けて基準電流生成回路（図示せず）で生成されたRについての基準駆動電流を表示データ値分増幅してそのときどきの表示輝度に応じた駆動電流を生成する。そして、生成した駆動電流でそれぞれに出力段電流源5Rを駆動する。各出力段電流源5Rは、一対のトランジスタからなるカレントミラー回路で構成され、Rについてのm個のカラム側の出力端子XR1、XR2、…XRm（図示せず）を介して駆動電流を有機ELパネルのRについての各OEL素子9の陽極に出力する。

40

Rの出力端子XR1、XR2、…XRmは、さらにそれぞれスイッチ回路SWR1、SWR2、…SWRm（図示せず）、そしてこれらスイッチ回路SWR1、SWR2、…SWRmに共通に接続された定電圧のツェナーダイオードDZRを介してグランドGNDに接続されている。

【0013】

なお、D/A変換回路4G、4B、出力段電流源5G、5Bは、D/A変換回路4R、

50

出力段電流源 5 R と同様な構成であるのでその接続についての説明は割愛する。各出力段電流源 5 G が接続されている出力端子 X G1, X G2, … X Gm (図示せず) は、G についての各 O E L 素子 9 の陽極に接続され、出力端子 X G1, X G2, … X Gm は、それぞれスイッチ回路 S W G1, S G2, … S Gm (図示せず)、定電圧のツェナーダイオード D ZG を介してグランド G N D に接続されている。また、各出力段電流源 5 B が接続されている出力端子 X B1, X B2 (図示せず), … X Bm (図示せず) は、B についての各 O E L 素子 9 の陽極に接続され、出力端子 X B1, X B2, … X Bm は、それぞれスイッチ回路 S W B1, S B2 (図示せず), … S Bm (図示せず)、定電圧のツェナーダイオード D ZB を介してグランド G N D に接続されている。

そこで、以下では、R についての D / A 変換回路 4 R、出力段電流源 5 R の構成とその関係を中心に説明して D / A 変換回路 4 G、4 B、出力段電流源 5 G、5 B のそれぞれの構成とその関係については割愛する。

【0014】

スイッチ回路 S W R1, S W R2, … S W Rm は、図 1 に示すように、R についての出力端子 X R1 ~ X Rm に対応に設けられたリセットスイッチであり、各出力端子をツェナーダイオード D ZR の定電圧 V ZR にリセットするものである。各スイッチ回路は、図 1 に示すように、例えば、P チャネル M O S トランジスタで構成され、そのゲートがライン 1 1 に接続され、このライン 1 1 を介して R についてのリセットパルス R S R をリセットパルス発生回路 3 R から受ける。

各トランジスタのソースは、各出力端子 X R1 ~ X Rm に接続され、各トランジスタのドレインは、ツェナーダイオード D ZR を介してグランド G N D に接続されている。これによりツェナーダイオード D ZR の持つ定電圧 V ZR に O E L 素子 9 の陽極側は、リセット期間にプリチャージされる。

【0015】

同様に、図 1 に示すように、G についてのスイッチ回路 S W G1, S W G2, … を構成する P チャネル M O S トランジスタが G について各出力端子 X G1, X G2, … に対応に設けられている。その各トランジスタのソースは、各出力端子 X G1, X G2, … に接続され、各トランジスタのドレインは、ツェナーダイオード D ZG を介してグランド G N D に接続されている。そして、その各トランジスタのゲートは、ライン 1 2 に接続され、このライン 1 2 を介してリセットパルス R S G をリセットパルス発生回路 3 G から受ける。

同様に、図 1 に示すように、B についてのスイッチ回路 S W B1, S W B2, … S W Bm を構成する P チャネル M O S トランジスタが B について各出力端子 X B1, X B2, … に対応に設けられている。その各トランジスタのソースは、各出力端子 X B1, X B2, … に接続され、各トランジスタのドレインは、ツェナーダイオード D ZB を介してグランド G N D に接続されている。そして、その各トランジスタのゲートは、ライン 1 3 に接続され、このライン 1 3 を介してリセットパルス R S B をリセットパルス発生回路 3 B から受ける。

【0016】

R, G, B 対応にそれぞれ設けられたリセットパルス発生回路 3 R、3 G、3 B は、同一の構成であるので、リセットパルス発生回路 3 R について説明すると、これは、それぞれセクタ 3 1 と 2 入力アンドゲート 3 2、3 ビットのレジスタ 3 3、そしてインバータ 3 4 とからなる。シフトレジスタ 4 は、コントロール回路 1 からタイミングコントロールパルス T P と、インバータ 3 4 を介してクロック C L K とを受けて、クロック C L K の立下がりタイミングで、各段に図 2 (a) に示すような出力波形を発生する。

なお、図 2 (a) は、n を 4 とした 4 段のシフトレジスタとし、その各段のフリップフロップを Q1 ~ Q4 とした場合の説明である。Q1 ~ Q4 の各段の出力信号は、シフトレジスタ 4 の各段に入力されるクロック C L K の立下がりに応じて発生し、Q2 ~ Q4 は、初段 Q1 の立下がりから 1 乃至数クロック C L K 分遅延した出力となっている。また、初段 Q1 の立下がりタイミングは、タイミングコントロールパルス T P の立下がりからこれに同期するクロック C L K が立下がるまでの期間分遅延している。

セクタ 3 1 は、シフトレジスタ 4 の初段の出力信号から最終段の出力信号のそれぞれ

と初段への入力信号（コントロール回路 1 からタイミングコントロールパルス TP）とを受けて、入力信号の 1 つを選択する。このセクタ 3 1 の入力信号の選択は、レジスタ 3 3 に設定された k ビット（ k は 2 以上の整数）のデータ値に応じて行われる。ここで、選択された入力信号は、2 入力のアンドゲート 3 2 の一方に入力される。アンドゲート 3 2 の他方の入力にはシフトレジスタ 4 の入力信号（タイミングコントロールパルス TP）が入力されている。

【0017】

その結果、アンドゲート 3 2 の出力は、レジスタ 3 2 に設定されたデータ値に応じて初段から m クロック CLK（ m は 1 以上の整数）遅延したリセットパルス RSR が発生する。このリセットパルス RSR は、タイミングコントロールパルス TP の立上がり（前縁）あるいは選択された $Q_1 \sim Q_4$ の出力のいずれかの立上がり（前縁）を立上がり（前縁）とし、立下がり（後縁）をタイミングコントロールパルス TP の立下がり（後縁）とした、図 3（e）に示すようなリセットパルス RSR になる。リセットパルス RSR は、インバータ 3 5 を介して P チャンネル MOS トランジスタのゲートに送出されてスイッチ回路 SWR1, SWR2, … SWR m にそれぞれ加えられる。なお、アンドゲート 3 2 とインバータ 3 5 とをナンドゲートで構成してもよい。

【0018】

ここで、シフトレジスタ 4 を $n = 4$ として 4 段構成とし、 $k = 3$ とすると、レジスタ 3 3 にセットされる 3 ビットのデータは、0 ～ 4 までの値とされ、その数値が出力段数に対応している。したがって、リセットパルス発生回路 3 R のレジスタ 3 3 に設定された 3 ビットのデータを “011” で「3」とすると、図 3（b）に示すように、シフトレジスタ 4 の Q_3 の出力が選択されて、アンドゲート 3 2 の出力は、図 3（b）に示すように、初段 Q_1 の出力から 2 クロック分遅延する。

その結果として、図 3（e）に示すようなリセットパルス RSR がリセットパルス発生回路 3 R から発生する。図 3（h）のリセットパルス RSG の場合は、リセットパルス発生回路 3 G のレジスタ 3 3 に設定された 3 ビットのデータは “010” で「2」の場合であり、シフトレジスタ 4 の Q_2 の出力が選択される。図 3（i）のリセットパルス RSB の場合は、リセットパルス発生回路 3 B のレジスタ 3 3 に設定された 3 ビットのデータは “001” で「1」の場合であり、シフトレジスタ 4 の Q_1 の出力が選択される。なお、この図の場合、シフトレジスタ 4 の各段の出力は、クロック CLK の立下がりタイミングに一致して発生するものとする。

【0019】

このように、R, G, B 対応にリセットパルスをリセットパルス発生回路 3 R、3 G、3 B のそれぞれの 3 ビットのレジスタ 3 3 に設定されたデータに応じてクロック CLK に同期させてその立下がりタイミングで立上がるパルスとして発生させる。しかも、このパルスは、タイミングコントロールパルス TP の立下がり立下がるパルスとなる。その結果、R, G, B 対応に表示期間の終了タイミングを調整できる。これにより、R, G, B 対応に表示期間を調整でき、それぞれの輝度調整が可能になる。

なお、レジスタ 3 3 の値が “0” のときには、各リセットパルス発生回路 3 R、3 G、3 B は、タイミングコントロールパルス TP をリセットパルスとして出力する。なお、このタイミングコントロールパルス TP の立上がりは、クロック CLK の立下がりではなく、立上がりタイミングに一致している。しかし、図 3（h）のパルスをタイミングコントロールパルス TP とすれば、タイミングコントロールパルス TP をクロック CLK の立下がりタイミングに一致させて発生させることもできる。

【0020】

これらリセットパルス RSR, RSG, RSB は、あらかじめ決定されている表示期間 + リセット期間に対応する周期（水平走査周波数）のパルスであって、これの HIGH レベル（以下 “H”, “H” 有意）に応じて図 3（e）のリセットパルス RSR に示すように、リセット期間 RT が開始する。そして、図 3（d）に示す表示開始パルス DSTP の立

上がりで表示期間 D が開始し、これに同期してリセット期間が終了する。そのため、このリセット期間が終了する時点を基準にしてタイミングコントロールパルス TP が立下がる。この立下がりタイミングでカウンタ等によりカウントが開始されてあらかじめ決められた一定期間の間、タイミングコントロールパルス TP が LOW レベル（以下“L”）となる。カウンタ等のカウントアップに応じて、タイミングコントロールパルス TP の次の立上がりタイミングが決定される。

【0021】

その結果、例えば、R については、図 3（f）に示すピーク発生パルス Pp に応じて図 3（g）に示すような OEL 素子 9 を電流駆動する電流の駆動波形（実線参照）を発生することになる。

10

ところで、図 3（e），（h），（i）に示す各リセットパルス RSR，RSG，RSB が“H”のリセット期間には、表示データ等の各種のデータの設定と、有機 EL 表示素子 9 の陽極電圧の定電圧リセット等が行われる。特に、これらリセット信号が“H”のときには、各端子ピン対応に設けられたレジスタ 6 等の表示データレジスタにデータがセットされるので、R，G，B の各端子ピンが 132 端子ピンある場合には、図 3（c）のピクセルカウンタの値に従って、各リセットパルス RSR，RSG，RSB の“H”の期間は、133 クロック以上のカウントが必要になる。

【0022】

R についての図 3（g）に示す電流駆動波形は、リセットパルス RSR が“H”の立上がり開始期間が表示終了期間に対応している。このことは、G，B の電流駆動波形についても同様である。

20

そこで、この各リセットパルス RSR，RSG，RSB の立上がりタイミングを R，G，B 対応に設定することで、R，G，B 対応に表示期間の長さを変えることができる。そこで、各リセットパルス RSR，RSG，RSB の立上がりタイミングを外部からデータで設定することで、R，G，B 対応にそれぞれの表示期間の長さを決定し、これに応じて輝度を調整する。これによりホワイトバランスの調整が可能になる。

【0023】

リセットパルス発生回路 3R，3G，3B の各レジスタ 33 にセットされるデータは、R，G，B に対応して MPU 7 から設定される。したがって、これらのリセットパルス RSR，RSG，RSB のそれぞれの立上がり位置が MPU 7 から設定されるデータにより調整できる。このデータ値は、例えば、MPU 内部の不揮発性メモリ等に記憶しておき、電源 ON 時に各レジスタ 33 に設定する。また、これらの設定データは、入力データに応じて不揮発性メモリ等に記憶される。特に、MPU 7 への入力と不揮発性メモリへのデータの書込みは、製品出荷のテスト段階等で R，G，B 対応にそれぞれキーボードから入力してホワイトバランス調整を行うようにするとよい。

30

【0024】

さて、この実施例では、R，G，B 対応にリセットパルス発生回路 3R，3G，3B を設けているが、リセットパルス発生回路を出力端子 XR1，XR2，…XRm，出力端子 XG1，XG2，…XGm，出力端子 XB1，XB2，…のそれぞれの出力端子に対応してそれぞれ設けることができる。これにより、それぞれの端子ピン対応に輝度調整が可能になる。

40

その結果、輝度むらに応じて輝度むらを低減するデータが輝度調整される端子ピンの位置にあるリセットパルス発生回路のレジスタ 33 に MPU 7 からデータがセットされる。これにより、その端子ピンに対応する垂直方向のラインの輝度を調整して輝度むらを低減することが可能になる。

なお、レジスタ 33 に設定されるデータは、リセットパルス発生回路の外部から設定されればよく、MPU に限定されるものではなく、コントローラ等であってもよい。

【産業上の利用可能性】

【0025】

以上説明してきたが、実施例では、タイミングコントロールパルス TP に対してセレクタ 31 により選択される所定期間遅延したタイミングコントロール信号を遅延回路（シフ

50

トレジスタ)により生成している。しかし、この所定期間遅延したタイミングコントロール信号は、遅延回路によることなく、一般的なタイミング信号発生回路を用いることができる。

なお、実施例における各リセットパルス R S R, R S G, R S Bは、“H”ではなく、論理レベルを逆にして“L”の期間として発生してもよいことはもちろんである。

また、実施例では、GとBとは、それぞれ独立のリセットパルス発生回路を設けて、それぞれにリセットパルスを発生しているが、現在のところGとBの発光材料による発光効率の差は少ないので、これらは同一の1つの回路として、この1つの回路で制御することができる。

さらに、実施例では、R、G、Bそれぞれにプリチャージ電圧（定電圧リセットをする定電圧）を、ツェナーダイオード D Z R, D Z G, D Z Bの電圧によりそれぞれ独立に設定しているが、これは、同一電圧であってもよく、1個のツェナーダイオードあるいは定電圧回路が用いられてもよい。さらに、ツェナーダイオードは、各出力端子に対応してそれぞれ設けられていてもよい。さらにまた、リセットは、定電圧ではなく、グラウンド G N D に対して行われてもよい。

【図面の簡単な説明】

【0026】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバのリセット回路を中心とするブロック図である。

【図2】図2は、そのタイミング波形の説明図である。

【図3】図3は、端子ピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

【符号の説明】

【0027】

- 1…コントロール回路、4…シフトレジスタ、
- 3 R, 3 G, 3 B…リセットパルス発生回路、
- 4 R, 4 G, 4 B…D/A変換回路、
- 5 R, 5 G, 5 B…出力段電流源、6…レジスタ、
- 7…M P U、9…有機EL素子、
- S W R 1, S W R 2…スイッチ回路、
- 10…カラムI Cドライバ、
- 31…セレクタ、32…2入力アンドゲート、
- 33…レジスタ、34, 35…インバータ。

10

20

30

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 2 L
	H 0 5 B 33/12	B
	H 0 5 B 33/14	A

(72)発明者 前出 淳
京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

(72)発明者 藤川 昭夫
京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

Fターム(参考) 3K007 AB04 AB17 BA06 DB03 GA04
5C080 AA06 BB05 CC03 DD01 DD05 EE28 EE29 EE30 FF07 FF12
HH09 JJ02 JJ04 KK07 KK43 KK47

【要約の続き】

【選択図】 図 1

专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	JP2004334179A	公开(公告)日	2004-11-25
申请号	JP2004102666	申请日	2004-03-31
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	矢熊宏司 阿部真一 前出淳 藤川昭夫		
发明人	矢熊 宏司 阿部 真一 前出 淳 藤川 昭夫		
IPC分类号	H05B33/12 G09G3/20 G09G3/30 H01L51/50 H05B33/14		
FI分类号	G09G3/30.K G09G3/20.612.J G09G3/20.641.A G09G3/20.641.D G09G3/20.641.K G09G3/20.642.L H05B33/12.B H05B33/14.A G09G3/3275 G09G3/3283 H01L27/32		
F-TERM分类号	3K007/AB04 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ04 5C080/KK07 5C080/KK43 5C080/KK47 3K107/AA01 3K107/BB01 3K107/CC08 3K107/CC33 3K107/EE02 3K107/HH01 3K107/HH04 5C380/AA01 5C380/AB34 5C380/AC11 5C380/AC12 5C380/BA31 5C380/BB03 5C380/BB12 5C380/BB14 5C380/BB25 5C380/CA13 5C380/CA34 5C380/CE19 5C380/CF05 5C380/CF06 5C380/CF07 5C380/CF15 5C380/CF23 5C380/CF26 5C380/CF32 5C380/CF46 5C380/CF51 5C380/CF56 5C380/CF62 5C380/DA06 5C380/DA07 5C380/DA47 5C380/GA18		
代理人(译)	梶山 侑是 山本富士雄		
优先权	2003110322 2003-04-15 JP		
其他公开文献	JP4608229B2		
外部链接	Espacenet		

摘要(译)

[问题] 本发明的目的是提供一种有机EL驱动电路和有机EL显示装置，即使进行白平衡调整的R，G，B的各基准电流值的调整动态范围较小，也可以高精度地进行白平衡调整。[解决方案] 本发明产生相对于第一时序控制信号被顺序延迟预定时间的多个第二时序控制信号，并且生成多个第二时序控制信号，第一时序控制信号和预定数据。响应于该预定数据，选择多个第二时序控制信号中的一个，并且所选择的第二时序控制信号的上升沿是上升沿，而下降沿是第一时序控制信号。产生复位脉冲，并且响应于该复位脉冲，将端子引脚连接到预定的偏置线以连接到端子引脚以进行复位，并且根据预定数据调整显示时段。调整面板的亮度。[选型图] 图1

