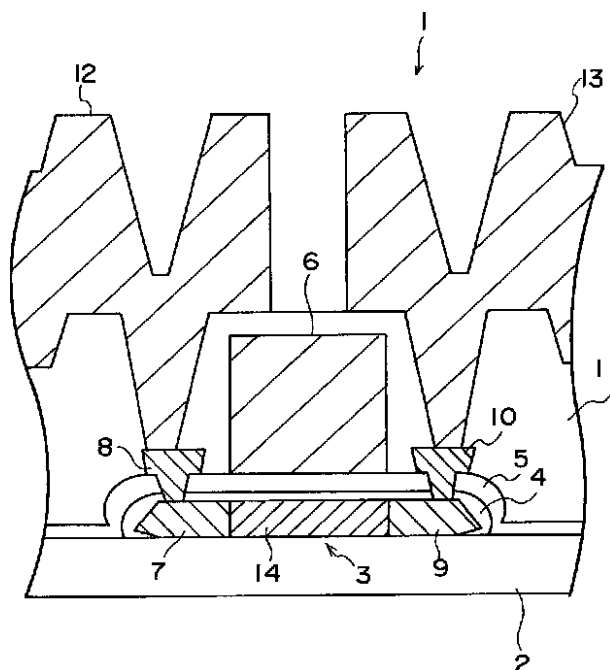




【特許請求の範囲】

【請求項 1】 基板上に形成された島状シリコンと、前記島状シリコンの表面に形成された第 1 の熱酸化膜と、前記第 1 の熱酸化膜上に形成された第 2 の熱酸化膜とを備え、前記第 1 の熱酸化膜は前記島状シリコンが熱酸化されることによって形成された膜であり、前記第 2 の熱酸化膜は前記第 1 の熱酸化膜上に形成されたシリコン薄膜が熱酸化されることによって形成された膜であることを特徴とする半導体装置。

【請求項 2】 前記島状シリコンの端部に形成された前記第 1 及び第 2 の熱酸化膜の合計膜厚が、前記島状シリコンの上面に形成された前記第 1 及び第 2 の熱酸化膜の合計膜厚の 70%以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 及び第 2 の熱酸化膜上に形成されたゲート電極をさらに備え、これによって、前記第 1 及び第 2 の熱酸化膜のうち前記ゲート電極に覆われた部分は MOS トランジスタのゲート絶縁膜として機能し、前記島状シリコンのうち前記ゲート絶縁膜に覆われた部分は MOS トランジスタのチャネル領域として機能することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 1 及び第 2 の熱酸化膜上に形成された上部電極をさらに備え、これによって、前記第 1 及び第 2 の熱酸化膜のうち前記上部電極に覆われた部分はキャパシタの容量絶縁膜として機能し、前記島状シリコンのうち前記容量絶縁膜に覆われた部分はキャパシタの下部電極として機能することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】 ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間に設けられたチャネル領域と、ゲート電極と、少なくとも前記チャネル領域と前記ゲート電極との間に設けられたゲート絶縁膜とを備え、前記ゲート絶縁膜が少なくとも 2 層の熱酸化膜からなり、これら 2 層の熱酸化膜の一方は、他方の熱酸化膜上に堆積されたシリコン膜を熱酸化することによって形成された膜であることを特徴とする半導体装置。

【請求項 6】 前記ソース領域、ドレイン領域及びチャネル領域は、絶縁基板上に形成された島状シリコンによって構成されることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 有機発光部と、前記有機発光部と電源配線との間に接続された第 1 の薄膜トランジスタと、第 1 の信号配線と前記第 1 の薄膜トランジスタのゲート電極との間に接続され、ゲートが第 2 の信号配線に接続された第 2 の薄膜トランジスタとを備える有機 E L ディスプレイパネルであって、前記第 1 の薄膜トランジスタの活性領域を構成する第 1 の島状シリコン及び前記第 2 の薄膜トランジスタの活性領域を構成する第 2 の島状シリコンは、ゲート絶縁膜となる第 1 及び第 2 の熱酸化膜によ

*って覆われており、前記第 1 の熱酸化膜は前記各島状シリコンが熱酸化されることによって形成された膜であり、前記第 2 の熱酸化膜は前記第 1 の熱酸化膜上に形成されたシリコン薄膜が熱酸化されることによって形成された膜であることを特徴とする有機 E L ディスプレイパネル。

【請求項 8】 前記第 1 の島状シリコンの周囲長と前記第 2 の島状シリコンの周囲長とは互いに異なることを特徴とする請求項 7 に記載の有機 E L ディスプレイパネル。

【請求項 9】 前記第 1 の薄膜トランジスタの導電型と前記第 2 の薄膜トランジスタの導電型とは互いに異なることを特徴とする請求項 7 または 8 に記載の有機 E L ディスプレイパネル。

【請求項 10】 前記第 1 の薄膜トランジスタの前記ゲート電極と前記電源配線との間に接続されたキャパシタをさらに備え、前記キャパシタは下部電極を構成する第 3 の島状シリコンを含み、前記第 3 の島状シリコンは、容量絶縁膜となる前記第 1 及び第 2 の熱酸化膜によって覆われていることを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の有機 E L ディスプレイパネル。

【請求項 11】 絶縁基板上に第 1 のシリコン膜を形成する工程と、前記第 1 のシリコン膜をパターニングすることにより島状シリコンを形成する工程と、前記島状シリコンを熱酸化することにより前記島状シリコンの表面に第 1 の酸化膜を形成する工程と、前記第 1 の酸化膜上に第 2 のシリコン膜を形成する工程と、前記第 2 のシリコン膜を熱酸化することにより前記第 1 の酸化膜上に第 2 の酸化膜を形成する工程とを備える半導体装置の製造方法。

【請求項 12】 前記第 2 のシリコン膜を形成する工程が CVD 法によって行われることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法並びに有機 E L ディスプレイパネルに関し、さらに詳細には、リーク電流が少なく且つ膜質に優れたゲート絶縁膜を有する半導体装置及びその製造方法、並びに、かかる半導体装置を用いたアクティブマトリクス型の有機 E L ディスプレイパネルに関する。

【0002】

【従来の技術】近年、液晶ディスプレイパネルや有機 E L ディスプレイパネル等の表示装置の駆動方式として、いわゆるアクティブマトリクス方式が用いられることが多い。アクティブマトリクス方式においては、液晶ディスプレイパネルや有機 E L ディスプレイパネルの各画素それぞれに薄膜トランジスタが設けられており、これら薄膜トランジスタの導通・非導通を制御することによって、各画素を独立して駆動することができる。かかる薄

膜トランジスタは、通常、ガラス基板上に島状のシリコンを形成し、島状シリコンの表面にゲート絶縁膜及びゲート電極を形成することによって製造される。

【0003】図18～図21は、従来の薄膜トランジスタの製造工程を示す断面図である。

【0004】従来の薄膜トランジスタの製造工程においては、まず、図18に示されるように、基板50上の全面にシリコン膜51を形成し、次いでシリコン膜51上の所定の部分にフォトレジスト膜52を形成する。

【0005】次に、図19に示されるように、フォトレジスト膜52をマスクとしてシリコン膜51をパターンニングし、これによって島状シリコン53を形成する。

【0006】次に、図20に示されるように、島状シリコン53を熱酸化してその表面にゲート絶縁膜54を形成する。

【0007】そして、図21に示されるように、ゲート絶縁膜54上にゲート電極55を形成し、島状シリコン53の所定の部分にイオン注入を行うことによって、ソース領域及びドレイン領域を形成する。これによって、薄膜トランジスタが完成する。

【0008】このようにして形成された薄膜トランジスタのゲート絶縁膜は、上述のとおり、島状シリコン53を熱酸化して形成された熱酸化膜であるため、CVD法等によって得られる酸化膜と比べて膜質に優れ、良好なトランジスタ特性を得ることができる。

【0009】

【発明が解決しようとする課題】しかし、島状シリコン53を熱酸化することによってゲート絶縁膜54を形成する場合、ゲート絶縁膜54の膜厚は均一とならず、図20及び図21に示されるように島状シリコン53の端部において薄くなってしまう。本発明者による実験によれば、島状シリコン53の端部に形成されたゲート絶縁膜54の膜厚は、島状シリコン53の上面に形成されたゲート絶縁膜54の膜厚の約50%程度となること分かった。このため、島状シリコン53の端部においてリーク電流が発生し易くなり、薄膜トランジスタの信頼性を低下させる原因となっていた。

【0010】図22は、図18～図21に示される方法で製作された従来の薄膜トランジスタのゲートリーク特性を示すグラフである。

【0011】ここで、リーク電流が 1×10^{-9} Aに達したときの電界を絶縁耐圧と定義すれば、従来の薄膜トランジスタの絶縁耐圧は、図22に示されるように、約3.3 MV/cmである。

【0012】一方、CVD法によって島状シリコンの表面に酸化膜を堆積させ、これをゲート絶縁膜とすれば、島状シリコンの上部及び端部においてゲート絶縁膜の膜厚をほぼ均一とすることができる。しかしながら、CVD法によって形成されるCVD酸化膜は、熱酸化によって形成される熱酸化膜と比べて膜中に固定電荷が多く、

また、シリコン膜上にCVD酸化膜を直接堆積させると、その界面に形成される不飽和結合によって界面準位が形成されるため、CVD酸化膜をそのままゲート絶縁膜として使用すると、トランジスタ特性の変動を招き、信頼性を低下させてしまう。このため、特公平3-71792号公報には、島状シリコンの表面にCVD法によって酸化膜を堆積した後、さらに熱酸化する方法が提案されている。この方法によれば、CVD酸化膜中に含まれる固定電荷が低減され、ゲート絶縁膜の膜質を向上させることができるが、島状シリコンとゲート絶縁膜との界面に形成された界面準位を十分に低減することはできない。このため、かかる界面準位がキャリアトラップとなってトランジスタ特性の変動を招き、信頼性を低下させてしまうという問題が生じる。

【0013】また、特公平3-71792号公報に記載された方法とは逆に、島状シリコンを熱酸化することによってその表面に熱酸化膜を形成し、かかる熱酸化膜上にCVD酸化膜を堆積させることによって、島状シリコンの端部におけるリーク電流を低減する方法が、特公平6-12825号公報に記載されている。この方法によれば、島状シリコンの端部におけるゲート絶縁膜の膜厚を増大させることができるが、熱酸化膜とCVD酸化膜との界面に界面準位が形成されてしまい、薄膜トランジスタの特性を悪化させてしまうという問題が生じてしまう。さらに、CVD酸化膜中には固定電荷が多く存在するため、薄膜トランジスタのしきい値が所望の値よりも大きくなるという問題も生じる。

【0014】したがって、本発明の目的は、島状シリコンの表面に、膜質が良く且つ島状シリコン端部においても十分な厚みを有する絶縁膜が形成された半導体装置を提供することである。

【0015】また、本発明の他の目的は、リーク電流が少なく且つ膜質に優れたゲート絶縁膜を有する半導体装置を提供することである。

【0016】また、本発明のさらに他の目的は、膜質の良い絶縁膜を島状シリコン上面のみならず端部においても十分な厚みをもって形成する方法を提供することである。

【0017】また、本発明のさらに他の目的は、リーク電流が少なく且つ膜質に優れたゲート絶縁膜を持つ薄膜トランジスタを備えたアクティブマトリクス型の有機ELディスプレイパネルを提供することである。

【0018】

【課題を解決するための手段】本発明のかかる目的は、基板上に形成された島状シリコンと、前記島状シリコンの表面に形成された第1の熱酸化膜と、前記第1の熱酸化膜上に形成された第2の熱酸化膜とを備え、前記第1の熱酸化膜は前記島状シリコンが熱酸化されることによって形成された膜であり、前記第2の熱酸化膜は前記第1の熱酸化膜上に形成されたシリコン薄膜が熱酸化され

ることによって形成された膜であることを特徴とする半導体装置によって達成される。

【0019】本発明によれば、島状シリコンが第1の熱酸化膜及び第2の熱酸化膜からなる2層の熱酸化膜によって覆われており、第2の熱酸化膜が第1の熱酸化膜上に形成されたシリコン薄膜が熱酸化されることによって形成された膜であることから、島状シリコンの端部においても十分な膜厚を確保することが可能となる。しかも、これら2層の酸化膜はいずれも熱酸化膜であるので、膜中の固定電荷が非常に少なく、且つ、第1の熱酸化膜と第2の熱酸化膜との界面にはほとんど界面準位が形成されないの、良好な膜質を確保することが可能となる。

【0020】本発明の好ましい実施態様においては、前記島状シリコンの端部に形成された前記第1及び第2の熱酸化膜の合計膜厚が、前記島状シリコンの上面に形成された前記第1及び第2の熱酸化膜の合計膜厚の70%以上である。

【0021】本発明の好ましい実施態様によれば、島状シリコンの端部に形成された第1及び第2の熱酸化膜の合計膜厚が、島状シリコンの上面に形成された第1及び第2の熱酸化膜の合計膜厚の70%以上であることから、島状シリコンの端部におけるリーク電流を効果的に削減することが可能となる。

【0022】本発明のさらに好ましい実施態様においては、前記第1及び第2の熱酸化膜上に形成されたゲート電極をさらに備え、これによって、前記第1及び第2の熱酸化膜のうち前記ゲート電極に覆われた部分はMOSトランジスタのゲート絶縁膜として機能し、前記島状シリコンのうち前記ゲート絶縁膜に覆われた部分はMOSトランジスタのチャネル領域として機能する。

【0023】本発明のさらに好ましい実施態様によれば、島状シリコンがMOSトランジスタの活性領域として用いられ、2層の熱酸化膜がMOSトランジスタのゲート絶縁膜として用いられるため、良好な特性を有するMOSトランジスタを提供することが可能となる。

【0024】本発明のさらに好ましい実施態様においては、前記第1及び第2の熱酸化膜上に形成された上部電極をさらに備え、これによって、前記第1及び第2の熱酸化膜のうち前記上部電極に覆われた部分はキャパシタの容量絶縁膜として機能し、前記島状シリコンのうち前記容量絶縁膜に覆われた部分はキャパシタの下部電極として機能する。

【0025】本発明のさらに好ましい実施態様によれば、島状シリコンがキャパシタの下部電極として用いられ、2層の熱酸化膜がキャパシタの容量絶縁膜として用いられるため、良好な特性を有するキャパシタを提供することが可能となる。

【0026】本発明の前記目的はまた、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域

間に設けられたチャネル領域と、ゲート電極と、少なくとも前記チャネル領域と前記ゲート電極との間に設けられたゲート絶縁膜とを備え、前記ゲート絶縁膜が少なくとも2層の熱酸化膜からなり、これら2層の熱酸化膜の一方は、他方の熱酸化膜上に堆積されたシリコン膜を熱酸化することによって形成された膜であることを特徴とする半導体装置によって達成される。

【0027】本発明によれば、MOSトランジスタのゲート絶縁膜が2層の熱酸化膜からなり、そのうち一方の熱酸化膜が他方の熱酸化膜上に堆積されたシリコン膜が熱酸化されることによって形成された膜であることから、膜中の固定電荷が非常に少なく、且つ、2層の熱酸化膜間にはほとんど界面準位が形成されないの、良好な特性を有する半導体装置を提供することが可能となる。

【0028】本発明の好ましい実施態様においては、前記ソース領域、ドレイン領域及びチャネル領域は、絶縁基板上に形成された島状シリコンによって構成される。

【0029】本発明の好ましい実施態様によれば、ソース領域、ドレイン領域及びチャネル領域が、絶縁基板上に形成された島状シリコンによって構成されていることから、有機ELディスプレイパネルのようなディスプレイパネルに含まれる各画素を駆動する能動素子に適用することが可能となる。

【0030】本発明の前記目的はまた、有機発光部と、前記有機発光部と電源配線との間に接続された第1の薄膜トランジスタと、第1の信号配線と前記第1の薄膜トランジスタのゲート電極との間に接続され、ゲートが第2の信号配線に接続された第2の薄膜トランジスタとを備える有機ELディスプレイパネルであって、前記第1の薄膜トランジスタの活性領域を構成する第1の島状シリコン及び前記第2の薄膜トランジスタの活性領域を構成する第2の島状シリコンは、ゲート絶縁膜となる第1及び第2の熱酸化膜によって覆われており、前記第1の熱酸化膜は前記各島状シリコンが熱酸化されることによって形成された膜であり、前記第2の熱酸化膜は前記第1の熱酸化膜上に形成されたシリコン薄膜が熱酸化されることによって形成された膜であることを特徴とする有機ELディスプレイパネルによって達成される。

【0031】本発明によれば、有機ELディスプレイパネルの各画素に含まれる薄膜トランジスタの活性領域が島状シリコンからなり、薄膜トランジスタのゲート絶縁膜が島状シリコン上に形成された第1及び第2の熱酸化膜によって構成され、かかる前記第2の熱酸化膜が第1の熱酸化膜上に形成されたシリコン薄膜が熱酸化されることによって形成された膜であることから、島状シリコンの端部においても十分な膜厚を確保することが可能となる。しかも、これら2層の酸化膜はいずれも熱酸化膜であるので、膜中の固定電荷が非常に少なく、且つ、第1の熱酸化膜と第2の熱酸化膜との界面にはほと

んど界面準位が形成されないで、良好な膜質を確保することが可能となる。これらにより、第 1 及び第 2 の薄膜トランジスタは良好なトランジスタ特性を有することとなり、優れた有機 E L ディスプレイパネルを提供することが可能となる。

【0032】本発明の好ましい実施態様においては、前記第 1 の島状シリコンの周囲長と前記第 2 の島状シリコンの周囲長とは互いに異なる。

【0033】本発明の好ましい実施態様によれば、第 1 の島状シリコンの周囲長と第 2 の島状シリコンの周囲長とが互いに異なることから、端部におけるリーク電流の発生し易さが第 1 及び第 2 の島状シリコン間において異なり、周囲長の長い島状シリコンにおいて多くのリーク電流が発生するおそれがあるものの、これら第 1 及び第 2 の島状シリコンはいずれも 2 層の熱酸化膜によって覆われていることから、周囲長の長い島状シリコンにおいても効果的にリーク電流を削減することが可能となる。

【0034】本発明のさらに好ましい実施態様においては、前記第 1 の薄膜トランジスタの導電型と前記第 2 の薄膜トランジスタの導電型とは互いに異なる。

【0035】本発明のさらに好ましい実施態様によれば、第 1 の薄膜トランジスタの導電型と第 2 の薄膜トランジスタの導電型とが互いに異なることから、端部におけるリーク電流の発生し易さが第 1 及び第 2 の島状シリコン間において異なり、一方の導電型のトランジスタを構成する島状シリコンにおいて多くのリーク電流が発生するおそれがあるものの、これら第 1 及び第 2 の島状シリコンはいずれも 2 層の熱酸化膜によって覆われていることから、いずれの導電型のトランジスタを構成する島状シリコンにおいても効果的にリーク電流を削減することが可能となる。

【0036】本発明のさらに好ましい実施態様においては、前記第 1 の薄膜トランジスタの前記ゲート電極と前記電源配線との間に接続されたキャパシタをさらに備え、前記キャパシタは下部電極を構成する第 3 の島状シリコンを含み、前記第 3 の島状シリコンは、容量絶縁膜となる前記第 1 及び第 2 の熱酸化膜によって覆われている。

【0037】本発明のさらに好ましい実施態様によれば、第 1 の薄膜トランジスタのゲート電極と電源配線との間に接続されたキャパシタをさらに備えていることから、第 1 の薄膜トランジスタのゲート電圧の保持特性が向上するとともに、かかるキャパシタの下部電極を第 3 の島状シリコンによって構成し、容量絶縁膜を第 1 及び第 2 の熱酸化膜によって構成していることから、下部電極にて発生するリーク電流を削減することが可能となる。

【0038】本発明の前記目的はまた、絶縁基板上に第 1 のシリコン膜を形成する工程と、前記第 1 のシリコン

膜をパターンニングすることにより島状シリコンを形成する工程と、前記島状シリコンを熱酸化することにより前記島状シリコンの表面に第 1 の酸化膜を形成する工程と、前記第 1 の酸化膜上に第 2 のシリコン膜を形成する工程と、前記第 2 のシリコン膜を熱酸化することにより前記第 1 の酸化膜上に第 2 の酸化膜を形成する工程とを備える半導体装置の製造方法によって達成される。

【0039】本発明によれば、島状シリコン上に形成された第 1 の酸化膜上に、さらに第 2 のシリコン膜を形成し、これを熱酸化することによって第 2 の酸化膜を形成しているため、島状シリコンはいずれも熱酸化膜からなる 2 層の熱酸化膜によって覆われることになる。このため、島状シリコンの端部においても十分な膜厚を確保することが可能となる。しかも、これら 2 層の酸化膜はいずれも熱酸化膜であるため、膜中の固定電荷が非常に少なく、且つ、第 1 の熱酸化膜と第 2 の熱酸化膜との界面にはほとんど界面準位が形成されないで、良好な膜質を確保することが可能となる。

【0040】本発明の好ましい実施態様においては、前記第 2 のシリコン膜を形成する工程が C V D 法によって行われる。

【0041】本発明の好ましい実施態様によれば、第 2 のシリコン膜が C V D 法によって形成されることから、第 2 のシリコン膜の膜厚を、島状シリコンの上面及び端部において実質的に等しくすることができる。このため、これを熱酸化して形成される第 2 の酸化膜の膜厚を、島状シリコンの上面及び端部において実質的に等しくことができ、その結果、島状シリコンの端部における酸化膜の膜厚を十分に確保することが可能となる。

【0042】

【発明の好ましい実施の形態】以下、添付図面に基づいて、本発明の好ましい実施態様につき、詳細に説明する。

【0043】図 1 は、本発明の好ましい実施態様にかかる半導体装置を概略的に示す断面図である。

【0044】図 1 に示されるように、本実施態様にかかる半導体装置 1 は、石英ガラスからなる基板 2 と、基板 2 上に形成された島状シリコン 3 と、島状シリコン 3 の表面を覆って形成された第 1 の熱酸化膜 4 と、第 1 の熱酸化膜 4 上及び基板 2 上に形成された第 2 の熱酸化膜 5 と、第 2 の熱酸化膜 5 上に形成されたゲート電極 6 と、島状シリコン 3 のうちソース領域 7 に接して設けられた窒化チタンからなるソース電極 8 と、島状シリコン 3 のうちドレイン領域 9 に接して設けられた窒化チタンからなるドレイン電極 10 と、基板 2 及び島状シリコン 3 を覆って形成された層間絶縁膜 11 と、ソース電極 8 と接続されているソース配線 12 と、ドレイン電極 10 と接続されているドレイン配線 13 とによって構成される。また、島状シリコン 3 のうち、ゲート電極 6 によって覆われている部分はノンドープのチャネル領域 14 とな

る。

【0045】このように、本実施態様にかかる半導体装置 1 においては、島状シリコン 3 の表面は 2 層の熱酸化膜によって覆われ、かかる 2 層の熱酸化膜によってゲート絶縁膜が構成されている。

【0046】ここで、島状シリコン 3 の端部における 2 層の熱酸化膜の合計膜厚は、島状シリコン 3 の上面における 2 層の熱酸化膜の合計膜厚の 70% 以上である。このように、本実施態様にかかる半導体装置 1 においては、島状シリコン 3 の端部における 2 層の熱酸化膜の合計膜厚が、島状シリコン 3 の上面における 2 層の熱酸化膜の合計膜厚の 70% 以上であることから、島状シリコン 3 の端部におけるリーク電流を低減することがでる。さらに、これら 2 層の酸化膜は、いずれも熱酸化膜であるので、膜中の固定電荷は非常に少なく、且つ、第 1 の熱酸化膜 4 と第 2 の熱酸化膜 5 との界面にはほとんど界面準位が形成されない。このため、このような 2 層の熱酸化膜をゲート絶縁膜として用いる半導体装置 1 の信頼性は非常に高くなる。

【0047】次に、本実施態様にかかる半導体装置 1 の製造方法について説明する。

【0048】図 2 ~ 図 11 は、本実施態様にかかる半導体装置 1 の各製造工程を示す断面図である。

【0049】まず、図 2 に示されるように、減圧 CVD (LPCVD) 法を用いて石英ガラスからなる基板 2 上に 100 nm の厚みを有するノンドープのアモルファスシリコン膜を形成し、窒素雰囲気中にて約 600 の熱処理を行うことにより、ポリシリコン膜 15 に変化させる。次いで、スピコート法を用いてかかるポリシリコン膜 15 上の全面にフォトレジスト膜 16 を形成する。

【0050】次に、図 3 に示されるように、フォトリソグラフィ法を用いてフォトレジスト膜 16 に対し露光を行い、フォトレジスト膜 16 のうち所望の部分を硬化させ、マスク 17 を形成する。フォトレジスト膜 16 のうち、硬化されなかった部分は除去される。

【0051】次に、図 4 に示されるように、マスク 17 を用いて RIE (リアクティブ・イオン・エッチング) 法によるエッチングを行い、ポリシリコン膜 15 をパターンニングする。これにより島状シリコン 3 が形成される。このとき、ポリシリコン膜 15 は、マスク 17 の端部において多少サイドエッチングされるため、島状シリコン 3 の端部は、図 4 に示されるように他所の傾斜をもって形成されることになる。

【0052】次に、図 5 に示されるように、マスク 17 を除去する。

【0053】次に、図 6 に示されるように、約 1000 の熱処理を行うことによって島状シリコン 3 の表面に第 1 の熱酸化膜 4 を形成する。第 1 の熱酸化膜 4 の厚みは島状シリコン 3 の上面において約 10 nm であるが、島状シリコン 3 の端部においてはこれよりも薄く形成さ

れる。このとき、島状シリコン 3 の端部では、基板 2 と島状シリコン 3 との間にバースピーク 18 が形成される。

【0054】次に、図 7 に示されるように、減圧 CVD (LPCVD) 法により第 1 の熱酸化膜 4 を含む基板 2 の全面にアモルファスシリコン膜 19 を形成する。このとき、アモルファスシリコン膜 19 の厚みは約 15 nm である。尚、アモルファスシリコン膜 19 は減圧 CVD (LPCVD) 法によって形成されることから、基板 2 の表面や第 1 の熱酸化膜 4 の上面のような平坦部に形成されたアモルファスシリコン膜 19 の厚みと、島状シリコン 3 の端部を覆う第 1 の熱酸化膜 4 上に形成されたアモルファスシリコン膜 19 の厚みは、実質的に等しくなる。

【0055】次に、図 8 に示されるように、約 1000 の熱処理を行うことによってアモルファスシリコン膜 19 を酸化し、第 2 の熱酸化膜 5 を形成する。ここで、シリコンの熱酸化によって形成される酸化膜の厚みは、酸化される前のシリコン膜の膜厚の約 2.2 倍の厚みとなることが知られているため、第 2 の熱酸化膜 5 の厚みは約 33 nm となる。この熱酸化工程においては、アモルファスシリコン膜 19 を全て酸化し、未反応の部分を残さないことが好ましい。これは、第 2 の熱酸化膜 5 がゲート絶縁膜の一部として用いられるため、未反応のアモルファスシリコンが残存していると、完成した薄膜トランジスタのしきい値が、所望のしきい値とは異なる値となってしまうからである。したがって、この熱酸化工程においては、未反応のアモルファスシリコン膜 19 が残らないよう、アモルファスシリコン膜 19 の全てが酸化されるのに要する時間よりも長い時間をかけて加熱することが好ましい。この場合、アモルファスシリコン膜 19 の全てが酸化された後は、島状シリコン 3 がさらに熱酸化されて第 1 の熱酸化膜 4 の膜厚が増大し、その結果、第 1 の熱酸化膜 4 の膜厚は約 17 nm となる。これにより、第 1 の熱酸化膜 4 の膜厚と第 2 の熱酸化膜 5 の膜厚の合計は、島状シリコン 3 の上面において約 50 nm となる。

【0056】次に、図 9 に示されるように、島状シリコン 3 が形成された部分を含む基板 2 の全面に、リンがドーパされた膜厚が約 250 nm のポリシリコン膜 20 を形成し、さらに、ゲート電極を形成すべき箇所にマスク 21 を形成する。

【0057】次に、図 10 に示されるように、マスク 21 を用いて RIE 法によるエッチングを行い、ポリシリコン膜 20 をパターンニングする。これによりゲート電極 6 が形成される。さらに、マスク 21 及びゲート電極 6 をマスクとしてリンをイオン注入し、N 型のソース領域 7 及びドレイン領域 9 を形成する。ここで、島状シリコン 3 のうちイオン注入がされなかった部分、すなわちゲート電極 6 によって覆われている部分はノンドープのチ

ヤネル領域 14 となる。尚、基板 2 上に形成すべき薄膜トランジスタの導電型が P チャンネル型である場合は、マスク 21 及びゲート電極 6 をマスクとしてボロンをイオン注入し、P 型のソース領域及びソース電極を形成すればよい。さらに、基板 2 上に形成すべき薄膜トランジスタの導電型が N チャンネル型及び P チャンネル型の両方が混在している場合には、まず一方の導電型の薄膜トランジスタを構成する島状シリコン 3 をマスクで覆いつつ、他方の導電型の薄膜トランジスタを構成する島状シリコン 3 に対してイオン注入を行い、次いで、他方の導電型の薄膜トランジスタを構成する島状シリコン 3 をマスクで覆いつつ、一方の導電型の薄膜トランジスタを構成する島状シリコン 3 に対してイオン注入を行えばよい。

【0058】次に、図 11 に示されるように、RIE 法により第 1 の熱酸化膜 4 及び第 2 の熱酸化膜 5 の所定の部分を除去し、スルーホール 22 を形成する。これによって、ソース領域 7 及びドレイン領域 9 の一部がそれぞれ露出される。

【0059】そして、図 1 に示されるように、窒化チタンを堆積させ、これをパターニングすることによって窒化チタンからなるソース電極 8 及びドレイン電極 10 を形成し、次いで、全面に層間絶縁膜 11 を形成した後、その一部を除去してソース電極 8 及びドレイン電極 10 の一部を露出させる。さらにアルミニウム合金を堆積させ、これをパターニングすることによって、ソース配線 12 及びドレイン配線 13 を形成する。これによって本実施態様にかかる半導体装置 1 が完成する。尚、窒化チタンからなるソース電極 8 及びドレイン電極 10 は、バリアメタルとして機能する。

【0060】このように、本実施態様にかかる半導体装置 1 においては、島状シリコン 3 を熱酸化することによってその表面に第 1 の熱酸化膜 4 を形成した後、第 1 の熱酸化膜 4 の表面を含む基板 2 の全面に CVD 法によってアモルファスシリコン膜 19 を堆積し、これを熱酸化することによって第 1 の熱酸化膜 4 の表面に第 2 の熱酸化膜 5 を形成しているため、島状シリコン 3 の表面は、第 1 の熱酸化膜 4 及び第 2 の熱酸化膜 5 からなる 2 層の熱酸化膜によって覆われることになる。ここで、第 2 の熱酸化膜 5 は、上述のとおり、CVD 法によって堆積されたアモルファスシリコン膜 19 を熱酸化して形成された膜であるため、その厚みは、島状シリコン 3 の上面及び端部においてほぼ均一となる。このため、かかる第 2 の熱酸化膜 5 を第 1 の熱酸化膜 4 の全表面に形成することにより、島状シリコン 3 の端部において薄い部分を有する第 1 の熱酸化膜 4 が補完され、島状シリコン 3 の端部においても十分な膜厚を確保することが可能となる。

【0061】これにより、島状シリコン 3 の端部における 2 層の熱酸化膜の合計膜厚を、島状シリコン 3 の上面における 2 層の熱酸化膜の合計膜厚の 70% 以上とする

ことができ、その結果、島状シリコン 3 の端部におけるリーク電流を低減することができる。さらに、これら 2 層の酸化膜は、いずれも熱酸化膜であるので、膜中の固定電荷は非常に少なく、且つ、第 1 の熱酸化膜 4 と第 2 の熱酸化膜 5 との界面にはほとんど界面準位が形成されない。このため、このような 2 層の熱酸化膜をゲート絶縁膜として用いる半導体装置 1 の信頼性は非常に高くなる。

【0062】図 12 は、図 1 ~ 図 11 に示される方法で製作された薄膜トランジスタのゲートリーク特性を示すグラフである。

【0063】ここで、リーク電流が 1×10^{-9} A に達したときの電界を絶縁耐圧と定義すれば、本実施態様にかかる薄膜トランジスタの絶縁耐圧は、図 12 に示されるように、約 5.7 MV/cm であり、従来の薄膜トランジスタの絶縁耐圧である約 3.3 MV/cm と比べて大幅に改善されていることが分かる。

【0064】次に、本発明の好ましい他の実施態様について説明する。

【0065】図 13 は、本発明の好ましい他の実施態様にかかる有機 EL ディスプレイパネル 23 の回路図である。

【0066】図 13 に示されるように、有機 EL ディスプレイパネル 23 は、列方向に配列された複数のソース線 X と、行方向に配列された複数のゲート線 Y と、これらソース線 X 及びゲート線 Y の各交点にマトリクス状に配置された複数の画素 24 と、電源線 Vdd とを備え、画素 24 は、有機発光部 25 と、N チャンネル MOS トランジスタ 26 と、P チャンネル MOS トランジスタ 27 と、キャパシタ 28 とによって構成される。N チャンネル MOS トランジスタ 26 は、ゲートがゲート線 Y に接続され、ソースがソース線 X に接続され、ドレインが P チャンネル MOS トランジスタ 27 のゲートに接続されている。また、P チャンネル MOS トランジスタ 27 は、ソースが電源線 Vdd に接続され、ドレインが有機発光部 25 に接続されている。また、キャパシタ 28 は、一端が P チャンネル MOS トランジスタ 27 のゲートに接続され、他端が電源線 Vdd に接続されている。

【0067】このような回路構成からなる有機 EL ディスプレイパネル 23 においては、選択された 1 本のゲート線 Y (例えばゲート線 Yj) にハイレベルの電位を供給することによって、かかるゲート線 Yj に対応する行の各画素 24 を選択状態とし、この状態で各ソース線 X に所定の電位を供給することによって、選択されている画素 24 に含まれるキャパシタ 28 の一端を所定の電位に充電することができる。ここで、キャパシタ 28 の充電電圧は、P チャンネル MOS トランジスタ 27 のゲート電圧、すなわち P チャンネル MOS トランジスタ 27 の導通状態を決めるので、各キャパシタ 28 に充電される電位を上述の方法で制御することにより、P チャンネル

ルMOSトランジスタ27を介して電源線Vddから有機発光部25に流れる電流量を各画素24ごとに制御することができる。これにより有機ELディスプレイパネル23には、所望の画像が表示される。

【0068】尚、これらソース線Xやゲート線Yを駆動する駆動回路(図示せず)は、有機ELディスプレイパネル23と同一基板上に形成してもよく、また、外付けIC内に設けても良い。かかる駆動回路(図示せず)を有機ELディスプレイパネル23と同一基板上に形成する場合、画素24の製造工程において同時に駆動回路 10 (図示せず)を作成することが可能となる。

【0069】図14は、画素24の構造を概略的に示す平面図である。また、図15は、図14に示すA-A'線の断面を示す断面図、図16は、図14に示すB-B'線の断面を示す断面図、図17は、図14に示すC-C'線の断面を示す断面図である。

【0070】図15及び図16に示されるように、各画素24を構成するNチャンネルMOSトランジスタ26及びPチャンネルMOSトランジスタ27は、上記実施態様にかかる半導体装置1とほぼ同様の構造を有してい 20 る。

【0071】すなわち、図15に示されるように、NチャンネルMOSトランジスタ26は、石英ガラスからなる基板2と、基板2上に形成された島状シリコン29と、島状シリコン29の表面を覆って形成された第1の熱酸化膜4と、第1の熱酸化膜4上及び基板2上に形成された第2の熱酸化膜5と、第2の熱酸化膜5上に形成されたゲート線Yj(ゲート電極)と、島状シリコン29のうちソース領域30に接して設けられたソース電極31と、島状シリコン29のうちドレイン領域32に接 30 して設けられたドレイン電極33と、基板2及び島状シリコン29を覆って形成された第1の層間絶縁膜34と、ソース電極31と接続されているソース線X_{i+1}と、ドレイン電極33と接続されている配線35と、NチャンネルMOSトランジスタ26の全面を覆う第2の層間絶縁膜36と、第2の層間絶縁膜配線36の全面を覆う有機保護膜56と、有機保護膜56の全面を覆うパッシベーション酸化膜57とによって構成される。また、島状シリコン29のうち、ゲート線Yjによって覆われている部分はノンドープのチャネル領域37とな 40 る。また、配線35は、バリアメタル38を介して、ゲート線Yjと同時に形成されたゲート電極39と接続されている。かかるバリアメタル38は、ソース電極31及びドレイン電極33と同時に形成される。ここで、島状シリコン29の端部における2層の熱酸化膜の合計膜厚は、上記実施態様にかかる半導体装置1と同様、島状シリコン29の上面における2層の熱酸化膜の合計膜厚の70%以上である。また、図15に示されるように、島状シリコン29やゲート電極39等によって生じる凹凸は、有機保護膜56によって実質的に平坦化されてい 50

る。

【0072】また、図16に示されるように、PチャンネルMOSトランジスタ27は、基板2上に形成された島状シリコン40と、島状シリコン40の表面を覆って形成された第1の熱酸化膜4と、第1の熱酸化膜4上及び基板2上に形成された第2の熱酸化膜5と、第2の熱酸化膜5上に形成されたゲート電極39と、島状シリコン40のうちソース領域41に接して設けられたソース電極42と、島状シリコン40のうちドレイン領域43に接して設けられたドレイン電極44と、ソース電極42と接続されている電源線Vddと、ドレイン電極44と接続されているITO45とによって構成される。また、島状シリコン40のうち、ゲート電極39によって覆われている部分はノンドープのチャネル領域46となる。かかるITO45は、有機発光部25に接続されている。ここで、島状シリコン40の端部における2層の熱酸化膜の合計膜厚は、やはり島状シリコン40の上面における2層の熱酸化膜の合計膜厚の70%以上である。また、図16に示されるように、ドレイン電極44は、島状シリコン40の外部まで引き出されており、かかる引き出し部分においてITO45とコンタクトしており、有機発光部25における第2の層間絶縁膜36と有機保護膜56との間にはカラーフィルタ58が設けられている。カラーフィルタ58は、例えば、赤(R)、緑(G)、青(B)のいずれかに着色されており、赤(R)に着色されたカラーフィルタを有する有機発光部、緑(G)に着色されたカラーフィルタを有する有機発光部、青(B)に着色されたカラーフィルタを有する有機発光部の3つが1組となって、フルカラー表示が可能な1つの画素を構成する。

【0073】また、図17に示されるように、キャパシタ28は、基板2上に形成された島状シリコン47(下部電極)と、島状シリコン47の表面を覆って形成された第1の熱酸化膜4と、第1の熱酸化膜4上及び基板2上に形成された第2の熱酸化膜5と、第2の熱酸化膜5上に形成されたゲート電極39(上部電極)と、島状シリコン47の2カ所に設けられた電極48と、電極48と接続されている電源線Vddとによって構成される。ここで、島状シリコン47の端部における2層の熱酸化膜の合計膜厚は、やはり島状シリコン47の上面における2層の熱酸化膜の合計膜厚の70%以上である。

【0074】第1の熱酸化膜4及び第2の熱酸化膜5を形成する方法については、上記実施態様にかかる半導体装置1において説明した方法と同様であるので、重複する説明は省略する。また、NチャンネルMOSトランジスタ26及びPチャンネルMOSトランジスタ27は、互いに導電型が異なるため、NチャンネルMOSトランジスタ26を構成する島状シリコン29に対するイオン注入と、PチャンネルMOSトランジスタ27を構成する島状シリコン40に対するイオン注入とは、別個に行

う必要がある。すなわち、ゲート線 Y 及びゲート電極 39 を形成した後、まず島状シリコン 40 の全体をマスク（図示せず）で覆い、この状態でリンをイオン注入し、N 型のソース領域 30 及びドレイン領域 32 を形成し、次いで、島状シリコン 40 を覆っていたマスク（図示せず）を除去し、今度は島状シリコン 29 の全体を別のマスク（図示せず）で覆ってボロンをイオン注入する。これによって、互いに異なる導電型を有する N チャンネル MOS トランジスタ 26 及び P チャンネル MOS トランジスタ 27 が形成される。

【0075】このような構成からなる有機 EL ディスプレイパネル 23 においては、上述のとおり、各画素 24 ごとに 3 つの島状シリコン 29、40、47 が用いられている。すなわち、島状シリコン 29 は N チャンネル MOS トランジスタ 26 の活性領域を構成し、島状シリコン 40 は P チャンネル MOS トランジスタ 27 の活性領域を構成し、島状シリコン 47 はキャパシタ 28 の下部電極を構成するために用いられる。

【0076】ここで、これら島状シリコン 29 と 40 のサイズは同じではなく、島状シリコン 29 よりも島状シリコン 40 の方が大きく形成されている。これは、次のように理由による。すなわち、N チャンネル MOS トランジスタ 26 は、キャパシタ 28 を充放電させることによって P チャンネル MOS トランジスタ 27 のゲート電圧を制御するために用いられる電圧制御用トランジスタであるため、大きな電流駆動能力は必要とされない一方、P チャンネル MOS トランジスタ 27 は、その導通状態に応じた ON 電流を有機発光部 25 に供給するために用いられる電流制御用トランジスタであるため、N チャンネル MOS トランジスタ 26 と比べて大きな電流駆動能力が必要とされる。かかる理由から、P チャンネル MOS トランジスタ 27 の活性領域を構成する島状シリコン 40 は、N チャンネル MOS トランジスタ 26 の活性領域を構成する島状シリコン 29 よりも大きく形成されるのである。尚、キャパシタ 28 は、P チャンネル MOS トランジスタ 27 のゲート電圧の保持特性を向上させることを目的として設けられるため、そのサイズは、必要とする保持特性に応じて決定すればよい。本実施態様においては、キャパシタ 28 の下部電極を構成する島状シリコン 47 を、島状シリコン 40 よりもさらに大きく形成している。

【0077】このように、本実施態様においては、これら島状シリコン 29、40、47 のサイズがこの順に大きいため、各島状シリコン 29、40、47 の周囲長はこの順に長くなる。ここで、各島状シリコン 29、40、47 の周囲長は、各島状シリコン 29、40、47 の端部の総延長であることから、島状シリコン 29、40、47 のサイズがこの順に大きいということは、端部において電流リークが生じる危険性がこの順に高くなることを意味する。

【0078】しかしながら、本実施態様においては、これらサイズの異なる島状シリコン 29、40、47 は、いずれも第 1 の熱酸化膜 4 及び第 2 の熱酸化膜 5 からなる 2 層の熱酸化膜によって覆われ、これによって、端部における 2 層の熱酸化膜の合計膜厚が、上面における 2 層の熱酸化膜の合計膜厚の 70% 以上であることから、端部におけるリーク電流が低減され、最も周囲長が長い島状シリコン 47 においても、端部におけるリーク電流が効果的に低減される。さらに、上記実施態様にかかる半導体装置 1 と同様、これら 2 層の酸化膜はいずれも熱酸化膜であるので、膜中の固定電荷は非常に少なく、且つ、第 1 の熱酸化膜 4 と第 2 の熱酸化膜 5 との界面にはほとんど界面準位が形成されないため、このような 2 層の熱酸化膜をゲート絶縁膜ないしは容量絶縁膜として用いる有機 EL ディスプレイパネル 23 の信頼性は非常に高くなる。

【0079】このように、本発明は、上記有機 EL ディスプレイパネル 23 のように、各画素 24 に互いに異なる大きさを有する島状シリコン 29、40、47 が含まれる装置への適用が好適であることが分かる。また、上記有機 EL ディスプレイパネル 23 のように、各画素 24 に互いに異なる導電型のトランジスタ 26、27 が混在している場合、一方の導電型のトランジスタのリーク電流が他方の導電型のトランジスタのリーク電流より大きくなる場合があるが、本実施態様にかかる有機 EL ディスプレイパネル 23 では、これら各トランジスタを構成する島状シリコン 29、40 を 2 重の熱酸化膜によって覆うことによって、島状シリコン 29、40 の端部におけるリーク電流を防止しているので、一方の導電型のトランジスタのリーク電流のみが異常に増大することがほとんどなくなる。

【0080】具体的には、本発明者による実験によれば、有機 EL ディスプレイパネル 23 の画素数を 640 × 480 画素とし、これを 10V で駆動した場合に発生する不良画素 24 はゼロであった。比較として、従来のように島状シリコンを熱酸化することのみによってゲート絶縁膜を形成した場合、同様の条件で駆動すると、20 個の画素にてリークが発生し、有機 EL ディスプレイパネルとしては不良品となった。

【0081】本発明は、以上の実施態様に限定されことなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0082】例えば、上記各実施態様においては、約 1000 の熱処理を行うことによって第 1 の熱酸化膜 4 及び第 2 の熱酸化膜 5 を形成しているが、かかる熱処理の温度は一例であり、これとは異なる温度で第 1 の熱酸化膜 4 及び第 2 の熱酸化膜 5 を形成しても良い。

【0083】また、上記各実施態様においては、第 1 の熱酸化膜 4 の膜厚を約 10 nm としているが、これに限

定されることなく、他の膜厚としてもよい。

【0084】さらに、上記各実施態様においては、第1の熱酸化膜4の表面にアモルファスシリコン膜19を約15nm堆積しているが、アモルファスシリコン膜19の膜厚はこれに限定されず、他の膜厚であってもよい。また、第1の熱酸化膜4の表面に形成するシリコン膜はアモルファスシリコンに限定されず、他の種類のシリコン膜、例えばポリシリコン膜であってもよい。さらに、第1の熱酸化膜4の表面にシリコン膜を堆積させる方法としては、減圧CVD(LPCVD)法に限定されず、10 膜厚の均一性が確保される限り、他の方法によって堆積させてもよい。

【0085】また、上記各実施態様においては、第1の熱酸化膜4及び第2の熱酸化膜5の合計膜厚を約50nmとしているが、これに限定されることなく、他の膜厚としてもよい。

【0086】さらに、上記実施態様にかかる有機ELディスプレイパネル23においては、キャパシタ28を構成する島状シリコン47の面積を、PチャンネルMOSトランジスタ27を構成する島状シリコン40の面積より大としたが、キャパシタ28を構成する島状シリコン47の面積は、PチャンネルMOSトランジスタ27のゲート電圧の保持特性が所望の特性を満たす限り、PチャンネルMOSトランジスタ27を構成する島状シリコン40よりも小さくてもよい。また、NチャンネルMOSトランジスタ26を構成する島状シリコン29よりも小さくてもよい。さらに、PチャンネルMOSトランジスタ27のゲート電圧の保持特性が所望の特性を満たす限り、キャパシタ28を省略してもよい。

【0087】また、上記実施態様にかかる有機ELディスプレイパネル23においては、NチャンネルMOSトランジスタ26のソース領域30及びドレイン領域32を形成するためのイオン注入工程と、PチャンネルMOSトランジスタ27のソース領域41及びドレイン領域43を形成するためのイオン注入工程とを完全に別個の工程としているが、これに限定されず、例えば、NチャンネルMOSトランジスタ26を構成する島状シリコン29及びPチャンネルMOSトランジスタ27を構成する島状シリコン40に対して共通にリンをドーピングし、その後、NチャンネルMOSトランジスタ26を構成する島状シリコン29の全体をマスクで覆いながら、PチャンネルMOSトランジスタ27を構成する島状シリコン40に対して多量のボロンをドーピングすることによって事前にドーピングされたリンを打ち消すという方法を用いてもよい。この方法によれば、フォトリソグラフィ工程が1回削減されるので、製造コストを削減することが可能となる。

【0088】

【発明の効果】以上説明したように、本発明によれば、島状シリコンの表面に、膜質が良く且つ島状シリコン端

部においても十分な厚みを有する絶縁膜が形成された半導体装置が提供される。また、本発明によれば、リーク電流が少なく且つ膜質に優れたゲート絶縁膜を有する半導体装置が提供される。さらに、本発明によれば、膜質の良い絶縁膜を島状シリコン上面のみならず端部においても十分な厚みをもって形成する方法が提供される。

【図面の簡単な説明】

【図1】図1は、本発明の好ましい実施態様にかかる半導体装置を概略的に示す断面図である。

【図2】図2は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図3】図3は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図4】図4は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図5】図5は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図6】図6は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図7】図7は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図8】図8は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図9】図9は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図10】図10は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図11】図11は、本実施態様にかかる半導体装置1の各製造工程の一部を示す断面図である。

【図12】図12は、図1～図11に示される方法で製作された薄膜トランジスタのゲートリーク特性を示すグラフである。

【図13】図13は、本発明の好ましい他の実施態様にかかる有機ELディスプレイパネル23の回路図である。

【図14】図14は、画素24の構造を概略的に示す平面図である。

【図15】図15は、図14に示すA-A'線の断面を示す断面図である。

【図16】図16は、図14に示すB-B'線の断面を示す断面図である。

【図17】図17は、図14に示すC-C'線の断面を示す断面図である。

【図18】図18は、従来の薄膜トランジスタの製造工程の一部を示す断面図である。

【図19】図19は、従来の薄膜トランジスタの製造工程の一部を示す断面図である。

【図20】図20は、従来の薄膜トランジスタの製造工程の一部を示す断面図である。

【図21】図21は、従来の薄膜トランジスタの製造工

19

20

程の一部を示す断面図である。

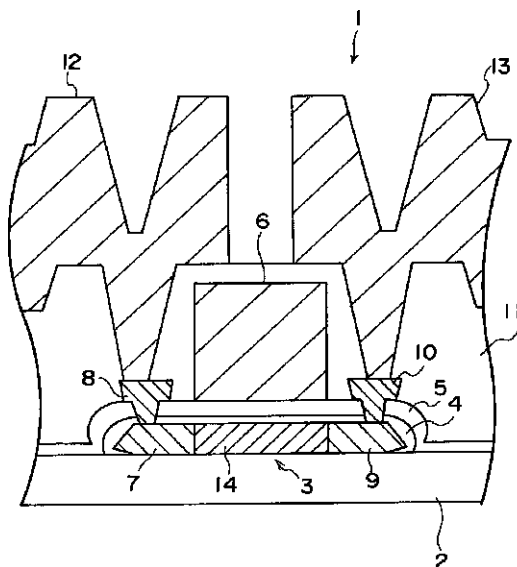
【図 2 2】図 2 2 は、図 1 8 ~ 図 2 1 に示される方法で製作された従来の薄膜トランジスタのゲートリーク特性を示すグラフである。

【符号の説明】

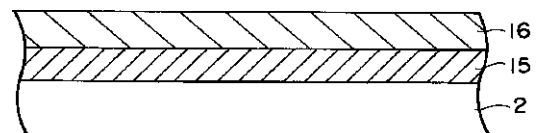
- 1 半導体装置
- 2 基板
- 3 島状シリコン
- 4 第 1 の熱酸化膜
- 5 第 2 の熱酸化膜
- 6 ゲート電極
- 7 ソース領域
- 8 ソース電極
- 9 ドレイン領域
- 10 ドレイン電極
- 11 層間絶縁膜
- 12 ソース配線
- 13 ドレイン配線
- 14 チャネル領域
- 15 ポリシリコン膜
- 16 フォトリソグレイド膜
- 17 マスク
- 18 パズピーク
- 19 アモルファスシリコン膜
- 20 ポリシリコン膜
- 21 マスク
- 22 スルーホール
- 23 有機 E L ディスプレイパネル
- 24 画素
- 25 有機発光部
- 26 N チャンネル MOS トランジスタ

- * 27 P チャンネル MOS トランジスタ
- 28 キャパシタ
- 29 島状シリコン
- 30 ソース領域
- 31 ソース電極
- 32 ドレイン領域
- 33 ドレイン電極
- 34 第 1 の層間絶縁膜
- 35 配線
- 10 36 第 2 の層間絶縁膜
- 37 チャネル領域
- 38 バリアメタル
- 39 ゲート電極
- 40 島状シリコン
- 41 ソース領域
- 42 ソース電極
- 43 ドレイン領域
- 44 ドレイン電極
- 45 I T O
- 20 46 チャネル領域
- 47 島状シリコン
- 48 電極
- 50 基板
- 51 シリコン膜
- 52 フォトリソグレイド膜
- 53 島状シリコン
- 54 ゲート絶縁膜
- 55 ゲート電極
- 56 有機保護膜
- 30 57 パッシベーション酸化膜
- * 58 カラーフィルタ

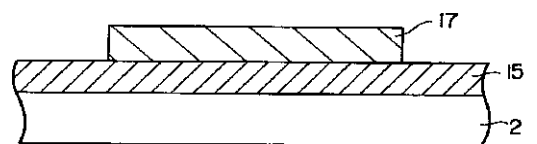
【図 1】



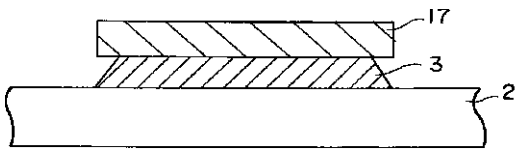
【図 2】



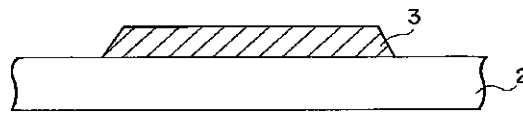
【図 3】



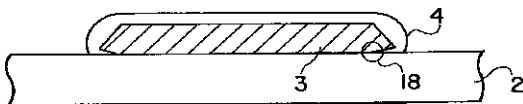
【図4】



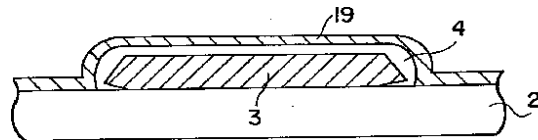
【図5】



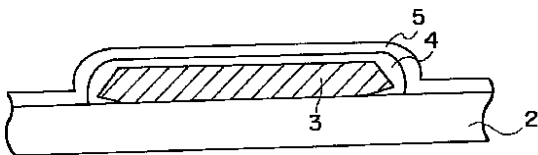
【図6】



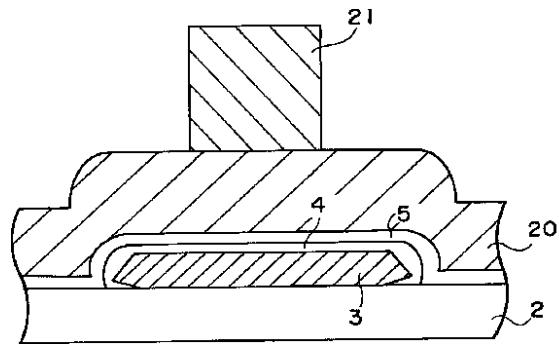
【図7】



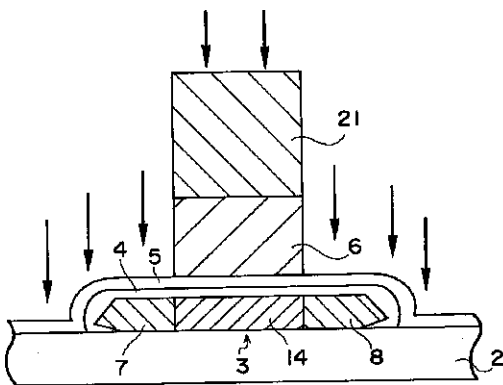
【図8】



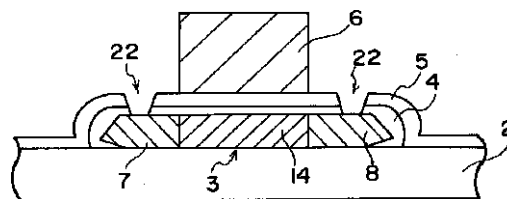
【図9】



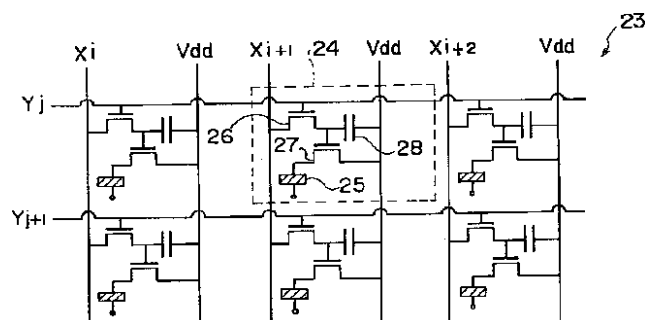
【図10】



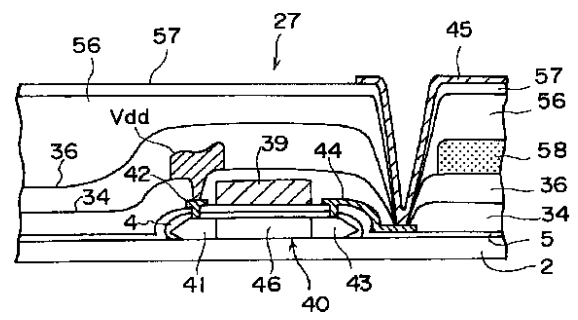
【図11】



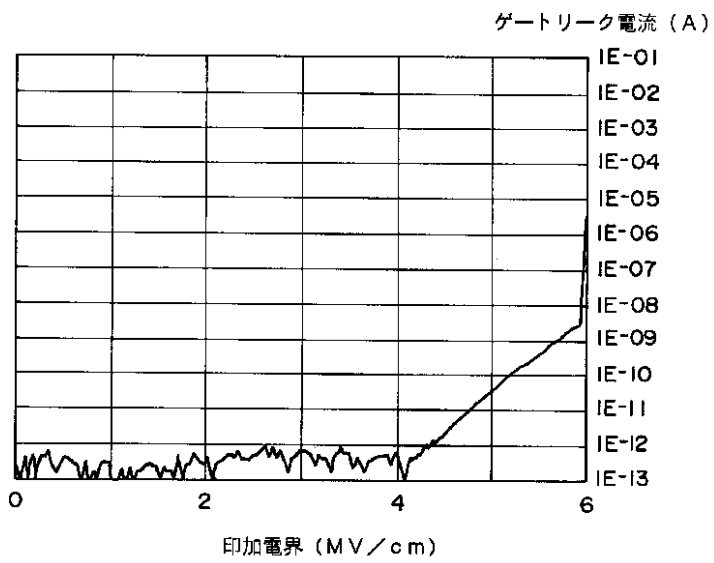
【図13】



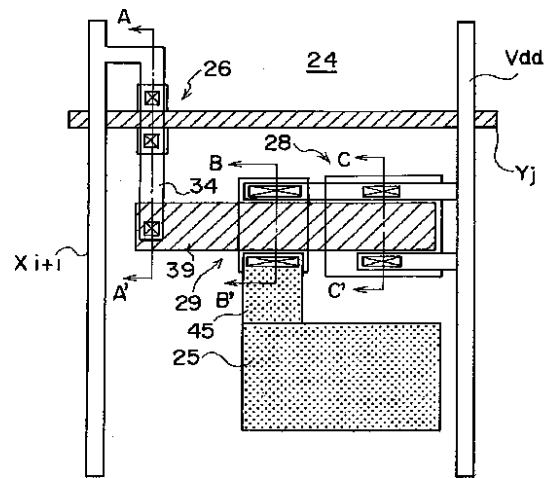
【図16】



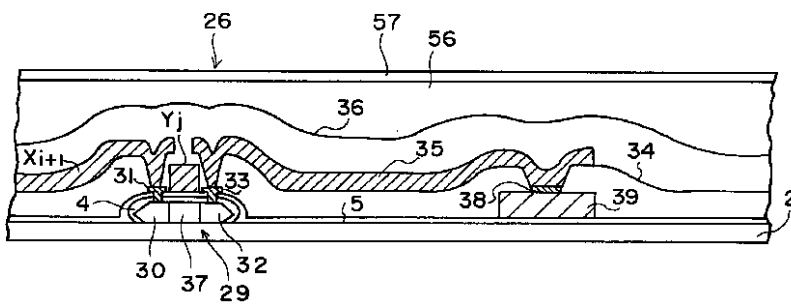
【図12】



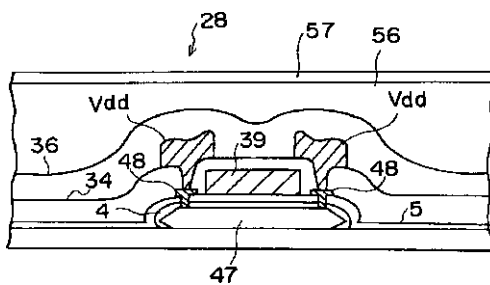
【図14】



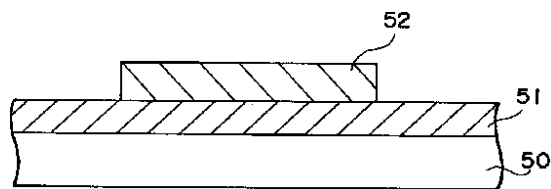
【図15】



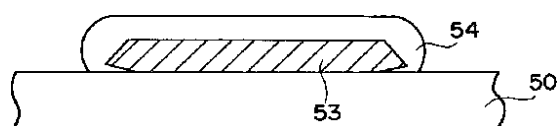
【図17】



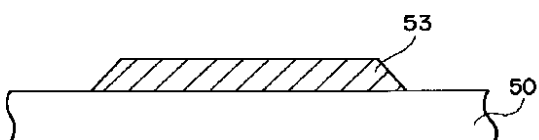
【図18】



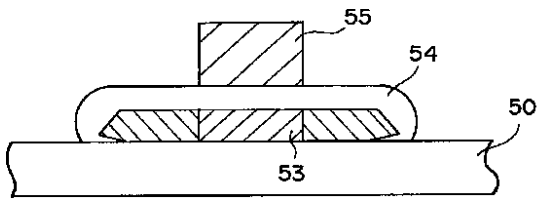
【図20】



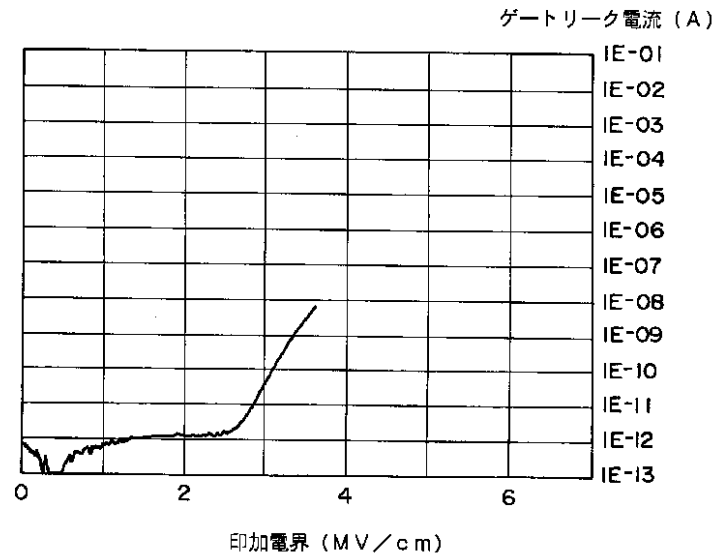
【図19】



【図 21】



【図 22】



フロントページの続き

F ターム(参考) 5F038 AC04 AC05 AC16 AC17 CD02
 EZ14 EZ16 EZ20
 5F058 BA01 BB07 BD01 BD04 BE10
 BF55 BF62 BH20
 5F110 AA06 BB04 DD03 EE09 FF02
 FF09 FF23 GG02 GG13 GG22
 GG25 GG35 GG47 HJ01 HJ13
 HL01 NN02 NN03 NN27 NN72
 PP10 PP13 QQ11

专利名称(译)	半导体器件及其制造方法和有机EL显示板		
公开(公告)号	JP2002076346A	公开(公告)日	2002-03-15
申请号	JP2000253262	申请日	2000-08-24
[标]申请(专利权)人(译)	东京电气化学工业株式会社		
申请(专利权)人(译)	TDK公司		
[标]发明人	渡边圭介		
发明人	渡边 圭介		
IPC分类号	H01L27/04 H01L21/316 H01L21/336 H01L21/822 H01L29/786		
FI分类号	H01L21/316.S H01L29/78.617.V H01L27/04.C H01L29/78.617.U		
F-TERM分类号	5F038/AC04 5F038/AC05 5F038/AC16 5F038/AC17 5F038/CD02 5F038/EZ14 5F038/EZ16 5F038/EZ20 5F058/BA01 5F058/BB07 5F058/BD01 5F058/BD04 5F058/BE10 5F058/BF55 5F058/BF62 5F058/BH20 5F110/AA06 5F110/BB04 5F110/DD03 5F110/EE09 5F110/FF02 5F110/FF09 5F110/FF23 5F110/GG02 5F110/GG13 5F110/GG22 5F110/GG25 5F110/GG35 5F110/GG47 5F110/HJ01 5F110/HJ13 5F110/HL01 5F110/NN02 5F110/NN03 5F110/NN27 5F110/NN72 5F110/PP10 5F110/PP13 5F110/QQ11 5F110/CC02		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有栅绝缘膜的半导体器件及其制造方法，该栅绝缘膜的漏电流小且膜质量优异。 解决方案：在基板2上形成多晶硅膜15的步骤，通过对多晶硅膜15进行构图来形成岛状硅3的步骤以及通过对岛状硅3进行热氧化来形成岛状硅3的步骤。在3的表面上形成第一热氧化膜4的步骤，在第一热氧化膜4上形成非晶硅膜19的步骤，以及通过热氧化非晶硅膜19的第一热处理。该方法包括在氧化膜4上形成第二热氧化膜5的步骤和在第二热氧化膜5上形成栅电极6的步骤。

