

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4028805号
(P4028805)

(45) 発行日 平成19年12月26日(2007.12.26)

(24) 登録日 平成19年10月19日(2007.10.19)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/20 611H

H03F 3/343 (2006.01)

G09G 3/20 623B

H01L 51/50 (2006.01)

G09G 3/20 623F

G09G 3/20 641D

請求項の数 6 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2003-5575 (P2003-5575)
 (22) 出願日 平成15年1月14日(2003.1.14)
 (65) 公開番号 特開2004-219625 (P2004-219625A)
 (43) 公開日 平成16年8月5日(2004.8.5)
 審査請求日 平成17年2月4日(2005.2.4)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100079555
 弁理士 梶山 侑是
 (74) 代理人 100079957
 弁理士 山本 富士男
 (72) 発明者 阿部 真一
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 (72) 発明者 前出 淳
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 審査官 福村 拓
 最終頁に続く

(54) 【発明の名称】 有機EL駆動回路およびこれを用いる有機EL表示装置

(57) 【特許請求の範囲】

【請求項1】

有機ELパネルの端子ピンを介して有機ELパネルを電流駆動する有機EL駆動回路において、

前記端子ピンに流す電流あるいはその基礎となる電流を受ける第1の入力側トランジスタとこの第1の入力側トランジスタに対してカレントミラー接続され前記端子ピン対応に設けられた多数の第1の出力側トランジスタとを有し、この第1の出力側トランジスタに所定の量のミラー電流を生成することで受けた前記電流を前記端子ピン対応に分配する電流分配回路と、

前記端子ピンに対応して前記電流分配回路にそれぞれ設けられ、前記第1の入力側トランジスタにカレントミラー接続され所定のデータに応じて所定の個数が動作して前記端子ピン対応に前記分配される電流に対して加算する電流を発生する複数の第2の出力側トランジスタを有する複数の電流調整回路と、

前記複数の電流調整回路のそれぞれに前記所定のデータを送出する外部からデータ書込が可能なメモリとを備え、

前記電流調整回路は、第1および第2のスイッチ回路を有し、前記メモリはシフトレジスタであり、それぞれの前記第1の出力側トランジスタは、複数のトランジスタからなり、その少なくとも1つは、第1のスイッチ回路を介して電源ラインあるいは分配電流の出力端子に接続され、複数の前記第2の出力側トランジスタのそれぞれは、前記第1の入力側トランジスタにカレントミラー接続され、それぞれ第2のスイッチ回路を介して前記電

10

20

源ラインに接続され、前記第 1 および第 2 のスイッチ回路は、前記所定のデータに応じて ON / OFF される有機 EL 駆動回路。

【請求項 2】

有機 EL パネルの端子ピンを介して有機 EL パネルを電流駆動する有機 EL 駆動回路において、

前記端子ピンに流す電流あるいはその基礎となる電流を受ける第 1 の入力側トランジスタとこの第 1 の入力側トランジスタに対してカレントミラー接続され前記端子ピン対応に設けられた多数の第 1 の出力側トランジスタとを有し、この第 1 の出力側トランジスタに所定の量のミラー電流を生成することで受けた前記電流を前記端子ピン対応に分配する電流分配回路と、

10

前記端子ピンに対応して前記電流分配回路にそれぞれ設けられ、第 2 の入力側トランジスタにカレントミラー接続され所定のデータに応じて所定の個数が動作して前記端子ピン対応に前記分配される電流に対して加算する電流を発生する複数の第 2 の出力側トランジスタを有する複数の電流調整回路と、

前記複数の電流調整回路のそれぞれに前記所定のデータを送出する外部からデータ書込が可能なメモリと、

前記第 1 および第 2 の入力側トランジスタを駆動するカレントミラー回路とを備え、前記メモリはシフトレジスタであり、前記第 2 の出力側トランジスタは、前記第 1 の出力側トランジスタの出力電流に対して実質的に $1/n$ (ただし n は 2 以上の数) の出力電流を発生する有機 EL 駆動回路。

20

【請求項 3】

複数の前記第 2 の出力側トランジスタのそれぞれは、それぞれ第 1 のスイッチ回路を介して電源ラインあるいは分配電流の出力端子に接続され、前記第 1 のスイッチ回路は、前記所定のデータに応じて ON / OFF される請求項 2 記載の有機 EL 駆動回路。

【請求項 4】

有機 EL パネルの端子ピンを介して有機 EL パネルを電流駆動する有機 EL 駆動回路を有する有機 EL 表示装置において、

前記端子ピンに流す電流あるいはその基礎となる電流を受ける第 1 の入力側トランジスタとこの第 1 の入力側トランジスタに対してカレントミラー接続され前記端子ピン対応に設けられた多数の第 1 の出力側トランジスタとを有し、この第 1 の出力側トランジスタに所定の量のミラー電流を生成することで受けた前記電流を前記端子ピン対応に分配する電流分配回路と、

30

前記電流分配回路にそれぞれ設けられ、前記第 1 の入力側トランジスタにカレントミラー接続され所定のデータに応じて所定の個数が動作して前記端子ピン対応に前記分配される電流に対して加算する電流を発生する複数の第 2 の出力側トランジスタを有する複数の電流調整回路と、

前記複数の電流調整回路のそれぞれに前記所定のデータを送出する外部からデータ書込が可能なメモリとを備え、

前記電流調整回路は、第 1 および第 2 のスイッチ回路を有し、前記メモリはシフトレジスタであり、それぞれの前記第 1 の出力側トランジスタは、複数のトランジスタからなり、その少なくとも 1 つは、第 1 のスイッチ回路を介して電源ラインあるいは分配電流の出力端子に接続され、複数の前記第 2 の出力側トランジスタのそれぞれは、前記第 1 の入力側トランジスタにカレントミラー接続され、それぞれ第 2 のスイッチ回路を介して前記電源ラインに接続され、前記第 1 および第 2 のスイッチ回路は、前記所定のデータに応じて ON / OFF される有機 EL 表示装置。

40

【請求項 5】

有機 EL パネルの端子ピンを介して有機 EL パネルを電流駆動する有機 EL 駆動回路を有する有機 EL 表示装置において、

前記端子ピンに流す電流あるいはその基礎となる電流を受ける第 1 の入力側トランジスタとこの第 1 の入力側トランジスタに対してカレントミラー接続され前記端子ピン対応に

50

設けられた多数の第1の出力側トランジスタとを有し、この第1の出力側トランジスタに所定の量のミラー電流を生成することで受けた前記電流を前記端子ピン対応に分配する電流分配回路と、

前記電流分配回路にそれぞれ設けられ、第2の入力側トランジスタにカレントミラー接続され所定のデータに応じて所定の個数が動作して前記端子ピン対応に前記分配される電流に対して加算する電流を発生する複数の第2の出力側トランジスタを有する複数の電流調整回路と、

前記複数の電流調整回路のそれぞれに前記所定のデータを送出する外部からデータ書込が可能なメモリとを備え、

前記第1および第2の入力側トランジスタを駆動するカレントミラー回路とを備え、

前記メモリはシフトレジスタであり、前記第2の出力側トランジスタは、前記第1の出力側トランジスタの出力電流に対して実質的に $1/n$ （ただし n は2以上の数）の出力電流を発生する有機EL表示装置。

【請求項6】

各前記第1の出力側トランジスタは1個のトランジスタであり、複数の前記第2の出力側トランジスタのそれぞれは、それぞれ第1のスイッチ回路を介して電源ラインあるいは分配電流の出力端子に接続され、第1のスイッチ回路は、前記所定のデータに応じてON/OFFされる請求項5記載の有機EL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、有機EL駆動回路およびこれを用いる有機EL表示装置に関し、詳しくは、携帯電話機等の表示画面の輝度むら調整が容易で、特に、高輝度カラー表示に適した有機EL表示装置に関する。

【0002】

【従来の技術】

携帯電話機、PHS、DVDプレーヤ、PDA（携帯端末装置）等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（ 132×3 ）の端子ピン（以下ピン）、ローラインが162個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のものでもピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。

【0003】

カレントミラー回路による出力回路は、ピン対応に配置され、そのドライブ段は、例えば、特願2002-82662号に示されるように、ピン対応に多数の出力側トランジスタを有するパラレル駆動のカレントミラー回路とされて、手前の入力段となる基準電流発生回路から基準電流を受けてピン対応にミラー電流を発生する。さらに、ピン対応にカレントミラーで構成されるD/A変換回路を設けて、それぞれのD/A変換回路が基準駆動電流として前記のミラー電流を受けてこの電流を基準としてそれぞれに表示データを受けてそれぞれにD/A変換してピン対応に駆動電流を生成し、前記のカレントミラーの出力回路を駆動する。

【0004】

このように、カレントミラー構成で駆動電流を生成することにより、例えば、パッシブマトリックスの場合には、数 μA 程度の微小な基準電流からmAあるいは1A程度の大きな電流を電力ロスを抑えて電流増幅することができ、低消費電力の駆動回路を実現することができる。また、アクティブマトリックスの場合には、同様にして低消費電力で $1nA \sim 1\mu A$ の駆動電流を得ることがきる。

ところで、マトリックス状に配置した有機EL素子を電流駆動し、かつ、有機EL素子の陽極と陰極をグラウンドに落としてリセットする有機EL素子の駆動回路が特許文献1とし

10

20

30

40

50

て公知である。また、DC-DCコンバータを用いて有機EL素子を低消費電力で電流駆動する技術が特許文献2として公知である。

【0005】

【特許文献1】

特開平9-232074号公報

【特許文献2】

特開2001-143867号公報

【0006】

【発明が解決しようとする課題】

前記したこの発明の先行技術の特願2002-82662号では、有機EL表示パネルをピンを介して電流駆動する電流駆動回路の集積効率を上げるために、入力トランジスタ1個に対してn個の出力トランジスタを持つ1対nのカレントミラー回路を設けて基準電流をピン対応に分配している。この場合に、nが30以上になると、分配される基準電流が均一でなくなり、それが表示画面上で輝度むらとなって現れる。そこで、カレントミラー回路の入力側トランジスタを出力側トランジスタの中央に配置するようにしているが、輝度むらの低減に対する要求が高く、人の目は、輝度むらが気になると、細かい輝度むらまで映るようになり、現在では、製造段階でのトランジスタの特性のばらつきによる輝度むらが問題になってきている。

10

【0007】

図3は、この発明の先行技術における基準電流分配回路を中心とした電流駆動回路の説明図である。

20

1は、基準電流発生回路であり、2は、基準電流調整回路、3は、基準電流分配回路、4は、カレントミラー構成の電流スイッチングD/A変換回路(D/A)、5は、出力段電流源、そしてX1、X2~Xmは、カラム側の出力端子であり、有機ELパネルのピンに接続される。

基準電流分配回路3は、Pチャネルの入力側トランジスタTPaとこの入力側トランジスタTPaに対して並列に接続されたカレントミラー接続のPチャネルの出力側トランジスタTPb、TPc~TPmからなり、トランジスタTPaが、基準電流発生回路1により生成され、基準電流調整回路2により調整された基準電流Irefで駆動される。なお、基準電流調整回路2は、製造工程でレーザトリミング等により基準電流がIrefになるように調整する回路であり、通常、R、G、Bに対応してそれぞれ設けられ、ホワイトバランス等の調整をするために利用される。2aは、基準電流Irefの出力端子である。

30

ここで、基準電流分配回路3では、カレントミラー回路を形成する出力側トランジスタに30個以上のトランジスタが使用されるので、入力側トランジスタに対して各トランジスタのペア性が十分採れなくなって、トランジスタTPb、TPc~TPmの特性の相違により、各ピン対応に分配された出力電流i1~imにもばらつきが生じる。その結果、それぞれのD/A4の出力電流I1~Imに同じようなばらつきが生じ、それが現在では、輝度むらとして問題視されるようになってきている。

この発明の目的は、このような従来技術の問題点を解決するものであって、携帯電話機等の表示画面の輝度むら調整が容易で、特に、高輝度カラー表示に適した有機EL駆動回路および有機EL表示装置を提供することにある。

40

【0008】

【課題を解決するための手段】

このような目的を達成するためのこの発明の有機EL駆動回路およびこれを用いる有機EL表示装置の特徴は、端子ピンに流す電流あるいはその基礎となる電流を受ける第1の入力側トランジスタとこの第1の入力側トランジスタに対してカレントミラー接続され端子ピン対応に設けられた多数の第1の出力側トランジスタとを有し、この第1の出力側トランジスタに所定の量のミラー電流を生成することで受けた電流を端子ピン対応に分配する電流分配回路と、この電流分配回路にそれぞれ設けられ、第1の入力側トランジスタにカレントミラー接続され所定のデータに応じて所定の個数が動作して端子ピン対応に前記

50

分配される電流に対して加算する電流を発生する複数の第2の出力側トランジスタを有する複数の電流調整回路と、複数の電流調整回路のそれぞれに所定のデータを送出する外部からデータ書込が可能なメモリとを備えるものであって、

電流調整回路は、第1および第2のスイッチ回路を有し、メモリはシフトレジスタであり、それぞれの第1の出力側トランジスタは、複数のトランジスタからなり、その少なくとも1つは、第1のスイッチ回路を介して電源ラインあるいは分配電流の出力端子に接続され、複数の第2の出力側トランジスタのそれぞれは、第1の入力側トランジスタにカレントミラー接続され、それぞれ第2のスイッチ回路を介して電源ラインに接続され、第1および第2のスイッチ回路は、所定のデータに応じてON/OFFされるものである。

また、他の発明の構成として前記の電流調整回路が端子ピンに対応して前記の電流分配回路にそれぞれ設けられ、前記複数の第2の出力側トランジスタが第2の入力側トランジスタにカレントミラー接続され所定のデータに応じて所定の個数が動作して端子ピン対応に分配される電流に対して加算する電流を発生し、さらに複数の電流調整回路のそれぞれに所定のデータを送出する外部からデータ書込が可能なメモリと第1および第2の入力側トランジスタを駆動するカレントミラー回路とを備えていて、メモリがシフトレジスタであり、第2の出力側トランジスタが第1の出力側トランジスタの出力電流に対して実質的に $1/n$ （ただし n は2以上の数）の出力電流を発生するものである。

【0009】

【発明の実施の形態】

このように、この発明にあっては、電流分配を行う1対 n のカレントミラー回路の第1の入力側トランジスタにカレントミラー接続されあるいはこの第1の入力側トランジスタに流れる電流に対応する電流が流される第2の入力側トランジスタにカレントミラー接続された複数の第2の出力側トランジスタを有するカレントミラー回路として電流調整回路を構成する。そして、この電流調整回路を端子ピン対応に設けてそれぞれの回路の複数の第2の出力側トランジスタを所定のデータに応じて所定個数動作させて、その動作するトランジスタの個数に応じて分配する電流に対して電流を加算調整する。

これにより、分配する電流の電流値の調整を第2の出力側トランジスタの動作数を所定のデータとして設定するだけで行うことができる。

通常、この種の回路をIC化した場合に、カレントミラー回路は、同じ単位トランジスタを選択的に接続して形成することになる。多数の単位トランジスタを縦横に配列する回路は、容易にIC化できるので、単純な回路で電流値の調整がピン対応に可能になり、トランジスタの動作数で電流値の調整ができるので、その調整も容易である。

その結果、携帯電話機、PHS等の装置ごとの表示画面の輝度むらの調整が容易で、特に、高輝度カラー表示に適した有機EL駆動回路および有機EL表示装置を容易に実現できる。

【0010】

【実施例】

図1は、この発明の有機EL駆動回路を適用した一実施例のカラムドライバの電流分配回路を中心とするブロック図、図2は、分配電流値微調整回路を独立に設けたこの発明の他の実施例のブロック図である。なお、図3と同一の構成要素は同一の符号で示し、その説明を割愛する。

図1において、100は、有機EL駆動回路のカラムドライバICであって、11は、その基準電流分配回路であり、12は、カラムドライバIC100の総ピン数 P に対して $P \times 4$ の段数のフリップフロップからなるシフトレジスタである。これにより1ピン当たり4段のフリップフロップが割り当てられる。

基準電流分配回路11は、カレントミラーを構成する入力側のトランジスタ TPa とこのトランジスタ TPa 、1個に対して、図3の出力側の1個のトランジスタは、複数個、例えば、図3のトランジスタ TPb に対応するものとして、これを10個のトランジスタ $TP1$ 、 $TP2 \sim TP10$ に分割して割り当て、さらに、2個の出力側トランジスタ $TP11$ 、 $TP12$ を追加する。

10

20

30

40

50

その結果、1ピン当たりの出力側トランジスタ $TP1 \sim TP12$ で構成され、合計で出力側トランジスタが12個からなるカレントミラー回路となる。トランジスタ $TP1 \sim TP12$ のソース側は電源ライン+ V_{DD} (例えば3V)に接続され、ドレイン側は共通に出力端子11bに接続され、その出力電流がこの出力端子11bを介してD/A4に送出される。ここで、トランジスタ TPa は、ドレインに基準電流調整回路2から電流シンクの基準電流値 I_{ref} を受ける。

【0011】

出力側トランジスタ $TP1 \sim TP12$ のうち後ろの4個のトランジスタ $TP9 \sim TP12$ には、それぞれのソースと電源ライン+ V_{DD} との間に図示するようにスイッチ回路 $SW1 \sim SW4$ が設けられ、これらが電流調整回路を構成している。

10

各スイッチ回路 $SW1 \sim SW4$ は、シフトレジスタ12のうち1ピン当たり、4段が割り当てられ、その各段のフリップフロップ(FF)13からQバー出力(Q出力の反転出力)を受けて、フリップフロップに“1”がセットされたときにそれに対応するスイッチ回路がONされ、“0”がセットされたときにOFFにされる。

シフトレジスタ12にセットされるデータは、MPU8からその入力端子12bに入力されるクロックCLKに応じて電源投入時にその入力端子12aに送出されてシフトレジスタ12に設定される。

6は、表示データレジスタであって、MPU8から各ピン対応に表示データがセットされる。この表示データレジスタ6にセットされた各ピン対応の表示データは、それぞれにピン対応に設けられたD/A4に送出されて、分配された基準電流を基準としてD/A4によりアナログ値として変換される。

20

【0012】

さて、ここでは、スイッチ回路 $SW1, SW2$ を基本的にON状態に設定することで、基準電流値 I_{ref} を10個のトランジスタに分割して生成して、これらトランジスタ10個の合計電流値として各ピン対応の分配電流を発生する。なお、スイッチ回路 $SW1, SW2$ は、発生する分配電流の電流値自体を調整するために設けられた本願発明の請求項2あるいは請求項6における第1のスイッチ回路の具体例である。

例えば、図3の基準電流を分配するピン対応の各トランジスタ $TPb, TPc \sim TPm$ がそれぞれ $4 \mu A$ の基準電流を分配電流として発生するものとする、各トランジスタのチャネル幅(ゲート幅)の比を1:1とすれば、トランジスタ $TP \sim TP10$ の10個のトランジスタの出力電流の総計が $4 \mu A$ となるので、ここでは、トランジスタ $TP1 \sim TP10$ の各トランジスタの出力電流は、 $400 nA$ となる。そこで、このときの基準電流調整回路2から出力される基準電流値 I_{ref} は $400 nA$ になる。

30

このように10個のトランジスタを並列に駆動することで分配する基準電流を生成すると、1個のトランジスタで発生する場合のばらつきが平均化され、ばらつきを抑えることができる。さらに、スイッチ回路 $SW1 \sim SW4$ のON/OFFさせる4ビットのデータを所定の値に設定することで、この例では、 $-20\% \sim +20\%$ の範囲で分配する基準電流を10%単位で加算調整することができる。

この調整データは、製品出荷段階の輝度むら調整により、MPU8に内蔵された不揮発性メモリにデータとして設定される。なお、輝度むらは、画素単位で輝度を測定する輝度測定装置により画面の輝度を測定し、その結果として前記の設定データがMPU8に対する入力されてデータとして生成される。

40

【0013】

実際の各ピン間の駆動電流値のばらつきは、基準電流調整回路2が設けられ、ここで、精度の高い基準電流が生成され、製造技術の向上により現在では $\pm 3\%$ 程度の範囲に抑えることができる。そこで、R, G, Bのホワイトバランス調整のときは別として、実際上は、 $-20\% \sim +20\%$ の範囲での補正は必要ではなく、また、10%単位の補正では補正精度が粗い。

そこで、前記の回路において、電流値調整用の4個のうち後の2個のトランジスタ $TP11 \sim TP12$ のチャネル幅(ゲート幅)の比をカレントミラーを構成する入力側のトランジ

50

スタTPaに対して2:1とすれば、 $-20\% \sim +10\%$ の範囲で5%単位で、分配する基準電流値を調整することができる。なお、さらに追加したトランジスタTP11~TP12に設けられているスイッチ回路SW3, SW4は、分配電流の電流値に対して電流加算で調整するために設けられた本願発明の請求項2あるいは請求項6における第2のスイッチ回路に具体例である。

さらに、スイッチ回路を設けた出力側トランジスタを最後にスイッチ回路付きのトランジスタを1個追加して、入力側のトランジスタTPに対する、これら3個のトランジスタのチャネル幅(ゲート幅)の比を3:1とすれば、約3%単位で分配する基準電流値を調整することができる。また、スイッチ回路を設けた出力側トランジスタを最後にスイッチ回路付きトランジスタを2個追加して、入力側のトランジスタTPに対するこれら4個のトランジスタのチャネル幅(ゲート幅)の比を4:1とすれば、2.5%単位で分配する基準電流値を調整することができる。

10

ところで、チャネル幅(ゲート幅)の比は、ゲート幅で調整するのではなく、単位トランジスタを並列接続する個数により実現してもよいことはもちろんである。

【0014】

さて、図1の実施例のスイッチ回路SW1~SW4もトランジスタで構成されるので、2.5%単位以下のより精度の高い調整を行おうとすると、図1に示す電流値調整回路では、その分、トランジスタの数が多くならざるを得ない。しかも、電流調整回路は、各ピン対応に設けられるので、回路全体のトランジスタの数がかなり多くなる。

図2は、分配電流値微調整回路を独立に設けたこの発明の他の実施例のカラムドライバIC101のブロック図であって、このような問題を解決している。

20

図2においては、図3の基準電流調整回路2に換えて基準電流調整回路7が設けられる。この基準電流調整回路7は、レーザトリミング等により基準電流が $I_{ref} - 0.03 \times I_{ref}$ の値に調整する。これにより、調整基準となる電流値が $97\% \times I_{ref}$ とされ、 -3% 下側に設定される。これは、製造技術の向上により基準電流分配回路11により分配される基準電流値のばらつきが $100\% \pm 3\%$ 程度に抑えられることから、このばらつきの基準電流値の下限值に入力される基準電流値を設定するものである。

基準電流値分配回路20は、図3の出力側トランジスタTPb, TPc~TPmの各トランジスタに対して分配電流値微調整回路14が設けられる。基準電流値のばらつきの下限値に相当する $0.97 \times I_{ref}$ の基準電流値Irを前記基準電流調整回路7から受ける。

30

【0015】

図3の出力側トランジスタTPbを代表として、その分配電流値微調整回路14について以下説明すると、出力側トランジスタTPbに対して、1個の入力側トランジスタTP20と6個のPチャネルの出力側トランジスタTP21, TP22~TP26からなるカレントミラー回路の分配電流値微調整回路14が設けられる。図1と同様に、各トランジスタのソース側は、スイッチ回路SW1~SW6を介して電源ライン+VDDに接続され、ドレイン側は、共通に出力端子11bに接続されている。トランジスタTPaは、下流に設けられたNチャネルトランジスタのカレントミラー回路17により駆動される。

なお、11cは、図3の出力側トランジスタTPcに対応する回路の同様な出力端子であり、縦の点線は、その境界ラインである。

40

カレントミラー回路17は、入力側のトランジスタTN1と出力側トランジスタTN2とからなる回路であって、それぞれのソース側は、グランドGNDに接続され、トランジスタTN1のドレインに基準電流調整回路7から吐き出しの基準電流値Irを受け、出力側トランジスタTN2にシンク電流Irを発生する。トランジスタTN1とトランジスタTN2とのチャネル幅(ゲート幅)の比を1:1とし、図3の基準電流Irefを $4\mu A$ とすると、基準電流値Irは、 $3.88\mu A$ になる。

【0016】

分配電流値微調整回路14は、入力側トランジスタTP20のドレインがNチャネルのトランジスタTN3のドレインに接続され、このトランジスタTN3がカレントミラー回路17の入力側トランジスタTN1に出力側トランジスタとしてカレントミラー接続されている。

50

そして、トランジスタ T_{N1} とトランジスタ T_{N3} とのチャネル幅（ゲート幅）の比は、 $1 : 1 / 100$ となっている。そこで、カレントミラー接続された出力側トランジスタ $T_{P21} \sim T_{P25}$ には、トランジスタ T_{Pa} の $1 / 100$ の 38 nA の電流が流れる。なお、図では、説明上、トランジスタ T_{N3} を1個のトランジスタで示して、チャネル幅（ゲート幅）の比は、 $100 : 1$ としているが、実際上は、 $10 : 1$ のカレントミラー回路を2段設けることで、 $100 : 1$ の電流を生成する。

その結果、基準電流 I_{ref} を $4 \mu\text{A}$ の $1 / 100$ の約 40 nA 単位で電流値調整が可能となる。これにより、基準電流のばらつきの下限值である $97\% \times I_{\text{ref}}$ を下限として $-3\% \sim +3\%$ の範囲で 1% 単位で出力側トランジスタ T_{Pa} の出力電流値を調整することができる。

10

この実施例では、各スイッチ回路 $SW1 \sim SW6$ は、シフトレジスタ12のうち1ピン当たり、6段が割り当てられ、その各段のフリップフロップ13から Q バー出力（ Q 出力の反転出力）を受けて、フリップフロップに“1”がセットされたときに ON し、“0”がセットされたときに OFF する。なお、このときのシフトレジスタ12の総段数は、この場合、総ピン数 $P \times 6$ 段である。

【0017】

以上説明してきたが、実施例では、スイッチ回路 $SW1 \sim SW6$ は、それぞれ各トランジスタのソースと電源ラインとの間に設けられているが、これは、ドレインと各出力端子 $11b, 11c \dots$ との間にそれぞれ設けられていてもよい。

また、実施例では、基準電流調整回路2，基準電流調整回路7は、レーザトリミングによる電流調整回路としているが、これは、 D/A 変換回路等により後からプログラム処理で調整するようなソフトウェアによる調整回路であってもよい。

20

また、シフトレジスタ12は、 $MPU8$ から電源投入時にデータが設定されるようになっているが、これは、不揮発性メモリで構成してもよく、製品出荷段階のテスト、調整段階でデータが $MPU8$ を介してあるいは直接不揮発性メモリに設定されるものであってもよい。

なお、実施例では、 $MOSFET$ トランジスタを主体として構成しているが、バイポーラトランジスタを主体としても構成してもよいことはもちろんである。また、実施例の N チャンネル型トランジスタ（あるいは npn 型）は、 P チャンネル型（あるいは pnp 型）トランジスタに、 P チャンネル型トランジスタは、 N チャンネル（あるいは npn 型）トランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。

30

また、有機 EL パネルの端子ピンとこの端子ピンに接続されるカラムドライバ IC の出力ピンとは、本来接続されて一体となるので、この明細書および特許請求の範囲においては特に区別されるべきものではない。

【0018】

【発明の効果】

以上説明してきたように、この発明にあつては、電流分配を行う1対 n のカレントミラー回路の第1の入力側トランジスタにカレントミラー接続されあるいはこの第1の入力側トランジスタに流れる電流に対応する電流が流される第2の入力側トランジスタにカレントミラー接続された複数の第2の出力側トランジスタを有するカレントミラー回路として電流調整回路を構成する。そして、この電流調整回路を端子ピン対応に設けてそれぞれの回路の複数の第2の出力側トランジスタを所定のデータに応じて所定個数動作させて、その動作するトランジスタの個数に応じて分配する電流に対して電流を加算調整する。

40

これにより、分配する電流の電流値の調整を第2の出力側トランジスタの動作数を所定のデータとして設定するだけで行うことができる。

その結果、携帯電話機， PHS 等の装置ごとの表示画面の輝度むらの調整が容易で、特に、高輝度カラー表示に適した有機 EL 駆動回路および有機 EL 表示装置を容易に実現できる。

【図面の簡単な説明】

50

【図 1】図 1 は、この発明の有機 E L 駆動回路を適用した一実施例のカラムドライバの電流分配回路を中心とするブロック図である。

【図 2】図 2 は、分配電流値微調整回路を独立に設けたこの発明の他の実施例のブロック図である。

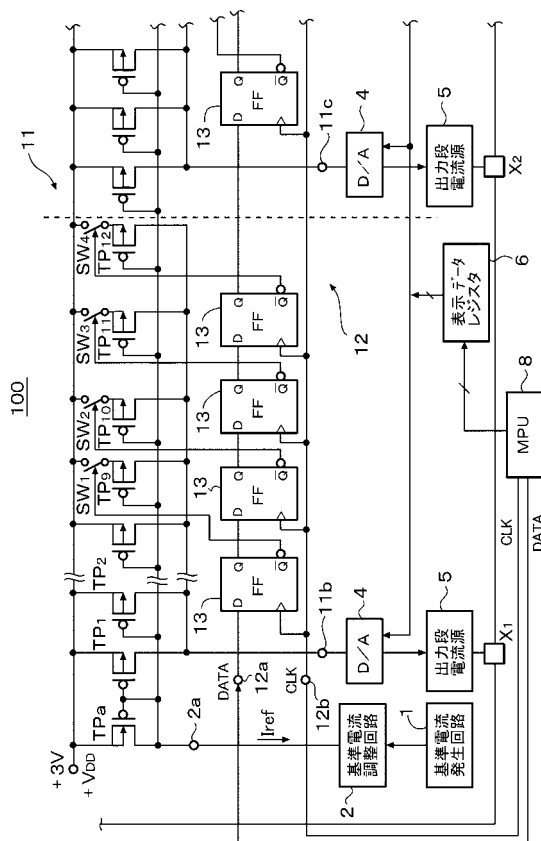
【図 3】図 3 は、この発明の先行技術における基準電流分配回路を中心とした電流駆動回路の説明図である。

【符号の説明】

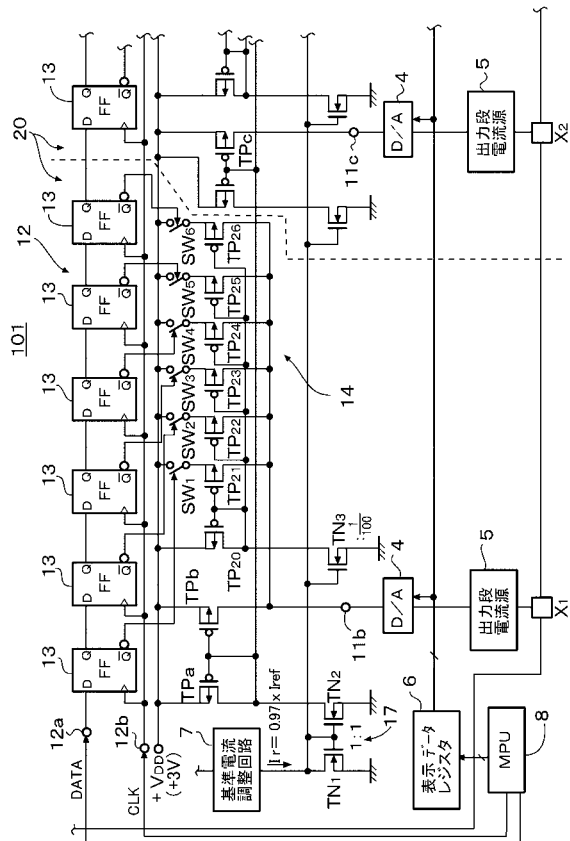
- 1 ... 基準電流発生回路、2 ... 基準電流調整回路、
 3, 11 ... 基準電流分配回路、
 4 ... D/A 変換回路 (D/A)、5 ... 出力段電流源、
 6 ... 表示データレジスタ、8 ... MPU、
 10, 100 ... カラムドライバ IC、
 12 ... シフトレジスタ、
 13 ... フリップフロップ、
 X1 ~ X_m ... カラム側の出力端子、
 TP_a ~ TP_{n-1} ... トランジスタ。

10

【図 1】



【図 2】



The diagram illustrates a column IC driver (10) circuit. At the top, a +3V supply is connected to a node labeled V_{DD} . A current source circuit (1) and a current control circuit (2) are connected to a node labeled 2a, which provides a reference current I_{ref} . The circuit consists of a row of transistors (3) and DACs (4). The transistors (3) are connected to the V_{DD} supply and have their gates connected to a common gate voltage. The sources of the transistors (3) are connected to a common source line. The drains of the transistors (3) are connected to the inputs of the DACs (4). The DACs (4) are connected to the gates of the transistors (3) and provide currents I_1, I_2, I_3, I_4, I_m to the transistors (3). The transistors (3) are labeled TPa, TPb, TPc, TPd, and TPm. The DACs (4) are labeled D/A. The output currents I_1, I_2, I_3, I_4, I_m are connected to a common output line, which is connected to a load resistor (X1, X2, X3, X4, X_m) and a common output node.

フロントページの続き

(51) Int.Cl.	F I		
	H 0 3 F	3/343	A
	H 0 5 B	33/14	A

(56)参考文献 特開2004-054234(JP,A)
特開2004-094237(JP,A)
特開2003-295828(JP,A)
特開2004-198770(JP,A)
特開昭63-280568(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00-3/38
G02F 1/133 505-580

