

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-69943

(P2011-69943A)

(43) 公開日 平成23年4月7日(2011.4.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 622D	5C380
	G09G 3/20 612A	
	G09G 3/20 612E	
審査請求 未請求 請求項の数 7 O L (全 39 頁) 最終頁に続く		

(21) 出願番号	特願2009-220079 (P2009-220079)	(71) 出願人	000002185
(22) 出願日	平成21年9月25日 (2009.9.25)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100112955
			弁理士 丸島 敏一
		(72) 発明者	山本 哲郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	3K107 AA01 BB01 CC31 CC33 CC45
			EE03 HH02 HH04 HH05
		最終頁に続く	

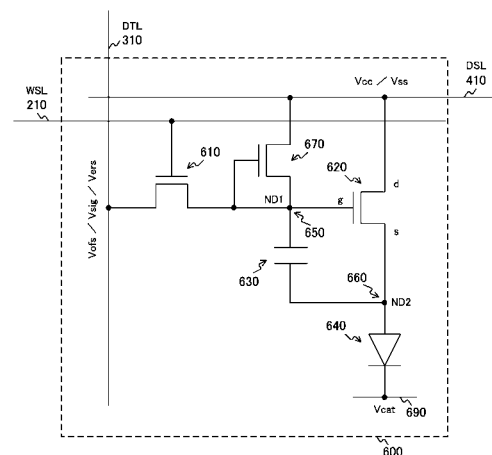
(54) 【発明の名称】 表示装置および電子機器

(57) 【要約】

【課題】表示装置の画質を改善させる。

【解決手段】行単位に接続された複数の画素600における閾値補正準備期間が同時に開始される場合において、制御トランジスタ670は、電源線410における初期化電位(V_{ss})に基づいて第1ノード(ND1)650と電源線410との間を接続する。これにより、第1ノード(ND1)650の電位は低下する。次に、閾値補正準備期間において、走査線(WSL)210は、書込みトランジスタ610に行毎に異なるタイミングでオン電位(V_{on})を供給する。これにより、書込みトランジスタ610がオン状態となるため、第1ノード(ND1)650の電位が上昇する。この第1ノード(ND1)650の電位の上昇により駆動トランジスタが導通状態になることによって、発光素子の入力端子の電位は行毎に異なるタイミングで低下する。

【選択図】 図14



【特許請求の範囲】

【請求項 1】

行単位に配置された複数の画素回路と、

前記複数の画素回路が発光するための電源電位よりも低い電位の低電源電位を前記複数の画素回路に供給する電源線と、

表示対象となる映像の情報を含む映像信号を前記複数の画素回路に供給するための走査信号を前記複数の画素回路に行毎に供給し、前記低電源電位が供給されているときにおいて前記走査信号の電位を他の行とは異なるタイミングでオン電位に遷移させる走査回路とを具備し、

前記複数の画素回路の各々は、

前記映像信号に相当する電圧を保持する保持容量と、

前記保持容量に保持された前記電圧に基づいて発光する発光素子と、

前記電源線と前記保持容量の一端との間に接続されて、前記電源線に前記低電源電位が供給されているときに導通状態となり前記保持容量の一端の電位を低下させる接続素子と、

前記発光素子が発光させるときに前記映像信号を前記保持容量に書き込み、前記電源線に前記低電源電位が供給されているときに前記オン電位に基づいて導通状態になることによって前記保持容量の一端の電位を上昇させる書き込みトランジスタと、

ゲート端子が前記保持容量の前記一端に接続されて、前記発光素子が発光させるときにゲートソース間電圧に応じて発光素子に電流を供給し、前記書き込みトランジスタが前記導通状態になることによってゲート端子の電位を上昇させて前記発光素子の入力端子の電位を低下させる駆動トランジスタとを備える表示装置。

【請求項 2】

複数の画素回路に対して複数の行ごとに同じ前記低電源電位を供給する電源供給回路をさらに具備する請求項 1 記載の表示装置。

【請求項 3】

前記接続素子は、ドレイン端子が前記電源線に接続されて、ソース端子が前記保持容量の一端に接続されるトランジスタにより構成される請求項 1 記載の表示装置。

【請求項 4】

前記接続素子を構成する前記トランジスタは、当該トランジスタのゲート端子を当該トランジスタの前記ソース端子にダイオード接続する請求項 3 記載の表示装置。

【請求項 5】

前記接続素子を構成する前記トランジスタを導通状態にする接続制御信号を当該トランジスタのゲート端子に供給する制御回路をさらに具備し、

前記接続素子を構成する前記トランジスタは、前記接続制御信号と前記低電源電位とに基づいて前記保持容量の一端の電位を低下させる請求項 3 記載の表示装置。

【請求項 6】

前記走査回路は、前記発光素子が発光する期間において、前記低電源電位が供給されているときに前記書き込みトランジスタを非導通状態にする信号と比べて高い電位の信号を前記書き込みトランジスタに供給する請求項 1 記載の表示装置。

【請求項 7】

行単位に配置された複数の画素回路と、

前記複数の画素回路が発光するための電源電位よりも低い電位の低電源電位を前記複数の画素回路に供給する電源線と、

表示対象となる映像の情報を含む映像信号を前記複数の画素回路に供給するための走査信号を前記複数の画素回路に行毎に供給し、前記低電源電位が供給されているときにおいて前記走査信号の電位を他の行とは異なるタイミングでオン電位に遷移させる走査回路とを具備し、

10

20

30

40

50

前記複数の画素回路の各々は、
前記映像信号に相当する電圧を保持する保持容量と、
前記保持容量に保持された前記電圧に基づいて発光する発光素子と、
前記電源線と前記保持容量の一端との間に接続されて、前記電源線に前記低電源電位が供給されているときに導通状態となり前記保持容量の一端の電位を低下させる接続素子と、

前記発光素子を発光させるときに前記映像信号を前記保持容量に書き込み、前記電源線に前記低電源電位が供給されているときに前記オン電位に基づいて導通状態になることによって前記保持容量の一端の電位を上昇させる書き込みトランジスタと、

ゲート端子が前記保持容量の前記一端に接続されて、前記発光素子を発光させるときにゲートソース間電圧に応じて発光素子に電流を供給し、前記書き込みトランジスタが前記導通状態になることによってゲート端子の電位を上昇させて前記発光素子の入力端子の電位を低下させる駆動トランジスタとを備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に発光素子を画素に用いた表示装置、および、その表示装置を備える電子機器に関する。

【背景技術】

【0002】

近年、発光素子として有機EL (Electroluminescence) 素子を用いた平面自発光型の表示装置の開発が近年盛んに行われている。この有機EL素子を用いた表示装置においては、画素回路を構成する駆動トランジスタによって有機薄膜に印加する電界の制御を行うが、この駆動トランジスタが有する閾値電圧および移動度には個体ごとにばらつきがある。このため、これらの個体差を補正するための処理が必要となる。

【0003】

この駆動トランジスタの閾値電圧を補正する機能を備える表示装置として、画素回路を初期化した後に駆動トランジスタに電流を流して駆動トランジスタの閾値電圧を補正する機能を備える表示装置が提案されている（例えば、特許文献1参照。）。この表示装置は、駆動トランジスタのゲート端子およびソース端子における電位を初期化した後に、ゲート・ソース間の電位差が閾値電圧を反映するまで電流を流すことによって、駆動トランジスタの閾値を補正する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-33193号公報（図3B）

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述の従来技術では、画素回路を構成する駆動トランジスタの閾値電圧のばらつきを補正することができる。この場合、電源信号をスイッチングさせるため、電源信号を切り替えるためのドライバが1行ごとに必要となり、表示装置のコストが高くなる。これに対し、複数行ごとに電源信号を切り替える構成にすることによって、ドライバ数を削減することが考えられる。

【0006】

このような構成においては、有機EL素子のカソード電極が全画素回路によって共有されている。このため、電源信号が切り替わった時における各行の有機EL素子のアノード端子の電位の変動によって、有機EL素子の寄生容量を介して全画素回路が共有しているカソード電極の電位の変動を引き起こす。したがって、このような構成においては、電源

10

20

30

40

50

信号が切り替わった時に複数行のカソード電極の電位変動が同時に起こることによって、全画素回路が共有している有機EL素子のカソード電極の電位が大きく変動するため、画質が低下してしまう。

【0007】

そこで、本発明はこのような状況に鑑みてなされたものであり、有機EL素子を用いた表示装置の画質を改善することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、上記課題を解決するためになされたものであり、その第1の側面は、行単位に配置された複数の画素回路と、上記複数の画素回路が発光するための電源電位よりも低い電位の低電源電位を上記複数の画素回路に供給する電源線と、表示対象となる映像の情報を含む映像信号を上記複数の画素回路に供給するための走査信号を上記複数の画素回路に行毎に供給し、上記低電源電位が供給されているときにおいて上記走査信号の電位を他の行とは異なるタイミングでオン電位に遷移させる走査回路と

を具備し、上記複数の画素回路の各々は、上記映像信号に相当する電圧を保持する保持容量と、上記保持容量に保持された上記電圧に基づいて発光する発光素子と、上記電源線と上記保持容量の一端との間に接続されて、上記電源線に上記低電源電位が供給されているときに導通状態となり上記保持容量の一端の電位を低下させる接続素子と、上記発光素子を発光させるときに上記映像信号を上記保持容量に書き込み、上記電源線に上記低電源電位が供給されているときに上記オン電位に基づいて導通状態になることによって上記保持容量の一端の電位を上昇させる書き込みトランジスタと、ゲート端子が上記保持容量の上記一端に接続されて、上記発光素子を発光させるときにゲートソース間電圧に応じて発光素子に電流を供給し、上記書き込みトランジスタが上記導通状態になることによってゲート端子の電位を上昇させて上記発光素子の入力端子の電位を低下させる駆動トランジスタとを備える表示装置および電子機器である。これにより、接続素子により保持容量の一端の電位を低下させた後に、行毎に異なるタイミングで保持容量の一端の電位を上昇させて発光素子の入力端子の電位を低下させるという作用をもたらす。

【0009】

また、この第1の側面において、複数の画素回路に対して複数の行ごとに同じ上記低電源電位を供給する電源供給回路をさらに具備するようにしてもよい。これにより、同じ電源線を共有する行において、接続素子により保持容量の一端の電位を低下させた後に、行毎に異なるタイミングで保持容量の一端の電位を上昇させて発光素子の入力端子の電位を低下させるという作用をもたらす。

【0010】

また、この第1の側面において、上記接続素子は、ドレイン端子が上記電源線に接続されて、ソース端子が上記保持容量の一端に接続されるトランジスタにより構成されるようにしてもよい。これにより、トランジスタにより保持容量の一端の電位を低下させるという作用をもたらす。この場合において、上記接続素子を構成する上記トランジスタは、当該トランジスタのゲート端子を当該トランジスタの上記ソース端子にダイオード接続するようにしてもよい。これにより、ダイオード接続されたトランジスタにより保持容量の一端の電位を低下させるという作用をもたらす。この場合において、上記接続素子を構成する上記トランジスタを導通状態にする接続制御信号を当該トランジスタのゲート端子に供給する制御回路をさらに具備し、上記接続素子を構成する上記トランジスタは、上記接続制御信号と上記低電源電位とに基づいて上記保持容量の一端の電位を低下させるようにしてもよい。これにより、制御回路から供給される接続制御信号により制御されるトランジスタにより保持容量の一端の電位を低下させるという作用をもたらす。

【0011】

また、この第1の側面において、上記走査回路は、上記発光素子が発光する期間において、上記低電源電位が供給されているときに上記書き込みトランジスタを非導通状態にする信号と比べて高い電位の信号を上記書き込みトランジスタに供給するようにしてもよい。こ

れにより、発光素子が発光する期間において、低電源電位が供給されているときに書込みトランジスタを非導通状態にする信号と比べて高い電位の信号で書込みトランジスタを非導通状態にさせるという作用をもたらす。

【発明の効果】

【0012】

本発明によれば、有機EL素子を用いた表示装置の画質を改善することができるという優れた効果を奏し得る。

【図面の簡単な説明】

【0013】

【図1】本発明の基礎となる表示装置の一構成例を示す概念図である。

10

【図2】本発明の基礎となる表示装置100の基本動作の一例に関するタイミングチャートである。

【図3】本発明の基礎となる画素600の構成例を模式的に示す回路図である。

【図4】図3の構成における画素600の基本動作の一例に関するタイミングチャートである。

【図5】TP8、TP1、TP2の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

【図6】TP3乃至TP5の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

【図7】TP6乃至TP8の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

20

【図8】本発明の基礎となる表示装置における閾値補正準備期間TP3において第2ノード660の電位の急激な低下に従ってカソード電極690の電位が低下する画素600の動作の一例を示すタイミングチャートである。

【図9】カソード電極690の電位の低下が複数の画素600において同時に生じた場合におけるカソード電極690の電位の低下の一例を示すタイミングチャートである。

【図10】図3の構成の画素600においてカソード電極690の電位変化が発生する表示装置100の一動作例に関するタイミングチャートである。

【図11】図3の構成の画素600におけるカソード電極690の電位の低下により画素600の発光が明るくなる場合における画素600の動作の一例を示すタイミングチャートである。

30

【図12】図3の構成の画素600におけるカソード電極690の電位変化により画素600の発光が暗くなる場合における画素600の動作の一例を示すタイミングチャートである。

【図13】図3の構成の画素600におけるカソード電極690の電位変化が図11および図12において示したように、画素600の動作に影響を与える場合における表示装置100に表示される表示画像に関する図である

【図14】本発明の第1の実施の形態における画素600の構成例を模式的に示す回路図である。

【図15】本発明の第1の実施の形態における画素600の基本動作の一例に関するタイミングチャートである。

40

【図16】本発明の第1の実施の形態における閾値補正準備期間TP3-1乃至3-3の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

【図17】本発明の第1の実施の形態における電源線を共有する複数の走査線(WSL)211乃至213の走査信号に起因して発生するカソード電極690の電位変化の一例に関するタイミングチャートである。

【図18】本発明の第2の実施の形態における表示装置100の一構成例を示す概念図である。

【図19】本発明の第2の実施の形態における画素600の基本動作の一例に関するタイミングチャートである。

50

【図 20】本発明の第 2 の実施の形態における閾値補正準備期間 T P 3 - 1 乃至 3 - 3 の期間にそれぞれ対応する画素 600 の動作状態を模式的に示す回路図である。

【図 21】実際の回路における本発明の第 1 および第 2 の実施の形態の画素 600 の発光期間 T P 8 の動作状態を模式的に示す回路図である。

【図 22】本発明の第 3 の実施の形態における画素 600 の基本動作の一例に関するタイミングチャートである。

【図 23】本発明の実施の形態のテレビジョンセットへの適用例である。

【図 24】本発明の実施の形態のデジタルスチルカメラへの適用例である。

【図 25】本発明の実施の形態のノート型パーソナルコンピュータへの適用例である。

【図 26】本発明の実施の形態の携帯端末装置への適用例である。

10

【図 27】本発明の実施の形態のビデオカメラへの適用例である。

【発明を実施するための形態】

【0014】

以下、本発明を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 本発明の基礎となる表示装置（表示制御：電源線共用化による表示装置の基本動作の例）

2. 第 1 の実施の形態（表示制御：画素に制御トランジスタを設けた例）

3. 第 2 の実施の形態（表示制御：制御トランジスタを制御する制御補助スキナを設けた例）

20

4. 第 3 の実施の形態（表示制御：走査線の走査信号を 3 値化した例）

5. 本発明の適用例（表示制御：電子機器の例）

【0015】

< 1. 本発明の基礎となる表示装置 >

〔表示装置の構成例〕

図 1 は、本発明の基礎となる表示装置の一構成例を示す概念図である。

【0016】

表示装置 100 は、ライトスキナ (W S C N : Write S C a N n e r) 200 と、水平セクタ (H S E L : Horizontal S E l e c t o r) 300 と、電源スキナ (D S C N : Drive S C a N n e r) 400 とを備える。また、この表示装置 100 は、画素アレイ部 500 と、タイミ
30

【0017】

表示装置 100 には、画素 600 と電源スキナ (D S C N) 400 との間を接続する電源線 (D S L : Drive Scan Line) 410 が設けられている。また、表示装置 100 には、画素 600 とライトスキナ (W S C N) 200 との間を接続する走査線 (W S L : Write Scan Line) 210 が設けられている。さらに、表示装置 100 には、画素 600 と水平セクタ (H S E L) 300 との間を接続するデータ線 (D T L : Data Line) 310 が設けられている。

【0018】

40

表示装置 100 には、電源スキナ (D S C N) 200 とタイミグ生成部 700 との間を接続するスタートパルス線 (S P L : Start Pulse Line) 711 およびクロックパルス線 (C K L : Clock pulse Line) 721 がそれぞれ設けられている。また、表示装置 100 には、水平セクタ (H S E L) 300 とタイミグ生成部 700 との間を接続するスタートパルス線 (S P L) 712、クロックパルス線 (C K L) 722、および、映像信号線 730 がそれぞれ設けられている。さらに、表示装置 100 には、ライトスキナ (W S C N) 400 とタイミグ生成部 700 との間を接続するスタートパルス線 (S P L) 713 およびクロックパルス線 (C K L) 723 が設けられている。

【0019】

タイミグ生成部 700 は、画素 600 において表示する映像信号に基づいて、画素 6

50

00の発光を開始するためのスタートパルス、および、画素600を発光させるための各信号の同期を取るためのクロックパルスを生成するものである。このタイミング生成部700は、スタートパルス線(SPL)711およびクロックパルス線(CKL)721を介して電源スキャナ(DSCN)200の動作に対するスタートパルスおよびクロックパルスを電源スキャナ(DSCN)200に供給する。

【0020】

さらに、このタイミング生成部700は、スタートパルス線(SPL)712およびクロックパルス線(CKL)722を介して、水平セクタ(HSEL)300の動作に対するスタートパルスおよびクロックパルスを水平セクタ(HSEL)300に供給する。また、タイミング生成部700は、映像信号線730を介して水平セクタ(HSEL)300に映像信号を供給する。また、このタイミング生成部700は、スタートパルス線(SPL)713およびクロックパルス線(CKL)723を介して、ライトスキャナ(WSCN)400の動作に対するスタートパルスおよびクロックパルスをライトスキャナ(WSCN)400に供給する。

【0021】

ライトスキャナ(WSCN)200は、画素600を線順次走査するものである。このライトスキャナ(WSCN)200は、データ線(DTL)310から供給されるデータ信号を画素600に書き込むタイミングを行単位により制御する。このライトスキャナ(WSCN)200は、データ信号を書き込むためのオン電位、データ信号の書き込みを停止させるためのオフ電位を走査信号として生成する。このライトスキャナ(WSCN)200は、スタートパルス線(SPL)711を介して供給されるスタートパルスに基づいて走査信号を生成する。また、ライトスキャナ(WSCN)200は、その生成した走査信号を走査線(WSL)210に供給する。なお、このライトスキャナ(WSCN)200は、特許請求の範囲に記載の走査回路の一例である。

【0022】

このライトスキャナ(WSCN)200は、画素600の各行にそれぞれ対応するドライバ201乃至205を備える。このドライバ201乃至205は、それぞれに対応する各行の画素600に対して、データ線(DTL)310から供給されるデータ信号を書き込むための走査信号を生成する。そして、このドライバ201乃至205は、その生成された走査信号を走査線(WSL)211乃至215にそれぞれ供給する。

【0023】

水平セクタ(HSEL)300は、映像信号の電位と、画素600を構成する駆動トランジスタの閾値電圧に対する補正(閾値補正)を行うための基準信号の電位と、画素600を消光させるための消光信号の電位(消光電位)とのいずれかを選択するものである。また、水平セクタ(HSEL)300は、ライトスキャナ(WSCN)200による線順次走査に合わせてデータ信号を切り替える。この水平セクタ(HSEL)300は、スタートパルス線(SPL)712を介して供給されるスタートパルスに基づいてデータ信号を生成する。また、水平セクタ(HSEL)300は、その生成したデータ信号をデータ線(DTL)310に供給する。

【0024】

電源スキャナ(DSCN)400は、ライトスキャナ(WSCN)200による線順次走査に合わせて電源電位と画素600を初期化するための初期化電位とを切り替えて電源信号として電源線(DSL)210に供給するものである。この電源スキャナ(DSCN)400は、スタートパルス線(SPL)713を介して供給されるスタートパルスに基づいて電源信号を生成する。なお、この電源スキャナ(DSCN)400は、特許請求の範囲に記載の電源供給回路の一例である。

【0025】

この電源スキャナ(DSCN)400は、複数行(j行)ごとにそれぞれ対応するドライバ401乃至403を備える。このドライバ401乃至403は、それぞれに対応する一定数の行の画素600に対する電源信号を生成する。このドライバ401乃至403は

、その生成された電源信号を電源線(DSL)411乃至413にそれぞれ供給する。すなわち、この電源線(DSL)411乃至413は、複数の画素600に対して複数行(j行)ごとに同じ電源電位を供給する。なお、電源線(DSL)411乃至413は、特許請求の範囲に記載の電源線の一例である。

【0026】

画素600は、走査線(WSL)210からの走査信号に基づいて、データ線(DTL)310からの映像信号の電位を保持してその保持した電位に応じて所定の期間発光するものである。なお、この画素600は、特許請求の範囲に記載の画素回路の一例である。

【0027】

このように、電源スキャナ(DSCN)400は、複数行の画素600ごとに同じ電源信号を供給することによって、電源スキャナ(DSCN)400のドライバの数を削減することができる。これにより、表示装置100の製造コストを削減することができる。

【0028】

[表示装置の基本動作の例]

図2は、本発明の基礎となる表示装置100の基本動作の一例に関するタイミングチャートである。ここでは、横軸を共通の時間軸として、電源線(DSL)411および412と、データ線(DTL)310と、走査線(WSL)211乃至214との電位変化が示されている。

【0029】

データ線(DTL)310の電位変化は、水平セクタ(HSEL)300により生成されたデータ信号の電位変化である。電源線(DSL)411および412の電位変化は、電源スキャナ(DSCN)400におけるドライバ401および402により生成された電源信号の電位変化である。

【0030】

走査線(WSL)211乃至214は、ライトスキャナ(WSCN)200におけるドライバ201乃至204によりそれぞれ生成された走査信号の電位変化である。この走査線(WSL)211乃至214には、走査信号として、少なくともオン電位(Von)およびオフ電位(Off)のいずれか1つの電位が供給される。図2では一例として、この走査線(WSL)211乃至214には、それぞれ3つのパルス221乃至223が供給される。

【0031】

1つ目のパルス221は、画素600の発光を消光させるために消光信号の電位(Ver)を画素600に与えるためのパルスである。2つ目のパルス222は、閾値補正のために基準信号の電位(Offs)を画素600に与えるためのパルスである。3つ目のパルス223は、画素600を構成する駆動トランジスタの移動度に対する補正を行うとともに映像信号(Vsig)を書き込むためのパルスである。また、走査線(WSL2)212には、走査線(WSL1)211を基準として1H(水平走査期間)後にそれぞれのパルスが供給される。また、ここでは図示していないが、走査線(WSL2)212の1行下の走査線には、走査線(WSL2)212を基準として1H後にそれぞれのパルスが供給される。

【0032】

この場合、走査線(WSL)211乃至213に接続されている画素600に電源線(DSL)411の電源信号が同時に印加され、走査線(WSL)214に接続されている画素600に電源線(DSLj+1)412の電源信号が印加される。

【0033】

[画素の構成例]

図3は、本発明の基礎となる画素600の構成例を模式的に示す回路図である。画素600は、書込みトランジスタ610と、駆動トランジスタ620と、保持容量630と、発光素子640とを備える。ここでは、書込みトランジスタ610および駆動トランジスタ620がそれぞれnチャンネル型トランジスタである場合を想定する。

【0034】

書込みトランジスタ610のゲート端子およびドレイン端子には、それぞれ走査線(WSL)210およびデータ線(DTL)310が接続される。また、書込みトランジスタ610の一端には、保持容量630の一方の電極および駆動トランジスタ620のゲート端子(g)が接続される。ここでは、この接続部位を第1ノード(ND1)650とする。駆動トランジスタ620のドレイン端子(d)には、電源線(DSL)410が接続され、駆動トランジスタ620のソース端子(s)には、保持容量630の他方の電極および発光素子640の入力端子が接続される。ここでは、この接続部位を第2ノード(ND2)660とする。また、発光素子640の出力端子には、カソード電極690が接続される。

10

【0035】

書込みトランジスタ610は、走査線(WSL)210の走査信号に従って、データ線(DTL)310からのデータ信号を保持容量630に書き込むものである。この書込みトランジスタ610は、発光素子640を発光させるための電圧を保持容量630に加えるために、保持容量630の一方の電極にデータ信号の電位を与える。

【0036】

この書込みトランジスタ610は、保持容量630に対して、閾値補正により基準信号の電位(Vofs)に基づいて閾値電圧を保持させた後に、映像信号に相当する電圧を書き込む。また、この書込みトランジスタ610は、保持容量630の一方の電極に消光信号の電位(Vers)を与える。すなわち、この書込みトランジスタ610は、発光素子640を発光させるための駆動電流の供給を停止させるために、駆動トランジスタ620のゲート端子に消光信号の電位(Vers)を与える。なお、書込みトランジスタ610は、特許請求の範囲に記載の書込みトランジスタの一例である。

20

【0037】

駆動トランジスタ620は、電源線(DSL)410から電源電位(Vcc)が加えられた状態で、映像信号の電位に応じて保持容量630に保持されている電圧に基づく駆動電流を発光素子640に出力するものである。また、この駆動トランジスタ620は、書込みトランジスタ610により、そのゲート端子に与えられた消光信号の電位(Vers)によって、発光素子640への駆動電流の供給を停止する。なお、駆動トランジスタ620は、特許請求の範囲に記載の駆動トランジスタの一例である。

30

【0038】

保持容量630は、書込みトランジスタ610によって与えられたデータ信号に相当する電圧を保持するものである。この保持容量630は、例えば、書込みトランジスタ610によって書き込まれた映像信号に相当する電圧を保持する。なお、保持容量630は、特許請求の範囲に記載の保持容量の一例である。

【0039】

発光素子640は、駆動トランジスタ620から供給された駆動電流の大きさに応じて発光するものである。この発光素子640は、例えば、有機EL素子により実現することができる。また、発光素子640は、出力端子がカソード電極690に接続されている。このカソード電極690からは、発光素子の基準電位としてカソード電位(Vcat)が供給されている。このカソード電極690は、表示装置100における全ての画素で共通の線であり、表示装置100にける全ての画素の発光素子640の出力端子に接続されている。なお、発光素子640は、特許請求の範囲に記載の発光素子の一例である。

40

【0040】

なお、この例では、書込みトランジスタ610および駆動トランジスタ620がそれぞれnチャンネル型トランジスタである場合を想定したが、この組み合わせに限られるものではない。また、これらのトランジスタは、エンハンスメント型のものでもよく、デプレッション型やデュアルゲート型のものでもよい。

【0041】

[画素の基本動作の例]

50

図4は、図3の構成における画素600の基本動作の一例に関するタイミングチャートである。このタイミングチャートには、横軸を共通の時間軸として、走査線(WSL)210、データ線(DTL)310、電源線(DSL)410、第1ノード(ND1)650、第2ノード(ND2)660およびカソード電極690の電位変化が示されている。ここでは、第2ノード(ND2)660の電位変化が点線により示され、それ以外の電位変化が実線により示されている。なお、各期間を示す横軸の長さは模式的なものであり、各期間の時間長の割合を示すものではない。

【0042】

このタイミングチャートでは、画素600の動作の遷移をTP1からTP8の期間に便宜的に区切っている。発光期間TP8では、発光素子640は発光状態にある。発光期間TP8の終了直前において、走査線(WSL)210の走査信号はオフ電位(Voff)に、データ線(DTL)310は消光信号の電位(Vers)に設定されている。また、電源線(DSL)410の電源信号は電源電位(Vcc)に設定されている。

【0043】

この後、線順次走査の新しいフィールドに入り、消光期間TP1では、走査線(WSL)210の走査信号がオフ電位(Voff)からオン電位(Von)に切り替えられる。これにより、第1ノード(ND1)650の電位が消光信号の電位(Vers)まで低下することに伴い、発光素子640への駆動電流の供給が停止される。そして保持容量630によるカップリングの影響を受けることにより第2ノード(ND2)660の電位も発光素子640の閾値電圧とカソード電位の和($V_{thel} + V_{cat}$)に低下し始める。

【0044】

次に、消光期間TP2では、走査線(WSL)210の走査信号はオフ電位(Voff)に切り替えられる。そして、第2ノード(ND2)660の電位が発光素子640の閾値電位($V_{thel} + V_{cat}$)まで低下するため、発光素子640は消光する。このとき、第1ノード(ND1)650の電位も保持容量630からのカップリングの影響を受けて低下する。なお、 V_{thel} は発光素子640の閾値電圧であり、 V_{cat} は図3において示したカソード電極690から供給される電位である。

【0045】

また、閾値補正準備期間TP3において第1ノード(ND1)650の電位が初期化電位(Vss)付近まで低下する。この場合、走査線(WSL)210の走査信号をデータ線(DTL)310の基準信号の電位(Vofs)付近に設定すると、データ線(DTL)310から書込みトランジスタ610を介して第1ノード(ND1)650の方向に電流が漏れ込んでしまう。このため、閾値補正準備期間TP3における第1ノード(ND1)650の電位を考慮して、走査線(WSL)210の走査信号のオフ電位(Voff)は、閾値補正準備期間TP3における第1ノード(ND1)650の電位に比べて低い電位に設定する。

【0046】

続いて、閾値補正準備期間TP3では、電源線(DSL)410の電源信号は電源電位(Vcc)から初期化電位(Vss)に切り替えられる。これにより、駆動トランジスタ620にはソース端子側からドレイン端子側に電流が流れることによって、第2ノード(ND2)660の電位が低下する。この時、第1ノード(ND1)650の電位は「 $V_{ss} + V_{thd}$ 」まで低下する。このとき、第2ノード(ND2)660の電位も低下する。すなわち、画素600が初期化される。なお、 V_{thd} は、駆動トランジスタ620のドレイン端子とゲート端子との間の閾値電圧であり、ここではドレイン端子側の閾値電圧という。

【0047】

次に、閾値補正待機期間TP4では、電源線(DSL)410の電源信号は初期化電位(Vss)から電源電位(Vcc)に切り替えられる。これにより、駆動トランジスタ620にはソース端子側である保持容量630の他方の電極に電流が流れることによって、第1ノード(ND1)650および第2ノード(ND2)660の電位が上昇する。しか

10

20

30

40

50

しなから、駆動トランジスタ620のゲートソース間電圧がその閾値電圧以下であることにより、駆動トランジスタ620に流れる電流は非常に小さい。このため、第1ノード（ND1）650および第2ノード（ND2）660の電位上昇は非常に小さくなる。

【0048】

次に、閾値補正期間TP5では、閾値補正動作が行われる。データ線（DTL）310のデータ信号が基準信号の電位（Vofs）において、走査線（WSL）210の走査信号はオフ電位（Voff）からオン電位（Von）に切り替えられる。これにより、第1ノード（ND1）650と第2ノード（ND2）660との間に駆動トランジスタ620の閾値電圧（Vth）に相当する電圧が加えられる。その後、TP6では、一旦、走査線（WSL）210の走査信号がオフ電位（Voff）に落とされ、データ線（DTL）310のデータ信号が基準信号の電位（Vofs）から映像信号の電位（Vsig）に切り替えられる。

10

【0049】

次に、書込み期間／移動度補正期間TP7では、走査線（WSL）210の走査信号がオン電位（Von）に上げられることによって、第1ノード（ND1）650の電位が映像信号の電位（Vsig）まで上昇する。これにより、駆動トランジスタ620から発光素子640の寄生容量641に電流が流れることから、寄生容量641の充電が開始される。これに対して、第2ノード（ND2）660の電位は、TP5において加えられた電位（Vofs - Vth）から移動度補正による上昇量（ΔV）だけ上昇する。すなわち、走査線（WSL）210の走査信号がオン電位（Von）になることによって、保持容量630の一方の電極には映像信号の電位（Vsig）が書き込まれる。それとともに、保持容量630の他方の電極には、TP5において加えられた電位（Vofs - Vth）から移動度補正による上昇量（ΔV）だけ上昇した電位（（Vofs - Vth） + ΔV）が加えられる。これにより、保持容量630には、映像信号に相当する電圧として「Vsig - （（Vofs - Vth） + ΔV）」の電圧が保持される。

20

【0050】

この後、発光期間TP8では、走査線（WSL）210の走査信号がオフ電位（Voff）に設定される。これにより、保持容量630に保持された電圧（Vsig - Vofs + Vth - ΔV）に応じた輝度により発光素子640が発光する。この場合、保持容量630に保持された電圧（Vsig - Vofs + Vth - ΔV）は、閾値電圧（Vth）および移動度補正による上昇量（ΔV）によって補正されている。このため、発光素子640の輝度は、駆動トランジスタ620における閾値電圧（Vth）および移動度のばらつきによる影響を受けない。なお、発光期間TP8の途中までの期間では、第1ノード（ND1）650および第2ノード（ND2）660の電位は上昇する。このとき、第1ノード（ND1）650と第2ノード（ND2）660との間の電位差（Vsig - Vofs + Vth - ΔV）は維持される。

30

【0051】

なお、ここでは、発光素子640における1回の発光に対して閾値補正動作を1回行う例について説明したが、閾値補正動作の回数はこれに限定されるものではなく、2回以上としてもよい。

40

【0052】

〔画素の動作状態の詳細〕

次に、上述の画素600の動作について以下に図面を参照して詳細に説明する。以下の図面では、図4に示したタイミングチャートにおけるTP1乃至TP8の期間に対応する画素600の動作状態を示す。なお、便宜上、発光素子640の寄生容量641を図示する。また、書込みトランジスタ610をスイッチとして図示し、走査線（WSL）210については省略する。

【0053】

図5（a）乃至（c）は、TP8、TP1、TP2の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。発光期間TP8では、図5（a）に示すよう

50

に、電源線(DSL)410の電源信号は電源電位(Vcc)に設定されており、駆動トランジスタ620は発光素子640に駆動電流(I_{ds})を供給している。

【0054】

次に、消光期間TP1では、図5(b)に示すように、データ線(DTL)310のデータ信号が消光信号の電位(V_{ers})のときに、走査線(WSL)210の走査信号がオフ電位(V_{off})からオン電位(V_{on})に遷移する。これにより、書込みトランジスタ610がオン(導通)状態となることから、第1ノード(ND1)650の電位は消光信号の電位(V_{ers})まで低下する。このとき、発光素子640への駆動電流の供給が停止される。そして、保持容量630を介したカップリングの影響によって第2ノード(ND2)660の電位も低下し、さらに発光素子640の閾値電圧とカソード電位の和(V_{thel}+V_{cat})に低下し始める。

10

【0055】

続いて、消光期間TP2では、図5(c)に示すように、走査線(WSL)210の走査信号がオフ電位(V_{off})に遷移することによって、書込みトランジスタ610はオフ(非導通)状態となる。ここでは、第2ノード(ND2)660の電位が発光素子640の閾値電位(V_{thel}+V_{cat})まで低下することにより、発光素子640は消光する。なお、第1ノード(ND1)650の電位も第2ノード(ND2)660の電位低下に倣うように低下する。

【0056】

図6(a)乃至(c)は、TP3乃至TP5の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

20

【0057】

TP2に続いて、閾値補正準備期間TP3では、図6(a)に示すように、電源線(DSL)410の電源信号が電源電位(Vcc)から初期化電位(V_{ss})に切り替えられる。これにより、駆動トランジスタ620には電源線(DSL)410の方向に電流が流れるため、第2ノード(ND2)660の電位は低下する。それとともに、第1ノード(ND1)650が浮遊状態にあるため、第2ノード(ND2)660の電位低下に倣うように第1ノード(ND1)650の電位も低下する。このとき、第1ノード(ND1)650の電位と電源線(DSL)410の初期化電位(V_{ss})との間の電位差が駆動トランジスタ620におけるドレイン端子側の閾値電圧(V_{thd})に相当する電圧となるまで第1ノード(ND1)650の電位は低下する。すなわち、第1ノード(ND1)650の電位は「V_{ss}+V_{thd}」まで低下する。このようにして、画素600は初期化される。

30

【0058】

次に、閾値補正待機期間TP4では、図6(b)に示すように、電源線(DSL)410の電源信号は初期化電位(V_{ss})から初期化電位(Vcc)に切り替えられる。これにより、駆動トランジスタ620には保持容量630の他方の電極の方向に微量の電流が流れるため、第1ノード(ND1)650および第2ノード(ND2)660の電位が若干上昇する。

【0059】

40

そして、閾値補正期間TP5では、図6(c)に示すように、データ線(DTL)310のデータ信号が基準信号の電位(V_{ofs})のときに、走査線(WSL)210の走査信号がオフ電位(V_{off})からオン電位(V_{on})に遷移する。これにより、第1ノード(ND1)650の電位は、基準信号の電位(V_{ofs})に設定される。この時、駆動トランジスタ620のゲートソース間電圧が閾値電圧よりも大きければ、駆動トランジスタ620から保持容量630の他方の電極に電流が流れることから、第2ノード(ND2)660の電位が上昇する。

【0060】

そして、第1ノード(ND1)650と第2ノード(ND2)660との間の電位差が駆動トランジスタ620におけるソース端子とゲート端子との間の閾値電圧(V_{th})に

50

相当する電位差となる。このとき、第2ノード（ND2）の電位は、駆動トランジスタ620におけるソース端子側の閾値電位（ $V_{ofs} - V_{th}$ ）に達する。これにより、基準信号の電位（ V_{ofs} ）を基準として駆動トランジスタ620の閾値電圧（ V_{th} ）に相当する電圧が保持容量630に保持されることによって、閾値補正動作が完了する。なお、ここでは、カソード電極690のカソード電位（ V_{cat} ）および基準信号の電位（ V_{ofs} ）を駆動トランジスタ620からの電流が発光素子640に流れないように設定している。

【0061】

図7（a）乃至（c）は、TP6乃至TP8の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

【0062】

TP5に続いて、TP6では、図7（a）に示すように、走査線（WSL）210における走査信号がオン電位（ V_{on} ）からオフ電位（ V_{off} ）に遷移することによって、書込みトランジスタ610がオフ（非導通）状態となる。その後、データ線（DTL）310のデータ信号が基準信号の電位（ V_{ofs} ）から映像信号の電位（ V_{sig} ）に切り替えられる。この場合、データ線（DTL）310においては、データ線（DTL）310に接続された複数の画素600内の書込みトランジスタ610により、映像信号の電位（ V_{sig} ）の立ち上がりが緩やかになる。このため、データ線（DTL）310のトランジェント特性を考慮し、データ信号が映像信号の電位（ V_{sig} ）に達するまでの間、書込みトランジスタ610をオフ状態にしている。

【0063】

TP6に続いて書込み期間／移動度補正期間TP7では、図7（b）に示すように、走査線（WSL）210の走査信号がオン電位（ V_{on} ）に遷移することにより、書込みトランジスタ610がオン状態となる。これにより、第1ノード（ND1）650の電位が映像信号の電位（ V_{sig} ）に設定される。それとともに、駆動トランジスタ620から保持容量630の他方の電極に電流が流れることにより、第2ノード（ND2）660の電位はTP5において加えられた電位（ $V_{ofs} - V_{th}$ ）から「 ΔV 」だけ上昇する。そして、第1ノード（ND1）650と第2ノード（ND2）660との間の電位差が「 $V_{sig} - V_{ofs} + V_{th} - \Delta V$ 」となる。このように、映像信号の電位（ V_{sig} ）の書込み、および、移動度補正による上昇量（ ΔV ）の調整が行われる。

【0064】

この動作において、映像信号の電位（ V_{sig} ）が大きいほど駆動トランジスタから出力される電流が大きくなるため、移動度補正による上昇量（ ΔV ）も大きくなる。したがって、輝度レベル（映像信号の電位）に応じた移動度補正を行うことができるようになる。また、画素ごとの映像信号の電位（ V_{sig} ）を一定にした場合には、駆動トランジスタの移動度が大きい画素ほど移動度補正による上昇量（ ΔV ）も大きくなる。例えば、駆動トランジスタの移動度が大きい画素では、移動度が小さい画素に比べて保持容量の他方の電極に流れる電流量が大きくなるため、その分だけ駆動トランジスタのゲートソース間電圧が低くなる。したがって、駆動トランジスタの移動度が大きい画素では、発光期間において発光素子に供給される駆動電流が移動度の小さい画素と同程度の大きさに調整されるようになる。このようにして、画素ごとの駆動トランジスタにおける移動度のばらつきが取り除かれる。

【0065】

次に、発光期間TP8では、図7（c）に示すように、走査線（WSL）210の走査信号がオフ電位（ V_{off} ）に遷移することにより、書込みトランジスタ610がオフ状態となる。これにより、駆動トランジスタ620からの駆動電流（ I_{ds} ）に応じて第2ノード（ND2）660の電位が上昇するとともに、第1ノード（ND1）650の電位も連動して上昇する。このとき、ブートストラップ動作によって、第1ノード（ND1）650と第2ノード（ND2）660との間の電位差（ $V_{sig} - V_{ofs} + V_{th} - \Delta V$ ）は維持される。

【0066】

このように、閾値補正動作により閾値電圧 (V_{th}) に相当する電圧を保持容量 630 に保持させた後に、保持容量 630 の他方の電極に移動度補正動作による上昇量 (ΔV) が加えられる。これにより、画素 600 ごとの駆動トランジスタ 620 における閾値電圧および移動度のばらつきがキャンセルされるため、表示画像に現われるムラなどを防ぐことができる。

【0067】

ここまでの例では、発光素子 640 の寄生容量 641 を無視した理想的な状態における動作を想定して説明した。しかしながら、実際の回路では、閾値補正準備期間 TP3 において画素 600 における第 2 ノード (ND2) 660 の電位が急激に下がる。このことにより、発光素子 640 の寄生容量 641 に起因する容量性カップリングの影響によりカソード電極 690 の電位が低下する。このため、このような表示装置 100 においては、複数の行の画素 600 における第 2 ノード (ND2) 660 の電位が同時に低下することによって、カソード電極 690 におけるカソード電位の変動が大きくなることが想定される。次に、カソード電極 690 から供給される電位が変動する場合における表示装置 100 の動作について以下に図面を参照して説明する。

【0068】

[実際の回路における 1 つの画素が生成するカソード電極の電位変化の例]

図 8 は、閾値補正準備期間 TP3 において第 2 ノード 660 の電位の急激な低下に従ってカソード電極 690 の電位が低下する画素 600 の動作の一例を示すタイミングチャートである。なお、ここでは、閾値補正準備期間 TP3 におけるカソード電極 690 から供給される電位変化以外は、図 4 において示した画素 600 の動作における電位変化と同様のものであるため、図 4 と同符号を付してここでの説明を省略する。また、ここでは、カソード電極 690 の電位変化は、1 つの画素により生成される電位変化であるとして説明する。

【0069】

閾値補正準備期間 TP3 では、電源線 (DSL) 410 の電源信号は電源電位 (V_{cc}) から初期化電位 (V_{ss}) に切り替えられる。これにより、駆動トランジスタ 620 にはドレイン端子側に電流が流れることによって、第 1 ノード (ND1) 650 の電位が「 $V_{ss} + V_{thd}$ 」まで低下する。これにより、第 2 ノード (ND2) 660 の電位も低下する。

【0070】

このとき、理想的な状態における画素 600 のカソード電極 690 の電位は、図 3 において示したように、カソード電位 (V_{cat}) が常に供給されているため一定の電位 (V_{cat}) である。しかしながら、実際の回路における画素 600 のカソード電極 690 の電位は、発光素子 640 の寄生容量 641 に起因する容量性カップリングの影響により第 2 ノード (ND2) 660 の電位の低下に従って僅かに低下する。その後、カソード電極に供給されている電位 (V_{cat}) の影響によりカソード電位 (V_{cat}) へ直ぐに戻る。

【0071】

このように、実際の回路における画素 600 のカソード電極 690 の電位は、第 2 ノード (ND2) 660 の電位の急激な変化の影響を受けて僅かに変化する。この画素 600 におけるカソード電極 690 の電位の低下は、ごく僅かであるため、カソード電極 690 を共有している他の画素 600 に影響を与えることは無い。しかしながら、この電位の低下を引き起こす第 2 ノード (ND2) 660 の電位の低下が複数の画素 600 において同時に生じた場合には、所定の画素 600 の発光に影響を与えることが考えられる。

【0072】

次に、このカソード電極 690 の電位の低下が、複数の画素 600 において同時に生じた場合におけるカソード電極 690 の電位の低下について図面を参照して説明する。

【0073】

〔実際の回路における１つの走査線および同じ電源電位が供給されている複数の走査線が供給されている画素に起因して発生するカソード電極の電位変化の例〕

図９は、カソード電極６９０の電位の低下が複数の画素６００において同時に生じた場合におけるカソード電極６９０の電位の低下の一例を示すタイミングチャートである。図９（ａ）は、走査線（WSL）２１１が接続されている複数の画素６００における第２ノード（ND２）６６０の電位低下に起因して発生するカソード電極６９０の電位変化の一例を示すタイミングチャートである。

【００７４】

図９（ｂ）は、同じ電源電位が供給されている走査線（WSL）２１１乃至２１３が接続されている複数の画素６００における第２ノード（ND２）６６０の電位低下に起因して発生するカソード電極６９０の電位変化の一例を示すタイミングチャートである。ここでは、横軸を時間軸として、閾値補正準備期間ＴＰ３における電源線（DSL）４１１、走査線（WSL）２１１およびカソード電極６９０の信号の電位変化を示している。なお、カソード電極６９０の電位の低下が発生するときの画素６００の動作については、図８において示した画素６００の動作と同様のものであるため、ここでの説明を省略する。なお、各期間を示す横軸の長さは、模式的なものであり、各期間の時間長の割合を示すものではない。

【００７５】

図９（ａ）には、閾値補正準備期間ＴＰ３における走査線（WSL）２１１が接続された複数の画素６００における第２ノード（ND２）６６０の電位低下に起因して発生したカソード電極６９０の電位変化が示されている。

【００７６】

閾値補正準備期間ＴＰ３において、画素６００におけるカソード電極６９０の電位は、図８において示したように、画素６００の第２ノード（ND２）６６０の電位の急激な変化の影響を受けて僅かに低下する。走査線（WSL）２１１は、走査線（WSL）２１１が接続されている複数の画素６００に同じ走査信号を供給する。このため、図８において示したカソード電極６９０の電位の低下は、走査線（WSL）２１１が接続されている複数の画素６００において同時に起こる。

【００７７】

すなわち、走査線（WSL）２１１が供給する走査信号に起因して発生するカソード電極６９０の電位変化は、走査線（WSL）２１１が接続されている全ての画素６００の電位変化が累積された電位変化となる。これにより、カソード電極６９０の電位変化は、カソード電極を共有している他の画素６００の発光に影響を与えるほど大きくはないが、個々の画素６００が生成する電位変化と比べて大きい電位変化となる。

【００７８】

図９（ｂ）には、走査線（WSL）２１１乃至２１３が接続されている複数の画素６００に起因して発生するカソード電極６９０の電位変化が示されている。

【００７９】

この場合、カソード電極６９０の電位変化は、図９（ａ）に示した個々の画素６００により発生する電位変化と比べて大きく、走査線（WSL）２１１乃至２１３毎に発生している。

【００８０】

図３の構成の画素６００においては、複数行（ｊ行）ごとに同じ電源電位が供給されている。このため、電源線を共有する複数の画素６００に起因して発生するカソード電極６９０の電位低下は、全て同時に起こる。これにより、電源線（DSL）４１１の電源信号が供給されている走査線（WSL）２１１乃至２１３で発生するカソード電極６９０の電位低下は、行毎に発生するカソード電極６９０の電位の低下が全て累積された電位低下になる。

【００８１】

すなわち、電源線（DSL）４１１を共有する走査線（WSL）２１１乃至２１３の数

10

20

30

40

50

が多くなるほど、カソード電極 690 の電位の低下は大きくなる。つまり、同じ電源電位が供給されている走査線 (WSL) 211 乃至 213 の数がある程度以上に多くすると、カソード電極 690 の電位変化は、カソード電極を共有している他の画素 600 の動作に影響を与えるほど大きくなる。

【0082】

次に、図 3 の構成の画素 600 において、カソード電極 690 の電位変化の発生に伴う実際の表示装置 100 の動作について図面を参照して説明する。

【0083】

〔実際の回路の表示装置において発生するカソード電極の電位変化の例〕

図 10 は、図 3 の構成の画素 600 においてカソード電極 690 の電位変化が発生する表示装置 100 の一動作例に関するタイミングチャートである。ここでは、表示装置 100 は、複数行 (j 行) ごとに同じ電源電位を供給する 5 本の電源線 (DSL) 411 乃至 415 により電源電位が供給されることを想定する。さらに、ここでは、電源線を共有する走査線 (WSL) の数は、画素 600 の動作に影響を与えるカソード電極 690 の電位変化を発生させる数であると想定する。

【0084】

図 3 の構成の画素 600 においては、図 9 (b) において示したように、電源線 (DSL) 411 乃至 413 の電源信号の電位が初期化電位 (Vss) になると、カソード電極 690 の電位の低下が発生する。このため、カソード電極 690 における電位は、閾値補正準備期間 TP3 において電源線 (DSL) 411 乃至 413 の電源信号がそれぞれ初期化電位 (Vss) となるたびに、大きく低下する。

【0085】

このように、実際の回路における表示装置 100 においては、カソード電極 690 の電位は、一定とならず、変動する。カソード電極 690 の電位は、電源線 (DSL) 411 乃至 413 の電源信号がそれぞれ初期化電位 (Vss) となるたびに、大きく低下する。すなわち、カソード電極 690 の電位は、カソード電位 (Vcat) から大きく低下した後、カソード電位 (Vcat) に戻ることを一定の周期で繰り返す。このカソード電極 690 の電位の低下は、画素 600 の発光に影響を与える場合がある。次に、このカソード電極 690 の電位低下が画素 600 の動作に影響を与える場合における画素 600 の動作について図面を参照して説明する。

【0086】

〔カソード電極の電位変化により画素の発光が明るくなる例〕

図 11 は、図 3 の構成の画素 600 におけるカソード電極 690 の電位の低下により画素 600 の発光が明るくなる場合における画素 600 の動作の一例を示すタイミングチャートである。ここでは、横軸を共通の時間軸として、電源線 (DSL) 410、データ線 (DTL) 310、走査線 (WSL) 210、第 2 ノード (ND2) 660、第 1 ノード (ND1) 650、カソード電極 690 の電位変化を表している。第 2 ノード (ND2) 660 および第 1 ノード (ND1) 650 については、実際の回路においてカソード電極 690 の電位変化の影響を受けた場合における電位変化を破線および実線により、この影響を受けない理想的な状態における電位変化を鎖線により示す。なお、各期間を示す横軸の長さは模式的なものであり、各期間の時間長の割合を示すものではない。また、ここでは、期間 TP5 乃至 TP8 以外の期間の動作は、図 4 において示した画素 600 の動作と同様のものであるため図 4 と同符号を付してここでの説明を省略する。さらに、ここでは、閾値補正期間 TP5 における後半のタイミングでカソード電極 690 の電位の低下の影響を受けた画素 600 の動作について説明する。

【0087】

カソード電極 690 の電位変化により発光が明るくなる画素 600 の閾値補正期間 TP5 では、不正確な閾値電圧補正動作が行われる。この画素 600 の閾値補正期間 TP5 では、カソード電極 690 の電位が低下するまでは図 4 と同様に書込みトランジスタ 610 をオン状態にすることで第 1 ノード (ND1) 650 および第 2 ノード (ND2) 650

の電位は上昇する。しかしながら、閾値補正期間 T P 5 の後半でカソード電極 6 9 0 の電位が低下を開始すると、発光素子 6 4 0 の寄生容量 6 4 1 を介した容量性カップリングにより第 2 ノード (N D 2) 6 6 0 の電位も低下する。このとき、第 1 ノード (N D 1) 6 5 0 の電位は、データ線 (D T L) 3 1 0 から基準信号の電位 (V o f s) が供給されているため、基準信号の電位 (V o f s) のままである。

【 0 0 8 8 】

すなわち、第 1 ノード (N D 1) 6 5 0 には、基準信号の電位 (V o f s) が印加され、第 2 ノード (N D 2) 6 6 0 には、駆動トランジスタ 6 2 0 におけるソース端子側の閾値電位 (V o f s - V t h) より低い電位が印加される。これにより、第 1 ノード (N D 1) 6 5 0 と第 2 ノード (N D 2) 6 6 0 との間の電圧は、理想的な状態における閾値電圧 (V t h) より大きい電圧 (V t h p) となる。そして、第 1 ノード (N D 1) 6 5 0 と第 2 ノード (N D 2) 6 6 0 との間の電圧が閾値電圧 (V t h) より大きい電圧 (V t h p) に維持されたまま、閾値補正期間 T P 5 は終了する。

【 0 0 8 9 】

その後、期間 T P 6 では、第 1 ノード (N D 1) 6 5 0 の電位および第 2 ノード (N D 2) 6 6 0 の電位の上昇が起こる。この期間 T P 6 では、一旦、走査線 (W S L) 2 1 0 に供給される走査信号の電位がオフ電位 (V o f f) に落とされる。これにより、第 1 ノード (N D 1) 6 5 0 が浮遊状態となる。理想的な状態の画素 6 0 0 においては、第 1 ノード (N D 1) 6 5 0 と第 2 ノード (N D 2) 6 6 0 との間の電圧が閾値電圧 (V t h) であるため第 1 ノード (N D 1) 6 5 0 および第 2 ノード (N D 2) 6 6 0 の電位は上昇しない。

【 0 0 9 0 】

これに対し、電位変化の影響を受ける画素 6 0 0 においては、第 1 ノード (N D 1) 6 5 0 および第 2 ノード (N D 2) 6 6 0 の電位が上昇する。この電位の上昇は、第 1 ノード (N D 1) 6 5 0 と第 2 ノード (N D 2) 6 6 0 との間の電位差 (V t h p) に基づく電位の上昇に加えて、カソード電極 6 9 0 の電位がカソード電位 (V c a t) に戻る際の電位の上昇の影響によるものである。そして、第 1 ノード (N D 1) 6 5 0 の電位は、保持容量 6 3 0 を介したカップリング (ブートストラップ動作) により第 1 ノード (N D 1) 6 5 0 と第 2 ノード (N D 2) 6 6 0 との間の電位差 (V t h p) を維持したまま上昇する。すなわち、第 1 ノード (N D 1) 6 5 0 および第 2 ノード (N D 2) 6 6 0 は、T P 5 において加えられていた電位から「 $\Delta V o f s$ 」だけ上昇する。これにより、第 1 ノード (N D 1) 6 5 0 の電位は、基準信号の電位 (V o f s) に比べて高い電位になり、第 2 ノード (N D 2) 6 6 0 の電位は、駆動トランジスタ 6 2 0 におけるソース端子側の閾値電位 (V o f s - V t h) に比べて低い電位となる。

【 0 0 9 1 】

続いて、書込み期間／移動度補正期間 T P 7 では、走査線 (W S L) 2 1 0 の走査信号がオン電位 (V o n) に上げられることによって、第 1 ノード (N D 1) 6 5 0 の電位が映像信号の電位 (V s i g) まで上昇する。そして、第 2 ノード (N D 2) 6 6 0 の電位は、図 4 において示した書込み期間／移動度補正期間 T P 7 と同様に、T P 6 において加えられていた電位から上昇する。この場合における移動度補正は、T P 6 において加えられた第 2 ノード (N D 2) 6 6 0 の電位が駆動トランジスタ 6 2 0 におけるソース端子側の閾値電位 (V o f s - V t h) より低い電位であるため、不正確な移動度補正となる。

【 0 0 9 2 】

この不正確な移動度補正により、第 2 ノード (N D 2) 6 6 0 の電位は、期間 T P 6 において加えられた電位から不正確な移動度補正による上昇量 ($\Delta V p$) だけ上昇する。すなわち、走査線 (W S L) 2 1 0 の走査信号がオン電位 (V o n) になることによって、保持容量 6 3 0 の一方の電極には映像信号の電位 (V s i g) が書き込まれる。それとともに、保持容量 6 3 0 の他方の電極には、期間 T P 6 において加えられていた電位から不正確な移動度補正による上昇量 ($\Delta V p$) だけ上昇した電位が加えられる。これにより、保持容量 6 3 0 には、理想的な状態において保持される電圧 ($V s i g - (V o f s -$

$V_{th}) + \Delta V)$ よりも大きい電圧 ($V_{sig} - ((V_{ofs} + \Delta V_{ofs} - V_{thp}) + \Delta V_p)$) が保持される。

【0093】

この後、発光期間 $TP8$ では、走査線 (WSL) 210 の走査信号がオフ電位 (V_{off}) に設定される。これにより、保持容量 630 に保持された電圧 ($V_{sig} - ((V_{ofs} + \Delta V_{ofs} - V_{thp}) + \Delta V_p)$) に応じた輝度により発光素子 640 が発光する。この保持容量 630 に保持された電圧 ($V_{sig} - ((V_{ofs} + \Delta V_{ofs} - V_{thp}) + \Delta V_p)$) は、理想的な状態の画素 600 において保持される電圧 ($V_{sig} - ((V_{ofs} - V_{th}) + \Delta V)$) よりも大きい。このため、第2ノード (ND2) 660 の電位は、理想的な状態の画素 600 における第2ノード (ND2) 660 の電位より
10
も大きくなる。このため、閾値補正期間 $TP5$ における後半のタイミングでカソード電極 690 の電位低下の影響を受けた画素 600 の輝度は、閾値電圧 (V_{th}) および移動度のばらつきを正しく補正した場合における輝度よりも、高い輝度となる。

【0094】

このように、閾値補正期間 $TP5$ における後半のタイミングにおいてカソード電極 690 の電位低下の影響を受けた場合には、画素 600 の発光の輝度は、理想的な状態における場合の輝度と比べて高い輝度となり明るくなってしまう。

【0095】

[カソード電極の電位変化により画素の発光が暗くなる例]

図12は、図3の構成の画素 600 におけるカソード電極 690 の電位変化により画素 600 の発光が暗くなる場合における画素 600 の動作の一例を示すタイミングチャートである。ここでは、第2ノード (ND2) 660、第1ノード (ND1) 650、カソード電極 690 の電位変化以外は、図11において示したものと同様であるため詳細な説明を省略する。また、ここでは、閾値補正期間 $TP5$ が開始する直前のタイミングでカソード電極 690 の電位低下の影響を受けた画素 600 の動作について説明する。
20

【0096】

カソード電極 690 の電位変化により画素 600 の発光が暗くなる場合において、閾値補正待機期間 $TP4$ では、不必要な第2ノード (ND2) 660 および第1ノード (ND1) 650 の電位の低下が起こる。カソード電極 690 の電位が低下するまでは、図4と同様に、第1ノード (ND1) 650 および第2ノード (ND2) 660 の電位は、電源線 (DSL) 410 の電源信号の初期化電位 (V_{ss}) 付近の電位に維持される。
30

【0097】

しかしながら、閾値補正期間 $TP5$ が開始する直前でカソード電極 690 の電位が低下を開始すると、発光素子 640 の寄生容量 641 を介した容量性カップリングによって第2ノード (ND2) 660 の電位も低下する。このとき、第1ノード (ND1) 650 の電位は、保持容量 630 を介したカップリングによる第2ノード (ND2) 660 の電位の低下量に応じて低下する。これにより、第1ノード (ND1) 650 の電位と第2ノード (ND2) 660 の電位は、電源線 (DSL) 410 の初期化電位 (V_{ss}) 付近の電位より低い電位になる。
40

【0098】

続いて、閾値補正期間 $TP5$ では、図4と同様に、書込みトランジスタ 610 をオン状態にすることで第1ノード (ND1) 650 および第2ノード (ND2) 660 の電位は上昇する。このとき、第2ノード (ND2) 660 の電位上昇は、カソード電極 690 の電位がカソード電位 (V_{cat}) まで戻る際の電位変化の影響も合わせたものである。第2ノード (ND2) 660 の電位は、この容量性カップリングの影響により上昇することによって、駆動トランジスタ 620 におけるソース端子側の閾値電位 ($V_{ofs} - V_{th}$) よりも高い電圧になる。すなわち、第1ノード (ND1) 650 の電位には、基準信号の電位 (V_{ofs}) が印加され、第2ノード (ND2) 660 には、駆動トランジスタ 620 におけるソース端子側の閾値電位 ($V_{ofs} - V_{th}$) より高い電位が印加される。これにより、第1ノード (ND1) 650 と第2ノード (ND2) 660 との間の電圧は
50

、理想的な状態における閾値電圧 (V_{th}) より小さい電圧 (V_{thp}) となる。

【0099】

その後、期間TP6では、第1ノード (ND1) 650の電位および第2ノード (ND2) 660の電位の上昇が起こる。この期間TP6では、第1ノード (ND1) 650と第2ノード (ND2) 660との間の電圧は、理想的な状態の画素600における閾値電圧 (V_{th}) より小さい電圧 (V_{thp}) であるため、駆動トランジスタ620には電流はほとんど流れない。このとき、第2ノード (ND2) 660の電位は、カソード電極690の電位がカソード電位 (V_{cat}) に戻る際の電位の上昇に基づいて上昇する。

【0100】

また、第1ノード (ND1) 650の電位は、保持容量630を介したカップリングにより第1ノード (ND1) 650と第2ノード (ND2) 660との間の電位差 (V_{thp}) を保持したまま上昇する。すなわち、第1ノード (ND1) 650および第2ノード (ND2) 660は、閾値補正期間TP5において加えられていた電位から「 ΔV_{ofs} 」だけ上昇する。これにより、第1ノード (ND1) 650の電位は、基準信号の電位 (V_{ofs}) より高い電位になり、第2ノード (ND2) 660の電位は、駆動トランジスタ620におけるソース端子側の閾値電位 ($V_{ofs} - V_{th}$) より高い電位となる。

【0101】

続いて、書込み期間／移動度補正期間TP7では、走査線 (WSL) 210の走査信号がオン電位 (V_{on}) に上げられることによって、第1ノード (ND1) 650の電位が映像信号の電位 (V_{sig}) まで上昇する。それとともに、第2ノード (ND2) 660の電位は、図4において示した書込み期間／移動度補正期間TP7と同様に、TP6において加えられていた電位から上昇する。

【0102】

この場合における移動度補正は、期間TP6において加えられていた第2ノード (ND2) 660の電位が駆動トランジスタ620におけるソース端子側の閾値電位 ($V_{ofs} - V_{th}$) より高い電位であるため、不正確な移動度補正となる。この不正確な移動度補正により、第2ノード (ND2) 660の電位は、期間TP6において加えられていた電位から不正確な移動度補正による上昇量 (ΔV_p) だけ上昇する。これにより、保持容量630には、理想的な状態において保持される電圧 ($V_{sig} - ((V_{ofs} - V_{th}) + \Delta V)$) よりも小さい電圧 ($V_{sig} - ((V_{ofs} + \Delta V_{ofs} - V_{thp}) + \Delta V_p)$) が保持される。

【0103】

この後、発光期間TP8では、走査線 (WSL) 210の走査信号がオフ電位 (V_{off}) に設定される。これにより、保持容量630に保持された電圧 ($V_{sig} - ((V_{ofs} + \Delta V_{ofs} - V_{thp}) + \Delta V_p)$) に応じた輝度により発光素子640が発光する。この保持容量630に保持された電圧 ($V_{sig} - ((V_{ofs} + \Delta V_{ofs} - V_{thp}) + \Delta V_p)$) は、理想的な状態の画素600において保持される電圧 ($V_{sig} - ((V_{ofs} - V_{th}) + \Delta V)$) よりも小さい。このため、第2ノード (ND2) 660の電位は、理想的な状態の画素600における第2ノード (ND2) 660の電位よりも小さくなる。これにより、閾値補正期間TP5が開始する直前のタイミングにおいてカソード電極690の電位の低下の影響を受けた画素600の輝度は、閾値電圧 (V_{th}) および移動度のばらつきを正しく補正した場合における輝度よりも、低い輝度になる。

【0104】

このように、閾値補正期間TP5が開始する直前のタイミングでカソード電極690の電位低下の影響を受けた画素600の発光の輝度は、理想的な状態における場合の輝度と比べて低い輝度となり暗くなってしまう。

【0105】

次に、カソード電極690の電位変化が図11および図12において示したように画素600の動作に影響を与える場合における表示装置100の表示例について図面を参照して説明する。

10

20

30

40

50

【0106】

[カソード電極の電位変化の影響を受けた表示装置の表示の例]

図13は、図3の構成の画素600におけるカソード電極690の電位変化が図11および図12において示したように、画素600の動作に影響を与える場合における表示装置100に表示される表示画像に関する図である。ここでは、表示装置100に入力される入力画像は、全てが灰色である画像を想定する。

【0107】

電源線共用領域451乃至455は、同一の電源信号が供給される画素600によって表示されるそれぞれの領域を示す。この電源線共用領域451乃至455では、図11において示した輝度が高くなる画素600については灰色より明るい色により、図12において示した輝度が低くなる画素600については灰色より暗い色により示している。

【0108】

このように、表示装置100に表示される表示画像は、カソード電極690の電位変化の影響によって、電源線共用領域451乃至455の所定の行にスジが入る画像になってしまう。このため、カソード電極690の電位変化を軽減するために改良したものが、次に説明する第1の実施の形態である。

【0109】

<2. 第1の実施の形態>

[画素の構成例]

図14は、本発明の第1の実施の形態における画素600の構成例を模式的に示す回路図である。この画素600は、図3に示した画素600の構成に加えて制御トランジスタ670を備えている。ここでは、制御トランジスタ670以外の構成は、図3と同様のものであるため、図3と同符号を付してここでの各部の構成の説明を省略する。

【0110】

この構成において、制御トランジスタ670は、そのゲート端子およびソース端子に書き込みトランジスタ610のソース端子が接続され、そのドレイン端子に電源線(DSL)410が接続される。

【0111】

制御トランジスタ670は、電源信号の切替えによるカソード電極690における電位低下のタイミングを遅らせるための役割を果たすものである。この制御トランジスタ670は、第1ノード(ND1)650と電源線(DSL)410との間を接続している。さらに、この制御トランジスタ670は、そのゲート端子をそのソース端子にダイオード接続している。そのため、この制御トランジスタ670は、例えば、第1ノード(ND1)650の電位が電源線(DSL)410の電位より高い場合には、第1ノード(ND1)650と電源線(DSL)410とを導通させる。このことによって、制御トランジスタ670は、駆動トランジスタ620のソース端子の電位を低下させる。なお、制御トランジスタ670は、特許請求の範囲に記載の接続素子の一例である。

【0112】

[画素の基本動作の例]

図15は、本発明の第1の実施の形態における画素600の基本動作の一例に関するタイミングチャートである。このタイミングチャートには、横軸を共通の時間軸として、走査線(WSL)210、データ線(DTL)310、電源線(DSL)410、第1ノード(ND1)650、第2ノード(ND2)660およびカソード電極690の電位変化が示されている。ここでは、走査線(WSL)210およびカソード電極690については、第1の実施の形態における電位変化が実線により、従来構成における電位変化が鎖線により示されている。なお、各期間を示す横軸の長さは模式的なものであり、各期間の時間長の割合を示すものではない。また、ここでは、閾値補正準備期間TP3-1乃至3-3以外の期間における画素600の動作は、図8において示した画素600の動作と同様であるため、ここでの説明を省略する。また、この例では、カソード電極690の電位変化は、1つの画素600により生じる電位変化として説明する。

【0113】

閾値補正準備期間TP3-1では、電源線(DSL)410の電源信号は電源電位(Vcc)から初期化電位(Vss)に切り替えられる。これにより、第1ノード(ND1)650の電位は、制御トランジスタ670を介して第1ノード(ND1)650から電源線(DSL)410に電流が流れることによって、「Vss+Vthc」まで低下する。ここで、Vthcは制御トランジスタ670におけるドレイン側の閾値電圧に相当する電圧である。このとき、第2ノード(ND2)660から駆動トランジスタ620を介して電源線(DSL)410の方向に電流が流れるため、第2ノード(ND2)660の電位は「Vy」まで低下する。なお、閾値補正準備期間TP3-1乃至3-3における電源線(DSL)410の電源信号の初期化電位(Vss)は、特許請求の範囲に記載の低電源電位の一例である。

10

【0114】

次に、閾値補正準備期間の第2ノード電位低下期間TP3-2では、走査線(WSL)210の走査信号はオフ電位(Voff)からオン電位(Von)に切り替えられる。これにより、書込みトランジスタ610が導通状態となるため、第1ノード(ND1)650の電位が「Va」まで上昇する。この時、駆動トランジスタ620のゲートソース間電圧が閾値電圧(Vth)より大きければ、この第1ノード(ND1)650の電位上昇により、第2ノード(ND2)660から電源線(DSL)410の方向に駆動トランジスタ620を介して電流が流れる。これにより、第2ノード(ND2)660の電位は「Vss」まで低下する。すなわち、駆動トランジスタ620のゲート端子の電位の上昇によって、発光素子640の入力端子の電位が「Vss」まで低下する。また、この第2ノード(ND2)660の電位の低下は、発光素子640の寄生容量641を介した容量性カップリングにより、カソード電極690の電位を、カソード電位(Vcat)から僅かに低下させる。

20

【0115】

一方、鎖線で示された従来構成における1つの画素600により生じるカソード電極690の電位変化は、閾値補正準備期間が開始した直後に低下する。なお、この閾値補正準備期間の第2ノード電位低下期間TP3-2における走査線(WSL)210の走査信号のオン電位(Von)は、特許請求の範囲に記載のオン電位の一例である。

【0116】

次に、閾値補正準備期間TP3-3では、走査線(WSL)210の走査信号はオン電位(Von)からオフ電位(Voff)に切り替えられる。これにより、第1ノード(ND1)650の電位は、閾値補正準備期間TP3-1と同様にして「Vss+Vthc」まで低下する。このとき、この第1ノード(ND1)650の電位の低下に伴う保持容量630を介したカップリングによって、第2ノード(ND2)660に伝わることによって、第2ノード(ND2)660の電位は「Vss」から僅かに低下する。

30

【0117】

このように、制御トランジスタ670を備える画素600に閾値補正準備期間の第2ノード電位低下期間TP3-2を設けることによって、カソード電極690の電位が低下するタイミングを第2ノード電位低下期間TP3-2にすることができる。

40

【0118】

[画素の動作状態の詳細]

次に、上述の画素600の動作について以下に図面を参照して説明する。以下の図面では、図15に示したタイミングチャートにおける閾値補正準備期間TP3-1乃至3-3に対応する画素600の動作状態を示す。ここでは、閾値補正準備期間TP3-1乃至3-3以外の期間の動作状態は、図5乃至7において示した動作状態と同様のものであるため説明を省略する。なお、便宜上、発光素子640の寄生容量641を図示する。また、書込みトランジスタ610をスイッチとして図示し、走査線(WSL)210については省略する。

【0119】

50

図16(a)乃至(c)は、本発明の第1の実施の形態における閾値補正準備期間TP3-1乃至3-3の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

【0120】

閾値補正準備期間TP3-1では、図16(a)に示すように、電源線(DSL)410の電源信号が電源電位(Vcc)から初期化電位(Vss)に切り替えられる。この期間の開始直後においては、第1ノード(ND1)650の電位は、電源線(DSL)410の電位(Vss)よりも高いため、制御トランジスタ670を介して第1ノード(ND1)650から電源線(DSL)410に電流が流れる。これらにより、第1ノード(ND1)650の電位は低下する。このとき、第1ノード(ND1)650の電位と電源線(DSL)410の初期化電位(Vss)との間の電位差が制御トランジスタ670におけるドレイン側の閾値電圧(Vthc)に相当する電圧となるまで、第1ノード(ND1)650の電位は低下する。すなわち、第1ノード(ND1)650の電位は「Vss+Vthc」まで低下する。

【0121】

また、第2ノード(ND2)660の電位も、電源線(DSL)410の電源信号が初期化電位(Vss)になることによって駆動トランジスタ620を介して電源線(DSL)410の方向に電流が流れるため、低下する。この電流が流れる速度は、第2ノード(ND2)660に付帯する容量の大きさが小さいほど速い。第2ノード(ND2)660に係る容量と第1ノード(ND1)650に係る容量とを比べると、第2ノード(ND2)660には保持容量630よりも大きい発光素子640の寄生容量641が付帯するため、第2ノード(ND2)660の容量の方が大きい。そのため、第2ノード(ND2)660の電位が低下する速度は、第1ノード(ND1)650の電位が低下する速度と比べて遅くなる。

【0122】

また、第1ノード(ND1)650の電位が「Vss+Vthc」まで低下すると、第1ノード(ND1)650の電位と電源線(DSL)410との間の電圧は、駆動トランジスタ620のドレイン端子の閾値電圧「Vthd」付近の電圧になる。これにより、第2ノード(ND2)660の電位は、急激に低下した後、緩やかに低下することによって「Vy」まで低下する。

【0123】

次に、閾値補正準備期間の第2ノード電位低下期間TP3-2では、図16(b)に示すように、走査線(WSL)210の走査信号はオフ電位(Voff)からオン電位(Von)に切り替えられる。これにより、データ線(DTL)310のデータ信号の基準信号(Vofs)が第1ノード(ND1)650に供給される。これにより、第1ノード(ND1)650の電位が上昇するため、第1ノード(ND1)650と電源線(DSL)410との間の電圧が大きくなる。このため、制御トランジスタ670を介してデータ線(DTL)310から電源線(DSL)410に電流が流れる。

【0124】

この場合において、制御トランジスタ670は、電源線(DSL)410と第1ノード(ND1)650との間に接続された抵抗として働く。この制御トランジスタ670の抵抗としての機能により電圧降下が発生するため、第1ノード(ND1)650の電位は、データ線(DTL)310のデータ信号の基準信号(Vofs)の電位よりも低い電位になる。このようにして、第1ノード(ND1)650の電位は、データ線(DTL)310のデータ信号の基準信号(Vofs)の電位よりも低い電位である「Va」まで上昇する。

【0125】

また、この第1ノード(ND1)650の電位の上昇により、電源線(DSL)410と第1ノード(ND1)650との間の電圧が駆動トランジスタ620の閾値電圧(Vthd)よりも大きくなる。このため、駆動トランジスタ620が導通状態になり、第2ノ

10

20

30

40

50

ード（ND2）660から電源線（DSL）410に電流が流れる。これにより、第2ノード（ND2）660の電位は、「Vy」から電源線（DSL）410の電源信号の初期化電位（Vss）まで低下する。また、この第2ノード（ND2）660の電位の低下は、発光素子640の寄生容量641を介した容量性カップリングにより、カソード電極690の電位を、「Vcat」から僅かに低下させる。

【0126】

第2ノード電位低下期間TP3-2に続いて、閾値補正準備期間3-3では、図16（c）に示すように、走査線（WSL）210の走査信号はオン電位（Von）からオフ電位（Voff）に切り替えられる。これにより、第1ノード（ND1）650の電位（Vofs）は、閾値補正準備期間TP3-1と同様にして「Vss+Vthc」まで低下する。このとき、この第1ノード（ND1）650の電位の低下に伴う保持容量630を介したカップリングによって、第2ノード（ND2）660の電位は「Vss」から僅かに低下する。

【0127】

次に、本発明の第1の実施の形態における電源線を共有する複数の走査線の走査信号に起因して発生するカソード電極690の電位変化について図面を参照して説明する。

【0128】

〔本発明の第1の実施の形態における同じ電源電位が供給されている複数の走査線に起因して発生するカソード電極の電位変化の例〕

図17は、本発明の第1の実施の形態における電源線を共有する複数の走査線（WSL）211乃至213の走査信号に起因して発生するカソード電極690の電位変化の一例に関するタイミングチャートである。ここでは、横軸を時間軸として、閾値補正準備期間TP3-1乃至3-3における電源線（DSL）411、走査線（WSL）211およびカソード電極690の信号の電位変化を示している。走査線（WSL）211乃至213およびカソード電極690については、第1の実施の形態における電位変化を実線により、従来構成における電位変化を鎖線により示す。なお、各期間を示す横軸の長さは、模式的なものであり、各期間の時間長の割合を示すものではない。

【0129】

本発明の第1の実施の形態において、走査線（WSL）211乃至213が接続された画素600には、電源線（DSL）411により同じ電源電位が供給されている。この画素600における閾値補正準備期間の第2ノード電位低下期間3-2が開始するタイミングは、走査線（WSL）211乃至213ごとに異なる。このため、カソード電極690の電位が低下するタイミングは、走査線（WSL）211乃至213毎に異なる。これにより、カソード電極690の電位変化は、走査線（WSL）211乃至213の走査信号ごとに分散されるため、画素600の発光に影響を与えない程度の電位変化となる。

【0130】

このように、本発明の第1の実施の形態の表示装置100では、カソード電極690の電位が低下するタイミングを走査線毎の第2ノード電位低下期間TP3-2にすることができる。これにより、本発明の第1の実施の形態においては、従来構成に比べて、カソード電極690の電位の変動量を抑制することができるため、画素600の動作に与える影響を軽減することができる。すなわち、本発明の第1の実施の形態の表示装置100は、表示装置の画質を改善させることができる。

【0131】

次に、本発明の第2の実施の形態における表示装置100について図面を参照して説明する。

【0132】

<3. 第2の実施の形態>

〔本発明の第2の実施の形態における表示装置の構成例〕

図18は、本発明の第2の実施の形態における表示装置100の一構成例を示す概念図である。この表示装置100は、図1に示した表示装置100の構成に加えて制御補助ス

10

20

30

40

50

キャナ８００を備えている。さらに、この表示装置１００は、制御補助スキャナ８００と制御トランジスタ６７０のゲート端子との間を接続する制御線８１０が設けられている。また、この表示装置１００には、制御補助スキャナ８００とタイミング生成部７００との間を接続するスタートパルス線（ＳＰＬ）７１４およびクロックパルス線（ＣＫＬ）７２４が設けられている。ここでは、制御補助スキャナ８００、制御線８１０、および、タイミング生成部７００以外の構成は、図１および図１４で示したものと同様のものであるため、同一符号を付してここでの説明を省略する。

【０１３３】

この構成において、制御線８１０は、画素６００の各行に対してそれぞれ配線され、制御トランジスタ６７０のゲート端子に接続される。

10

【０１３４】

タイミング生成部７００は、スタートパルス線（ＳＰＬ）７１４およびクロックパルス線（ＣＫＬ）７２４を介して、制御補助スキャナ８００の動作に対するスタートパルスおよびクロックパルスを制御補助スキャナ８００に供給する。なお、このタイミング生成部７００は、図１において示したタイミング生成部７００と同様のものであるため、ここでの詳細な説明を省略する。

【０１３５】

制御補助スキャナ８００は、画素６００における制御トランジスタ６７０をオン状態またはオフ状態に制御するものである。この制御トランジスタ６７０は、制御トランジスタ６７０をオン状態にするための制御オン電位、制御トランジスタ６７０をオフ状態にするための制御オフ電位を制御補助信号として生成する。この制御補助スキャナ８００は、スタートパルス線（ＳＰＬ）７１４を介して供給されるスタートパルスに基づいて制御補助信号を生成する。この制御補助スキャナ８００は、生成した制御補助信号を、制御線８１０を介して制御トランジスタ６７０に供給する。なお、この制御補助スキャナ８００は、特許請求の範囲に記載の制御回路の一例である。

20

【０１３６】

制御トランジスタ６７０は、制御補助スキャナ８００から制御線８１０を介して供給される制御補助信号に基づいて、第１ノード（ＮＤ１）６７０と電源線（ＤＳＬ）４１０との間の接続を行うものである。この制御トランジスタ６７０は、制御補助信号として制御オン電位が供給されている場合にはオン状態となり、第１ノード（ＮＤ１）６７０と電源線（ＤＳＬ）４１０との間を接続する。なお、この制御トランジスタ６７０は、特許請求の範囲に記載の接続素子の一例である。

30

【０１３７】

〔本発明の第２の実施の形態における画素の基本動作の例〕

図１９は、本発明の第２の実施の形態における画素６００の基本動作の一例に関するタイミングチャートである。ここでは、図１５において示した電位変化に加え、制御線８１０の電位変化が示されている。なお、第１ノード（ＮＤ１）６５０、第２ノード（ＮＤ２）６６０および制御線８１０の電位変化以外は、図１５において示したものと同様である。また、閾値補正準備期間ＴＰ３－１乃至３－３以外の期間の動作は、図８において示した画素６００の従来構成における動作と同様のものである。これらのため、ここでは、閾値補正準備期間ＴＰ３－１乃至３－３以外の期間の動作については説明を省略する。また、ここでは、カソード電極６９０の電位変化は、１つの画素が生成する電位変化であるとして説明する。

40

【０１３８】

本発明の第２の実施の形態における閾値補正準備期間ＴＰ３－１では、電源線（ＤＳＬ）４１０の電源信号は電源電位（Ｖｃｃ）から初期化電位（Ｖｓｓ）に切り替えられる。この時、第２ノード（ＮＤ２）６６０から電源線（ＤＳＬ）４１０に電流が流れ、第２ノード（ＮＤ２）６６０の電位は低下を始める。ここで、発光素子６４０の寄生容量６４１が大きければ、第２ノード（ＮＤ２）６６０の電位は緩やかに低下する。また、この第２ノード（ＮＤ２）６６０の電位の低下に伴い、第１ノード（ＮＤ１）６５０も低下を始め

50

る。そして、所定のタイミングで、制御線 810 の制御補助信号の電位が制御オフ電位 (Voffc) から制御オン電位 (Vonc) に切り替えられる。第 1 ノード (ND1) 650 の電位は、書込みトランジスタ 610 がオフ状態であるため、電源線 (DSL) 410 の電源信号の電位 (Vss) まで低下する。この時、駆動トランジスタ 620 のゲートソース間電圧が駆動トランジスタ 620 のドレイン端子の閾値電圧 (Vthd) よりも小さくなると、第 2 ノード (ND2) 660 から電源線 (DSL) 410 に電流がほとんど流れなくなる。このため、最終的に第 2 ノード (ND2) 660 の電位は「Vyy」まで低下する。

【0139】

そして、第 1 ノード (ND1) 650 の電位が「Vss」まで低下した後に、所定のタイミングで、制御線 810 の制御補助信号の電位が制御オン電位 (Vonc) から制御オフ電位 (Voffc) に切り替えられる。なお、制御オン電位 (Vonc) は、特許請求の範囲に記載の接続制御信号の一例である。

【0140】

次に、本発明の第 2 の実施の形態における閾値補正準備期間の第 2 ノード電位低下期間 TP3-2 では、走査線 (WSL) 210 の走査信号はオフ電位 (Voff) からオン電位 (Von) に切り替えられる。これにより、データ線 (DTL) 310 のデータ信号の基準信号 (Vofs) が第 1 ノード (ND1) 650 に供給される。このとき、制御線 810 の制御補助信号は制御オフ電位 (Voffc) であるため、第 1 ノード (ND1) 650 の電流は制御トランジスタ 670 には流れない。これらにより、第 1 ノード (ND1) 650 の電位が「Vofs」まで上昇する。この第 1 ノード (ND1) 650 の電位に基づいて、第 2 ノード (ND2) 660 から電源線 (DSL) 410 の方向に駆動トランジスタ 620 を介して電流が流れる。このため、第 2 ノード (ND2) 660 の電位は「Vss」まで低下する。

【0141】

また、この第 2 ノード (ND2) 660 の電位の低下は、発光素子 640 の寄生容量 641 を介した容量性カップリングにより、カソード電極 690 の電位を、「Vcat」から僅かに低下させる。そして、第 2 ノード (ND2) 660 の電位は「Vss」まで低下した後の所定のタイミングで、走査線 (WSL) 210 の走査信号はオフ電位 (Voff) からオン電位 (Von) に切り替えられる。

【0142】

次に、本発明の第 2 の実施の形態における閾値補正準備期間 TP3-3 では、制御線 810 の制御補助信号の電位が、制御オフ電位 (Voffc) から制御オン電位 (Vonc) に切り替えられる。これにより、第 1 ノード (ND1) 650 の電位 (Vofs) は、閾値補正準備期間 TP3-1 と同様にして「Vss」まで低下する。このとき、この第 1 ノード (ND1) 650 の電位の低下に伴う保持容量 630 を介したカップリングによって、第 2 ノード (ND2) 660 の電位は「Vss」から僅かに低下する。

【0143】

このように、本発明の第 2 の実施の形態にさらに制御補助スキャナ 800 を備えることによって、カソード電極 690 の電位が低下するタイミングを第 2 ノード電位低下期間 TP3-2 にすることができる。

【0144】

[本発明の第 2 の実施の形態における画素の動作状態の詳細]

次に、上述の画素 600 の動作について以下に図面を参照して説明する。以下の図面では、図 19 に示したタイミングチャートにおける閾値補正準備期間 TP3-1 乃至 3-3 に対応する画素 600 の動作状態を示す。ここでは、閾値補正準備期間 TP3-1 乃至 3-3 以外の期間の動作状態は、図 5 乃至図 7 において示した動作状態と同様のものであるため説明を省略する。なお、便宜上、発光素子 640 の寄生容量 641 を図示する。また、書込みトランジスタ 610 および制御トランジスタ 670 をスイッチとして図示し、走査線 (WSL) 210 および制御線 810 については省略する。

【0145】

図20(a)乃至(c)は、本発明の第2の実施の形態における閾値補正準備期間TP3-1乃至3-3の期間にそれぞれ対応する画素600の動作状態を模式的に示す回路図である。

【0146】

閾値補正準備期間TP3-1では、図20(a)に示すように、電源線(DSL)410の電源信号が電源電位(Vcc)から初期化電位(Vss)に切り替えられる。この時、第2ノード(ND2)660から電源線(DSL)410に電流が流れ、第2ノード(ND2)660の電位は低下を始める。この第2ノード(ND2)660の電位の低下は、発光素子640の寄生容量641が大きければ緩やかに低下するため、第2ノード(ND2)660の電位は緩やかに低下する。また、この第2ノード(ND2)660の電位の緩やかな低下に伴い、第1ノード(ND1)650も低下を始める。そして、所定のタイミングで制御線810の制御補助信号の電位が制御オフ電位(Voffc)から制御オン電位(Vonc)に切り替えられる。これらにより、制御トランジスタ670が導通状態となるため、第1ノード(ND1)650から電源線(DSL)410に電流が流れる。このとき、走査線(WSL)210の走査信号の電位がオフ電位(Voff)であるため、第1ノード(ND1)650にはデータ信号が供給されていない。これらにより、第1ノード(ND1)650の電位は「Vss」まで低下する。すなわち、本発明の第2の実施の形態における制御トランジスタ670は、制御補助信号の制御オン電位(Vonc)と電源信号の初期化電位(Vss)とに基づいて書込みトランジスタ610のソース端子の電位を「Vss」まで低下させる。

【0147】

また、第2ノード(ND2)660の電位も、電源線(DSL)410の電源信号が初期化電位(Vss)になることによって駆動トランジスタ620を介して電源線(DSL)410の方向に電流が流れるため、低下する。この電流が流れる速度は、第2ノード(ND2)660に係る容量の大きさが小さいほど速い。第2ノード(ND2)660に係る容量と第1ノード(ND1)650に係る容量とを比べると、第2ノード(ND2)660には保持容量630よりも大きい発光素子640の寄生容量641に係るため、第2ノード(ND2)660の容量の方が大きい。そのため、第2ノード(ND2)660の電位が低下する速度は、第1ノード(ND1)650の電位が低下する速度と比べて遅くなる。

【0148】

また、第1ノード(ND1)650の電位が「Vss」まで低下すると、第1ノード(ND1)650の電位と電源線(DSL)410との間の電圧は、駆動トランジスタ620のドレイン端子の閾値電圧「Vthd」よりも小さい電圧になる。これにより、第2ノード(ND2)660の電位は、急激に低下した後には低下が止まることによって「Vyy」まで低下する。そして、第1ノード(ND1)650の電位が「Vss」まで低下した後には、所定のタイミングで制御線810の制御補助信号の電位が、制御オン電位(Vonc)から制御オフ電位(Voffc)に切り替えられる。

【0149】

次に、閾値補正準備期間の第2ノード電位低下期間TP3-2では、図20(b)に示すように、走査線(WSL)210の走査信号はオフ電位(Voff)からオン電位(Von)に切り替えられる。これにより、データ線(DTL)310のデータ信号の基準信号(Vofs)が第1ノード(ND1)650に供給される。このとき、制御線810の制御補助信号は制御オフ電位(Voffc)であるため、制御トランジスタ670には電流は流れない。これらにより、第1ノード(ND1)650の電位が「Vofs」まで上昇する。

【0150】

また、この第1ノード(ND1)650の電位の上昇により、電源線(DSL)410と第1ノード(ND1)650との間の電圧が駆動トランジスタ620の閾値電圧(Vt

h d) よりも大きくなる。このため、駆動トランジスタ 6 2 0 が導通状態になり、第 2 ノード (N D 2) 6 6 0 から電源線 (D S L) 4 1 0 に電流が流れる。これにより、第 2 ノード (N D 2) 6 6 0 の電位は、「V y y」から電源線 (D S L) 4 1 0 の電源信号の初期化電位 (V s s) まで低下する。

【0151】

また、この第 2 ノード (N D 2) 6 6 0 の電位の低下は、発光素子 6 4 0 の寄生容量 6 4 1 を介した容量性カップリングにより、カソード電極 6 9 0 の電位を、「V c a t」から僅かに低下させる。そして、第 2 ノード (N D 2) 6 6 0 の電位は「V s s」まで低下した後の所定のタイミングで、走査線 (W S L) 2 1 0 の走査信号はオフ電位 (V o f f) からオン電位 (V o n) に切り替えられる。

10

【0152】

第 2 ノード電位低下期間 T P 3 - 2 に続いて、閾値補正準備期間 3 - 3 では、図 2 0 (c) に示すように、制御線 8 1 0 の制御補助信号の電位が、制御オフ電位 (V o f f c) から制御オン電位 (V o n c) に切り替えられる。これにより、第 1 ノード (N D 1) 6 5 0 の電位 (V o f s) は、閾値補正準備期間 T P 3 - 1 と同様にして「V s s」まで低下する。このとき、この第 1 ノード (N D 1) 6 5 0 の電位の低下に伴う保持容量 6 3 0 を介したカップリングによって、第 2 ノード (N D 2) 6 6 0 の電位は「V s s」から僅かに低下する。

【0153】

このように、本発明の第 2 の実施の形態および本発明の第 2 の実施の形態の画素 6 0 0 では、カソード電極 6 9 0 の電位が低下するタイミングを第 2 ノード電位低下期間 T P 3 - 2 にすることができる。なお、実際の回路におけるこれらの画素 6 0 0 においては、走査線 (W S L) 2 1 0 の走査信号のオフ電位 (V o f f) が発光期間 T P 8 における書込みトランジスタ 6 1 0 のドレイン端子およびソース端子の電位よりも非常に低い。このため、発光期間 T P 8 において書込みトランジスタ 6 1 0 が完全なオフ状態にならないことによって、書込みトランジスタ 6 1 0 のドレイン端子とソース端子との間で電流のリークが発生する。

20

【0154】

[本発明の第 1 および第 2 の実施の形態における発光期間の画素の動作状態の詳細]

図 2 1 は、実際の回路における本発明の第 1 および第 2 の実施の形態の画素 6 0 0 の発光期間 T P 8 の動作状態を模式的に示す回路図である。ここでは、発光期間 T P 8 における書込みトランジスタ 6 1 0 以外の動作状態は、図 5 (a) および図 7 (c) において示した発光期間 T P 8 の動作状態と同様のものであるため説明を省略する。なお、ここでは、走査線 (W S L) 2 1 0 の走査信号のオフ電位 (V o f f) は、閾値補正準備期間 T P 3 - 1 および 3 - 3 において書込みトランジスタ 6 1 0 をオフ状態にするため、この期間の第 1 ノード (N D 1) 6 5 0 の電位より低い電位であるとする。すなわち、走査線 (W S L) 2 1 0 の走査信号のオフ電位 (V o f f) は、閾値補正準備期間 T P 3 - 1 および 3 - 3 において電源信号の初期化電位 (V s s) 付近の書込みトランジスタ 6 1 0 がオフ状態になる電位であると想定する。

30

【0155】

発光期間 T P 8 では、走査線 (W S L) 2 1 0 の走査信号がオフ電位 (V o f f) に遷移することにより、書込みトランジスタ 6 1 0 がオフ状態となる。この場合において、この走査線 (W S L) 2 1 0 の走査信号のオフ電位 (V o f f) は、電源信号の初期化電位 (V s s) 付近の電位であるため、データ線 3 1 0 のデータ信号の基準信号の電位 (V o f s) と比べて非常に低い電位である。

40

【0156】

しかしながら、走査信号のオフ電位 (V o f f) がデータ信号の基準信号の電位 (V o f s) よりも非常に低いために、書込みトランジスタ 6 1 0 がリークを起こしてしまう。このリークにより、第 1 ノード (N D 1) 6 5 0 からデータ線 (3 1 0) に電流が流れることによって、第 1 ノード (N D 1) 6 5 0 の電位は、徐々に低い電位になる。

50

【0157】

そして、この第1ノード（ND1）650の電位の低下は、保持容量630により第2ノード（ND1）660の電位を低下させる。すなわち、発光期間TP8における書込みトランジスタ610のリークは、第2ノード（ND1）660の電位を低下させることによって、画素600の発光を映像信号に基づく発光よりも暗くする。

【0158】

このように、本発明の第1および第2の実施の形態の画素600では、発光期間TP8における書込みトランジスタ610のリークにより、画素600の発光の輝度が映像信号に基づく発光の輝度よりも暗くなってしまう。この発光期間TP8における書込みトランジスタ610の電流のリークの問題を解決するために改良したのが、次に説明する本発明の第3の実施の形態である。

10

【0159】

<4. 第3の実施の形態>

[本発明の第3の実施の形態における画素の基本動作の例]

図22は、本発明の第3の実施の形態における画素600の基本動作の一例に関するタイミングチャートである。ここでは、発光期間TP8およびTP6における走査線（WSL）210、第1ノード（ND1）650および第2ノード（ND2）660の電位変化以外は、図15において示した画素600の第2の実施の形態における動作と同様のものである。このため、ここでは、発光期間TP8およびTP6以外の期間の動作については説明を省略する。走査線（WSL）210および第1ノード（ND1）650については、第3の実施の形態における電位変化を実線により、第2の実施の形態における電位変化を鎖線により示す。また、第2ノード（ND2）660については、第3の実施の形態における電位変化を破線により、第2の実施の形態における電位変化を鎖線により示す。

20

【0160】

なお、ここでは、第3の実施の形態における走査線（WSL）210の走査信号の第2オフ電位（Voff2）は、第2の実施の形態における電源線（DSL）310の電源信号の初期化電位（Vss）と同じ電位であると想定する。また、この第2オフ電位（Voff2）は、第2の実施の形態における走査信号のオフ電位（Voff）と同じ電位であると想定する。さらに、ここでは、この第3の実施の形態における走査線（WSL）210の走査信号の第1オフ電位（Voff1）は、第2の実施の形態におけるデータ線（DTL）310のデータ信号の基準信号の電位（Vofs）と同じ電位であると想定する。

30

【0161】

第3の実施の形態における発光期間TP8では、走査線（WSL）210の走査信号が第1オフ電位（Voff1）に設定される。これにより、保持容量630に保持された電圧（ $V_{sig} - V_{ofs} + V_{th} - \Delta V$ ）に応じた輝度により発光素子640が発光する。この場合、第1ノード（ND1）650および第2ノード（ND2）660の電位は一定であるため発光期間TP8が終了するまで発光素子640の発光の輝度は変化しない。なお、走査線（WSL）210の走査信号が第1オフ電位（Voff1）は、特許請求の範囲に記載の低電源電位が供給されているときに書込みトランジスタを非道通状態にする信号と比べて高い電位の信号の一例である。

40

【0162】

一方、鎖線で示した第2の実施の形態における実際の回路の発光期間TP8では、走査線（WSL）210の走査信号がオフ電位（Voff）に設定される。このオフ電位（Voff）は、電源線（DSL）310の電源信号の初期化電位（Vss）付近の電位であるため、書込みトランジスタ610のリークが発生する。このリークにより、発光期間TP8における第1ノード（ND1）650の電位は、徐々に低下する。

【0163】

そして、この第1ノード（ND1）650の電位の低下による保持容量630を介したカップリングによって第2ノード（ND2）660の電位は低下する。すなわち、第2の実施の形態における実際の回路の発光期間TP8では、発光期間TP8における書込みト

50

ランジスタ 610 のリークによって、画素 600 の発光が映像信号に基づく発光よりも暗くする。これに対し、本発明の第 2 の実施の形態における第 2 の実施例の発光期間 TP8 では、書込みトランジスタ 610 のリークは生じないため、画素 600 は映像信号に基づいて発光することになる。

【0164】

これにより、本発明の第 3 の実施の形態では、カソード電極 690 の電位変化を緩和すると共に、書込みトランジスタ 610 のリークを防止することによって、表示装置の画質を改善させることができる。

【0165】

なお、第 3 の実施の形態では、期間 TP6 においても走査線 (WSL) 210 の走査信号を第 1 オフ電位 (Voff1) に設定する。これにより、閾値補正期間 TP5 から書込み期間／移動度補正期間 TP7 に移行する間の第 1 ノード (ND1) 650 の電位の低下を防止することができる。

【0166】

このように、本発明の実施の形態によれば、画素 600 に接続されるカソード電極 690 の電位が低下するタイミングを第 2 ノード電位低下期間 TP3-2 にすることができる。これにより、第 2 ノード (ND2) 660 に基づくカソード電極 690 の電位が低下するタイミングを走査線毎の第 2 ノード電位低下期間 TP3-2 にすることができる。このことによって、同じ電源電位が供給されている複数の走査線が接続されている画素 600 に起因して発生していた画素 600 の発光に影響を与えるカソード電極 690 の電位の低下を抑制することができる。すなわち、本発明の実施の形態によれば、表示装置の画質を改善させることができる。

【0167】

なお、ここでは、制御トランジスタ 670 を備える画素 600 の例について説明した。しかし、この制御トランジスタ 670 は、書込みトランジスタ 610 のソース端子の電位が電源線 (DSL) 410 の電位より高い場合において書込みトランジスタ 610 のソース端子の電流を電源線 (DSL) 410 に通過させるものなら何でもよい。例えば、制御トランジスタ 670 の代わりに書込みトランジスタ 610 の一端と電源線 (DSL) 410 との間に接続されるものとして、ダイオードなどが考えられる。

【0168】

なお、本発明の第 2 の実施の形態における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話、ビデオカメラなどのディスプレイに適用することができる。また、電子機器に入力された映像信号や電子機器内で生成した映像信号を画像または映像として表示するあらゆる分野の電子機器のディスプレイに適用することができる。このような表示装置が適用された電子機器の例を以下に示す。

【0169】

< 5. 本発明の適用例 >

[電子機器への適用例]

図 23 は、本発明の実施の形態のテレビジョンセットへの適用例である。このテレビジョンセットは、本発明の実施の形態が適用されたテレビジョンセットである。このテレビジョンセットは、フロントパネル 12、フィルターガラス 13 等から構成される映像表示画面 11 を含み、本発明の実施の形態における表示装置をその映像表示画面 11 に用いることにより作製される。

【0170】

図 24 は、本発明の実施の形態のデジタルスチルカメラへの適用例である。このデジタルスチルカメラは、本発明の実施の形態が適用されたデジタルスチルカメラである。ここでは、上にデジタルスチルカメラの正面図を示し、下にデジタルスチルカメラの背面図を示す。このデジタルスチルカメラは、撮像レンズ 15、表示部 16、コントロールスイッチ、メニュースイッチ、シャッター 19 等を含み、本発明の実施の形態における表示装置

をその表示部 16 に用いることにより作製される。

【0171】

図 25 は、本発明の実施の形態のノート型パーソナルコンピュータへの適用例である。このノート型パーソナルコンピュータは、本発明の実施の形態が適用されたノート型パーソナルコンピュータである。このノート型パーソナルコンピュータは、本体 20 には文字等を入力するとき操作されるキーボード 21 を含み、本体カバーには画像を表示する表示部 22 を含み、本発明の実施の形態における表示装置をその表示部 22 に用いることにより作製される。

【0172】

図 26 は、本発明の実施の形態の携帯端末装置への適用例である。この携帯端末装置は、本発明の実施の形態が適用された携帯端末装置である。ここでは、左側に携帯端末装置の開いた状態を示し、右側に携帯端末装置の閉じた状態を示している。この携帯端末装置は、上側筐体 23、下側筐体 24、連結部（ここではヒンジ部）25、ディスプレイ 26、サブディスプレイ 27、ピクチャーライト 28、カメラ 29 等を含む。また、この携帯端末装置は、本発明の実施の形態における表示装置をそのディスプレイ 26 やサブディスプレイ 27 に用いることにより作製される。

【0173】

図 27 は、本発明の実施の形態のビデオカメラへの適用例である。このビデオカメラは、本発明の実施の形態が適用されたビデオカメラである。このビデオカメラは、本体部 30、前方を向いた側面に被写体撮影用のレンズ 34、撮影時のスタート／ストップスイッチ 35、モニター 36 等を含み、本発明の実施の形態における表示装置をそのモニター 36 に用いることにより作製される。

【0174】

なお、本発明の実施の形態は本発明を具現化するための一例を示したものであり、上述のように特許請求の範囲における発明特定事項とそれぞれ対応関係を有する。ただし、本発明は実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変形を施すことができる。

【符号の説明】

【0175】

- 100 表示装置
- 200 ライトスキャナ
- 201～205 ドライバ
- 210～215 走査線
- 300 水平セクタ
- 310 データ線
- 400 電源スキャナ
- 401～403 ドライバ
- 410～413 電源線
- 500 画素アレイ部
- 600 画素
- 610 書込みトランジスタ
- 620 駆動トランジスタ
- 630 保持容量
- 640 発光素子
- 641 寄生容量
- 670 制御トランジスタ
- 690 カソード電極
- 700 タイミング生成部
- 711～714 スタートパルス線
- 721～724 クロックパルス線

10

20

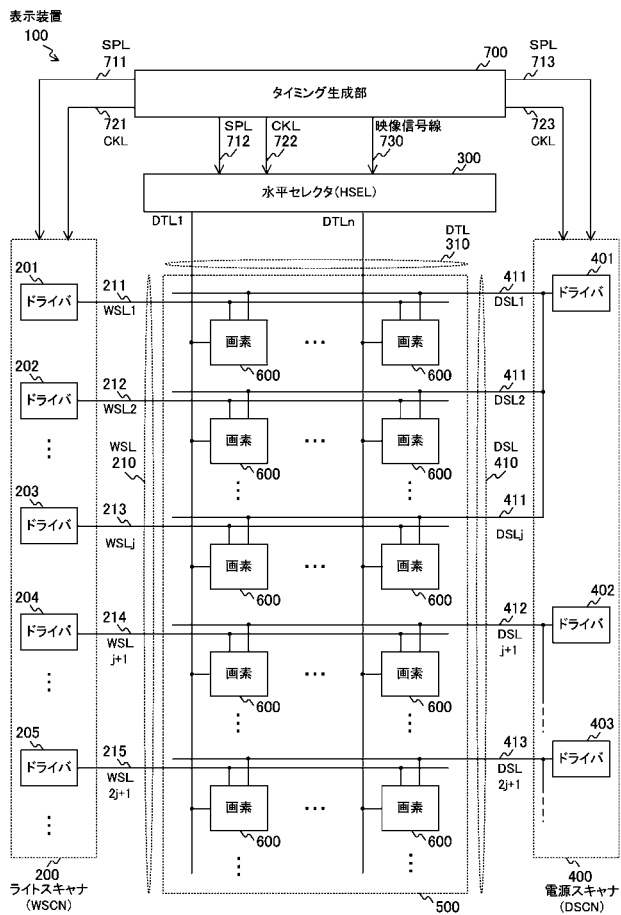
30

40

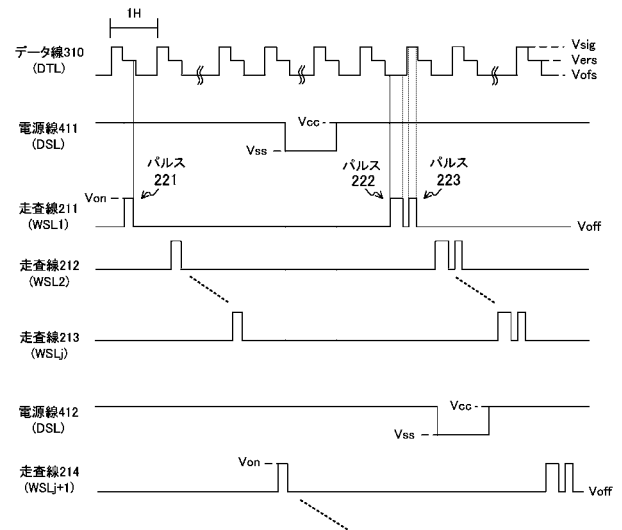
50

730 映像信号線
800 制御補助スキナ
810 制御線

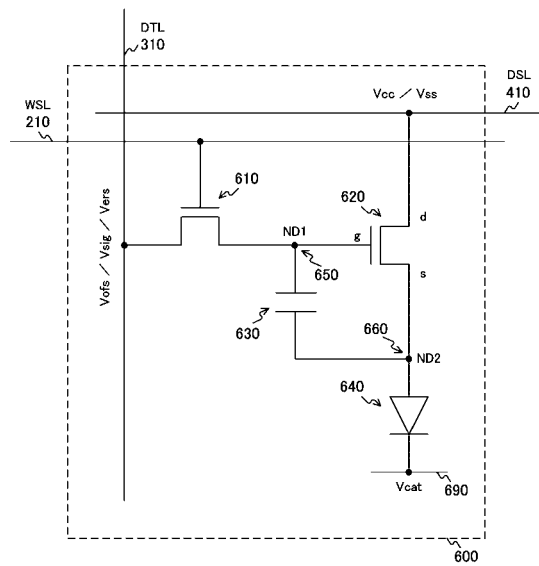
【図 1】



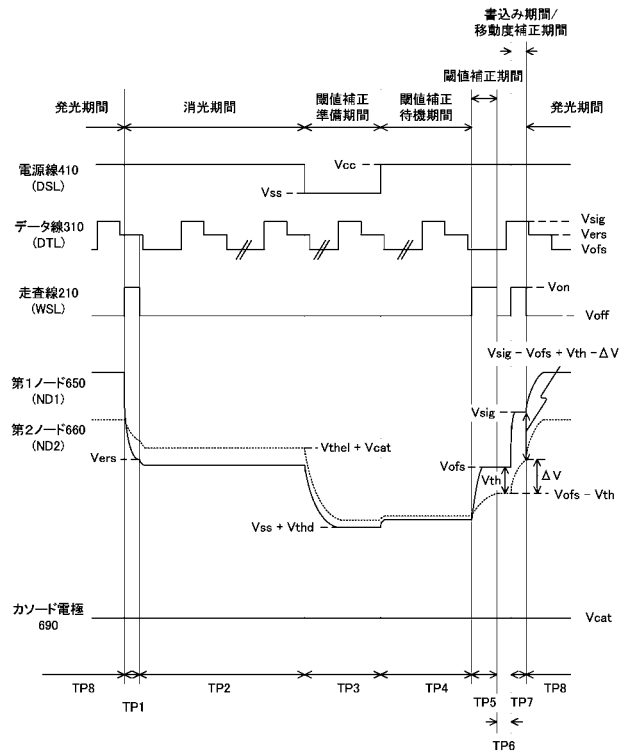
【図 2】



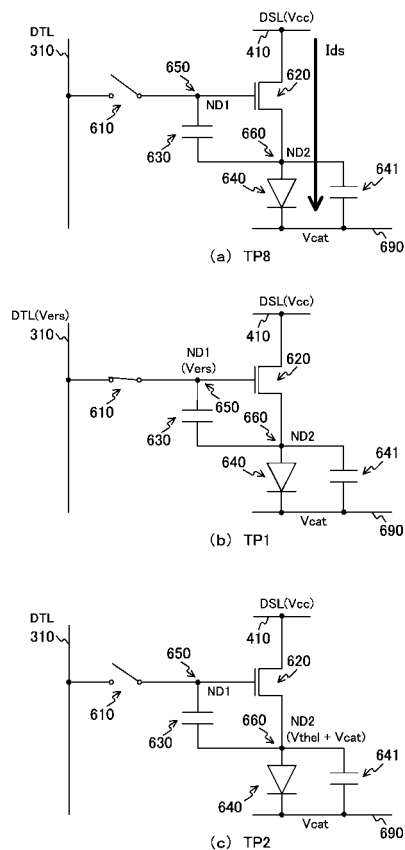
【図 3】



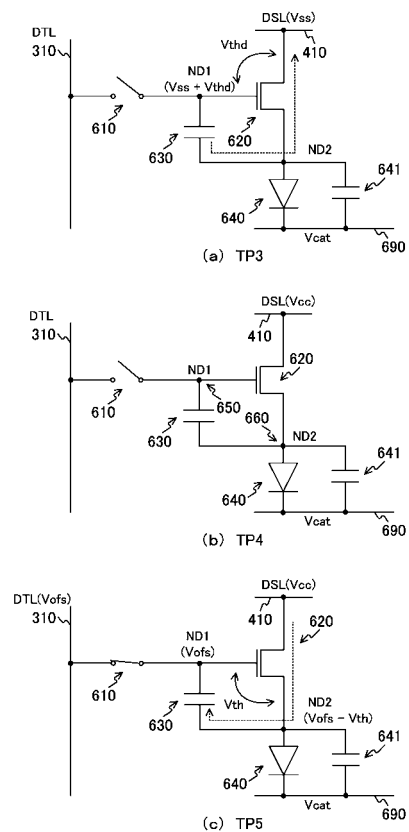
【図 4】



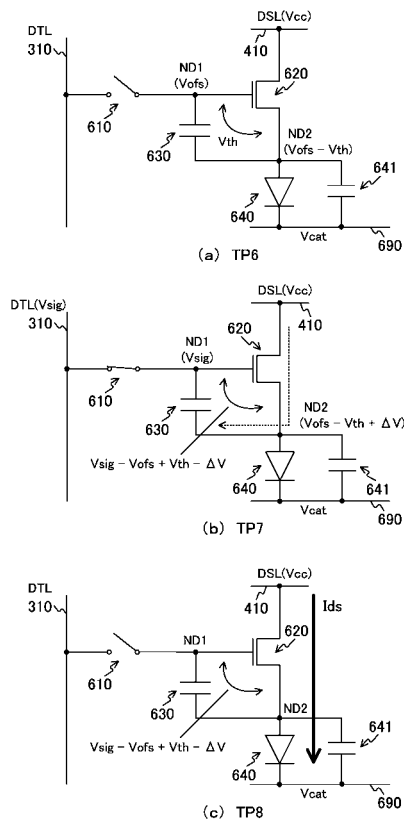
【図 5】



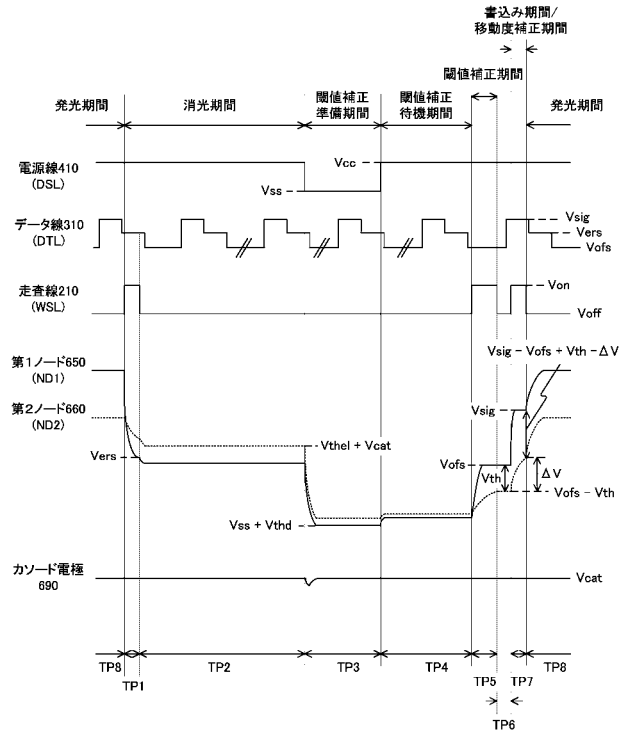
【図 6】



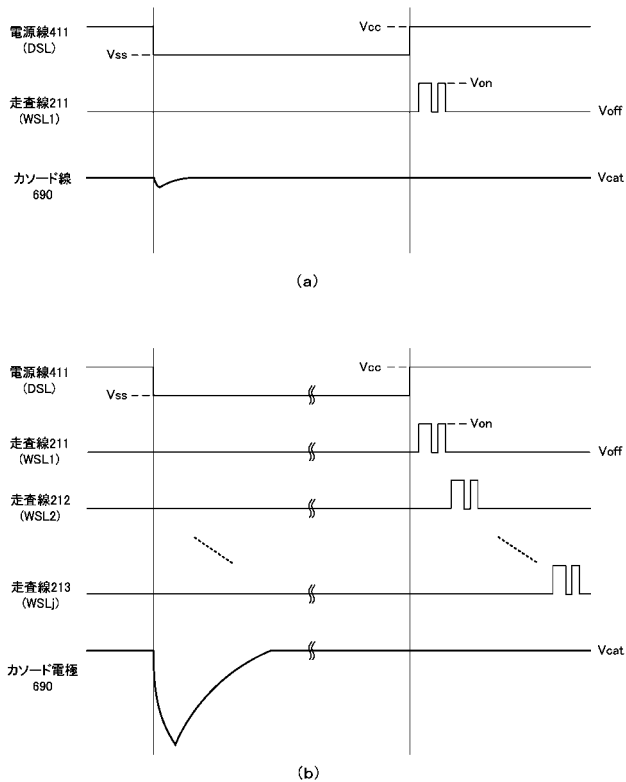
【図 7】



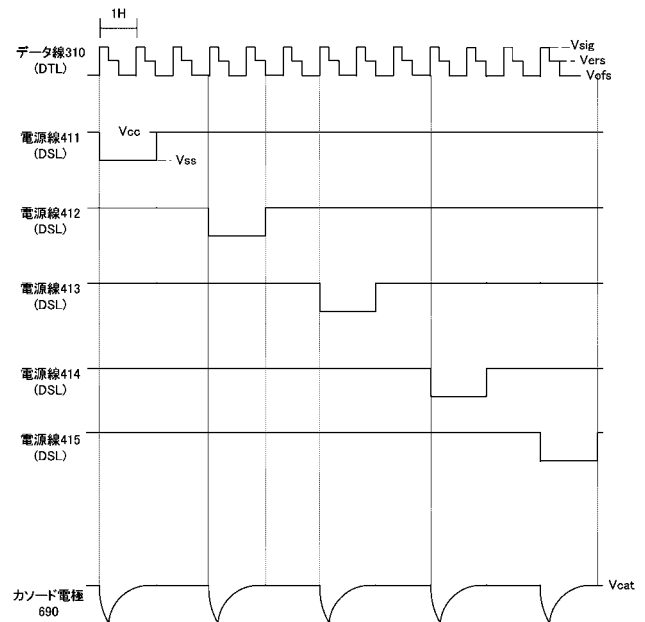
【図 8】



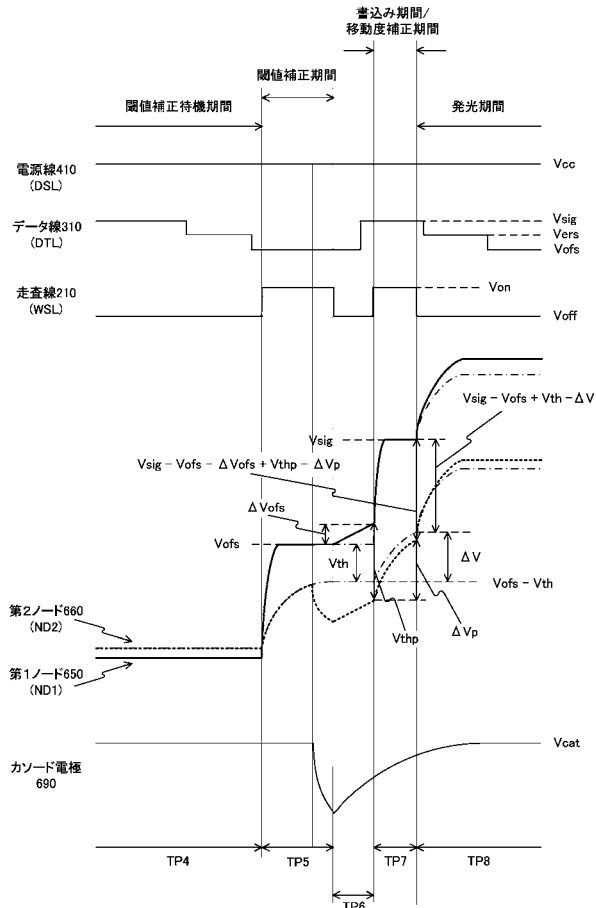
【図 9】



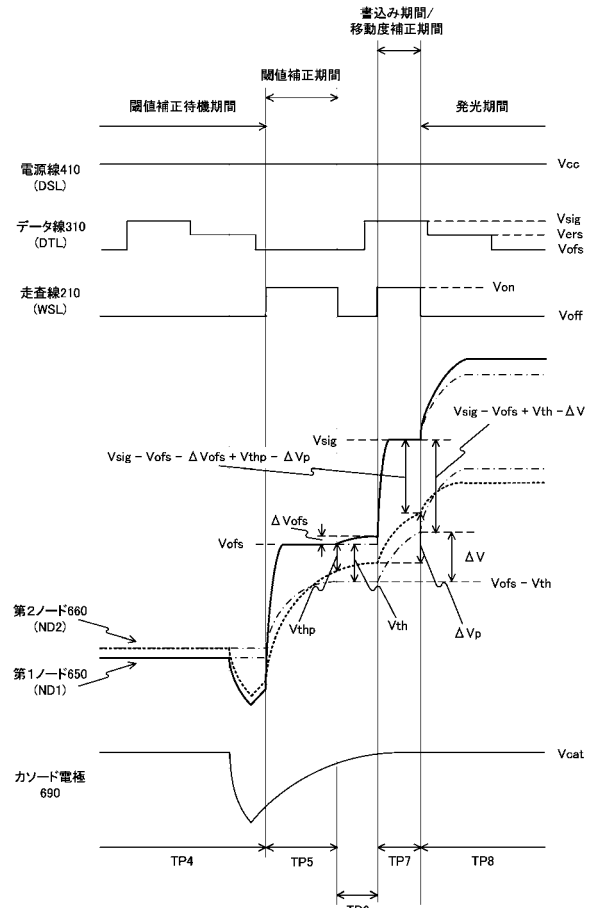
【図 10】



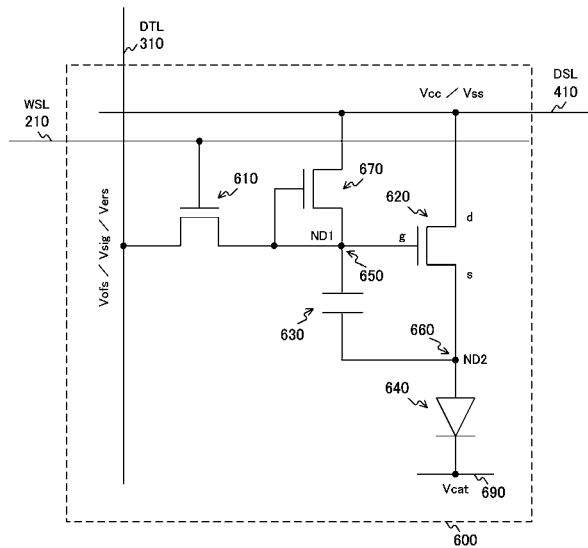
【図 1 1】



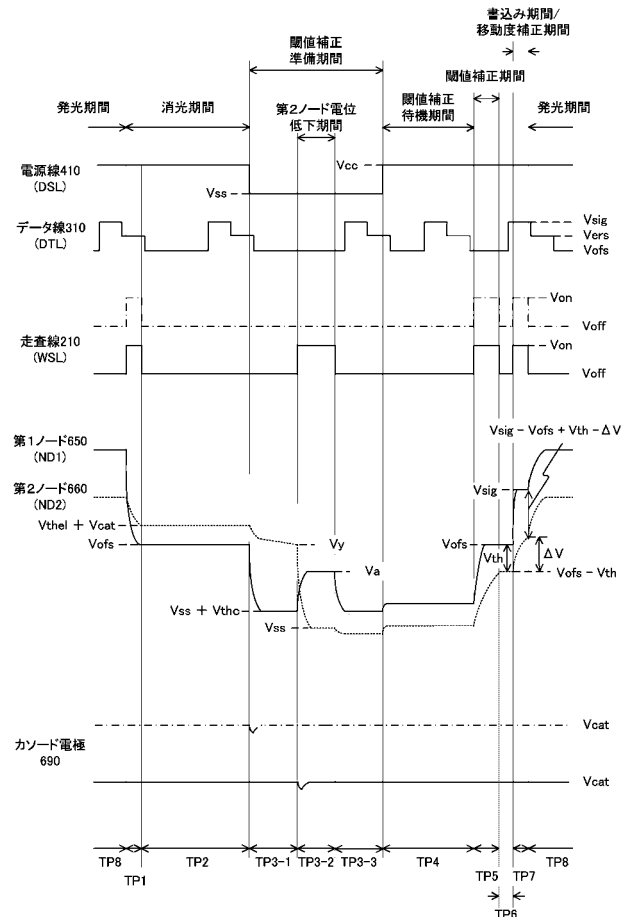
【図 1 2】



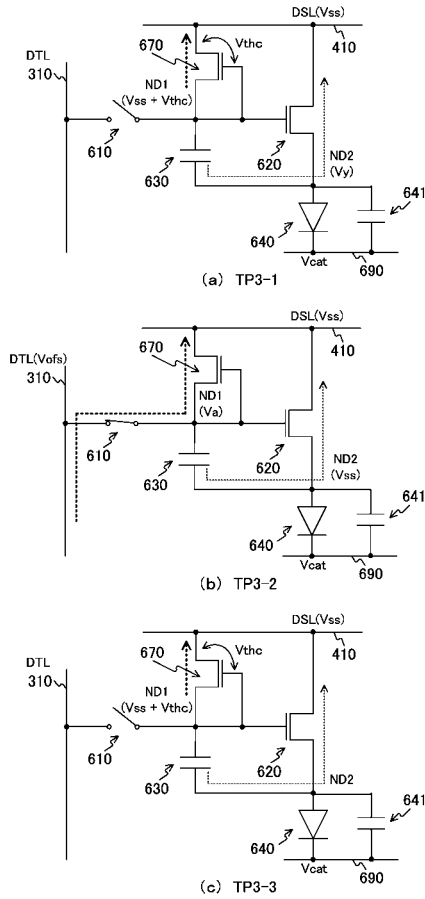
【図 1 4】



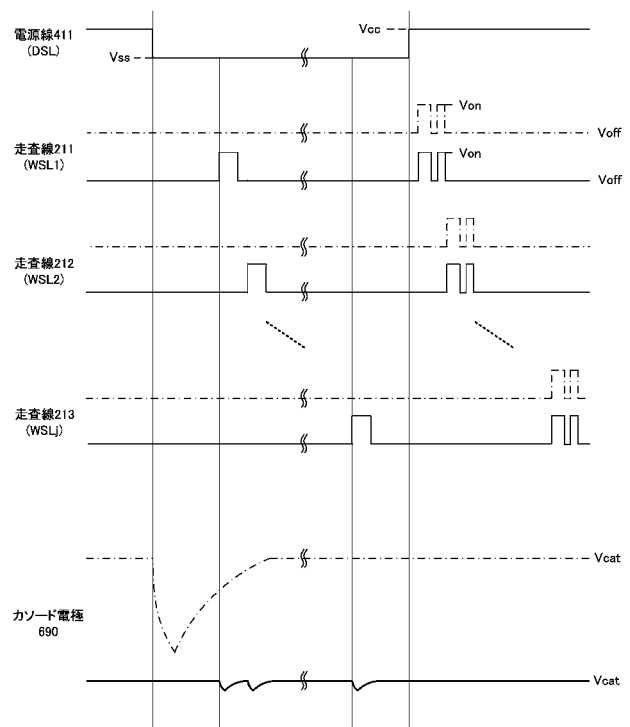
【図 1 5】



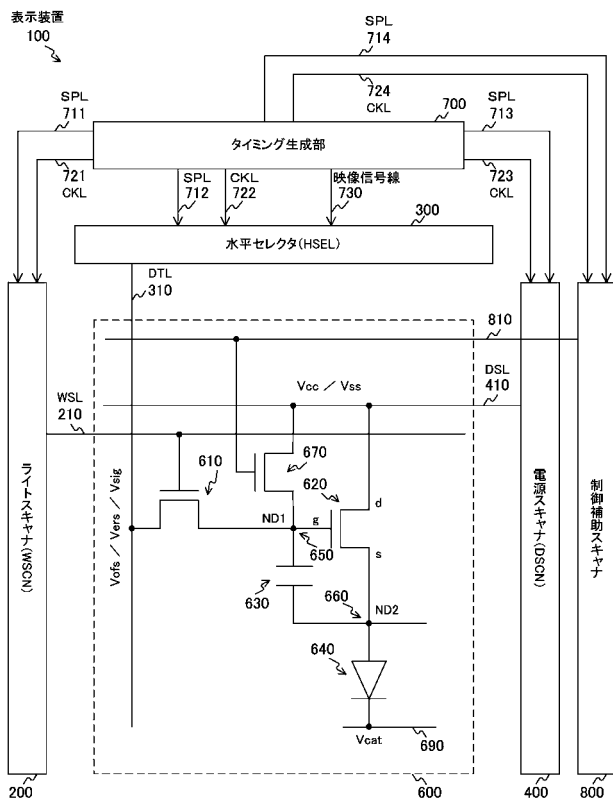
【図16】



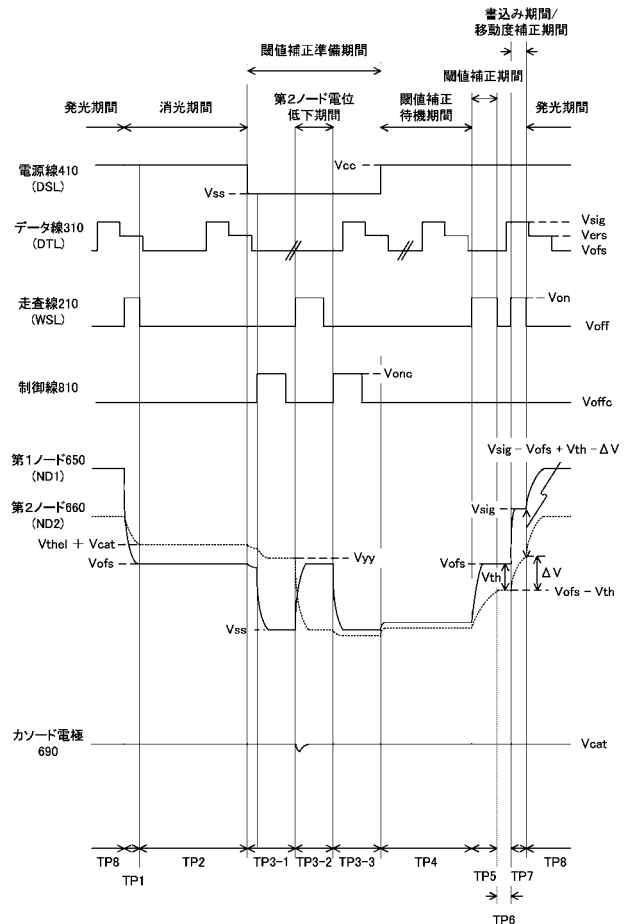
【図17】



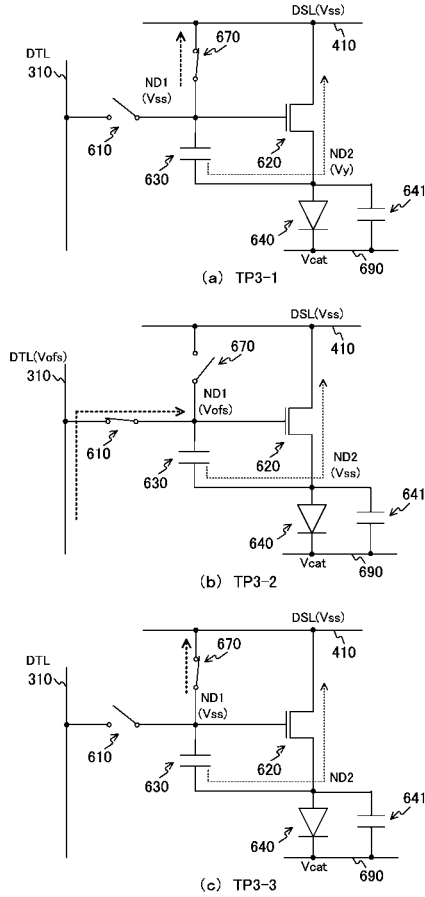
【図18】



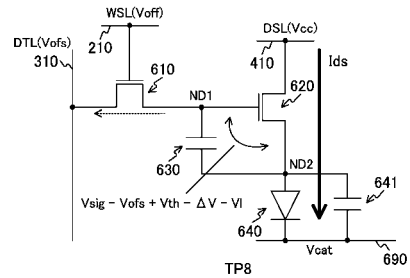
【図19】



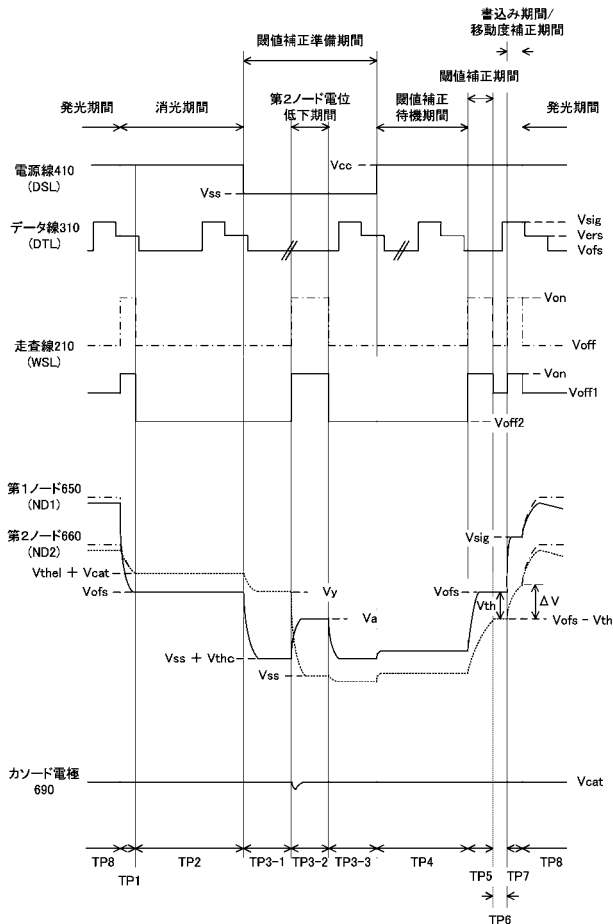
【図 20】



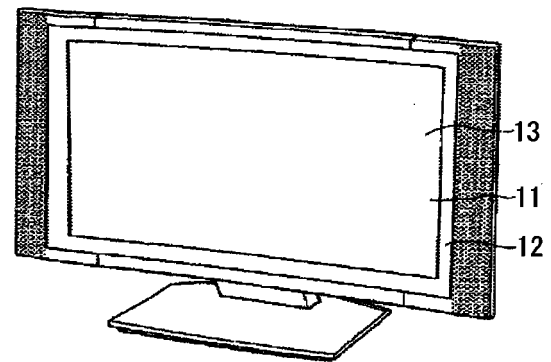
【図 21】



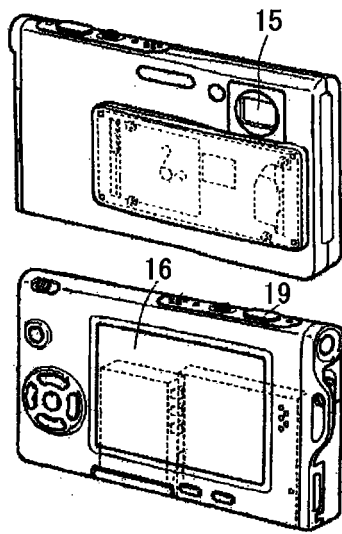
【図 22】



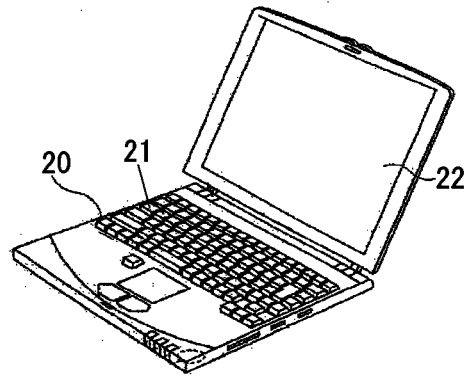
【図 23】



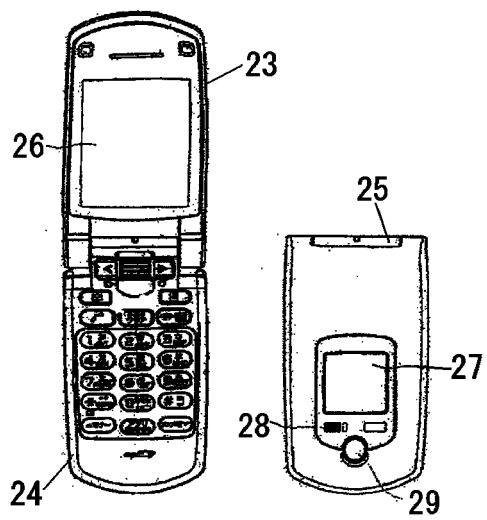
【図 2 4】



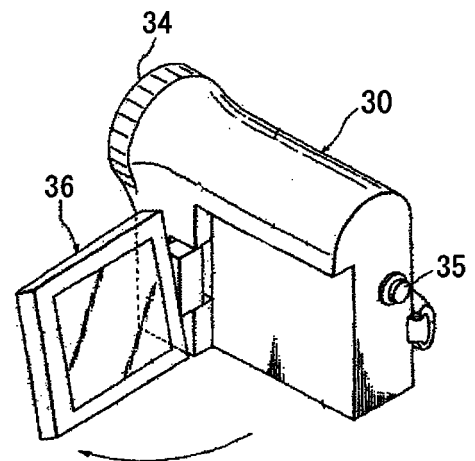
【図 2 5】



【図 2 6】



【図 2 7】



【図 13】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/30	J
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 H
H 0 5 B	33/14	A

Fターム(参考)	5C080	AA06	BB05	DD05	DD23	DD27	EE28	FF07	FF11	HH09	JJ02
	JJ03	JJ04	JJ05	JJ06	KK43	KK47					
5C380	AA01	AB06	AC08	AC09	AC11	BA10	BA13	BA28	BA38	BA39	
	BA40	BB01	CA08	CA12	CB01	CB31	CC02	CC03	CC04	CC07	
	CC27	CC33	CC41	CC62	CC63	CC80	CD012	CD013	CD022	CE01	
	CE04	CE19	CF46	DA02	DA06	DA46					

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2011069943A	公开(公告)日	2011-04-07
申请号	JP2009220079	申请日	2009-09-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.622.D G09G3/20.612.A G09G3/20.612.E G09G3/20.623.C G09G3/20.623.D G09G3/30.J G09G3/20.622.Q G09G3/20.642.A G09G3/20.611.H H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD23 5C080/DD27 5C080/EE28 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA13 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BB01 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD022 5C380/CE01 5C380/CE04 5C380/CE19 5C380/CF46 5C380/DA02 5C380/DA06 5C380/DA46		
代理人(译)	丸岛俊		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用有机EL元件改善显示设备的图像质量。解决方案：在同时开始以行为单位连接的多个像素600中的阈值校正准备时段的情况下，控制晶体管670基于初始化电位连接第一节点（ND1）650和电源线410。（Vss）在电源线410中。由此，第一节点（ND1）650的电位下降。接下来，在阈值校正准备时段中，扫描线（WSL）210将导通电位（Von）提供给写入晶体管610，其中每个行的时序不同。因此，随着写入晶体管610变为导通状态，第一节点（ND1）650的电位被升压。通过提升第一节点（ND1）650的电位使驱动晶体管变为导通状态的事实，减少了发光元件的输入端子的电位，其中每行的时序不同。

