

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素毎に、
K 個のアノードを有し、駆動電流により発光する発光素子と、
前記 K 個のアノード毎に設けられ、前記 K 個のアノードにそれぞれ前記駆動電流を供給する駆動回路と
を備えるパネル。

【請求項 2】

前記パネルにより表示される画像は、R (R e d) 画素、G (G r e e n) 画素、及び B (B l u e) 画素の 3 つの色画素から構成される R G B 画素群を 1 組として、その R G B 画素群がマトリクス状に配置されて構成される画像であり、
前記 R G B 画素群に設けられる前記アノードの総数は L 個に固定され、
前記 R 画素の前記アノードの個数 K 1 と、
前記 G 画素の前記アノードの個数 K 2 と、
前記 B 画素の前記アノードの個数 K 3 とは、
 $K 1 + K 2 + K 3 = L$ となることを条件に、それぞれ独立して決定される
請求項 1 に記載のパネル。

【請求項 3】

前記個数 K 1、前記個数 K 2、および、前記個数 K 3 の中に $3 / L$ よりも小さい個数 K_s と、 $3 / L$ よりも大きい個数 K_b を含む場合、
前記個数 K_b の前記アノードを有する前記色画素の前記駆動回路のうち、
 $3 / L$ 個の前記駆動回路は、前記個数 K_b の前記アノードを有する前記色画素の位置に配置し、
残りの $(K_b - L)$ 個の前記駆動回路は、前記個数 K_s の前記アノードを有する前記色画素の位置に配置する
請求項 2 に記載のパネル。

【請求項 4】

マトリクス状に配置された複数の画素毎に、
K 個のアノードを有し、駆動電流により発光する発光素子と、
前記 K 個のアノード毎に設けられ、前記 K 個のアノードにそれぞれ前記駆動電流を供給する駆動回路と
を有するパネルを
備える電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パネルおよび電子回路に関し、ダスト付着に起因する画素の滅点を防ぐことができるようになったパネルおよび電子回路に関する。

【背景技術】

【0002】

発光素子として有機 E L (Electro-luminescent) 素子を用いた平面自発光型のパネル（以下、有機 E L パネルと称する）の開発が近年盛んになっている（例えば、特許文献 1 乃至 6 参照）。

【0003】

有機 E L パネルは、有機 E L 素子の発光部位に電界をかけると発光する現象を利用したデバイスである。有機 E L パネルは、印加電圧が 10 V 以下で駆動するため低消費電力であるという特長を有している。有機 E L パネルは、自ら光を発する自発光デバイスであるため、照明部材を必要とせず軽量化及び薄型化が容易にできるという特長を有している。また、有機 E L パネルは、その応答速度が数 μs 程度と非常に高速であるので、動画表示時の残像が発生しないという特長を有している。

【 0 0 0 4 】

このような有機 E L パネルに用いられている有機 E L 素子の構造は、カソードとアノードの間に発光部位を有する構造となっている。有機 E L 素子のアノードに電荷が供給されると、発光部位を介して、カソードとアノードの間に電流が流れる。これにより、発光部位に所定の電流が流れて、有機 E L 素子は発光する。なお、発光のために有機 E L 素子に流す電流を、以下、駆動電流と称する。

【特許文献 1】特開 2 0 0 3 - 2 5 5 8 5 6 号公報

【特許文献 2】特開 2 0 0 3 - 2 7 1 0 9 5 号公報

【特許文献 3】特開 2 0 0 4 - 1 3 3 2 4 0 号公報

【特許文献 4】特開 2 0 0 4 - 0 2 9 7 9 1 号公報

【特許文献 5】特開 2 0 0 4 - 0 9 3 6 8 2 号公報

【特許文献 6】特開 2 0 0 8 - 6 5 2 0 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、有機 E L 素子の発光部位は、数 10nm ~ 数 100nm という非常に薄い層として形成されている。そのため、この発光部位の蒸着工程等でダストが付着すると、有機 E L 素子のアノードとカソードとの間が電氣的にショートしてしまうことがある。この場合、有機 E L 素子は、駆動電流が流れず、発光しない。その結果、ダストが付着した有機 E L 素子が点灯しない点状欠陥となり、その有機 E L 素子の画素が滅点になってしまう場合があった。

【 0 0 0 6 】

本発明は、このような状況に鑑みてなされたものであり、ダスト付着に起因する画素の滅点を防ぐことができるようにするものである。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の第 1 の側面のパネルは、マトリクス状に配置された複数の画素毎に、K 個のアノードを有し、駆動電流により発光する発光素子と、前記 K 個のアノード毎に設けられ、前記 K 個のアノードにそれぞれ前記駆動電流を供給する駆動回路とを備える。

【 0 0 0 8 】

前記パネルにより表示される画像は、R (R e d) 画素、G (G r e e n) 画素、及び B (B l u e) 画素の 3 つの色画素から構成される R G B 画素群を 1 組として、その R G B 画素群がマトリクス状に配置されて構成される画像であり、前記 R G B 画素群に設けられる前記アノードの総数は L 個に固定され、前記 R 画素の前記アノードの個数 K 1 と、前記 G 画素の前記アノードの個数 K 2 と、前記 B 画素の前記アノードの個数 K 3 とは、 $K 1 + K 2 + K 3 = L$ となることを条件に、それぞれ独立して決定される。

【 0 0 0 9 】

前記個数 K 1、前記個数 K 2、および、前記個数 K 3 の中に $3 / L$ よりも小さい個数 K_s と、 $3 / L$ よりも大きい個数 K_b を含む場合、前記個数 K_b の前記アノードを有する前記色画素の前記駆動回路のうち、 $3 / L$ 個の前記駆動回路は、前記個数 K_b の前記アノードを有する前記色画素の位置に配置し、残りの $(K_b - L)$ 個の前記駆動回路は、前記個数 K_s の前記アノードを有する前記色画素の位置に配置する。

【 0 0 1 0 】

本発明の第 2 の側面の電子回路は、マトリクス状に配置された複数の画素毎に、K 個のアノードを有し、駆動電流により発光する発光素子と、前記 K 個のアノード毎に設けられ、前記 K 個のアノードにそれぞれ前記駆動電流を供給する駆動回路とを有するパネルを備える。

【発明の効果】

【 0 0 1 1 】

本発明によれば、ダスト付着に起因する画素の滅点を防ぐことができる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0012】

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、従来の有機ELパネルの基本となる構成と、その構成における問題点について、図1乃至6を参照して説明する。

【0013】

図1は、従来の有機ELパネルの構成例を示すブロック図である。

【0014】

従来の有機ELパネル1には、画素部11が設けられている。従来の有機ELパネル1にはまた、画素部11を駆動する駆動部として、ライトスキャナ12、ドライブスキャナ13、及び水平セクタ14が設けられている。

【0015】

従来の有機ELパネル1は、マトリクス状に配置された $N \times M$ の画素から構成される画像を表示することができる。なお、 N 、 M は1以上の任意の整数値である。

【0016】

詳細には、 $N \times M$ の各画素はそれぞれ、R(Red)画素、G(Green)画素、及びB(Blue)画素から構成される。即ち、R画素、G画素、及びB画素はそれぞれ、 $N \times M$ 個存在する。そこで、以下、1つの画素とは、R画素、G画素、またはB画素を意味するものとする。また、以下、R画素、G画素、及びB画素をまとめて、特にRGB画素群と称する。

【0017】

画素部11(以下、適宜、従来の画素部11と称する)は、1つの画素の表示を担当する画素回路が、図2に示されるようにマトリクス状に配置されて構成されている。即ち、図2は、従来の画素部11の構成例を示すブロック図である。

【0018】

従来の画素部11には、R画素について、 $N \times M$ 個の画素回路31R-(1,1)乃至31R-(N,M)が設けられている。G画素について、 $N \times M$ 個の画素回路31G-(1,1)乃至31G-(N,M)が設けられている。B画素について、 $N \times M$ 個の画素回路31B-(1,1)乃至31B-(N,M)が設けられている。

【0019】

ここで、1つのRGB画素群を構成するR画素、G画素、及びB画素の各画素回路31をまとめて、画素回路群と称する。 $N \times M$ のRGB画素群のそれぞれに対応付けられた各画素回路群が、マトリクス状に配置されて従来の画素部11が構成される。例えば、第 m 行第 n 列(m は、1乃至 M のうちの任意の整数値。 n は、1乃至 N のうちの任意の整数値)の画素回路群は、画素回路31R-(n , m)、31G-(n , m)、31B-(n , m)から構成され、従来の画素部11のうちの第 m 行第 n 列の位置に配置される。

【0020】

なお、以下、R画素の画素回路31R-(1,1)乃至31R-(N,M)、G画素の画素回路31G-(1,1)乃至31G-(N,M)、B画素の画素回路31B-(1,1)乃至31B-(N,M)のそれぞれを特に区別する必要がない場合、R画素の画素回路31R、G画素の画素回路31G、及びB画素の画素回路31Bのそれぞれと称する。即ち、とあるRGB画素群に着目している場合、そのRGB画素群に対応する画素回路を、R画素の画素回路31R、G画素の画素回路31G、及びB画素の画素回路31Bと呼称して説明する。

【0021】

従来の画素部11は、 M 本の走査線WSL15-1乃至WSL15- M 、 M 本の電源線DSL15-1乃至DSL15- M 、並びに、R画素についての N 本の信号線DTL15R-1乃至DTL15R- N 、G画素についての N 本の信号線DTL15G-1乃至DTL15G- N 、及びB画素についての N 本の信号線DTL15B-1乃至DTL15B- N も有している。

【 0 0 2 2 】

なお、以下、走査線 $W S L 1 5 - 1$ 乃至 $W S L 1 5 - M$ 、電源線 $D S L 1 5 - 1$ 乃至 $D S L 1 5 - M$ のそれぞれを特に区別する必要がない場合、走査線 $W S L 1 5$ 、電源線 $D S L 1 5$ のそれぞれと称する。また、 R 画素の信号線 $D T L 1 5 R - n$ 、 G 画素の信号線 $D T L 1 5 G - n$ 、 B 画素の信号線 $D T L 1 5 B - n$ を特に区別する必要がない場合、信号線 $D T L - n$ と称する。

【 0 0 2 3 】

第 m 行の R 画素についての画素回路 $3 1 R - (1 , m)$ 乃至 $3 1 R - (N , m)$ 、第 m 行の G 画素についての画素回路 $3 1 G - (1 , m)$ 乃至 $3 1 G - (N , m)$ 、並びに、第 m 行の B 画素についての画素回路 $3 1 B - (1 , m)$ 乃至 $3 1 B - (N , m)$ は、走査線 $W S L 1 5 - m$ でライトスキャナ 1 2 と、電源線 $D S L 1 5 - m$ でドライブスキャナ 1 3 とそれぞれ接続されている。

【 0 0 2 4 】

また、第 n 列の R 画素についての画素回路 $3 1 R - (n , 1)$ 乃至 $3 1 R - (n , M)$ は、信号線 $W S L 1 5 R - n$ で水平セクタ 1 4 と接続されている。第 n 列の G 画素についての画素回路 $3 1 G - (n , 1)$ 乃至 $3 1 G - (n , M)$ は、信号線 $W S L 1 5 G - n$ で水平セクタ 1 4 と接続されている。第 n 列の B 画素についての画素回路 $3 1 B - (n , 1)$ 乃至 $3 1 B - (n , M)$ は、信号線 $W S L 1 5 B - n$ で水平セクタ 1 4 と接続されている。

【 0 0 2 5 】

ライトスキャナ 1 2 は、走査線 $W S L 1 5 - 1$ 乃至 $W S L 1 5 - M$ に水平期間 (1 H) で順次制御信号を供給して各色 (R , G , B) の画素の画素回路 3 1 を行単位で線順次走査する。ドライブスキャナ 1 3 は、線順次走査に合わせて電源線 $D S L 1 5 - 1$ 乃至 $1 5 - M$ に第 1 電位 (後述する $V c c$) または第 2 電位 (後述する $V s s$) の電源電圧を供給する。水平セクタ 1 4 は、線順次走査に合わせて各水平期間 (1 H) 内で映像信号となる信号電位 $V s i g$ と基準電位 $V o f s$ とを切換えて列状の各色についての信号線 $D T L - 1$ 乃至 $D T L - N$ に供給する。

【 0 0 2 6 】

図 3 は、各色 (R , G , B) の画素の画素回路 3 1 のうちのひとつの構成例を示したブロック図である。

【 0 0 2 7 】

図 3 の画素回路 3 1 は、 $T F T$ (Thin Film Transistor) 回路 4 1 と有機 $E L$ 素子 4 2 とから構成される。なお、 $T F T$ 回路 4 1 の素子構成は、 $2 T r$ (transistor) + $1 C$ (capacitor) と呼ばれている。 $T F T$ 回路 4 1 は、書き込みトランジスタ 5 1、駆動トランジスタ 5 2、蓄積容量 5 3 から構成される。有機 $E L$ 素子 4 2 は、アノード 4 2 a、発光部位 4 2 b、及びカソード 4 2 c から構成されている。

【 0 0 2 8 】

書き込みトランジスタ 5 1 のゲートは走査線 $W S L 1 5$ と接続されている。書き込みトランジスタ 5 1 のドレインは信号線 $D T L 1 5$ と接続されている。書き込みトランジスタ 5 1 のソースは、駆動トランジスタ 5 2 のゲートと接続されている。駆動トランジスタ 5 2 のソースは有機 $E L$ 素子 4 2 のアノード 4 2 a に接続されている。駆動トランジスタ 5 2 のドレインは電源線 $D S L 1 5$ に接続されている。蓄積容量 5 3 は、駆動トランジスタ 5 2 のゲートと有機 $E L$ 素子 4 2 のアノード 4 2 a の間に接続されている。有機 $E L$ 素子 4 2 のカソード 4 2 c は所定の電位 $V c a t h$ に設定されている。

【 0 0 2 9 】

図 4 は、図 3 の構成の画素回路 3 1 を含む従来の画素部 1 1 の断面レイアウトの一例を示す図である。

【 0 0 3 0 】

図 4 において、ユーザは、図中上から下の垂直方向に、従来の画素部 1 1 を視認する。なお、以下の説明では、図 4 中上側の面を上面と称し、同図中下側の面を下面と称する。

【 0 0 3 1 】

基板 7 1 の上面には、T F T 回路 4 1 が配置されている。従来の画素部 1 1 の製造時において、T F T 回路 4 1 が配置された後に、平坦化膜 7 2 が積層される。但し、T F T 回路 4 1 の上面の一部には、平坦化膜 7 2 は積層されない。換言すると、平坦化膜 7 2 のうち、T F T 回路 4 1 の上面の一部に相当する部分には、穴があいている。平坦化膜 7 2 の平坦化された上面であって、上述の穴を含む部分には、有機 E L 素子 4 2 のアノード 4 2 a が形成される。アノード 4 2 a は、平坦化膜 7 2 の穴に挿入される部分（図 4 中 T F T 回路 4 1 まで下方に伸びる逆台形の部分）を有しており、その部分で T F T 回路 4 1 に直接に接続されている。また、平坦化膜 7 2 の上面には、補助配線 7 3 も配置される。アノード 4 2 a と補助配線 7 3 は、例えば、同じ膜として積層される。その膜の上には、有機 E L 素子 4 2 の発光部位 4 2 b が積層されて形成される。有機 E L 素子 4 2 のうち、発光部位 4 2 b が形成された後に、カソード 4 2 c が積層される。図 4 の例では、全てのカソード 4 2 c が一体の連続膜として形成されている。また、2 つの発光部位 4 2 b の間の部分にもカソード 4 2 c が形成される。よって、この部分で補助配線 7 3 とカソード 4 2 c とは直接に接続される。アノード 4 2 a、発光部位 4 2 b、及びカソード 4 2 c がこのように形成されることで、有機 E L 素子 4 2 が構成される。

10

【 0 0 3 2 】

このような構成の従来の画素部 1 1 の製造工程のうち、図 4 に示される発光部位 4 2 b の蒸着工程等でダストが付着する場合がある。例えば、図 5 に示されるようなダスト D U が付着する場合がある。

20

【 0 0 3 3 】

図 5 は、ダスト D U が付着した場合の従来の画素部 1 1 の断面レイアウトの一例を示す図である。

【 0 0 3 4 】

図 5 では、ダスト D U は、アノード 4 2 a の上面から、発光部位 4 2 b を貫通し、カソード 4 2 c まで達するように付着している。このようにダスト D U が付着すると、ダスト D U が付着した有機 E L 素子 4 2 のアノード 4 2 a とカソード 4 2 c の間が電氣的にショートしてしまう場合が多々存在する。このような場合、ダスト D U が付着している発光部位 4 2 b には駆動電流が流れなくなり、その有機 E L 素子 4 2 は発光しなくなる。

30

【 0 0 3 5 】

例えば、1 行 1 列目の G 画素についての有機 E L 素子 4 2、即ち、図 6 に示される画素回路 3 1 G - (1 , 1) に含まれる有機 E L 素子 4 2 にダスト D U が付着すると、この G 画素が滅点となる。

【 0 0 3 6 】

画素の滅点は、有機 E L パネルといったフラットパネルディスプレイに対する市場クレームの大きな要素である。したがって、このような市場クレームの対策としては、ダスト付着に起因する画素の滅点を防ぐことは非常に重要である。

【 0 0 3 7 】

そこで、本発明人は、ダスト付着に起因する画素の滅点を防ぐことができる手法として、次のような手法を発明した。

40

【 0 0 3 8 】

即ち、従来の有機 E L パネル 1 では、図 4 と図 5 に示されるように、1 つの画素について、1 つの有機 E L 素子 4 2 のアノード 4 2 a が用いられていた。このため、有機 E L 素子 4 2 の発光部位 4 2 b にダスト（図 5 の例ではダスト D U）が付着すると、カソード 4 2 c とアノード 4 2 a とが電氣的にショートをしてしまい、結果として画素が滅点となってしまうていた。

【 0 0 3 9 】

但し、ダストは、非常に小さいものであり、それゆえ、有機 E L 素子の発光部位における占有面積も非常に小さくなる。この場合、1 つの画素について、有機 E L 素子のアノードが 2 以上存在すれば、2 以上のアノードのうち、1 つのみにダストが接触し、他のもの

50

にはダストが接触しない。よって、ダストが接触したアノードとカソードの間は電氣的にショートを起こし、その間の発光部位は確かに発光しないかもしれない。しかしながら、他のアノードとカソード電極との間には正常に駆動電流が流れ、その間の発光部位は発光することになる。よって、画素全体として輝度は低下するが、滅点自体を防ぐことができる、という技術的思想を本発明人はした。

【0040】

そこで、本発明人は、1つの画素について、アノードを2以上に分割し、分割された2以上のアノード毎にTFT回路をそれぞれ接続する、という手法を発明した。以下、かかる手法をアノード分割手法と称する。

【0041】

具体的には例えば、アノード分割手法を適用した場合の画素部の断面レイアウトの一例が図7に示されている。なお、以下、アノード分割手法を適用した場合の画素部を、本発明の画素部111と称する。

【0042】

図7において、ユーザは、図中上から下の垂直方向に、本発明の画素部111を視認する。なお、以下の説明では、図7中上側の面を上面と称し、同図中下側の面を下面と称する。

【0043】

基板171の下面には、遮光メタル170が形成される。基板171の上面には、1つの画素につき、2つのTFT回路141-1, 141-2が配置される。また、基板171の上面には電源線DSL15も配置される。

【0044】

本発明の画素部111の製造時において、TFT回路141-1, 141-2が配置された後に、平坦化膜172が積層される。但し、TFT回路141-1, 141-2の各上面の一部には、平坦化膜172は積層されない。換言すると、平坦化膜172のうち、TFT回路141-1, 141-2の各上面の一部に相当する各部分には、穴があいている。

【0045】

平坦化膜172の平坦化された上面であって、上述のTFT回路141-1の上面の穴を含む部分には、アノード142a-1が形成される。アノード142a-1は、平坦化膜172の穴に挿入される部分(図7中TFT回路141-1まで下方に伸びる逆台形の部分)を有しており、その部分でTFT回路141-1に直接に接続されている。

【0046】

同様に、平坦化膜172の平坦化された上面であって、上述のTFT回路141-2の上面の穴を含む部分には、アノード142a-2が形成される。アノード142a-2は、平坦化膜172の穴に挿入される部分(図7中TFT回路141-2まで下方に伸びる逆台形の部分)を有しており、その部分でTFT回路141-2に直接に接続されている。

【0047】

このように、図7の例では、1つの画素について、2つのアノード142a-1, 142a-2と、TFT回路141-1, 141-2が設けられている。即ち、図7の例は、アノード分割手法のうち、アノードの分割数を2つにした場合の手法の一例が適用された例となっている。

【0048】

この場合、等価回路的に、1つの画素には、アノード142a-1を含む有機EL素子と、アノード142a-2を含む有機EL素子とが存在すると把握することができる。そこで、以下、前者の有機EL素子を有機EL素子142-1と称し、後者の有機EL素子を有機EL素子142-2と称する。そして、有機EL素子142-1のアノード142a-1以外の構成要素を、発光部位142b-1、カソード142c-1とそれぞれ称する。同様に、有機EL素子142-2のアノード142a-2以外の構成要素を、発光部

10

20

30

40

50

位 1 4 2 b - 2、カソード 1 4 2 c - 2 とそれぞれ称する。

【 0 0 4 9 】

この場合、アノード 1 4 2 a - 1 , 1 4 2 a - 2 は、補助配線 7 3 とともに同じ膜として平坦化膜 1 7 2 の上面に積層される。以下、この膜を、分割アノード膜 M L と称する。分割アノード膜 M L については、図 1 0 を参照して後述する。

【 0 0 5 0 】

分割アノード膜 M L の上には、発光部位 1 4 2 b - 1 , 1 4 2 b - 2 が積層されて形成される。なお、図 7 の例では、発光部位 1 4 2 b - 1 , 1 4 2 b - 2 が一体の膜として形成されている。発光部位 1 4 2 b - 1 , 1 4 2 b - 2 を一体として形成している膜を、以下、適宜、発光部位層 1 4 2 b と称する。発光部位層 1 4 2 b の上には、カソード 1 4 2 c - 1 , 1 4 2 c - 2 が積層されて形成される。なお、図 7 の例では、全画素のカソード 1 4 2 c - 1 , 1 4 2 c - 2 が全て一体の連続膜として形成されている。この一体の連続膜を、以下、適宜、カソード 1 4 2 c と称する。また、2つの発光部位層 1 4 2 b の間の部分にもカソード 1 4 2 c が形成される。よって、この部分で補助配線 1 7 3 とカソード 1 4 2 c とは直接に接続される。

10

【 0 0 5 1 】

以上の本発明の画素部 1 1 1 の構成を、1つの画素についての等価回路として考え直してみる。従来の画素部 1 1 では、図 3 に示されるように、1つの画素に対して1つの画素回路 3 1 のみが設けられていた。これに対して、本発明の画素部 1 1 1 では、図 8 に示されるように、1つの画素に対して2つの画素回路 1 3 1 - 1 , 1 3 1 - 2 が設けられる。

20

【 0 0 5 2 】

図 8 の画素回路 1 3 1 - 1 , 1 3 1 - 2 の単体自体の構成は、画素回路 3 1 と基本的に同様の構成となっている。

【 0 0 5 3 】

即ち、画素回路 1 3 1 - 1 / 1 3 1 - 2 は、T F T 回路 1 4 1 - 1 / 1 4 1 - 2 と有機 E L 素子 1 4 2 - 1 / 1 4 2 - 2 とから構成される。T F T 回路 1 4 1 - 1 / 1 4 1 - 2 は、書き込みトランジスタ 1 5 1 - 1 / 1 5 1 - 2、駆動トランジスタ 1 5 2 - 1 / 1 5 2 - 2、及び蓄積容量 1 5 3 - 1 / 1 5 2 - 2 から構成される。有機 E L 素子 1 4 2 - 1 / 1 4 2 - 2 は、アノード 1 4 2 a - 1 / 1 4 2 a - 2、発光部位 1 4 2 b - 1 / 1 4 2 b - 2、及びカソード 1 4 2 c - 1 / 1 4 2 c - 2 から構成されている。

30

【 0 0 5 4 】

書き込みトランジスタ 1 5 1 - 1 , 1 5 1 - 2 の各ゲートは同一の走査線 W S L 1 5 と接続されている。書き込みトランジスタ 1 5 1 - 1 , 1 5 1 - 2 の各ドレインは同一の信号線 D T L 1 5 と接続されている。書き込みトランジスタ 1 5 1 - 1 / 1 5 1 - 2 のソースは、駆動トランジスタ 1 5 2 - 1 / 1 5 2 - 2 のゲートと接続されている。駆動トランジスタ 1 5 2 - 1 / 1 5 2 - 2 のソースは有機 E L 素子 1 4 2 - 1 / 1 4 2 - 2 のアノード 1 4 2 a - 1 / 1 4 2 a - 2 に接続されている。駆動トランジスタ 1 5 2 - 1 / 1 5 2 - 2 のドレインは電源線 D S L 1 5 に接続されている。蓄積容量 1 5 3 - 1 / 1 5 3 - 2 は、駆動トランジスタ 1 5 2 - 1 / 1 5 2 - 2 のゲートと有機 E L 素子 1 4 2 - 1 / 1 4 2 - 2 のアノード 1 4 2 a - 1 / 1 4 2 a - 2 との間に接続されている。有機 E L 素子 1 4 2 - 1 / 1 4 2 - 2 のカソード 1 4 2 c - 1 / 1 4 2 c - 2 は所定の電位 V c a t h に設定されている。

40

【 0 0 5 5 】

このように、図 8 の画素回路 1 3 1 - 1 , 1 3 1 - 2 の単体はそれぞれ、図 3 の画素回路 3 1 と同様に構成される。従って、画素回路 1 3 1 - 1 , 1 3 1 - 2 の単体はそれぞれ、画素回路 3 1 と同様の発光動作を行う。但し、画素回路 1 3 1 - 1 , 1 3 1 - 2 はそれぞれ、同一の走査線 W S L 1 5、同一の電源線 D S L 1 5、同一の信号線 D T L 1 5 に接続されているので、同一タイミングで発光動作を行う。

【 0 0 5 6 】

このように、図 8 の例の T F T 回路 1 4 1 - 1 , 1 4 1 - 2 は、T F T 回路 4 1 と同様

50

の構成、即ち、 $2Tr + 1C$ と称される回路構成を有している。しかしながら、TF T回路141-1, 141-2は、図8の例の構成に限定されず、例えば、3個以上のトランジスタを含む構成を取るようにしてもよい。

【0057】

また、書き込みトランジスタ151-1, 151-2及び駆動トランジスタ152-1, 152-2は、いずれもNチャネル型トランジスタとして構成されている。したがって、書き込みトランジスタ151-1, 152-2及び駆動トランジスタ152-1, 152-2は、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができる。そのため、製造コストをより安価にすることができる。

【0058】

但し、駆動トランジスタ152-1, 152-2は、Nチャネル型トランジスタで構成する必要は特になく、Pチャネル型トランジスタで構成してもよい。

【0059】

このように、本発明の画素部111は、1つの画素につき2つの画素回路131-1, 131-2を有している。よって、従来と同様に、 $N \times M$ 個のRGB画素群からなる画像を表示させる場合には、本発明の画素部111は、例えば図9に示されるように構成される。即ち、図9は、本発明の画素部111の構成例を示すブロック図である。

【0060】

即ち、第 m 行第 n 列(m は、1乃至 M のうちの任意の整数値。 n は、1乃至 N のうちの任意の整数値)のR画素に対しては、2つの画素回路131R1-(n, m), 131R2-(n, m)が設けられている。画素回路131R1-(n, m), 131R2-(n, m)は、本発明の画素部111のうちの第 m 行第 n 列のR画素の位置に直列的に配置される。なお、任意の画素位置のR画素について説明する場合、画素回路131R1-(n, m), 131R2-(n, m)のそれぞれを、画素回路131R1, 131R2のそれぞれと称する。

【0061】

同様に、第 m 行第 n 列のG画素に対しては、2つの画素回路131G1-(n, m), 131G2-(n, m)が設けられている。画素回路131G1-(n, m), 131G2-(n, m)は、本発明の画素部111のうちの第 m 行第 n 列のG画素の位置に直列的に配置される。なお、任意の画素位置のG画素について説明する場合、画素回路131G1-(n, m), 131G2-(n, m)のそれぞれを、画素回路131G1, 131G2のそれぞれと称する。

【0062】

第 m 行第 n 列のB画素に対しては、2つの画素回路131B1-(n, m), 131B2-(n, m)が設けられている。画素回路131B1-(n, m), 131B2-(n, m)は、本発明の画素部111のうちの第 m 行第 n 列のB画素の位置に直列的に配置される。なお、任意の画素位置のB画素について説明する場合、画素回路131B1-(n, m), 131B2-(n, m)のそれぞれを、画素回路131B1, 131B2のそれぞれと称する。

【0063】

このような図9の構成を有する本発明の画素部111のうち、1行1列と1行2列のRGB画素群についての分割アノード膜MLの平面レイアウトの一例が、図10に示されている。図10中網掛けされている部分が、分割アノード膜MLが形成されている部分である。

【0064】

図10において、画素回路131R1-(1, 1)内のアノード142a-1は、分割アノード膜MLの長方形形状の部分ML-R1-(1, 1)として形成される。画素回路131R2-(1, 1)内のアノード142a-2は、分割アノード膜MLの長方形形状の部分ML-R2-(1, 1)として形成される。画素回路131G1-(1, 1)内のアノード142a-1は、分割アノード膜MLの長方形形状の部分ML-G1-(1, 1)とし

10

20

30

40

50

て形成される。画素回路 1 3 1 G 2 - (1 , 1) 内のアノード 1 4 2 a - 2 は、分割アノード膜 M L の長方形状の部分 M L - G 2 - (1 , 1) として形成される。画素回路 1 3 1 B 1 - (1 , 1) 内のアノード 1 4 2 a - 1 は、分割アノード膜 M L の長方形状の部分 M L - B 1 - (1 , 1) として形成される。画素回路 1 3 1 B 2 - (1 , 1) 内のアノード 1 4 2 a - 2 は、分割アノード膜 M L の長方形状の部分 M L - B 2 - (1 , 1) として形成される。また、補助配線 1 7 3 は、分割アノード膜 M L の格子状の部分 M L O として形成される。

【 0 0 6 5 】

以上、図 7 乃至図 1 0 を参照して、本発明が適用されるアノード分割手法、及び、そのアノード分割手法（そのうちの分割数が 2 の場合の手法）が適用された有機 E L パネルについて説明してきた。

10

【 0 0 6 6 】

この有機 E L パネルにおいて、図 1 1 に示されるように、発光部位 1 4 2 b - 1 , 1 4 2 b - 2 を含む発光部位層にダスト D U が付着したとする。この場合、ダスト D U は、非常に小さいものであり、それゆえ、有機 E L 素子の発光部位にける占有面積も非常に小さい。よって、ダスト D U は、アノード 1 4 2 a - 1 , 1 4 2 a - 2 のうち的一方のみと接触する。例えば図 1 1 の例では、ダスト D U は、アノード 1 4 2 a - 2 のみと接触し、アノード 1 4 2 a - 1 とは接触していない。

【 0 0 6 7 】

よって、ダスト D U が接触したアノード 1 4 2 a - 2 とカソード 1 4 2 c - 2 との間は電氣的にショートを起こすので、有機 E L 素子 1 4 2 - 2 は発光しない場合がある。これに対して、ダスト D U が接触していないアノード 1 4 2 a - 1 とカソード 1 4 2 c - 1 との間は、正常に駆動電流が流れるので、有機 E L 素子 1 4 2 - 1 は発光する。従って、画素全体からすると、ダスト D U が接触していない場合の輝度に対して半分の輝度になるが、発光することには変わりはないので滅点とはならない。

20

【 0 0 6 8 】

例えば、ダスト D U が付着した画素が 1 行 1 列目の G 画素であるとする。この場合、図 1 2 に示される 2 つの画素回路 1 3 1 G 1 - (1 , 1) , 1 3 1 G 2 - (1 , 2) のうち、画素回路 1 3 1 G 2 - (1 , 2) が担当する有機 E L 素子 1 4 2 - 2 は発光しないが、画素回路 1 3 1 G 1 - (1 , 2) が担当する有機 E L 素子 1 4 2 - 1 は発光する。よって、1 行 1 列目の G 画素は、ダスト D U が接触していない場合の輝度に対して半分の輝度になるが、発光することには変わりはないので滅点とはならない。

30

【 0 0 6 9 】

その結果、滅点として認識される画素の数が減るので、有機 E L パネルの歩留まり向上を図ることができるようになる。

【 0 0 7 0 】

以上の内容を、本発明が適用されるアノード分割手法の効果として一般的に表現すると、次のようになる。

【 0 0 7 1 】

即ち、とある画素について、有機 E L 素子の発光部位層にたとえダストが付着しても、そのダストは、発光部位層における占有面積が非常に小さい。よって、ダストは、K 個のアノード（K は、2 以上の整数値。上述した図 7 乃至図 1 0 の例では K = 2 ）のうち 1 つだけと接触することになる。

40

【 0 0 7 2 】

この場合、K 個のアノードのうち、ダストと接触している 1 つのアノードとカソードとの間では確かに電氣的ショートが発生する。しかしながら、それ以外の K - 1 個のアノードのそれぞれとカソードとの間では電氣的ショートは発生しない。よって、K - 1 個のアノードのそれぞれとカソードとの間を各駆動電流が正常に流れることにより、その間に形成されている発光部位層は通常に発光する。

【 0 0 7 3 】

50

即ち、１つの画素について、Ｋ個のアノードの全てとカソードとの間をそれぞれ正常に流れる全駆動電流により発光部位層の全てが発光した場合、その画素の輝度を、１００ [%]の輝度とする。この場合、ダストが発光部位層に付着すると、ダストが接触しないＫ - １個のアノードのそれぞれとカソードとの間に形成されている発光部位層は通常に発光する。即ち、ダストが接触している１個のアノードとカソードとの間に形成されている発光部位層のみが発光しない。よって、画素全体の輝度は、 $\{(K - 1) / K\} \times 100$ [%]の輝度となる。即ち、ダストが発光部位層に付着すると、付着しない場合と比較して確かに輝度は低下する。しかしながら、輝度は０％にはならず、画素全体が滅点となることはない。

【００７４】

つまり、ダストが付着した画素（以下、対象画素と称する）は、従来では滅点となるため、その輝度レベルは周りの画素に対して０％となり、人の目に異常画素として視認されやすかった。この異常画素として視認されやすい度合いを、以下、視認度と称する。これに対して、本発明が適用されるアノード分割手法を適用することで、その輝度レベルは周りの画素と比較して $\{(K - 1) / K\} \times 100$ [%]となり、視認度が低下することになる。例えば、 $K = 3, 4$ のそれぞれとした場合、それぞれの輝度レベルは周りの画素と比較して６７％、７５％のそれぞれとなり、視認度が低下していくことになる。

【００７５】

アノードの分割数Ｋを増やすほど、輝度レベルは上がる。即ち、周りの画素に対する輝度レベルの低下度合いは抑制される。よって、視認度もより一段と低下することになる。

【００７６】

ここで、アノードの分割数Ｋを増やすということは、画素部に配置されるＴＦＴ回路の数もその分だけ増加することを意味する。しかしながら、画素部にレイアウトできるＴＦＴ回路の数は限られており、アノードの分割数Ｋを単純に増加させることは困難である。そこで、１つのＲＧＢ画素群に必要な画素回路（ＴＦＴ回路と有機ＥＬ素子とからなる回路）の総数Ｌは固定しておき、即ち、総数Ｌ個（Ｌは３の倍数の任意の整数値）の画素回路を、Ｒ画素、Ｇ画素、Ｂ画素（以下、各色画素と適宜称する）のそれぞれ一律に分配する（Ｋ個ずつに分配する）のではなく、適宜比率を変えて分配するとよい。この場合、ＲＧＢ画素群のレイアウト構成としては、Ｌ個の有機ＥＬ素子は、各色画素に分配されたとおりに配置し、Ｌ個のＴＦＴ回路は、各色画素への分配にはこだわらず、各色画素の位置に（ $L / 3$ ）個ずつ均等に配置するとよい。

【００７７】

即ち、本発明の画素部１１１により表示される画像は、Ｒ画素、Ｇ画素、及びＢ画素の３つの色画素から構成されるＲＧＢ画素群を１組として、そのＲＧＢ画素群がマトリクス状に配置されて構成される画像である。この場合、ＲＧＢ画素群に設けられるアノードの総数はＬ個に固定され、Ｒ画素のアノードの個数 K_1 と、Ｇ画素のアノードの個数 K_2 と、Ｂ画素のアノードの個数 K_3 とは、 $K_1 + K_2 + K_3 = L$ となることを条件に、それぞれ独立して決定される。

【００７８】

そして、個数 K_1 、個数 K_2 、および、個数 K_3 の中に $3 / L$ よりも小さい個数 K_s と、 $3 / L$ よりも大きい個数 K_b を含む場合、個数 K_b のアノードを有する色画素のＴＦＴ回路（駆動回路）のうち、 $3 / L$ 個のＴＦＴ回路は、個数 K_b のアノードを有する色画素の位置に配置され、残りの（ $K_b - L$ ）個のＴＦＴ回路は、個数 K_s のアノードを有する色画素の位置に配置させる。

【００７９】

例えば、視認度が低くて寿命が短いＢ画素については画素回路の数を減らし、その分だけＧ画素についての画素回路の数を増加させることができる。具体的には例えば、上述の例に対応させて、１つのＲＧＢ画素群における画素回路の総数 $L = 6$ とする。この場合、６個の画素回路のうち、２個がＲ画素用に、３個がＧ画素用に、１個がＢ画素用にそれぞれ分配される。以下、１つのＲＧＢ画素群において、２個のＲ画素用の画素回路を、上述

10

20

30

40

50

した例にあわせて、画素回路 1 3 1 R 1 , 1 3 1 R 2 と称する。3 個の G 画素用の画素回路を、上述した例にあわせて、画素回路 1 3 1 G 1 , 1 3 1 G 2 , 1 3 1 G 3 と称する。1 個の B 画素用の画素回路を、上述した例にあわせて、画素回路 1 3 1 B と称する。また、これらの画素回路の各構成要素を示す各符号も、上述した例にあわせて付されるとする。

【 0 0 8 0 】

この場合、R G B 画素群のレイアウト構成としては、例えば図 1 3 に示される通りになる。

【 0 0 8 1 】

即ち、2 個 (= 3 / L 個) の R 画素用の画素回路 1 3 1 R 1 , 1 3 1 R 2 のうち、有機 E L 素子 1 4 2 - R 1 , 1 4 2 - R 2 は R 画素の位置 (図 1 3 中左側の位置) に配置される。3 個 (= 3 / L よりも大きい個数 $K_b = 3$ 個) の G 画素用の画素回路 1 3 1 G 1 , 1 3 1 G 2 , 1 3 1 G 3 のうち、有機 E L 素子 1 4 2 - G 1 , 1 4 2 - G 2 , 1 4 2 - G 3 は G 画素の位置 (図 1 3 中、中央の位置) に配置される。1 個 (= 3 / L よりも小さい個数 $K_s = 1$ 個) の B 画素用の画素回路 1 3 1 B のうち、有機 E L 素子 1 4 2 - B は B 画素の位置 (図 1 3 中、右側の位置) に配置される。

10

【 0 0 8 2 】

これに対して、T F T 回路は、R 画素、G 画素、及び B 画素の各位置に、2 個ずつ均等に配置される。即ち、R 画素の位置 (図 1 3 中左側の位置) には、2 個の R 画素用の T F T 回路 1 4 1 - R 1 , 1 4 1 - R 2 が配置される。

20

【 0 0 8 3 】

G 画素の位置 (図 1 3 中、中央の位置) には、3 個 (= 3 / L よりも大きい個数 $K_b = 3$ 個) の G 画素用の T F T 回路 1 4 1 - G 1 , 1 4 1 - G 2 , 1 4 1 - G 3 のうち、2 個 (= 3 / L 個) の G 画素用の T F T 回路 1 4 1 - G 1 , 1 4 1 - G 2 が配置される。残りの 1 個 (= 残りの ($K_b - L$) 個) の G 画素用の T F T 回路 1 4 1 - G 3 は、B 画素の位置 (図 1 3 中右側の位置) に配置される。即ち、B 画素の位置 (図 1 3 中右側の位置) には、B 画素用の T F T 回路 1 4 1 - B と、G 画素用の T F T 回路 1 4 1 - G 3 との 2 個が配置される。

【 0 0 8 4 】

よって、本発明の画素部 1 1 1 全体としては、有機 E L 素子のレイアウト構成は図 1 4 に示される通りになる。これに対して、T F T 回路のレイアウト構成は図 1 5 に示される通りになる。

30

【 0 0 8 5 】

以上のように、1 つの R G B 画素群において有機 E L 素子全体の総数を L 個として、L 個の有機 E L 素子を、視認度に応じた個数ずつ各色画素に分配することができる。即ち、視認度の高い色の画素については、有機 E L 素子の数を増加させることができる。これにより、有機 E L パネルの歩留まりをさらに一段と向上させることができる。

【 0 0 8 6 】

以下、図 1 6 乃至図 2 5 を参照して、画素回路の動作について説明する。

【 0 0 8 7 】

但し、本発明の各色画素に対して、2 以上の画素回路が対応づけられることがある。この場合、2 以上の画素回路のそれぞれは、同一の走査線 W S L 1 5、同一の電源線 D S L 1 5、及び同一の信号線 D T L 1 5 に接続される。よって、2 以上の画素回路は、同一タイミングで発光動作を行う。そこで、以下、1 つの画素回路の動作についてのみ説明する。さらに、1 つの画素回路自体の構成はいずれも、図 8 の画素回路 1 3 1 - 1 または 1 3 1 - 2 と同様の構成となる。そこで、以下、画素回路 1 3 1 - 1 または 1 3 1 - 2 を画素回路 1 3 1 と称して、その画素回路 1 3 1 の動作として説明する。

40

【 0 0 8 8 】

画素回路 1 3 1 において、書き込みトランジスタ 1 5 1 が、走査線 W S L 1 5 から供給された制御信号に応じてオン (導通) すると、蓄積容量 1 5 3 は、信号線 D T L 1 5 を介

50

して水平セクタ 14 から供給された電荷を蓄積して保持する。駆動トランジスタ 152 は、高電位 V_{cc} にある電源線 $DSL15$ から電流の供給を受け、蓄積容量 153 に保持された信号電位 V_{sig} に応じて駆動電流 I_{ds} を有機 EL 素子 142 に流す。有機 EL 素子 142 に所定の駆動電流 I_{ds} が流れることにより、画素回路 131 が発光する。

【0089】

画素回路 131 は、閾値補正機能を有する。閾値補正機能とは、駆動トランジスタ 152 の閾値電圧 V_{th} に相当する電圧を蓄積容量 153 に保持させる機能であり、これにより、有機 EL パネル 101 の画素毎のバラツキの原因となる駆動トランジスタ 152 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0090】

また、画素回路 131 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量 153 に信号電位 V_{sig} を保持する際、駆動トランジスタ 152 の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

【0091】

さらに、画素回路 131 は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動トランジスタ 152 のソース電位 V_s の変動にゲート電位 V_g を連動させる機能であり、これにより、駆動トランジスタ 152 のゲートとソース間の電圧（以下、ゲートソース間電圧と称する） V_{gs} を一定に維持することが出来る。

【0092】

なお、閾値補正機能、移動度補正機能、及びブートストラップ機能については、後述する図 20、図 24、及び図 25 などでも説明する。

【0093】

図 16 は、画素回路 131 の動作を説明するタイミングチャートである。

【0094】

図 16 は、同一の時間軸（図横方向）に対する走査線 $WSL15$ 、電源線 $DSL15$ 、及び信号線 $DTL15$ の電位変化と、それに対応する駆動トランジスタ 152 のゲート電位 V_g 及びソース電位 V_s の変化を示している。

【0095】

図 16 において、時刻 t_1 までの期間は、前の水平期間（1H）の発光がなされている発光期間 T_1 である。

【0096】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動トランジスタ 152 のゲート電位 V_g 及びソース電位 V_s を初期化することで閾値補正動作の準備を行う閾値補正準備期間 T_2 である。

【0097】

閾値補正準備期間 T_2 では、時刻 t_1 において、ドライブスカナ 13 が、電源線 $DSL15$ の電位を高電位である V_{cc} から低電位である V_{ss} に切換え、時刻 t_2 において、水平セクタ 14 が、信号線 $DTL15$ の電位を信号電位 V_{sig} から基準電位 V_{ofs} に切換える。次に、時刻 t_3 において、ライトスカナ 12 が、走査線 $WSL15$ の電位を高電位に切換え、書き込みトランジスタ 151 をオンさせる。これにより、駆動トランジスタ 152 のゲート電位 V_g が基準電位 V_{ofs} にリセットされ、且つ、ソース電位 V_s が信号線 $DTL15$ の低電位 V_{ss} にリセットされる。

【0098】

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、ドライブスカナ 13 により、電源線 $DSL15$ の電位が高電位 V_{cc} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 152 のゲートとソースとの間に接続された蓄積容量 153 に書き込まれる。

【0099】

時刻 t_5 から時刻 t_7 までの書き込み + 移動度補正準備期間 T_4 では、走査線 $WSL15$ の電位が高電位から低電位一旦切換えられるとともに、時刻 t_7 の前の時刻 t_6 において、

10

20

30

40

50

水平セクタ 14 が、信号線 DTL 15 の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切換える。

【0100】

そして、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 WSL 15 の電位が高電位に設定され、これにより、映像信号の信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 153 に書き込まれると共に、移動度補正用の電圧 ΔV_μ が蓄積容量 153 に保持された電圧から差し引かれる。

【0101】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 WSL 15 の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 V_{sig} に応じた発光輝度で有機 EL 素子 142 が発光する。信号電圧 V_{sig} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV_μ とによって調整されているため、有機 EL 素子 142 の発光輝度は駆動トランジスタ 152 の閾値電圧 V_{th} や移動度 μ のバラツキの影響を受けない。

10

【0102】

なお、発光期間 T_6 の最初でブートストラップ動作が行われ、駆動トランジスタ 152 のゲートソース間電圧 $V_{gs} = V_{sig} + V_{th} - \Delta V_\mu$ を一定に維持したまま、駆動トランジスタ 152 のゲート電位 V_g 及びソース電位 V_s が上昇する。

【0103】

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、信号線 DTL 15 の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。図 16 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 (1H) に相当する。

20

【0104】

以上のようにして、画素回路 131 の構成を有する有機 EL パネル 101 では、駆動トランジスタ 152 の閾値電圧 V_{th} や移動度 μ のバラツキの影響を受けることがなく、有機 EL 素子 142 を発光させることができる。

【0105】

図 17 乃至図 25 を参照して、画素回路 131 の動作についてさらに詳細に説明する。

【0106】

図 17 は、発光期間 T_1 の画素回路 131 の状態を示している。

30

【0107】

発光期間 T_1 では、書き込みトランジスタ 151 がオフ (走査線 WSL 15 の電位が低電位)、かつ電源線 DSL 15 の電位が高電位 V_{cc} となっており、駆動トランジスタ 152 が駆動電流 I_{ds} を有機 EL 素子 142 に供給している。このとき駆動トランジスタ 152 は飽和領域で動作するように設定されているため、有機 EL 素子 142 に流れる駆動電流 I_{ds} は、駆動トランジスタ 152 のゲートソース間電圧 V_{gs} に応じて次式 (1) で表される値をとる。

【0108】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2$$

40

・・・ (1)

【0109】

式 (1) において、 μ は移動度を示し、 W はゲート幅を表し、 L はゲート長を表し、 C_{ox} は単位面積あたりのゲート酸化膜容量を示す。また、 V_{gs} は、駆動トランジスタ 152 のゲートとソース間の電圧 (ゲートソース間電圧) であり、 V_{th} は、駆動トランジスタ 152 の閾値電圧である。なお、飽和領域とは、($V_{gs} - V_{th} < V_{ds}$) の条件を満たした状態をいう (V_{ds} は、駆動トランジスタ 152 のソースとドレイン間の電圧

50

）。

【0110】

そして、閾値補正準備期間 T_2 の最初の時刻 t_1 において、図 18 に示されるように、ドライブスカナ 13 は、電源線 D S L 15 の電位を高電位 V_{cc} (第 1 電位) から低電位 V_{ss} (第 2 電位) に切替える。このとき電源線 D S L 15 の電位 V_{ss} が有機 E L 素子 142 の閾値電圧 V_{thel} とカソード電位 V_{cath} の和よりも小さければ ($V_{ss} < V_{thel} + V_{cath}$) 有機 E L 素子 142 は消光し、駆動トランジスタ 152 の電源線 D S L 15 と接続された側がソースとなる。また、有機 E L 素子 142 のアノードは電位 V_{ss} に充電される。

【0111】

10

次に、図 19 に示されるように、時刻 t_2 において、水平セクタ 14 が信号線 D T L 15 の電位を基準電位 V_{ofs} にした後、時刻 t_3 において、ライトスカナ 12 が、走査線 W S L 15 の電位を高電位に切替えることより、書き込みトランジスタ 151 をオンにする。これにより、駆動トランジスタ 152 のゲート電位 V_g は V_{ofs} となり、ゲートソース間電圧 V_{gs} は、 $V_{ofs} - V_{ss}$ という値をとる。ここで、駆動トランジスタ 152 のゲートソース間電圧 V_{gs} である ($V_{ofs} - V_{ss}$) は、次の閾値補正期間 T_3 で閾値補正動作を行うため、閾値電圧 V_{th} よりも大である ($V_{ofs} - V_{ss} > V_{th}$) 必要がある。逆に言うと、($V_{ofs} - V_{ss} > V_{th}$) の条件を満たすように、電位 V_{ofs} 及び V_{ss} が設定される。

【0112】

20

そして、閾値補正期間 T_3 の最初の時刻 t_4 において、図 20 に示されるように、ドライブスカナ 13 が電源線 D S L 15 の電位を低電位 V_{ss} から高電位 V_{cc} に切替えると、駆動トランジスタ 152 の有機 E L 素子 142 のアノードと接続されている側がソースとなり、図 20 において 1 点鎖線で示されるように電流が流れる。

【0113】

ここで、有機 E L 素子 142 は、等価的にダイオード 142 A と寄生容量を C_{el} とする有機 E L 容量 142 B で表すことができ、有機 E L 素子 142 のリーク電流が駆動トランジスタ 152 に流れる電流よりもかなり小さい ($V_{el} = V_{cath} + V_{thel}$ を満たす) という条件の下では、駆動トランジスタ 152 に流れる電流は蓄積容量 153 と 142 B を充電するために使用される。有機 E L 素子 142 のアノード電位 V_{el} (駆動トランジスタ 152 のソース電位 V_s) は、図 21 に示されるように、駆動トランジスタ 152 を流れる電流に応じて上昇する。所定時間経過後、駆動トランジスタ 152 のゲートソース間電圧 V_{gs} が V_{th} という値をとる。また、このときの有機 E L 素子 142 のアノード電位 V_{el} は ($V_{ofs} - V_{th}$) である。ここで、有機 E L 素子 142 のアノード電位 V_{el} は、有機 E L 素子 142 の閾値電圧 V_{thel} とカソード電位 V_{cath} の和以下となっている ($V_{el} = (V_{ofs} - V_{th}) - (V_{cath} + V_{thel})$)。

30

【0114】

その後、時刻 t_5 において、図 22 に示されるように、走査線 W S L 15 の電位が高電位から低電位に切替えられ、書き込みトランジスタ 151 がオフして閾値補正動作 (閾値補正期間 T_3) が完了する。

40

【0115】

続く書き込み + 移動度補正準備期間 T_4 の時刻 t_6 において、水平セクタ 14 によって、信号線 D T L 15 の電位が、基準電位 V_{ofs} から、階調に応じた信号電位 V_{sig} に切替えられた (図 22) 後、書き込み + 移動度補正期間 T_5 に入り、図 23 に示されるように、時刻 t_7 において、走査線 W S L 15 の電位が高電位に設定されることで書き込みトランジスタ 151 がオンして、映像信号の書き込みと移動度補正動作が行われる。駆動トランジスタ 152 のゲート電位 V_g は、書き込みトランジスタ 151 がオンしているため信号電位 V_{sig} となるが、書き込みトランジスタ 151 には電源線 D S L 15 からの電流が流れるため、駆動トランジスタ 152 のソース電位 V_s は、時間とともに上昇していく。

50

【 0 1 1 6 】

駆動トランジスタ 1 5 2 の閾値補正動作は既に完了している。よって、式 (1) の右辺の $(V_{gs} - V_{th})^2$ の項は、 $(V_{gs} - V_{th})^2 = \{ (V_{sig} - (V_{ofs} - V_{th})) - V_{th} \}^2 = (V_{sig} - V_{ofs})^2$ となり、閾値電圧 V_{th} の項の影響はなくなるので、駆動トランジスタ 1 5 2 が流す駆動電流 I_{ds} は、移動度 μ を反映したものとなる。具体的には、図 2 4 に示されるように、移動度 μ が大きい場合には、駆動トランジスタ 1 5 2 が流す駆動電流 I_{ds} は大きくなり、ソース電位 V_s の上昇も早い。一方、移動度 μ が小さい場合には、駆動トランジスタ 1 5 2 が流す駆動電流 I_{ds} は小さくなり、ソース電位 V_s の上昇は遅くなる。換言すると、一定時間経過時点では、移動度 μ が大きい場合には、駆動トランジスタ 1 5 2 のソース電位 V_s の上昇量 V_μ (電位補正值) は大きくなり、移動度 μ が小さい場合には、駆動トランジスタ 1 5 2 のソース電位 V_s の上昇量 V_μ (電位補正值) は小さくなる。これによって、各画素回路 1 3 1 の駆動トランジスタ 1 5 2 のゲートソース間電圧 V_{gs} のバラツキが、移動度 μ を反映して小さくなり、一定時間経過後の各画素回路 1 3 1 のゲートソース間電圧 V_{gs} は、移動度 μ のバラツキを完全に補正した電圧となる。

10

【 0 1 1 7 】

時刻 t_8 において、走査線 $W S L 1 5$ の電位が低電位に設定されることで書き込みトランジスタ 1 5 1 がオフして、書き込み + 移動度補正期間 T_5 が終了し、発光期間 T_6 となる (図 2 5)。

【 0 1 1 8 】

発光期間 T_6 では、駆動トランジスタ 1 5 2 のゲートソース間電圧 V_{gs} は一定であるので、駆動トランジスタ 1 5 2 は一定電流 I_{ds}' を有機 E L 素子 1 4 2 に供給し、有機 E L 素子 1 4 2 のアノード電位 V_{e1} は、有機 E L 素子 1 4 2 に一定電流 I_{ds}' という電流が流れる電圧 V_x まで上昇し、有機 E L 素子 1 4 2 は発光する。駆動トランジスタ 1 5 2 のソース電位 V_s が上昇すると、蓄積容量 1 5 3 のブートストラップ機能により、駆動トランジスタ 1 5 2 のゲート電位 V_g も連動して上昇する。

20

【 0 1 1 9 】

有機 E L 素子 1 4 2 の $I - V$ 特性により、発光時間が長くなると、図 2 5 に示される B 点の電位は時間とともに変化する (経時劣化する)。しかしながら、駆動トランジスタ 1 5 2 のゲートソース間電圧 V_{gs} は一定値に保たれているので、有機 E L 素子 1 4 2 に流れる電流は変化しない。したがって、 $I - V$ 特性により有機 E L 素子 1 4 2 が経時劣化しても、一定電流 I_{ds}' が流れ続けるので、有機 E L 素子 1 4 2 の輝度が変化することはない。

30

【 0 1 2 0 】

以上のように、画素回路 1 3 1 を備える有機 E L パネルにおいては、閾値補正機能及び移動度補正機能によって画素回路 1 3 1 ごとの閾値電圧 V_{th} 及び移動度 μ の相違を補正することができる。また、有機 E L 素子 1 4 2 の経時変動 (劣化) も補正することができる。

【 0 1 2 1 】

これにより、画素回路 1 3 1 を備える有機 E L パネルを用いた表示装置では、高品位な画質を得ることが可能である。有機 E L パネルを用いた表示装置とは、例えば次のような装置をいう。即ち、有機 E L パネルに、ソースドライバやゲートドライバを含むドライバ I C (Integrated Circuit) が付加されることによりパネルモジュールが構成される。さらに、パネルモジュールに、電源回路、画像 L S I (Large Scale Integration) などが付加されて、表示装置が構成される。

40

【 0 1 2 2 】

有機 E L パネルを用いた表示装置は、様々な電子機器、例えば、デジタルスチルカメラやデジタルビデオカメラ、ノート型パーソナルコンピュータ、携帯電話、テレビジョン受像機など、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能で

50

ある。以下この様な表示装置が適用された電子機器の例を示す。

【 0 1 2 3 】

例えば、本発明は、電子機器の一例であるテレビジョン受像機に適用できる。このテレビジョン受像機は、フロントパネル、フィルターガラス等から構成される映像表示画面を含み、本発明の表示装置をその映像表示画面に用いることにより作製される。

【 0 1 2 4 】

例えば、本発明は、電子機器の一例であるデジタルスチルカメラに適用できる。このデジタルカメラは、撮像レンズ、表示部、コントロールスイッチ、メニユースイッチ、シャッター等を含み、本発明の表示装置をその表示部に用いることにより作製される。

【 0 1 2 5 】

例えば、本発明は、電子機器の一例であるノート型パーソナルコンピュータに適用できる。このノート型パーソナルコンピュータにおいて、その本体には文字等を入力するとき操作されるキーボードを含み、その本体カバーには画像を表示する表示部を含む。このノート型パーソナルコンピュータは、本発明の表示装置をその表示部に用いることにより作製される。

【 0 1 2 6 】

例えば、本発明は、電子機器の一例である携帯端末装置に適用できる。この携帯端末装置は、上部筐体と下部筐体とを有している。この携帯端末装置の状態としては、それらの2つの筐体が開いた状態と、閉じた状態とが存在する。この携帯端末装置は、上述した上側筐体と下側筐体との他、連結部（ここではヒンジ部）、ディスプレイ、サブディスプレイ、ピクチャーライト、カメラ等を含み、本発明の表示装置をそのディスプレイやサブディスプレイに用いることにより作製される。

【 0 1 2 7 】

例えば、本発明は、電子機器の一例であるデジタルビデオカメラに適用可能である。デジタルビデオカメラは、本体部、前方を向いた側面に被写体撮影用のレンズ、撮影時のスタート/ストップスイッチ、モニター等を含み、本発明の表示装置をそのモニターに用いることにより作製される。

【 0 1 2 8 】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【 0 1 2 9 】

【図 1】従来の有機 EL パネルの構成例を示すブロック図である。

【図 2】従来の画素部 1 1 の構成を示すブロック図である。

【図 3】各色（R，G，B）の画素の画素回路 3 1 のうちのひとつの構成例を示したブロック図である。

【図 4】従来の画素部 1 1 の断面レイアウトの一例を示す図である。

【図 5】ダストDUが付着した場合の従来の画素部 1 1 の断面レイアウトの一例を示す図である。

【図 6】従来の画素部 1 1 を構成する 1 つの画素回路 3 1 の画素が発光しない状態を示す図である。

【図 7】本発明の画素部 1 1 1 の断面レイアウトの一例を示す図である。

【図 8】本発明の画素部 1 1 1 において、1 つの画素に対して設けられた 2 つの画素回路 1 3 1 - 1，1 3 1 - 2 の構成の一例を示すブロック図である。

【図 9】本発明の画素部 1 1 1 を構成する各色画素の画素回路の一例を示すブロック図である。

【図 1 0】分割アノード膜 M L の平面レイアウトの一例を示す図である。

【図 1 1】ダストDUが付着した場合の本発明の画素部 1 1 の断面レイアウトの一例を示す図である。

【図 1 2】本発明の画素部 1 1 1 を構成する 1 つの画素回路 1 3 1 が発光しない状態を示

10

20

30

40

50

す図である。

【図 1 3】 R G B 画素群のレイアウト構成の一例を示す図である。

【図 1 4】 有機 E L 素子のレイアウト構成の一例を示す図である。

【図 1 5】 T F T 回路のレイアウト構成の一例を示す図である

【図 1 6】 図 8 の画素回路 1 3 1 の動作を説明するタイミングチャートである。

【図 1 7】 図 8 の画素回路 1 3 1 の動作について詳細に説明する図である。

【図 1 8】 図 8 の画素回路 1 3 1 の動作について詳細に説明する図である。

【図 1 9】 図 8 の画素回路 1 3 1 の動作について詳細に説明する図である。

【図 2 0】 図 8 の画素回路 1 3 1 の動作について詳細に説明する図である。

【図 2 1】 駆動トランジスタ 1 5 2 のソース電位 V_s の時間変化を示す図である。

【図 2 2】 図 8 の画素回路 1 3 1 の動作について詳細に説明する図である。

【図 2 3】 図 8 の画素回路 1 3 1 の動作について詳細に説明する図である。

【図 2 4】 駆動トランジスタ 1 5 2 のソース電位 V_s の時間変化を示す図である。

【図 2 5】 図 8 の画素回路 1 3 1 の動作について詳細に説明する図である。

【符号の説明】

【 0 1 3 0 】

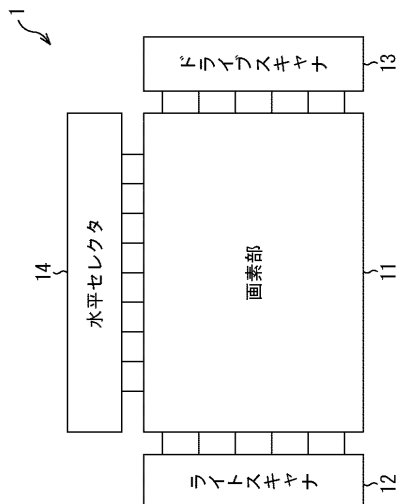
1 有機 E L パネル, 11 画素部, 12 ライトスキャナ, 13 ドライブスキャナ, 14 水平セクタ, WSL 15 走査線, DSL 15 電源線, DTL 15 信号線, 31 画素回路, 41 T F T 回路, 42 有機 E L 素子, 42 a アノード, 42 b 発光部位, 42 c カソード, 101 有機 E L パネル, 111 画素部, 131-1 及び 131-2 画素回路, 141-1 及び 141-2 T F T 回路, 142-1 及び 142-2 有機 E L 素子, 142 a アノード, 142 b-1 及び 142 b-2 発光部位, 142 c カソード

10

20

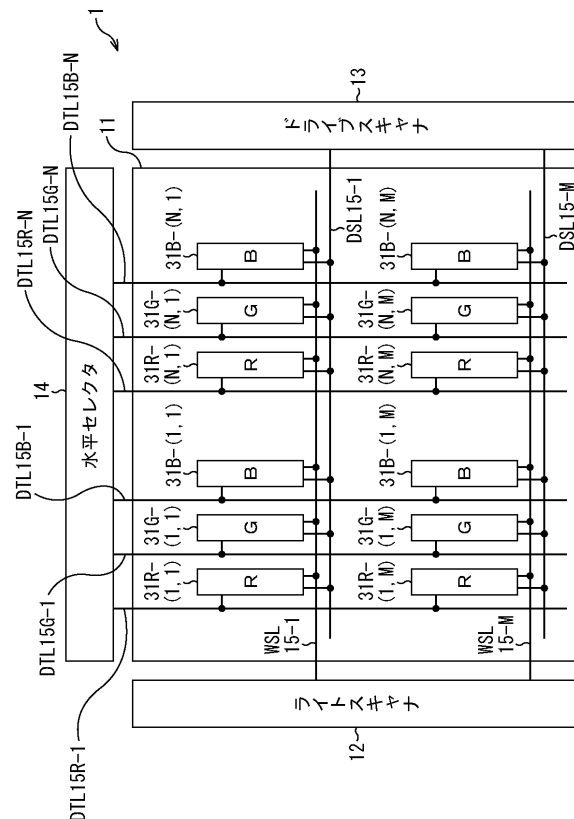
【図 1】

図1



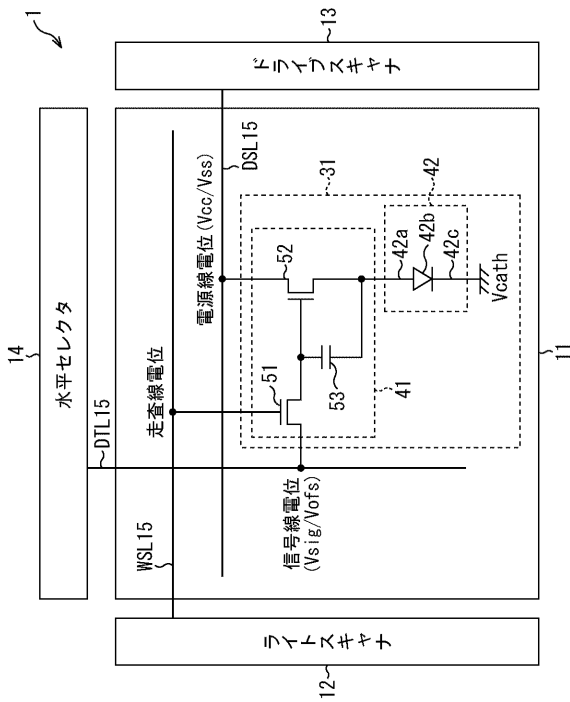
【図 2】

図2



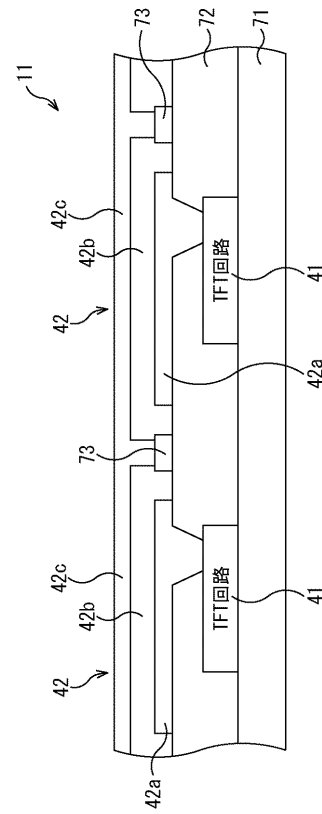
【図 3】

図3



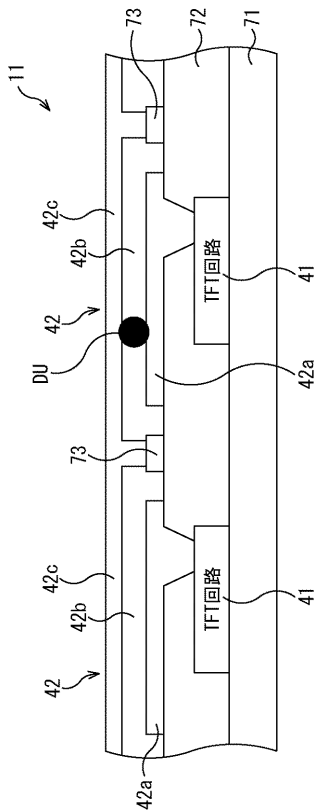
【図 4】

図4



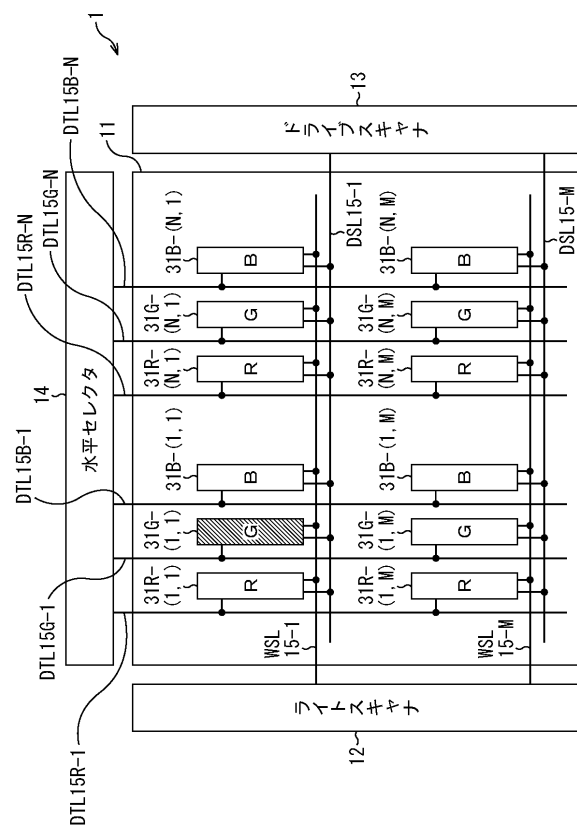
【図 5】

図5



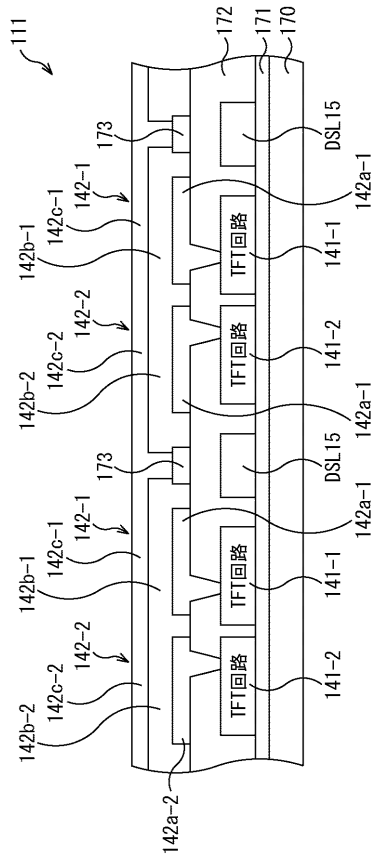
【図 6】

図6



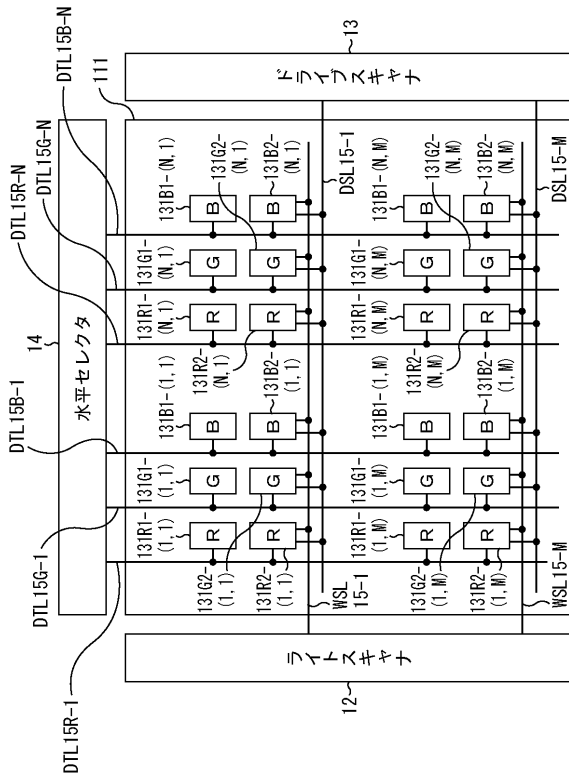
【図 7】

図7



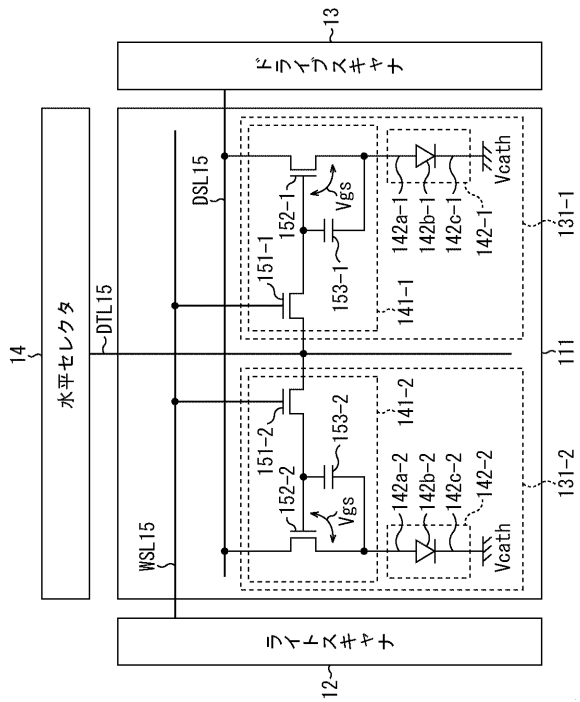
【図 9】

図9



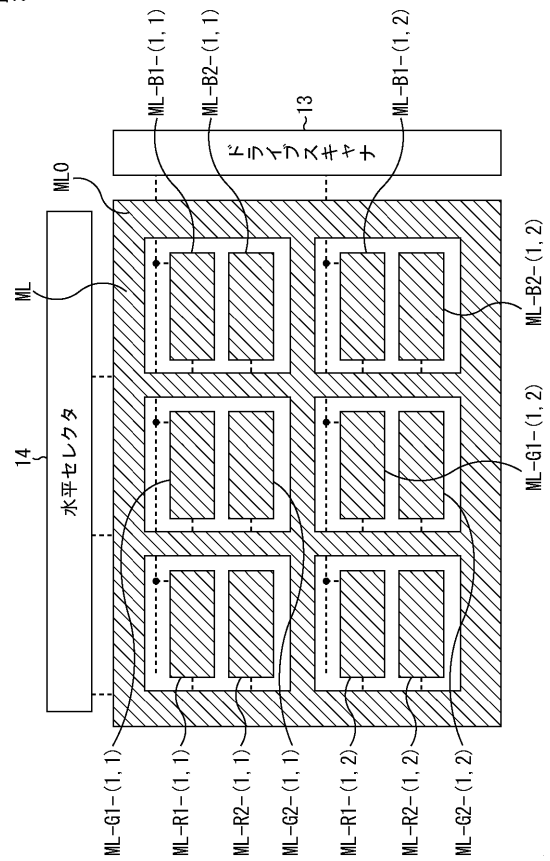
【図 8】

図8

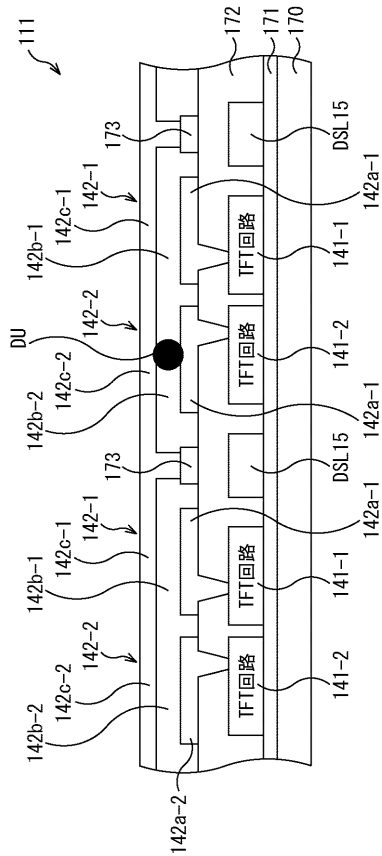


【図 10】

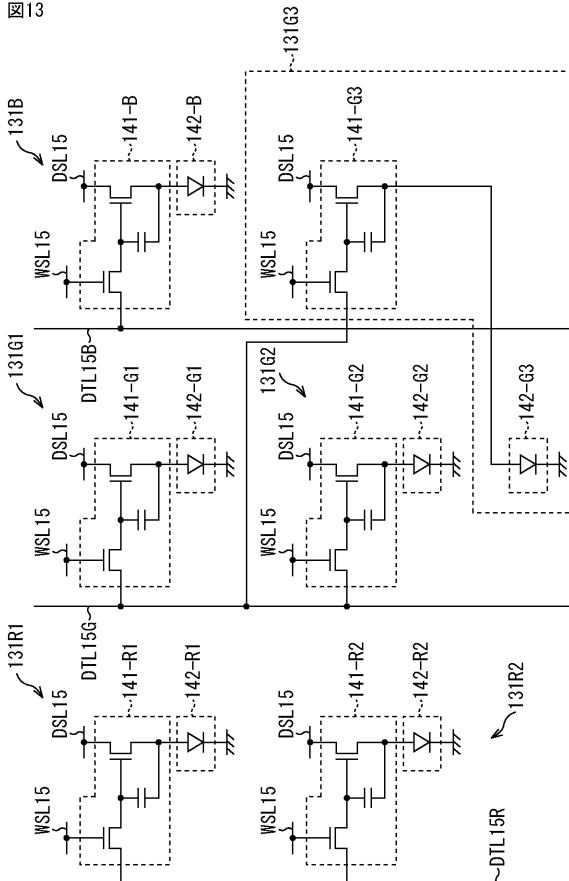
図10



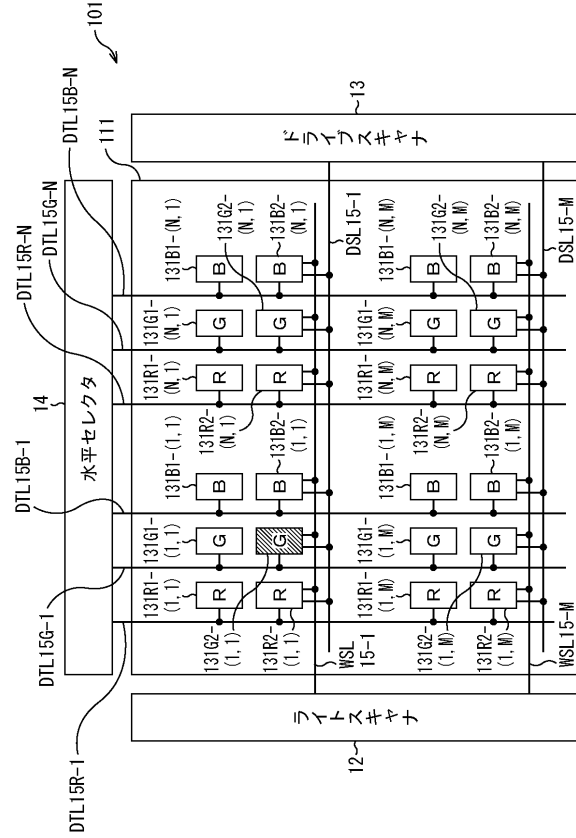
【 図 1 1 】



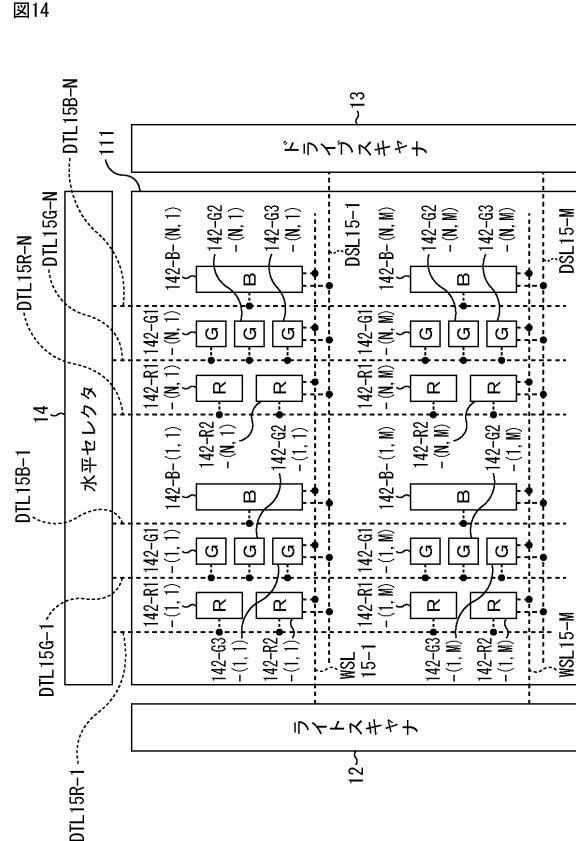
【 図 1 3 】



【 図 1 2 】

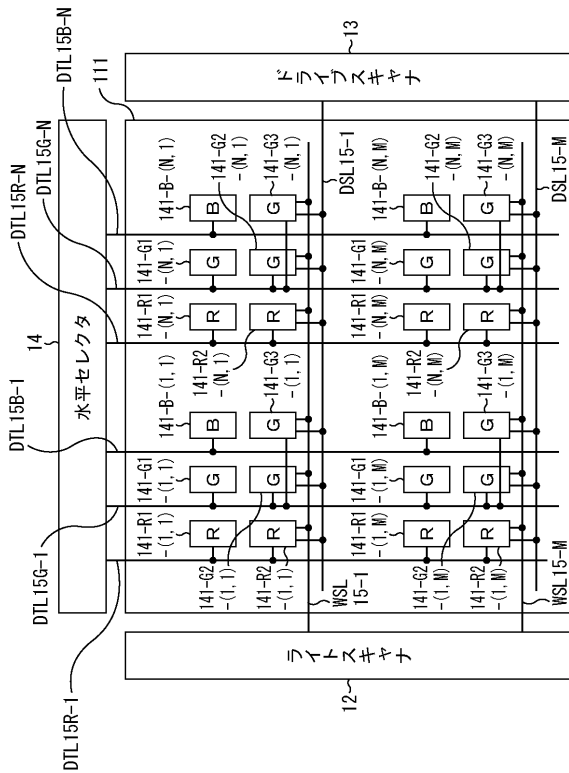


【 図 1 4 】



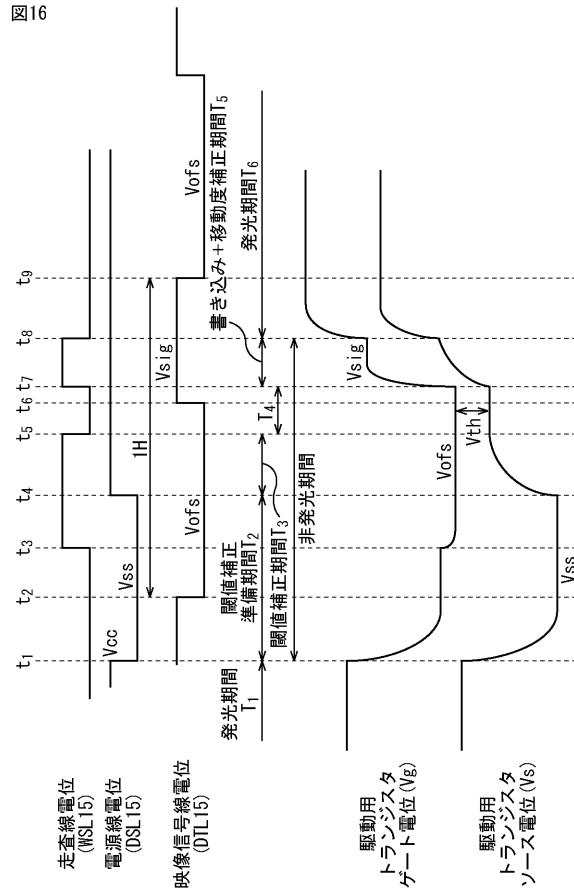
【 図 1 5 】

図15



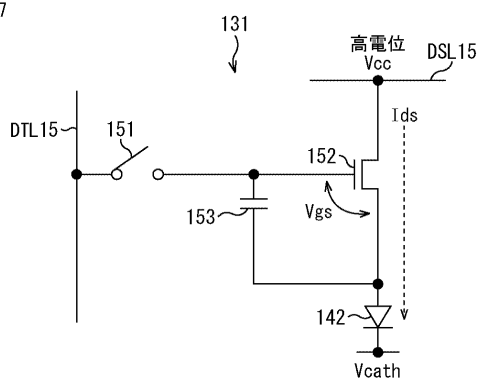
【 図 1 6 】

图16



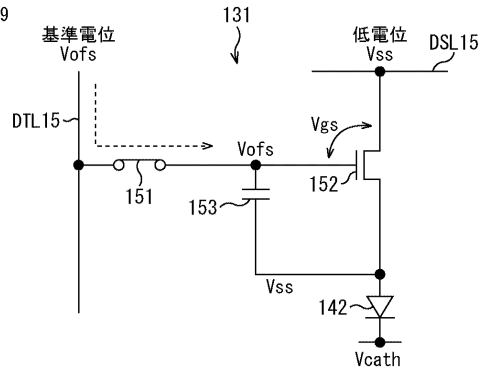
【 図 1 7 】

図17



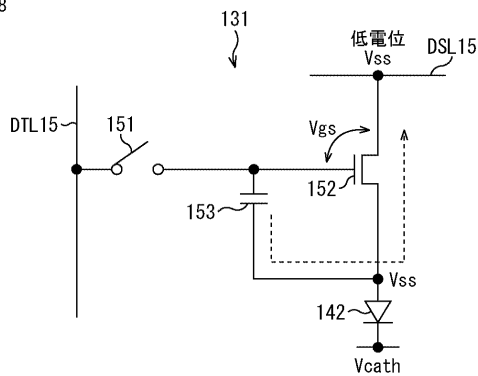
【 図 1 9 】

图19



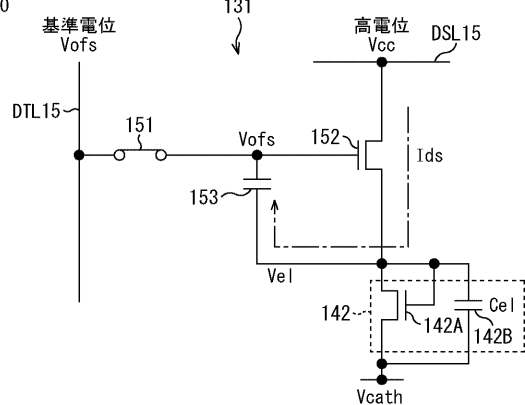
【 図 1 8 】

図18



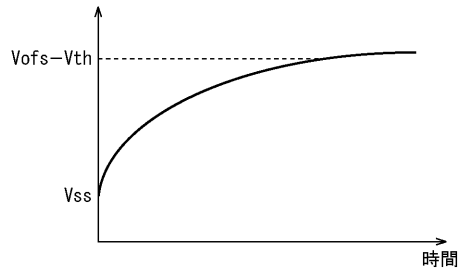
【 図 2 0 】

図20



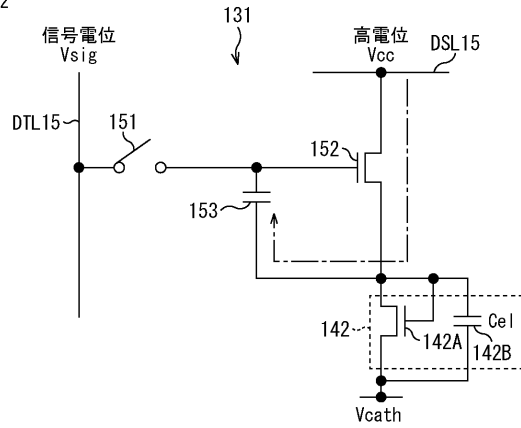
【図 2 1】

図21

駆動用トランジスタの
ソース電位 V_s 

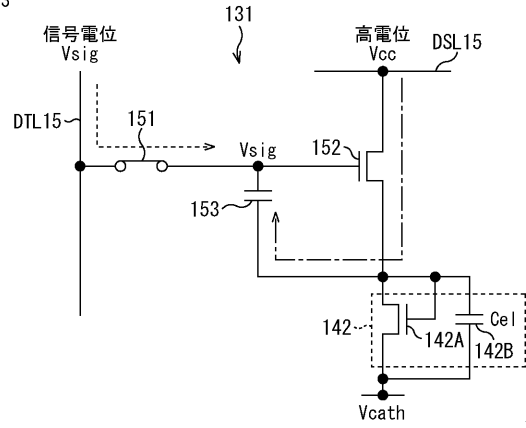
【図 2 2】

図22



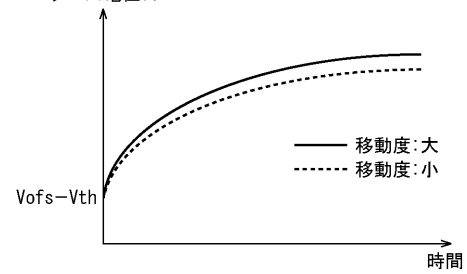
【図 2 3】

図23



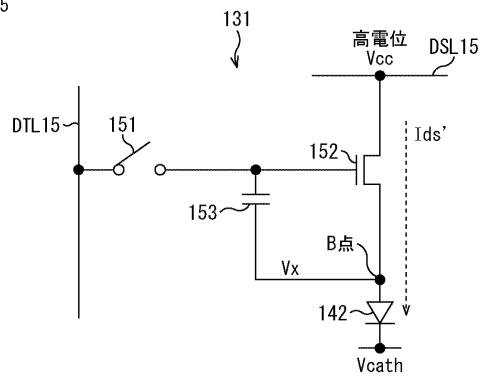
【図 2 4】

図24

駆動用トランジスタの
ソース電位 V_s 

【図 2 5】

図25



フロントページの続き

F ターム(参考) 5C080 AA06 BB05 CC03 DD28 EE29 EE30 FF11 JJ02 JJ03 JJ04
JJ06
5C094 AA31 AA42 BA03 BA27 CA19 CA20 CA24 GA10

专利名称(译)	面板和电子电路		
公开(公告)号	JP2010113042A	公开(公告)日	2010-05-20
申请号	JP2008283915	申请日	2008-11-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野胜秀		
发明人	山下 淳一 内野 胜秀		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.670.A G09G3/20.624.B G09F9/30.338 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC27 3K107/CC45 3K107/EE03 3K107/EE07 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA31 5C094/AA42 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA20 5C094/CA24 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB41 5C380/AB43 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA27 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB26 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CD022 5C380/DA02 5C380/DA06		
代理人(译)	西川 孝		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止灰尘附着造成像素的黑斑。一种有机EL元件，其具有两个阳极142a-1和142a-2，用于以矩阵形式排列的多个像素中的每一个并通过驱动电流发光，以及两个阳极并且TFT电路141-1和141-2为阳极142a-1和142a-2中的每一个提供并且分别向两个阳极142a-1和142a-2提供驱动电流。本发明可以应用于例如面板。 点域7

