

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-97050

(P2010-97050A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 680G	5C080
H01L 51/50 (2006.01)	G09G 3/20 642A	
	G09G 3/20 624B	
	G09G 3/30 J	
審査請求 未請求 請求項の数 4 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2008-268509 (P2008-268509)
 (22) 出願日 平成20年10月17日 (2008.10.17)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 妹尾 佑樹
 東京都品川区西五反田3丁目9番17号
 ソニーエンジニアリング株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 パネル

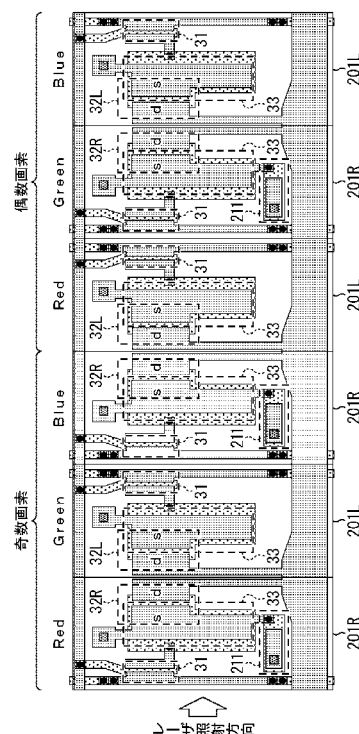
(57) 【要約】

【課題】輝度ムラを改善することができるようにする。

【解決手段】有機ELデバイスを用いた平面自発光型のELパネルにおいては、画素201の配線パターンレイアウトとして、行方向に隣接する画素どうして配線パターンの配置が反転されたミラー反転配置が採用される。レーザアニール時にレーザがソースsに先に照射される駆動用トランジスタ32Rを有する画素201Rに補助容量211を設けることにより、駆動用トランジスタのゲート電位 V_g の上昇量とソース電位 V_s の上昇量との比率が、駆動用トランジスタのソースsに先に照射される画素201Rと、ドレインdに先に照射される画素201Lとで異なる。本発明は、例えば、ELパネルに適用できる。

【選択図】 図17

図17



【特許請求の範囲】**【請求項 1】**

ダイオード特性を有し、駆動電流に応じて発光する発光素子と、
映像信号をサンプリングするサンプリング用トランジスタと、
前記駆動電流を前記発光素子に供給する駆動用トランジスタと、
前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量と

を少なくとも有する画素回路を行列状に配置し、行列状の前記画素回路の配線パターンが行方向に隣接する前記画素回路どうして反転されたミラー反転配置であり、

前記駆動用トランジスタのゲート電位の上昇量とソース電位の上昇量との比率が、前記駆動用トランジスタのソースとドレインのうちレーザアニール時にレーザがソースに先に照射される前記画素回路と、ドレインに先に照射される前記画素回路とで異なる

パネル。

【請求項 2】

前記駆動用トランジスタのソースとドレインのうちレーザアニール時にレーザがソースに先に照射される前記画素回路の、前記映像信号の書き込みおよび移動度補正期間における前記駆動用トランジスタのゲート電位の上昇量に対するソース電位の上昇量の比率が、前記レーザがドレインに先に照射される前記画素回路よりも大きい

請求項 1 に記載のパネル

【請求項 3】

前記レーザアニール時にレーザがソースに先に照射される前記画素回路は、前記発光素子のアノードとカソードに接続して、所定の電位を保持する補助容量をさらに備える

請求項 2 に記載のパネル

【請求項 4】

前記駆動用トランジスタのソースとドレインのうちレーザアニール時にレーザがドレインに先に照射される前記画素回路の、前記映像信号の書き込みおよび移動度補正期間後における前記駆動用トランジスタのソース電位の上昇量に対するゲート電位の上昇量の比率が、前記レーザがソースに先に照射される前記画素回路よりも小さい

請求項 1 に記載のパネル

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、行列状に配置された画素回路の配線パターンが行方向に隣接する画素回路どうして反転されたミラー反転配置とされるパネルに関し、特に、輝度ムラを改善することができるようにするパネルに関する。

【背景技術】**【0002】**

発光素子として有機 E L (Electro Luminescent) デバイスを用いた平面自発光型のパネル (E L パネル) の開発が近年盛んになっている。有機 E L デバイスは、ダイオード特性を有し、有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機 E L デバイスは印加電圧が 10 V 以下で駆動するため低消費電力である。また有機 E L デバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機 E L デバイスの応答速度は数 μ s 程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機 E L デバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献 1 乃至 5 に記載されている。

【0004】

10

20

30

40

50

【特許文献 1】特開 2 0 0 3 - 2 5 5 8 5 6 号公報

【特許文献 2】特開 2 0 0 3 - 2 7 1 0 9 5 号公報

【特許文献 3】特開 2 0 0 4 - 1 3 3 2 4 0 号公報

【特許文献 4】特開 2 0 0 4 - 0 2 9 7 9 1 号公報

【特許文献 5】特開 2 0 0 4 - 0 9 3 6 8 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

表示装置では、表示性能として表示画面全体において輝度ムラがないことが要求される。しかしながら、ELパネルの所定の画素パターンレイアウトでは、画素パターンレイアウトに依存して薄膜トランジスタの特性が異なるものとなり、薄膜トランジスタの特性ばらつきが輝度ムラとなって認識されることがあった。

10

【0006】

本発明は、このような状況に鑑みてなされたものであり、輝度ムラを改善することができるようにするものである。

【課題を解決するための手段】

【0007】

本発明の一側面のパネルは、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量とを少なくとも有する画素回路を行列状に配置し、行列状の前記画素回路の配線パターンが行方向に隣接する前記画素回路どうしで反転されたミラー反転配置であり、前記駆動用トランジスタのソースとドレインのうちレーザアニール時にレーザがソースに先に照射される前記画素回路と、ドレインに先に照射される前記画素回路とで異なる。

20

【0008】

前記駆動用トランジスタのソースとドレインのうちレーザアニール時にレーザがソースに先に照射される前記画素回路の、前記映像信号の書き込みおよび移動度補正期間における前記駆動用トランジスタのゲート電位の上昇量に対するソース電位の上昇量の比率が、前記レーザがドレインに先に照射される前記画素回路よりも大きくすることができる。

30

【0009】

前記レーザアニール時にレーザがソースに先に照射される前記画素回路は、前記発光素子のアノードとカソードに接続して、所定の電位を保持する補助容量をさらに設けることができる。

【0010】

前記駆動用トランジスタのソースとドレインのうちレーザアニール時にレーザがドレインに先に照射される前記画素回路の、前記映像信号の書き込みおよび移動度補正期間後における前記駆動用トランジスタのソース電位の上昇量に対するゲート電位の上昇量の比率が、前記レーザがソースに先に照射される前記画素回路よりも小さくすることができる。

【0011】

本発明の一側面においては、駆動用トランジスタのゲート電位の上昇量とソース電位の上昇量との比率が、駆動用トランジスタのソースとドレインのうちレーザアニール時にレーザがソースに先に照射される画素回路と、ドレインに先に照射される画素回路とで異なるものとされる。

40

【発明の効果】

【0012】

本発明の一側面によれば、輝度ムラを改善することができる。

【発明を実施するための最良の形態】

【0013】

< 本発明を適用する基本の形態 >

50

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、有機ＥＬデバイスを用いたパネル（以下、ＥＬパネルと称する）の基本となる構成と動作について図１乃至図１２を参照して説明する。

【００１４】

[基本となるＥＬパネルの構成]

図１は、基本となるＥＬパネルの構成例を示すブロック図である。

【００１５】

図１のＥＬパネル１００は、 $N \times M$ 個の画素（画素回路）１０１ - (１, １) 乃至 １０１ - (N , M) が行列状に配置されている画素アレイ部１０２と、これを駆動する駆動部である水平セクタ（ＨＳＥＬ）１０３、ライトスキャナ（ＷＳＣＮ）１０４、および電源スキャナ（ＤＳＣＮ）１０５とにより構成されている。

10

【００１６】

また、ＥＬパネル１００は、 M 本の走査線 $W S L 10 - 1$ 乃至 $10 - M$ 、 M 本の電源線 $D S L 10 - 1$ 乃至 $10 - M$ 、および N 本の映像信号線 $D T L 10 - 1$ 乃至 $10 - N$ も有する。

【００１７】

なお、以下において、走査線 $W S L 10 - 1$ 乃至 $10 - M$ 、映像信号線 $D T L 10 - 1$ 乃至 $10 - N$ 、画素１０１ - (１, １) 乃至 １０１ - (N , M)、または電源線 $D S L 10 - 1$ 乃至 $10 - M$ のそれぞれを特に区別する必要がない場合、単に、走査線 $W S L 10$ 、映像信号線 $D T L 10$ 、画素１０１、または電源線 $D S L 10$ と称する。

20

【００１８】

画素１０１ - (１, １) 乃至 １０１ - (N , M) のうちの第１行目の画素１０１ - (１, １) 乃至 １０１ - (N , １) は、走査線 $W S L 10 - 1$ でライトスキャナ１０４と、電源線 $D S L 10 - 1$ で電源スキャナ１０５とそれぞれ接続されている。また、画素１０１ - (１, １) 乃至 １０１ - (N , M) のうちの第 M 行目の画素１０１ - (１, M) 乃至 １０１ - (N , M) は、走査線 $W S L 10 - M$ でライトスキャナ１０４と、電源線 $D S L 10 - M$ で電源スキャナ１０５とそれぞれ接続されている。画素１０１ - (１, １) 乃至 １０１ - (N , M) の行方向に並ぶその他の画素１０１についても同様である。

【００１９】

また、画素１０１ - (１, １) 乃至 １０１ - (N , M) のうちの第１列目の画素１０１ - (１, １) 乃至 １０１ - (１, M) は、映像信号線 $D T L 10 - 1$ で水平セクタ１０３と接続されている。画素１０１ - (１, １) 乃至 １０１ - (N , M) のうちの第 N 列目の画素１０１ - (N , １) 乃至 １０１ - (N , M) は、映像信号線 $D T L 10 - N$ で水平セクタ１０３と接続されている。画素１０１ - (１, １) 乃至 １０１ - (N , M) の列方向に並ぶその他の画素１０１についても同様である。

30

【００２０】

ライトスキャナ１０４は、走査線 $W S L 10 - 1$ 乃至 $10 - M$ に水平周期（１Ｈ）で順次制御信号を供給して画素１０１を行単位で線順次走査する。電源スキャナ１０５は、線順次走査に合わせて電源線 $D S L 10 - 1$ 乃至 $10 - M$ に第１電位（後述する V_{cc} ）または第２電位（後述する V_{ss} ）の電源電圧を供給する。水平セクタ１０３は、線順次走査に合わせて各水平期間内（１Ｈ）で映像信号となる信号電位 V_{sig} と基準電位 V_{ofs} とを切換えて列状の映像信号線 $D T L 10 - 1$ 乃至 $10 - M$ に供給する。

40

【００２１】

図１のように構成されるＥＬパネル１００に、ソースドライバおよびゲートドライバとからなるドライバＩＣ(Integrated Circuit)が付加されることによりパネルモジュールが構成される。さらに、パネルモジュールに、電源回路、画像ＬＳＩ(Large Scale Integration)などを付加したものが表示装置となる。ＥＬパネル１００を含む表示装置は、例えば、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、テレビジョン受像機、プリンタ等の表示部として使用することができる。

【００２２】

50

[画素 1 0 1 の詳細構成]

図 2 は、図 1 に示した E L パネル 1 0 0 に含まれる $N \times M$ 個の画素 1 0 1 のうちの 1 つの画素 1 0 1 を拡大することにより、画素 1 0 1 の詳細な構成を示したブロック図である。

【 0 0 2 3 】

なお、図 2 において画素 1 0 1 と接続されている走査線 $W S L 1 0$ 、映像信号線 $D T L 1 0$ 、および電源線 $D S L 1 0$ は、図 1 から明らかなように、画素 1 0 1 - (n, m) ($n = 1, 2, \dots, N, m = 1, 2, \dots, M$) に対して、走査線 $W S L 1 0 - (n, m)$ 、映像信号線 $D T L 1 0 - (n, m)$ 、および電源線 $D S L 1 0 - (n, m)$ となる。

10

【 0 0 2 4 】

図 2 の画素 1 0 1 は、サンプリング用トランジスタ 3 1、駆動用トランジスタ 3 2、蓄積容量 3 3、および発光素子 3 4 を有する。サンプリング用トランジスタ 3 1 のゲートは走査線 $W S L 1 0$ と接続され、サンプリング用トランジスタ 3 1 のドレインは映像信号線 $D T L 1 0$ と接続されるとともに、ソースが駆動用トランジスタ 3 2 のゲート g と接続されている。

【 0 0 2 5 】

駆動用トランジスタ 3 2 のソース s 及びドレイン d の一方は発光素子 3 4 のアノードに接続され、他方が電源線 $D S L 1 0$ に接続される。蓄積容量 3 3 は、駆動用トランジスタ 3 2 のゲート g と発光素子 3 4 のアノードに接続されている。また、発光素子 3 4 のカソードは所定の電位 $V c a t$ に設定されている配線 3 5 に接続されている。この電位 $V c a t$ は GND レベルであり、従って、配線 3 5 は接地配線である。以下、配線 3 5 を接地配線 3 5 と称する。

20

【 0 0 2 6 】

サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、いずれも N チャネル型トランジスタであり、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができるため、画素回路の製造コストをより安価にすることができる。

【 0 0 2 7 】

有機 E L 素子はダイオード特性を有する電流発光素子であり、発光素子 3 4 は、供給される電流値 $I d s$ に応じた階調の発光を行う。

30

【 0 0 2 8 】

以上のように構成される画素 1 0 1 において、サンプリング用トランジスタ 3 1 が、走査線 $W S L 1 0$ からの制御信号に応じてオン（導通）し、映像信号線 $D T L 1 0$ を介して階調に応じた信号電位 $V s i g$ の映像信号をサンプリングする。蓄積容量 3 3 は、映像信号線 $D T L 1 0$ を介して水平セクタ 1 0 3 から供給された電荷を蓄積して保持する。駆動用トランジスタ 3 2 は、第 1 電位 $V c c$ にある電源線 $D S L 1 0$ から電流の供給を受け、蓄積容量 3 3 に保持された信号電位 $V s i g$ に応じて駆動電流 $I d s$ を発光素子 3 4 に流す（供給する）。発光素子 3 4 に所定の駆動電流 $I d s$ が流れることにより、画素 1 0 1 が発光する。

40

【 0 0 2 9 】

画素 1 0 1 は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ 3 2 の閾値電圧 $V t h$ に相当する電圧を蓄積容量 3 3 に保持させる機能であり、これにより、E L パネル 1 0 0 の画素毎のばらつきの原因となる駆動用トランジスタ 3 2 の閾値電圧 $V t h$ の影響をキャンセルすることができる。

【 0 0 3 0 】

また、画素 1 0 1 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量 3 3 に信号電位 $V s i g$ を保持する際、駆動用トランジスタ 3 2 の移動度 μ に対する補正を信号電位 $V s i g$ に加える機能である。

【 0 0 3 1 】

さらに、画素 1 0 1 は、ブートストラップ機能も備えている。ブートストラップ機能と

50

は、駆動用トランジスタ 32 のソース電位 V_s の変動にゲート電位 V_g を連動させる機能であり、これにより、駆動用トランジスタ 32 のゲート g とソース s 間の電圧 V_{gs} を一定に維持することが出来る。

【0032】

なお、閾値補正機能、移動度補正機能、およびブートストラップ機能については、後述する図 7、図 11、および図 12 などでも説明する。

【0033】

[画素 101 の動作説明]

図 3 は、画素 101 の動作を説明するタイミングチャートである。

【0034】

図 3 は、同一の時間軸（図面横方向）に対する走査線 $WSL10$ 、電源線 $DSL10$ 、および映像信号線 $DTL10$ の電位変化と、それに対応する駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s の変化を示している。

【0035】

図 3 において、時刻 t_1 までの期間は、前の水平期間（ $1H$ ）の発光がなされている発光期間 T_1 である。

【0036】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s を初期化することで閾値電圧補正動作の準備を行う閾値補正準備期間 T_2 である。

【0037】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ 105 が、電源線 $DSL10$ の電位を高電位である V_{cc} から低電位である V_{ss} に切替える。そして、時刻 t_2 において、水平セクタ 103 が、映像信号線 $DTL10$ の電位を信号電位 V_{sig} から基準電位 V_{ofs} に切替える。次に、時刻 t_3 において、ライトスキャナ 104 が、走査線 $WSL10$ の電位を高電位に切替え、サンプリング用トランジスタ 31 をオンさせる。これにより、駆動用トランジスタ 32 のゲート電位 V_g が基準電位 V_{ofs} にリセットされ、且つ、ソース電位 V_s が映像信号線 $DTL10$ の低電位 V_{ss} にリセットされる。

【0038】

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、電源スキャナ 105 により、電源線 $DSL10$ の電位が高電位 V_{cc} に切替えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ 32 のゲート g とソース s との間に接続された蓄積容量 33 に書き込まれる。

【0039】

時刻 t_5 から時刻 t_7 までの書き込み + 移動度補正準備期間 T_4 では、走査線 $WSL10$ の電位が高電位から低電位一旦切替えられる。また、時刻 t_7 の前の時刻 t_6 において、水平セクタ 103 が、映像信号線 $DTL10$ の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切替える。

【0040】

そして、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 $WSL10$ の電位が高電位に設定され、これにより、映像信号の信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 33 に書き込まれる。また、移動度補正用の電圧 ΔV_μ が蓄積容量 33 に保持された電圧から差し引かれる。

【0041】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 $WSL10$ の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 V_{sig} に応じた発光輝度で発光素子 34 が発光する。信号電圧 V_{sig} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV_μ とによって調整されているため、発光素子 34 の発光輝度は駆動用トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けない。

10

20

30

40

50

【 0 0 4 2 】

なお、発光期間 T_0 の最初でブートストラップ動作が行われ、駆動用トランジスタ 3 2 のゲート - ソース間電圧 $V_{gs} = V_{sig} + V_{th} - \Delta V_{\mu}$ を一定に維持したまま、駆動用トランジスタ 3 2 のゲート電位 V_g 及びソース電位 V_s が上昇する。

【 0 0 4 3 】

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、映像信号線 $D T L 1 0$ の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。図 3 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 (1 H) に相当する。

【 0 0 4 4 】

以上のようにして、E L パネル 1 0 0 では、駆動用トランジスタ 3 2 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがなく、発光素子 3 4 を発光させることができる。

【 0 0 4 5 】

[画素 1 0 1 の詳細な動作説明]

図 4 乃至図 1 2 を参照して、画素 1 0 1 の動作についてさらに詳細に説明する。

【 0 0 4 6 】

図 4 は、発光期間 T_1 の画素 1 0 1 の状態を示している。

【 0 0 4 7 】

発光期間 T_1 では、サンプリング用トランジスタ 3 1 がオフ (走査線 $W S L 1 0$ の電位が低電位)、かつ電源線 $D S L 1 0$ の電位が高電位 V_{cc} となっており、駆動用トランジスタ 3 2 が駆動電流 I_{ds} を発光素子 3 4 に供給している。このとき駆動用トランジスタ 3 2 は飽和領域で動作するように設定されているため、発光素子 3 4 に流れる駆動電流 I_{ds} は、駆動用トランジスタ 3 2 のゲートソース間電圧 V_{gs} に応じて次式 (1) で表される値をとる。

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【 0 0 4 8 】

式 (1) において、 μ は移動度を示し、 W はゲート幅を表し、 L はゲート長を表し、 C_{ox} は単位面積あたりのゲート酸化膜容量を示す。また、 V_{gs} は、駆動用トランジスタ 3 2 のゲート g とソース s 間の電圧 (ゲートソース間電圧) であり、 V_{th} は、駆動用トランジスタ 3 2 の閾値電圧である。なお、飽和領域とは、($V_{gs} - V_{th} < V_{ds}$) の条件を満たした状態をいう (V_{ds} は、駆動用トランジスタ 3 2 のソース s とドレイン d 間の電圧)。

【 0 0 4 9 】

そして、閾値補正準備期間 T_2 の最初の時刻 t_1 において、図 5 に示すように、電源スキヤナ 1 0 5 は、電源線 $D S L 1 0$ の電位を高電位 V_{cc} (第 1 電位) から低電位 V_{ss} (第 2 電位) に切替える。このとき電源線 $D S L 1 0$ の電位 V_{ss} が発光素子 3 4 の閾値電圧 V_{thel} とカソード電位 V_{cat} の和よりも小さければ ($V_{ss} < V_{thel} + V_{cat}$) 発光素子 3 4 は消光し、駆動用トランジスタ 3 2 の電源線 $D S L 1 0$ と接続された側がソース s となる。また、発光素子 3 4 のアノードは電位 V_{ss} に充電される。

【 0 0 5 0 】

次に、図 6 に示すように、時刻 t_2 において、水平セレクタ 1 0 3 が映像信号線 $D T L 1 0$ の電位を基準電位 V_{ofs} にした後、時刻 t_3 において、ライトスキヤナ 1 0 4 が、走査線 $W S L 1 0$ の電位を高電位に切替えて、サンプリング用トランジスタ 3 1 をオンにする。これにより、駆動用トランジスタ 3 2 のゲート電位 V_g は V_{ofs} となり、ゲートソース間電圧 V_{gs} は、 $V_{ofs} - V_{ss}$ という値をとる。ここで、駆動用トランジスタ 3 2 のゲートソース間電圧 V_{gs} である ($V_{ofs} - V_{ss}$) は、次の閾値補正期間 T_3 で閾値補正動作を行うため、閾値電圧 V_{th} よりも大である ($V_{ofs} - V_{ss} > V_{th}$)

10

20

30

40

50

必要がある。逆に言うと、 $(V_{ofs} - V_{ss} > V_{th})$ の条件を満たすように、電位 V_{ofs} および V_{ss} が設定される。

【0051】

そして、閾値補正期間 T_3 の最初の時刻 t_4 において、図 7 に示すように、電源スキャナ 105 が電源線 $DSL10$ の電位を低電位 V_{ss} から高電位 V_{cc} に切替える。すると、駆動用トランジスタ 32 の発光素子 34 のアノードと接続されている側がソース s となり、図 7 において 1 点鎖線で示されるように電流が流れる。

【0052】

ここで、発光素子 34 は、等価的にダイオード 34A と寄生容量を C_{el} とする有機 EL 容量 34B で表すことができる。そして、発光素子 34 のリーク電流が駆動用トランジスタ 32 に流れる電流よりもかなり小さい ($V_{el} - V_{cat} + V_{thel}$ を満たす) という条件の下では、駆動用トランジスタ 32 に流れる電流は蓄積容量 33 と有機 EL 容量 34B を充電するために使用される。発光素子 34 のアノード電位 V_{el} (駆動用トランジスタ 32 のソース電位 V_s) は、図 8 に示されるように、駆動用トランジスタ 32 を流れる電流に応じて上昇する。所定時間経過後、駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} が V_{th} という値をとる。また、このときの発光素子 34 のアノード電位 V_{el} は $(V_{ofs} - V_{th})$ である。ここで、発光素子 34 のアノード電位 V_{el} は、発光素子 34 の閾値電圧 V_{thel} とカソード電位 V_{cat} の和以下となっている ($V_{el} = (V_{ofs} - V_{th}) - (V_{cat} + V_{thel})$)。

【0053】

その後、時刻 t_5 において、図 9 に示されるように、走査線 $WSL10$ の電位が高電位から低電位に切替えられ、サンプリング用トランジスタ 31 がオフして閾値補正動作 (閾値補正期間 T_3) が完了する。

【0054】

続く書き込み + 移動度補正準備期間 T_4 の時刻 t_6 において、水平セクタ 103 によって、映像信号線 $DTL10$ の電位が、基準電位 V_{ofs} から、階調に応じた信号電位 V_{sig} に切換えられる (図 9)。その後、書き込み + 移動度補正期間 T_5 に入り、図 10 に示されるように、時刻 t_7 において、走査線 $WSL10$ の電位が高電位に設定されることでサンプリング用トランジスタ 31 がオンして、映像信号の書き込みと移動度補正動作が行われる。駆動用トランジスタ 32 のゲート電位 V_g は、サンプリング用トランジスタ 31 がオンしているため信号電位 V_{sig} となるが、サンプリング用トランジスタ 31 には電源線 $DSL10$ からの電流が流れるため、駆動用トランジスタ 32 のソース電位 V_s は、時間とともに上昇していく。

【0055】

駆動用トランジスタ 32 の閾値補正動作は既に完了している。よって、式 (1) の右辺の $(V_{gs} - V_{th})^2$ の項は、 $(V_{gs} - V_{th})^2 = \{ (V_{sig} - (V_{ofs} - V_{th})) - V_{th} \}^2 = (V_{sig} - V_{ofs})^2$ となり、閾値電圧 V_{th} の項の影響はなくなるので、駆動用トランジスタ 32 が流す電流 I_{ds} は、移動度 μ を反映したものとなる。具体的には、図 11 に示されるように、移動度 μ が大きい場合には、駆動用トランジスタ 32 が流す電流 I_{ds} は大きくなり、ソース電位 V_s の上昇も早い。一方、移動度 μ が小さい場合には、駆動用トランジスタ 32 が流す電流 I_{ds} は小さくなり、ソース電位 V_s の上昇は遅くなる。換言すると、一定時間経過時点では、移動度 μ が大きい場合には、駆動用トランジスタ 32 のソース電位 V_s の上昇量 V_μ (電位補正值) は大きくなり、移動度 μ が小さい場合には、駆動用トランジスタ 32 のソース電位 V_s の上昇量 V_μ (電位補正值) は小さくなる。これによって、各画素 101 の駆動用トランジスタ 32 のゲートソース間電圧 V_{gs} のバラツキが、移動度 μ を反映して小さくなり、一定時間経過後の各画素 101 のゲートソース間電圧 V_{gs} は、移動度 μ のバラツキを完全に補正した電圧となる。

【0056】

時刻 t_8 において、走査線 $WSL10$ の電位が低電位に設定されることでサンプリング

用トランジスタ 3 1 がオフして、書き込み + 移動度補正期間 T_5 が終了し、発光期間 T_6 となる (図 1 2)。

【 0 0 5 7 】

発光期間 T_6 では、駆動用トランジスタ 3 2 のゲートソース間電圧 V_{gs} は一定であるので、駆動用トランジスタ 3 2 は一定電流 $I_{ds'}$ を発光素子 3 4 に供給する。発光素子 3 4 のアノード電位 V_{e1} は、発光素子 3 4 に一定電流 $I_{ds'}$ という電流が流れる電圧 V_x まで上昇し、発光素子 3 4 は発光する。駆動用トランジスタ 3 2 のソース電位 V_s が上昇すると、蓄積容量 3 3 のブートストラップ機能により、駆動用トランジスタ 3 2 のゲート電位 V_g も連動して上昇する。

【 0 0 5 8 】

発光素子 3 4 の $I - V$ 特性により、発光時間が長くなると、図 1 2 に示される B 点の電位は時間とともに変化する (経時劣化する)。しかしながら、駆動用トランジスタ 3 2 のゲートソース間電圧 V_{gs} は一定値に保たれているので、発光素子 3 4 に流れる電流は変化しない。したがって、 $I - V$ 特性により発光素子 3 4 が経時劣化しても、一定電流 $I_{ds'}$ が流れ続けるので、発光素子 3 4 の輝度が変化することはない。

【 0 0 5 9 】

以上のように、画素 1 0 1 を備える図 2 の EL パネル 1 0 0 においては、閾値補正機能および移動度補正機能によって画素 1 0 1 ごとの閾値電圧 V_{th} 及び移動度 μ の相違を補正することができる。また、発光素子 3 4 の経時変動 (劣化) も補正することができる。

【 0 0 6 0 】

これにより、図 2 の EL パネル 1 0 0 を用いた表示装置では、高品位な画質を得ることが可能である。

【 0 0 6 1 】

[画素 1 0 1 の配線パターンレイアウト]

図 1 3 は、サンプリング用トランジスタ 3 1、駆動用トランジスタ 3 2、および蓄積容量 3 3 に関する部分の画素 (画素回路) 1 0 1 の配線パターンのレイアウトを示している。

【 0 0 6 2 】

サンプリング用トランジスタ 3 1 のゲート g は第 2 の金属層で形成し、サンプリング用トランジスタ 3 1 のソース s 及びドレイン d は第 1 の金属層で形成することができる。また、駆動用トランジスタ 3 2 のゲート g は第 2 の金属層で形成し、駆動用トランジスタ 3 2 のソース s 及びドレイン d は第 1 の金属層で形成することができる。蓄積容量 3 3 は第 1 の金属層と第 2 の金属層で形成することができる。

【 0 0 6 3 】

ブートストラップ動作を行わせる画素 1 0 1 においては、蓄積容量 3 3 の容量 C_s を大きくする必要があるため、蓄積容量 3 3 を形成するための領域を広く確保する必要がある。蓄積容量 3 3 のための領域を広く確保する方法の一つとして、行方向に隣接する画素 1 0 1 どちらの配線パターンの配置を反転させる方法がある。

【 0 0 6 4 】

[ミラー反転配置の EL パネル 1 0 0 の配線パターンレイアウト]

図 1 4 は、画素 1 0 1 の配線パターンを行方向に隣接する画素どちらで反転させるミラー反転配置を採用した場合の EL パネル 1 0 0 の画素アレイ部 1 0 2 (図 1) の配線パターンレイアウトを示している。

【 0 0 6 5 】

これまで上述した画素 1 0 1 は、赤 (Red)、緑 (Green)、または青 (Blue) のいずれかの色で発光するいわゆる副画素 (サブピクセル) に相当し、行方向 (図面左右方向) に並ぶ赤、緑、および青の 3 つの画素 1 0 1 で表示単位としての 1 画素が構成される。

【 0 0 6 6 】

表示単位としての 1 画素を表示画素と呼び、表示画素の列を画素アレイ部 1 0 2 (図 1) の左端から順に数えたときに奇数番号となる表示画素を奇数画素 (Odd 画素)、偶数番

10

20

30

40

50

号となる表示画素を偶数画素（Even画素）と呼ぶことにする。

【 0 0 6 7 】

図 1 4 の左側 3 つの画素 1 0 1 からなる表示画素を奇数画素、右側 3 つの画素 1 0 1 からなる表示画素を偶数画素とすると、ミラー反転配置を採用した E L パネル 1 0 0 では、奇数画素の赤および青と偶数画素の緑を発光する画素 1 0 1 は、図 1 3 に示した配線パターンレイアウトとされ、奇数画素の緑と偶数画素の赤および青を発光する画素 1 0 1 は、図 1 3 に示した配線パターンレイアウトを行方向にミラー反転させた配線パターンレイアウトとされている。

【 0 0 6 8 】

以下では、図 1 3 に示した配線パターンレイアウトの画素 1 0 1 を画素 1 0 1 R と称し、図 1 3 に示した配線パターンレイアウトとは反転した配置を有する画素 1 0 1 を画素 1 0 1 L と称する。画素 1 0 1 R と画素 1 0 1 L とでは、駆動用トランジスタ 3 2 のドレイン d とソース s の位置が反転しており、画素 1 0 1 R の駆動用トランジスタ 3 2 を駆動用トランジスタ 3 2 R と称し、反転画素 1 0 1 L の駆動用トランジスタ 3 2 を駆動用トランジスタ 3 2 L と称する。

10

【 0 0 6 9 】

ここで、図 1 4 に示されるミラー反転配置の配線パターンレイアウトを有する画素 1 0 1 内の薄膜トランジスタのチャネル部半導体層を、レーザアニール装置を用いてアニールする場合について考える。

【 0 0 7 0 】

レーザアニール装置は、画素 1 0 1 の行方向に沿って一方向にレーザを照射することを繰り返すことにより、薄膜トランジスタのチャネル部半導体層（シリコン）をアニールする。したがって、偶数画素と奇数画素とでは、駆動用トランジスタ 3 2 に対するレーザの当り方が異なり、そのことが、駆動用トランジスタ 3 2 の ON 特性（トランジスタ特性）を異なるものとさせていた。

20

【 0 0 7 1 】

例えば、図 1 4 の矢印で示されるように、レーザの照射方向（走査方向）が図中左から右方向であるとする、画素 1 0 1 R では、駆動用トランジスタ 3 2 R のソース s に対して先にレーザが照射され、その後ドレイン d に照射されることになる。一方、画素 1 0 1 L では、駆動用トランジスタ 3 2 L のドレイン d に対して先にレーザが照射され、その後ソース s に照射されることになる。ブートストラップ動作を行わせる画素 1 0 1 では、駆動用トランジスタ 3 2 のソース s 側に蓄積容量 3 3 が設けられており、駆動用トランジスタ 3 2 のソース s と蓄積容量 3 3 の一方の電極は同一の第 1 の金属層で形成される。従って、駆動用トランジスタ 3 2 R のソース s にレーザが照射される前に同一金属層（第 1 の金属層）で形成されている蓄積容量 3 3 部分にレーザが照射されており、ソース s にレーザが先に照射される駆動用トランジスタ 3 2 R は、その影響を受ける。一方、駆動用トランジスタ 3 2 L は、ドレイン d にレーザが照射される前には同一金属層がないため、蓄積容量 3 3 の影響を受けない。その結果、駆動用トランジスタ 3 2 R の ON 特性が低く、駆動用トランジスタ 3 2 L の ON 特性は高くなってしまう。

30

【 0 0 7 2 】

[駆動用トランジスタ 3 2 の ON 特性について]

40

図 1 5 を参照して ON 特性の違いによる影響について説明する。

【 0 0 7 3 】

図 1 5 は、図 3 に示した画素 1 0 1 のタイミングチャートのうち、時刻 t_4 から時刻 t_8 すぎまでの期間を拡大して示した図である。

【 0 0 7 4 】

駆動用トランジスタ 3 2 の ON 特性とは、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 における駆動用トランジスタ 3 2 のゲート電位 V_g の上昇に合わせたソース電位 V_s の上昇量を表す。ON 特性が高いほどソース電位 V_s の上昇量は大きく、ON 特性が低いと、ソース電位 V_s の上昇量も小さい。

50

【 0 0 7 5 】

図 1 5 の駆動用トランジスタ 3 2 のゲート電位 V_g およびソース電位 V_s は、ON 特性が高い場合、即ち、ドレイン d に対して先にレーザが照射された場合を実線で、ON 特性が低い場合、即ち、ソース s に対して先にレーザが照射された場合を点線で示している。駆動用トランジスタ 3 2 のゲート電位 V_g およびソース電位 V_s の違いは発光素子 3 4 に流れる駆動電流 I_{ds} の違いとなるので、結局、駆動用トランジスタ 3 2 の ON 特性の違いは、輝度の違いとなって現れる。ミラー反転配置を採用した場合には、ソース s に対して先にレーザが照射される画素 1 0 1 R と、ドレイン d に対して先にレーザが照射される画素 1 0 1 L とが交互に配置されているため、EL パネル 1 0 0 全体では、細かい縦筋の輝度ムラとなって視認されることとなり、パネル生産の歩留まりの低下の一因となっていた。

10

【 0 0 7 6 】

そこで、駆動用トランジスタ 3 2 に対するレーザの当り方が異なることに起因して生じる細かい縦筋の輝度ムラを改善するようにした EL パネルについて説明する。

【 0 0 7 7 】

< 本発明の実施の形態 >

[本発明を適用した EL パネル 2 0 0 の構成]

図 1 6 は、本発明を適用した EL パネル 2 0 0 の実施の形態の構成例を示すブロック図である。

【 0 0 7 8 】

20

なお、以下において、上述した EL パネル 1 0 0 と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

【 0 0 7 9 】

図 1 6 の EL パネル 2 0 0 では、画素アレイ部 1 0 2 において、上述した画素 1 0 1 と一部異なる構成を有する画素 2 0 1 - (1 , 1) 乃至 2 0 1 - (N , M) が行列状に配置されている点が、EL パネル 1 0 0 と異なる。以下において、画素 2 0 1 - (1 , 1) 乃至 2 0 1 - (N , M) のそれぞれを特に区別する必要がない場合、画素 1 0 1 と同様に、単に画素 2 0 1 と称する。

【 0 0 8 0 】

30

なお、EL パネル 2 0 0 の画素アレイ部 1 0 2 における画素 2 0 1 の配線パターンレイアウトには、行方向に隣接する画素どうしで配線パターンの配置が反転されたミラー反転配置が採用されているものとする。

【 0 0 8 1 】

[画素 2 0 1 の第 1 の実施の形態]

図 1 7 は、EL パネル 2 0 0 の画素アレイ部 1 0 2 における画素 2 0 1 の配線パターンレイアウトの第 1 の実施の形態を示している。

【 0 0 8 2 】

図 1 7 では、上述した図 1 4 における場合と同様、レーザアニール装置を用いてアニールする場合に、駆動用トランジスタ 3 2 のソース s に対して先にレーザが照射される画素 2 0 1 が画素 2 0 1 R で、駆動用トランジスタ 3 2 のドレイン d に対して先にレーザが照射される画素 2 0 1 が画素 2 0 1 L で示されている。また、画素 2 0 1 R の駆動用トランジスタ 3 2 は駆動用トランジスタ 3 2 R で、画素 2 0 1 L の駆動用トランジスタ 3 2 は駆動用トランジスタ 3 2 L で示されている。

40

【 0 0 8 3 】

第 1 の実施の形態では、駆動用トランジスタ 3 2 のソース s に先にレーザが照射される画素 2 0 1 R に対してのみ、補助容量 2 1 1 が形成されている点が、図 1 4 の画素 1 0 1 R と異なる。画素 2 0 1 L は、画素 1 0 1 L と同様の構成（配線パターン）とされている。

【 0 0 8 4 】

補助容量 2 1 1 は、その点線内の第 1 の金属層と第 2 の金属層の対向する部分に相当す

50

る。補助容量 2 1 1 の一方の電極は、第 1 の金属層で形成することができ、第 3 の金属層（図示せず）で形成される発光素子 3 4 のカソードに接続される。また、補助容量 2 1 1 の他方の電極は、第 2 の金属層で形成することができ、第 1 の金属層で形成される蓄積容量 3 3 の一方の電極と接続される。

【 0 0 8 5 】

補助容量 2 1 1 は、図 1 7 に示されるように、画素 2 0 1 R の略中央部に配置される蓄積容量 3 3 を構成する第 1 の金属層および第 2 の金属層と、画素 2 0 1 R 内の図面下部に配置される電源線 D S L 1 0 を構成する第 1 の金属層との間のスペースに配置することができる。なお、補助容量 2 1 1 を配置する場所は、図 1 7 に示される位置に限定されるわけではない。

10

【 0 0 8 6 】

図 1 8 は、画素 2 0 1 R の等価回路を示している。

【 0 0 8 7 】

図 2 を参照して説明した画素 1 0 1 の等価回路と比較すると、画素 2 0 1 R には、容量 C s u b の補助容量 2 1 1 が新たに追加されている。補助容量 2 1 1 の一方の電極は発光素子 3 4 のアノードに接続され、補助容量 2 1 1 の他方の電極は発光素子 3 4 のカソードに接続されている。補助容量 2 1 1 の動作は、図 7 の参照して説明した有機 E L 容量 3 4 B と同様である。

【 0 0 8 8 】

また、図 1 8 の画素 2 0 1 R には、サンプリング用トランジスタ 3 1 の寄生容量（サンプリング用トランジスタ 3 1 のゲート - ソース間に発生する寄生容量）C w s 、駆動用トランジスタ 3 2 のゲート - ドレイン間に発生する寄生容量 C g d 、駆動用トランジスタ 3 2 のゲート - ソース間の寄生容量 C g s が図示されている。

20

【 0 0 8 9 】

画素 2 0 1 R では、このように補助容量 2 1 1 を追加することにより、駆動用トランジスタ 3 2 R の入力ゲインを向上させることができる。

【 0 0 9 0 】

画素 2 0 1 R における駆動用トランジスタ 3 2 R の入力ゲイン（Input_Gain）は、書き込み + 移動度補正期間 T_g における駆動用トランジスタ 3 2 R のゲート電位 V_g の上昇量に対するソース電位 V_s の上昇量の比率であり、次式（2）で表すことができる。

30

【 0 0 9 1 】

【数 2】

$$\text{Input_Gain} = \frac{C_{el} + C_{sub}}{C_{gs} + C_{ws} + C_{el} + C_{sub}} \quad \dots (2)$$

【 0 0 9 2 】

なお、式（2）の C_{el} は、図 7 を参照して説明したように、発光素子 3 4 の寄生容量である。

【 0 0 9 3 】

式（2）から明らかなように、補助容量 2 1 1 を追加することで、駆動用トランジスタ 3 2 R の入力ゲインが向上する。したがって、図 1 5 において点線で示される、ソース s に先にレーザが照射される駆動用トランジスタ 3 2 R の書き込み + 移動度補正期間 T_g における駆動用トランジスタ 3 2 R のソース電位 V_s の上昇量が、実線で示される駆動用トランジスタ 3 2 L のソース電位 V_s の上昇量と同一となる容量 C s u b を有する補助容量 2 1 1 を追加することで、画素 2 0 1 R と画素 2 0 1 L の輝度を同一にすることができる。従って、細かい縦筋の輝度ムラを改善することができる。

40

【 0 0 9 4 】

即ち、駆動用トランジスタ 3 2 のソース s とドレイン d のうちレーザアニール時にレーザがソース s に先に照射される画素（画素回路）2 0 1 R の、映像信号の書き込みおよび移動度補正期間 T_g における駆動用トランジスタ 3 2 のゲート電位 V_g の上昇量に対する

50

ソース電位 V_s の上昇量の比率を、レーザがドレイン d に先に照射される画素（画素回路）201Lよりも大きくすることにより、輝度ムラを改善することができる。

【0095】

なお、第1の実施の形態における輝度ムラ改善のポイントは、駆動用トランジスタ32Rの入力ゲインを補助容量211の容量 C_{sub} によって駆動用トランジスタ32Lよりも高くすることである。従って、例えば、ON特性がもともと高い駆動用トランジスタ32Lを有する画素201Lに、有機発光材料部の容量成分を補う等の目的で既に補助容量が設けられている場合には、画素201Lに設けられている補助容量とサイズ（容量）の異なる（サイズのより大きい）補助容量211を画素201Rに設けることで、輝度ムラを改善することができる。

10

【0096】

また、上述した例では、レーザの照射方向が図中左から右方向である場合について説明したが、レーザの照射方向が図中右から左方向である場合には、レーザアニール時にレーザがソース s に先に照射される画素とドレイン d に先に照射される画素が逆になる。即ち、画素201Lがレーザアニール時にレーザがソース s に先に照射され、画素201Rがレーザアニール時にレーザがドレイン d に先に照射される。この場合には、補助容量211を画素201Lに設ければよい。

【0097】

[画素201の第2の実施の形態]

図19は、ELパネル200の画素アレイ部102における画素201の配線パターンレイアウトの第2の実施の形態を示している。

20

【0098】

図19においても、図14における場合と同様、レーザアニール装置を用いてアニールする場合に、駆動用トランジスタ32のソース s に対して先にレーザが照射される画素201を画素201Rで、駆動用トランジスタ32のドレイン d に対して先にレーザが照射される画素201を画素201Lで示している。また、画素201Rの駆動用トランジスタ32は駆動用トランジスタ32Rで、画素201Lの駆動用トランジスタ32は駆動用トランジスタ32Lで示されている。

【0099】

第2の実施の形態では、画素201Lにおいて、図14の画素101Lの蓄積容量33に代えて、それよりも配線パターンサイズの小さい蓄積容量221が設けられている点のみが画素101Lと異なる。配線パターンサイズとは、蓄積容量221を構成する第1の金属層と第2の金属層の対向する部分の面積であり、蓄積容量221の容量 C_s は、蓄積容量33の容量 C_s よりも小さい。なお、画素201Rは、画素101Rと同様である。

30

【0100】

蓄積容量221と蓄積容量33の配線パターンサイズの違いによって、書き込み + 移動度補正期間（書き込みおよび移動度補正期間） T_5 経過後の発光期間 T_6 における駆動用トランジスタ32のソース電位 V_s の上昇量 ΔV_s に対するゲート電位 V_g の上昇量 ΔV_g の比率であるブートストラップゲイン（ G_{bst} ）が異なる。ブートストラップゲインは、次式（3）で表される。

40

【0101】

【数3】

$$G_{bst} = \frac{\Delta V_g}{\Delta V_s} = \frac{C_s + C_{gs}}{C_s + C_{gs} + C_{ws} + C_{gd}} \quad \dots (3)$$

【0102】

式（3）における C_{gs} 、 C_{ws} 、および C_{gd} はいずれも寄生容量であるので、ブートストラップゲインは、蓄積容量221または蓄積容量33の容量 C_s に大きく依存する。従って、蓄積容量221の容量 C_s を小さくすることにより、ブートストラップゲインは小さくなる。

50

【 0 1 0 3 】

画素 2 0 1 L の蓄積容量 2 2 1 の容量 C_s を小さくすることにより、ブートストラップ動作後の駆動用トランジスタ 3 2 R のソース電位 V_s を、画素 1 0 1 L の実線で示される値から、画素 2 0 1 R (画素 1 0 1 R) の点線で示される値へ近づけることができる。

【 0 1 0 4 】

換言すれば、ブートストラップ動作後の駆動用トランジスタ 3 2 R のソース電位 V_s が、駆動用トランジスタ 3 2 L のソース電位 V_s (図 1 3 の点線) と同一となるように、画素 2 0 1 L の蓄積容量 2 2 1 の容量 C_s が決定される。

【 0 1 0 5 】

このように駆動用トランジスタ 3 2 のソース s とドレイン d のうちレーザアニール時にレーザがドレイン d に先に照射される画素 (画素回路) 2 0 1 L のブートストラップゲインを、レーザがソース s に先に照射される画素 (画素回路) 2 0 1 R よりも小さくすることにより、細かい縦筋の輝度ムラを改善することができる。

10

【 0 1 0 6 】

なお、第 2 の実施の形態では、画素 2 0 1 L の蓄積容量 2 2 1 の容量 C_s を、画素 2 0 1 R の蓄積容量 3 3 の容量 C_s と比較して大とすればよい。従って、画素 2 0 1 L 内のスペースに空きがあれば、画素 2 0 1 L を図 1 4 の画素 1 0 1 L と同様に構成し、画素 2 0 1 R の蓄積容量 3 3 の配線パターンサイズを、画素 2 0 1 L の蓄積容量 3 3 の配線パターンサイズよりも大としてもよい。

【 0 1 0 7 】

上述した例では、レーザの照射方向が図中左から右方向である場合について説明したが、レーザの照射方向が図中右から左方向である場合には、レーザアニール時にレーザがソース s に先に照射される画素とドレイン d に先に照射される画素が逆になる。即ち、画素 2 0 1 L がレーザアニール時にレーザがソース s に先に照射され、画素 2 0 1 R がレーザアニール時にレーザがドレイン d に先に照射される。この場合には、蓄積容量 2 2 1 を画素 2 0 1 R に設け、画素 2 0 1 L を画素 1 0 1 L と同様の構成とすればよい。

20

【 0 1 0 8 】

以上のように、第 1 および第 2 の実施の形態では、駆動用トランジスタ 3 2 のゲート電位 V_g の上昇量とソース電位 V_s の上昇量との比率が駆動用トランジスタ 3 2 のソース s とドレイン d のうちレーザアニール時にレーザがソース s に先に照射される画素 2 0 1 R とドレイン d に先に照射される画素 2 0 1 L とで異なるようにすることで、細かい縦筋の輝度ムラを改善することができる。

30

【 0 1 0 9 】

[画素 2 0 1 の第 3 の実施の形態]

図 2 0 は、E L パネル 2 0 0 の画素アレイ部 1 0 2 における画素 2 0 1 の配線パターンレイアウトの第 3 の実施の形態を示している。

【 0 1 1 0 】

図 2 0 においても、図 1 4 における場合と同様、レーザアニール装置を用いてアニールする場合に、駆動用トランジスタ 3 2 のソース s に対して先にレーザが照射される画素 2 0 1 を画素 2 0 1 R で、駆動用トランジスタ 3 2 のドレイン d に対して先にレーザが照射される画素 2 0 1 を画素 2 0 1 L で示している。

40

【 0 1 1 1 】

第 3 の実施の形態では、画素 2 0 1 L において、図 1 4 の画素 1 0 1 L の駆動用トランジスタ 3 2 L とトランジスタサイズの異なる駆動用トランジスタ 2 3 1 が設けられている点のみが画素 1 0 1 L と異なる。即ち、画素 2 0 1 L の駆動用トランジスタ 2 3 1 のゲート幅 W が、画素 1 0 1 L の駆動用トランジスタ 3 2 L のゲート幅 W よりも短い。画素 2 0 1 R は、画素 1 0 1 R と同様である。

【 0 1 1 2 】

[駆動用トランジスタ 2 3 1 の拡大図]

図 2 1 は、画素 2 0 1 L の駆動用トランジスタ 2 3 1 部分を拡大した図である。

50

【 0 1 1 3 】

駆動用トランジスタ 2 3 1 の ON 特性は、トランジスタサイズ、即ち、図 2 1 に示されるチャネル領域のゲート幅 W とゲート長 L によっても決定される。ゲート幅 W を長くするほど ON 特性は高くなり、また、ゲート長 L を短くしても ON 特性は高くなる。駆動用トランジスタ 3 2 についても同様である。

【 0 1 1 4 】

そこで、第 3 の実施の形態では、レーザの当り方が異なることによる ON 特性の差異分だけ、画素 2 0 1 L の駆動用トランジスタ 2 3 1 のトランジスタサイズで決定される ON 特性が低くなるように、駆動用トランジスタ 2 3 1 のゲート幅 W が、画素 2 0 1 R の駆動用トランジスタ 3 2 R のゲート幅 W よりも短くされる。

10

【 0 1 1 5 】

換言すれば、レーザアニール後の画素 2 0 1 L の駆動用トランジスタ 2 3 1 の ON 特性と、画素 2 0 1 R の駆動用トランジスタ 3 2 R の ON 特性が同一となるように、駆動用トランジスタ 2 3 1 のゲート幅 W が決定される。これにより、細かい縦筋の輝度ムラを改善することができる。

【 0 1 1 6 】

なお、厳密には、駆動用トランジスタ 2 3 1 のゲート幅 W を変更すると、駆動用トランジスタ 2 3 1 のゲート - ドレイン間に発生する寄生容量 C_{gd} 、およびゲート - ソース間の寄生容量 C_{gs} が変化するので、式 (3) のブートストラップゲインも変化する。

【 0 1 1 7 】

20

第 2 の実施の形態で説明したように、ブートストラップゲインを変化させることによっても輝度は変化するので、第 3 の実施の形態においては、駆動用トランジスタ 2 3 1 のゲート幅 W の変更による輝度変化と、ゲート幅 W の変更によるブートストラップゲインの輝度変化の両方を考慮して、画素 2 0 1 L の輝度が画素 2 0 1 R のものと同一となるように駆動用トランジスタ 2 3 1 のゲート幅 W を決定する必要がある。

【 0 1 1 8 】

以上のように、第 3 の実施の形態では、レーザアニール時にレーザがドレイン s に先に照射される画素 2 0 1 L の駆動用トランジスタ 2 3 1 のゲート幅 W を、レーザがソース s に先に照射される画素 2 0 1 R の駆動用トランジスタ 3 2 R のゲート幅 W よりも短くすることにより、細かい縦筋の輝度ムラを改善することができる。

30

【 0 1 1 9 】

図 2 0 では、ゲート幅 W を変更する例について説明したが、上述したように、ゲート長 L を変更しても ON 特性を変化させることができるので、駆動用トランジスタ 3 2 R と駆動用トランジスタ 2 3 1 とでゲート長 L を変えることにより、輝度が同一となるようにしてもよい。この場合、駆動用トランジスタ 2 3 1 のゲート長 L は、駆動用トランジスタ 3 2 R のゲート長 L よりも長く設定すればよい。

【 0 1 2 0 】

従って、第 3 の実施の形態では、隣接する画素 2 0 1 L と画素 2 0 1 R で駆動用トランジスタ 2 3 1 と駆動用トランジスタ 3 2 R のトランジスタサイズを異なるようにすることにより、細かい縦筋の輝度ムラを改善することができる。

40

【 0 1 2 1 】

なお、上述した例では、レーザの照射方向が図中左から右方向である場合について説明したが、レーザの照射方向が図中右から左方向である場合には、レーザアニール時にレーザがソース s に先に照射される画素とドレイン d に先に照射される画素が逆になる。即ち、画素 2 0 1 L がレーザアニール時にレーザがソース s に先に照射され、画素 2 0 1 R がレーザアニール時にレーザがドレイン d に先に照射される。この場合には、画素 2 0 1 L については画素 1 0 1 L と同様に構成し、画素 2 0 1 R の駆動用トランジスタ 3 2 R のゲート幅 W を、駆動用トランジスタ 2 3 1 のように短くすればよい。

【 0 1 2 2 】

[画素 2 0 1 の第 4 の実施の形態]

50

図 2 2 は、E L パネル 2 0 0 の画素アレイ部 1 0 2 における画素 2 0 1 の配線パターンレイアウトの第 4 の実施の形態を示している。

【 0 1 2 3 】

図 2 2 においても、図 1 4 における場合と同様、レーザアニール装置を用いてアニールする場合に、駆動用トランジスタ 3 2 のソース s に対して先にレーザが照射される画素 2 0 1 を画素 2 0 1 R で、駆動用トランジスタ 3 2 のドレイン d に対して先にレーザが照射される画素 2 0 1 を画素 2 0 1 L で示している。

【 0 1 2 4 】

第 4 の実施の形態では、画素 2 0 1 L は、図 1 4 の画素 1 0 1 L のサンプリング用トランジスタ 3 1 とトランジスタサイズの異なるサンプリング用トランジスタ 2 4 1 が設けられている点のみが画素 1 0 1 L と異なる。即ち、画素 2 0 1 L のサンプリング用トランジスタ 2 4 1 のゲート幅 W が、画素 1 0 1 L のサンプリング用トランジスタ 3 1 のゲート幅 W よりも短い。画素 2 0 1 R は、画素 1 0 1 R と同様である。

10

【 0 1 2 5 】

画素 2 0 1 L のサンプリング用トランジスタ 2 4 1 の ON 抵抗は、ゲート幅 W がより長い画素 2 0 1 R のサンプリング用トランジスタ 3 1 より高くなる。ON 抵抗が高いと、図 1 5 の書き込み + 移動度補正期間 T_5 における駆動用トランジスタ 3 2 のゲート電位 V_g の上昇の傾斜が緩やかになる。駆動用トランジスタ 3 2 のゲート電位 V_g の上昇の傾斜が緩やかになると、駆動用トランジスタ 3 2 のソース電位 V_s の上昇も緩やかとなり、ソース電位 V_s の上昇量、即ち ON 特性が低くなる。よって、ソース電位 V_s の上昇量が画素 2 0 1 L と画素 2 0 1 R で同一となるように、画素 2 0 1 L のサンプリング用トランジスタ 2 4 1 のゲート幅 W を、画素 2 0 1 R のサンプリング用トランジスタ 3 1 のゲート幅 W より短くすることで、細かい縦筋の輝度ムラを改善することができる。

20

【 0 1 2 6 】

以上のように、第 4 の実施の形態では、レーザアニール時にレーザがドレイン d に先に照射される画素 2 0 1 L のサンプリング用トランジスタ 2 4 1 のゲート幅 W を、レーザがソース s に先に照射される画素 2 0 1 R のサンプリング用トランジスタ 3 1 のゲート幅 W よりも短くすることにより、細かい縦筋の輝度ムラを改善することができる。

【 0 1 2 7 】

なお、第 4 の実施の形態においても、ゲート幅 W ではなくゲート長 L を変えることによって画素 2 0 1 L と画素 2 0 1 R の輝度を等しくすることも可能である。この場合、サンプリング用トランジスタ 2 4 1 のゲート長 L は、サンプリング用トランジスタ 3 1 のゲート長 L よりも長く設定すればよい。

30

【 0 1 2 8 】

従って、第 4 の実施の形態では、隣接する画素 2 0 1 L と 2 0 1 R でサンプリング用トランジスタ 2 4 1 とサンプリング用トランジスタ 3 1 のトランジスタサイズを異なるようにすることにより、細かい縦筋の輝度ムラを改善することができる。

【 0 1 2 9 】

なお、上述した例では、レーザの照射方向が図中左から右方向である場合について説明したが、レーザの照射方向が図中右から左方向である場合には、レーザアニール時にレーザがソース s に先に照射される画素とドレイン d に先に照射される画素が逆になる。即ち、画素 2 0 1 L がレーザアニール時にレーザがソース s に先に照射され、画素 2 0 1 R がレーザアニール時にレーザがドレイン d に先に照射される。この場合には、画素 2 0 1 L については画素 1 0 1 L と同様に構成し、画素 2 0 1 R のサンプリング用トランジスタ 3 1 のゲート幅 W を、サンプリング用トランジスタ 2 4 1 のように短くすればよい。

40

【 0 1 3 0 】

以上のように、第 3 および第 4 の実施の形態では、駆動用トランジスタ 3 2 のソース s とドレイン d のうちレーザアニール時にレーザがソース s に先に照射される画素 2 0 1 R とドレイン d に先に照射される画素 2 0 1 L とで、駆動用トランジスタかまたはサンプリング用トランジスタのいずれか一方のトランジスタサイズを異なるようにすることで、細

50

かい縦筋の輝度ムラを改善することができる。

【 0 1 3 1 】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【 0 1 3 2 】

【図 1】基本となる E L パネルの構成例を示すブロック図である。

【図 2】画素の詳細な構成例を示したブロック図である。

【図 3】画素の動作を説明するタイミングチャートである。

【図 4】画素の動作について詳細に説明する図である。

10

【図 5】画素の動作について詳細に説明する図である。

【図 6】画素の動作について詳細に説明する図である。

【図 7】画素の動作について詳細に説明する図である。

【図 8】画素の動作について詳細に説明する図である。

【図 9】画素の動作について詳細に説明する図である。

【図 10】画素の動作について詳細に説明する図である。

【図 11】画素の動作について詳細に説明する図である。

【図 12】画素の動作について詳細に説明する図である。

【図 13】図 1 の E L パネルにおける画素の配線パターンレイアウトを示す図である。

【図 14】ミラー反転配置を採用した場合の配線パターンレイアウトを示す図である。

20

【図 15】ON 特性の違いによる影響について説明する図である。

【図 16】本発明を適用した E L パネルの実施の形態の構成例を示すブロック図である。

【図 17】本発明を適用した E L パネルにおける第 1 の配線パターンレイアウトを示す図である。

【図 18】図 17 の画素の等価回路を示す図である。

【図 19】本発明を適用した E L パネルにおける第 2 の配線パターンレイアウトを示す図である。

【図 20】本発明を適用した E L パネルにおける第 3 の配線パターンレイアウトを示す図である。

【図 21】駆動用トランジスタ部分の拡大図である。

30

【図 22】本発明を適用した E L パネルにおける第 4 の配線パターンレイアウトを示す図である。

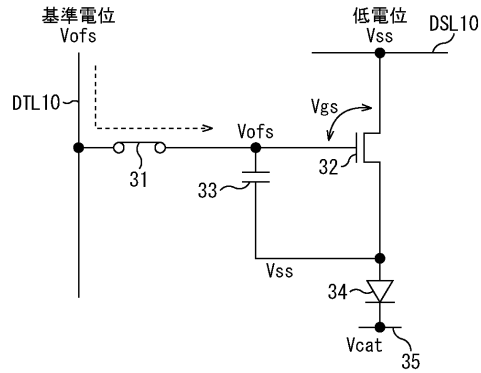
【符号の説明】

【 0 1 3 3 】

2 0 0 E L パネル , 2 0 1 L , 2 0 1 R 画素 (画素回路) , 2 1 1 補助容量 , 2 2 1 蓄積容量 , 2 3 1 駆動用トランジスタ , 2 4 1 サンプリング用トランジスタ

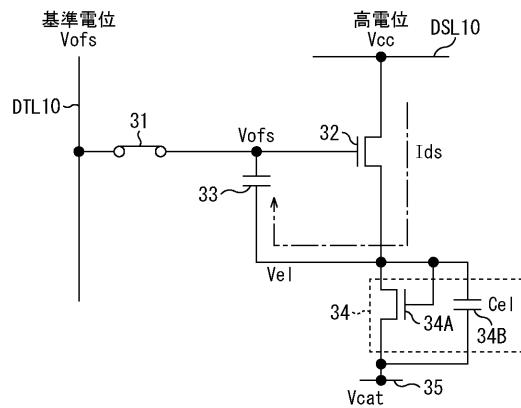
【図 6】

図6



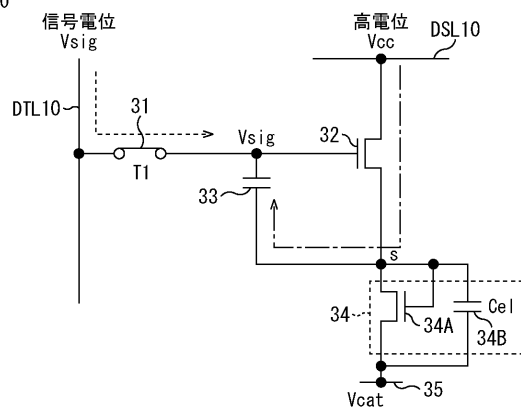
【図 7】

図7



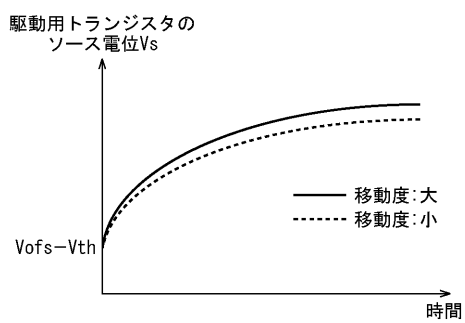
【図 10】

図10



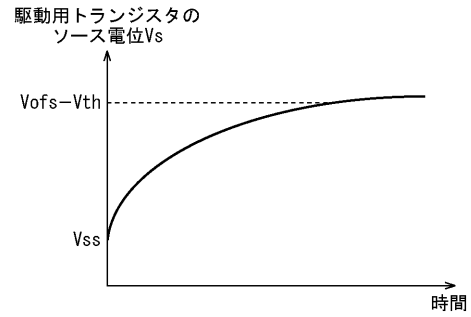
【図 11】

図11



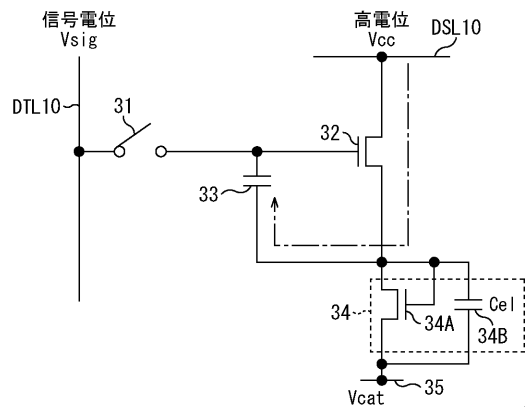
【図 8】

図8



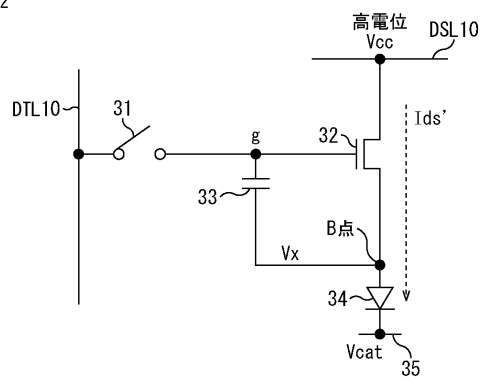
【図 9】

図9



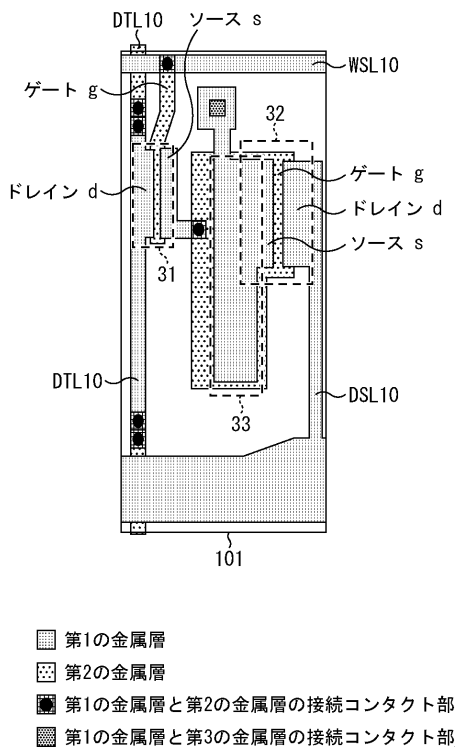
【図 12】

図12



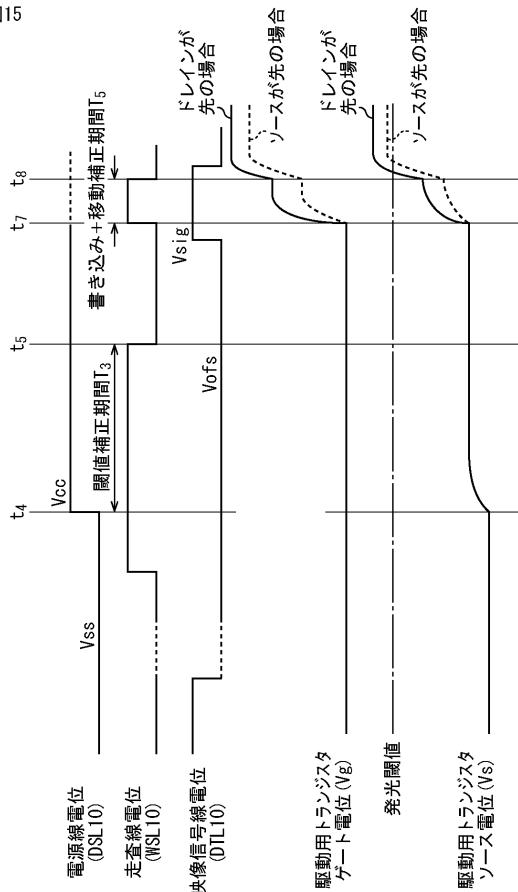
【 図 1 3 】

図13



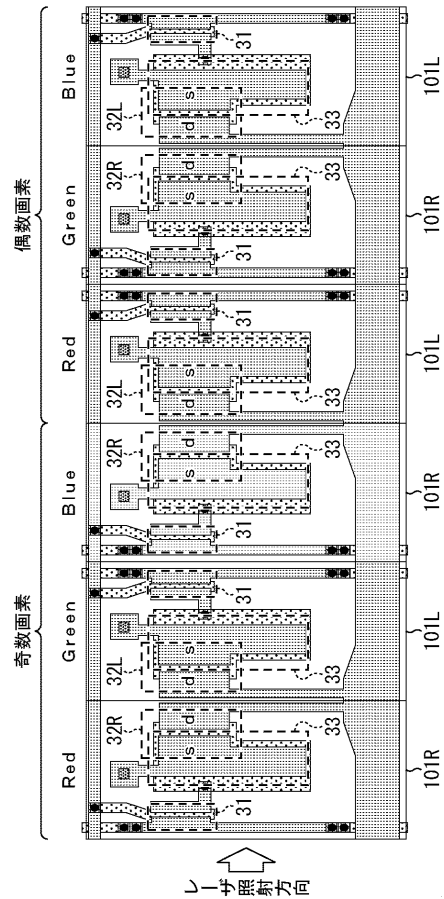
【 図 1 5 】

図15



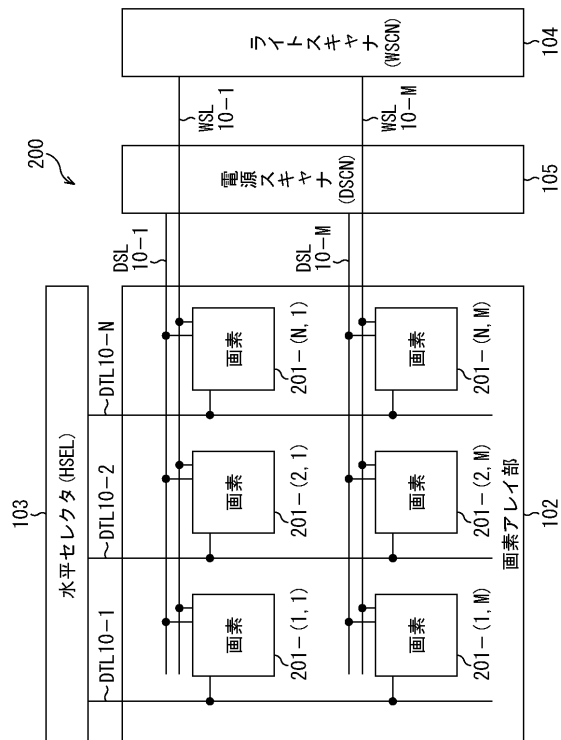
【 図 1 4 】

图14



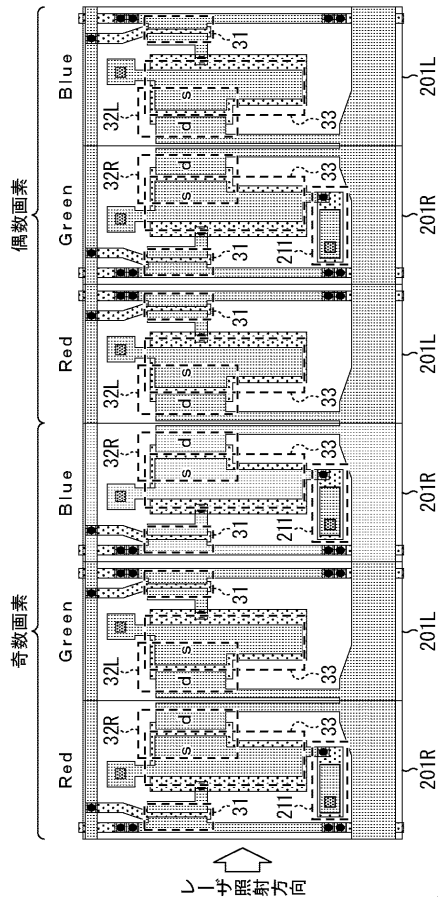
【 図 1 6 】

图16



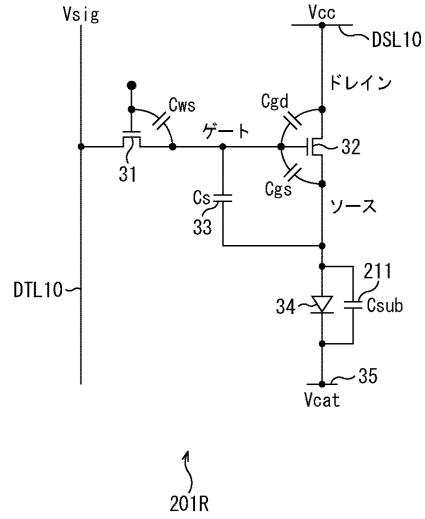
【図 17】

図17



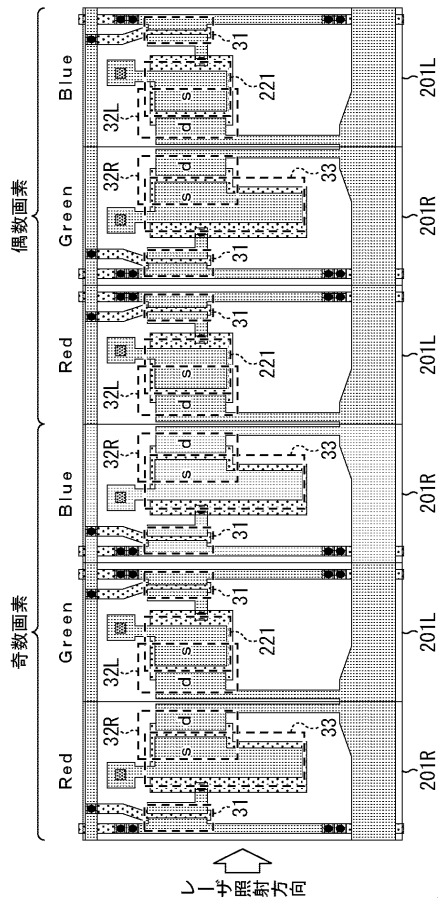
【図 18】

図18



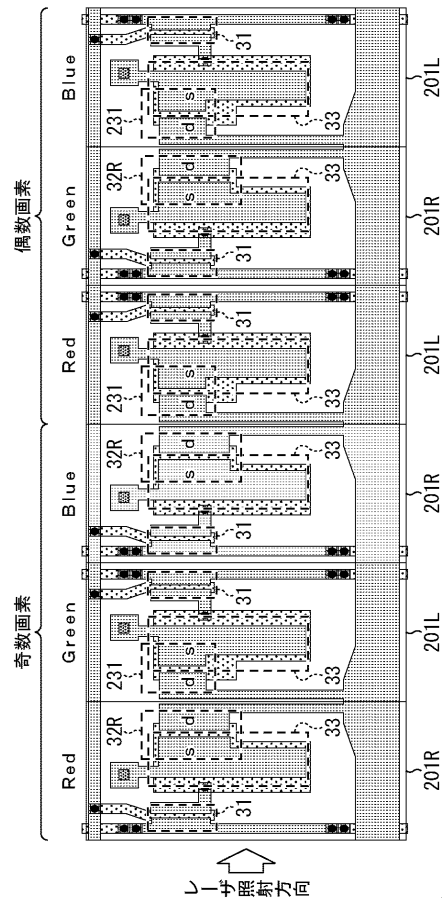
【図 19】

図19



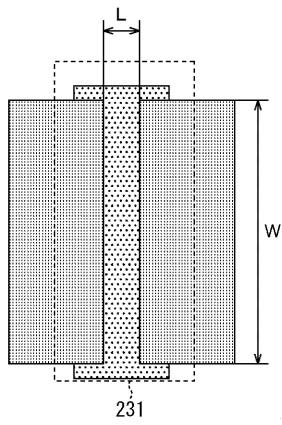
【図 20】

図20



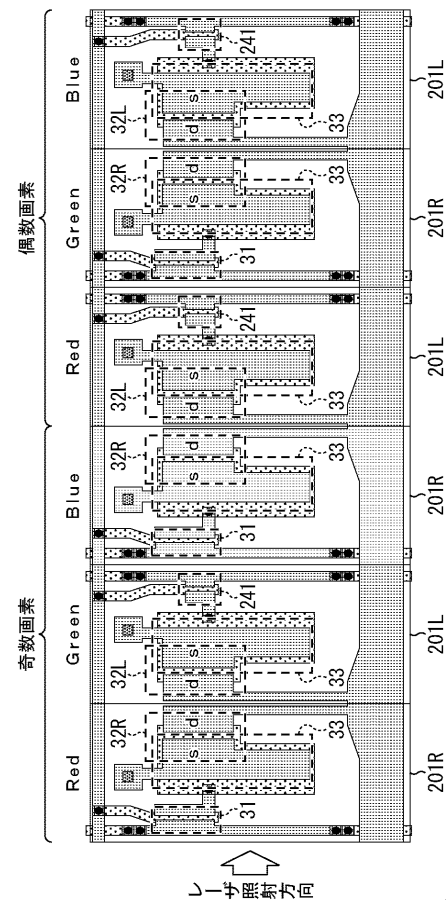
【図 2 1】

図21



【図 2 2】

図22



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 1 1 H	
	H 0 5 B 33/14 A	

(72)発明者 佐川 裕志

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE04 HH05

5C080 AA06 BB05 CC03 DD05 EE29 EE30 FF11 HH09 JJ02 JJ03

JJ05 JJ06

专利名称(译)	面板		
公开(公告)号	JP2010097050A	公开(公告)日	2010-04-30
申请号	JP2008268509	申请日	2008-10-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	妹尾佑樹 内野勝秀 佐川裕志		
发明人	妹尾 佑樹 内野 勝秀 佐川 裕志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.680.G G09G3/20.642.A G09G3/20.624.B G09G3/30.J G09G3/20.611.H H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB42 5C380/AB45 5C380/AC07 5C380/AC09 5C380/AC11 5C380/AC20 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CD012 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	西川 孝		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善亮度不均匀性。ZSOLUTION：在使用有机EL器件的扁平自发光EL面板中，引入了镜像反转布局，其中布线图案的布局相对于在列方向上彼此相邻的像素反转，作为像素的布线图案布局通过在具有驱动晶体管32R的像素201R中提供辅助电容器211，其驱动晶体管32R在激光退火时利用激光提前照射，栅极电位V_g与驱动晶体管的源极电位V_s的增加比率变得不同。在具有驱动晶体管的像素201R和具有驱动晶体管的像素201L之间，所述驱动晶体管的源极较早地被激光照射，所述驱动晶体管的漏极被较早地用激光照射。例如，本发明可应用于EL面板。

