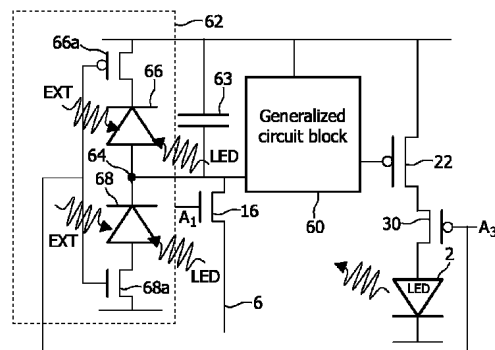




【特許請求の範囲】**【請求項 1】**

表示画素の配列を有するアクティブマトリクスディスプレイ装置であって、
夫々の画素は：
電流によって駆動される発光表示素子；
前記表示素子の輝度を検出し、前記表示素子の前記輝度に依存して出力電荷フローを供給する光依存性のデバイス配置；及び
前記表示素子に電流を流す駆動トランジスタ，
を有し、
前記駆動トランジスタは、前記光依存性のデバイス配置の出力に応答して制御され、
前記電流によって駆動される発光表示素子は、パルス出力を供給するように制御され、
前記光依存性のデバイス配置は、周期の間の前記光依存性のデバイス配置の一定照射のために、実質的に零のネット出力電荷フローが存在するように、周期的に制御される、アクティブマトリクスディスプレイ装置。

10

【請求項 2】

前記光依存性のデバイス配置は、前記表示素子に対するパルスタイミング制御信号と同じタイミングを有する制御信号によって制御される、請求項 1 記載のアクティブマトリクスディスプレイ装置。

【請求項 3】

共有される制御信号は、前記パルスタイミング制御及び周期的な制御を提供する、請求項 2 記載のアクティブマトリクスディスプレイ装置。

20

【請求項 4】

前記光依存性のデバイス配置は、電力線の間直列に第 1 及び第 2 のフォトダイオードを有し、前記第 1 及び第 2 のフォトダイオードの間の接点において前記配置からの出力を受け、

前記周期的な制御は、交互に前記フォトダイオードを作動させる、請求項 1 乃至 3 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 5】

前記光依存性のデバイス配置は、前記フォトダイオードの作動を提供するために夫々のフォトダイオードに夫々直列な第 1 及び第 2 のトランジスタを更に有する、請求項 4 記載のアクティブマトリクスディスプレイ装置。

30

【請求項 6】

前記駆動トランジスタ、前記表示素子、及びパルストランジスタは、電力線の間で直列であり、

前記パルストランジスタは、パルスタイミング制御信号によって切り替えられる、請求項 1 乃至 5 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 7】

前記光依存性のデバイス配置は、動作周期に依存して対向方向に光電流を供給するように制御されるフォトリンジスタを有する、請求項 1 記載のアクティブマトリクスディスプレイ装置。

40

【請求項 8】

前記フォトリンジスタは、フォトリンジスタ制御ラインと、前記配置の出力との間に接続され、

前記フォトリンジスタのゲートは、周期的な制御信号を供給される、請求項 7 記載のアクティブマトリクスディスプレイ装置。

【請求項 9】

前記駆動トランジスタ、前記表示素子、及びパルストランジスタは、電力線の間で直列であり、

前記パルストランジスタは、パルスタイミング制御信号によって切り替えられる、請求項 7 又は 8 記載のアクティブマトリクスディスプレイ装置。

50

【請求項 10】

前記周期的な制御信号は、前記表示素子の端子の 1 つにある電圧を有する、請求項 9 記載のアクティブマトリクスディスプレイ装置。

【請求項 11】

前記表示画素の配列は、少なくとも第 1 及び第 2 の組の表示画素を有し、

1 つの組の表示画素のパルス出力は、他の組の表示画素のパルス出力とは位相がずれている、請求項 1 乃至 10 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 12】

夫々の画素のパルス出力は、夫々の側にある前記画素のパルス出力とは位相がずれている、請求項 11 記載のアクティブマトリクスディスプレイ装置。

【請求項 13】

夫々の画素のパルス出力は、前記配列において上下にある前記画素のパルス出力とは位相がずれている、請求項 11 又は 12 記載のアクティブマトリクスディスプレイ装置。

【請求項 14】

1 つの組の表示画素のパルス出力は、他の組の表示画素のパルス出力とは 90 度位相がずれている、請求項 11 乃至 13 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 15】

前記表示画素の配列は、少なくとも第 1 及び第 2 のグループの表示画素を有し、

1 つのグループの表示画素のパルス出力は、他のグループの表示画素のパルス出力とは異なる周波数にある、請求項 1 乃至 14 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 16】

1 つのグループの各画素のパルス出力は、他のグループの各画素のパルス出力の 2 倍の周波数にある、請求項 15 記載のアクティブマトリクスディスプレイ装置。

【請求項 17】

前記発光表示素子は電界発光表示素子を有する、請求項 1 乃至 16 のうちいずれか一項記載のアクティブマトリクスディスプレイ装置。

【請求項 18】

画素の配列を有するアクティブマトリクスディスプレイ装置の前記画素を駆動する方法であって：

パルスの連続として前記画素の電流駆動式の発光表示素子に電流を流すステップ；

周期的に制御され、且つ、前記表示素子の輝度に依存して出力電荷フローを供給する光依存性のデバイス配置によって、前記表示素子の輝度を検出するステップ；及び

前記光依存性のデバイス配置の出力に応答して前記表示素子を流れる前記電流の駆動を制御するステップ、

を有し、

周期の間の前記光依存性のデバイス配置の一定照射のために、実質的に零のネット出力電荷フローが存在する、方法。

【請求項 19】

前記表示素子に対するパルスタイミング制御信号と同じタイミングを有する制御信号によって、前記光依存性のデバイスを制御するステップを更に有する、請求項 18 記載の方法。

【請求項 20】

前記光依存性のデバイス配置を周期的に制御するステップは、電力線の間で直列な第 1 及び第 2 のフォトダイオードの間の接点において前記配置からの出力を有して、前記第 1 及び第 2 のフォトダイオードを交互に作動させるステップを有する、請求項 18 又は 19 記載の方法。

【請求項 21】

前記フォトダイオードを交互に作動させるステップは、前記フォトダイオードの作動を提供するために夫々のフォトダイオードに夫々直列な第 1 及び第 2 のトランジスタを交互に切り替えるステップを有する、請求項 20 記載の方法。

【請求項 22】

前記光依存性のデバイス配置を周期的に制御するステップは、動作周期に依存して対向方向に光電流を供給するようフォトトランジスタを制御するステップを有する、請求項 18 記載の方法。

【請求項 23】

パルスの連続として前記画素の電流駆動式の発光表示素子に電流を流すステップは、パルスタイミング制御信号によりパルストランジスタを切り替えるステップを有し、

10

前記駆動トランジスタ、前記表示素子、及び前記パルストランジスタは、電力線の間で直列である、請求項 18 乃至 22 のうちいずれか一項記載の方法。

【請求項 24】

画素の 1 つの組の表示画素のパルス出力を、表示画素の他の組の表示画素のパルス出力とは位相がずれて供給するステップを更に有する、請求項 18 乃至 23 のうちいずれか一項記載の方法。

【請求項 25】

表示画素の 1 つのグループの表示画素のパルス出力を、表示画素の他のグループの表示画素のパルス出力とは異なる周波数で供給するステップを更に有する、請求項 18 乃至 24 のうちいずれか一項記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界発光ディスプレイ装置、具体的に、電界発光表示素子及び薄膜トランジスタを含む画素の配列を有するアクティブマトリクスディスプレイ装置に関する。より具体的には、しかし、それに限定されずに、本発明は、表示素子によって放射された光に回答し、表示素子の通電の制御に使用されるところの光検知素子を含む画素を有するアクティブマトリクス電界発光ディスプレイ装置に関する。

【背景技術】

【0002】

30

電界発光や光放射型の表示素子を用いるマトリクスディスプレイ装置が良く知られる。表示素子は、一般的に、ポリマー材料 (PLED) や発光ダイオード (LED) を含む、有機薄膜電界発光素子 (OLED) を有する。以下で使用される用語「LED」は、かかる可能性の全てを包含するよう意図される。かかる材料は、通常、一対の電極の間に挟まれた半導体共役高分子の 1 又はそれ以上の層を有する。一対の電極の 1 つは透明であり、他は空孔又は電子を高分子層に入れるのに適した物質から成る。

【0003】

このようなディスプレイ装置における表示素子は電流により駆動され、従来のアナログ駆動方式は、表示素子へ制御可能な電流を供給する。通常、電流源トランジスタが画素構造の一部として設けられ、この電流源トランジスタへ供給されるゲート電圧は、電界発光 (EL) 表示素子を流れる電流を決める。蓄積コンデンサは、アドレス指定相の後にゲート電圧を保持する。このような画素回路の例が EP - A - 0717446 (特許文献 1) に記載されている。

40

【0004】

このようにして、夫々の画素は、EL 表示素子と、関連するドライバ回路とを有する。ドライバ回路は、行導電体上の行アドレスパルスによってオンされるアドレストランジスタを有する。アドレストランジスタがオンされると、列導電体上のデータ電圧は残りの画素へ伝わるができる。具体的に、アドレストランジスタは、列導電体電圧を、駆動トランジスタと、駆動トランジスタのゲートへ接続された蓄積コンデンサとを有する電流源へ供給する。列データ電圧は駆動トランジスタのゲートへ供給され、ゲートは、行アドレ

50

スパルスが終了した後でさえ、蓄積コンデンサによってこの電圧に保たれる。この回路における駆動トランジスタはpチャネルTFT（薄膜トランジスタ）として実施され得るので、蓄積コンデンサはゲート・ソース間電圧を一定に保つ。これにより、駆動トランジスタを流れる一定のソース・ドレイン間電流が得られる。従って、駆動トランジスタは、画素の所望の電流源動作を提供する。EL表示素子の輝度は、表示素子を流れる電流にほぼ比例する。

【0005】

上記基本的な画素回路で、所与の駆動電流に関して画素の輝度レベルの低減をもたらす、LED材料の差異エージング又は劣化は、ディスプレイ全体で画像品質の変動を生じさせ得る。頻繁に使用されてきた表示素子は、めったに使用されない表示素子よりも、ずっと薄暗い。また、表示不均一性の問題が、駆動トランジスタの特性、特に閾値レベルのばらつきに起因して起こり得る。

10

【0006】

LED材料のエージング及びトランジスタ特性のばらつきを補償可能な改善された電圧アドレス型画素回路が提案されてきた。これらは、表示素子の光出力に応答する光検知素子を有する。光検知素子は、画素の最初のアドレス指定の後の駆動期間の間に表示素子の総体的な光出力を制御するように、光出力に応答して蓄積コンデンサに蓄えられた電荷を漏出するよう動作する。このような形式の画素構造の例は、WO01/20591（特許文献2）及びEP1,096,466（特許文献3）に詳細に記載されている。例となる実施形態で、画素内のフォトダイオードは、蓄積コンデンサに蓄積されているゲート電圧を放電し、駆動トランジスタのゲート電圧が閾値電圧に達すると、蓄積コンデンサは放電を停止し、EL表示素子は発光をやめる。電荷がフォトダイオードから漏出する速度は表示素子出力の関数であり、従って、フォトダイオードは感光性フィードバックデバイスとして働く。

20

【0007】

この配置により、表示素子からの光出力はEL表示素子の効率とは無関係であり、それによって、エージング補償が提供される。このような技術は、時間期間にわたる不均一性をそれほど欠点としない高品位ディスプレイの実現において有効であることが示されてきた。しかし、この方法は、フレーム時間において画素からの適当な平均輝度を達成するために、高い瞬時ピーク輝度レベルを必要とする。これは、LED材料が結果としてより急速に劣化する可能性が高いので、ディスプレイの動作に有益でない。

30

【0008】

代替のアプローチで、光フィードバックシステムは、表示素子が動作するデューティサイクルを変更するために使用される。表示素子は一定輝度へと駆動され、光フィードバックは、即座に駆動トランジスタをオフするトランジスタスイッチをトリガするために使用される。これは、高い瞬時輝度レベルの必要性を除くが、更なる複雑性を画素に導入する。

【0009】

光フィードバックシステムの使用は、LED表示素子の差異エージングを解消する有効な方法と考えられる。

40

【特許文献1】EP-A-0717446

【特許文献2】WO01/20591

【特許文献3】EP1,096,466

【発明の開示】

【発明が解決しようとする課題】

【0010】

かかる補償方式による1つの問題は、感光性素子が周辺光を感知し、従って、周辺光のレベルが光フィードバック・スキーマに影響を及ぼしうる点である。周辺光からの遮蔽が存在するように、画素設計の一部として光遮断層を使用することによって、当該問題を解消することが提案されてきた。これは、更なる複雑性を画素の設計及び製造に導入する。

50

【 0 0 1 1 】

他の問題は、隣接する画素間のクロストークに関する。光の経路は、フィードバック・スキーマの動作のために、LED表示素子と、感光性デバイスとの間に設けられるべきである。感光性デバイスによって吸収されない如何なる迷光も、異なる画素の感光性デバイスによって捕捉され得る。

【課題を解決するための手段】

【 0 0 1 2 】

本発明に従って、表示画素の配列を有するアクティブマトリクスディスプレイ装置であって、夫々の画素は：

電流によって駆動される発光表示素子；

10

前記表示素子の輝度を検出し、前記表示素子の前記輝度に依存して出力電荷フローを供給する光依存性のデバイス配置；及び

前記表示素子に電流を流す駆動トランジスタ，
を有し、

前記駆動トランジスタは、前記光依存性のデバイス配置の出力に応答して制御され、

前記電流によって駆動される発光表示素子は、パルス出力を供給するように制御され、

前記光依存性のデバイス配置は、周期の間の前記光依存性のデバイス配置の一定照射のために、実質的に零のネット出力電荷フローが存在するように、周期的に制御される、アクティブマトリクスディスプレイ装置が提供される。

【 0 0 1 3 】

20

この配置は、パルス光出力を使用し、対応するパルス光入力にのみ応答して動作する光フィードバックを配置する。このようにして、動作の周期の時間期間に亘って一様である周辺光は、光フィードバックシステムに影響を及ぼさない。このようにして、システムは、周辺光の状態によって影響を及ぼされない。

【 0 0 1 4 】

前記光依存性のデバイス配置は、前記表示素子に対するパルスタイミング制御信号と同じタイミングを有する制御信号によって制御され得る。これは、表示素子の出力の特性に対する光フィードバックの依存に結びつく。共有される制御信号は、前記パルスタイミング制御及び周期的な制御を提供することができる。

【 0 0 1 5 】

30

前記光依存性のデバイス配置は、電力線の間に直列に第1及び第2のフォトダイオードを有し、前記第1及び第2のフォトダイオードの間の接点において前記配置からの出力を受け、前記周期的な制御は、交互に前記フォトダイオードを作動させる。前記フォトダイオードは、電荷フローが一定の照射キャンセルによりもたらされるように、対向方向で前記電荷フローを供給する。トランジスタは、前記フォトダイオードの作動を提供するために使用され得る。

【 0 0 1 6 】

前記光依存性のデバイス配置は、代わりに、前記動作周期に依存して対向方向に光電流を供給するように制御されるフォトリンジスタを有することができる。

【 0 0 1 7 】

40

前記駆動トランジスタ、前記表示素子、及びパルストランジスタは、電力線の間に直列に設けられ得、前記パルストランジスタは、パルスタイミング制御信号によって切り替えられる。これは、簡単な方法で表示素子出力のパルス制御を提供する。

【 0 0 1 8 】

前記表示画素の配列は、第1及び第2の組の表示画素として配置され得、1つの組の表示画素のパルス出力は、他の組の表示画素のパルス出力とは位相がずらされ得る。これは、光フィードバック動作にも影響を及ぼしうる隣接する画素間の光クロストークが低減されることを可能にする。例えば、各画素のパルス出力は、夫々の側にある及び/又は配列において上下にある画素のパルス出力とは位相がずれている。1つの組の表示画素のパルス出力は、他の組の表示画素のパルス出力とは90度位相がずれている。

50

【 0 0 1 9 】

前記表示画素の配列は、また、第 1 及び第 2 のグループの表示画素において配置され得、1 つのグループの表示画素のパルス出力は、他のグループの表示画素のパルス出力とは異なる周波数にある。

【 0 0 2 0 】

これは、画素間の光クロストークを回避する他の方法を提供する。

【 0 0 2 1 】

本発明は、また、画素の配列を有するアクティブマトリクスディスプレイ装置の前記画素を駆動する方法であって：

パルスの連続として前記画素の電流駆動式の発光表示素子に電流を流すステップ；

10

周期的に制御され、且つ、前記表示素子の輝度に依存して出力電荷フローを供給する光依存性のデバイス配置によって、前記表示素子の輝度を検出するステップ；及び

前記光依存性のデバイス配置の出力に応答して前記表示素子を流れる前記電流の駆動を制御するステップ，

を有し、

周期の間の前記光依存性のデバイス配置の一定照射のために、実質的に零のネット出力電荷フローが存在する、方法を提供する。

【発明を実施するための最良の形態】

【 0 0 2 2 】

ここで、本発明の実施例について、添付の図面を参照して詳細に記載する。

20

【 0 0 2 3 】

全ての図面を通して、同じ参照番号は同一の又は類似する部品を表すために使用される。

【 0 0 2 4 】

図 1 は、既知のアクティブマトリクス電界発光ディスプレイ装置を示す。ディスプレイ装置は、規則正しく間隔を空けられた画素の行及び列のマトリクス配列を有するパネルを有する。画素は、ブロック 1 によって表わされ、結合される切り替え手段と共に電界発光 (electroluminescent) 表示素子 2 を有し、行 (選択) 及び列 (データ) のアドレス導電体 4 及び 6 の交差する組の間の共通部分に置かれている。簡単のため、数個の画素しか図 1 には示されていない。実際には、画素の数百の行及び列が存在する。画素 1 は、行走査ドライバ回路 8 及び列データドライバ回路 9 を含む周辺の駆動回路によって、行及び列のアドレス導電体の組を介してアドレス指定される。これらのドライバ回路は、導電体の夫々の組の終端に接続されている。

30

【 0 0 2 5 】

電界発光表示素子 2 は、ここではダイオード素子 (LED) として表わされ、有機電界発光物質の 1 又はそれ以上のアクティブ層がその間に挟まれた一対の電極を有する有機発光ダイオードを有する。配列の表示素子は、結合されるアクティブマトリクス回路と共に絶縁支持材の一方の側に載せられている。表示素子の陰極又は陽極のいずれか一方は、透明な導電物質で形成されている。支持材は、例えばガラスのような透明な物質から作られ、基板に最も近い表示素子 2 の電極は、例えば ITO のような透明な導電物質から成っても良い。従って、電界発光層より発せられる光は、支持材の他の側において観測者に対して可視的であるように、これらの電極及び支持材を介して伝達される。

40

【 0 0 2 6 】

図 2 は、電圧アドレス式動作を提供する最も基本的な画素及び駆動回路配置を簡単な回路図形式で示す。夫々の画素 1 は、EL 表示素子 2 と、結合されるドライバ回路とを有する。ドライバ回路は、行導電体 4 の行アドレスパルスによりオンされるアドレストランジスタ 16 を有する。アドレストランジスタ 16 がオンされると、列導電体 6 の電圧は、残りの画素へ伝わることを可能にする。具体的には、アドレストランジスタ 16 は、列導電体電圧を電流源 20 へ供給する。電流源 20 は、駆動トランジスタ 22 と、蓄積コンデンサ 24 とを有する。列電圧は、駆動トランジスタ 22 のゲートへ供給され、ゲートは、行アド

50

レスパルスが終了した後でさえ、蓄積コンデンサ 24 によってこの電圧に保たれる。

【0027】

この回路内の駆動トランジスタ 22 は p 形 T F T として実施されているので、蓄積コンデンサ 24 はゲート - ソース間電圧を一定に保つ。これにより、トランジスタ 22 を流れる一定のソース - ドレイン間電流が得られる。従って、トランジスタ 22 は、画素の希望の電流源動作を提供する。

【0028】

上記基本的な画素回路では、ポリシリコンに基づく回路に関して、トランジスタのチャネルにおけるポリシリコン粒子の統計的分布に起因して、トランジスタの閾値電圧にばらつきが存在する。しかし、ポリシリコントランジスタは、電流及び電圧ストレスの下で極めて安定しているので、閾値電圧は実質的に一定のままである。

10

【0029】

閾値電圧のばらつきは、少なくとも基板上の短距離に亘って、アモルファスシリコントランジスタでは小さいが、閾値電圧は電圧ストレスに対して極めて敏感である。駆動トランジスタに必要とされる閾値を超える高電圧の印加は、閾値電圧において大きな変化を引き起こす。この変化は、表示される画像の情報コンテンツに依存する。従って、常にオンであるアモルファスシリコントランジスタの閾値電圧では、そうではないトランジスタに比べて大きな差異が存在しうる。この差異エージングは、アモルファスシリコントランジスタにより駆動される L E D ディスプレイでは深刻な問題である。

20

【0030】

トランジスタ特性のばらつきに加えて、L E D 自体の差異エージングも存在する。これは、電流ストレス後に発光物質の効率が下がることに起因する。ほとんどの場合において、L E D を流れる電流及び電荷が多くなればなるほど、効率はますます低くなる。

【0031】

図 3 乃至 5 は、エージング補償を提供するよう光フィードバックを備えた画素レイアウトの例を示す。

【0032】

図 3 の画素回路で、フォトダイオード 27 は、コンデンサ 24 に蓄積されたゲート電圧を放電し、輝度を低減させる。表示素子 2 は、駆動トランジスタ 22 (T_{drive}) のゲート電圧が閾値電圧に達すると、もはや発光しない。次いで、蓄積コンデンサ 24 は放電をやめる。電荷がフォトダイオード 27 から放出される割合は表示素子出力の関数であるから、フォトダイオード 27 は光受フィードバックデバイスとして機能する。駆動トランジスタ 22 がオフに切り替えられると、表示素子の陽極電圧は下がり、放電トランジスタ 29 はオンする。従って、蓄積コンデンサ 24 の残りの電荷は急速に失われ、発光はオフされる。この放電トランジスタは実際には任意であり、次のアドレス指定相の前に画素のリセットを確実にするために用いられるが、これは必要とされないこともある。

30

【0033】

駆動トランジスタ 22 のゲート - ソース間電圧を保持するコンデンサが放電されるので、表示素子 2 に対する駆動電流は徐々に下がる。従って、輝度は次第に小さくなる。このことは、より低い平均光度をもたらす。

40

【0034】

図 4 は、本願出願人によって提案された回路を示す。かかる回路は一定の光出力を有し、光出力に依存して 1 度に電源を切る。

【0035】

駆動トランジスタ 22 のゲート - ソース間電圧は、先と同じく、蓄積コンデンサ 24 に保持される。しかし、この回路では、このコンデンサ 24 は、充電トランジスタ 34 を用いて、充電ライン 32 から一定電圧へと充電される。従って、駆動トランジスタ 22 は、表示素子 2 が光るべき場合に、画素へ入力されるデータとは無関係な一定レベルへと駆動される。輝度は、デューティサイクルを変えることによって、具体的に、駆動トランジスタ 22 がオフされる時間を変えることによって、制御される。

50

【 0 0 3 6 】

駆動トランジスタ 2 2 は、蓄積コンデンサ 2 4 を放電する放電トランジスタ 3 6 を用いてオフされる。放電トランジスタ 3 6 がオンされると、コンデンサ 2 4 は急速に放電され、駆動トランジスタ 2 2 はオフされる。

【 0 0 3 7 】

放電トランジスタ 3 6 は、そのゲート電圧が十分な電圧に達する場合にオンされる。フォトダイオード 2 7 は表示素子 2 によって照射され、先と同じく、表示素子 2 の光出力に依存して光電流を発生させる。この光電流は放電コンデンサ 4 0 を充電し、ある時点で、コンデンサ 4 0 の両端の電圧は、放電トランジスタ 3 6 の閾値電圧に達して、放電トランジスタ 3 6 をオンに切り替える。この時間は、コンデンサ 4 0 にもともと蓄積されている電荷と、光電流とに依存する。また、光電流は、表示素子 2 の光出力に依存する。最初に、放電コンデンサ 4 0 はデータ電圧を蓄える。従って、初期データ及び光フィードバックは、両方とも、回路のデューティサイクルに影響を及ぼす。

【 0 0 3 8 】

図 5 は、画素の光フィードバック部分（フォトダイオード 2 7 及び関連するコンデンサ 4 2 ）が、列データライン 6 を用いて外部回路へ情報を提供するところの配置を示す。光フィードバック情報は監視され、この情報は、異なる補償効果を提供するよう画素へ印加されるデータを変更するために使用される。光フィードバック情報は、アドレストランジスタ 1 6 a によってデータ列から分離された画素により得られ、この配置は、データがフィードバック相の間に列へ供給されることを可能にするよう第 2 のアドレストランジスタ 1 6 b を有する。画素回路は、また、断路トランジスタ 3 0 を有する。断路トランジスタ 3 0 は、リセット中及びデータが画素へロードされている間に、表示素子からの如何なる光出力も阻止するために使用される。図 5 の断路トランジスタ 3 0 は、図 4 の回路でも使用され得る。

【 0 0 3 9 】

光フィードバックを備えた画素回路について多数の代替の実施形態が存在する。図 3 乃至 5 は p 形トランジスタによる実施を示すが、例えばアモルファスシリコントランジスタに関して、n 形トランジスタによる実施も存在する。

【 0 0 4 0 】

ここで、本発明について、概して図 6 を参照して説明する。

【 0 0 4 1 】

図 6 の回路は、外部照射の影響が除去されることを可能にする汎用回路を示す。

【 0 0 4 2 】

画素回路は、電流によって駆動される発光表示素子 2 と、駆動トランジスタ 2 2 と、断路トランジスタ 3 0 とを有する。駆動トランジスタ 2 2 のゲートへ印加される電圧を制御するよう、汎用回路ブロック 6 0 が示されており、この汎用回路ブロック 6 0 は、光依存性のデバイス配置 6 2 から電荷フローを受け取る。光依存性のデバイス配置 6 2 は、表示素子の輝度を検出する。コンデンサ 6 3 は、光依存性のデバイス配置 6 2 に結合されている。

【 0 0 4 3 】

この回路で、断路トランジスタ 3 0 は、表示素子からパルス光出力を供給するために使用される。光依存性のデバイス配置 6 2 は、また、周期の間の光依存性のデバイス配置 6 2 の一定照射のためにネット出力電荷フローが実質的に零であるように、周期的に制御される。

【 0 0 4 4 】

これを達成するために、配置 6 2 は、両方の方向において出力ノード 6 4 へ / から電荷フローを供給することができる。図 6 の例で、光依存性のデバイス配置 6 2 は、電力線の間に同じ極性を有して直列に配置された第 1 及び第 2 のフォトダイオード 6 6 、 6 8 を有する。出力ノード 6 4 は、フォトダイオードの間の接点にある。フォトダイオードは両方とも、それらが接続されている電力線によって逆バイアスをかけられるが、電荷フロー経

10

20

30

40

50

路は、１度に１つの電力線にしか提供されない。従って、少数キャリア電流は、１度に１つのフォトダイオードにしか流れることができない。示されるように、各フォトダイオードは、夫々のトランジスタ 66a、68a を介してその電力線へ接続されており、これらのトランジスタは、相補的に切り替えられる。これを実現する１つの方法は、反対のタイプのトランジスタを設け、且つ、共通の制御信号を有することである。

【0045】

共通の制御信号は、周期的に交互にフォトダイオードを作動させる。２つのフォトダイオードに一定の照射がある場合、周期の当該期間に亘って平均されるコンデンサ 63 へのネット電荷フローは零である。

【0046】

しかし、表示素子の出力はパルス切替えをなされており、従って、表示素子の出力は、常に、フォトダイオードの唯１つの作動にタイミングが合っている。従って、表示出力によって、コンデンサ 63 への、又はコンデンサ 63 からのネット電荷フローが存在し、フィードバック・スキーマが実施され得る。

【0047】

この配置は、パルス光出力を使用し、対応するパルス光入力にのみ応答して動作するよう光フィードバックを配置する。このようにして、動作の周期の時間期間に亘って一様である周辺光は、光フィードバックシステムに影響を及ぼさない。このようにして、システムは、周辺光の状態によって影響を及ぼされない。

【0048】

図 6 の例で、トランジスタ 66a、68a は、断路トランジスタ 30 を制御するために使用される同じ制御信号によって制御される。断路トランジスタ 30 は、表示素子に対するパルスタイミング制御信号を供給する。これは、光出力の特性に対する光フィードバックの依存に結びつく。

【0049】

この共有される制御ラインは、特定の周波数の矩形波により動作する。

【0050】

汎用回路ブロック 60 は、例えば、図 2 乃至 5 の回路を実施するよう、多種多様な方法で実施され得る。図 7 に示される最も簡単な実施では、ブロック 60 は、単に、ノード 64 と、駆動トランジスタ 22 のゲートとの間の接続である。この最も基本的な回路実施は、放電トランジスタ 20 を用いない図 3 の回路に対応する。

【0051】

図 8 は、どのようにブロック 60 が、図 4 を参照して説明される動作に対応する回路動作を提供するよう実施されるかを示す。

【0052】

図 7 及び 8 に示される回路は、断路トランジスタ 30 が印加される矩形波制御信号を有する場合に、光出力を変調する。光出力が十分に高い周波数にあるならば、これは目には見えない。しかし、図 7 における最も基本的な回路は、極めて急な光度減衰を有するので、図 8 のスナップオフ回路と同様に動作することができない。

【0053】

図 9 は、図 5 を参照して説明された外部監視技術に基づく本発明の実施を示す。図 9 の回路は、ディスプレイが、例えば当該ディスプレイのスイッチオン又はスイッチオフで、通常使用にない場合に測定相を実行することによって、当該回路が光出力を変調しないように配置される。この測定相は、表示素子及び駆動トランジスタのより長期のエイジング効果を補償するために使用される場合、高い周波数を有して実施される必要はない。

【0054】

上記回路は全て、電荷フローの相殺を提供するためにダブル・フォトダイオードを使用する。この概念は、代わりに、単一の感光性の薄膜トランジスタ (TFET) によって実施されても良い。

【0055】

10

20

30

40

50

図 10 は、感光性トランジスタの使用のための汎用回路を示す。感光性トランジスタは、動作周期に依存して対向方向で光電流を供給するよう制御され得る。

【0056】

フォトトランジスタ 80 は、先と同じく、コンデンサ 63 を充電又は放電するよう、ノード 64 へ電流を、あるいはノード 64 からドレイン電流を供給する。ソース端子及びドレイン端子のバイアスに依存して、トランジスタ 80 はいずれか一方の方向で導通することができ、感光性漏れ電流は、このようにして、いずれか一方の方向で流され得る。これは、ゲート電圧と同様にソース - ドレイン間電圧の制御を必要とする。これを達成するために、トランジスタ 80 は、ノード 64 と位相ライン 82 との間に接続されている。

【0057】

TFT 80 は、1つの相ではノード 64 へ電流を供給し、他の相ではノード 64 から電流を吸い込むように配置される。表示素子 2 からの光は、照射相の間、TFT 80 に入射し、外部光 (EXT) は、また、その間ずっとフォト TFT 80 に入射する。位相ライン 82 は、TFT 80 のバイアスを制御する。TFT 80 は、適切なゲート制御信号によって常にオフを保たれる。

【0058】

位相ラインの電圧がノード電圧を上回ると、TFT 80 は電流をノードに供給する。他の相で、位相ラインの電圧はノード電圧を下回っており、従って、TFT 80 はノードからの電流を吸い込む。これは、ゲート電圧を極めて低く保つことによって達成され得る。しかし、これは、各相の間でバイアス状態を変化させ、画素の動作に悪影響を及ぼしうる。

【0059】

理想的な状態は、各相に関して同じゲート - ソース間電圧を保つよう、直接にゲート電圧を制御することである。

【0060】

図 10 は、この理想的な状態を達成する 1つの方法を示す。図 10 で、ゲート電圧は、表示素子 2 の陽極へ接続されている。一例として、電源電圧は 10 V であり、ノード電圧は約 5 V (なお、この電圧は、画素動作の間変動しうる。) であるよう配置されとする。その場合、位相ライン 82 は、TFT 80 が正確に電流を供給し且つ吸い込むことを確実にするよう、10 V から 0 V の間を動かすることができる。その場合、ゲート電圧は、理想的には 5 V から 0 V の間を動き、TFT において同じゲート - ソース間状態を提供する。即ち、ゲート電圧は、n 形 TFT をまさにオフに保つためにソース電圧に等しい。表示素子 2 の陽極は、LED 2 がオンである場合に約 5 V にあり、LED 2 がオフである場合には 0 V にある。従って、表示素子 2 の陽極は、このような正確なバイアスをおおよそ与えることができる。

【0061】

上述される回路は、発振の期間に亘って一定である外部光のみを相殺することができ、これは、パルス / 周期制御ラインにおける矩形波期間がほぼライン時間 (例えば、10 マイクロ秒。) 程度である場合に、ほぼ全ての種類の外部光に関して十分である。しかし、他の画素にある表示素子は、まさに同じ周波数で変調光を生成しており、これは、このような光が他の画素に達することができる場合に相殺され得ない。

【0062】

画素間で光を遮断することは、画素設計の物理的構造を用いて達成され得る。しかし、これは、以下で説明されるように、フィードバック方式を変更することによって回避され得る。

【0063】

具体的に、隣り合う画素は、関心のある画素にある感光性デバイスに光を漏らすことがある。他の解決法は、全ての隣り合う画素が、異なる位相を用いてそれらの光出力を変調するように、画素を配置することである。

【0064】

10

20

30

40

50

具体的に、１つの画素が、隣の画素とは位相が９０度ずれて動作する場合、その１つの画素の出力は、照射時間の半分が、隣の画素の１つの作動しているフォトダイオードに対応し、照射時間の残り半分が、他の作動しているフォトダイオードに対応するように、タイミングを合わせられる。

【００６５】

このアプローチを実施するよう、異なるグループの画素は、単に、位相がずれたパルス及びフィードバック制御（制御ラインＡ３）を必要とする。従って、２つの組の画素は、異なるタイミングの光パルス及びフィードバック制御を有して定義される。

【００６６】

隣接する画素間に有効な遮蔽を提供するよう、２つの組の画素は、図１１に示されるように、格子状のパターンを有することができる。１つの組の画素は＋記号によって表され、他の組の画素は－記号によって表される。図１１は、また、３つのＲＧＢサブピクセルの線形配列として形成される画素を示し、位相パターンは、個々のサブピクセルレベルにおいて適用される。

10

【００６７】

これは、各画素のパルス出力が、夫々の側にある画素及び配列において上下にある画素のパルス出力とは位相がずれることを可能にする。１つの組の表示画素のパルス出力は、他の組の表示画素のパルス出力とは位相が９０度ずれることができる。

【００６８】

このようなクロストークの除去は、例えば異なる行といった、異なるグループの画素において発振の周波数を変更することによって、より向上し得る。行 n で、パルス／周期制御ラインが周波数 f で発振する場合、ライン $n-1$ 及び $n+1$ で、パルス／周期制御ラインは周波数 $2f$ 又は $f/2$ で発振することができる。

20

【００６９】

本発明の駆動方式は、パルスの連続として画素の電流駆動式の発光表示素子に電流を流すことと、光依存性のデバイス配置を用いて前記表示素子の輝度を検出することとを含み、前記光依存性のデバイス配置は、周期的に制御され、前記表示素子の輝度に依存して出力電荷フローを供給する。前記表示素子を流れる電流の駆動は、前記光依存性のデバイス配置の出力に応答して制御され、この出力は、周辺の又は他の実質的に時間一定の照射に影響されない。

30

【００７０】

上記から明らかなように、フォトダイオード光センサ、又はアモルファスシリコンフォトＴＦＴが使用され得る。かかるＴＦＴにおいて、ソースとドレインとの間のチャネルで吸収される光子は、ソース電極及びドレイン電極によって検知され得る光電流を生成する。光電流は、また、アモルファスシリコン層の上部においてゲート電極によって影響を及ぼされ、従って、動作の均衡を保つことができる。低温ポリシリコンフォトＴＦＴは、また、感光性のデバイスとして使用され得る。

【００７１】

本発明のディスプレイ装置は、持ち運び可能な用途（携帯電話、ＰＤＡ、デジタルカメラ）で、（ラップトップ）モニターで、及びテレビで、フラットパネルディスプレイとして特定の用途を見出す。

40

【００７２】

本発明のディスプレイ装置の製造に含まれる工程は、それらが所謂当業者にとって周知であるので、本願では記載されない。アモルファスシリコン、ポリシリコン、微結晶性シリコン又は他の半導体トランジスタ技術が採用されても良い。本発明は、感光性デバイスが夫々の画素に関してフィードバック素子として使用されるところの如何なる画素回路へも適用され得る。

【００７３】

本開示を読むことで、他の変形例が当業者には明らかであろう。かかる変形例は、アクティブマトリクスＥＬディスプレイ装置及びその構成要素部の分野で既に知られており、

50

本願に記載される特徴に代わって、あるいはそれらに加えて使用され得る他の特徴を含んでも良い。

【図面の簡単な説明】

【0074】

【図1】アクティブマトリクスELディスプレイ装置の実施形態の簡略化された概要図である。

【図2】画素回路の既知の形態を表す。

【図3】第1の既知の光フィードバック画素設計を示す。

【図4】第2の既知の光フィードバック画素設計を示す。

【図5】第3の既知の光フィードバック画素設計を示す。

【図6】本発明の第1の形態のディスプレイ装置の画素を図式的に示す。

【図7】図6の本発明の画素構成の第1のより詳細な例を示す。

【図8】図6の本発明の画素構成の第2のより詳細な例を示す。

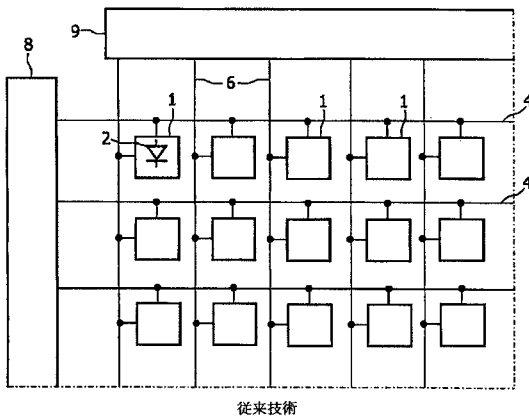
【図9】図6の本発明の画素構成の第3のより詳細な例を示す。

【図10】本発明の第2の形態のディスプレイ装置の画素を図式的に示す。

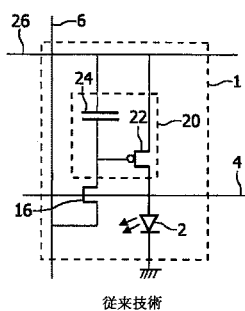
【図11】クロストーク非感受性を実施する方法を示す。

10

【図1】



【図2】



【図3】

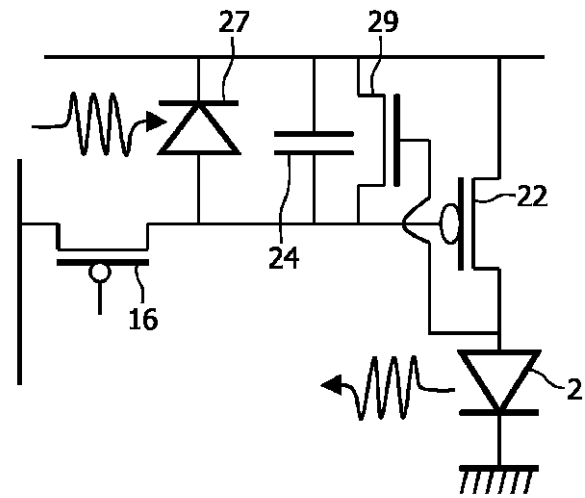


FIG. 3

【 図 4 】

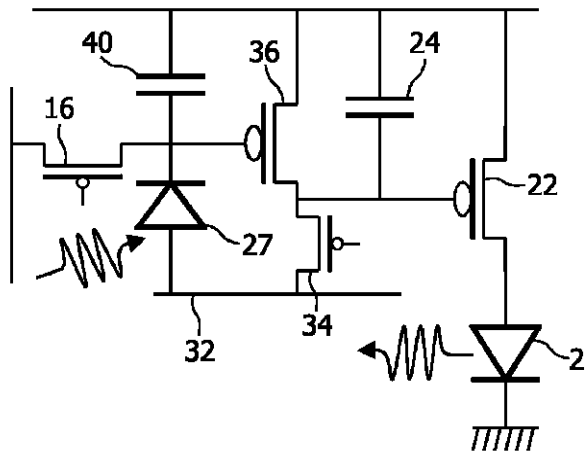
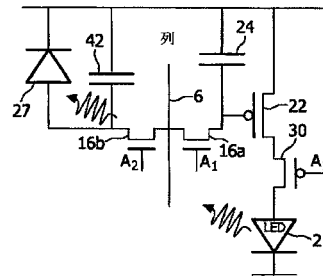
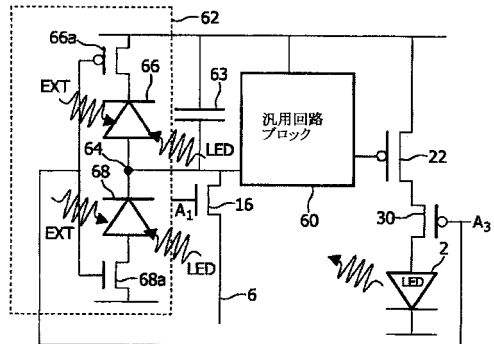


FIG. 4

【 図 5 】



【 図 6 】



【 図 7 】

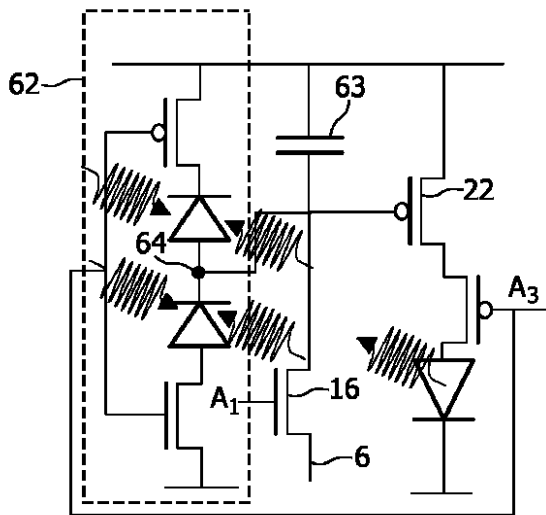
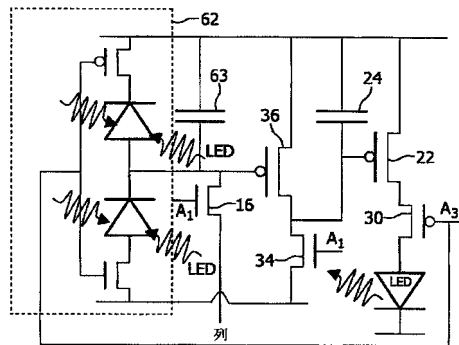


FIG. 7

【 図 8 】



【 図 9 】

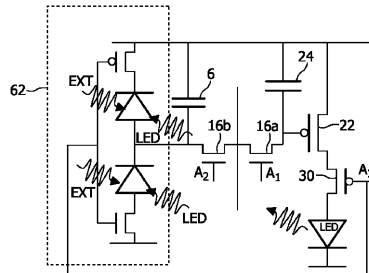
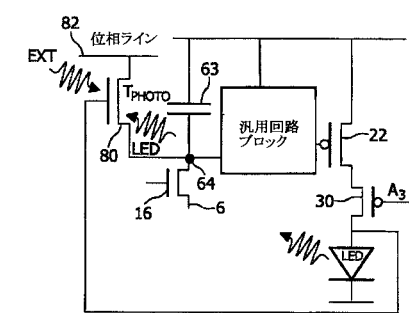


FIG. 9

【 図 1 0 】



【 図 1 1 】

	赤 +	緑 -	青 +	赤 -	緑 +	青 -
A3						
	赤 -	緑 +	青 -	赤 +	緑 -	青 +
A3						

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/IB2006/051924
A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2004/027744 A (KONINKL PHILIPS ELECTRONICS NV [NL]; JOHNSON MARK T [NL]; GIRALDO ANDR) 1 April 2004 (2004-04-01) figures 1,4,6 page 4, line 1 - line 8 page 6, line 4 - line 6 page 9, line 4 - line 21 -----	1-3,6, 17-19,23
X	WO 2004/088627 A (KONINKL PHILIPS ELECTRONICS NV [NL]; FISH DAVID A [GB]) 14 October 2004 (2004-10-14) figure 3 page 10, line 19 - page 11, line 16 -----	1-3,6, 17-19,23
X	WO 01/26087 A (KONINKL PHILIPS ELECTRONICS NV [NL]) 12 April 2001 (2001-04-12) figure 4 page 10, line 13 - page 11, line 3 -----	1-3,6, 17-19,23
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 13 December 2006		Date of mailing of the international search report 22.01.2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3018		Authorized officer Ladiray, Olivier

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/IB2006/051924

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
WO 2004027744	A	01-04-2004	AU	2003255908 A1	08-04-2004
			CN	1685390 A	19-10-2005
			JP	2006500610 T	05-01-2006
			KR	20050057535 A	16-06-2005
			TW	251147 Y	21-11-2004
			US	2006038751 A1	23-02-2006

WO 2004088627	A	14-10-2004	EP	1614093 A1	11-01-2006
			JP	2006524355 T	26-10-2006
			KR	20060002891 A	09-01-2006
			US	2006250330 A1	09-11-2006

WO 0126087	A	12-04-2001	EP	1135764 A1	26-09-2001
			JP	2003511724 T	25-03-2003
			TW	490650 B	11-06-2002
			US	6356029 B1	12-03-2002

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 2 K
	G 0 9 G 3/20	6 4 2 D
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 1 1 H
	G 0 9 F 9/30	3 4 9 Z
	G 0 9 F 9/30	3 6 5 Z
	H 0 5 B 33/14	A
	G 0 9 F 9/30	3 3 8

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72) 発明者 フィッシュ, デイヴィッド エイ
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内 (番地なし)

(72) 発明者 ヤング, ナイジェル ディー
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内 (番地なし)

(72) 発明者 チャイルズ, マーク ジェイ
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内 (番地なし)

F ターム (参考) 3K107 AA01 BB01 CC02 CC21 CC33 EE03 EE68 HH04 HH05
5C080 AA06 BB05 CC03 DD04 DD05 DD10 DD29 EE29 FF11 HH09
JJ02 JJ03
5C094 AA07 AA31 BA03 BA23 BA27 CA19 DA20 GA10

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2009500650A	公开(公告)日	2009-01-08
申请号	JP2008519024	申请日	2006-06-15
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデイヴィッドエイ ヤングナイジェルディー チャイルズマークジェイ		
发明人	フィッシュ,デイヴィッド エイ ヤング,ナイジェル ディー チャイルズ,マーク ジェイ		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/2014 G09G3/2011 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2300/088 G09G2320/0209 G09G2320/043 G09G2320/045 G09G2320/0626 G09G2360/144 G09G2360/148		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.642.P G09G3/20.624.B G09G3/20.621.A G09G3/20.642.K G09G3/20.642.D G09G3/20.670.K G09G3/20.642.A G09G3/20.611.H G09F9/30.349.Z G09F9/30.365.Z H05B33/14.A G09F9/30.338		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC21 3K107/CC33 3K107/EE03 3K107/EE68 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD05 5C080/DD10 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C094/AA07 5C094/AA31 5C094/BA03 5C094/BA23 5C094/BA27 5C094/CA19 5C094/DA20 5C094/GA10		
代理人(译)	伊藤忠彦		
优先权	2005105971 2005-06-30 EP		
外部链接	Espacenet		

摘要(译)

有源矩阵LED显示装置使用光学反馈来控制像素驱动晶体管(2)。控制LED显示装置以提供脉冲输出,并且光学反馈元件(66,68)由光学反馈元件(66,如图68所示,净输出电荷流量基本为零,因此净输出电荷流量基本为零。这种布置使用脉冲光输出并且使光学反馈仅响应于相应的脉冲光输入而操作。以这种方式,在操作循环的时间段内均匀的环境光不会影响光学反馈系统。这样,系统不受环境光状态的影响。

