

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-110008

(P2009-110008A)

(43) 公開日 平成21年5月21日(2009.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 642K	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
H05B 33/14 (2006.01)	G09G 3/20 612U	
	G09G 3/20 612E	
審査請求 有 請求項の数 10 O L (全 577 頁) 最終頁に続く		

(21) 出願番号	特願2008-303313 (P2008-303313)	(71) 出願人	302020207
(22) 出願日	平成20年11月28日 (2008.11.28)		東芝松下ディスプレイテクノロジー株式会社
(62) 分割の表示	特願2004-136379 (P2004-136379) の分割		東京都港区港南4-1-8
原出願日	平成16年4月30日 (2004.4.30)	(74) 代理人	110000899
(31) 優先権主張番号	特願2003-129528 (P2003-129528)		特許業務法人 松田国際特許事務所
(32) 優先日	平成15年5月7日 (2003.5.7)	(72) 発明者	高原 博司
(33) 優先権主張国	日本国 (JP)		東京都港区港南四丁目1番8号 東芝松下
(31) 優先権主張番号	特願2003-277166 (P2003-277166)		ディスプレイテクノロジー株式会社内
(32) 優先日	平成15年7月18日 (2003.7.18)	Fターム(参考)	3K107 AA01 AA05 BB01 CC02 CC14
(33) 優先権主張国	日本国 (JP)		CC31 CC33 CC43 CC45 EE04
(31) 優先権主張番号	特願2004-45517 (P2004-45517)		EE06 HH00 HH04 HH05
(32) 優先日	平成16年2月20日 (2004.2.20)		5C080 AA06 BB05 CC03 DD01 DD05
(33) 優先権主張国	日本国 (JP)		DD22 DD26 DD27 EE28 EE29
			EE30 FF07 FF11 HH09 JJ01
			JJ02 JJ03 JJ04 JJ05 JJ06

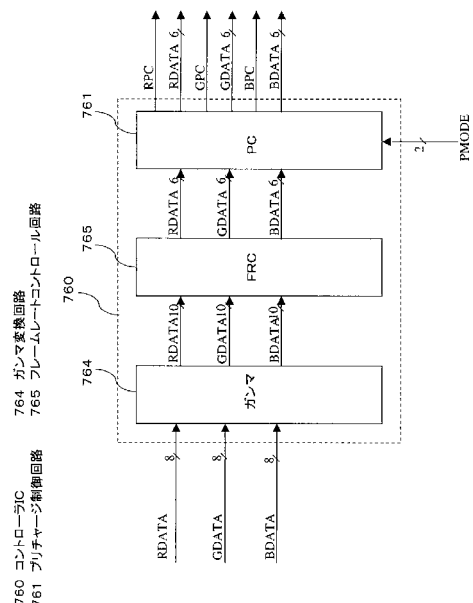
(54) 【発明の名称】 E L表示装置

(57) 【要約】 (修正有)

【課題】有機EL表示装置において、画像データを考慮してプリチャージを行う。

【解決手段】複数の色の画素がマトリックス状に配置された表示画面を有するEL表示装置であって、複数の色の画素の第1の色の画素に対する第1のガンマ変換回路764と、複数の色の画素の第2の色の画素に対する第2のガンマ変換回路764と、を具備し、第1のガンマ変換回路764および第2のガンマ変換回路764の最低階調での出力電圧が一致する、または第1のガンマ変換回路764および第2のガンマ変換回路764の最高階調での出力電圧が一致する、EL表示装置。

【選択図】図76



【特許請求の範囲】

【請求項 1】

複数の色の画素がマトリックス状に配置された表示画面を有する E L 表示装置であって、
前記複数の色の画素の第 1 の色の画素に対する第 1 のガンマ変換回路と、
前記複数の色の画素の第 2 の色の画素に対する第 2 のガンマ変換回路と、を具備し、
前記第 1 のガンマ変換回路および前記第 2 のガンマ変換回路の最低階調での出力電圧が一致する、または前記第 1 のガンマ変換回路および前記第 2 のガンマ変換回路の最高階調での出力電圧が一致する、E L 表示装置。

【請求項 2】

複数の色の画素がマトリックス状に配置された表示画面を有する E L 表示装置であって、
前記表示画面は、第 1 の色の画素、第 2 の色の画素がマトリックス状に配置され、
前記第 1 の色の画素に対応する第 1 のガンマ発生回路と、
前記第 2 の色の画素に対応する第 2 のガンマ発生回路と、を具備し、
前記第 1 のガンマ発生回路の最低階調での出力電圧と前記第 2 のガンマ発生回路の最低階調での出力電圧とが一致し、
前記第 1 の色のガンマ発生回路の最大階調の出力電圧と前記第 2 のガンマ発生回路の最大階調での出力電圧とを独立に可変できる、E L 表示装置。

【請求項 3】

前記画素には、E L 素子に電流を供給する駆動用トランジスタが形成され、
前記駆動用トランジスタは、P チャンネルトランジスタである、請求項 1 または 2 に記載の E L 表示装置。

【請求項 4】

前記 E L 表示装置は、画像信号を印加するソースドライバ回路と、
前記ソースドライバ回路の出力端子と前記画素が接続されたソース信号線との間に配置されたスイッチ回路と、を更に具備し、
前記スイッチ回路は、前記出力端子から出力された画像信号を、選択した前記ソース信号線に印加する、請求項 1 または 2 に記載の E L 表示装置。

【請求項 5】

前記第 1 の色の画素のサイズと前記第 2 の色の画素のサイズとが異なっている、請求項 1 または 2 に記載の、E L 表示装置。

【請求項 6】

外部コマンドにより、前記ガンマ発生回路を制御する、請求項 1 または 2 に記載の、E L 表示装置。

【請求項 7】

前記画素は、
E L 素子と、
前記 E L 素子に電流を供給する駆動用トランジスタと、
ソース信号線に印加された映像信号を前記駆動用トランジスタに供給する経路を発生させる第 1 のスイッチ用トランジスタと、
前記第 1 のスイッチ用トランジスタのゲート端子と前記駆動用トランジスタのゲート端子とに接続された第 1 のコンデンサとを有し、
ゲート信号線と前記第 1 のスイッチ用トランジスタのゲート端子とが接続され、
前記第 1 のスイッチ用トランジスタと前記駆動用トランジスタとは同一チャンネル極性のトランジスタである、請求項 1 または 2 に記載の、E L 表示装置。

【請求項 8】

前記第 1 のスイッチ用トランジスタは、デュアルゲート以上のマルチゲート構造である、請求項 7 に記載の、E L 表示装置。

【請求項 9】

前記画素は、
E L 素子と、
前記 E L 素子に電流を供給する駆動用トランジスタと、
ソース信号線に印加された映像信号を前記駆動用トランジスタに供給する経路を発生させるスイッチ素子とを有し、

前記スイッチ素子は、複数のトランジスタから構成される、請求項 1 または 2 に記載の、E L 表示装置。

【請求項 10】

前記 E L 表示装置に印加される映像信号を集計もしくはヒストグラム処理をし、または、前記 E L 表示装置に印加される映像信号の大きさから点灯率を求める演算あるいは処理回路と、を更に備え、

電圧発生回路は、前記演算あるいは処理回路の出力結果に基づき、前記ガンマ発生回路を制御する、請求項 1 または 2 に記載の、E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス (E L) 素子などを用いた E L 表示パネル (表示装置) などの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路 (I C など) および駆動方法などに関するものである。

【背景技術】

【0002】

電気光学変換物質として有機エレクトロルミネッセンス (E L) 材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。有機 E L 表示パネルは各画素に発光素子を有する自発光型である。有機 E L 表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

【0003】

有機 E L 表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ (トランジスタ) によって制御する。

【0004】

アクティブマトリクス方式の有機 E L 表示パネルの一面素分の等価回路を図 2 に示す (たとえば、特許文献 1 参照)。画素 16 は発光素子である E L 素子 15、第 1 のトランジスタ (駆動用トランジスタ) 11a、第 2 のトランジスタ (スイッチング用トランジスタ) 11b および蓄積容量 (コンデンサ) 19 からなる。発光素子 15 は有機エレクトロルミネッセンス (E L) 素子である。本明細書では、E L 素子 15 に電流を供給 (制御) するトランジスタ 11a を駆動用トランジスタ 11 と呼ぶ。また、図 2 のトランジスタ 11b のように、スイッチとして動作するトランジスタをスイッチ用トランジスタ 11 と呼ぶ。

【0005】

有機 E L 素子 15 は多くの場合、整流性があるため、O L E D (有機発光ダイオード) と呼ばれることがある。図 1、図 2 などでは発光素子 15 としてダイオードの記号を用いている。

【0006】

本発明における発光素子 15 は O L E D に限るものではなく、素子 15 に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機 E L 素子が例示される。そ

10

20

30

40

50

の他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子 15 は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。

【0007】

図 2 の動作について説明する。ゲート信号線 17 を選択状態とし、ソース信号線 18 に輝度情報を表す電圧の映像信号を印加する。トランジスタ 11 a が導通し、映像信号が蓄積容量 19 に充電される。ゲート信号線 17 を非選択状態とすると、トランジスタ 11 a がオフになる。トランジスタ 11 b は電氣的にソース信号線 18 から切り離される。しかし、トランジスタ 11 a のゲート端子電位は蓄積容量（コンデンサ）19 によって安定に保持される。トランジスタ 11 a を介して発光素子 15 に流れる電流は、トランジスタ 11 a のゲート／ドレイン端子間電圧 V_{gd} に応じた値となる。発光素子 15 はトランジスタ 11 a を通って供給される電流量に応じた輝度で発光し続ける。

【特許文献 1】特開平 8-234683 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

有機 EL 表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機 EL 素子は、電流により発光するため、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【0009】

図 2 は電圧プログラム方式の画素構成である。図 2 に図示する画素構成では、電圧の映像信号をトランジスタ 11 a で電流信号に変換する。したがって、トランジスタ 11 a に特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ 11 a は 50% 以上の特性バラツキが発生している。したがって、図 2 の構成では表示ムラが発生する。

【0010】

表示ムラは、電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。また、電流プログラム方式は、低階調領域では、駆動電流が小さい。そのため、ソース信号線 18 の寄生容量により良好に駆動できないという課題があった。特に、0 階調目の電流は、0 である。したがって、画像表示を変更できないという課題があった。

【0011】

このように、たとえば、有機 EL 表示パネルを利用して良好な画像表示を得ることが困難であるという課題があった。

【課題を解決するための手段】

【0012】

本発明の表示パネル（表示装置）のドライバ回路は、主として単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、本発明の表示装置などは、 $duty$ 比制御、基準電流制御などを実施する。

【発明の効果】

【0013】

本発明のソースドライバ回路は、基準電流の発生回路を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、EL 素子 15 に流れる電流バラツキが発生しないように駆動する。したがって、トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能となる。また、 $duty$ 比制御などによりダイナミックレンジが広い画像

表示を実現できる。

【0014】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0015】

本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。

【0016】

本発明は、たとえば、有機EL表示パネルを利用してより良好な画像表示を得ることができるという長所を有する。

【発明を実施するための最良の形態】

【0017】

本明細書において、各図面は理解を容易するために、また作図を容易にするため、省略および拡大あるいは縮小した箇所がある。たとえば、図4に図示する表示パネルの断面図では薄膜封止膜41などを十分厚く図示している。一方、図3において、封止フタ40は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルム(38、39)が必要である。しかし、本明細書の各図面では円偏光板などを省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【0018】

各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図3、図4の本発明の表示パネルにタッチパネルなどを付加し、図154から図157に図示する情報表示装置とすることができる。

【0019】

本明細書では、駆動用トランジスタ11、スイッチング用トランジスタ11は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード(TFD)、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ11、ゲートドライバ回路12、ソースドライバ回路(IC)14などは、これらのいずれでも使用することができる。

【0020】

ソースドライバ回路(IC)14は、単なるドライバ機能だけでなく、電源回路、バッファ回路(シフトレジスタなどの回路を含む)、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。

【0021】

基板30はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、基板30は、金属基板、セラミック基板、プラスチックシート(板)などを使用してよい。また、本発明の表示パネルなどを構成するトランジスタ11、ゲートドライバ回路12、ソースドライバ回路(IC)14などは、ガラス基板などに形成し、転写技術により他の基板(プラスチックシート)に移し変えて構成または形成したものでもよいことは言うまでもない。フタ40の材料あるいは構成に関しても基板30と同様である。また、フタ40、基板30は放熱性を良好にするため、サファイアガラスなどを用いてもよいことは言うまでもない。

【0022】

以下、本発明のEL表示パネルについて図面を参照しながら説明をする。有機EL表示

10

20

30

40

50

パネルは、図 3 に示すように、画素電極としての透明電極 35 が形成されたガラス板 30 (アレイ基板 30) 上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも 1 層の有機機能層 (EL 層) 29、及び金属電極 (反射膜) (カソード) 36 が積層されたものである。透明電極 (画素電極) 35 である陽極 (アノード) にプラス、金属電極 (反射電極) 36 の陰極 (カソード) にマイナスの電圧を加え、透明電極 35 及び金属電極 36 間に直流を印加することにより、有機機能層 (EL 膜) 29 が発光する。

【0023】

なお、封止フタ 40 とアレイ基板 30 との空間には乾燥剤 37 を配置する。これは、有機 EL 膜 29 は湿度に弱いためである。乾燥剤 37 によりシール剤を浸透する水分を吸収し有機 EL 膜 29 の劣化を防止する。また、封止フタ 40 とアレイ基板 30 とは図 251 に図示するように周辺部を封止樹脂 2511 で封止する。

10

【0024】

封止フタ 40 とは、外部からの水分の浸入を防止あるいは抑制する手段であって、フタの形状に限定されるものではない。たとえば、ガラス板あるいはプラスチック板あるいはフィルムなどでもよい。また、融着ガラスなどでもよい。また、樹脂あるいは無機材料などの構成体であってもよい。また、蒸着技術などを用いて薄膜状の形成 (図 4 を参照のこと) したものであってもよい。

【0025】

図 251 に図示するように、封止フタ 40 とアレイ基板 30 間に、薄型のスピーカ 2512 を配置または形成してもよい。一例としてスピーカ 2512 はモバイル機器などで使用している薄膜型のものを使用する。封止フタ 40 の凹部には空間 2514 があるため、この空間 2514 にスピーカ 2512 を配置することにより、空間 2514 を有効利用できる。また、空間 2514 内でスピーカ 2512 が振動するため、パネルの表面から音響を発生するように構成できる。もちろん、スピーカ 2512 は、表示パネルの裏面 (観察面の逆面) に配置してもよい。スピーカ 2512 が振動し、空間 2514 が振動して良好な音響デバイスを構成することができる。スピーカ 2512 は乾燥剤 37 と同時に固定するか、乾燥剤 37 以外の箇所に封止フタ 40 に貼り付けて固定する。封止フタ 40 に直接にスピーカ 2512 を形成する構成でもよい。

20

【0026】

封止フタ 40 の空間 2514 あるいは封止フタ 40 の面などに温度センサ (図示せず) を形成または配置する。この温度センサの出力結果により、以降に説明する duty 比制御、基準電流比制御、点灯率制御などを実施してもよい。

30

【0027】

スピーカ 2512 の端子配線は、基板 30 などにアルミニウムの蒸着膜で形成する。端子配線は、封止フタ 40 外部に引き出し電源あるいは信号源に接続する。

【0028】

スピーカ 2512 と同様に、薄型のマイクを配置または形成してもよい。また、圧電振動子をスピーカとして用いてもよい。なお、スピーカ、マイクなどの駆動回路はポリシリコン技術を用いてアレイ 30 に直接形成あるいは配置してもよいことは言うまでもない。

【0029】

スピーカ 2512 あるいはマイクなどの表面は、無機材料あるいは有機材料もしくは金属材料の 1 種類あるいは複数種類からなる薄膜あるいは厚膜 2513 を蒸着あるいは塗布して封止する。封止することによりスピーカ 2512 などから発生するガスなどによる有機 EL 膜などの劣化を抑制できる。

40

【0030】

EL 表示パネル (EL 表示装置) の課題として、パネル内部で発生するハレーションを原因とするコントラスト低下がある。EL 素子 15 (EL 膜 29) から発生した光がパネル内部に閉じ込められ乱反射するために発生する。

【0031】

この課題を解決するために、本発明の EL 表示パネルでは、画像表示に非有効な表示領

50

域（無効領域）に光吸収膜（光吸収手段）を形成または配置している。光吸収膜を形成することにより、画素16から発生した光が基板30などで乱反射することにより発生するハレーションによる表示コントラスト低下を抑制することができる。

【0032】

無効領域とは、基板30あるいは封止フタ40の側面が例示される。また、基板30かつ表示領域以外（たとえば、ゲートドライバ回路12、ソースドライバ回路（IC）14が形成された領域およびその近傍など）、フタ40の全面（下取り出しの場合）などが例示される。

【0033】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボン含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたPrMnO₃膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【0034】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

【0035】

図3の本発明の有機EL表示パネルは、ガラスのフタ40を用いて封止する構成である。しかし、本発明はこれに限定するものではない。たとえば、図4に図示するようにフィルム41（薄膜でもよい。つまり、薄膜封止膜41である）41を用いた封止構造であってもよい。

【0036】

封止フィルム（薄膜封止膜）41としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜41として用いる。また、DLC（ダイヤモンドライクカーボン）膜などを電極36の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【0037】

薄膜41あるいは封止構造を形成する膜の厚みは、上記干渉領域の膜厚には限定されない。5～10μm以上あるいは、100μm以上の厚みを有するように構成あるいは形成してもよいことは言うまでもない。また、封止構成の薄膜41などが透過性を有する場合は、図4のA側が光出射側となり、不透過性あるいは光反射性の機能あるいは構造を有する場合は、B側が光出射側となる。

【0038】

A側とB側からの両方から光が出射されるように構成してもよい。この構成を採用する場合は、A側からEL表示パネルの画像を見る場合と、B側からEL表示パネルの画像を見る場合とでは画像が左右反転する。したがって、A側からEL表示パネルの画像を見る場合と、B側からEL表示パネルの画像を見る場合では、手動あるいはオートマチックに画像の左右を反転させる機能を付加する。この機能の実現は、映像信号の1画素行あるいは複数画素行分をラインメモリに蓄積し、ラインメモリの読み出し方向を反転させればよい。

【0039】

図4のように封止フタ40を用いず、封止膜41で封止する構成を薄膜封止と呼ぶ。基板30側から光を取り出す「下取り出し（図3を参照のこと。光取り出し方向は図3のB矢印方向である）」の場合の薄膜封止41は、EL膜を形成後、EL膜上にカソードとな

10

20

30

40

50

るアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2\text{ }\mu\text{m}$ 以上 $6\text{ }\mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。

【0040】

緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜41は前述したように、DLC（ダイヤモンド ライク カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【0041】

有機EL膜29側から光を取り出す「上取り出し（図4を参照のこと。光取り出し方向は図4のA矢印方向である）」の場合の薄膜封止は、有機EL膜29を形成後、有機EL膜29上にカソード（もしくはアノード）となるAg-Mg膜を20オングストローム以上300オングストロームの膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次に、好ましくはこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜41を形成する。

【0042】

図3などにおいて、有機EL膜29から発生した光の半分は、反射膜（カソード電極）36で反射され、アレイ基板30と透過して出射される。しかし、反射膜（カソード電極）36には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板30に $\lambda/4$ 板（位相フィルム）38および偏光板（偏光フィルム）39を配置している。偏光板39と位相フィルム38を一体したものは円偏光板（円偏光シート）と呼ばれる。

【0043】

図3、図4などの構成において、光出射面に、微細な四角錐、三角錐などの、プリズムを形成することにより、表示輝度を向上できる。四角錐の場合は、底辺の1辺は、 $100\text{ }\mu\text{m}$ 以下 $10\text{ }\mu\text{m}$ 以上にする。さらに好ましくは $30\text{ }\mu\text{m}$ 以下 $10\text{ }\mu\text{m}$ 以上にする。三角錐の場合は、底辺の直径を $100\text{ }\mu\text{m}$ 以下 $10\text{ }\mu\text{m}$ 以上にする。さらに好ましくは $30\text{ }\mu\text{m}$ 以下 $10\text{ }\mu\text{m}$ 以上にする。

【0044】

画素16が反射電極の場合はEL膜29から発生した光は上方向に出射される（図4のA方向に光が出射）。したがって、位相板38および偏光板39は光出射側に配置することはいうまでもない。

【0045】

反射型画素16は、画素電極35を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極35の表面に、凸部（もしくは凹凸部）を設けることで有機EL膜29との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード36（アノード35）となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【0046】

凸部（もしくは凹凸部）は、回折格子にすることは光取り出しに効果がある。回折格子は2次元あるいは3次元構造にする。回折格子のピッチは $0.2\text{ }\mu\text{m}$ 以上 $2\text{ }\mu\text{m}$ 以下にすることが好ましい。この範囲で光効率が良好な結果が得られる。特に回折格子のピッチは $0.3\text{ }\mu\text{m}$ 以上 $0.8\text{ }\mu\text{m}$ 以下にすることが好ましい。また、回折格子の形状は、サインカーブ状にすることが好ましい。

【0047】

図1などにおいて、トランジスタ11はLDD（lightly doped drain）構造を採用することが好ましい。

【0048】

EL表示装置のカラー化は、マスク蒸着により行うが、本発明はこれに限定するもので

10

20

30

40

50

はない。たとえば、青色発光のEL層を形成し、発光する青色光を、R、G、Bの色変換層（CCM：カラーチェンジミディアムズ）でR、G、B光に変換してもよい。たとえば、図4において、薄膜封止膜41上あるいは下にカラーフィルターを配置する。もちろん、プレジエンシャドーマスクを利用したRGB有機材料（EL材料）の打ち分け方式を採用してもよい。本発明のカラーEL表示パネルはこれらのいずれの方式を用いても良い。

【0049】

本発明のELパネル（EL表示装置）の画素16の構造は、図1などに示すように、1つの画素16が4つのトランジスタ11ならびにEL素子15により形成される。画素電極35はソース信号線18と重なるように構成する。ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜32を形成して絶縁し、平坦化膜32上に画素電極35を形成する。このようにソース信号線18上の少なくとも1部に画素電極35を重ねる構成をハイパーチャ（HA）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

【0050】

平坦化膜32は層間絶縁膜としても機能する。平坦化膜32は、 $0.4\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下の膜厚に構成あるいは形成する。平坦化膜32の膜厚が $0.4\mu\text{m}$ 以下であれば、層間絶縁が不良になりやすい（歩留まり低下）。 $2.0\mu\text{m}$ 以上であればコンタクト接続部34の形成が困難になり、コンタクト不良が発生しやすい（歩留まり低下する）。

【0051】

本発明の表示装置において、画素構成は、図1を中心に説明するが、これに限定するものではない。たとえば、図2、図6～図13、図28、図31、図33～図36、図158、図193～図194、図574、図576、図578～図581、図595、図598、図602～図604、図607（a）（b）（c）にも適用できることは言うまでもない。

【0052】

EL表示パネルは、R、G、Bで発光効率が異なる場合が多い。そのため、駆動用トランジスタ11aが流す電流がR、G、Bで異なる。たとえば、図235に図示するように、Bの画素16を駆動する駆動用トランジスタ11aが点線とすると、Gの画素16を駆動する駆動用トランジスタ11aが実線となる。図235の縦軸は、駆動用トランジスタ11aが流す電流（S-D電流）（ μA ）である。つまり、プログラム電流 I_w であり、横軸は駆動用トランジスタ11aのゲート端子電圧である。

【0053】

図235に図示するように、R、G、Bでゲート端子電圧に対するS-D電流の大きさが異なると電流（電圧）プログラム精度が低下する（図235では実線の特性の精度がなくなる）。この課題に対して、駆動用トランジスタ11aのチャンネル幅（W）とチャンネル長（L）からなるWL比を調整してトランジスタ11aの設計を行う。トランジスタ11aの設計は、同一ゲート端子電圧に対し、R、G、Bの駆動用トランジスタ11aが出力するS-D電流の差が2倍以内となるようにすることが好ましい。

【0054】

本明細書ではEL素子15として有機EL素子（OEL、PEL、PLED、OLEDなど多種多様な略称で記述される）を例にあげて説明するがこれに限定するものではなく、無機EL素子にも適用されることは言うまでもない。

【0055】

有機EL表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること。1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満足させなければならない。

【0056】

この2つの条件を満足させるため、図2に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタとして機能

10

20

30

40

50

させる。また、第2のトランジスタ11aはEL素子15に電流を供給するための駆動用トランジスタとして機能させている。

【0057】

この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

【0058】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが±0.2V～0.5Vの範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。

【0059】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度（摂氏）以上の高温ポリシリコン技術でも、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

【0060】

図2のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えることができない。

【0061】

本発明の表示パネルの画素16を構成するトランジスタ11は、p-チャンネルポリシリコン薄膜トランジスタに構成される。また、トランジスタ11bは、デュアルゲート以上であるマルチゲート構造としている。

【0062】

本発明の表示パネルの画素16を構成するトランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用する。したがって、トランジスタ11bは、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

【0063】

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ11特性のバラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【0064】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（CGS）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。

【0065】

本発明では、アニールの時のレーザー照射スポット（線状のレーザー照射範囲）をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポットを移動させる。もちろん、1画素列に限定するものではなく、たとえば、RGB画素を1画素という単位でレーザーを照射してもよい（この場合は、3画素列ということになる）

。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

【0066】

レーザーアニール時の線状のレーザースポットをソース信号線18の形成方向に一致させる（ソース信号線18の形成方向と、レーザースポットの長手方向とを平行にする）ことにより、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる。

【0067】

画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポットを縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。なお、R、G、Bの画素開口率は、異ならせてもよい。開口率を異ならせることにより、各RGBのEL素子15に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、RGBのEL素子15の劣化速度を同一にすることができる。劣化速度を同一にすれば、EL表示装置のホワイトバランスずれが発生しない。

【0068】

アレイ基板30の駆動用トランジスタ11aの特性分布（特性ばらつき）は、ドーピング工程でも発生する。図591（a）に図示するように、ドーピングヘッド5911には、ドーピングのための穴が等間隔にあいている。したがって、図591（a）に図示するように、ドーピングによる特性分布が筋状に発生する。

【0069】

本発明のアレイ基板の製造方法では、図591に図示するように、ドーピングによる特性の分布方向（図591）と、レーザーアニール方向による特性分布方向（図592）とソース信号線18の形成方向（図593）とを一致させている。以上のように構成（形成）することにより、電流駆動方式において駆動用トランジスタ11aの特性ばらつきを電流プログラム方式により良好に補償することができる。

【0070】

図591のドーピング工程では、ドーピングヘッド3461の走査方向に特性分布が発生する（ドーピングヘッドの垂直方向に特性分布が発生する）。図592のレーザーアニール工程では、レーザーヘッド3462の走査方向の垂直方向に特性分布が発生する（レーザーヘッドの長手方向に特性分布が発生する）。レーザーアニールは、線状のレーザー光が基板30に照射され、線状にレーザーアニールされるからである。つまり、線状にレーザーショットされ、レーザー照射位置を順次ずらせることにより基板30全体がレーザーアニールされる。

【0071】

図593に図示するように、レーザーヘッド5912の長手方向は、ソース信号線18と平行である（線状のレーザー光はソース信号線18と平行になるように照射される）。また、図591に図示するように、ドーピングヘッド5911は、ソース信号線18の形成方向に垂直になるように配置され操作される（ドーピングによる特性分布方向がソース信号線18と平行になるようにドーピングが実施される）。

【0072】

また、図594に図示するように、画素16の駆動用トランジスタ11aの長手方向（チャンネル面積が $a \times b$ で形成されているとき、 a または b の長い辺）とレーザーヘッド5912の方向が一致するように、トランジスタ11aが形成または配置される（レーザーヘッド5912の走査方向と垂直にトランジスタ11aのチャンネルの長手方向が形成または配置される）。1レーザーショットでトランジスタ11aのチャンネルがアニールされ、特性バラツキが低減するからである。また、トランジスタ11aのチャンネルの長手方向と、ソース信号線18に平行になるように、トランジスタ11aが形成または配置

される。本発明の製造方法は、レーザーアニール工程を実施した後、ドーピング工程を実施する。

【0073】

なお、以上の製造方向あるいは構成は、図2、図9、図10、図13、図31、図11、図602、図603、図604、図607(a)(b)(c)などで図示した他の画素構成にも適用できることは言うまでもない。

【0074】

本発明のソースドライバ回路(IC)16を構成する単位トランジスタ154は一定の面積が必要である。単位トランジスタ154に一定のトランジスタサイズが必要な理由の1つは、ウエハ5891にモビリティの特性分布があるからである。図589はウエハ5891の特性分布の状態を概念的に図示している。一般的にウエハの特性分布5892は帯状(すじ状)になっている。帯状の部分の特性が近似している。

【0075】

特性分布5892を軽減するためには、ICプロセスの拡散工程を工夫することにより改善する。1つの拡散工程を複数化実施することが有効である。拡散工程において、ドーピングなどを走査することにより実施している。この走査により、周期的に単位トランジスタの特性(特に V_t)が周期的に異なるようになる。したがって、拡散工程を複数回実施し、各拡散工程の開始位置をずらすことにより周期的なトランジスタの特性分布が平均化される。したがって、周期的ムラがなくなる。この工程を実施しないと、通常、3~5mm周期の単位トランジスタの特性分布が発生する。走査を1~2mmずらせて複数回実施することが適正である。

【0076】

以上のように本発明のソースドライバ回路(IC)14の製造方法は、ソースドライバ回路(IC)14のトランジスタのモビリティを設定あるいは規定する拡散工程において、前記拡散工程を複数回に分けて、あるいは繰り返して実施することが特徴である。以上の工程は、電流出力のソースドライバ回路(IC)14に有効なあるいは特徴ある製造方法である。

【0077】

ソースドライバ回路(IC)14の形成でレイアウトを工夫することも有効である。図590(a)のようにソースドライバICチップ14をレイアウトするよりも図590(b)の特性分布5892の方向にレイアウトする。つまり、ウエハ5891の特性分布5892の方向にICチップの長手方向が一致するようにICのレチクルをレイアウト設定する。

【0078】

図589のような特性分布5892が発生している場合は、図551(a)に図示するように、トランジスタ群431cの単位トランジスタ154を整然と配置するよりは、図551(b)のようにトランジスタ群を構成する単位トランジスタ154を分散させて配置する方が端子155間の特性ばらつきが少なくなる。なお、図551において、同一ハッチングの単位トランジスタ154がトランジスタ群431cを構成するとしている。単位トランジスタ154の特性バラツキは、トランジスタ群431cの出力電流によっても異なる。出力電流は、EL素子15の効率によって決定される。たとえば、G色のEL素子の発光効率が高ければG色の出力端子155から出力されるプログラム電流は小さくなる。逆に、B色のEL素子の発光効率が低ければB色の出力端子155から出力されるプログラム電流は大きくなる。

【0079】

プログラム電流が小さくなることは、単位トランジスタ154が出力する電流が小さくなることを意味する。電流が小さくなれば単位トランジスタ154のバラツキも大きくなる。単位トランジスタ154のバラツキを小さくするには、トランジスタサイズを大きくすればよい。

【0080】

10

20

30

40

50

図 1 に図示する本発明の E L 表示パネルの画素構成などについて説明をする。ゲート信号線（第 1 の走査線）17 a をアクティブ（O N 電圧を印加）とする。同時に、駆動用のトランジスタ 11 a には、スイッチ用トランジスタ 11 c を通して、前記 E L 素子 15 に流すべきプログラム電流 I_w をソースドライバ回路（I C）14 から流す。また、駆動用トランジスタ 11 a のゲート端子（G）とドレイン端子（D）間を短絡するようにトランジスタ 11 b が動作する。同時に、トランジスタ 11 a のゲート端子（G）とソース端子（S）間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）19 にトランジスタ 11 a のゲート電圧（あるいはドレイン電圧）を記憶する（図 5（a）を参照のこと）。

【0081】

なお、コンデンサ（蓄積容量）19 の大きさは、0.2 p F 以上 2 p F 以下とすることがよく、中でもコンデンサ（蓄積容量）19 の大きさは、0.4 p F 以上 1.2 p F 以下とすることがよい。

【0082】

好ましくは、画素サイズを考慮してコンデンサ 19 の容量を決定する。1 画素に必要な容量を C_s （p F）とし、1 画素が占める面積を S_p とする。 S_p とは開口率ではない。各 R G B の 1 つの画素が占める面積である。たとえば、R 画素が $200 \mu m \times 67 \mu m$ であれば、 $S_p = 13400$ 平方 μm である。

【0083】

S_p （平方 μm ）とすれば、 $1500/S_p \leq C_s \leq 30000/S_p$ とし、さらに好ましくは、 $3000/S_p \leq C_s \leq 15000/S_p$ となるようにする。なお、トランジスタ 11 のゲート容量は小さいので、ここでいう Q とは、蓄積容量（コンデンサ）19 単独の容量である。 C_s が $1500/S_p$ よりも小さいと、ゲート信号線 17 の突き抜け電圧の影響が大きくなり、また、電圧の保持特性が低下し、輝度傾斜などが発生する。また、T F T の補償性能が低下する。 C_s が $30000/S_p$ よりも大きいと、画素 16 の開口率が低下する。そのため、E L 素子 15 の電界密度が高くなり、E L 素子 15 の寿命が低下するなど悪影響が発生する。また、コンデンサ容量により、電流プログラムの書込み時間が長くなり、低階調領域で書込み不足が発生する。

【0084】

また、蓄積容量 19 の容量値を C_s 、第 2 のトランジスタ 11 b のオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

【0085】

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

【0086】

$$6 < C_s / I_{off} < 18$$

トランジスタ 11 b のオフ電流を 5 p A 以下とすることにより、E L を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートーソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド期間保持できないためである。したがって、コンデンサ 19 の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を 2 % 以下に抑えることができる。

【0087】

以上の蓄積容量 C_s などに関する事項は、図 1 の画素構成に限定されるものではなく、その他の電流プログラム方式の画素構成にも適用できることは言うまでもない。

【0088】

E L 素子 15 の発光期間では、ゲート信号線 17 a を非アクティブ（O F F 電圧を印加）、ゲート信号線 17 b をアクティブとする。プログラム電流 $I_w = I_e$ の流れる経路を、E L 素子 15 に接続された経路に切り替えて、記憶したプログラム電流 I_w を前記 E L 素子 15 に流すように動作させる（図 5（b）を参照のこと）。

10

20

30

40

50

【0089】

図1の画素回路は、1画素内に4つのトランジスタ11を有している。駆動用トランジスタ11aのゲート端子はトランジスタ11bのソース端子に接続されている。トランジスタ11bおよびトランジスタ11cのゲート端子はゲート信号線17aに接続されている。トランジスタ11bのドレイン端子はトランジスタ11cのソース端子ならびにトランジスタ11dのソース端子に接続され、トランジスタ11cのドレイン端子はソース信号線18に接続されている。トランジスタ11dのゲート端子はゲート信号線17bに接続され、トランジスタ11dのドレイン端子はEL素子15のアノード電極に接続されている。

【0090】

図1ではすべてのトランジスタはPチャンネルで構成している。Pチャンネルは多少Nチャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0091】

パネルを低コストで作製するためには、画素を構成するトランジスタ11をすべてPチャンネルで形成し、内蔵ゲートドライバ回路12もPチャンネルで形成することが好ましい。このようにアレイをPチャンネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

【0092】

以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について図5を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bならびにトランジスタ11cがONすることにより、等価回路として図5(a)となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ11aはゲートとドレインが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 I_w が流れる。したがって、トランジスタ11aのゲートーソースの電圧は I_1 が流れるような電圧となる。

【0093】

第2のタイミングはトランジスタ11aとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は図5(b)となる。トランジスタ11aのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 I_w の電流は一定となる。

【0094】

以上の動作を図示すると、図19に図示するようになる。図19(a)の191aは、表示画面144における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。画素(行)191aは、図5(b)に図示するように非点灯(非表示画素(行))とする。

【0095】

図1の画素構成の場合は、図5(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w が駆動用トランジスタ11aを流れ、プログラム電流 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

【0096】

次に、EL素子15に電流を流す期間は図5(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

【0097】

このタイミングチャートを図 2 1 に図示する。図 2 1 などにおいて、括弧内の添え字（たとえば、(1) など）は画素行の番号を示している。つまり、ゲート信号線 1 7 a (1) とは、画素行 (1) のゲート信号線 1 7 a を示している。また、図 4 の上段の * H (「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す) とは、水平走査期間を示している。つまり、1 H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定 (1 H の番号、1 H 周期、画素行番号の順番など) するものではない。

【0098】

図 2 1 でわかるように、各選択された画素行（選択期間は、1 H としている）において、ゲート信号線 1 7 a にオン電圧が印加されている時には、ゲート信号線 1 7 b にはオフ電圧が印加されている。また、この期間は、E L 素子 1 5 には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線 1 7 a にオフ電圧が印加され、ゲート信号線 1 7 b にはオン電圧が印加されている。

10

【0099】

なお、トランジスタ 1 1 a のゲートとトランジスタ 1 1 c のゲートは同一のゲート信号線 1 1 a に接続している。しかし、トランジスタ 1 1 a のゲートとトランジスタ 1 1 c のゲートとを異なるゲート信号線 1 1 に接続してもよい（図 6 を参照のこと）。図 6 において、1 画素のゲート信号線は 3 本となる（図 1 の構成は 2 本である）。

【0100】

図 6 の画素構成では、トランジスタ 1 1 b のゲートの ON/OFF タイミングとトランジスタ 1 1 c のゲートの ON/OFF タイミングを個別に制御することにより、トランジスタ 1 1 a のばらつきによる E L 素子 1 5 の電流値バラツキをさらに低減することができる。

20

【0101】

図 6 の画素構成において、画素 1 6 に電流プログラムを行う際は、ゲート信号線 1 7 a 1、1 7 a 2 を同時に選択し、トランジスタ 1 1 b、1 1 c をオンさせる。なお、電流プログラムを実施している画素 1 6 のゲート信号線 1 7 b にはオフ電圧を印加し、トランジスタ 1 1 d をオフさせておく。

【0102】

選択した画素行における電流プログラム期間（通常、1 水平走査期間）を完了する時は、まず、ゲート信号線 1 7 a 1 にオフ電圧 (V_{gh}) を印加して、トランジスタ 1 1 b をオフする。この時は、ゲート信号線 1 7 a 2 はオン電圧 (V_{gl}) が印加されており、トランジスタ 1 1 c はオン状態である。次に、ゲート信号線 1 7 a 2 にオフ電圧を印加し、トランジスタ 1 1 c をオフさせる。

30

【0103】

以上のように、トランジスタ 1 1 b、1 1 c の両方がオン状態から、トランジスタ 1 1 b、1 1 c をオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ 1 1 b をオフにし、駆動用トランジスタ 1 1 a のゲート端子 (G) とドレイン端子 (D) 間をオープンにする（ゲート信号線 1 7 a 1 にオフ電圧 (V_{gh}) を印加する）。次に、トランジスタ 1 1 c をオフにして、ソース信号線 1 8 と駆動用トランジスタ 1 1 a のドレイン端子 (D) を切り離す（ゲート信号線 1 7 a 2 にもオフ電圧 (V_{gh}) を印加する）。

40

【0104】

ゲート信号線 1 7 a 1 にオフ電圧を印加してから、ゲート信号線 1 7 a 2 にオフ電圧を印加するまでの期間 T_w は、0.1 μsec 以上 10 μsec 以下の期間とすることが好ましい。0.1 μsec 以上 10 μsec 以下の期間とすることが好ましい。もしくは、1 H の期間を T_h とした時、T_w は、T_h/500 以上 T_h/10 以下とすることが好ましい。特に、T_w は、T_h/200 以上 T_h/50 以下とすることが好ましい。

【0105】

以上の事項は、図 6 の画素構成に限定されるものではない。たとえば、図 1 2 などの画

50

素構成にも適用される。図 12 の画素構成において、画素 16 に電流プログラムを行う際は、ゲート信号線 17 a 1、17 a 2 を同時に選択し、トランジスタ 11 d、11 c をオンさせる。なお、電流プログラムを実施している画素 16 のゲート信号線 17 b にはオフ電圧を印加し、トランジスタ 11 e をオフさせておく。

【0106】

選択した画素行における電流プログラム期間（通常、1 水平走査期間）を完了する時は、まず、ゲート信号線 17 a 1 にオフ電圧（V_{gh}）を印加して、トランジスタ 11 d をオフする。この時は、ゲート信号線 17 a 2 はオン電圧（V_{gl}）が印加されており、トランジスタ 11 c はオン状態である。次に、ゲート信号線 17 a 2 にオフ電圧を印加し、トランジスタ 11 c をオフさせる。

10

【0107】

以上のように、トランジスタ 11 d、11 c の両方がオン状態から、トランジスタ 11 d、11 c をオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ 11 d をオフにし、トランジスタ 11 a のゲート端子（G）とドレイン端子（D）間をオープンにする（ゲート信号線 17 a 1 にオフ電圧（V_{gh}）を印加する）。次に、トランジスタ 11 c をオフにして、ソース信号線 18 とトランジスタ 11 a のドレイン端子（D）を切り離す（ゲート信号線 17 a 2 にもオフ電圧（V_{gh}）を印加する）。

【0108】

図 12 でも図 6 と同様に、ゲート信号線 17 a 1 にオフ電圧を印加してから、ゲート信号線 17 a 2 にオフ電圧を印加するまでの期間 T_w は、0.1 μsec 以上 10 μsec 以下の期間とすることが好ましい。0.1 μsec 以上 10 μsec 以下の期間とすることが好ましい。もしくは、1 H の期間を T_h とした時、T_w は、T_h/500 以上 T_h/10 以下とすることが好ましい。特に、T_w は、T_h/200 以上 T_h/50 以下とすることが好ましい。

20

【0109】

以上の事項は、図 10 などの画素構成にあっても適用できることは言うまでもない。また、図 12 では駆動用トランジスタ 11 b と EL 素子 15 間にスイッチング用トランジスタ 11 e を配置しているが、図 13 に図示するように、スイッチング用トランジスタ 11 e を省略してもよいことは言うまでもない。

30

【0110】

なお、本発明の画素構成は図 1、図 12 の構成に限定されるものではない。たとえば、図 7 のように構成してもよい。図 7 は、図 1 の構成に比較してスイッチング用トランジスタ 11 d がない。替わりに切り替えスイッチ 71 が形成または配置されている。図 1 のスイッチ 11 d は駆動用トランジスタ 11 a から EL 素子 15 に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ 11 d のオンオフ制御機能が重要な構成要素である。トランジスタ 11 d を形成せず、オンオフ機能を実現するのが、図 7 の構成である。

【0111】

図 7 において、切り替えスイッチ 71 の a 端子は、アノード電圧 V_{dd} に接続されている。なお、a 端子に印加する電圧はアノード電圧 V_{dd} に限定されるものではなく、EL 素子 15 に流れる電流をオフできる電圧であればいずれでもよい。

40

【0112】

切り替えスイッチ 71 の b 端子は、カソード電圧（図 7 ではグランドと図示している）に接続されている。なお、b 端子に印加する電圧はカソード電圧に限定されるものではなく、EL 素子 15 に流れる電流をオンできる電圧であればいずれでもよい。

【0113】

切り替えスイッチ 71 の c 端子には EL 素子 15 のカソード端子が接続されている。なお、切り替えスイッチ 71 は EL 素子 15 に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図 7 の形成位置に限定されるものではなく、EL

50

素子 15 の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、E L 素子 15 に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、E L 素子 15 の電流経路に E L 素子 15 に流す電流をオンオフできるスイッチング手段を具備すれば、いずれの画素構成でもよい。

【0114】

本明細書において、オフとは完全に電流が流れない状態を意味するものではない。E L 素子 15 に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。つまり、トランジスタ 11 d は E L 素子 15 が発光するリーク電流を流しても良い。

【0115】

切り替えスイッチ 71 は、P チャンネルと N チャンネルのトランジスタを組み合わせることにより容易に実現できるので説明は必要ないであろう。もちろん、スイッチ 71 は E L 素子 15 に流れる電流をオンオフするだけであるから、P チャンネルトランジスタあるいは N チャンネルトランジスタでも形成することができることは言うまでもない。

【0116】

スイッチ 71 が a 端子に接続されている時は、E L 素子 15 のカソード端子にアノード電圧 V d d が印加される。したがって、駆動用トランジスタ 11 a のゲート端子 G がいずれの電圧保持状態であっても E L 素子 15 には電流が流れない。したがって、E L 素子 15 は非点灯状態となる。もちろん、駆動用トランジスタ 11 a のソース端子 (S) - ドレイン端子 (D) 間の電圧が、カットオフあるいはその近傍にすることができるよう、切り換えスイッチ (回路) 71 の a 端子の電圧を設定すればよい。

【0117】

スイッチ 71 が b 端子に接続されている時は、E L 素子 15 のカソード端子にカソード電圧 V s s が印加される。したがって、駆動用トランジスタ 11 a のゲート端子 G に保持された電圧状態に応じて E L 素子 15 に電流が流れる。したがって、E L 素子 15 は点灯状態となる。

【0118】

以上のことより図 7 の画素構成では、駆動用トランジスタ 11 a と E L 素子 15 間にはスイッチング用トランジスタ 11 d が形成されていない。しかし、スイッチ 71 を制御することにより E L 素子 15 の点灯制御を行うことができる。

【0119】

画素 16 のスイッチング用トランジスタ 11 などはホトトランジスタであってもよい。たとえば、外光の強弱によりホトトランジスタ 11 をオンオフさせ、E L 素子 15 に流れる電流を制御することにより、表示パネルの輝度を変化させることができる。

【0120】

図 1、図 2、図 6、図 11、図 12 などの画素構成では、駆動用トランジスタ 11 a もしくは 11 b は 1 画素につき 1 個である。本発明はこれに限定するものではなく、駆動用トランジスタ 11 a は 1 画素に複数個を形成または配置してもよい。

【0121】

図 8 は 1 画素 16 に複数個の駆動用トランジスタ 11 a が形成または構成された実施例である。図 8 では 1 画素に 2 個の駆動用トランジスタ 11 a 1、11 a 2 が形成され、2 個の駆動用トランジスタ 11 a 1、11 a 2 のゲート端子は共通のコンデンサ 19 に接続されている。駆動用トランジスタ 11 a を複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図 1 などと同様であるので説明を省略する。

【0122】

図 8 において、駆動用トランジスタ 11 a は 3 個以上で構成 (形成) してもよいことは言うまでもない。また、複数の駆動用トランジスタ 11 a は N チャンネルと P チャンネルの両方を用いて構成 (形成) してもよい。

【0123】

図 1、図 12 は駆動用トランジスタ 11a が出力する電流を EL 素子 15 に流し、前記電流を駆動用トランジスタ 11a と EL 素子 15 間に配置されたスイッチング素子 11d またはトランジスタ 11e でオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図 9 の構成が例示される。

【0124】

図 9 の実施例では、EL 素子 15 に流す電流が駆動用トランジスタ 11a で制御される。EL 素子 15 に流れる電流をオンオフさせるのは V_{dd} 端子と EL 素子 15 間に配置されたスイッチング素子 11d で制御される。したがって、本発明はスイッチング素子 11d の配置はどこでもよく、EL 素子 15 に流れる電流を制御できるものであればいずれでもよい。動作などは図 1 などと同様あるいは類似であるので説明を省略する。

10

【0125】

また、図 10 の画素構成において、すべてのトランジスタは N チャンネルで構成している。しかし、本発明は EL 素子構成を N チャンネルで構成することのみに限定するものではない。N チャンネルと P チャンネルの両方を用いて構成してもよい。

【0126】

図 10 の画素構成は、2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。第 1 のタイミングではゲート信号線 17a1、17a2 にオン電圧 (V_{gh}) が印加されることにより、トランジスタ 11b ならびにトランジスタ 11c が ON する。また、ゲート信号線 17b にオフ電圧 (V_{gl}) が印加され、トランジスタ 11d が OFF する。したがって、ソース信号線 18 より所定の電流 I_w が書き込まれる。これによりトランジスタ 11a はゲートとドレインが短絡された状態となり、駆動用トランジスタ 11a はトランジスタ 11c を通じてプログラム電流が流れる。

20

【0127】

選択した画素行における電流プログラム期間 (通常、1 水平走査期間) を完了する時は、まず、ゲート信号線 17a1 にオフ電圧 (V_{gl}) を印加して、トランジスタ 11b をオフする。この時は、ゲート信号線 17a2 はオン電圧 (V_{gh}) が印加されており、トランジスタ 11c はオン状態である。次に、ゲート信号線 17a2 にオフ電圧を印加し、トランジスタ 11c をオフさせる。

【0128】

以上のように、トランジスタ 11b、11c の両方がオン状態から、トランジスタ 11b、11c をオフ状態にする際 (該当画素行の電流プログラム期間を終了させる時) は、まず、トランジスタ 11b をオフにし、トランジスタ 11a のゲート端子 (G) とドレイン端子 (D) 間をオープンにする (ゲート信号線 17a1 にオフ電圧 (V_{gl}) を印加する)。次に、トランジスタ 11c をオフにして、ソース信号線 18 とトランジスタ 11a のドレイン端子 (D) を切り離す (ゲート信号線 17a2 にもオフ電圧 (V_{gl}) を印加する)。

30

【0129】

第 2 のタイミングはゲート信号線 17a1、17a2 にオフ電圧が印加され、ゲート信号線 17b にオン電圧が印加される。したがって、トランジスタ 11b とトランジスタ 11c がオフし、トランジスタ 11d がオンする。この場合、トランジスタ 11a は常に飽和領域で動作するため、I_w の電流は一定となる。

40

【0130】

電流プログラム方式の画素 (図 1、図 6 から図 13、図 31 から図 36 など) では、駆動用トランジスタ 11a (図 11、図 12 などではトランジスタ 11b) の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、駆動用トランジスタ 11 のチャンネル長 L が 5 μm 以上 100 μm 以下とすることが好ましい。さらに好ましくは、駆動用トランジスタ 11 のチャンネル長 L が 10 μm 以上 50 μm 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる

50

。

【0131】

以上のように、本発明は、EL素子15に電流が流れこむ経路、またはEL素子15から電流が流れ出す経路（つまり、EL素子15の電流経路である）にEL素子15に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。

【0132】

電流プログラム方式の1つであるカレントミラー方式であっても、図11、図12に図示するように、駆動用トランジスタ11bとEL素子15間にスイッチング素子としてのトランジスタ11eを形成または配置することによりEL素子15に流れる電流をオンオフすることができる。トランジスタ11eは図7の切り換えスイッチ（回路）71に置き換えても良い。

10

【0133】

図11のスイッチング用トランジスタ11d、11cは1本のゲート信号線17aに接続されているが、図12に図示するように、トランジスタ11cはゲート信号線17a2で制御し、トランジスタ11dはゲート信号線17a1で制御するように構成してもよい。先にも説明したように、図12の画素構成の方が、画素16の制御の汎用性が高くなり、駆動用トランジスタ11bの特性補償性能も向上する。

【0134】

次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図14はEL表示装置の回路を中心とした説明図である。画素16はマトリクス状に配置または形成されている。各画素16には各画素の電流プログラムを行うプログラム電流を出力するソースドライバ回路（IC）14が接続されている。ソースドライバ回路（IC）14の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている（図15、図57、図58、図59などを参照のこと）。

20

【0135】

ソースドライバ回路（IC）14の単位トランジスタ154の最小出力電流は0.5nA以上100nAにしている。特に単位トランジスタ154の最小出力電流は2nA以上20nAにすることがよい。ドライバIC14内の単位トランジスタ群431cを構成する単位トランジスタ154の精度を確保するためである。

30

【0136】

ソースドライバ回路（IC）14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージ回路を内蔵する。図16などを参照のこと。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBで異なるからである。

【0137】

プリチャージ電圧は、駆動用トランジスタ11aのゲート（G）端子に立ち上がり電圧あるいは立ち上がり電圧以下の電圧を印加する方法とも考えることができる。つまり、駆動用トランジスタ11aをオフ状態にすることによりプログラム電流Iwが0になる状態を発生さえ、EL素子15に電流が流れないようにする。ソース信号線18の電荷の充放電は副次てきなものである。

40

【0138】

本発明において、ソースドライバ回路（IC）14は半導体シリコンチップで形成し、チップオンガラス（COG）技術で基板30のソース信号線18の端子と接続されている。一方、ゲートドライバ回路12は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路（IC）14に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポ

50

リシリ技術で形成しても容易に形成することができ、また、表示パネルの狭額縁化を実現できる。もちろん、ゲートドライバ回路12をシリコンチップで形成し、COG技術などを用いて基板30上に実装してもよいことは言うまでもない。また、ゲートドライバ回路(IC)12、ソースドライバ回路(IC)14をCOFあるいはTAB技術で実装してもよい。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成(有機トランジスタ)してもよい。

【0139】

ゲートドライバ回路12はゲート信号線17a用のシフトレジスタ回路141aと、ゲート信号線17b用のシフトレジスタ回路141bとを内蔵する。なお、説明を容易にするため、画素構成は図1を例にあげて説明をする。また、図6、図12のようにゲート信号線17aがゲート信号線17a1と17a2で構成される場合は、それぞれ独立にシフトレジスタ回路141を形成するか、いつのシフトレジスタ回路141の出力信号をロジック回路でゲート信号線17a1、17a2の制御信号を発生させる。

【0140】

各シフトレジスタ回路141は正相と負相のクロック信号(CLKxP、CLKxN)、スタートパルス(STx)で制御される(図14を参照のこと)。その他、ゲート信号線の出力、非出力を制御するイネーブル(ENABL)信号、シフト方向を上下逆転するアップダウン(UPDWM)信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路141にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。

【0141】

シフトレジスタ回路141のシフトタイミングはコントロールIC760(後述する)からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路141を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。

【0142】

シフトレジスタ回路141のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ回路141の出力とゲート信号線17を駆動する出力ゲート143間には少なくとも2つ以上のインバータ回路142が形成されている。

【0143】

ソースドライバ回路(IC)14を低温ポリシリなどのポリシリ技術で基板30上に直接形成する場合も同様であり、ソース信号線18を駆動するトランスファージゲートなどのアナログスイッチのゲートとソースドライバ回路(IC)14のシフトレジスタ間には複数のインバータ回路が形成される。

【0144】

以下の事項(シフトレジスタの出力と、信号線を駆動する出力段(出力ゲートあるいはトランスファージゲートなどの出力段間に配置されるインバータ回路に関する事項)は、ソースドライブおよびゲートドライバ回路に共通の事項である。

【0145】

EL表示パネルの色温度は、色温度が7000K(ケルビン)以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルをすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

【0146】

有機EL素子15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホットコンダクタ現象(ホットコン)が発生する。ホットコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク(オフリーク)

10

20

30

40

50

が増える現象を言う。

【0147】

この課題に対処するため、本発明ではゲートドライバ回路12（場合によってはソースドライバ回路（IC）14）の下層、画素トランジスタ11の下層の遮光膜を形成している。特に駆動用トランジスタ11aのゲート端子の電位位置（cで示す）とドレイン端子の電位位置（aで示す）間に配置されたトランジスタ11bを遮光することが好ましい。

【0148】

この構成を図314（a）（b）に示している。特に表示パネルが黒表示の場合は、図314（a）（b）におけるEL素子15のアノード端子の電位位置bの電位がカソード電位に近い。そのため、TF T17bがオン状態であると、電位aも低くなる。そのため、トランジスタ11bのソース端子とドレイン端子間の電位（c電位とa電位間）が大きくなり、トランジスタ11bがリークしやすくなる。この課題に対しては、図314（a）（b）に図示するように遮光膜3141を形成することが有効である。

10

【0149】

遮光膜3141はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚3141が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11のパターニングが困難になる。

【0150】

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ回路12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

20

【0151】

しかし、ドライバ回路12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

【0152】

以下、本発明の駆動方法について説明をする。図1に示すように、ゲート信号線17aは行選択期間に導通状態（ここでは図1のトランジスタ11がPチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線17bは非選択期間時にオン電圧を印加する。

30

【0153】

ソース信号線18には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線18とゲート信号線17との交差部の容量、トランジスタ11b、トランジスタ11cのチャンネル容量などにより発生する。

【0154】

寄生容量はソース信号線18だけでなく、ソースドライバIC14でも発生する。図17に図示するように、保護ダイオード171が主原因である。保護ダイオード171は、IC14を静電気保護する目的を有するが、コンデンサとなり寄生容量ともなってしまう。一般的な保護ダイオードの容量は3～5pFである。

40

【0155】

本発明のソースドライバ回路（IC）14（後に詳細に説明をする）では、図17に図示するように、接続端子155と電流出力回路164間にサージ低減抵抗172を形成または配置している。抵抗172はポリシリコンまたは拡散抵抗で形成する。抵抗172の抵抗値は、1KΩ以上1MΩ以下とする。この抵抗172により、外部からの静電気が抑制される。したがって、保護ダイオード171のサイズが小さくともよい。保護ダイオード171が小さければ保護ダイオードのよる寄生容量の大きさも小さくなる。

【0156】

50

図 17 ではソースドライバ IC 14 内に抵抗 172 を形成または配置しているように図示しているがこれに限定するものではなく、抵抗 172 は、アレイ 30 に形成または配置してもよいことはいうまでもない。また、ダイオード（トランジスタをダイオード構成にしたものを含む）171 についても同様である。

【0157】

抵抗 171 a と 171 b はトリミングにより抵抗値を調整できるように構成することが好ましい。トリミングにより、抵抗値 171 a と 171 b の抵抗値を調整でき、ソース信号線 18 に流れるリーク電流をなくすることができる。トリミング以外で抵抗値などを調整することも可能である。たとえば、抵抗 171 を拡散抵抗で形成することより、加熱することにより抵抗値を調整できる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。

10

【0158】

IC チップを全体的にあるいは部分的に加熱することにより IC チップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を調整あるいは変化させることができる。また、複数の抵抗 171 a などを形成し、1 つ以上の抵抗 171 a とソース信号線 18 との接続をカットすることにより全体として抵抗値の調整を実現でき、リーク電流などをなくすることができる。以上のトリミング、調整などに関する事項は抵抗 172 に対しても適用されることは言うまでもない。

【0159】

ソース信号線 18 の電流値変化に要する時間 t は浮遊容量の大きさを C 、ソース信号線の電圧を V 、ソース信号線に流れる電流を I とすると $t = C \cdot V / I$ である。たとえば、プログラム電流を 10 倍大きくすれば、電流値変化に要する時間が 10 分の 1 に短くできる。したがって、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

20

【0160】

プログラム電流を N 倍にすると EL 素子 15 に流れる電流も N 倍となる。そのため、EL 素子 15 の輝度も N 倍となる。そこで、所定の輝度を得るために、たとえば、図 1 のトランジスタ 17 d の導通期間を $1/N$ にする。

【0161】

以上のように、ソース信号線 18 の寄生容量の充放電を十分に行い、所定の電流値を画素 16 のトランジスタ 11 a に電流プログラムを行うためには、ソースドライバ回路 (IC) 14 から比較的大きな電流を出力する必要がある。しかし、 N 倍のプログラム電流をソース信号線 18 に流すとこのプログラム電流値が画素 16 にプログラムされてしまい、所定の電流に対し N 倍の大きな電流が EL 素子 15 に流れる。たとえば、10 倍の電流でプログラムすれば、当然、10 倍の電流が EL 素子 15 に流れ、EL 素子 15 は 10 倍の輝度で発光する。所定の発光輝度にするためには、EL 素子 15 に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線 18 の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

30

【0162】

なお、10 倍の電流値を画素のトランジスタ 11 a（正確にはコンデンサ 19 の端子電圧を設定している）に書き込み、EL 素子 15 のオン時間を $1/10$ にするとしたがこれは一例である。場合によっては、10 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を $1/5$ にしてもよい。逆に 10 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を $1/2$ 倍にする場合もあるであろう。また、1 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を $1/5$ にしてもよい。

40

【0163】

本発明は、画素への書き込み電流を所定値以外の値にし、EL 素子 15 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、 N 倍の電流値を画素 16 の駆動用トランジスタ 11 に書き込み、EL 素子 15 のオン時間を $1/$

50

N倍にするとして説明する。しかし、これに限定するものではなく、N1倍（N1は1以上には限定されない）の電流値を画素16の駆動用トランジスタ11に書き込み、EL素子15のオン時間を $1/(N2)$ 倍（N2は1以上である。N1とN2とは異なる）でもよいことは言うまでもない。

【0164】

本発明の駆動方法は、たとえば、白ラスタ表示とし、表示画面144の1フィールド（フレーム）期間の平均輝度をB0と仮定した場合、各画素16の輝度B1が平均輝度B0よりも高くなるように電流プログラムを行う駆動方法である。かつ、少なくとも1フィールド（フレーム）期間において、非表示領域192が発生するようにする駆動方法である。したがって、本発明の駆動方法では、1フィールド（フレーム）期間の平均輝度はB1よりも低くなる。

10

【0165】

1フィールド（フレーム）期間において、通常輝度で電流プログラムを画素16に対し実施し、非表示領域192が発生するようにする駆動方法である。この方式では、1フィールド（フレーム）期間の平均輝度は通常の駆動方法（従来の駆動方法）よりも低くなる。しかし、動画表示性能を向上できる効果が発揮される。

【0166】

本発明は、画素構成が電流プログラム方式のみに限定されない。たとえば、図26のような電圧プログラム方式の画素構成にも適用できる。1フレーム（フィールド）の所定期間を高い輝度で表示し、他の期間を非点灯状態にすることが、電圧駆動方式においても、動画表示性能の向上などに有効だからである。また、電圧駆動方式においても、ソース信号線18の寄生容量の影響は無視できない。特に大型EL表示パネルにおいて、寄生容量が大きい場合、本発明の駆動方法を実施することは効果がある。

20

【0167】

図23に図示するように、間欠する間隔（非表示領域192／表示領域193）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、RGBで異なってもよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【0168】

非表示領域192とは、ある時刻において非点灯EL素子15の画素16領域である。表示領域193とは、ある時刻において点灯EL素子15の画素16領域である。非表示領域192、表示領域193は、水平同期信号に同期して、1画素行ずつ位置がシフトしていく。

30

【0169】

本発明の駆動方法の説明を容易にするため、 $1/N$ とは、1F（1フィールドまたは1フレーム）を基準にしてこの1Fを $1/N$ にするとして説明する。しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（1H））があるし、また、走査状態によっては誤差も生じることは言うまでもない。もちろん、ゲート信号線17aからの突き抜け電圧によっても、理想状態から変化する。ここでは説明を容易にするため、理想状態として説明をする。

40

【0170】

液晶表示パネルは、1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0171】

有機（無機）EL表示パネル（表示装置）も1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。したがって、液晶表示パネルと同様の課題が発生する。一方、CRTのように電子銃で線表示の集合として画像を表示するディスプレイは、人間の眼の残像特性を用いて画像表示を行うため、動画表示画像の

50

輪郭ぼけは発生しない。

【0172】

本発明の駆動方法では、 $1F/N$ の期間の間だけ、EL素子15に電流を流し、他の期間($1F(N-1)/N$)は電流を流さない。本発明の駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

【0173】

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示を実施するにあたり、トランジスタ11dは最大でも1H周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素16に保持されている。そのため、本発明の駆動方法において、間欠表示を実施するための画像メモリは不要である。

【0174】

本発明の駆動方法はスイッチングのトランジスタ11d、あるいはトランジスタ11e(図12など)などをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 I_w をオフしても、画像データはそのまま画素16のコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【0175】

本発明では黒挿入(黒表示などの間欠表示)を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル(液晶表示パネル、EL表示パネルなど)の問題である動画表示の問題を解決できる。

【0176】

さらに、大型の表示装置でソース信号線18の配線長が長くなり、ソース信号線18の寄生容量が大きくなる場合は、N値を大きくすることのより対応できる。ソース信号線18に印加するプログラム電流値をN倍にした場合、ゲート信号線17b(トランジスタ11d)の導通期間を $1F/N$ とすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【0177】

電流駆動では特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさに発生すると、1画素行にプログラムする時間(基本的には1H以内である。ただし、2画素行を同時に書き込む場合もあるので1H以内に限定されるものではない。)内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

【0178】

図1の画素構成の場合、図6(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

【0179】

次に、EL素子15に電流を流す期間は図6(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧

10

20

30

40

50

(V g h) が印加され、トランジスタ 1 1 b、1 1 c がオフする。一方、ゲート信号線 1 7 b にオン電圧 (V g l) が印加され、トランジスタ 1 1 d がオンする。

【0 1 8 0】

プログラム電流 I w が本来流す電流 (所定値) の N 倍であるとする、図 6 (b) の E L 素子 1 5 に流れる電流 I e も 1 0 倍になる。したがって、所定値の 1 0 倍の輝度で E L 素子 1 5 は発光する。つまり、図 1 8 に図示するように、倍率 N を高くするほど、画素 1 6 の瞬時の表示輝度 B も高くなる。基本的には倍率 N と画素 1 6 の輝度とは比例関係となる。

【0 1 8 1】

そこで、トランジスタ 1 1 d を本来オンする時間 (約 1 F) の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、1 F 全体の平均輝度は所定の輝度となる。この表示状態は、C R T が電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ (全画面を 1 とする) が点灯している点である (C R T では、点灯している範囲は 1 画素行 (厳密には 1 画素である))。

【0 1 8 2】

本発明では、この $1 F/N$ の表示 (点灯) 領域 1 9 3 が図 1 9 (b) に示すように表示画面 1 4 4 の上から下に移動する。なお、表示領域 1 9 3 の走査方向は表示画面 1 4 4 の下から上であってもよい。また、ランダムであってもよい。

【0 1 8 3】

本発明では、 $1 F/N$ の期間の間だけ、E L 素子 1 5 に電流が流れ、他の期間 $(1 F \cdot (N-1)/N)$ は該当画素行の E L 素子 1 5 には電流が流れない。したがって、各画素 1 6 は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0 1 8 4】

図 1 9 に図示するように、書き込み画素行 1 9 1 a は非点灯表示領域 1 9 2 とする。しかし、これは、図 1、図 2 などの画素構成の場合である。図 1 1、図 1 2 などで図示するカレントミラーの画素構成では、書き込み画素行 1 9 1 は点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図 1 の画素構成を例示して説明をする。

【0 1 8 5】

以上のように、図 1 9、図 2 3 などのように所定駆動電流 I w よりも大きい電流でプログラムし、間欠駆動する駆動方法を N 倍パルス駆動と呼ぶ。図 1 9 の駆動方法では 1 F ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。

【0 1 8 6】

液晶表示パネル (本発明以外の E L 表示パネル) では、1 F の期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた (画像の輪郭ボケ)。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、C R T に近い動画表示を実現することができる。

【0 1 8 7】

図 1 9 に図示するように、駆動するためには、画素 1 6 の電流プログラム期間 (図 1 の画素構成においては、ゲート信号線 1 7 a のオン電圧 V g l が印加されている期間) と、E L 素子 1 5 をオフまたはオン制御している期間 (図 1 の画素構成においては、ゲート信号線 1 7 b のオン電圧 V g l またはオフ電圧 V g h が印加されている期間) とを独立に制御できる必要がある。したがって、ゲート信号線 1 7 a とゲート信号線 1 7 b は分離されている必要がある。

【0 1 8 8】

たとえば、ゲートドライバ回路 1 2 から画素 1 6 に配線されたゲート信号線 1 7 が 1 本である場合、ゲート信号線 1 7 に印加されたロジック (V g h または V g l) をトランジ

10

20

30

40

50

スタ 11b に印加し、ゲート信号線 17 に印加されたロジックをインバータで変換して (Vg1 または Vg h) して、トランジスタ 11d に印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線 17a を操作するゲートドライバ回路 12a と、ゲート信号線 17b を操作するゲートドライバ回路 12b が必要となる。

【0189】

図 19 の駆動方法のタイミングチャートを図 20 に図示する。なお、本発明などにおいて、説明を容易にするため、特に断りがない時の画素構成は図 1 であるとする。図 20 でわかるように、各選択された画素行 (選択期間は、1H としている) において、ゲート信号線 17a にオン電圧 (Vg1) が印加されている時 (図 20 (a) を参照) には、ゲート信号線 17b にはオフ電圧 (Vg h) が印加されている (図 20 (b) を参照)。この期間は、EL 素子 15 には電流が流れていない (非点灯状態)。

10

【0190】

選択されていない画素行において、ゲート信号線 17a にオフ電圧 (Vg h) が印加され、ゲート信号線 17b にはオン電圧 (Vg1) が印加されている。また、この期間は、EL 素子 15 に電流が流れている (点灯状態)。また、点灯状態では、EL 素子 15 は所定の N 倍の輝度 ($N \cdot B$) で点灯し、その点灯期間は $1F/N$ である。したがって、1F を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ (所定輝度) となる。なお、N は 1 以上であればいずれの値でもよい。

【0191】

20

図 21 は、図 20 の動作を各画素行に適用した実施例である。ゲート信号線 17 に印加する電圧波形を示している。電圧波形はオフ電圧を Vg h (H レベル) とし、オン電圧を Vg1 (L レベル) としている。(1) (2) などの添え字は選択している画素行番号を示している。

【0192】

図 21 において、ゲート信号線 17a (1) が選択され (Vg1 電圧)、選択された画素行のトランジスタ 11a からソースドライバ回路 (IC) 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍である。ただし、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。コンデンサ 19 には N 倍に電流がトランジスタ 11a に流れるようにプログラムされる。画素行 (1) が選択されている時は、図 1 の画素構成ではゲート信号線 17b (1) はオフ電圧 (Vg h) が印加され、EL 素子 15 には電流が流れない。

30

【0193】

1H 後には、ゲート信号線 17a (2) が選択され (Vg1 電圧)、選択された画素行のトランジスタ 11a からソースドライバ回路 (IC) 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍である。したがって、コンデンサ 19 には N 倍に電流がトランジスタ 11a に流れるようにプログラムされる。画素行 (2) が選択されている時は、図 1 の画素構成ではゲート信号線 17b (2) はオフ電圧 (Vg h) が印加され、EL 素子 15 には電流が流れない。しかし、先の画素行 (1) のゲート信号線 17a (1) にはオフ電圧 (Vg h) が印加され、ゲート信号線 17b (1) にはオン電圧 (Vg1) が印加されるため、点灯状態となっている。

40

【0194】

次の 1H 後には、ゲート信号線 17a (3) が選択され、ゲート信号線 17b (3) はオフ電圧 (Vg h) が印加され、画素行 (3) の EL 素子 15 には電流が流れない。しかし、先の画素行 (1) (2) のゲート信号線 17a (1) (2) にはオフ電圧 (Vg h) が印加され、ゲート信号線 17b (1) (2) にはオン電圧 (Vg1) が印加されるため、点灯状態となっている。

【0195】

以上の動作を 1H の同期信号に同期して画像を表示していく。しかし、図 21 の駆動方式では、EL 素子 15 には N 倍の電流が流れる。したがって、表示画面 144 は N 倍の輝

50

度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/N$ にしておけばよいことは言うまでもない。 $1/N$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面（非点灯表示領域）192の挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【0196】

しかし、寄生容量の影響が無視できるあるいは影響が軽微の場合は、 $N=1$ として、本発明の駆動方法を実施してもよいことは言うまでもない。この駆動方法は、図99から図116などを用いて後ほど説明をする。

【0197】

なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど）、ダミーEL素子とEL素子15に分流してプログラム電流を流しても良い。たとえば、プログラム対象の画素16に書き込むプログラム電流が $0.2\mu A$ とする。ソースドライバ回路（IC）14から出力するプログラム電流を $2.0\mu A$ とする。

【0198】

したがって、ソースドライバ回路（IC）14から見れば、 $N=2.0/0.2=10$ である。ソースドライバ回路（IC）14から出力されたプログラム電流のうち、 $1.8\mu A$ ($2.0-0.2$) をダミー画素に流す。残りの $0.2\mu A$ を対象画素16の駆動用トランジスタ11aに流す。ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

【0199】

以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動用トランジスタ11aにN倍の電流が流れるようにプログラムすることができる。また、EL素子15には、N倍よりは十分小さい電流を流すことができることになる。

【0200】

図19（a）は表示画面144への書き込み状態を図示している。図19（a）において、191aは書き込み画素行である。ソースドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、図19などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、0.5H期間でも、2H期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式（図28など）でもよい。

【0201】

図19（a）において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がトランジスタ11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加されEL素子15には電流が流れない。これは、EL素子15側にトランジスタ11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図1の構成を例にすれば、図19（b）で示すように電流を書き込まれている画素行は非点灯領域192となる。

【0202】

N（ここでは、先に述べたように $N=10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示画面144の90%の範囲を非点灯領域192とすればよい。表示パネルの表示画面144の水平走査線がQCIFの220本（ $S=220$ ）とすれば、22本を表示領域193とし、 $220-22=198$ 本を非表示領域192とすればよい。

【0203】

10

20

30

40

50

一般的に述べれば、水平走査線（画素行数）を S とすれば、 S/N の領域を表示領域 193 とし、この表示領域 193 を N 倍の輝度で発光させる（ N は 1 以上の値である）。この表示領域 193 を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域 192 とする。この非点灯領域は黒表示（非発光）である。また、この非発光部 192 はトランジスタ 11d をオフさせることにより実現する。なお、 N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値は変化することは言うまでもない。

【0204】

また、先の実施例で、10 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になり、表示画面 144 の 90% の範囲を非点灯領域 192 とすればよいとした。しかし、これは、RGB の画素を共通に非点灯領域 192 とすることに限定するものではない。例えば、R の画素は、 $1/8$ を非点灯領域 192 とし、G の画素は、 $1/6$ を非点灯領域 192 とし、B の画素は、 $1/10$ を非点灯領域 192 と、それぞれの色により変化させてもよい。また、RGB の色で個別に非点灯領域 192（あるいは点灯領域 193）を調整できるようにしてもよい。これらを実現するためには、R、G、B で個別のゲート信号線 17b が必要になる。しかし、以上の RGB の個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる。この実施例を図 22 に示す。

【0205】

図 19 (b) に図示するように、書き込み画素行 191a を含む画素行が非点灯領域 192 とし、書き込み画素行 191a よりも上画面の S/N （時間的には $1F/N$ ）の範囲を表示領域 193 とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域 193 が帯状になって、画面の上から下に移動する。

【0206】

図 19 の表示では、1 つの表示領域 193 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 193 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0207】

この課題に対しては、図 23 に図示するように、表示領域 193 を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図 19 の明るさと同等になる。なお、分割された表示領域 193 は等しく（等分に）する必要はない。また、分割された非表示領域 192 も等しくする必要はない。

【0208】

以上のように、表示領域 193 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【0209】

図 24 はゲート信号線 17 の電圧波形および EL の発光輝度を図示している。図 24 で明らかなように、ゲート信号線 17b を V_{gl} にする期間（ $1F/N$ ）を複数に分割（分割数 K ）している。つまり、 V_{gl} にする期間は $1F/(K \cdot N)$ の期間を K 回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。

【0210】

画像の分割数は可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0211】

10

20

30

40

50

図24などにおいて、ゲート信号線17bをV_{gl}にする期間(1F/N)を複数に分割(分割数K)し、V_{gl}にする期間は1F/(K・N)の期間をK回実施するものとしたがこれ限定するものではない。1F/(K・N)の期間をL(L≠K)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより表示画面144を表示するものである。したがって、1F/(K・N)の期間をL(L≠K)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、表示画面144の輝度をデジタル的に変更することができる。たとえば、L=2とL=3では50%の輝度(コントラスト)変化となる。また、画像の表示領域193を分割する時、ゲート信号線17bをV_{gl}にする期間は同一期間に限定するものではない。

【0212】

以上の実施例は、トランジスタ11dまたは切り換えスイッチ(回路)71などによりEL素子15に流れる電流を遮断し、また、EL素子15に流れる経路を形成することにより、表示画面144をオンオフ(点灯、非点灯)するものであった。つまり、コンデンサ19に保持された電荷により駆動用トランジスタ11aに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面144をオンオフ(点灯、非点灯)する方式でもよい。

【0213】

図25は図23の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形である。図25と図21の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(V_{gl}とV_{gh})動作する。他の点は図21と同一であるので説明を省略する。

【0214】

なお、本発明の明細書において、表示画面144において、表示領域193と全表示領域144の割合をduty比と呼ぶことがある。つまり、duty比は表示領域193の面積/全表示領域144の面積である。あるいは、duty比はオン電圧が印加されているゲート信号線17bの本数/全ゲート信号線17bの本数でもある。また、ゲート信号線17bにオン電圧が印加され、このゲート信号線17bに接続されている選択画素行数/表示領域144の全画素行数でもある。

【0215】

duty比の逆数(全画素行数/選択画素行数)は一定以下でないと、フリッカが発生する。この関係を図266に図示する。図266において、横軸は、全画素行数/選択画素行数つまりduty比の逆数である。縦軸はフリッカの発生比である。1が最も小さく、大きくなるほどフリッカの発生が顕著になることを示している。

【0216】

図266の結果によれば、全画素行数/選択画素行数は8以下にすることが適切である。つまり、duty比は、1/8以上にすることが好ましい。また、多少フリッカが発生してもよい場合(実用上問題ない範囲)は、全画素行数/選択画素行数は10以下にすることが適切である。つまり、duty比は、1/10以上にすることが好ましい。

【0217】

図271、図272は2画素行を同時に選択する駆動方法の実施例である。図271において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)(2)が選択されている(図272を参照のこと)。つまり、画素行(1)(2)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、各画素行のゲート信号線17aにオン電圧が印加されている時、ゲート信号線17bにはオフ電圧が印加される。

【0218】

したがって、1Hおよび2H番目の期間では、画素行(1)(2)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態192である。なお、図271では、フリッカの発生を低減する

10

20

30

40

50

ため、表示領域 193 を 5 分割している。

【0219】

理想的には、2 画素（行）のトランジスタ 11a が、それぞれが $I_w \times 5$ （ $N = 10$ の場合。つまり、 $K = 2$ であるから、ソース信号線 18 に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる）の電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、5 倍の電流がプログラムされ保持される。

【0220】

同時に選択する画素行が 2 画素行（ $K = 2$ ）であるから、2 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $10 / 2 = 5$ 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、2 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。

10

【0221】

たとえば、書き込み画素行 191a に、本来、書き込む電流 I_d とし、ソース信号線 18 には、 $I_w \times 10$ の電流を流す。書き込み画素行 191b は後に正規の画像データが書き込まれるので問題がない。画素行 191b は、1H 期間の間は 191a と同一表示である。そのため、書き込み画素行 191a と電流を増加させるために選択した画素行 191b とを少なくとも非表示状態 192 とするのである。

【0222】

次の、1H 後には、ゲート信号線 17a（1）は非選択となり、ゲート信号線 17b にはオン電圧（ V_{gl} ）が印加される。また、同時に、ゲート信号線 17a（3）が選択され（ V_{gl} 電圧）、選択された画素行（3）のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行（1）には正規の画像データが保持される。

20

【0223】

次の、1H 後には、ゲート信号線 17a（2）は非選択となり、ゲート信号線 17b にはオン電圧（ V_{gl} ）が印加される。また、同時に、ゲート信号線 17a（4）が選択され（ V_{gl} 電圧）、選択された画素行（4）のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行（2）には正規の画像データが保持される。以上の動作と 1 画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2 行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより 1 画面が書き換えられる。

30

【0224】

図 271 の駆動方法では、各画素には 5 倍の電流（電圧）でプログラムを行うため、各画素の EL 素子 15 の発光輝度は理想的には 5 倍となる。したがって、表示領域 193 の輝度は所定値よりも 5 倍となる。これを所定の輝度とするためには、以前に説明したように、書き込み画素行 191 を含み、かつ表示画面 1 の $1 / 5$ の範囲を非表示領域 192 とすればよい。

【0225】

図 274（a）（b）に図示するように、2 本の書き込み画素行 191（191a、191b）が選択され、画面 144 の上辺から下辺に順次選択されていく（図 273 も参照のこと。図 273 では画素行 16a と 16b が選択されている）。しかし、図 274（b）のように、画面の下辺までくると書き込み画素行 191a は存在するが、191b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 18 に印加された電流は、すべて画素行 191a に書き込まれる。したがって、画素行 191a に比較して、2 倍の電流が画素にプログラムされてしまう。

40

【0226】

この課題に対して、本発明は、図 274（b）に図示するように画面 144 の下辺にダミー画素行 2741 を形成（配置）している。したがって、選択画素行が画面 144 の下

50

辺まで選択された場合は、画面 1 4 4 の最終画素行とダミー画素行 2 7 4 1 が選択される。そのため、図 2 7 4 (b) の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行 2 7 4 1 は表示領域 1 4 4 の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域 1 4 4 から離れた位置に形成されていてもよい。また、ダミー画素行 2 7 4 1 は、図 1 のスイッチングトランジスタ 1 1 d、E L 素子 1 5 などは形成する必要はない。形成しないことにより、ダミー画素行 2 7 4 1 のサイズは小さくなるからパネルの額縁を短くすることができる。

【0 2 2 7】

図 2 7 5 は図 2 7 4 (b) の状態を示している。図 2 7 5 で明らかなように、選択画素行が画面 1 4 4 の下辺の画素 1 6 c 行まで選択された場合は、画面 1 4 4 の最終画素行 2 7 4 1 が選択される。ダミー画素行 2 7 4 1 は表示領域 1 4 4 外に配置する。つまり、ダミー画素行 2 7 4 1 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ 1 1 とのコンタクトホールをなくすとか、ダミー画素行には E L 素子 1 5 を形成しないとかである。図 2 7 5 のダミー画素行 2 7 4 1 は E L 素子 1 5、トランジスタ 1 1 d、ゲート信号線 1 7 b を図示しているが、駆動方法の実施には不必要である。実際に開発した本発明の表示パネルでは、ダミー画素行 2 7 4 1 には E L 素子 1 5、トランジスタ 1 1 d、ゲート信号線 1 7 b を形成していない。ただし、画素電極を形成することが好ましい。画素内の寄生容量が他の画素 1 6 と同一にならず、保持されるプログラム電流に差異が発生する場合があるからである。

【0 2 2 8】

図 2 7 4 (a) (b) では、画面 1 4 4 の下辺にダミー画素 (行) 2 7 4 1 を設ける (形成する、配置する) としたが、これに限定するものではない。たとえば、図 2 7 6 (a) に図示するように、画面の下辺から上辺に走査する。上下逆転走査する場合は、図 2 7 6 (b) に図示するように画面 1 4 4 の上辺にもダミー画素行 2 7 4 1 を形成すべきである。つまり、画面 1 4 4 の上辺を下辺のそれぞれにダミー画素行 2 7 4 1 を形成 (配置) する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

【0 2 2 9】

以上の実施例は、2 画素行を同時選択する場合であった。本発明はこれに限定するものではなく、たとえば、5 画素行を同時選択する方式でもよい。つまり、5 画素行同時駆動の場合は、ダミー画素行 2 7 4 1 は 4 行分形成すればよい。

【0 2 3 0】

ダミー画素行 2 7 4 1 数は、同時に選択する画素行数 $M - 1$ の画素行を形成すればよい。たとえば、同時に選択する画素行が 5 画素行であれば、書き込み画素行 1 9 1 は 4 画素行である。同時に選択する画素行が 1 0 画素行であれば、 $10 - 1 = 9$ 画素行である。

【0 2 3 1】

図 2 7 4、図 2 7 6 はダミー画素行 2 7 4 1 を形成する場合において、ダミー画素行の配置位置の説明図である。基本的に、表示パネルは上下反転駆動するとして、ダミー画素行 2 7 4 1 を画面 1 4 4 の上下に配置している。

【0 2 3 2】

以上の実施例は、1 画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて 1 画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

【0 2 3 3】

以下、本発明のインターレース駆動について説明をする。図 5 3 3 はインターレース駆動を行う本発明の表示パネルの構成である。図 5 3 3 において、奇数画素行のゲート信号線 1 7 a はゲートドライバ回路 1 2 a 1 に接続されている。偶数画素行のゲート信号線 1

7 a はゲートドライバ回路 1 2 a 2 に接続されている。一方、奇数画素行のゲート信号線 1 7 b はゲートドライバ回路 1 2 b 1 に接続されている。偶数画素行のゲート信号線 1 7 b はゲートドライバ回路 1 2 b 2 に接続されている。

【0234】

したがって、ゲートドライバ回路 1 2 a 1 の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路 1 2 b 1 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路 1 2 a 2 の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路 1 2 b 2 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。

10

【0235】

図 5 3 2 (a) は、第 1 フィールドでの表示パネルの動作状態である。図 5 3 2 (b) は、第 2 フィールドでの表示パネルの動作状態である。なお、説明を容易にするため、1 フレームは 2 フィールドで構成されているとする。図 5 3 2 において、斜線を記入したゲートドライバ 1 2 はデータの走査動作がしていないことを示している。つまり、図 5 3 2 (a) の第 1 フィールドでは、プログラム電流の書き込み制御としてゲートドライバ回路 1 2 a 1 が動作し、E L 素子 1 5 の点灯制御としてゲートドライバ回路 1 2 b 2 が動作する。図 5 3 2 (b) の第 2 フィールドでは、プログラム電流の書き込み制御としてゲートドライバ回路 1 2 a 2 が動作し、E L 素子 1 5 の点灯制御としてゲートドライバ回路 1 2 b 1 が動作する。以上の動作が、フレーム内で繰り返される。

20

【0236】

図 5 3 4 が第 1 フィールドでの画像表示状態である。図 5 3 4 (a) が書き込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図 5 3 4 (a 1) → (a 2) → (a 3) と書き込み画素行位置が順次シフトされる。第 1 フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図 5 3 4 (b) が奇数画素行の表示状態を図示している。なお、図 5 3 4 (b) は奇数画素行のみを図示している。偶数画素行は図 5 3 4 (c) に図示している。図 5 3 4 (b) でも明らかなように、奇数画素行に対応する画素の E L 素子 1 5 は非点灯状態である。一方、偶数画素行は、図 5 3 4 (c) に図示しているように表示領域 1 9 3 と非表示領域 1 9 2 を走査する。

30

【0237】

図 5 3 5 が第 2 フィールドでの画像表示状態である。図 5 3 5 (a) が書き込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図 5 3 5 (a 1) → (a 2) → (a 3) と書き込み画素行位置が順次シフトされる。第 2 フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図 5 3 5 (b) が奇数画素行の表示状態を図示している。なお、図 5 3 5 (b) は奇数画素行のみを図示している。偶数画素行は図 5 3 5 (c) に図示している。図 5 3 5 (b) でも明らかなように、偶数画素行に対応する画素の E L 素子 1 5 は非点灯状態である。一方、奇数画素行は、図 5 3 5 (c) に図示しているように表示領域 1 9 3 と非表示領域 1 9 2 を走査する。

40

【0238】

以上のように駆動することにより、インターレース駆動を E L 表示パネルで容易に実現することができる。また、N 倍パルス駆動を実施することにより書き込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、E L 素子 1 5 の点灯制御も容易であり、回路も容易に実現できる。

【0239】

本発明の駆動方式は、図 5 3 4、図 5 3 5 の駆動方式に限定されるものではない。たとえば、図 5 3 6 の駆動方式も例示される。図 5 3 4、図 5 3 5 は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域 1 9 2（非点灯、黒表示）とするものであった。図 5 3 6 の実施例は、E L 素子 1 5 の点灯制御を行うゲートドライバ回

50

路 1 2 b 1、1 2 b 2 の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行 1 9 1 は非表示領域となるように制御することはいうまでもない（図 1 1、図 1 2 のカレントミラー画素構成ではその必要はない）。

【0 2 4 0】

図 5 3 6 では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路 1 2 b 1 と 1 2 b 2 の 2 つと設ける必要はない。ゲートドライバ回路 1 2 b を 1 つで点灯制御することができる。

【0 2 4 1】

図 5 3 6 は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図 5 3 7 は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図 5 3 7 は奇数画素行の点灯状態（表示（点灯）領域 1 9 3、非表示（非点灯）領域 1 9 2）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域 1 9 3 の面積と非表示領域 1 9 2 の面積とは同一になるようにしている。もちろん、表示領域 1 9 3 の面積と非表示領域 1 9 2 の面積とは同一になることに限定されるものではない。

【0 2 4 2】

また、図 5 3 5、図 5 3 4 において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではない。

【0 2 4 3】

以上の実施例は、1 画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図 5 3 8 に図示するように 2 画素行（複数画素行）を同時に電流（電圧）プログラム行っても良いことは言うまでもない（図 2 7 4～図 2 7 6 とその説明も参照のこと）。図 5 3 8（a）は奇数フィールドの実施例であり、図 5 3 8（b）は偶数フィールドの実施例である。奇数フィールドでは、（1、2）画素行、（3、4）画素行、（5、6）画素行、（7、8）画素行、（9、10）画素行、（11、12）画素行、・・・・・・（n、n+1）画素行（n は 1 以上の整数）の組で 2 画素行を順次選択し、電流プログラムを行っていく。偶数フィールドでは、（2、3）画素行、（4、5）画素行、（6、7）画素行、（8、9）画素行、（10、11）画素行、（12、13）画素行、・・・・・・（n+1、n+2）画素行（n は 1 以上の整数）の組で 2 画素行を順次選択し、電流プログラムを行っていく。

【0 2 4 4】

以上のように各フィールドで複数画素行を選択し電流プログラムを行うことによりソース信号線 1 8 に流す電流を増加することができ、黒書き込みを良好にすることができる。また、奇数フィールドと偶数フィールドで選択する複数画素行の組を少なくとも 1 画素行ずらせることにより、画像の解像度を向上させることができる。

【0 2 4 5】

図 5 3 8 の実施例は、各フィールドで選択する画素行を 2 画素行としたが、これに限定するものではなく 3 画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する 3 画素行の組は 1 画素行ずらせる方法と、2 画素行ずらせる方法の 2 方式を選択可能である。また、各フィールドで選択する画素行は 4 画素行以上としてもよい。また、1 フレームを 3 フィールド以上で構成するようにしてもよい。

【0 2 4 6】

また、図 5 3 8 の実施例では、2 画素行を同時に選択するとしたが、これに限定するものではなく、1 H を前半 1 / 2 H と後半の 1 / 2 H とし、奇数フィールドでは、第 1 H 期間の前半の 1 / 2 H 期間に第 1 画素行を選択して電流プログラムを行い、後半の 1 / 2 H 期間に第 2 画素行を選択して電流プログラムを行う。次の第 2 H 期間の前半の 1 / 2 H 期間に第 3 画素行を選択して電流プログラムを行い、後半の 1 / 2 H 期間に第 4 画素行を選択して電流プログラムを行う。また、次の第 3 H 期間の第 1 H 期間の前半の 1 / 2 H 期間に第 5 画素行を選択して電流プログラムを行い、後半の 1 / 2 H 期間に第 6 画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

【0247】

また、偶数フィールドでは、第1H期間の前半の1/2H期間に第2画素行を選択して電流プログラムを行い、後半の1/2H期間に第3画素行を選択して電流プログラムを行う。次の第2H期間の前半の1/2H期間に第4画素行を選択して電流プログラムを行い、後半の1/2H期間に第5画素行を選択して電流プログラムを行う。また、次の第3H期間の第1H期間の前半の1/2H期間に第6画素行を選択して電流プログラムを行い、後半の1/2H期間に第7画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

【0248】

以上の実施例においても各フィールドで選択する画素行を2画素行としたが、これに限定するものではなく3画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する3画素行の組は1画素行ずらせる方法と、2画素行ずらせる方法の2方式を選択可能である。また、各フィールドで選択する画素行は4画素行以上としてもよい。

【0249】

本発明のN倍パルス駆動方法では、各画素行で、ゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を1F/Nに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線17bの波形を同一にし、シフトさせていることを実現することは容易である。図14のシフトレジスタ回路141a、141bに印加するデータであるST1、ST2を制御すればよいからである。たとえば、入力ST2がLレベルの時、ゲート信号線17bにVg1が出力され、入力ST2がHレベルの時、ゲート信号線17bにVg2が出力されるとすれば、シフトレジスタ17bに印加するST2を1F/Nの期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしていくだけである。

【0250】

EL表示パネル（EL表示装置）における黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図1、図6、図7、図8、図9、図10、図11、図12、図28、図271などの構成においては、トランジスタ11dあるいはトランジスタ11eもしくは切り換えスイッチ（回路）71をオンオフ操作するだけで間欠表示を実現できる。これは、コンデンサ19に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素16に、画像データは1Fの期間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをトランジスタ11d、11eなどの制御により実現しているのである。

【0251】

したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、EL素子15に流す電流が各画素内で保存している構成において、駆動用トランジスタ11をEL素子15間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

【0252】

コンデンサ19の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。1フィールド（フレーム）期間でコンデンサ19の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ11aが1フレーム（1フィールド）期間でEL素子15に流す電流は、少なくとも65%以下に低下しないようにする必要がある。この65%とは、画素16に書き込み、EL素子15に流す電流の最初が100%とした時、次のフレーム（フィールド）で前記画素16に書き込む直前のEL素子15に流す電流が65%以上とすることである。

【0253】

図1の画素構成では、間欠表示を実現する場合としない場合では、1画素を構成するト

10

20

30

40

50

ランジスタ 11 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 18 の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、CRT に近い動画表示を実現しているのである。

【0254】

また、ゲートドライバ回路 12 の動作クロックはソースドライバ回路 (IC) 14 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

【0255】

なお、画像表示方向 (画像書き込み方向) は、1 フィールド (1 フレーム) 目では画面の上から下方向とし、つぎの第 2 フィールド (フレーム) 目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【0256】

また、1 フィールド (1 フレーム) 目では画面の上から下方向とし、いったん、全画面を黒表示 (非表示) とした後、つぎの第 2 フィールド (フレーム) 目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示 (非表示) としてもよい。また、画面の中央部から走査してもよい。また、走査開始位置をランダム化してもよい。

【0257】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域 192 の動作方向を 1 フィールド目では画面の上から下方向とし、つぎの第 2 フィールド目では画面の下から上方向としてもよい。また、1 フレームを 3 フィールドに分割し、第 1 のフィールドでは R、第 2 のフィールドでは G、第 3 のフィールドでは B として、3 フィールドで 1 フレームを形成するとしてもよい。また、1 水平走査期間 (1 H) ごとに、R、G、B を切り替えて表示してもよい (図 25 から図 39 とその説明などを参照のこと)。以上の事項は他の本発明の実施例でも同様である。

【0258】

非表示領域 192 は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、表示 (点灯) 領域 193 よりも表示輝度が低い領域と解釈するべきである。また、非表示領域 192 とは、R、G、B 画像表示のうち、1 色または 2 色のみが非表示状態という場合も含まれる。また、R、G、B 画像表示のうち、1 色または 2 色のみが低輝度の画像表示状態という場合も含まれる。

【0259】

基本的には表示領域 193 の輝度 (明るさ) が所定値に維持される場合、表示領域 193 の面積が広がるほど、表示画面 144 の輝度は高くなる。たとえば、表示領域 193 の輝度が 100 (nt) の場合、表示領域 193 が全表示画面 144 に占める割合が 10% から 20% にすれば、画面の輝度は 2 倍となる。したがって、全表示画面 144 に占める表示領域 193 の面積を変化させることにより、画面の表示輝度を変化することができる。表示画面 144 の表示輝度は表示画面 144 に占める表示領域 193 の割合に比例する。

【0260】

表示領域 193 の面積は図 14 に図示するシフトレジスタ回路 141 へのデータパルス (ST2) を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図 23 の表示状態と図 19 の表示状態とを切り替えることができる。1 F 周期でのデータパルス数を多くすれば、表示画面 144 は明るくなり、少なくすれば、表示画面 144 は暗くなる。また、連続してデータパルスを印加すれば図 19 の表示状態となり、間欠にデータパルスを入力すれば図 23 の表示状態となる。

【0261】

従来の画面の輝度調整では、表示画面 144 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 64 階調表示を実現できても、低輝度表示の時は、半分以下の

10

20

30

40

50

階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

【0262】

以上の実施例は、主として、 $N = 2$ 倍、4倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、 $N = 1$ より大きいことに限定されるものでもない。たとえば、ある時刻で表示画面144の半分以下の領域を非点灯領域192とすることもある。所定値の $5/4$ 倍の電流 I_w で電流プログラムし、 $1F$ の $4/5$ 期間点灯させれば、所定の輝度を実現できる。

【0263】

本発明はこれに限定されるものではない。一例として、 $10/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $4/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の2倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $2/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $1/2$ 倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $1/1$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $5/4$ 倍で点灯する。また、1倍の電流 I_w で電流プログラミングし、 $1F$ の $1/4$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $1/4$ 倍で点灯する。

【0264】

つまり、本発明は、プログラム電流の大きさと、 $1F$ の点灯期間を制御することにより、表示画面の輝度を制御する方式である。 $1F$ 期間よりも短い期間点灯させることにより、黒画面192を挿入でき、動画表示性能を向上できる。逆に、 N を1以上とし、 $1F$ の期間、常時点灯させることにより明るい画面を表示できる。

【0265】

好ましくは、画素に書き込む電流（ソースドライバ回路（IC）14から出力するプログラム電流）は、画素サイズがA平方mmとし、白ラスタ表示所定輝度をB（nt）とした時、プログラム電流 I （ μA ）は、

$$(A \times B) / 20 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書込み不足が解消する。

【0266】

さらに、好ましくは、プログラム電流 I （ μA ）は、

$$(A \times B) / 10 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。

【0267】

図20、図24では、ゲート信号線17aの動作タイミングとゲート信号線17bの書込みタイミングには言及していない。しかし、ある画素が選択されているとした時（前記画素が接続されているゲート信号線17aにオン電圧が印加されている時）、その前後の1H期間（1水平走査期間）はゲート信号線17b（EL側のトランジスタ11dを制御するゲート信号線）には、オフ電圧を印加する。前後1H期間にゲート信号線17bにオフ電圧を印加した状態にすることにより、パネルにクロストークが発生せず、安定した画像表示を実現できる。

【0268】

この駆動方法のタイミングチャートを図26に示す。図26では、ゲート信号線17aには、1H（選択期間）にオン電圧（ V_{gl} ）が印加されている。該当画素行が選択されている1H期間の前後1H期間（計3H期間）には、ゲート信号線17bにはオフ電圧（ V_{gh} ）が印加されている。

【0269】

なお、以上の実施例は選択期間の前後1H期間の間は、ゲート信号線17bにはオフ電圧を印加するとした。しかし、本発明はこれに限定するものではない。たとえば、図27に図示するように、選択期間の前の1H期間と選択期間後の2H期間に、ゲート信号線1

7bにオフ電圧を印加するように構成してもよい。以上の実施例は、本発明の他の実施例にも適用できることは言うまでもない。

【0270】

EL素子15をオンオフする周期は0.5msec以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5μsec以上100msec以下にすべきである。さらに好ましくは、オンオフ周期を2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

10

【0271】

先にも記載したが、黒画面192の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

【0272】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

20

【0273】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

【0274】

全表示画面に対する黒画面の割合は、全画面144の面積を1とした時、0.2以上0.9以下（ N で表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（ N で表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

30

【0275】

1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路（IC）14などからの書き込みが苦しくなり解像度が劣化する。

【0276】

静止画の場合は、図23、図54（c）、図468（c）などに示すように、非表示領域192を多数に分散させることが好ましい。動画の場合は、図23、図54（a）、図468（a）などに示すように非表示領域を一括することが好ましい。

40

【0277】

映画などの自然画では、動画と静止画が連続して表示される。したがって、動画→自然画、自然画→動画の切り換えが必要である。静止画の図23、図54（c）、図468（c）と、動画の図23、図54（a）、図468（a）とを急に変化するとフリッカが発生する。この課題に対しては、中間動画により対応する（図468（b）、図54（b）など）。

【0278】

50

たとえば、図 4 6 8 (a) から中間動画 4 6 8 (b) に移行する際も、急激に変化することは好ましくない。図 4 6 8 (a) の表示領域 1 9 3 a の中央部より非表示領域 1 9 2 a (図 4 6 8 (b) を参照のこと) を発生させ、非表示領域 1 9 2 a の A の領域を少しずつ広くしていく (画像内容が変化しない場合は、表示領域 1 9 3 の面積の総和は維持することが必要である)。さらに静止画が連続して続く場合は、図 4 6 8 (c) のように非表示領域 1 9 2 を分割し、B の部分を少しずつ広くしていき、表示領域 1 9 3 を複数に分割する。静止画から動画に移行する時は逆の駆動方法 (表示方法あるいは制御方法) を実施する。以上のように操作あるいは動作させることにより静止画から動画に変化あるいはその逆に変化するときであっても、フリッカの発生は生じない。

【0279】

静止画の場合は、図 2 3、図 5 4 (c)、図 4 6 8 (c) などに示すように、非表示領域 1 9 2 を多数に分散させ、動画の場合は、図 2 3、図 5 4 (a)、図 4 6 8 (a) などに示すように非表示領域を一括するとした。しかし、後にも説明するが、duty 比制御あるいは基準電流比制御との組み合わせにより、一義に決定されるものではない。

【0280】

たとえば、動画の場合において、duty 比が $1/1$ の場合は、非表示領域 1 9 2 がない場合もある。また、静止画の場合において、duty 比が $0/1$ の場合は、画面 1 4 4 のすべては非表示領域 1 9 2 で、非表示領域 1 9 2 が分割できない場合もある。また、動画の場合において、duty 比が小さく ($0/1$ に近い) 場合は、非表示領域 1 9 2 が複数に分割される場合もある。静止画の場合において、duty 比が大きい ($1/1$ に近い) 場合は、画面 1 4 4 のすべては非表示領域 1 9 2 がなく、非表示領域 1 9 2 が分割できない場合もある。したがって、静止画の場合は、図 2 3、図 5 4 (c)、図 4 6 8 (c) などに示すように、非表示領域 1 9 2 を多数に分散させ、動画の場合は、図 2 3、図 5 4 (a)、図 4 6 8 (a) などに示すように非表示領域を一括するというのは説明の例示である。変形例が多数存在する。

【0281】

したがって、本は発明の駆動方式は、多数の表示 (ドラマ、映画など) を本発明の表示装置で表示した場合、静止画の場合は、図 2 3、図 5 4 (c)、図 4 6 8 (c) などに示すように、非表示領域 1 9 2 を多数に分散させる時が発生するシーンが 1 度でもあること、動画の場合は、図 2 3、図 5 4 (a)、図 4 6 8 (a) などに示すように非表示領域を一括するシーンが 1 度でもあるように駆動するものである。

【0282】

ゲート信号線 1 7 b の $1F/N$ の期間だけ、Vgl にする時刻は $1F$ ($1F$ に限定するものではない。単位期間でよい。) の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけ EL 素子 1 5 をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間 ($1H$) 後、すぐにゲート信号線 1 7 b を Vgl にして EL 素子 1 5 を発光させる方がよい。図 1 のコンデンサ 1 9 の保持率特性の影響を受けにくくなるからである。

【0283】

トランジスタ 1 1 b、1 1 c を駆動するゲート信号線 1 7 a とトランジスタ 1 1 d を駆動するゲート信号線 1 7 b の駆動電圧は変化させるとよい。ゲート信号線 1 7 a の振幅値 (オン電圧とオフ電圧との差) は、ゲート信号線 1 7 b の振幅値よりも小さくする。

【0284】

ゲート信号線 1 7 a の振幅値が大きいと、ゲート信号線 1 7 a と画素 1 6 との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線 1 7 a の振幅は、ソース信号線 1 8 の電位が画素 1 6 に印加されるように制御できればよい。ソース信号線 1 8 の電位変動は小さいから、ゲート信号線 1 7 a の振幅値は小さくすることができる。

【0285】

一方、ゲート信号線 1 7 b は EL 素子 1 5 のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、図 6 のシフトレジスタ回路 1 4 1 a

10

20

30

40

50

と141bとの出力電圧を変化させる。画素がPチャンネルトランジスタで形成されている場合は、シフトレジスタ回路141aと141bのV_{gh}（オフ電圧）を略同一にし、シフトレジスタ回路141aのV_{gl}（オン電圧）をシフトレジスタ回路141bのV_{gl}（オン電圧）よりも低くする。

【0286】

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本のゲート信号線17aを配置（形成）してもよい。

【0287】

図22はその実施例である。なお、説明を容易にするため、画素構成は図1の場合を主として例示して説明をする。図22ではゲート信号線17aは3つの画素（16R、16G、16B）を同時に選択する。Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

【0288】

ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rから映像データをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gから映像データをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bから映像データをコンデンサ19Bに書き込む。

【0289】

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17bBに接続されている。画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【0290】

この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路141と、ゲート信号線17bRを走査するシフトレジスタ回路141R（図示せず）と、ゲート信号線17bGを走査するシフトレジスタ回路141G（図示せず）と、ゲート信号線17bBを走査するシフトレジスタ回路141B（図示せず）の4つを形成（配置）することが適切である。

【0291】

ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、これは理想状態である。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、10倍以下の電流しかコンデンサ19には設定されない。たとえば、N=10としても実際にEL素子15に流れる電流はN=10未満の場合と同一となる。

【0292】

しかし、本明細書では、説明を容易にするため、突き抜け電圧などの影響がなく、理想状態として説明をする。実際には本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。

【0293】

また、本発明は、所望値より大きな電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

【0294】

図1のスイッチング用トランジスタ11b、11cをPチャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルトランジスタ11bがオフするときにはV_{gh}電圧となる。そのため、コンデンサ19の端子電圧がV_{dd}側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

【0295】

図1におけるトランジスタ11bは駆動用トランジスタ11aが流す電流をコンデンサ19に保持するために動作する。つまり、駆動用トランジスタ11aのゲート端子(G)とドレイン端子(D)もしくはソース端子(S)間をプログラム時にショートさせる機能を有する。

【0296】

トランジスタ11bはソース端子またはドレイン端子が保持用のコンデンサ19に接続されている。トランジスタ11bはゲート信号線17aに印加された電圧により、オンオフ制御される。課題は、オフ電圧が印加された時にゲート信号線17aの電圧がコンデンサ19に突き抜けることである。この突き抜け電圧により、コンデンサ19の電位(=駆動用トランジスタ11aのゲート端子(G)電位)が変動する。そのため、電流プログラムによるトランジスタ11aの特性補償ができなくなる。したがって、突き抜け電圧は小

【0297】

突き抜け電圧を小さくするためには、トランジスタ11bのサイズを小さくするとよい。今、トランジスタのサイズS_{cc}をチャンネル幅W(μm)、チャンネル長L(μm)とし、 $S_{cc} = W \cdot L$ (平方μm)とする。トランジスタが複数直列接続されて構成されている場合は、S_{cc}は接続されたトランジスタサイズの総和である。たとえば、1つのトランジスタのW=5(μm)、L=6(μm)とし、個数(n=4)が接続されて構成されていれば、 $S_{cc} = 5 \times 6 \times 4 = 120$ (平方μm)である。

【0298】

トランジスタのサイズと突き抜け電圧は相関がある。この関係を図29に示す。なお、トランジスタはPチャンネルトランジスタであるとする。ただし、Nチャンネルトランジスタであっても適用できる。

【0299】

図29において、横軸はS_{cc}/nとしている。S_{cc}は先に説明したようにトランジスタのサイズの総和である。nは接続されたトランジスタ数である。図29ではS_{cc}をn個でわったものを横軸にしている。つまり、トランジスタが1個あたりのサイズである。

【0300】

先に実施例では、トランジスタのサイズS_{cc}をチャンネル幅W(μm)、チャンネル長L(μm)とし、トランジスタ数がn=4であれば、 $S_{cc}/n = 5 \times 6 \times 4 / 4 = 30$ (平方μm)である。図29において、縦軸は突き抜け電圧(V)である。

【0301】

突き抜け電圧は0.3(V)以内にしないと、レーザーショットムラが発生し、視覚的に許容できない。したがって、1つあたりのトランジスタのサイズは25(平方μm)以下にする必要がある。一方で、トランジスタは5(平方μm)以上にしないと、トランジスタの加工精度がでず、ばらつきが大きくなる。また、駆動能力にも課題を生じる。以上のことからトランジスタ11bは5(平方μm)以上25(平方μm)以下にする必要がある。さらに好ましくは、トランジスタ11bは5(平方μm)以上20(平方μm)以下にする必要がある。

【0302】

トランジスタによる突き抜け電圧は、トランジスタを駆動する電圧 (V_{gh} 、 V_{gl}) の振幅値 ($V_{gh} - V_{gl}$) とも相関がある。振幅値が大きいほど突き抜け電圧は大きくなる。この関係を図 30 に図示している。図 30 において、横軸を振幅値 ($V_{gh} - V_{gl}$) (V) としている。縦軸は突き抜け電圧である。図 29 でも説明したように、突き抜け電圧は 0.3 (V) 以下となるようにする必要がある。

【0303】

なお、突き抜け電圧の許容値 0.3 (V) は言い換えると、ソース信号線 18 の振幅値の $1/5$ 以下 (20% 以下) である。ソース信号線 18 はプログラム電流が白表示の場合は、1.5 (V) であり、プログラム電流が黒表示の場合は 3.0 (V) である。したがって、 $(3.0 - 1.5) / 5 = 0.3$ (V) となる。

10

【0304】

一方、ゲート信号線の振幅値 ($V_{gh} - V_{gl}$) は 4 (V) 以上ないと十分に画素 16 に書き込むことができない。以上のことから、ゲート信号線の振幅値 ($V_{gh} - V_{gl}$) は、4 (V) 以上 15 (V) 以下の条件と満足させる必要がある。さらに好ましくは、ゲート信号線の振幅値 ($V_{gh} - V_{gl}$) は、5 (V) 以上 12 (V) 以下の条件と満足させる必要がある。

【0305】

トランジスタ 11b を複数のトランジスタを直列に接続して構成する場合は、駆動用トランジスタ 11a のゲート端子 (G) に近いトランジスタ (トランジスタ 11bx と呼ぶ) のチャンネル長 L を長くすることが好ましい。ゲート信号線 17a にオン電圧 (V_{gl}) からオフ電圧 (V_{gh}) に変化させた時、トランジスタ 11bx が他のトランジスタ 11b よりも速くオフ状態になる。そのため、突き抜け電圧の影響が軽減される。たとえば、複数のトランジスタ 11b とトランジスタ 11bx のチャンネル幅 W が $3\mu m$ であれば、複数のトランジスタ 11b (トランジスタ 11bx 以外) のチャンネル長 L は $5\mu m$ とし、トランジスタ 11bx のチャンネル長 L_x は $10\mu m$ とする。トランジスタ 11b はトランジスタ 11c 側から配置し、トランジスタ 11bx は駆動用トランジスタ 11a のゲート端子 (G) 側に配置する。

20

【0306】

なお、トランジスタ 11bx のチャンネル長 L_x はトランジスタ 11b のチャンネル長 L の 1.4 倍以上 4 倍以下にすることが好ましい。さらに好ましくは、トランジスタ 11bx のチャンネル長 L_x はトランジスタ 11b のチャンネル長 L の 1.5 倍以上 3 倍以下にすることが好ましい。

30

【0307】

突き抜け電圧は、画素 16 を選択するゲートドライバ回路 12a の電圧振幅に依存する。つまり、図 1 の画素構成では、オン電圧 (V_{gl1}) とオフ電圧 (V_{gh1}) の電位差に依存する。この電位差が小さい方が、コンデンサ 19 への突き抜け電圧は減少し、トランジスタ 11a のゲート端子の電位シフトも小さくなる。

【0308】

したがって、 V_{gl1} と V_{gh1} との電位差は小さい方が、'突き抜け電圧' を減少させる意味では効果がある。しかし、電位差が小さければトランジスタ 11c が完全にオンしなくなる。たとえば、図 1 の画素構成を例にすれば、ソース信号線 18 に印加される電圧が、5 (V) ~ 0 (V) の範囲である場合は、ゲート信号線 17a に印加される電圧は、 $V_{gh1} = +6$ (V) 以上、 $V_{gl1} = -2$ (V) 以下にすることが望ましい。この電圧をゲート信号線 17a に印加することにより選択スイッチとして動作するトランジスタ 11c は良好なオンオフ状態を維持できる。

40

【0309】

一方で、駆動用トランジスタ 11a に電流プログラムを行うトランジスタ 11b にはほとんど電流が流れない。したがって、トランジスタ 11b はスイッチとして動作させなくともよい。つまり、オンが比較的十分でなくてもよい。トランジスタ 11b はオン電圧 (V_{gl1}) が高くとも動作としては十分機能する。

50

【0310】

突き抜け電圧に関する構成は、明細書では図1の画素構成を例示して説明しているがこの構成に限定されるものではない。たとえば、図11、図12、図13、図375(b)などのカレントミラー構成などの他の画素構成に対しても適用あるいは実施もしくは方式として採用できることは言うまでもない。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【0311】

以上のことから、図1に図示するようにゲート信号線17aでトランジスタ11bとトランジスタ11cを同時に動作させるのではなく、図281に図示するように、トランジスタ11bを制御するゲート信号線17a1と、トランジスタ11cを動作させるゲート信号線17a2に分離することが好ましい。

10

【0312】

ゲートドライバ回路(IC)12a1はゲート信号線17a1を制御し、ゲートドライバ回路(IC)12a2はゲート信号線17a2を制御する。ゲート信号線17a1はトランジスタ11bのオンオフ状態を制御する。制御する電圧はオン電圧Vgh1a、オフ電圧Vgl1aとする。ゲート信号線17a2はトランジスタ11cのオンオフ状態を制御する。制御する電圧はオン電圧Vgh1b、オフ電圧Vgl1bとする。

【0313】

ゲート信号線17a1の電圧振幅 $|Vgh1a - Vgl1a|$ を小さくすることにより、トランジスタ11bの寄生容量によるコンデンサ19への突き抜け電圧が減少する。ゲート信号線17a2の電圧振幅 $|Vgh1b - Vgl1b|$ を大きくすることにより、トランジスタ11cが完全にオンオフし、良好なスイッチとして動作する。 $|Vgh1a - Vgl1a|$ と $|Vgh1a - Vgl1a|$ の関係は、 $|Vgh1a - Vgl1a| < |Vgh1a - Vgl1a|$ の関係が維持されるように設定あるいは構成する。

20

【0314】

オフ電圧Vgh1とオフ電圧Vgh2は同一にすることが好ましい。電源数が減少し、回路コストを低減できるからである。また、オフ電圧Vgh1はアノード電圧Vddを基準とすることにより、トランジスタ11の動作が安定するからである。一方、ゲートドライバ回路12a1のオン電圧Vgl1は、ソースドライバ回路(IC)14のグランド電圧(GND)に対して、+1(V)以下-6(V)以上の関係を維持することが好ましい。突き抜け電圧が減少し、良好な均一表示を実現できるからである。

30

【0315】

また、ゲートドライバ回路12a2のオン電圧Vgl2は、ソースドライバ回路(IC)14のグランド電圧(GND)に対して、0(V)以下-10(V)以上の関係を維持することが好ましい。トランジスタ11cを完全にオン状態にすることができ、良好な電流(電圧)プログラムを実現できるからである。また、Vgl2は、Vgl1よりも-1(V)以下の関係となるように電圧設定が行うことが好ましい。

【0316】

なお、ゲート信号線17aにオン電圧が印加されて画素行が選択され、その後ゲート信号線17aにオフ電圧が印加されるタイミングは、以下のようにすることが好ましい。つまり、ゲート信号線17a1にオフ電圧(Vgh1a)を印加した後、0.05μsec以上10μsec以下(もしくは1H時間の $1/400$ 以上 $1/10$ 以下)後に、ゲート信号線17a2にオフ電圧(Vgh1b)を印加する。トランジスタ11bをトランジスタ11cよりも先にオフさせることにより、突き抜け電圧の影響が大幅に軽減されるからである。

40

【0317】

また、図281ではゲートドライバ回路12a1とゲートドライバ回路12a2の2つを図示したがこれに限定するものではなく、一体としてもよい。以上の事項は、ゲートドライバ回路12aとゲートドライバ回路12bとの関係にも適用される。例えば、図14に図示するようにゲートドライバ回路12を一体としてもよい。以上の事項は本発明の他

50

の実施例にも適用できることは言うまでもない。

【0318】

以上の実施例で説明した事項は、図1の画素構成に限定されるものではない。たとえば、図6、図7、図8、図9、図10、図11、図12、図13、図28、図31、図36、図193、図194、図215、図314(a)(b)、図607(a)(b)(c)などの画素構成にも適用できることは言うまでもない。つまり、電圧保持用のコンデンサ19に一端子が接続されトランジスタを動作させるゲート端子(図1ではトランジスタ1bのゲート端子)の電圧変動を、画素選択トランジスタ(図1ではトランジスタ11c)のゲート端子を動作させる電圧変動と異ならせる。

【0319】

以上の実施例は、画素16のトランジスタ動作について記述したが、本発明は画素構成に限定されるものではなく、図231などで説明した保持回路2280についても適用できることは言うまでもない。構成が同一あるいは類似であり、技術的思想が同一であるからである。

【0320】

また、以上の実施例では、駆動用トランジスタ11aをPチャンネルトランジスタとして説明している。駆動用トランジスタ11aがNチャンネルの場合は、オン電圧の電位、オフ電圧の電位を適用できるように読み替えればよいので、説明を省略する。

【0321】

図1などで説明した画素構成では、駆動用トランジスタ11aは各画素16に1つの構成である。しかし、本発明において、駆動用トランジスタ11aは1つに限定されるものでない。たとえば、図31の画素構成が例示される。

【0322】

図31は画素16を構成するトランジスタ数を6個とし、プログラム用トランジスタ11anはトランジスタ11b2とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成し、駆動用トランジスタ11a1はトランジスタ11b1とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成した実施例である。

【0323】

図31において、駆動用トランジスタ11a1のゲート端子とプログラム用トランジスタ11anのゲート端子とを共通にしている。トランジスタ11b1は電流プログラム時に駆動用トランジスタ11a1のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ11b2は電流プログラム時にプログラム用トランジスタ11anのドレイン端子とゲート端子とを短絡するように動作する。

【0324】

トランジスタ11cは駆動用トランジスタ11a1のゲート端子に接続されており、トランジスタ11dは駆動用トランジスタ11a1とEL素子15間に形成または配置され、EL素子15に流れる電流を制御する。また、駆動用トランジスタ11a1のゲート端子とアノード(Vdd)端子間には付加コンデンサ19が形成または配置されており、駆動用トランジスタ11a1とプログラム用トランジスタ11anのソース端子はアノード(Vdd)端子に接続されている。

【0325】

以上のように、駆動用トランジスタ11a1とプログラム用トランジスタ11anが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ11a1を流れる電流は、トランジスタ11b1、トランジスタ11cを通じてソース信号線18に流れる。また、プログラム用トランジスタ11anを流れる電流は、トランジスタ11b2、トランジスタ11cを通じてソース信号線18に流れる。したがって、駆動用トランジスタ11a1の電流と、プログラム用トランジスタ11anの電流は、同数の2つのトランジスタを通過してソース信号線18に流れるように構成されている。

10

20

30

40

50

【0326】

図31では、駆動用トランジスタ11anを1つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ11anは、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比の複数のトランジスタから構成してもよい。また、駆動用トランジスタ11a1の駆動用トランジスタ11anと、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比にすることが好ましい。同一WLあるいはWL比のトランジスタを複数形成する方が、各トランジスタ11aの出力バラツキが小さくなり、また画素16間のばらつきも少なくなり好ましい。

【0327】

ゲート信号線17aに選択電圧（オン電圧）が印加されると、トランジスタ11anとトランジスタ11a1からの電流が合成されたものがプログラム電流Iwとなる。このプログラム電流Iwを、駆動用トランジスタ11a1からEL素子15に流れる電流Ieの所定倍率にする。

【0328】

$I_w = n \cdot I_e$ （nは1以上の自然数）

上式において、表示パネルの最大白ラスタでの表示輝度B（nt）、表示パネルの画素面積S（平方ミリメートル）（画素面積は、RGBを1単位として取り扱う。したがって、各R、G、Bの絵素が縦0.1mm、横0.05mmであれば、 $S = 0.1 \times (0.05 \times 3)$ （平方ミリメートル）である）、表示パネルの1画素行選択期間（1水平走査（1H）期間）をH（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Bは、パネル仕様に規定する表示できる最大輝度である。

【0329】

$$5 \leq (B \cdot S) / (n \cdot H) \leq 150$$

さらに好ましくは、以下の条件と満足するようにする。

【0330】

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

Iwはソースドライバ回路（IC）14が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素16のコンデンサ19にホールドされる。また、Ieは駆動用トランジスタ11a1がEL素子15に流す電流である。

【0331】

トランジスタ11a1、トランジスタ11anの出力ばらつきに関しては、トランジスタ11anと駆動用トランジスタ11a1を近接させて形成または配置することにより改善できる。また、トランジスタ11an、トランジスタ11a1の特性は形成方向によっても特性が異なる場合がある。したがって、同一方向に形成することが好ましい。

【0332】

ゲート信号線17aが選択されると、駆動用トランジスタ11a1およびプログラム用トランジスタ11anの両方がオンする。駆動用トランジスタ11a1が流す電流Iw1と、プログラム用トランジスタ11a1が流す電流Iw2とは、略一致させることが好ましい。最もこのましくは、プログラム用トランジスタ11anと駆動用トランジスタ11a1のサイズ（W、L）を一致させることである。つまり、 $Iw1 = Iw2$ 、 $Iw = 2Ie$ の関係を満足させることが好ましい。もちろん、 $Iw1 = Iw2$ の関係を満足させるには、トランジスタサイズ（W、L）を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのWLを調整することにより容易に実現できる。略 $Iw2 / Iw1 = 1$ であれば、トランジスタ11b1とトランジスタ11b1のサイズは略一致して構成あるいは形成することができる。

【0333】

なお、 $Iw2 / Iw1$ は、1以上10以下の関係を満足させておくことが好ましい。 $Iw2 / Iw1$ は、1以上10以下の関係を満足させておくことが好ましい。さらに好ましくは、1.5以上5以下の関係を満足させておくことが好ましい。

【0334】

10

20

30

40

50

I_{w2} / I_{w1} が1以下では、ほとんど、ソース信号線18の寄生容量の影響を改善する効果は見込めない。一方 I_{w2} / I_{w1} が10以上となると、 I_{w1} に対する I_e の係数に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ11bのオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【0335】

プログラム用トランジスタ11anが流す電流 I_{w2} が、駆動用トランジスタ11a1が流す電流 I_{w1} に比較して一定以上大きい場合は($I_{w2} > I_{w1}$)、スイッチング用トランジスタ11b2のオン抵抗を、スイッチング用トランジスタ11b1のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ11b2は、トランジスタ11b1よりも大きな電流を、同一のゲート信号線17aの電圧にたいして流すように構成する必要があるからである。

10

【0336】

つまり、駆動用トランジスタ11a1の出力電流の大きさに対するトランジスタ11b1の大きさと、プログラム用トランジスタ11anの出力電流の大きさに対するトランジスタ11b2の大きさをマッチングさせる必要がある。

【0337】

言い換えれば、プログラム電流 I_{w2} 、プログラム電流 I_{w1} に対して、トランジスタ11bのオン抵抗を変化させる必要がある。また、プログラム電流 I_{w2} 、プログラム電流 I_{w1} に対して、トランジスタ11b1と11b2のサイズを変化させる必要がある。

【0338】

20

プログラム電流 I_{w2} がプログラム電流 I_{w1} よりも大きければ、トランジスタ11b2のオン抵抗はトランジスタ11b1のオン抵抗よりも小さくする必要がある(トランジスタ11b1とトランジスタ11b2のゲート端子電圧が同一の場合である)。プログラム電流 I_{w2} がプログラム電流 I_{w1} よりも大きければ、トランジスタ11b2のオン電流(I_{w2})はトランジスタ11b1のオン電流(I_{w1})よりも大きくする必要がある(トランジスタ11b1とトランジスタ11b2のゲート端子電圧が同一の場合である)。

【0339】

$I_{w2} : I_{w1} = n : 1$ とし、ゲート信号線17aにオン電圧が印加され、トランジスタ11b1とトランジスタ11b2がオンしたときのトランジスタ11b2のオン抵抗を R_2 、トランジスタ11b1のオン抵抗を R_1 とする。この時、 R_2 は、 $R_1 / (n + 5)$ 以上、 $R_1 / (n)$ 以下の関係を満足するように構成する。構成するとは、トランジスタ11bの所定のサイズに形成するあるいは配置するもしくは動作させる意味である。ただし、 n は1よりも大きな値である。

30

【0340】

上記事項は、トランジスタ11b1とトランジスタ11b2のオン抵抗 R あるいは、プログラム電流 I_w の説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ11b1のゲート端子に接続されたゲート信号線17と、トランジスタ11b2のゲート端子に接続されたゲート信号線17とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることできる。

40

【0341】

図32は図31の画素構成の動作の説明図である。図32(a)は電流プログラム状態であり、図31(b)はEL素子15に電流を供給している状態である。なお、図32(b)の状態、トランジスタ11dをオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【0342】

図32(a)では、ゲート信号線17aにオン電圧が印加され、トランジスタ11b1、11b2、11cがオンする。トランジスタ11a1は電流 I_e を供給し、トランジス

50

タ 1 1 a n は電流 $I_w - I_e$ を供給し、合成した電流 I_w がソースドライバ I_c にプログラム電流となる。以上の動作により、プログラム電流 I_w に対応する電圧がコンデンサ 1 9 に保持される。電流プログラム時にはトランジスタ 1 1 d はオフ状態に保持される（ゲート信号線 1 7 b にはオフ電圧が印加されている）。

【0343】

EL 素子 1 5 に電流を流す場合が、図 3 2 (b) の動作状態にされる。ゲート信号線 1 7 a にオフ電圧が印加され、ゲート信号線 1 7 b にオン電圧が印加される。この状態では、トランジスタ 1 1 b 1、1 1 b 2、1 1 c がオフ状態になり、トランジスタ 1 1 d がオン状態になる。EL 素子 1 5 に I_e 電流が供給される。

【0344】

図 3 3 は図 3 1 の変形例である。図 3 3 は、トランジスタ 1 1 c がソース信号線 1 8 とトランジスタ 1 1 a 1 のドレイン端子間に配置されている。以上のように図 3 1 には多数の変形例が例示することができる。

【0345】

図 3 1 はゲート信号線 1 7 a にオンオフ電圧を印加することにより、トランジスタ 1 1 b 1、1 1 b 2、1 1 c が制御される。しかし、電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ 1 1 b 1、1 1 b 2 とトランジスタ 1 1 c が同時にオフする場合、トランジスタ 1 1 c の方が、トランジスタ 1 1 b 1、1 1 b 2 よりも先にオフになる場合とでは、コンデンサ 1 9 に保持される電圧が規定の値から変化する場合があります。変化により駆動用トランジスタ 1 1 a から EL 素子 1 5 に供給する電流 I_e に誤差が発生する。

【0346】

この課題に対しては、図 3 4 のように構成することが好ましい。図 3 4 では、ゲート信号線 1 7 a 1 のトランジスタ 1 1 b 1 と 1 1 b 2 のゲート端子が接続されている。また、ゲート信号線 1 7 a 2 にトランジスタ 1 1 c のゲート端子が接続されている。したがって、ゲート信号線 1 7 a 1 にオンオフ電圧を印加することにより、トランジスタ 1 1 b 1 と 1 1 b 2 がオンオフ制御される。また、ゲート信号線 1 7 a 2 にオンオフ電圧を印加することによりトランジスタ 1 1 c がオンオフ制御される。

【0347】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線 1 7 a 1、1 7 a 2 にオン電圧が印加されている状態から、ゲート信号線 1 7 a 1、1 7 a 2 にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線 1 7 a 1 の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ 1 1 b 1 と 1 1 b 2 がオフ状態になる。次に、ゲート信号線 1 7 a 2 をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ 1 1 c がオフ状態になる。

【0348】

以上のように、トランジスタ 1 1 b 1、1 1 b 2 をオフ状態にしてから、トランジスタ 1 1 c をオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ 1 9 に保持される電圧が規定値どおりとなる。なお、ゲート信号線 1 7 a 1 とゲート信号線 1 7 a 2 にオフ電圧を印加するタイミングのずれは、 $0.1 \mu\text{sec}$ 以上 $5 \mu\text{sec}$ 以下にすることが好ましい。

【0349】

図 3 4 は駆動用トランジスタ 1 1 a が 1 個の構成であったが、本発明はこれに限定するものではなく、図 1 9 3 に図示するように 2 個以上であってもよい。図 1 9 3 は EL 素子 1 5 を駆動するトランジスタ 1 1 a が 2 個（駆動用トランジスタ 1 1 a 1、1 1 a 2）で構成され、また、プログラム用トランジスタ 1 1 a n の 2 個（1 1 a n 1、1 1 a n 2）で構成されている。図 1 9 3 のように構成することにより画素の特性バラツキをより低減することができる。なお、駆動用トランジスタ 1 1 a とプログラム用トランジスタ 1 1 a n とは交互の並びになるようにレイアウト配置を行ってもよい。

【0350】

図194に図示するように、画素構成することも有効である。図194は2の駆動用トランジスタ11a(11a1、11a2)を有している。この2つの駆動用トランジスタ11a(11a1、11a2)の両方はEL素子15に電流I_eを供給し、この電流によりEL素子は輝度Bで発光する。

【0351】

図195は図194の画素の動作を説明するためのタイミング図である。以下、図194の動作について説明をする。なお、図194の画素はマトリックス状に配置され、順次ゲート信号線が選択されることにより該当画素が選択される。ここでは説明を容易にするために、図1と同様に1画素について説明を行う。

【0352】

まず、ゲート信号線17aが選択され、V_{g1}電圧が印加されると、トランジスタ11b2、11b1、11cがオンし、導通状態となる。この状態で、ソース信号線18に印加されたプログラム電流がトランジスタ11a2、11a1に流れ、このプログラム電流I_wが流れるように、コンデンサ19に電圧が保持される(図195のゲート信号線17aの欄を参照のこと)。以上で電流プログラムが完了する。1Hの期間のゲート信号線17aには、オン電圧(V_{g1})が印加され、選択期間経過後、オフ電圧(V_{gh})が印加される。以上は、基本的な動作であって、実際にはゲート信号線のオンオフタイミングなどは、図26、図27などが適用されることは言うまでもない。

【0353】

次に、駆動用トランジスタ11a1の電流I_{e1}をEL素子15に流す期間は、ゲート信号線17b1が選択される(V_{g1}電圧が印加される)。また、EL素子15に電流を流さない期間には、ゲート信号線17b1にはオフ電圧(V_{gh}電圧)が印加される。以上の状態を定常的に繰り返すことあるいは周期的あるいはランダムに行うことによりEL素子15が発光する。図195では、EL素子15の発光を輝度Bで示している。なお、ゲート信号線17b1のタイミングチャートを図195のゲート信号線17b1で示している。

【0354】

駆動用トランジスタ11a2の電流I_{e2}をEL素子15に流す期間は、ゲート信号線17b2が選択される(V_{g1}電圧が印加される)。また、EL素子15に電流を流さない期間には、ゲート信号線17b2にはオフ電圧(V_{gh}電圧)が印加される。以上の状態を定常的に繰り返すことあるいは周期的あるいはランダムに行うことによりEL素子15が発光する(図195では、EL素子15の発光を輝度Bで示している。なお、ゲート信号線17b2のタイミングチャートを図195のゲート信号線17b2で示している。

【0355】

なお、図194、図195の実施例において、駆動用トランジスタ11aは2つとし、この2つを切り換えると説明したがこれに限定するものではなく、駆動用トランジスタ11aを3個以上形成または配置し、3個以上の駆動用トランジスタ11aを切り換えて、EL素子15に電流I_eを供給してもよい。また、2つ以上の駆動用トランジスタ11aが同時にEL素子に電流I_eを供給してもよい。また、駆動用トランジスタ11a1がEL素子15に供給する電流I_{e1}と、駆動用トランジスタ11a2がEL素子15に供給する電流I_{e2}とはその電流の大きさを異ならせてもよい。

【0356】

また、複数の駆動用トランジスタ11aはサイズを異ならせてもよい。また、複数の駆動用トランジスタ11aがEL素子15に電流を流す時間は同一である必要はなく、異なってもよい。たとえば、駆動用トランジスタ11a1が10μsecの時間(10μ秒)の間、EL素子15に電流を供給し、駆動用トランジスタ11a2が20μsecの時間(20μ秒)の間、EL素子15に電流を供給するように構成してもよい。

【0357】

図194において、駆動用トランジスタ11a1のゲート端子と駆動用トランジスタ1

10

20

30

40

50

1 a 2 のゲート端子は共通に接続されているがこれに限定するものではなく、各ゲート端子が別のゲート電位に設定できるものであってもよいことは言うまでもない。以上の実施例は、図 3 1 から図 3 6 の画素構成にも適用できる。この場合は、プログラム用トランジスタと駆動用トランジスタに適用される。

【0358】

以上の実施例は、主として図 1 の変形例の実施例であった。本発明はこれに限定するものではなく、図 1 3 などのカレントミラーの画素構成にも適用することができる。

【0359】

図 3 5 は本発明の実施例である。図 3 5 は駆動用トランジスタ 1 1 b が 1 個で、プログラム用トランジスタ 1 1 a n が 4 個で画素が構成された実施例である。他の構成は図 1 2 または図 1 3 の実施例と同様である。

【0360】

図 3 5 の実施例では、ゲート信号線 1 7 a 1、1 7 a 2 が選択されると、トランジスタ 1 1 c、1 1 d が動作状態となり、プログラム用トランジスタ 1 1 a n とソース信号線 1 8 との電流経路が形成される。なお、4 つのプログラム用トランジスタ 1 1 a n は、同一サイズ（同一チャンネル幅 W、同一チャンネル長 L）で形成することが好ましい。ただし、本発明において、プログラム用トランジスタ 1 1 a n は 1 つで構成してもよい。この場合は、1 つのプログラム用トランジスタ 1 1 a n の形状あるいは W L 比を考慮し、所定のプログラム電流 I w が実現できるようにすることが好ましい。

【0361】

図 3 5 の実施例では、プログラム電流 I w は、4 つのプログラム用トランジスタ 1 1 a n の電流が合成されたものとなる。説明を容易にするため、各プログラム用トランジスタ 1 1 a に流れる電流が等しいとする。なお、説明を容易にするため、E L 素子 1 5 に電流を供給するトランジスタ 1 1 a を駆動用トランジスタ 1 1 b と呼び、電流プログラム時に動作するトランジスタ 1 1 a n などをプログラム用トランジスタ 1 1 a n と呼ぶことにする。

【0362】

図 3 5 では、駆動用トランジスタ 1 1 b と 1 つのプログラム用トランジスタ 1 1 a n は同一出力電流となるようにしている（駆動用トランジスタおよびプログラム用トランジスタのゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためにはトランジスタ 1 1 a n および 1 1 b の W L（チャンネル幅 W とチャンネル長 L）同一にすればよい。同一 W L あるいは W L 比のトランジスタ 1 1 a を複数形成する方が、各トランジスタ 1 1 a の出力バラツキが小さくなり、また画素 1 6 間のばらつきも少なくなり好ましい。

【0363】

ゲート信号線 1 7 a 1、1 7 a 2 に選択電圧（オン電圧）が印加されると、複数のプログラム用トランジスタ 1 1 a n からの電流が合成されたものがプログラム電流 I w となる。このプログラム電流 I w を、駆動用トランジスタ 1 1 b から E L 素子 1 5 に流れる電流 I e の所定倍率にする。

【0364】

$$I w = n \cdot I e \quad (n \text{ は } 1 \text{ より大きい自然数})$$

上式において、表示パネルの最大白ラスタでの表示輝度 B（n t）、表示パネルの画素面積 S（平方ミリメートル）（画素面積は、R G B を 1 単位として取り扱う。したがって、各 R G B の絵素が縦 0.1 mm、横 0.05 mm であれば、 $S = 0.1 \times (0.05 \times 3)$ （平方ミリメートル）である）、表示パネルの 1 画素行選択期間（1 水平走査（1 H）期間）を H（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度 B は、パネル仕様に規定する表示できる最大輝度である。

【0365】

$$5 \leq (B \cdot S) / (n \cdot H) \leq 150$$

さらに好ましくは、以下の条件と満足するようにする。

【0366】

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

I_wはソースドライバ回路（IC）14が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素16のコンデンサ19にホールドされる。また、I_eは駆動用トランジスタ11aがEL素子15に流す電流である。

【0367】

したがって、駆動用トランジスタ11bおよびプログラム用トランジスタ11aのWLまたは大きさ（トランジスタ形状）、出力電流は上記の関係式を満足するように構成または形成する。なお、説明を容易にするため、図35の構成では、駆動用トランジスタ11bのサイズもしくは供給電流と、プログラム用トランジスタ11anのサイズ（形状）もしくは1つあたりの供給電流が等しいとすると、n-1個のプログラム用トランジスタ11aを形成することにより上式の関係式を満足させることができる。特に図35の画素構成では、駆動用トランジスタ11aの電流もプログラム電流にすることができ、画素16の開口率をカレントミラーの画素構成に比較して高くすることができる。

【0368】

以上のように画素16を構成することにより、プログラム電流I_wは、I_eに対してn倍になる。したがって、ソース信号線18に寄生容量が存在しても、書き込み不足はなくなる。

【0369】

各トランジスタ11b、11anの出力ばらつきに関しては、プログラム用トランジスタ11anと駆動用トランジスタ11bとを近接させて形成または配置することにより改善できる。また、トランジスタ11an、トランジスタ11bの特性は形成方向によっても特性が異なる場合がある。したがって、トランジスタのチャンネル形成方向を横方向または縦方向に統一することが好ましい。

【0370】

EL表示パネルでは、RGBのEL素子は異なる材料で構成する。したがって、各色で発光効率が異なる場合が多い。そのため、各RGBのプログラム電流I_wも異なる。ソース信号線18の寄生容量は、一般的にRGBに対する変化はなく、同一である場合が多い。各RGBのプログラム電流I_wが異なり、ソース信号線18の寄生容量がRGBで同一であれば、プログラム電流の書き込み時定数が異なることになる。

【0371】

図35の画素構成に関しても、各RGBのプログラム用トランジスタ11anの個数を変化させればよい。また、各RGBのプログラム用トランジスタ11anのサイズ（WLなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ11bの個数あるいはサイズを変化させてもよい。

【0372】

以上の事項は、図31、図33、図34などの画素構成においても同様に適用できることはいうまでもない。各RGBのプログラム用トランジスタ11anの個数を変化させればよい。また、各RGBのプログラム用トランジスタ11anのサイズ（WLなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ11aの個数あるいはサイズを変化させてもよい。

【0373】

図574は駆動用トランジスタ11aが5個構成された実施例である。他の構成は図1の実施例と同様である。図1の実施例では、プログラム電流I_w=EL素子15に流れる電流の関係があった。したがって、EL素子15を低輝度で発光させる場合は、プログラム電流I_wも小さくなり、ソース信号線18に寄生容量の影響を受けやすくなる（寄生容量の充放電に長時間を必要とし、1H期間の間に駆動用トランジスタ11aのゲート端子電位を所定電位に変化することが困難になる）。

【0374】

図574の実施例では、ゲート信号線17aが選択されると、トランジスタ11e、11b、11cが動作状態となり、駆動用トランジスタ11aとソース信号線18との電流

経路が形成される。プログラム電流 I_w は、駆動用トランジスタ 11a、11a2、11a3、11a4、11a5 の電流が合成されたものとなる。説明を容易にするため、各駆動用トランジスタ 11a に流れる電流が等しいとする。なお、説明を容易にするため、EL 素子 15 に電流を供給するトランジスタ 11a を駆動用トランジスタと呼び、電流プログラム時に動作するトランジスタ 11a2 などをプログラム用トランジスタ 11a と呼ぶことにする。

【0375】

図 574 では、駆動用トランジスタ 11a と各プログラム用トランジスタ 11a とは同一出力電流となるようにしている（ゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためには各トランジスタ 11a の WL（チャンネル幅 W とチャンネル長 L）同一にすればよい。同一 WL のトランジスタ 11a を複数形成する方が、各トランジスタ 11a の出力バラツキが小さくなり、また画素 16 間のばらつきも少なくなり好ましい。後に説明する図 57 のソースドライバ IC 14 を単位トランジスタ 153 で構成するのと同じ理由である。

【0376】

しかし、本発明はこれに限定するものではなく、複数のプログラム用トランジスタ 11a は 1 つのプログラム用トランジスタ 11a として形成または構成してもよい。この場合も構成は容易である。プログラム用トランジスタ 11a の W を大きく形成すればよいからである。

【0377】

ゲート信号線 17a に選択電圧（オン電圧）が印加されると、駆動用トランジスタ 11a とプログラム用トランジスタ 11a からの電流が合成されたものがプログラム電流 I_w となる。このプログラム電流 I_w を EL 素子 15 に流れる電流 I_e の所定倍率にする。

【0378】

$$I_w = n \cdot I_e \quad (n \text{ は } 1 \text{ より大きい自然数})$$

上式において、表示パネルの最大白ラスタでの表示輝度 $B(n_t)$ 、表示パネルの画素面積 S （平方ミリメートル）（画素面積は、RGB を 1 単位として取り扱う。したがって、各 RGB の絵素が縦 0.1 mm、横 0.05 mm であれば、 $S = 0.1 \times (0.05 \times 3)$ （平方ミリメートル）である）、表示パネルの 1 画素行選択期間（1 水平走査（1 H）期間）を H （ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度 B は、パネル仕様に規定する表示できる最大輝度である。

【0379】

$$5 \leq (B \cdot S) / (n \cdot H) \leq 150$$

さらに好ましくは、以下の条件と満足するようにする。

【0380】

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

I_w はソースドライバ IC（回路）14 が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素 16 のコンデンサ 19 にホールドされる。また、 I_e は駆動用トランジスタ 11a が EL 素子 15 に流す電流である。ただし、突き抜け電圧などによる誤差は考慮していない。

【0381】

したがって、プログラム用トランジスタ 11a の WL、大きさ、出力電流は上記の関係式を満足するように構成または形成する。図 574 の構成では、駆動用トランジスタ 11a のサイズもしくは供給電流と、プログラム用トランジスタ 11a のサイズもしくは 1 つあたりの供給電流が等しいとすると、 $n-1$ 個のプログラム用トランジスタ 11a を形成することにより上式の関係式を満足させることができる。特に図 574 の画素構成では、駆動用トランジスタ 11a の電流もプログラム電流にすることができ、画素 16 の開口率をカレントミラーの画素構成に比較して高くすることができる。

【0382】

以上のように画素 16 を構成することにより、プログラム電流 I_w は、 I_e に対して n

倍になる。したがって、ソース信号線 18 に寄生容量が存在しても、書き込み不足はなくなる。

【0383】

図 1 では、プログラム電流 I_w と EL 素子 15 に流れる電流 I_e が同一であり、ばらつきが発生しない。しかし、図 574 の構成では、プログラム電流 I_w の一部が EL 素子 15 に流す電流 I_e となる。したがって、ばらつきが発生する可能性がある。

【0384】

この課題を防止するためには、プログラム用トランジスタ 11a と駆動用トランジスタ 11a とを近接させて形成または配置する（図 575 を参照のこと）。図 575 では、駆動用トランジスタ 11a とプログラム用トランジスタ 11a とを同一の WL に形成している。また、駆動用トランジスタ 11a の左右をプログラム用トランジスタ 11a で囲うように形成または配置している。以上のように構成することにより、トランジスタ 11a のバラツキを少なくすることができ、精度のよい $I_w = n \cdot I_e$ の関係を維持できる。

【0385】

図 574 の実施例では、駆動用トランジスタ 11a は 1 個であるとしたが、本発明はこれに限定するものではない。図 576 に図示するように、駆動用トランジスタは複数個形成してもよい（11aa、11ab）。また、図 577 に図示するように、トランジスタ 11 の形成方向を変化させてもよい。

【0386】

トランジスタ 11a の特性は形成方向によっても特性が異なる場合がある。したがって、図 575 に図示するように 1 つの駆動用トランジスタ 11aa は横方向に形成し、他の駆動用トランジスタ 11ab は縦方向に形成することにより、出力バラツキを低減することができる。また、図 575 に図示するようにプログラム用トランジスタ 11a も縦方向と横方向に配置することが好ましい。

【0387】

EL 表示パネルでは、RGB の EL 素子は異なる材料で構成する。したがって、各色で発光効率が異なる場合が多い。そのため、各 RGB のプログラム電流 I_w も異なる。ソース信号線 18 の寄生容量は、一般的に RGB に対する変化はなく、同一である場合が多い。各 RGB のプログラム電流 I_w が異なり、ソース信号線 18 の寄生容量が RGB で同一であれば、プログラム電流の書き込み時定数が異なることになる。

【0388】

この課題に対して、本発明では、図 578 に図示するように、各 RGB のプログラム用トランジスタ 11a の個数を変化させている。一例として、R 画素 16 のプログラム用トランジスタ 11a は 2 個であり、G 画素 16 のプログラム用トランジスタ 11a は 4 個であり、B 画素 16 のプログラム用トランジスタ 11a は 1 個である。

【0389】

図 578 の実施例において、各 RGB のプログラム用トランジスタ 11a の個数を変化させるとしたが、これに限定するものではない。たとえば、各 RGB のプログラム用トランジスタ 11an のサイズ（WL など）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、各 RGB のプログラム電流 I_w などが同一あるいは近似の場合は、プログラム用トランジスタ 11an の個数は RGB で同一であってもよいことは言うまでもない。

【0390】

図 578 の実施例は、プログラム用トランジスタ 11an の個数などを RGB で変化した実施例であったが、本発明はこれに限定されるものではない。たとえば、図 579 に図示するように、駆動用トランジスタ 11a の個数あるいはサイズを変化させてもよい。

【0391】

図 579 では、B 画素の駆動用トランジスタ 11a サイズ > G 画素の駆動用トランジスタ 11a サイズ > R 画素の駆動用トランジスタ 11a サイズとなるように形成または構成している。

10

20

30

40

50

【0392】

図574の実施例などでは、電流プログラム時に、駆動用トランジスタ11aの電流 I_e はトランジスタ11eとトランジスタ11cを経由してソース信号線18に出力される。一方、プログラム用トランジスタ11aの出力電流 $I_w - I_e$ は1つのトランジスタ11cのみを経由してソース信号線18に出力される。トランジスタ11e、11cではオン状態でもソースドレイン間の電位差が発生する。このため、プログラム用トランジスタ11aの1つあたりの出力電流に比較して、駆動用トランジスタ11aの出力電流が小さくなる場合がある。

【0393】

この課題に対しては、図580のように構成あるいは形成することが好ましい。図580の構成では、電流プログラム時に、駆動用トランジスタ11a1の電流 I_e はトランジスタ11c1を経由してソース信号線18に出力される。一方、プログラム用トランジスタ11anの出力電流 $I_w - I_e$ はトランジスタ11c2を経由してソース信号線18に出力される。したがって、駆動用トランジスタ11a1とプログラム用トランジスタ11anではソース信号線18までに経路するトランジスタ数が等しくなる。したがって、トランジスタのソースドレイン間の電位差の影響は発生しないため、プログラム用トランジスタ11anの1つあたりの出力電流と、駆動用トランジスタ11a1の出力電流が等しくなる。

【0394】

なお、図580では駆動用トランジスタ11aには、ゲートドレイン間ショート用のトランジスタ11b1を形成または配置している。同様に、プログラム用トランジスタ11anには、ゲートドレイン間ショート用のトランジスタ11b2を形成または配置している。

【0395】

図581はプログラム用トランジスタ11a1のドレイン端子と、プログラム用トランジスタ11anのドレイン端子とを接続するトランジスタ11eを形成した画素構成図である。しかし、図581の画素構成では、画素16を構成するトランジスタ数が7個と多いため、画素開口率が低下する。

【0396】

図323は画素16を構成するトランジスタ数を6個とし、プログラム用トランジスタ11anはトランジスタ11b2とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成し、駆動用トランジスタ11a1はトランジスタ11b1とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成した実施例である。

【0397】

以上のように、駆動用トランジスタ11a1とプログラム用トランジスタ11anが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。

【0398】

図35は、ゲート信号線17a2でトランジスタ11cを制御し、ゲート信号線17a1でトランジスタ11dを制御する。電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ11cとトランジスタ11dが同時にオフすることを抑制することができる。

【0399】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線17a1、17a2にオン電圧が印加されている状態から、ゲート信号線17a1、17a2にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線17a2の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ11dがオフ状態になる。次に、ゲート信号線17a1をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ11cがオフ状態になる。

10

20

30

40

50

【0400】

以上のように、トランジスタ11dをオフ状態にしてから、トランジスタ11cをオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ19に保持される電圧が規定値どおりとなる。なお、ゲート信号線17a1とゲート信号線17a2にオフ電圧を印加するタイミングのずれは、0.1 μ sec以上5 μ sec以下にすることが好ましい。

【0401】

駆動用トランジスタ11aのゲート電位をシフトさせることにより、黒表示を良好にする方式も例示される。特に電流駆動では黒表示の実現が困難であるからである。図375は駆動用トランジスタ11aのゲート端子に接続されたコンデンサ19を介して電位シフトさせる構成である。

10

【0402】

以下の実施例では駆動用トランジスタ11aはPチャンネルトランジスタであるとして説明する。しかし、本発明はこれに限定するものではない。駆動用トランジスタ11a（EL素子15を駆動するトランジスタ）がNチャンネルの場合あるいは駆動用トランジスタ11aを吐き出し電流で電流プログラムを実施する場合は、電位シフトの方向を逆にする必要があることは言うまでもない。つまり、正規の状態となるように明細書の文言を読み替える必要がある。この読み替えは当業者であれば容易であるので説明は省略する。なお、以上の事項は本発明の他の実施例にも適用される。

【0403】

20

図375において、コンデンサ19の一端はコンデンサ信号線3751に接続されている。また、コンデンサ信号線3751はコンデンサドライバ3752によって駆動される。コンデンサドライバ3752はポリリシコン技術で形成され、動作としてはゲートドライバ回路12と同様あるいは類似である。ただし、ゲートドライバ回路12とは振幅が異なる。コンデンサドライバ3752は、駆動用トランジスタ11aのゲート端子を0.1V～1Vの範囲で電位シフトさせるものであるからである。

【0404】

該当画素16にプログラム電流が書き込まれているときは、コンデンサ信号線3751は電位固定されている。画素16にプログラム電流の書き込みが終了すると（書き込み期間の1Hが終了すると）、コンデンサ信号線3751の電位はコンデンサドライバ3752によりアノード電圧V_{dd}側に電位シフトされる。この電位シフトにより駆動用トランジスタ11aのゲート端子もアノード電位V_{dd}側に電位シフトされる。つまり、駆動用トランジスタ11aのゲート端子は電流が流れない方向に電位シフトされる。

30

【0405】

以上の動作により、本発明の表示装置（表示パネル）では、低階調領域において駆動用トランジスタ11aが電流を流しにくい状態となる。したがって、良好な黒表示を実現できる。図375（a）は図1の画素構成に本発明の駆動方式を適用した実施例である。図375（b）は主として図12などのカレントミラーの画素構成に適用した実施例である。なお、図207は、2トランジスタの画素構成に適用した実施例である。また、図206も同様にコンデンサ19の一方の電極電位を操作することにより良好な画像表示を実現できる。

40

【0406】

図375はコンデンサ信号線3751の電位をコンデンサドライバ3752によりシフトさせるとした。しかし、本発明はこれに限定するものではない。良好な黒表示を実現する時は、コンデンサ信号線3751の電位をアノード電位V_{dd}以上にしてもよい。コンデンサ信号線3751の電位が高いほど、ゲート信号線17aのオン電圧V_{g11}との電位差が大きくなり、トランジスタ11bの寄生容量とコンデンサ19との突き抜け電圧により、トランジスタ11aのゲート端子の電位シフトが大きくなるからである。

【0407】

たとえば、コンデンサ信号線3751の電位が10Vと、6Vでは、10Vの方が突き

50

抜け電圧が大きくなり、トランジスタ 11a のゲート端子の電位シフトが大きくなり、低階調領域においてトランジスタ 11a は電流を流しにくくなる。したがって、良好な黒表示を実現できる。

【0408】

つまり、本発明は、電流駆動方式の画素構成において、駆動用トランジスタ 11a のソース端子（アソード端子 V_{dd}。ただし、駆動用トランジスタ 11a が P チャンネルで、吸い込み電流により電流プログラムを実現する画素構成の場合である。駆動用トランジスタが N チャンネルの場合などは逆の関係にすることは言うまでもない）と、駆動用トランジスタ 11a のゲート端子電位を保持するコンデンサ 19 の端子とに、個別に電圧を印加（異なる電圧を印加）できるように構成したものである。

10

【0409】

この構成により、コンデンサ 19 の一端子の電位を変化させることにより、黒表示状態を調整あるいは制御することができる。なお、調整あるいは制御は、コンデンサ 19 の端子電圧と、駆動用トランジスタ 11a のソースまたはドレイン端子の電圧との相対的な関係である。したがって、コンデンサ 19 の 1 端子の電位を固定し、アノード電位を変化させてもよいことは言うまでもない。

【0410】

なお、以上の実施例は、コンデンサ信号線 3751 を操作することにより、黒表示を良好にする実施例であった。しかし、本発明はこれに限定するものではない。たとえば、駆動用トランジスタ 11a が N チャンネルの場合は、コンデンサ信号線 3751 など进行操作することにより、高階調での電流を増加させることができる。したがって、良好な白表示を実現できる。

20

【0411】

図 36 は、トランジスタ 11c とトランジスタ 11d をゲート信号線 17a に印加する電圧により制御できるようにした構成である。図 36 の構成では、画素 16 を駆動するゲート信号線 17 は 1 本ですむため、配線信号線数が少なくすむ。図 36 の画素構成では、非表示領域 192 を発生させることはできない。しかし、画素の制御は容易であり、画素の開口率も向上できる。

【0412】

以上の実施例は、電流プログラムの画素構成であった。本発明はこれに限定するものではなく、電圧駆動と電流駆動の画素構成を組み合わせてもよい。図 211 は電圧駆動と電流駆動の両方を実施できる画素構成である。

30

【0413】

電流駆動では低下階調領域で電流書き込みが発生する。一方で電圧駆動では、低階調でも書き込み不足はない。しかし、電圧駆動では、表示画面に形成された駆動用トランジスタ 11a の特性バラツキを吸収することができないため、レーザーアニール工程で発生するトランジスタの特性バラツキに起因するムラが表示されてしまう。電流駆動ではこのトランジスタの特性バラツキの問題がない。したがって、図 213 は本発明の駆動方式の説明図である。図 213 で図示するように、低階調領域では電圧駆動を実施する。高階調領域では電流駆動を実施する。中間の階調領域では、電圧駆動の後に、電流駆動を実施する。つまり、本発明の駆動方式では、階調に応じて、電流駆動と電圧駆動の双方あるいは一方を実施し、電圧駆動と電流駆動の課題を解決することができる。

40

【0414】

図 211 は電圧駆動と電流駆動の両方が実施することができる画素構成である。ただし、説明を容易にするため、図 1 と同様に 1 画素のみを記載している。また、ドライバ回路 12 なども概念的に記載している。

【0415】

図 211 において、トランジスタ 11e を削除すると電圧オフセットキャンセル駆動の画素構成となる。図 211 の画素構成は基本的には電圧オフセットキャンセル構成において、コンデンサ 19b をショートするトランジスタ 11e を形成または配置したものであ

50

る。

【0416】

図212は、図211の画素構成を説明する説明図である。図212(a)は電流駆動方式でのプログラム時の画素状態である。図212(b)は電圧駆動方式でのプログラム時の状態である。

【0417】

まず、図212(a)の電流プログラム状態について説明をする。図212(a)ではトランジスタ11eがオン状態にされる。そのため、コンデンサ19bの両端がショートされる。また、ゲートドライバ回路12dと12aは同一の動作が実施される。図212(a)では、ゲートドライバ回路12a+12dとして示している。

10

【0418】

つまり、各画素行を選択される時は、ゲートドライバ回路12a+12dからオン電圧はゲート信号線17bと17aに印加される。したがって、トランジスタ11e、11c、11bが同時にオン状態になる。つまり、図212(a)は図1の画素構成と同一である。そのため、ソースドライバ回路(IC)14から出力されたプログラム電流Iwが駆動用トランジスタ11aに書き込まれる。

【0419】

以降の動作(ゲート信号線17bの選択状態、動作)は、図1と同様であるので説明を省略する。なお、図212(a)において、本発明で説明する図1に対応した駆動方式はいずれも適用できることは言うまでもない。

20

【0420】

次に図212(b)はゲート信号線17aとゲート信号線17cは別個に動作する。なお、この画素構成は電圧オフセットキャンセラとして知られているので動作については説明を省略する。

【0421】

本発明は、図213に図示するように、低階調領域では図212(b)の画素回路構成で動作させ、高階調領域では図212(a)の画素回路構成で動作させる。

【0422】

高階調領域と低階調領域の中間階調の領域では、図212(b)の回路構成で1Hの最初に行い、その後、図212(a)の回路構成で実施することが好ましい。図212(a)と図212(b)の切り換え範囲は評価によって決定する必要がある。検討の結果によれば、全階調範囲のうち、最も低階調(階調0)から、全階調の $1/10$ 以上 $1/4$ の範囲以下のいずれかでは、図212(b)の電圧駆動のみを実施し、全階調の $1/6$ 以上 $1/3$ 以下のいずれかの範囲から最高階調までは、図212(a)の電流プログラムを実施することが好ましい。

30

【0423】

この電流駆動のみあるいは電圧駆動のみを実施する階調範囲以外では図212(b)の電圧プログラムを実施した後、図212(a)の電流プログラムを実施する。高階調の領域においても図212(b)の電圧プログラムを実施した後、図212(a)の電流プログラムを実施してもよい。

40

【0424】

低階調領域においても、図212(b)の電圧プログラムを実施した後、図212(a)の電流プログラムを実施してもよい。低階調領域では電圧プログラム状態が支配的であり、電圧プログラムの後に電流プログラムを実施しても電流プログラムの状態は画素16へのプログラム状態に影響を与えないからである。

【0425】

以上のように本発明は、低階調領域では、まず、1Hの最初には電圧プログラムの画素構成を実現して少なくとも電圧プログラムを実施し、高階調領域では、1Hの最後には電流プログラムの画素構成を実施して少なくとも電流プログラムを実施するものである。

【0426】

50

電流プログラムと電圧プログラムの組合せによる画素 16 へのプログラムは、図 127 から図 143 で説明しているので説明を省略する。図 211 および図 212 と、図 127 から図 143 の駆動方式とを組み合わせてもよいことはいうまでもない。

【0427】

図 1 などは、電流プログラムの画素構成であるとして説明した。しかし、図 1 のほか図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 13、図 31、図 607 (a) (b) (c) などの画素構成においても、以下の方法は適用できることは言うまでもない。以上の事項は本発明の他の実施例でも同様に適用できることは言うまでもない。

【0428】

図 214 は電流駆動の画素構成で電圧プログラムを行う実施例である。図 214 (a) は電圧プログラムを実施している状態であり、図 214 (b) は EL 素子 15 にプログラム電流 I_w を流して発光している状態である。

【0429】

図 214 (a) では、ゲート信号線 17a にオン電圧を印加し、トランジスタ 11b とトランジスタ 11c とをオン状態にする。この状態でソース信号線 18 にプログラム電圧 V を印加し、この電圧 V を画素 16 のコンデンサ 19 に保持させる。この時、ゲート信号線 17b にはオフ電圧を印加してトランジスタ 17d をオフ（オープン）状態にする。

【0430】

図 214 (b) は EL 素子 15 を発光させている時のトランジスタの状態を示している。ゲート信号線 17a にはオフ電圧を印加し、トランジスタ 11b、トランジスタ 11c はオープン状態にする。ゲート信号線 17b にはオン電圧を印加し、トランジスタ 11d は短絡（オン状態）にする。

【0431】

以上のように駆動することにより電圧プログラムを実施できる。つまり、低階調領域ではソース信号線に少なくとも 1H の最初にはプログラム電圧 V を印加し、高階調領域では、少なくとも 1H の最後にはプログラム電流 I_w を印加する。

【0432】

なお、電圧駆動と電流駆動の切り換えタイミングは図 212、図 127 から図 143 などで説明しているので説明を省略する。以上の事項は本発明の他の実施例でも同様である。

【0433】

図 215 は図 211 の変形例である。また、図 1 と図 2 との組合せとも考えることができる。図 1 にトランジスタ 11e が追加された画素構成であるからである。トランジスタ 11e を制御するゲート信号線 17c が追加され、このゲート信号線 17c に順次オンオフ電圧を走査状態で印加するゲートドライバ回路 12c を具備する。

【0434】

図 216 (a) (b) は図 215 の動作の説明図である。図 216 (a) は電流プログラムの駆動状態である。図 216 (b) は電圧プログラムの駆動状態である。

【0435】

図 216 (a) では、ゲート信号線 17c にオフ電圧が印加され、トランジスタ 11e がオフ（オープン状態）になる。この状態は、図 1 の画素構成と同一である。したがって、ゲート信号線 17c に絶えずオフ電圧を印加した状態で駆動することにより、図 1 で説明した駆動方法などを実現できることになり、電流プログラムを実施できる。

【0436】

図 216 (b) では、ゲート信号線 17 には常時オフ電圧が印加される。したがって、ゲート信号線 17a に接続されたトランジスタ 11b とトランジスタ 11c は常時オフ（オープン状態）にされる。この状態で、ゲート信号線 17c にはゲートドライバ回路 12c により順次走査状態でオン電圧が印加されていく。選択された画素行のトランジスタ 11e がオン状態となり、ソース信号線 18 に印加されたプログラム電圧 V がコンデンサ 19 に印加される。

【0437】

なお、図216(b)での駆動方式では、電圧プログラム時にトランジスタ11dは必ずしもオフ(オープン)状態にすることはなく、図216(b)に図示するようにオン状態でもオフ状態のいずれでもよい。ただし、EL素子15に電流を流す時はトランジスタ11dをオン状態にする必要があることは言うまでもない。他の動作などに関しては先の実施例と動作と同様であるので説明を省略する。

【0438】

図217は図212もしくは図215の変形例である。図217は駆動用トランジスタ11aとトランジスタ11d間にトランジスタ11eが形成または配置されている。トランジスタ11eはゲートドライバ回路12cに接続されたゲート信号線17cによってオンオフ制御される。

10

【0439】

図218は図217の動作の説明図である。図218(a)は電流プログラムの状態を示しており、図218(b)は電圧プログラムの状態を示している。

【0440】

図218(a)では、ゲート信号線17cには常時オン電圧が印加され(図212と同様に、画素行が選択される時にトランジスタ11eをオン状態にしてもよいことは言うまでもない。このことは図215についても同様である。)、選択された画素行のゲート信号線17aにはオン電圧が印加される。そのため、トランジスタ11b、トランジスタ11cがオンとなる。この状態でソース信号線18にプログラム電流Iwが印加され、この

20

【0441】

図218(b)は電圧プログラム時の画素書き込み状態を図示している。基本的には図2の電圧プログラム状態となる。ゲート信号線17cにはオフ電圧が印加されトランジスタ11eがオフ(オープン状態)となる。また、図28(a)と同様にゲート信号線17bにはオフ電圧が印加され、トランジスタ11dがオフ状態となる。この状態でソース信号線18に印加されたプログラム電圧Vが選択された画素16のコンデンサ19に書き込まれる。他の動作などに関しては先の実施例と動作と同様であるので説明を省略する。

【0442】

図2の画素構成において特に問題となる事項に電源(パネルに供給するカソード電圧、アノード電圧)をオンオフする際に、過渡電流がEL素子15に流れるということがある。つまり、トランジスタ11bのオンオフ状態が確定せず、また、コンデンサ19の電位状態が不定の状態では電源がオンされるからである。この課題は電源オフ時でも発生する。

30

【0443】

この課題に対しては、図219に図示するように、アノードとトランジスタ11a間にスイッチ用トランジスタ219aと配置または形成し、駆動用トランジスタ11aからEL素子15あるいはカソード間にトランジスタ219bを形成または配置することにより解決することができる。

【0444】

電源オフする際は、図220に図示するように電源をオフする前に、コントローラによりトランジスタ2191をオフにする。トランジスタ2191のオフは図220(a)に図示するように、2191aまたは2191bのいずれか一方をオフにしてもよい。また、図220(b)に図示するようにトランジスタ2191aとトランジスタ2191bの両方をオフにした後、電源回路をオフ状態にしてもよい。

40

【0445】

電源オンする際は、コントローラによりトランジスタ2191をオフにする。その後、電源回路をオンしてから、トランジスタ2191をオン状態にすることが好ましい。

【0446】

図219、図220で説明した事項は、本発明の他の画素構成にも適用できることはいうまでもない。図219のトランジスタ219aとトランジスタ219bのいずれか一方

50

を配置または形成すれば効果が得られることは言うまでもない。

【0447】

図219は各画素16にスイッチ用のトランジスタ2191を形成または配置するとしたがこれに限定するものではなく、アノード端子に1個のスイッチ2191aを配置し、カソード端子に1個のスイッチ2191bを配置してもよい。

【0448】

また、図219において2191はトランジスタであるとしたがこれに限定するものではなく、サイリスタのような他の素子、ホトダイオード、リレー素子などでもよいことは言うまでもない。

【0449】

以上の実施例は、表示領域に形成あるいは配置された画素16は電流駆動方式の画素または電圧駆動方式の画素構成か、もしくは、電圧駆動と電流駆動とを切り換えることができるものであった。しかし、本発明はこれに限定するものではない。たとえば、図221のように構成してもよい。

【0450】

図221は1本のソース信号線18に電流駆動の画素（図1など）16bと電圧駆動の画素（図2など）16aが接続された構成である。電流駆動の画素16bはソース信号線18の一端に配置または形成され、また、形成位置はソースドライバ回路（IC）14から遠い位置に配置または形成される。また、電流駆動の画素16bの駆動用トランジスタ11aのWLと電圧駆動の画素16aの駆動用トランジスタ11aのWLとは一致させる。

【0451】

電流駆動の画素16bは、プログラム電流（電圧）の大きさなど場合に依じてオン状態にされ、ソース信号線18に電流を供給し、ソース信号線18の充放電を実施して、画素16へのプログラム書き込みを実施する。

【0452】

図222は、図221の電圧画素16aと電流画素16bの関係を入れ替えた構成である。以上のように本発明は、表示領域に電圧画素16aと電流画素16bの両方を形成または配置するものである。

【0453】

本発明の画素構成によれば、トランジスタ11d（図1の場合）などのスイッチング手段を制御することにより、RGB画像を順次表示することができる（図22の構成も参照のこと）。

【0454】

図37（a）は1フレーム（1フィールド）期間にR表示領域193R、G表示領域193G、B表示領域193Bを画面の上から下方向（下方向から上方向でもよい）に走査する。RGBの表示領域以外の領域は非表示領域52とする。つまり、間欠駆動を実施する。R、G、Bの表示領域193は個別に間欠表示が実施される。

【0455】

図37（b）は1フィールド（1フレーム）期間にR、G、B表示領域193を複数発生するように実施した実施例である。この駆動方法は、図23の駆動方法と類似である。したがって、説明を必要としないであろう。図37（b）に表示領域193を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

【0456】

図38（a）は、RGBの表示領域193で表示領域193の面積を異ならせたものである。なお、表示領域193の面積は点灯期間に比例することは言うまでもない。図38（a）では、R表示領域193RとG表示領域193Gと面積を同一にしている。G表示領域193GよりB表示領域193Bの面積を大きくしている。

【0457】

有機EL表示パネルでは、Bの発光効率が悪い場合が多い。図38（a）のようにB表

10

20

30

40

50

示領域 193B を他の色の表示領域 193 よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。また、R、G、B 表示領域 193 の面積を変化させることにより、ホワイトバランス調整、色温度調整を容易に実現できる。

【0458】

図 38 (b) は、1 フィールド (フレーム) 期間で、B 表示期間 193B が複数 (193B1、193B2) となるようにした実施例である。図 38 (a) は 1 つの B 表示領域 193B を変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図 38 (b) は、同一面積の B 表示領域 193B を複数表示させることにより、ホワイトバランス調整 (補正) を良好にする。また、色温度補正 (調整) を良好にする。たとえば、屋外と屋内で色温度を変化させることは有効である。たとえば、屋内では、色温度を低下させ、屋外では色温度を高くする。

10

【0459】

本発明の駆動方式は図 37、図 38 のいずれに限定するものではない。R、G、B の表示領域 193 を発生し、また、間欠表示する。結果として動画ボケを対策し、画素 16 への書き込み不足を改善する。

【0460】

図 23 の駆動方法では、R、G、B が独立の表示領域 193 は発生しない。RGB が同時に表示される (W 表示領域 193 が表示されると表現すべきである)。

【0461】

図 38 (a) と図 38 (b) とは組み合わせてもよいことはいうまでもない。たとえば、図 38 (a) の RGB の表示面積 193 を変化し、かつ図 38 (b) の RGB の表示領域 193 を複数発生させる駆動方法の実施である。

20

【0462】

図 37 から図 38 の駆動方式は、図 22 のように、RGB ごとに EL 素子 15 (EL 素子 15R、EL 素子 15G、EL 素子 15B) に流れる電流を制御できる構成であれば、図 37、図 38 の駆動方式を容易に実施できることは言うまでもないであろう。

【0463】

図 22 の表示パネルの構成において、ゲート信号線 17bR にオンオフ電圧を印加することにより、R 画素 16R をオンオフ制御することができる。ゲート信号線 17bG にオンオフ電圧を印加することにより、G 画素 16G をオンオフ制御することができる。ゲート信号線 17bB にオンオフ電圧を印加することにより、B 画素 16B をオンオフ制御することができる。

30

【0464】

また、以上の駆動を実現するためには、図 39 に図示するように、ゲート信号線 17bR を制御するゲートドライバ回路 12bR、ゲート信号線 17bG を制御するゲートドライバ回路 12bG、ゲート信号線 17bB を制御するゲートドライバ回路 12bB を形成または配置すればよい。

【0465】

図 39 のゲートドライバ回路 12bR、12bG、12bB を、図 19、図 20 などで説明した方法で駆動することにより、図 37、図 38 の駆動方法を実現できる。もちろん、図 39 の表示パネルの構成で、図 23 の駆動方法なども実現できることは言うまでもない。

40

【0466】

図 20、図 24、図 26、図 27 などでは、ゲート信号線 17b (EL 側選択信号線) は 1 水平走査期間 (1H) を単位として、オン電圧 (V_{gl})、オフ電圧 (V_{gh}) を印加するとして説明をした。しかし、EL 素子 15 の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は 1H 単位に限定する必要はない。なお、以下の事項はゲート信号線 17a (17a1、17a2) にも適用される。

【0467】

アウトプットイネーブル (OE V) の概念を説明する。OE V 制御を行うことにより、

50

1 水平走査期間（1 H）以内のゲート信号線 17 a、17 b にオンオフ電圧（V_{gl} 電圧、V_{gh} 電圧）を画素 16 に印加できるようになる。

【0468】

説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線 17 a（図 1 の場合）であるとして説明をする。また、ゲート信号線 17 a を制御するゲートドライバ回路 12 a の出力を WR 側選択信号線と呼ぶ。EL 素子 15 を選択するゲート信号線 17 b（図 1 の場合）であるとして説明をする。また、ゲート信号線 17 b を制御するゲートドライバ回路 12 b の出力を EL 側選択信号線と呼ぶ。

【0469】

ゲートドライバ回路 12 は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路 12 a のシフトレジスタ内の保持データにより、WR 側選択信号線に出力される電圧がオン電圧（V_{gl}）か、オフ電圧（V_{gh}）か、が決定される。さらに、ゲートドライバ回路 12 a の出力段には、強制的に出力をオフにする OEV1 回路（図示せず）が形成または配置されている。OEV1 回路が L レベルの時には、ゲートドライバ回路 12 a の出力である WR 側選択信号をそのままゲート信号線 17 a に出力する。

【0470】

以上の関係をロジック的に図示すれば、OR 回路の関係となる（図 40（b）を参照のこと）。なお、オン電圧をロジックレベルの L（0）とし、オフ電圧をロジック電圧の H（1）としている。ゲートドライバ回路 12 a がオフ電圧を出力している場合は、ゲート信号線 17 a にオフ電圧が印加される。ゲートドライバ回路 12 a がオン電圧（ロジックでは L レベル）を出力している場合は、OR 回路で OEV1 回路の出力と OR が取られてゲート信号線 17 a に出力される。OEV1 回路は、H レベルの時、ゲートドライバ信号線 17 a に出力する電圧をオフ電圧（V_{gh}）にする（図 40（a）のタイミングチャートの例を参照のこと）。

【0471】

ゲートドライバ回路 12 b のシフトレジスタ内の保持データにより、ゲート信号線 17 b（EL 側選択信号線）に出力される電圧がオン電圧（V_{gl}）かオフ電圧（V_{gh}）かが決定される。さらに、ゲートドライバ回路 12 b の出力段には、強制的に出力をオフにする OEV2 回路（図示せず）が形成または配置されている。

【0472】

OEV2 回路が L レベルの時には、ゲートドライバ回路 12 b の出力をそのままゲート信号線 17 b に出力する。以上の関係をロジック的に図示すれば、図 40（a）の関係となる。なお、オン電圧をロジックレベルの L（0）とし、オフ電圧をロジック電圧の H（1）としている。

【0473】

ゲートドライバ回路 12 b がオフ電圧を出力している場合（EL 側選択信号はオフ電圧）は、ゲート信号線 17 b にオフ電圧が印加される。ゲートドライバ回路 12 b がオン電圧（ロジックでは L レベル）を出力している場合は、OR 回路で OEV2 回路の出力と OR が取られてゲート信号線 17 b に出力される。つまり、OEV2 回路は、入力信号が H レベルの時、ゲートドライバ信号線 17 b に出力する電圧をオフ電圧（V_{gh}）にする。したがって、OEV2 回路のより EL 側選択信号がオン電圧出力状態であっても、強制的にゲート信号線 17 b に出力される信号はオフ電圧（V_{gh}）になる。なお、OEV2 回路の入力が L であれば、EL 側選択信号がスルーでゲート信号線 17 b に出力される（図 40（a）のタイミングチャートの例を参照のこと）。

【0474】

ゲート信号線 17 b（EL 側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面 144 の輝度をリニアに調整することができる。これは OEV2 回路を制御することにより容易に実現できる。たとえば、図 41 では、図 41（a）よりも図 41（b）の方が表示輝度は低くなる。また、図 41（b）よりも図 41（c）の方が表示輝

度は低くなる。

【0475】

また、図42に図示するように、1H期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図42(a)は6回設けた実施例である。図42(b)は3回設けた実施例である。図42(c)は1回設けた実施例である。図42では、図42(a)よりも図42(b)の方が表示輝度は低くなる。また、図42(b)よりも図42(c)の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整(制御)できる。

【0476】

以後、本発明の電流駆動方式のソースドライバ回路(IC)14について説明をする。本発明のソースドライバICは、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。

10

【0477】

図608は、1/4 Duty比駆動である。4H期間に1H期間の間、ゲート信号線17b(EL側選択信号線)にオン電圧が印加され、水平同期信号(HD)に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は1H単位である。

【0478】

しかし、本発明はこれに限定するものではなく、図611に図示するように1H未満(図611は1/2H)としてもよく、また、1H以下としてもよい。つまり、1H単位に限定されるものではなく、1H単位以外の発生も容易である。ゲートドライバ回路12b(ゲート信号線17bを制御する回路である)の出力段に形成または配置されたOEV2回路を用いればよい。OEV2回路は先に説明したOEV1回路と同様であるので説明を省略する。

20

【0479】

図609は、ゲート信号線17b(EL側選択信号線)のオン時間は1Hを単位としていない。奇数画素行のゲート信号線17b(EL側選択信号線)は1H弱の期間オン電圧が印加される。偶数画素行のゲート信号線17b(EL側選択信号線)は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線17b(EL側選択信号線)に印加されるオン電圧時間T1と偶数画素行のゲート信号線17b(EL側選択信号線)に印加されるオン電圧時間T2を加えた時間を1H期間となるようにしている。図609を第1フィールドの状態とする。

30

【0480】

第1フィールドの次の第2フィールドでは、偶数画素行のゲート信号線17b(EL側選択信号線)は1H弱の期間オン電圧が印加される。奇数画素行のゲート信号線17b(EL側選択信号線)は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線17b(EL側選択信号線)に印加されるオン電圧時間T1と奇数画素行のゲート信号線17b(EL側選択信号線)に印加されるオン電圧時間T2を加えた時間を1H期間となるようにしている。

【0481】

以上のように、複数画素行でのゲート信号線17b(EL側選択信号線)に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行のEL素子15の点灯時間を一定となるように構成してもよい。

40

【0482】

図610は、ゲート信号線17b(EL側選択信号線)のオン時間を1.5Hをしている。また、A点におけるゲート信号線17b(EL側選択信号線)の立ち上りと立下りが重なるようにしている。ゲート信号線17b(EL側選択信号線)とソース信号線18とはカップリングしている。そのため、ゲート信号線17b(EL側選択信号線)の波形が変化すると波形の変化がソース信号線18に突き抜ける。この突き抜けによりソース信号線18に電位変動が発生すると電流(電圧)プログラムの精度が低下し、駆動用トランジスタ11aの特性ムラが表示されるようになる。

50

【0483】

図610において、A点において、ゲート信号線17b（EL側選択信号線）（1）はオン電圧（V_{g1}）印加状態からオフ電圧（V_{gh}）印加状態に変化する。ゲート信号線17b（EL側選択信号線）（2）はオフ電圧（V_{gh}）印加状態からオン電圧（V_{g1}）印加状態に変化する。したがって、A点では、ゲート信号線17b（EL側選択信号線）（1）の信号波形とゲート信号線17b（EL側選択信号線）（2）の信号波形が打ち消しあう。したがって、ソース信号線18とゲート信号線17b（EL側選択信号線）とがカップリングしていても、ゲート信号線17b（EL側選択信号線）の波形変化がソース信号線18に突き抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。

10

【0484】

なお、図610は、オン時間が1.5Hの実施例であった。しかし、本発明はこれに限定するものではなく、図612に図示するように、オン電圧の印加時間を1H以下としてもよいことは言うまでもない。

【0485】

なお、本発明の実施例では、ソースドライバ回路は、ICチップとして説明をするがこれに限定するものではなく、高温ポリシリコン技術、低温ポリシリコン技術、CGS技術、アモルファスシリコン技術などを用いて、表示パネルの基板30上に直接に作製してもよいことは言うまでもない。また、シリコンウエハなどに形成したソースドライバ回路（IC）14を基板30に転写してもよい。

20

【0486】

図43はソースドライバ回路（IC）14の1出力段の構造図である。つまり、1つのソース信号線18に接続される出力部である。複数の同一サイズの単位トランジスタ154（1単位）で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。図43は一例として64階調表示の実施例である。1出力段に相当するトランジスタ群431cには、単位トランジスタ154は63個で構成されている。

【0487】

本発明のソースドライバ回路（IC）14を構成するトランジスタあるいはトランジスタ群は、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。ゲルマニウム半導体でもよい。また、低温ポリシリコン技術、高温ポリシリコン技術、CGS技術で形成または構成したものであってもよい。

30

【0488】

図43は本発明の1実施例として、6ビットのデジタル入力の場合を図示している。つまり、2の6乗であるから、64階調表示である。このソースドライバIC14をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各64階調であるから、 $4 \times 64 \times 64 = \text{約 } 26 \text{ 万色}$ を表示できることになる。

【0489】

64階調の場合は、D0ビットの単位トランジスタ154は1個、D1ビットの単位トランジスタ154は2個、D2ビットの単位トランジスタ154は4個、D3ビットの単位トランジスタ154は8個、D4ビットの単位トランジスタ154は16個、D5ビットの単位トランジスタ154は32個であるから、計単位トランジスタ154は63個である。つまり、本発明は階調の表現数（この実施例の場合は、64階調）－1個の単位トランジスタ154を1出力と構成（形成）する。

40

【0490】

単位トランジスタ1個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが、複数のサブ単位トランジスタに分割されているだけである。たとえば、1つの単位トランジスタ154が、4つのサブ単位トランジスタで構成される場合が例示される。したがって、本発明が、階調の表現数－1個の単位トランジスタで構成されていることには差異はない。

50

【0491】

また、図43において、D5ビット目の単位トランジスタ154の32個は、密集させて配置（形成）しているように図示しているが、本発明はこれに限定するのではない。たとえば、8個の単位トランジスタ154の群（つまり、8個のトランジスタの集まりが4組）に分割し、分割されたトランジスタ群を分散させて配置（構成）してもよい。この方が、出力電流のバラツキが低減する。

【0492】

図43において、D0はLSB入力を示しており、D5はMSB入力を示している。D0入力端子にHレベル（正論理時）の時、スイッチ151a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する単位トランジスタ154に向かって電流が流れる。この電流はIC14内の内部配線153に流れる。この内部配線153はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線153に流れる電流が画素16のプログラム電流となる。

【0493】

たとえば、D1入力端子にHレベル（正論理時）の時、スイッチ151がオンする。すると、カレントミラーを構成する2つの単位トランジスタ154に向かって電流が流れる。この電流はIC14内の内部配線153に流れる。この内部配線153はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線153に流れる電流が画素16のプログラム電流となる。

【0494】

他のスイッチ151でも同様である。D2入力端子にHレベル（正論理時）の時は、スイッチ151cがオンする。すると、カレントミラーを構成する4つの単位トランジスタ154に向かって電流が流れる。D5入力端子にHレベル（正論理時）の時は、スイッチ151fがオンする。すると、カレントミラーを構成する32つの単位トランジスタ154に向かって電流が流れる。

【0495】

以上のように、外部からのデータ（D0～D5）に応じて、それに対応する単位トランジスタに向かって電流が流れる。したがって、データに応じて、0個から63個に単位トランジスタに電流が流れるように構成されている。

【0496】

なお、本発明は説明を容易にするため、電流源は6ビットの63個としているが、これに限定するものではない。8ビットの場合は、255個の単位トランジスタ154を形成（配置）すればよい。また、4ビットの時は、15個の単位トランジスタ154を形成（配置）すればよい。もちろん、8ビットの場合は、 255×2 個の単位トランジスタ154を形成（配置）してもよい。1つの単位トランジスタ154が2個で1単位電流を出力する。単位電流源を構成する単位トランジスタ154は同一のチャンネル幅W、チャンネル幅Lとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【0497】

単位トランジスタ154はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ154を重み付けしてもよい。たとえば、1単位の単位トランジスタ154と、2倍の単位トランジスタ154と、4倍の単位トランジスタ154などを混在させて電流出力回路を構成してもよい。

【0498】

しかし、単位トランジスタ154を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【0499】

6ビットの画像データD0、D1、D2、・・・、D5で制御されるスイッチを介してプログラム電流I_wはソース信号線に出力される（電流を引き込む）。したがって、6ビットの画像データD0、D1、D2、・・・、D5のON、OFFに応じて、出力線には、1倍、2倍、4倍、・・・、32倍の電流が加算されて出力される。すなわち、6ビットの画像データD0、D1、D2、・・・、D5により、出力線153よりプログラム電流が出力される（ソース信号線18から電流を引き込む。）。

【0500】

EL表示パネルで、フルカラー表示を実現するためには、RGBのそれぞれに基準電流を形成（作成）する必要がある。RGBの基準電流の比率でホワイトバランスを調整できる。基準電流は、単位トランジスタ154が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ154が流す電流を決定することができる。そのため、R、G、Bのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路（IC）14が電流きざみ出力（電流駆動）であることから発揮される効果である。

【0501】

トランジスタ群431c内の単位トランジスタ154のゲート端子（G）は共通のゲート配線153と接続されている。また、単位トランジスタ154のソース端子（S）は共通の内部配線150に接続され、内部配線150の一端に端子155が構成されている。単位トランジスタ154のドレイン端子（D）はグランド電位（GND）に接地されている。

【0502】

1つのトランジスタ群431cは1本のソース信号線18に対応して構成（形成）されている。また、図47に図示するように、単位トランジスタ154は、トランジスタ158b1または158b2と、カレントミラー回路を構成している。トランジスタ158bには基準電流I_cが流れ、この基準電流I_cのより単位トランジスタ154の出力電流が決定される。

【0503】

図47に図示するように、トランジスタ158bのゲート端子（G）と単位トランジスタのゲート端子（G）とは共通のゲート配線153で接続されている。そのため、トランジスタ158bと各トランジスタ群431cとはカレントミラー回路を構成している。

【0504】

図47に図示するように、トランジスタ群431cの両側にトランジスタ158b1とトランジスタ158b2を配置することにより、ゲート配線153の電位勾配が小さくなる。したがって、左右のトランジスタ群（431c1、431cn）の出力電流の大きさが等しくなる（ただし、同一階調の時とする）。また、基準電流I_{c1}とI_{c2}の大きさを調整することにより、ゲート配線153の電位勾配を変化させることができる。基準電流I_{c1}、I_{c2}の大きさを調整することにより、左右のトランジスタ群（431c1、431cn）の出力電流の大きさを調整できる。

【0505】

図47ではトランジスタ群431cとトランジスタ158bがカレントミラー回路を構成するとした。しかし、実際には、トランジスタ158bは複数のトランジスタから構成されている。つまり、複数のトランジスタ158bによるトランジスタ群431bと、トランジスタ群431cがカレントミラー回路を構成している。つまり、複数のトランジスタ158bのゲート端子と複数の単位トランジスタ154のゲート端子が共通のゲート配線153で結線されている。

【0506】

図48はトランジスタ群431bのトランジスタ483bの配置構成である。1つのトランジスタ群431bには、トランジスタ群431cの単位トランジスタ154と同一数の63個のトランジスタ158bが形成されている。

10

20

30

40

50

【0507】

もちろん、1つのトランジスタ群431b内のトランジスタ158bの個数は63個に限定するものではない。単位トランジスタ群431cの単位トランジスタ154数が階調数-1で構成される場合は、トランジスタ群431b内のトランジスタ158bの個数も階調数-1あるいはこれと同様もしくは類似個数が形成される。また、図48の構成に限定されるものではなく、図49のようにマトリックス状に形成または配置してもよい。

【0508】

以上の構成を、図44に模式的に示す。単位トランジスタ群431cが出力端子数分、並列に配置される。単位トランジスタ群431cの両脇にトランジスタ群431bが複数ブロック形成されている。トランジスタ群431bのトランジスタ158bのゲート端子と、単位トランジスタ群431cの単位トランジスタ154のゲート端子とはゲート配線153で接続される。

10

【0509】

以上の説明は、説明を容易にするため、単色のソースドライバIC14のように説明した。本来は、図45のように構成される。つまり、トランジスタ群431bおよび単位トランジスタ群431cは赤(R)、緑(G)、青(B)のトランジスタ群が交互に配置される。図45において、添え字Rが付加されたトランジスタ群は赤(R)用を示しており、添え字Gが付加されたトランジスタ群は緑(G)用を示しており、添え字Bが付加されたトランジスタ群は青(B)用を示している。以上のように、RGB用のトランジスタ群を交互に配置することによりRGB間の出力バラツキが低減する。この構成もソースドライバ回路(IC)14内のレイアウトとして重要な要件である。

20

【0510】

図47では、各トランジスタ群431c1と431cnの両側にトランジスタ158b(158b1、158b2)が形成または配置されている。本発明はこれに限定するものではない。図46に図示するようにトランジスタ158bは片側であってもよい。

【0511】

図46では、基準電流を流すトランジスタ群431b(トランジスタ158b)は、ICチップの外側近傍に配置している。トランジスタ158bは1つではなく、複数個が形成されトランジスタ群を構成する。ここでは説明を容易にするため、トランジスタ群431bはトランジスタ158bとして説明をする。この事項は本発明の他の実施例においても同様である。

30

【0512】

図46はトランジスタ158bをICチップの外側(チップの端)に形成した。しかし、本発明はこれに限定するものではない。たとえば、図554に図示するようにゲート配線153の中央部などにトランジスタ158b3を形成または配置してもよい。ゲート配線153の安定度が増加し、横クロストークなどの発生がない。したがって、ゲート配線153には複数の基準電流を流すトランジスタ158bを形成することも好ましい。また、ゲート配線153は低抵抗化することにより安定度が向上することは言うまでもない。

【0513】

図62で説明したように、コンデンサ19をゲート配線153に接続することにより、ゲート配線153の電位が安定する。コンデンサ19はソースドライバICチップ14の端子に外付け接続すればよい。また、ソースドライバ回路(IC)14が低温ポリシリコン技術などで基板30に直接に形成されたものであっても、コンデンサ19を形成することによりゲート配線153の安定性がよくなることは言うまでもない。

40

【0514】

図555において、ソースドライバIC14aは基準電流を流すトランジスタ158b2が右端に構成されており、左端はオープン状態となっている。したがって、基準電流Ic2はトランジスタ158b2に流れる(ゲート配線153aには単位トランジスタ154のゲート端子に流れ込む電流のみが流れる)。なお、基準電流Ic1とIc2は等しいとして説明をする。出力端子155a1はカレントミラー回路を構成するトランジスタ1

50

58b2とカレントミラー精度がよい電流が出力される。

【0515】

ソースドライバIC14bは基準電流を流すトランジスタ158b1が左端に構成されており、右端はオープン状態となっている。したがって、基準電流Ic1はトランジスタ158b1に流れる（ゲート配線153bには単位トランジスタ154のゲート端子に流れ込む電流のみが流れる）。出力端子155a2はカレントミラー回路を構成するトランジスタ158b1とカレントミラー精度がよい電流が出力される。したがって、基準電流Ic1とIc2が等しいとすると、ソースドライバIC14aの出力端子155a1から出力される階調電流と、ソースドライバIC14bの出力端子155a2から出力される階調電流とは同一となる。以上の理由により2つのソースドライバIC14aとソースドライバIC14bとは良好にスケード接続される。

10

【0516】

図555ではソースドライバIC14aの右端の端子155a3から出力される階調電流（プログラム電流）と、ソースドライバIC14aの左端の端子155a1から出力される階調電流（プログラム電流）とは一致するとはかぎらない。ICチップ14a内の単位トランジスタ154の特性のより変化するからである。

【0517】

また、ソースドライバIC14bの右端の端子155a2から出力される階調電流と、ソースドライバIC14bの左端の端子155a3から出力される階調電流とは一致するとはかぎらない。ICチップ14b内の単位トランジスタ154の特性のより変化するからである。しかし、カスケードするソースドライバIC14は2チップであるから、ソースドライバIC14aの出力端子155a1からの階調電流と、ソースドライバIC14bの出力端子155a2からの階調電流とが一致していれば問題はない。したがって、ゲート配線153は低抵抗の配線で形成してもよい。

20

【0518】

図555の構成を実現するためには、ICチップ14aのゲート配線153の両端に位置するトランジスタ158bの一方をオープン状態（トランジスタ158bに電流が流れない状態）にする必要がある。つまり、図556のように構成する必要がある。図556において、ソースドライバIC14aのトランジスタ158b1はゲート端子以外がオープンにされている。したがって、ゲート配線153aからトランジスタ158b1に流れ込む電流はない。また、ソースドライバIC14bのトランジスタ158b2はゲート端子以外がオープンにされている。したがって、ゲート配線153bからトランジスタ158b2に流れ込む電流はない。

30

【0519】

図557は本発明の他の実施例である。ゲート配線153に電流が流れるとトランジスタ158bに流れる電流が正規の値から変化し、階調出力電流に誤差が発生する。ゲート配線153に電流が流れるのは、ICチップの左右で特性差が発生（特にVt）し、トランジスタ158b1とトランジスタ158b2のゲート端子電圧が異なるからである。

【0520】

ゲート端子電圧が異なることによる影響を抑制するために、本発明では、図557に図示するように、トランジスタ158b1に基準電流Ic1を流す状態（図557（a）を参照のこと。トランジスタ158b2には電流を流さない）と、トランジスタ158b2に基準電流Ic2を流す状態（図557（b）を参照のこと。トランジスタ158b1には電流を流さない）を交互に行う。

40

【0521】

図556に図示するように、図557（a）では、トランジスタ158b2のドレイン端子もオープンにすることが好ましい。また、図557（b）では、トランジスタ158b1のドレイン端子もオープンにすることが好ましい。

【0522】

1 水平走査期間に図557（a）の状態と図557（b）の状態とを行う。図557（

50

a)の状態と図557(b)の状態とは同一期間となるようにする。図557(a)では、スイッチ5571aと5571cをクローズさせ、基準電流 I_{c1} をトランジスタ158b1に流す。この時、スイッチ5571bと5571dはオープン状態にする。したがって、トランジスタ158b2には電流が流れない。以上の状態により、トランジスタ群431cはトランジスタ158b1とカレントミラー回路を構成し、駆動される。

【0523】

次の $1/2H$ (水平走査期間の半分)期間(図557(b))では、スイッチ5571bと5571dをクローズさせ、基準電流 I_{c2} をトランジスタ158b2に流す。この時、スイッチ5571aと5571cはオープン状態にする。したがって、トランジスタ158b1には電流が流れない。以上の状態により、トランジスタ群431cはトランジスタ158b2とカレントミラー回路を構成し、駆動される。

【0524】

図557(a)と図557(b)とを交互に繰り返すことにより、トランジスタ群431cとトランジスタ158b1とカレントミラー回路を作る期間と、トランジスタ群431cとトランジスタ158b2とカレントミラー回路を作る期間とが交互に繰り返される。したがって、ICチップ14の左右に特性ムラが発生していても抑制することができる。

【0525】

なお、以上の実施例では1水平走査期間に図557(a)と図557(b)の状態とを行うとしたがこれに限定するものではなく、1水平走査期間以上あるいは以下であっても良い。

【0526】

基準電流 I_c は図50に図示するように、電子ポリウム501とオペアンプ502などで発生させることが好ましい。電子ポリウム501とオペアンプ502などはソースドライバIC14に内蔵させる。電子ポリウム501の内部にはラダー抵抗 R が構成(形成)されており、ラダー抵抗 R は基準電圧 V_s (もしくはIC電源電圧)を分割している。

【0527】

ラダー抵抗で分圧された電圧は、スイッチ S で選択され、オペアンプ502の正極性端子に印加される。印加された電圧とソースドライバIC14の外付け抵抗 R_1 により、基準電流 I_c が発生する。抵抗 R_1 を外付けすることにより R_1 の値により、容易に基準電流の値を調整でき、また、RGB回路の外付け抵抗を調整することにより容易にホワイトバランスを取ることができる。

【0528】

なお、本発明の実施例において、オペアンプ502は増幅回路などのアナログ処理回路として用いる場合もあるが、バッファとして使用する場合もある。また、コンパレータとして説明する場合もある。

【0529】

図50の構成では電子ポリウム501aと電子ポリウム501bを独立に動作させることができる。したがって、トランジスタ158a1とトランジスタ158a2とが流す電流の値を変更することができる。したがって、チップの左右のトランジスタ158b(158b1、158b2)に流す電流を調整でき、ゲート配線153の電位傾きを調整可能である。

【0530】

単位トランジスタ154を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。単位トランジスタ154の大きさとは、チャンネル長 L とチャンネル幅 W をかけたサイズをいう。たとえば、チャンネル幅 $W=3\mu m$ 、チャンネル長 $L=4\mu m$ であれば、1つの単位電流源を構成する単位トランジスタ154のサイズは、 $W \times L=12$ 平方 μm である。

【0531】

トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶

10

20

30

40

50

界面の状態が影響しているためと考えられる。したがって、1つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

【0532】

図44、図48において、トランジスタ群431bのトランジスタ158bの総面積（トランジスタ群431bの個数×トランジスタ群431b内のトランジスタ158bのWLサイズ×トランジスタ158b数）を S_b とする。トランジスタ群431bが1個のトランジスタ158bで構成される場合は、 S_b は、トランジスタ群431bの個数×トランジスタ158bのWLサイズであることは言うまでもない。以上のように、トランジスタ158bの総面積を S_b とする。

【0533】

トランジスタ群431cの単位トランジスタ154の総面積（トランジスタ群431c内の単位トランジスタ154のWLサイズ×単位トランジスタ154数）を S_c （平方 μm ）とする。トランジスタ群431cの個数を n （ n は整数）とする。 n はQCI F+パネルの場合は176である（RGBごとに基準電流回路が形成されている場合）。したがって、 $n \times S_c$ （平方 μm ）は、トランジスタ群431bのトランジスタ158bとカレントミラー回路を形成する（トランジスタ158bとゲート配線153を共通にする）単位トランジスタ154の総面積である。

【0534】

$S_c \times n / S_b$ が大きくなるにしたがって、ゲート配線153の揺れが大きくなる。 $S_c \times n / S_b$ が大きくなることは、出力端子数 n を一定とすると、トランジスタ群431cの単位トランジスタ154総面積が、トランジスタ群431bのトランジスタ158b総面積に対して大きくなることを示す。ゲート配線153の揺れが大きくなる。大きくなるにつれ、ゲート配線153の揺れが大きくなる。

【0535】

$S_c \times n / S_b$ が小さくなることは、出力端子数 n を一定とすると、トランジスタ群431cの単位トランジスタ154総面積が、トランジスタ群431bのトランジスタ158b総面積に対して狭いことを示す。この場合はゲート配線153の揺れが小さくなる。

【0536】

ゲート配線153の揺れの許容範囲は、 $S_c \times n / S_b$ が50以下である。 $S_c \times n / S_b$ が50以下であれば、変動比率は許容範囲内であり、ゲート配線153の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。

【0537】

図67はIC耐圧を単位トランジスタ154の出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、1.8（V）耐圧プロセスで作製して単位トランジスタ154のバラツキを1としている。

【0538】

図67は単位トランジスタ154の形状 L/W を $12(\mu\text{m})/6(\mu\text{m})$ とし、各耐圧プロセスで製造した単位トランジスタ154の出力バラツキを示している。また、各IC耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、1.8（V）耐圧、2.5（V）耐圧、3.3（V）耐圧、5（V）耐圧、8（V）耐圧、10（V）耐圧、15（V）耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

【0539】

耐圧と出力バラツキに相関があるのは、トランジスタのゲート絶縁膜と関係しているためと推定される。耐圧が高い場合は、ゲート絶縁膜が厚い。ゲート絶縁膜が厚いとモビリティも低くなり、膜厚に対するバラツキも大きくなる。

【0540】

図67からIC耐圧が13（V）程度までは、ICプロセスに対するバラツキ比率（単

10

20

30

40

50

位トランジスタ154の出力電流バラツキ)の増加割合は小さい。しかし、IC耐圧が15(V)以上になるとIC耐圧に対するバラツキ比率の傾きが大きくなる。

【0541】

図67におけるバラツキ比率は3以内が、64階調から256階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ154の面積、 L/W により異なる。しかし、単位トランジスタ154の形状などを変化させても、IC耐圧に対するバラツキ比率の変化傾向はほとんど差がない。IC耐圧13~15(V)以上でバラツキ比率が大きくなる傾向がある。

【0542】

一方、ソースドライバ回路(IC)14の出力端子155の電位は、画素16の駆動用トランジスタ11aのプログラム電流により変化する。画素16の駆動用トランジスタ11aが白ラスタ(最大白表示)の電流を流す時のゲート端子電位 V_w とする。画素16の駆動用トランジスタ11aが黒ラスタ(完全黒表示)の電流を流す時のゲート端子電位 V_b とする。 $V_w - V_b$ の絶対値は2(V)以上必要である。また、 V_w 電圧が出力端子155に印加されている時、単位トランジスタ154のチャンネル間電圧は、0.5(V)必要である。

【0543】

したがって、出力端子155(端子155はソース信号線18と接続され、電流プログラム時、画素16の駆動用トランジスタ11aのゲート端子電圧が印加される)には、0.5(V)から $(V_w - V_b) + 0.5$ (V)の電圧が印加される。 $V_w - V_b$ は2(V)であるから、端子155は最大 $2(V) + 0.5(V) = 2.5(V)$ 印加される。したがって、ソースドライバIC14の出力電圧(電流)がrail-to-rail出力であっても、IC耐圧としては2.5(V)必要である。出力端子155の振幅必要範囲は、2.5(V)以上必要である。

【0544】

以上のことから、ソースドライバIC14の耐圧は、2.5(V)以上15(V)以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバIC14の耐圧は、3(V)以上12(V)以下のプロセスを使用することが好ましい。さらに好ましくは、駆動用トランジスタ11aの振幅値を比較的大きくし、プログラム電流に対するトランジスタ11aのゲート端子電圧変化を大きくし、プログラム精度を向上させるという観点から、最低耐圧は4.5(V)以上にすることが好ましい。IC耐圧とは、使用できる電源電圧の最大値と同等である。なお、使用できる電源電圧とは、常時使用できる電圧であり、瞬時耐圧ではない。

【0545】

以上の説明は、ソースドライバIC12の使用耐圧プロセスは、2.5(V)以上13(V)以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板30に直接にソースドライバ回路(IC)14が形成された実施例(低温ポリシリコンプロセスなど)にも適用される。アレイ基板30に形成されたソースドライバ回路(IC)14の使用耐圧は15(V)以上と高い場合がある。この場合は、ソースドライバ回路(IC)14に使用する電源電圧を図67に図示するIC耐圧に置き換えてもよい。また、ソースドライバIC14であっても、IC耐圧とせず、使用する電源電圧に置き換えても良い。

【0546】

単位トランジスタ154に一定のトランジスタサイズが必要な理由は、ウエハにモビリティの特性分布があるからである。

【0547】

単位トランジスタ154のチャンネル幅 W は、出力電流のバラツキと相関がある。図51は単位トランジスタ154の面積を一定とし、単位トランジスタ154のトランジスタ幅 W を変化させた時のグラフである。図51は単位トランジスタ154のチャンネル幅 $W = 2(\mu m)$ のバラツキを1としている。

【0548】

10

20

30

40

50

図 5 1 で示すようにバラツキ比率は、単位トランジスタの W が 2 (μm) から 9 ~ 10 (μm) まで緩やかに増加し、10 (μm) 以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅 W = 2 (μm) 以下でバラツキ比率が増加する傾向がある。図 5 1 におけるバラツキ比率は 3 以内が、64 階調から 256 階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ 154 の面積により異なる。しかし、単位トランジスタ 154 の面積を変化させても、IC 耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

【0549】

以上のことから、単位トランジスタ 154 のチャンネル幅 W は 2 (μm) 以上 10 (μm) 以下とすることが好ましい。さらに好ましくは、単位トランジスタ 154 のチャンネル幅 W は 2 (μm) 以上 9 (μm) 以下とすることが好ましい。また、単位トランジスタ 154 のチャンネル幅 W は図 5 2 のゲート配線 153 のリンキング抑制対策からも上記範囲で形成することが好ましい。

【0550】

図 5 3 は単位トランジスタ 154 の L / W と目標値からのずれ (ばらつき) のグラフである。単位トランジスタ 154 の L / W 比が 2 以下では、目標値からのずれが大きい (直線の傾きが大きい)。しかし、L / W が大きくなるにつれて、目標値からのずれが小さくなる傾向にある。単位トランジスタ 154 の L / W が 2 以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ (ばらつき) は L / W = 2 以上で、0.5 % 以下となる。したがって、トランジスタの精度としてソースドライバ回路 (IC) 14 に採用できる。

【0551】

以上のことから、単位トランジスタ 154 の L / W は 2 以上にすることが好ましい。しかし、L / W が大きいということは L が長くなることを意味しているからトランジスタサイズが大きくなる。したがって、L / W は 40 以下にすることが好ましい。さらに好ましくは、L / W は 3 以上 12 以下にすることが好ましい。

【0552】

L / W が比較的大きな値の時に、出力バラツキが小さくなるのは、該当単位トランジスタ 154 のゲート電圧が高くなり、ゲート電圧の変動に対する出力電流変化が小さくなるためと思われる。

【0553】

また、L / W の大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ 154 の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ 154 の出力電流が少しでもばらつくと階調数が低減する。

【0554】

以上のことを勘案し、本発明のドライバ回路 14 は、階調数を K とし、単位トランジスタ 154 の L / W (L は単位トランジスタ 154 のチャンネル長、W は単位トランジスタのチャンネル幅) とした時、

$$(\sqrt{(K/16)}) \leq L/W \leq (\sqrt{(K/16)}) \times 20$$

の関係を満足させるように構成 (形成) している。

【0555】

一例として 64 階調を表現するためには、63 個の単位トランジスタ 154 をトランジスタ群 431c に配置するとしたが、本発明はこれに限定されるものではない。単位トランジスタ 154 は、さらに複数のサブトランジスタで構成してもよい。

【0556】

図 5 47 (a) は、単位トランジスタ 154 である。図 5 47 (b) は 4 つのサブトランジスタ 5471 で、単位トランジスタ 154 を構成している。複数のサブトランジスタ 5471 を加算した出力電流は、単位トランジスタ 154 と同一となるようにする。つま

り、単位トランジスタ 1 5 4 を 4 つのサブトランジスタ 5 4 7 1 で構成している。

【0 5 5 7】

なお、本発明は単位トランジスタ 1 5 4 を 4 つのサブトランジスタ 5 4 7 1 で構成することに限定するものではなく、単位トランジスタ 1 5 4 を複数のサブトランジスタ 5 4 7 1 で構成すればいずれの構成でもよい。ただし、サブトランジスタ 5 4 7 1 は同一のサイズまたは同一の出力電流を出力するように構成する。

【0 5 5 8】

図 5 4 7 において、S はトランジスタのソース端子、G はトランジスタのゲート端子、D はトランジスタのドレイン端子を示している。図 5 4 7 (b) において、サブトランジスタ 5 4 7 1 は同一方向に配置している。図 5 4 7 (c) はサブトランジスタ 5 4 7 1 が行方向に異なる方向に配置している。また、図 5 4 7 (d) はサブトランジスタ 5 4 7 1 が列方向に異なる方向に配置し、かつ点対称となるように配置している。図 5 4 7 (b)、図 5 4 7 (c)、図 5 4 7 (d) はいずれも規則性がある。

10

【0 5 5 9】

図 5 4 7 (a) (b) (c) (d) はレイアウトであるが、サブトランジスタ 5 4 7 1 は図 5 4 7 (e) に図示するように直列に接続して単位トランジスタ 1 5 4 としてもよい。また、図 5 4 7 (f) に図示するように並列に接続して単位トランジスタ 1 5 4 としてもよい。

【0 5 6 0】

単位トランジスタ 1 5 4 あるいはサブトランジスタ 5 4 7 1 の形成方向を変化させると特性は異なることが多い。たとえば、図 5 4 7 (c) において、単位トランジスタ 1 5 4 a とサブトランジスタ 5 4 7 1 b とは、ゲート端子に印加された電圧が同一でも、出力電流は異なる。しかし、図 5 4 7 (c) では、異なる特性のサブトランジスタ 5 4 7 1 が同数ずつ形成されている。したがって、トランジスタ (単位) としてはバラツキが少なくなる。また、形成方向が異なる単位トランジスタ 1 5 4 あるいはサブトランジスタ 5 4 7 1 の方向を変化させることにより、特性差が補間しあって、トランジスタ (1 単位) のバラツキは低減するという効果を発揮する。以上の事項は、図 5 4 7 (d) の配置にも該当することは言うまでもない。

20

【0 5 6 1】

したがって、図 5 4 8 などに図示するように、単位トランジスタ 1 5 4 の方向を変化させ、トランジスタ群 4 3 1 c として縦方向に形成した単位トランジスタ 1 5 4 の特性と横方向に形成した単位トランジスタ 1 5 4 の特性とを補間しあうことにより、トランジスタ群 4 3 1 c としてばらつきを少なくすることができる。

30

【0 5 6 2】

図 5 4 8 はトランジスタ群 4 3 1 c 内で列ごとに単位トランジスタ 1 5 4 の形成方向を変化させた実施例である。図 5 4 9 はトランジスタ群 4 3 1 c 内で行ごとに単位トランジスタ 1 5 4 の形成方向を変化させた実施例である。図 5 5 0 はトランジスタ群 4 3 1 c 内で行および列ごとに単位トランジスタ 1 5 4 の形成方向を変化させた実施例である。

【0 5 6 3】

図 5 5 1 (a) に図示するように、トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 を整然と配置するよりは、図 5 5 1 (b) のようにトランジスタ群を構成する単位トランジスタ 1 5 4 を分散させて配置する方が端子 1 5 5 間の特性ばらつきが少なくなる。なお、図 5 5 1 において、同一ハッチングの単位トランジスタ 1 5 4 が 1 つのトランジスタ群 4 3 1 c を構成するとしている。

40

【0 5 6 4】

単位トランジスタ 1 5 4 の特性バラツキは、トランジスタ群 4 3 1 c の出力電流によっても異なる。出力電流は、E L 素子 1 5 の効率によって決定される。たとえば、G 色の E L 素子の発光効率が高ければ G 色の出力端子 1 5 5 から出力されるプログラム電流は小さくなる。逆に、B 色の E L 素子の発光効率が低ければ B 色の出力端子 1 5 5 から出力されるプログラム電流は大きくなる。

50

【0565】

プログラム電流が小さくなることは、単位トランジスタ154が出力する電流が小さくなることを意味する。電流が小さくなれば単位トランジスタ154のバラツキも大きくなる。単位トランジスタ154のバラツキを小さくするには、トランジスタサイズを大きくすればよい。

【0566】

図552はその実施例である。図552ではR画素の出力電流が最も小さいため、R画素に対応する単位トランジスタ154Rのサイズを最も大きくしている。また、G画素の出力電流が最も大きいため、単位トランジスタ154のサイズは最も小さくしている。電流の大きさの中間はB画素である。B画素は、R画素とG画素に対応する単位トランジスタ154の中間のトランジスタサイズにしている。以上のことからRGBのEL素子の効率に応じて（プログラム電流の大きさに対応して）、単位トランジスタ154のサイズを決定し構成することは大きな効果がある。

【0567】

本発明は図553（b）に図示するように、各ビット（最下位ビットを除く）に複数の単位トランジスタ154を形成または配置するとした。しかし、本発明はこれに限定するものではない。たとえば、図553に図示するように、各ビットに、各ビットに応じた電流を出力する1つのトランジスタ154を形成または配置してもよいことは言うまでもない。

【0568】

64階調（RGB各6ビット）の場合は、63個の単位トランジスタ154を形成するとした。したがって、256階調（RGB各8ビット）の場合、255個の単位トランジスタ154が必要になることになる。

【0569】

電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ154において、チャンネル長Lを一定にし、チャンネル幅Wを $1/2$ にすれば、単位トランジスタ154が流す電流がおよそ $1/2$ になるという特徴ある効果がある。同様に、チャンネル長Lを一定にし、チャンネル幅Wを $1/4$ にすれば、単位トランジスタ154が流す電流がおよそ $1/4$ になるという特徴ある効果がある。

【0570】

図55（b）は、各ビットに対して同一のサイズの単位トランジスタ154を配置したトランジスタ群431cの構成である。説明を容易にするため、図55（a）は63個の単位トランジスタ154が構成され、6ビットのトランジスタ群431cを構成（形成）しているとする。また、図55（b）は8ビットであるとする。

【0571】

図55（b）では、下位2ビット（Aで示す）は、単位トランジスタ154よりも小さいサイズのトランジスタで構成している。最小ビット目の第0ビット目は、単位トランジスタ154のチャンネル幅Wの $1/4$ で形成している（単位トランジスタ154bで示す）。また、第1ビット目は、単位トランジスタ154のチャンネル幅Wの $1/2$ で形成している（単位トランジスタ154aで示す）。

【0572】

以上のように、下位2ビットは上位の単位トランジスタ154よりも小さいサイズの単位トランジスタ（154a、154b）で形成している。また、正規の単位トランジスタ154の個数は63個で変化がない。したがって、6ビットから8ビットに変更しても、トランジスタ群431cの形成面積は図55（a）と図55（b）で大差はない。

【0573】

図55（b）に図示するように、6ビットから8ビット仕様に変化させても出力段のトランジスタ群431cのサイズが大きくなるのは、電流の加算ができるという点、単位トランジスタ154において、チャンネル長Lを一定にし、チャンネル幅Wを $1/n$ にすれば、単位トランジスタ154が流す電流がおよそ $1/n$ になるという点をうまく利用

10

20

30

40

50

しているからである。

【0574】

また、図55(b)に図示するように、単位トランジスタ154a、154bのようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ154aまたは154bの出力電流は加算される。したがって、図55(a)の6ビット仕様より、図55(b)の8ビット仕様のほうが高階調出力を実現できる。もちろん、単位トランジスタ154a、154bの出力バラツキが大きいから、正確な8ビット表示を実現することはできない可能性はある。でも、かならず、図55(a)よりは高精細表示を実現できる。

【0575】

実際にはチャンネル幅 W を $1/2$ にしても出力電流は正確には $1/2$ にはならない。多少の補正が必要である。検討の結果では、チャンネル幅 W を $1/2$ にすると、トランジスタのゲート端子電圧を同一とした場合、出力電流は、 $1/2$ 以下となる。そのため、本発明は、下位ビットを構成するトランジスタと、上位ビットを構成するトランジスタのサイズと変化させる場合、以下のようにトランジスタサイズを設定している。

【0576】

まず、ソースドライバ回路(IC)14の単位トランジスタ154を2種類のサイズのように、少ない形状で構成する。複数の単位トランジスタ154のチャンネル長 L は同一にする。つまり、チャンネル幅 W のみを変化させる。第1の単位トランジスタの第1の単位出力電流と、第2の単位トランジスタの第2の単位出力電流の比を n (第1の単位出力電流：第2の単位出力電流 $=1:n$ 、ただし、 n は1より小さい値)とすると、第1の単位トランジスタのチャンネル幅 $W_1 < \text{第2の単位トランジスタのチャンネル幅 } W_2 \times n \times a$ ($a=1$)の関係となるように構成する。

【0577】

$W_1 \times n \times a = W_2$ とした場合、 $1.05 < a < 1.3$ の関係が成り立つようにすることが好ましい。補正 a は、テストトランジスタを形成し、測定することのより補正係数を容易に把握することができる。

【0578】

本発明は、下位のビットを作製(構成)するために、上位のビットの単位トランジスタ154に比較して小さい小単位トランジスタを形成または配置するのもである。この小さいという概念は、上位ビットを構成する単位トランジスタ154の出力電流よりも小さいという意味である。したがって、単位トランジスタ154に比較してチャンネル幅 W が小さいだけでなく、同時にチャンネル長 L も小さい場合も含まれる。また、他の形状も含まれる。

【0579】

図55はトランジスタ群431cを構成する単位トランジスタ154のサイズを複数種類とするものであった。図55では2種類としている。この理由は、先に説明したように、単位トランジスタ154のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ431cを構成する単位トランジスタ154のサイズは低階調用と高階調用の2種類とすることが好ましい。しかし、本発明はこれに限定するものではない。3種類以上であってもよいことは言うまでもない。

【0580】

図43でも図示しているように、トランジスタ群431cを構成する単位トランジスタ154のゲート端子は、1つのゲート配線153で接続されている。ゲート配線153に印加された電圧により単位トランジスタ154の出力電流が決定される。したがって、トランジスタ群431c内の単位トランジスタ154の形状が同一であれば、各単位トランジスタ154は同一の単位電流を出力する。

【0581】

本発明は、トランジスタ群431cを構成する単位トランジスタ154のゲート配線1

10

20

30

40

50

5 3を共通にすることには限定されない。たとえば、図5 6 (a)のように構成してもよい。図5 6 (a)において、トランジスタ1 5 8 b 1とカレントミラー回路を構成する単位トランジスタ1 5 4と、トランジスタ1 5 8 b 2とカレントミラー回路を構成する単位トランジスタ1 5 4とが配置されている。

【0 5 8 2】

トランジスタ1 5 8 b 1はゲート配線1 5 3 aで接続されている。トランジスタ1 5 8 b 2はゲート配線1 5 3 bで接続されている。図5 6 (a)の一番上の1個の単位トランジスタ1 5 4はLSB (0ビット目)であり、2段目の2個の単位トランジスタ1 5 4は1ビット目、3段目の4個の単位トランジスタ1 5 4は2ビット目である。また、4段目の組の8個の単位トランジスタ1 5 4は3ビット目である。

10

【0 5 8 3】

図5 6 (a)において、ゲート配線1 5 3 aとゲート配線1 5 3 bの印加電圧を変化させることにより、各単位トランジスタ1 5 4のサイズ、形状が同一であっても、各単位トランジスタ1 5 4の出力電流をゲート配線1 5 3の印加電圧により変化 (変更) することができる。

【0 5 8 4】

図5 6 (a)において、単位トランジスタ1 5 4のサイズなどを同一にして、ゲート配線1 5 3 a、1 5 3 bの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ1 5 4のサイズなどを異ならせ、印加するゲート配線1 5 3 a、1 5 3 bの電圧を調整することにより、異なる形状の単位トランジスタ1 5 4の出力電流を同一となるようにしてもよい。

20

【0 5 8 5】

図5 5では、低階調のビットを構成する単位トランジスタ1 5 4サイズは、高階調を構成する単位トランジスタ1 5 4よりも小さくした。単位トランジスタ1 5 4のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の単位トランジスタ1 5 4はチャンネル長Lを高階調よりも大きくし、単位トランジスタ1 5 4の面積を小さくならないようにしてバラツキを抑制している。

【0 5 8 6】

図5 7に図示するように低階調領域Aの範囲の単位トランジスタ1 5 4のサイズと、高階調領域Bの範囲の単位トランジスタ1 5 4のサイズを異ならせると出力ばらつきは2の曲線が組み合わさったものとなる。しかし、実用上は問題ない。逆に、低階調部の単位トランジスタ1 5 4のサイズを高階調部の単位トランジスタ1 5 4のサイズよりも大きくすることにより、単位トランジスタ1 5 4あたりの出力バラツキを小さくすることができて好ましい。

30

【0 5 8 7】

図5 6のように構成すれば、低階調と高階調の単位トランジスタ1 5 4のサイズに関わらず、ゲート配線1 5 3への印加電圧調整により、単位トランジスタ1 5 4の出力電流を同一にすることができる。

【0 5 8 8】

本発明において、ゲート配線1 5 3は1 5 3 aと1 5 3 bの2種類として説明しているがこれに限定するものではない。3種類以上であってもよい。また、単位トランジスタ1 5 4の形状なども3種類以上であってもよい。

40

【0 5 8 9】

図5 6 (b)は単位トランジスタ1 5 4サイズを同一にし、2つのゲート配線1 5 3で構成した実施例である。図5 6 (b)の一番上の2個の単位トランジスタ1 5 4はLSB (0ビット目)であり、2段目の4個の単位トランジスタ1 5 4は1ビット目、3段目の8個の単位トランジスタ1 5 4の組は2ビット目である。また、ゲート配線1 5 3 bに接続された4組目の8個の単位トランジスタ1 5 4は3ビット目である。

【0 5 9 0】

図5 6 (b)においても、ゲート配線1 5 3 aとゲート配線1 5 3 bの印加電圧を変化

50

させることにより、各単位トランジスタ154のサイズ、形状が同一であっても、各単位トランジスタ154の出力電流をゲート配線153の印加電圧により変化（変更）することができる。

【0591】

図56（b）では低階調部に該当するゲート配線153aに接続された単位トランジスタ154aの1つの出力電流は、高階調部に該当するゲート配線153bに接続された単位トランジスタ154の出力電流の1/2となるように構成している。単位トランジスタ154aと単位トランジスタ154とは同一形状としている。

【0592】

単位トランジスタ154aの出力電流を単位トランジスタ154の1/2とするためにゲート配線153aに印加する電圧をゲート配線153bよりも低くしている。ゲート配線153に印加する電圧を調整することにより単位トランジスタ154aと単位トランジスタ154の形状が略同一であっても出力電流を変化あるいは調整することができる。

【0593】

なお、図56の実施例において、ゲート配線153の印加電圧を変化するとして説明をした。ゲート配線153の印加電圧はソースドライバ回路（IC）14の外部から印加することもできることは言うまでもない。しかし、一般的には単位トランジスタ154とカレントミラー対をなすトランジスタ158b（トランジスタ群431b）の構成あるいはサイズを変化あるいは設計もしくは構成を行うことにより、ゲート配線153の電圧を調整もしくは変更することができる。また、単位トランジスタ154とカレントミラー対をなすトランジスタ158b（トランジスタ群431b）に流す電流Icを変更あるいは調整できることは言うまでもない。

【0594】

図58は、高階調側の単位トランジスタ154a（D2、D3、D4・・・）は2の乗数個を配置している。一方、低階調側の単位トランジスタ154b（D1、D2）も2の乗数個を配置している。なお、以上の2の乗数個であるのは、単位トランジスタで構成されている場合である。単位トランジスタがサブトランジスタで構成されている場合は、作製するサブトランジスタの個数は整数倍となる。

【0595】

単位トランジスタ154aと単位トランジスタ154bの単位出力電流は異ならせている（154bの単位電流のほうが、154aよりも小さい。たとえば、単位トランジスタのWを低階調側のほうを狭くしている）。低階調側も高階調側の単位トランジスタ154も共通のゲート配線153で接続されており、カレントミラー回路を構成するトランジスタ158bに流れる基準電流Icで制御される。

【0596】

図59は、高階調側の単位トランジスタ154a（D2、D3、D4・・・）は2の乗数個を配置している。一方、低階調側の単位トランジスタ154b（D1、D2）も2の乗数個を配置している。高階調側の単位トランジスタ154aはトランジスタ158bhとカレントミラー回路を構成している。また、トランジスタ158bhに流れる基準電流はIc_hである。一方、低階調側の単位トランジスタ154bはトランジスタ158blとカレントミラー回路を構成している。また、トランジスタ158blに流れる基準電流はIc_lである。

【0597】

以上に構成することにより、単位トランジスタ154aと単位トランジスタ154bの単位出力電流は異ならせている（154bの単位電流のほうが、154aよりも小さい）。低階調側と高階調側の単位トランジスタ154は異なるゲート配線153で接続されている。

【0598】

以上のように、本発明では多数の変形実施例がある。たとえば、図58と図59との組合せも例示される。以上の事項は、本発明の他の実施例にも適用できることは言うまでも

10

20

30

40

50

ない。また、一部の単位トランジスタ 154 を大きくしてもよく、また小さくしてもよい。

【0599】

単位トランジスタ群 431c を構成する単位トランジスタ 154、トランジスタ群 431b を構成するトランジスタ 158b は、N チャンネルトランジスタで構成（形成）することが好ましい。これは、N チャンネルトランジスタは、P チャンネルトランジスタに比較して単位トランジスタ面積あたりに対する出力バラツキが小さいからである。したがって、単位トランジスタ 154 などを N チャンネルで構成することにより、ソースドライバ IC サイズを小さくすることができる。

【0600】

なお、単位トランジスタ 154 を N チャンネルで形成することは、ソースドライバ IC 14 をシンクタイプ（吸い込み電流方式）にすることになる。したがって、画素 16 の駆動用トランジスタ 11a は P チャンネルトランジスタで構成することが好ましい。

【0601】

図 159 のグラフは P チャンネルトランジスタと N チャンネルトランジスタのサイズ（WL）を同一にし、出力電流を同一にした場合の出力バラツキをしめしている。横軸は、1 出力を構成するトランジスタ群 431c の総面積 S_c の面積比である。面積 S_c が大きくなるほど、出力バラツキは小さいなる。

【0602】

縦軸は、出力バラツキの比を示している。図 159 では、N チャンネルトランジスタの総面積 S_c を 1 の時の出力バラツキを 1 としている。

【0603】

図 159 に図示するように、N チャンネルトランジスタの総面積 S_c が 4 倍になると出力バラツキは 0.5 になる。N チャンネルトランジスタの総面積 S_c が 8 倍になると出力バラツキは 0.25 になる。つまり、本発明の結果から出力バラツキは $1/\sqrt{S_c}$ に比例する。

【0604】

N チャンネルトランジスタの総面積 S_c と P チャンネルトランジスタの総面積 S_c が同一の時、出力バラツキは 1.4 倍になる。P チャンネルトランジスタの総面積 S_c が N チャンネルトランジスタの総面積 S_c の 2 倍の時、出力バラツキは同一になる。つまり、出力バラツキは、N チャンネルトランジスタの総面積 $S_c/2 = P$ チャンネルトランジスタの総面積 S_c の関係がある。

【0605】

以上の結果から単位トランジスタ群 431c を構成する単位トランジスタ 154、トランジスタ群 431b を構成するトランジスタ 158b は、N チャンネルトランジスタで構成（形成）することが好ましい。

【0606】

出力段は単位トランジスタ 154 などで形成し、トランジスタ群 431c とトランジスタ 158b もしくはトランジスタ 158b から構成されるトランジスタ群とは、カレントミラー回路を構成する。トランジスタ 154c とトランジスタ 158b とを近接させることによりカレントミラー比は、ほぼ一定値となる。しかし、バラツキの範囲で変動する場合がある。この場合は、図 160 に図示するように、トリミング（レーザートリミング、サンドブラストトリミングなど）により、トランジスタ 158b などを切り離し所定範囲内のカレントミラー比に調整することが有効である。

【0607】

トリミングは図 160 の A 点に実施し、トランジスタ 158b2 を切り離すことにより実施する。トランジスタ 158b を多く形成し、この複数のトランジスタ 158b のうち、1 つ以上をきり流すことによりカレントミラー比を高くすることできる。

【0608】

なお、好ましくは、図 161 に図示するように、配線 153 の両側にトランジスタ 15

10

20

30

40

50

8bを形成または配置する。トリミング点、A1またはA2をカットすることにより、ICチップの出力端子155aと115nからの出力電流の差を均一化させる。

【0609】

各出力段のトランジスタ431cの出力バラツキを調整するためには、図162のように構成することも有効である。図162では各出力トランジスタ群431c（トランジスタ群に限定するものではない。電流出力回路であればいずれの構成でもよい）とゲート配線153との間に、高抵抗1623を形成または配置している。高抵抗であるため、出力段からの出力電流が微小であっても、抵抗1623で電圧降下する。電圧降下により出力電流を変化させることができる。

【0610】

抵抗1623のトリミングは、トリミング装置1621からのレーザー光1622で行う。抵抗1623をトリミングして高抵抗値に調整する。

【0611】

なお、本発明の実施例ではトランジスタ群431cは単位トランジスタ154で構成するとしたがこれに限定するものではない。単体トランジスタで構成してもよいし、電流保持回路（後に説明する）で構成してもよい。また、電圧－電流変換（V－I変換）回路であってもよい。つまり、本明細書では出力段はトランジスタ群431cで構成するとして説明するが、これに限定するものではなく、電流出力回路であればいずれの構成であってもよい。

【0612】

図163は、トランジスタ157bと複数のトランジスタ158aとカレントミラー回路を構成し、トランジスタ158aとトランジスタ158bとをカレントミラー回路を構成している。また、トランジスタ158bとトランジスタ431cともカレントミラー回路を構成している。

【0613】

以上の図163のような構成も本発明の範疇である。トリミングによる調整は、各出力段のトランジスタ158bまたはトランジスタ群431cに実施すればよい。

【0614】

他の構成として、図164の構成も例示される。図164は本発明のソースドライバICの出力段を概念的に図示したものである。基準電圧（もしくはIC（回路）14電源電圧）Vsと外づけ抵抗Ra、Rbによりゲート配線153aの電位が決定される（調整される）。

【0615】

各出力段は抵抗Rnと、トランジスタ158a、158bで電流回路が構成される。この電流回路に流れる電流は抵抗Rnにより決定される。トランジスタ158bとトランジスタ群431cはカレントミラー回路を構成する。トランジスタ群431cの出力端子155から出力される電流は抵抗Rnをトリミングすることにより行われる。抵抗Rnをレーザートリミングすることにより、カレントミラー回路（トランジスタ158bとトランジスタ群431c）に流れる電流を調整することができる。なお、もちろん、トランジスタ158a、158b部はトランジスタ群を構成してもよい。

【0616】

ICチップの左右の出力電流の傾きを調整する（出力端子155a～155nを同一にする。つまり、出力バラツキがないようにする）ためには、図165の構成も有効である。トランジスタ158bの電流Ic1経路に抵抗Ra、トランジスタ158bの電流Ic2経路に抵抗Rbを配置している。抵抗Ra、Rbは内蔵、外づけのいずれでもよい。RaまたはRb、もしくはRaとRbの両方をトリミングすることにより、ゲート配線153に流れる電流Idが変化する。したがって、ゲート配線153の電圧降下により、出力段431の単位トランジスタ154のゲート信号線の電位が変化する。したがって、出力段431a～431nの出力電流の傾斜分布を補正することができる。

【0617】

トリミングの概念には、ポリウムも含まれる。たとえば、図165において、抵抗 R_a と R_b をポリウムで形成し（配置し）、ポリウムを調整することによって、電流 I_d の大きさを調整できる。また、抵抗が拡散抵抗の場合は加熱により抵抗値を調整あるいは変化させることができる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。また、ICチップを全体的にあるいは部分的に加熱することによりICチップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を調整あるいは変化させることができる。

【0618】

以上の事項は、本発明の他の実施例にも適用できることはいうまでもない。また、トリミングとは、抵抗値を変化させる素子トリミングあるいは機能を変化させる機能トリミング、トランジスタなどの素子を配線から切り離す切断トリミング、1つの抵抗素子を複数に分割する分割トリミング、非接続箇所にレーザー光を照射することにより短絡させ接続するトリミング、ポリウムなどの抵抗値を調整する調整トリミングも含まれる。また、トランジスタであれば、 S 値を変化させること、 μ を変化させること、 WL 比を変化させ出力電流の大きさを変化させること、立ち上がり電圧位置を変更することなどが例示される。その他、発振周波数を変化すること、カットオフ位置を変化させることも含まれる。つまり、トリミングとは加工、調整、変更の概念である。以上の事項は本発明の他の実施例でも同様である。

【0619】

他の構成として、図166の構成も例示される。図166は本発明のソースドライバICの出力段を概念的に図示したものである。電子ポリウム回路501とオペアンプ502によって、ゲート配線152aの電位が決定（調整）される。オペアンプ502、抵抗 R_1 、トランジスタ158aで定電流回路が構成されている。抵抗 R_1 には基準電流 I_c が流れる。 R_1 に流れる電流値は、オペアンプ502の正極端子印加電圧と、抵抗値 R_1 の値によって決定される。

【0620】

したがって、抵抗 R_1 をトリミングすることによって、基準電流 I_c の大きさを変化させることができる。変化により出力端子155からの出力電流の大きさを変更あるいは調整できる。抵抗 R_1 は外づけ抵抗にし、ポリウムとしてもよい。また、電子ポリウム回路としてもよい。また、アナログ的に入力してもよい。

【0621】

オペアンプ502からの出力電圧は複数のトランジスタ158aのゲート端子に印加され、抵抗 R_1 に電流 I_c が流れる。この電流 I_c は分割され、トランジスタ158bに流れる。この電流によりゲート配線153bを所定の電位にする。ゲート配線153bを複数の箇所に配置されたトランジスタ158bにより電位が固定される。そのため、ゲート配線153bに電位傾きが発生しにくく、出力端子155からの出力バラツキが減少する。

【0622】

以上の実施例は、図43に図示するように、階調ビットに対応して単位トランジスタ154が形成され、オン（端子155に電流を出力する）する単位トランジスタ154の個数を変化させることにより出力電流を変化させるものである。たとえば、図43では、D5ビットには32個の単位トランジスタ154が配置されており、D0ビットには1個の単位トランジスタ154が配置（形成）されており、D1ビットには2個の単位トランジスタ154が配置（形成）されている。

【0623】

しかし、本発明はこれに限定するものではない。たとえば、図167に図示するように、各ビットを大きさの異なるトランジスタで構成してもよい。図167において、トランジスタ154bはトランジスタ154aの略2倍の電流を出力し、トランジスタ154fはトランジスタ154eの略2倍の電流を出力する。以上のように、本発明は出力段431cが単位トランジスタ154で構成されていることに限定するものではない。

【0624】

図165はゲート配線153の両端をトランジスタ158bで保持する構成であり、図166はゲート配線153の複数のトランジスタ158bで電位保持する構成である。本発明はこれに限定するものではない。たとえば、図168に図示するように、ゲート配線153の一端をトランジスタ1681で保持し、トランジスタ1681に流れる電流I_dでゲート配線153の電位傾きを調整してもよい。トランジスタ1681はゲート端子に接続された抵抗R_aとR_bの分圧電圧で流れる電流が調整される。抵抗R_bはポリウムに構成するか、トリミングにより抵抗値を調整する。基本的には、トランジスタ1681に流れる電流は微小である。

【0625】

しかし、特殊な動作方法として、トランジスタ1681を完全にすることにより、ゲート配線153の電位をグランド電圧近くに低下される方法が例示される。ゲート配線153をグランド電圧近くに低下させることによりトランジスタ群431cの単位トランジスタ154をオフ状態にできる。つまり、トランジスタ1681の動作により、出力端子155の出力電流をオンオフ制御することができる。

【0626】

以上の実施例では、トランジスタ(158、154など)をトリミングあるいは調整することにより出力電流などを変化あるいは変更もしくは調整するとした。調整などするトランジスタは具体的には図169に図示するように構成することが好ましい。図169は調整などするトランジスタ1694の構成を概念的に図示したものである。トランジスタ1694はゲート端子1692、ソース端子1691、ドレイン端子1693で構成される。ドレイン端子1693はトリミングしやすいように、複数の分割されている(ドレイン端子1693a、1693b、1693c・・・)。図169(a)のA線でカットすることにより、ドレイン端子1693eはカットされ、トランジスタ1693の出力電流を減少させることができる。

【0627】

図169(b)はドレイン端子1693のトリミングする間隔を変化させたものである。減少させる電流の大きさに応じて、1箇所以上のドレイン端子1693をトリミングし、出力電流を調整する。図169(b)ではB線の箇所とトリミングしている。

【0628】

図170は図169の変形例である。図170(a)はゲート端子1692を1692aと1692bに分割した例である。また、図170(b)はドレイン端子1693とソース端子1691にトリミング箇所(C線、D線)を設けた実施例である。

【0629】

図169、図170などのトリミング方式は特に、カスケード接続を担当する素子(トランジスタなど)に対して実施すると効果がある。カスケード接続で受け渡す電流の大きさをトリミングにより調整できるため、良好なカスケード接続を実現できるからである。以上の事項は本発明の他の実施例にも適用できる。

【0630】

なお、以上の実施例では、ドレイン端子1693あるいはソース端子1691を1箇所あるいは複数箇所をトリミングするとしたが、本発明はこれに限定するものではない。たとえば、ゲート端子1692をトリミングしてもよい。また、トリミングだけに限定するものではなく、トランジスタ1694の半導体膜に、レーザー光あるいは熱的エネルギーを照射し、トランジスタ1694を劣化させることにより、出力電流などを調整してもよいことは言うまでもない。また、図169、図170などの実施例はトランジスタだけに限定されるものではなく、ダイオード、水晶、サイリスタ、コンデンサ、抵抗などに適用してもよいことは言うまでもない。

【0631】

また、図167に図示するように、各ビットでトランジスタサイズが異なる場合(ビットの大きさに比例する場合など)は、トリミングする長さ(ドレインなどの長さ)もビッ

10

20

30

40

50

トの大きさに比例するように構成することが好ましい。この実施例を図 175 (a) (b) (c) に図示している。

【0632】

図 175 (a) (b) (c) では、図 175 (a) が下位ビットであり、図 175 (c) が上位ビットである。また、図 175 (b) が図 175 (a) と図 175 (c) の中間ビットの状態（構成）である。下位ビットのトリミング長さ A は、上位ビットのトリミング長さ C よりも短くなるように構成している。トリミング長さは、トランジスタの電流変化量に比例する。したがって、上位ビットのトランジスタの方がトリミング変化量は大きくなるように構成している。以上のように、本発明はトランジスタの大きさ、ビット位置などに応じて変化させてもよいことはいうまでもない。つまり、各ビットで一様にする

10

【0633】

図 43 は、各ビットに必要数の単位トランジスタ 154 を形成または配置した例である。しかし、単位トランジスタ 154 は形成バラツキがある。そのため、出力端子 155 からの出力はばらつく。このばらつきを低減するためには、各ビットの出力電流を調整する必要がある。出力電流の調整には、あらかじめ余分の単位トランジスタ 154 を形成しておき、この余分の単位トランジスタ 154 を出力端子 155 から切断することにより調整すればよい。なお、余分の単位トランジスタ 154 は他の単位トランジスタ 154 と同一サイズにする必要はない。余分の単位トランジスタ 154 は小さめに形成（分担する出力電流を小さく）することが好ましい。

20

【0634】

図 171 は上記説明の実施例である。D0 ビットには 3 つの単位トランジスタ 154 が形成されている。3 つのうち、1 つが正規の単位トランジスタ 154 であり、他の 2 つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ 154 （単位トランジスタ 154 と呼ぶよりは調整用トランジスタである）である。

【0635】

同様に、D1 ビットには 4 つの単位トランジスタ 154 が形成されている。4 つのうち、2 つが正規の単位トランジスタ 154 であり、他の 2 つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ 154 （単位トランジスタ 154 と呼ぶよりは調整用トランジスタである）である。また、同様に、D2 ビットには 8 つの単位トランジスタ 154 が形成されている。8 つのうち、4 つが正規の単位トランジスタ 154 であり、他の 4 つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ 154 （単位トランジスタ 154 と呼ぶよりは調整用トランジスタである）である。

30

【0636】

以上のように調整用トランジスタ 154 （図 171 で B で示す）は出力電流を調整するためにトリミングなどが施される。B で示すトランジスタは A の矢印が示すライン上に配置されている。したがって、レーザー光などでスキャンする際に、スキャン方向を一方方向に移動させるだけで調整用トランジスタをトリミングすることができる。したがって、高速トリミングを実施することができる。

40

【0637】

以上の実施例は、出力段が単位トランジスタ 154 などで構成された実施例である。しかし、トリミングなどにより出力電流を調整する方法などは、本発明はこれに限定されるものではない。図 172 に図示するように、各出力端子 155 に接続される出力段をオペアンプ 502 とトランジスタ 158 b および抵抗 R1 で形成した実施例にも適用できる。

【0638】

図 172 で図示する各出力段は、オペアンプ 502 とトランジスタ 158 b および抵抗 R1 で電流回路を構成している。電流の大きさは抵抗 R1 で調整され、階調は、回路 862 から出力される階調電圧により表現される。

【0639】

50

図 1 7 2 で図示する各出力段は、レーザー装置 1 6 2 1 などによりレーザー光 1 6 2 2 などが照射されトリミングされる。各出力段に対応する抵抗 R 1 を順次トリミングしていくことにより、出力電流のバラツキが発生しないようにすることができる。

【0640】

なお、図 1 7 2 では、回路 8 6 2 から出力されるアナログ電圧で出力電流が決定される。ただし、本発明はこれに限定するものではなく、図 1 7 4 に図示するように、デジタル 8 ビットのデジタルデータを D A 回路 6 6 1 でアナログ電圧に変換し、オペアンプ 5 0 2 a に印加してもよいことは言うまでもない。

【0641】

また、図 2 0 9 に図示するように、出力段は、映像データに対応する電流 I_c を流すトランジスタ 1 5 8 b と 1 対 1 で構成されるトランジスタ 1 5 4 からなるカレントミラー回路で構成してもよい。各出力段には、D A 回路 5 0 1 とオペアンプ 5 0 2、内蔵抵抗 R 1、トランジスタ 1 5 8 a などからなる電流回路が構成されている。抵抗 R 1 にトリミングなどを施すことにより出力ばらつきは極めて小さくすることができる。

【0642】

図 2 1 0 は図 2 0 9 の類似の構成である。サンプリング回路 8 6 2 から映像データに対応する電流 I_c がトランジスタ 1 5 8 b に供給される。トランジスタ 1 5 8 b とトランジスタ 1 5 4 とは N 倍のカレントミラー回路を構成している。

【0643】

図 1 7 2 は抵抗 R 1 を必要に応じて順次トリミングするとしたが、本発明はこれに限定するものではない。たとえば、図 1 7 3 に図示するように出力段 4 3 1 c を必要に応じてトリミングしてもよいことは言うまでもない。トリミングの必要度の判断は、端子 1 5 5 を検査用の端子 1 7 3 4 などに接触させ、選択スイッチ 1 7 3 1、共通線 1 7 3 2 を介して電流計（電流測定手段） 1 7 3 3 に接続する。選択スイッチ 1 7 3 1 は順次オンし、出力段 4 3 1 c からの電流を電流計 1 7 3 3 に印加する。トリミング手段 1 6 3 2 は電流計 1 7 3 3 の測定電流値に基づき、単位トランジスタ、抵抗などをトリミングして所定値に調整する。

【0644】

以上の実施例は、電流の出力段などをトリミングして出力電流バラツキなどを変更あるいは調整するものであった。しかし、本発明はこれに限定するものではない。たとえば、図 1 7 6 に図示するように基準電流を発生あるいは所定値にする抵抗 R a、R b などをトリミングすることにより、基準電流 I_c を調整し、出力電流を変化あるいは調整してもよいことは言うまでもない。

【0645】

図 6 0 などの回路構成ではホワイトバランス調整が容易である。まず、R G B の電子ポリウム 5 0 1 を同一の設定値に調整する。次に外付け抵抗 R 1 r、R 1 g、R 1 b を調整してホワイトバランスを調整する。

【0646】

ソースドライバ回路（I C）1 4 では、いずれかの電子ポリウムの設定値でホワイトバランスをとれば電子ポリウム 5 0 1 の値を同一にすればホワイトバランスを維持したまま、表示画面 1 4 4 の輝度調整を行えるという特徴がある。なお、6 0 1 は基準電流回路である。

【0647】

図 6 0 は、トランジスタ群 4 3 1 c の両側から給電する構成であるが、上記事項はこれに限定するものではない。図 6 1 に図示するように、片側給電構成でも同様である。まず、R、G、B の電子ポリウム 5 0 1 が同一の設定値で、外付け抵抗 R 1 r、R 1 g、R 1 b を調整してホワイトバランスをとる。一般的に R 回路の I_{cr} 、G 回路の I_{cg} 、B 回路の I_{cb} を各 R G B の E L 素子の発光効率を考慮して所定の比率とすることによりホワイトバランスをとる。

【0648】

10

20

30

40

50

ソースドライバ回路（IC）14では、どこかの電子ポリウムの設定値でホワイトバランスをとれば電子ポリウム501の値を同一にすればホワイトバランスを維持したまま、表示画面144の輝度調整を行えるという特徴がある。なお、RGBの電子ポリウムは、R、G、B独立に形成または配置することが好ましいが、これに限定するものではない。たとえば、R、G、Bで1つの電子ポリウム501でもホワイトバランスを維持したまま画面輝度を調整することが可能である。

【0649】

本発明では、ソースドライバ回路（IC）14の内部に電子ポリウムを形成または配置することにより、ソースドライバ回路（IC）14の外部からのデジタルデータ制御により基準電流を可変あるいは変更することができる。この事項は、電流駆動ドライバにおいて重要な事項である。電流駆動では、映像データがEL素子15に流れる電流に比例する。したがって、映像データをロジック処理することにより全EL素子に流れる電流を制御できる。基準電流もEL素子15に流れる電流に比例するから、基準電流をデジタル制御することにより、全EL素子15に流れる電流を制御できる。以上のことから、映像データに基づき、基準電流制御を実施することにより、表示輝度のダイナミックレンジの拡大などを容易に実現できる。

【0650】

基準電流の変更あるいは変化させることにより、単位トランジスタ154の出力電流を変化することができる。たとえば、基準電流 I_c が $100\mu A$ の時に、1つの単位トランジスタ154がオン状態での出力電流が $1\mu A$ とする。この状態で、基準電流 I_c を $50\mu A$ にすれば、1つの単位トランジスタ154の出力電流は $0.5\mu A$ となる。同様に、基準電流 I_c を $200\mu A$ にすれば、1つの単位トランジスタ154の出力電流は $2.0\mu A$ となる。つまり、基準電流 I_c と単位トランジスタ154の出力電流 I_d は比例関係を満足することが好ましい（図62の実線aを参照のこと）。

【0651】

基準電流 I_c を設定する設定データと基準電流 I_c とは比例関係となるように構成することが好ましい。たとえば、設定データが1の時、基準電流 I_c が $100\mu A$ とし、これと基底とするならば、設定データが100の時、基準電流 I_c が $200\mu A$ となるようにする。つまり、設定データが1増加すると、基準電流 I_c が $1\mu A$ 増加するように構成することが好ましい。

【0652】

以上のように構成することにより、電子ポリウム501の設定データにより、RGBの基準電流（ I_{cr} 、 I_{cg} 、 I_{cb} ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗 R_{1r} 、 R_{1g} 、 R_{1b} を調整してホワイトバランスを構成は重要性がある（特徴ある構成である）。

【0653】

以上の実施例では、外付け抵抗でホワイトバランスを調整するとしたが、抵抗 R_1 はICチップに内蔵させてもよいことは言うまでもない。

【0654】

また、図63に図示するように、抵抗値を調整あるいは制御するスイッチSを付加してもよい。たとえば、図63（a）はスイッチS1の選択により外付け抵抗は R_1 となる。また、スイッチS2の選択により、外付け抵抗は R_2 となる。また、スイッチS1とS2の両方野の選択により、外付け抵抗は R_1 と R_2 とを並列に接続した抵抗値になる。

【0655】

図63（b）は直列に抵抗 R_1 と R_2 を接続し、スイッチSの制御により外付け抵抗を $R_1 + R_2$ としたり、 R_1 としたりできるように構成したものである。

【0656】

図63のように構成することにより、基準電流 I_c の変化範囲を拡大することができる

10

20

30

40

50

。つまり、電子ポリウム 501 の設定データだけでなく、スイッチ S の制御により基準電流を調整できるからである。したがって、本発明の EL 表示パネルの輝度調整範囲（ダイナミックレンジ）を拡大できる。

【0657】

本発明において、電子ポリウム 501 の 1 ステップ変化による基準電流の変化は 3 % 程度にしている。たとえば、基準電流が 1 倍から 3 倍まで変化し、電子ポリウムのステップ数が 6 ビットの 64 ステップであれば、 $(3 - 1) / 64 = 0.03$ となり、約 3 % である。

【0658】

1 ステップあたりの基準電流の変化が大きいと、電子ポリウムを変化させた時の表示画面 144 輝度変化が大きく、変化した時にフリッカとして認識されてしまう。逆に、1 ステップあたりの基準電流変化が小さいと、表示画面 144 輝度変化が小さく輝度調整のダイナミック変化が乏しくなる。また、ステップ数を大きくすることは、電子ポリウム 501 サイズを大きくすることに直結し、ソースドライバ IC 14 のサイズを大きくなりコストが高くなる。

【0659】

以上のことから、1 ステップあたりの基準電流の変化は、1 % 以上 8 % 以下のきざみにすることが好ましい（ただし、基底を基準としている）。さらには、1 % 以上 5 % 以下のきざみにすることが好ましい。たとえば、電子ポリウム 501 が 8 ビット（256 ステップ）とし、基準電流の変化が 1 倍から 10 倍までとすると、 $(10 - 1) / 256 = 3.5$ % きざみとなり、条件 1 % 以上 5 % 以下を満足している。

【0660】

以上の実施例では 1 ステップあたりの基準電流の変化として説明したが、基準電流の変化は、画面輝度の変化であるから、電子ポリウム 501 の 1 ステップあたりの表示画面 144 輝度変化あるいはアノード（もしくはカソード）電流の変化としても言い換えることができることは言うまでもない。

【0661】

以上の実施例において、図 62 の実線 a に図示するように、基準電流 I_c と単位トランジスタ 154 の出力電流 I_d は比例関係を満足することが好ましいとしたが、これに限定するものではない。たとえば、図 62 の点線 b で示すように、非線形（1.8 乗から 2.8 乗の範囲が好ましい）としてもよい。非線形（1.8 乗から 2.8 乗の範囲が好ましい）とすることにより、電子ポリウム 501 の設計データに対する基準電流の変化が人間の視覚特性の 2 乗カーブに近づくため、階調特性が良好となる。

【0662】

なお、以上の実施例では、電子ポリウム 501 の設定データで基準電流を変化させるとしたが、これに限定するものではない。図 64、図 65 に図示するように電圧入出力端子 643 により基準電流を変化あるいは調整もしくは制御してもよいことは言うまでもない。

【0663】

図 50、図 60、図 61 などの電子ポリウム 501 の構成は、図 64 のように構成してもよい。図 64 において、ラダー抵抗 641（抵抗アレイあるいはトランジスタアレイ）とスイッチ 642 が電子ポリウム 501 に対応する。なお、ラダー抵抗 641 は一定間隔あるいは所定の間隔きざみの電圧を発生する手段であればいずれでもよい。たとえば、トランジスタをダイオード接続してもよいし、トランジスタのオン抵抗で構成あるいは形成してよいことは言うまでもない。

【0664】

また、基準電流 I_c を発生する電子ポリウム 501 もしくは基準電流 I_c を発生する手段は、図 500 のように構成することが好ましい。なお、図 500 は図 65 を例示して説明する構成であり、図 65 の構成に限定されるものではない。本発明の他の構成にも適用できることは言うまでもない。また、以降に説明するプリチャージ電圧 V_{pc} 発生回路に

10

20

30

40

50

も適用できることも言うまでもない。

【0665】

図500に図示するように、電子ポリウム501内にはソースドライバ回路(IC)14内蔵の抵抗Rが直列に形成または配置されている。また、スイッチS1と基準電圧Vst d間には内蔵抵抗Raで接続させている。スイッチSnとグランド電圧GND間には内蔵抵抗Rbで接続されている。基準電圧Vst dは、精密な固定電圧である。したがって、EL表示パネルのVdd電圧が変動してもVst d電圧は変動しない。Vst dが変化すると基準電流Icが変動するため、この変動を防止し、表示パネルの輝度を一定にするためである。

【0666】

以上のように、抵抗Ra、抵抗R、抵抗Rbをソースドライバ回路(IC)14の内蔵抵抗(ポリシリ抵抗)で形成しているため、抵抗Ra、抵抗R、抵抗Rbの相対値は個々のソースドライバ回路(IC)14のポリシリ(ポリシリコン)抵抗のシート抵抗値が変動しても変動しない。したがって、ソースドライバ回路(IC)14では基準電流Icのバラツキが発生しない。

【0667】

Rの基準電流Ic rは電子ポリウム501の出力電圧と抵抗R1 rで決定される。Gの基準電流Ic gは電子ポリウム501の出力電圧と抵抗R1 gで決定される。Bの基準電流Ic bは電子ポリウム501の出力電圧と抵抗R1 bで決定される。基準電圧Vst dをRGBで共通にし、抵抗R1 r、抵抗R1 g、抵抗R1 bでホワイトバランスが調整される。また、電子ポリウム501には、内蔵抵抗Ra、抵抗R、抵抗Rbの相対値を一致させ、電子ポリウム501の電圧もVst dとしている。したがって、基準電流Ic r、Ic g、Ic bはソースドライバ回路(IC)14間で精度よく一定に維持することができる。基準電流Icを変化させるIDATAはコントローラ回路(IC)760で制御する。

【0668】

抵抗R1 r、抵抗R1 g、抵抗R1 bは外づけ抵抗あるいは外づけの可変抵抗である。また、基準電圧Vst dを用いない場合、あるいはVst dに該当する電圧を変化あるいは調整したい場合は、スイッチSW1で外部電圧Vsを印加できるように構成しておくことが好ましい。さらに、S1スイッチの電位を変化あるいは変更できるように、スイッチSW2で外部電圧Vaを印加できるように構成することが好ましい。また、図500には図示していないが、スイッチSnの出力電圧も変更できるように、電圧印加端子をソースドライバ回路(IC)14外部に引き出しておくことが好ましい。

【0669】

基準電圧Vst dも図501に図示するように、DA変換回路501 bに印加するデータにより、変更あるいは可変できるように構成することが好ましい。また、図502に図示するように、トランジスタ158とオペアンプからなる定電流回路で電流Irを発生し、この電流Irを電子ポリウム501の内蔵抵抗Rに流して、b端子から出力される電圧を変化できるように構成してもよい。

【0670】

以上のラダー抵抗641とスイッチ回路642などからなる構成、方式あるいは電圧入出力端子643の構成、方式などは、図75などのプリチャージ構成に適用できることはいうまでもない。また、図146、図147などのカラーマネージメント処理構成にも適用できる。また、図140、図141、図143、図607などの電圧プログラム構成にも適用できることはいうまでもない。

【0671】

また、図64、図65の構成は、図56、図57の構成にも適用できる。また、図50などのように、ソースドライバ回路(IC)14の両側から基準電流を印加する構成にも適用できる。また、図46、図61などにも適用できることはいうまでもない。

【0672】

図 6 4 において、トランジスタ 1 5 8 a r が R 回路の基準電流 I_{cr} を発生させ、トランジスタ 1 5 8 a g が G 回路の基準電流 I_{cg} を発生させる。また、トランジスタ 1 5 8 a b が B 回路の基準電流 I_{cb} を発生させる。

【0673】

図 6 4 ではラダー抵抗 6 4 1 を R G B の 3 つのスイッチ回路 (6 4 2 r 、 6 4 2 g 、 6 4 2 b) で共用している。したがって、ソースドライバ回路 (I C) 1 4 内のラダー抵抗 6 4 1 の形成面積を小さくすることができる。

【0674】

図 6 4 、図 6 5 においても、スイッチ回路 6 4 2 の設定データにより、R G B の基準電流 (I_{cr} 、 I_{cg} 、 I_{cb}) は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗 R_{1r} 、 R_{1g} 、 R_{1b} を調整してホワイトバランスをとることができる。

【0675】

図 6 4 において、電圧入出力端子 6 4 3 はドライバ I C (回路) 1 4 の外部からのアナログ電圧を入力する端子である。アナログ電圧により基準電流 I_c を変化あるいは調整することができる。したがって、スイッチ回路 6 4 2 のよらず、ホワイトバランス調整、表示画面 1 4 4 輝度調整を実施することができる。

【0676】

図 3 4 6 は図 6 5 の変形例である。図 3 4 6 では電子ポリウム 5 0 1 を赤色緑色青色用の基準電流発生回路 (R G B 回路) で共通にし、R G B の基準電流の大きさは内蔵あるいは外づけ抵抗 R (赤用 R_1 、緑用 R_2 、青用 R_3) もしくはソースドライバ回路 (I C) 1 4 の内蔵抵抗で調整してホワイトバランスを維持している。抵抗 R が内蔵の場合は、トリミングなどによりホワイトバランスが取れるように調整する。もちろん、外づけ抵抗 R をポリウムとしてもよいことは言うまでもない。

【0677】

また、抵抗 R は基準電流を調整あるいは設定する手段であればいずれの構成でもよい。ツェナーダイオード、トランジスタ、サイリスタなどの非線形素子であってもよい。また、定電圧レギュレータ、スイッチング電源などの回路あるいは素子であってもよい。また、抵抗 R の代わりにポジスタ、サーミスタなどの素子でもよい。基準電流の調整あるいは設定とともに、温度補償も同時に実施することができる。その他、基準電流を発生する定電流回路であってもよい。

【0678】

図 3 4 6 では、I D A T A (基準電流を設定するデータ) により電子ポリウム 5 0 1 の内蔵スイッチが指定され、 V_x 電圧 (基準電流を設定する電圧) が電子ポリウム 5 0 1 から出力される。 V_x 電圧がオペアンプ 5 0 2 (赤用 5 0 2 R 、緑用 5 0 2 R 、青用 5 0 2 R) の正極端子に印加される。したがって、赤の基準電流 $I_{cr} = V_x / R_1$ 、緑の基準電流 $I_{cg} = V_x / R_2$ 、青の基準電流 $I_{cb} = V_x / R_3$ となる。これらの基準電流でホワイトバランスをとる。また、これらの基準電流が R G B のプログラム電流の大きさが決定される (図 6 0 、図 6 1 など参照のこと) 。なお、基準電流の設定は、1 フレーム (1 フィールド) ごとなど比較的長周期で設定するだけでよい。変化する画面 (画像) に対応して設定すれば十分だからである。

【0679】

I D A T A により R G B の基準電流の大きさは変化するが、I D A T A の大きさと、R G B の基準電流 I_c とは線形の関係で変化する。したがって、I D A T A が変化してもホワイトバランスは維持される。また、I D A T A の大きさに比例して画面 1 4 4 の輝度に変化する (d u t y 比が固定の場合) 。つまり、I D A T A により画面輝度 1 4 4 をリニアかつホワイトバランスを維持したまま制御することができる。リニアに変化するため、d u t y 比制御との組合せ制御も非常に容易になる (図 9 3 ~ 図 1 1 6 など参照のこと)

）。この点は本発明の有効な特徴である。他の点は、図 6 4、図 6 5 などと同様であるので説明を省略する。

【0680】

図 3 4 6 の構成では、電子ポリウム 5 0 1 の可変により、R、G、B の基準電流の比率は、同時に変化する（R G B の基準電流の比率は変化しない）。図 5 2 6 に図示するように構成すれば、R の基準電流 I_{cR} 、G の基準電流 I_{cG} 、B の基準電流 I_{cB} の大きさを可変することができる。

【0681】

R の基準電流 I_{cR} はスイッチ $S_{r1} \sim S_{r3}$ のクローズの個数で変化させることができる。スイッチ $S_{r1} \sim S_{r3}$ のうち、どのスイッチをクローズまたはオープンさせるかはソースドライバ回路（IC）14 の外部端子 S_a （図示せず）2 ビットで選択できる。R の S_a 端子に入力されるデータが 0 の時は、すべてのスイッチ $S_{r1} \sim S_{r3}$ がオープン状態である。したがって、基準電流 I_{cR} は 0 となり、端子 4 3 1 c R からプログラム電流 I_w は出力されない。また、過電流 I_d も出力されない。R の S_a 端子に入力されるデータが 1 の時は、1 つのスイッチ S_{r1} がクローズ状態となり、スイッチ S_{r1} および S_{r2} がオープン状態である。したがって、1 倍の基準電流 I_{cR} が流れ、端子 4 3 1 c R から 1 倍のプログラム電流 I_w は出力される。また、ソースドライバ回路（IC）14 の制御状態に応じて 1 倍の過電流 I_d が出力される。

【0682】

同様に、R の S_a 端子に入力されるデータが 2 の時は、スイッチ S_{r1} と S_{r2} がクローズ状態となり、スイッチ S_{r3} がオープン状態である。したがって、2 倍の基準電流 I_{cR} が流れ、端子 4 3 1 c R から 2 倍のプログラム電流 I_w は出力される。また、ソースドライバ回路（IC）14 の制御状態に応じて 2 倍の過電流 I_d が出力される。R の S_a 端子に入力されるデータが 3 の時は、すべてのスイッチ $S_{r1} \sim S_{r3}$ がクローズ状態となる。したがって、3 倍の基準電流 I_{cR} が流れ、端子 4 3 1 c R から 3 倍のプログラム電流 I_w は出力される。また、ソースドライバ回路（IC）14 の制御状態に応じて 3 倍の過電流 I_d が出力される。

【0683】

同様に G の基準電流 I_{cG} はスイッチ $S_{g1} \sim S_{g3}$ のクローズの個数で変化させることができる。スイッチ $S_{r1} \sim S_{r3}$ のうち、どのスイッチをクローズまたはオープンさせるかはソースドライバ回路（IC）14 の G に対応する外部端子 S_a （図示せず）2 ビットで選択できる。G の S_a 端子に入力されるデータが 0 の時は、すべてのスイッチ $S_{g1} \sim S_{g3}$ がオープン状態である。したがって、基準電流 I_{cG} は 0 となり、端子 4 3 1 c G からプログラム電流 I_w は出力されない。また、過電流 I_d も出力されない。G に対応する S_a 端子に入力されるデータが 1 の時は、1 つのスイッチ S_{g1} がクローズ状態となり、スイッチ S_{g1} および S_{g2} がオープン状態である。したがって、1 倍の基準電流 I_{cG} が流れ、端子 4 3 1 c G から 1 倍のプログラム電流 I_w は出力される。また、ソースドライバ回路（IC）14 の制御状態に応じて 1 倍の過電流 I_d が出力される。

【0684】

G に対応する S_a 端子に入力されるデータが 2 の時は、スイッチ S_{g1} と S_{g2} がクローズ状態となり、スイッチ S_{g3} がオープン状態である。したがって、2 倍の基準電流 I_{cG} が流れ、端子 4 3 1 c G から 2 倍のプログラム電流 I_w は出力される。また、ソースドライバ回路（IC）14 の制御状態に応じて 2 倍の過電流 I_d が出力される。G に対応する S_a 端子に入力されるデータが 3 の時は、すべてのスイッチ $S_{g1} \sim S_{g3}$ がクローズ状態となる。したがって、3 倍の基準電流 I_{cG} が流れ、端子 4 3 1 c G から 3 倍のプログラム電流 I_w は出力される。また、ソースドライバ回路（IC）14 の制御状態に応じて 3 倍の過電流 I_d が出力される。

【0685】

B についても同様であり、B の基準電流 I_{cB} はスイッチ $S_{b1} \sim S_{b3}$ のクローズの個数で変化させることができる。スイッチ $S_{g1} \sim S_{g3}$ のうち、どのスイッチをクロー

10

20

30

40

50

ズまたはオープンさせるかはソースドライバ回路（IC）14のBに対応する外部端子Sa（図示せず）2ビットで選択できる。Bに対応するSa端子に入力されるデータが0の時は、すべてのスイッチSb1～Sb3がオープン状態である。基準電流IcBは0となり、端子431cBからプログラム電流Iwは出力されない。また、過電流Idも出力されない。

【0686】

Bに対応するSa端子に入力されるデータが1の時は、1つのスイッチSb1がクローズ状態となり、スイッチSb1およびSb2がオープン状態である。したがって、1倍の基準電流IcBが流れ、端子431cBから1倍のプログラム電流Iwは出力される。また、ソースドライバ回路（IC）14の制御状態に応じて1倍の過電流Idが出力される。

10

【0687】

Bに対応するSa端子に入力されるデータが2の時は、スイッチSb1とSb2がクローズ状態となり、スイッチSb3がオープン状態である。したがって、2倍の基準電流IcBが流れ、端子431cBから2倍のプログラム電流Iwは出力される。また、ソースドライバ回路（IC）14の制御状態に応じて2倍の過電流Idが出力される。Bに対応するSa端子に入力されるデータが3の時は、すべてのスイッチSb1～Sb3がクローズ状態となる。したがって、3倍の基準電流IcGが流れ、端子431cBから3倍のプログラム電流Iwは出力される。また、ソースドライバ回路（IC）14の制御状態に応じて3倍の過電流Idが出力される。

20

【0688】

なお、図64、図65などにおいて、スイッチ回路642は設定データが0の時、すべてのスイッチがオープン状態になるように構成されている。したがって、スイッチ回路642の設定データが0で電圧入出力端子642の入力電圧が有効になるように制御される。逆に、スイッチ回路642の設定データが0以外の場合は、ラダー抵抗641からの電圧がオペアンプ502の正極端子に入力される。

【0689】

電圧入出力端子643はスイッチ回路642からの出力電圧のモニター端子とも機能する。つまり、ラダー抵抗641の選択電圧がスイッチ回路642で選択され、選択されたいずれの電圧がオペアンプ502に入力されているかをモニターできる。

30

【0690】

図64は、ラダー抵抗641（きざみ電圧出力手段）とRGBのスイッチ回路642間の配線が多いため、チップ面積を必要とする。図65は、RGBで1つのスイッチ回路642とした実施例である。以上の構成によっても、ホワイトバランス調整などは実用上問題なく実現できる。

【0691】

以上の実施例は、電子ポリウム501、スイッチ回路642をデジタルの設定データにより変化させるものであった。しかし、本発明はこれに限定するものではない。たとえば、図66（a）（b）に図示するように、デジタルーアナログ変換回路（D/A回路）661により、オペアンプ502の入力電圧（c点で示す）を変化（変更）して基準電流Icを制御してもよいことは言うまでもない。

40

【0692】

図371は、基準電流を調整あるいは制御する構成あるいは方式の他の実施例である。RGBの基準電流は抵抗R1（R1r、R1g、R1b）により決定される。また、抵抗R1（R1r、R1g、R1b）によりホワイトバランスが調整される。抵抗R1（R1r、R1g、R1b）は外づけ抵抗である。

【0693】

抵抗Rsも外づけ抵抗である。抵抗Rsを変化させることにより、ソースドライバIC14の輝度がホワイトバランスを維持したまま調整することができる。したがって、複数のソースドライバIC14をカスケード接続する時は、抵抗Rsを調整することにより容

50

易に実現することができる。抵抗 R_s はポリウムで構成してもよい。また、トリミングで抵抗調整を実施してもよい。また、電子ポリウムで調整あるいは可変してもよい。

【0694】

図378は抵抗 R_1 の端子電圧を電子ポリウム501bで変更する構成である。電子ポリウム501bはDATAにより変化させる。抵抗 R_{1r} の一端子には電子ポリウム501bRの出力電圧が印加される。電子ポリウム501bRの出力電圧は8ビットのRDa t aにより変化させることができる。したがって、RDa t aにより基準電流 I_r が変化する。

【0695】

同様に、抵抗 R_{1g} の一端子には電子ポリウム501bGの出力電圧が印加される。電子ポリウム501bGの出力電圧は8ビットのGDa t aにより変化させることができる。したがって、GDa t aにより基準電流 I_g が変化する。また、同様に、抵抗 R_{1b} の一端子には電子ポリウム501bBの出力電圧が印加される。電子ポリウム501bBの出力電圧は8ビットのBDa t aにより変化させることができる。したがって、BDa t aにより基準電流 I_b が変化する。

【0696】

以上の構成により、電子ポリウム501bを制御することにより、ホワイトバランスが調整され、また、基準電流を調整できる。

【0697】

図379は図377の変形例である。抵抗 R_s を電子ポリウム構成にしている。また電子ポリウム501をソースドライバ回路(IC)14に内蔵させている。電子ポリウム501の出力電圧は、SATAにより変化あるいは制御することができる。SDATAにより抵抗 R_1 (R_{1r} 、 R_{1g} 、 R_{1b}) の端子電圧を制御することができる。RGBの基準電流は抵抗 R_1 (R_{1r} 、 R_{1g} 、 R_{1b}) により決定される。また、抵抗 R_1 (R_{1r} 、 R_{1g} 、 R_{1b}) によりホワイトバランスが調整される。抵抗 R_1 (R_{1r} 、 R_{1g} 、 R_{1b}) は外づけ抵抗である。他の事項は図377と同様あるいは類似であるので説明を省略する。

【0698】

なお、以上の実施例は相互に組み合わせて実施できることはいうまでもない。また、本発明の他の実施例と組み合わせることができることも言うまでもない。

【0699】

図44に図示するようなソースドライバ回路(IC)14では、特に表示パネルに画像を表示するとソース信号線18に印加された電流によりソース信号線18電位が変動する。この電位変動によりソースドライバIC14のゲート配線153がゆれる課題がある(図52を参照のこと)。図52に図示するように、ソース信号線18に印加される映像信号が変化するポイントでゲート配線153にリンキングが発生する。リンキングによりゲート配線153の電位が変化するから、単位トランジスタ154のゲート電位が変化し、出力電流が変動する。特に、ゲート配線153の電位変動は、ゲート信号線14に沿ったクロストーク(横クロストーク)となる。

【0700】

この揺れ(ゲート配線153のリンキング(図52を参照のこと))は、ソースドライバIC14の電源電圧が影響する。電源電圧が高いほどリンキングする波高値が大きくなるからである。最悪、電源電圧も振幅する。ゲート配線153の電圧は、定常値が0.55~0.65(V)である。したがって、わずかなリンキングの発生でも出力電流の大きさの変動値は大きい。

【0701】

図67はソースドライバIC14の電源電圧が1.8(V)の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバIC14の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は3程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率はIC電源電圧が13~15(V)

10

20

30

40

50

以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバ I C 1 4 の電源電圧は 1 3 (V) 以下にする必要がある。

【0702】

一方、駆動用トランジスタ 1 1 a が白表示から黒表示の電流を流すために、ソース信号線 1 8 の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、2. 5 (V) 以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線 1 8 の出力電圧が I C の電源電圧を越えることはできないからである。

【0703】

以上のことから、ソースドライバ I C 1 4 の電源電圧は、2. 5 (V) 以上 1 3 (V) 以下にする必要がある。さらに好ましくは I C 1 4 の電源電圧 (使用する電圧) は、6 (V) 以上 1 0 (V) 以下にすることが好ましい。この範囲とすることによりゲート配線 1 5 3 の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

【0704】

ゲート配線 1 5 3 の配線抵抗も課題となる。ゲート配線 1 5 3 の配線抵抗 R (Ω) とは、図 4 7 では、トランジスタ 1 5 8 b 1 からトランジスタ 1 5 8 b 2 までの配線全長の抵抗値である。または、ゲート配線全長の抵抗である。また、図 4 6 ではトランジスタ 1 5 8 b (トランジスタ群 4 3 1 b) からトランジスタ群 4 3 1 c n までの配線全長の抵抗値である。

【0705】

ゲート配線 1 5 3 の過渡現象の大きさは、1 水平走査期間 (1 H) にも依存する。1 H 期間が短ければ、過渡現象の影響も大きいからである。配線抵抗 R (Ω) が高いほど過渡現象は発生しやすい。この現象は特に、図 4 4 から図 4 7 の 1 段カレントミラー接続の構成のソースドライバ回路 (I C) 1 4 で課題となる。ゲート配線 1 5 3 が長く、1 つのゲート配線 1 5 3 に接続された単位トランジスタ 1 5 4 の数が多いからである。

【0706】

図 6 8 は、ゲート配線 1 5 3 の配線抵抗 R (Ω) と 1 水平走査期間 (1 H 期間) T (sec) との掛算 ($R \cdot T$) を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の 1 は、 $R \cdot T = 100$ を基準にしている。図 6 8 でわかるように、 $R \cdot T$ が 5 以下で変動比率が大きくなる傾向がある。また、 $R \cdot T$ が 1000 以上で変動比率が大きくなる傾向がある。したがって、 $R \cdot T$ は 5 以上 1000 以下にすることが好ましい。さらに好ましくは、 $R \cdot T$ は 10 以上 500 以下の条件を満足することが好ましい。

【0707】

d u t y 比も課題となる。d u t y 比によりソース信号線 1 8 の変動も大きくなるからである。なお、d u t y 比に関しては後ほど説明をする。ここでは、d u t y 比とは間欠駆動の割合であるとする。トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 の総面積 (トランジスタ群 4 3 1 c 内の単位トランジスタ 1 5 4 の W L サイズ $\times$ 単位トランジスタ 1 5 4 数) を $S c$ (平方 μm) とする。

【0708】

図 6 9 は横軸を $S c \times d u t y$ 比とし、縦軸を変動比率としている。図 6 9 でわかるように $S c \times d u t y$ 比が 500 以上で変動比率が大きくなる傾向がある。また、変動比率が 3 以下の時が変動許容範囲である。したがって、 $S c \times d u t y$ 比は 500 以下で駆動できるように制御することが好ましい。

【0709】

変動許容範囲は、 $S c \times d u t y$ 比が 500 以下である。 $S c \times d u t y$ 比が 500 以下であれば、変動比率は許容範囲内であり、ゲート配線 1 5 3 の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。 $S c \times d u t y$ 比が 500 以下であれば許容範囲であるが、 $S c \times d u t y$ 比を 50 以下としてもほとんど効果がない。逆に、ソースドライバ I C 1 4 のチップ面積が増加する。したがって、 $S c \times d u t y$ 比は 50 以上 500 以下にするこ

10

20

30

40

50

とが好ましい。

【0710】

本発明のソースドライバ回路（IC）14において、単位トランジスタ群431cとカレントミラー回路をなすトランジスタ158bあるいはトランジスタ158bを構成するトランジスタ群431b（図48、図49を参照のこと）には図70の関係を満足させることが好ましい。

【0711】

トランジスタ158bあるいはトランジスタ158bを構成するトランジスタ群431b（図48、図49を参照のこと）に供給する電流をIcとし、1つの単位トランジスタ群431cから出力される電流をIdとする。Idはソース信号線18に出力されるプログラム電流（吸い込みあるいは吐き出し電流）であり、トランジスタ群431cを構成する単位トランジスタ154のすべてが選択状態の時の電流である。したがって、Idは画素16に印加する最大階調での電流である。

10

【0712】

なお、図46のように158bが1つの場合は、そのままIcとして用いてよいが、図47のように、トランジスタ158が複数個ある（複数群ある）場合は、加算したものをIcとして用いる。つまり、図47では $Ic = Ic1 + Ic2$ である。以上のように電流Icはトランジスタ群431cとカレントミラー回路を構成するトランジスタ群431bに流れる電流Icの総和である。

【0713】

この電流IdとIcの比（ Ic / Id ）は5以上にする必要がある。図70において、縦軸はクロストーク比である。クロストークは、画像表示によるソース信号線18の電位変化がソースドライバ回路（IC）14のゲート配線153を伝播し、表示画面144に横お引き（クロストーク）が発生する現象である。クロストークは、画像が白表示から黒表示になるポイント、黒表示から白表示になるポイント（たとえば、白ウインドウ表示の上エッジ部、下エッジ部など）に発生しやすい。 Ic / Id が5以下では急激にクロストークの発生は強くなる（クロストーク比が大きくなる）が、5以上では曲線の傾きが小さくなる。

20

【0714】

図70から理解できるように、 Ic / Id は5以上にする必要がある。しかし、100以上にすると、トランジスタ158bを構成するトランジスタ群431bのサイズが大きくなり実用的でない。したがって、 Ic / Id は5以上100以下にする必要がある。さらに好ましくは、8以上50以下にすることが好ましい。

30

【0715】

Ic / Id は水平走査時間も考慮する必要がある。1水平走査期間Hが短いほどゲート配線153の時定数が小さくする必要があるからである。なお、1水平走査期間とは、画素行にプログラム電流（プログラム電圧）を書き込む期間と考えても良い。つまり、各画素が選択され、各画素16に電流（電圧）が書き込まれている期間である。したがって、2画素行を同時に選択する駆動方法では、2水平走査期間が該当する。

【0716】

水平走査期間HをH（ミリ秒）としたとき（1画素行を選択する時間）、以下の関係を満足させることが好ましい。なお、IcおよびIdの単位は μA である。

40

【0717】

$$0.3 \leq (Ic \cdot H) / Id \leq 6.0$$

さらに好ましくは、以下の関係を満足させることが好ましい。

【0718】

$$0.5 \leq (Ic \cdot H) / Id \leq 5.0$$

また、さらに好ましくは、以下の関係を満足させることが好ましい。

【0719】

$$0.6 \leq (Ic \cdot H) / Id \leq 3.0$$

50

以上の関係を満足させるように、 I_c 、 I_d 電流を設定し、また、トランジスタ群431あるいは単位トランジスタ154、158を設計することにより、クロストークの発生は極めて少なくなる。

【0720】

たとえば、QVGAパネルの場合は、およそ $H = 1000$ （ミリ秒）／（ 60 （Hz）・ 240 画素行）＝ 0.07 （ミリ秒）である。 $I_c = 18$ （ μA ）、最大プログラム電流 $I_d = 1$ （ μA ）とすれば、 $(I_c \cdot H) / I_d = (18 \cdot 0.07) / 1 = 1.3$ となり、上式を満足する。

【0721】

また、XGAパネルの場合は、およそ $H = 0.025$ （ミリ秒）である。 $I_c = 18$ （ μA ）、最大プログラム電流 $I_d = 1$ （ μA ）とすれば、 $(I_c \cdot H) / I_d = (18 \cdot 0.025) / 1 = 1.5$ となり、上式を満足する。

【0722】

H はパネルの画素行数で固定値であり、 I_d はプログラム電流の最大値であるので、該当表示パネルのEL素子の効率および表示輝度が決定されれば固定値である。したがって、上式を満足するように、 I_c を決定すればよい。たとえば、 $H = 0.07$ （ミリ秒）、 $I_d = 1$ （ μA ）であれば、 $0.3 \leq (I_c \cdot H) / I_d \leq 6.0$ を満足する I_c は、 4 （ μA ）以上 86 （ μA ）以下となる。また、 $H = 0.025$ （ミリ秒）、 $I_d = 1$ （ μA ）であれば、 $0.3 \leq (I_c \cdot H) / I_d \leq 8.0$ を満足する I_c は、 12 （ μA ）以上 240 （ μA ）以下となる。

【0723】

以上の実施例は、出力段が単位トランジスタ154で構成されるトランジスタ群431cとして説明をしているが、本発明はこれに限定するものではない。後に図160から図176などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【0724】

トランジスタ群431cの出力電流の大きさと出力バラツキとは、相関がある。出力電流が大きいほど、出力バラツキが小さい。以上の関係を図182に示す。出力電流が10倍になれば、出力バラツキは約 $1/2$ （＝ 0.5 ）になり、出力電流が100倍になれば約 $1/4$ （＝ 0.25 ）となる。

【0725】

また、出力電流のバラツキは、1つの出力段のトランジスタ面積 S_c （単位トランジスタ154で構成される場合は、トランジスタ群431c）の面積（WLあるいは1出力電流を発生する全トランジスタの総面積 S_c ）と相関がある。この関係を図183に図示する。図183は出力バラツキを一定とした場合に、この出力バラツキを得るためのトランジスタ面積 S_c と出力電流との関係を示したものである。出力電流が大きいほど、ある出力バラツキを得るためのトランジスタ面積 S_c は小さくすむ。出力電流が10倍になれば、トランジスタ面積 S_c は約 $1/2$ （＝ 0.5 ）でよい。出力電流が100倍になれば、所定の出力バラツキを得るためのトランジスタ面積 S_c は約 $1/4$ （＝ 0.25 ）でよい。

【0726】

本発明の検討の結果によれば、1端子の出力電流の最高出力電流の大きさは、 $0.2 \mu A$ 以上 $20 \mu A$ 以下にすることが好ましい。 $0.2 \mu A$ 以下では、出力バラツキが大きく実用的でない。 $20 \mu A$ 以上では出力段のトランジスタのゲート端子電圧が高くなり、またソース端子電圧も低下することになり、ICの耐圧などを高くする必要がある。そのため、出力バラツキが大きくなり好ましくない。なお、最高出力電流とは、最大階調での出力電流である。たとえば、256階調あれば、255階調目であり、64階調であれば63階調目である。

【0727】

また、本発明の検討の結果である図182および図183の関係から、1出力の最高出

力電流を I_d (μA) とし、出力段を構成するトランジスタ (単位トランジスタ 154 で構成される場合は、トランジスタ群 431c) の面積 (W_L あるいは 1 出力電流を発生する全トランジスタの総面積) を S_c (平方 μm) としたとき、以下の条件を満足させることが好ましい。

【0728】

$$500 \leq S_c \times I_d \leq 10000$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【0729】

$$800 \leq S_c \times I_d \leq 8000$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【0730】

$1000 \leq S_c \times I_d \leq 5000$ 以上の条件を満足することにより、出力端子 155 から出力される電流の隣接間バラツキは 1% 以下にすることができ、実用上十分な性能を得ることができる。

【0731】

なお、以上の実施例は、出力段が単位トランジスタ 154 で構成されるトランジスタ群 431c として説明をしているが、本発明はこれに限定するものではない。図 160 から図 176 などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【0732】

以上のように本発明の記載事項は、他の実施例に相互に適用あるいは組み合わせて使用できるものである。複数の組み合わせはすべてを記載することが不可能であるので、記載していないだけである。

【0733】

図 47 でトランジスタ 158b1 に流す基準電流 I_{c1} と、トランジスタ 158b2 に流す基準電流 I_{c2} とを調整することにより、図 212 に図示するように、ソースドライバ IC14a と 14b とのカスケード接続を良好に行えることを説明した。

【0734】

カスケードは図 208 に図示するように、ソースドライバ IC14 間をカスケード配線 2081 で結線する。カスケード配線 2081 はアレイ 30 上で行う。

【0735】

基準電流を印加あるいは出力するカスケード配線 2081 は、図 249 (a) に図示するように、ソースドライバ回路 (IC) 14 に個別に入力してもよい。また、図 249 (b) に図示するようにソースドライバ回路 (IC) 14a とソースドライバ回路 (IC) 14b 間で受け渡すように構成してもよい。図 249 (b) のようにカスケード配線 2081 を介して、各ビットに対応する基準電流 (図 199、図 230、図 246 など参照のこと) を受け渡す場合は、各カスケード配線 2081 が交差しないように端子 (I0 ~ I5 で図示している) を配置する。

【0736】

図 249 では、ソースドライバ回路 (IC) 14a からソースドライバ回路 (IC) 14b にカスケード接続を行う電流を受け渡している。以上のように、隣接したソースドライバ回路 (IC) 14 に順次カスケード接続を行う電流を受け渡してもよい (図 400 を参照のこと)、1 つのマスターのソースドライバ回路 (IC) 14 から、他のスレーブのソースドライバ回路 (IC) 14 にカスケード接続を行う電流を受け渡してもよいことは言うまでもない。この方式の場合は、1 フレームあるいは複数フレーム期間を分割し、時分割でカスケード接続を行う電流を受け渡せばよい。

【0737】

カスケード配線 2683 を良好に配置するためには、図 582 に図示するようにソースドライバ IC を構成するとよい。図 582 ではソースドライバ IC の端の一方に基準電流源を配置又は形成し、他方の端にカスケード用の電流源を配置している。

【0738】

カスケード配線2081はアレイ基板71上で形成することに限定するものではない。たとえば、図583に図示するように、フレキ基板1802あるいはプリント基板でカスケード配線パターン2081を形成し、フレキ基板1802などを介してカスケード接続を行っても良い。また、ソースドライバIC14がCOF実装される場合は、図584に図示するように、COF用のフィルム1802にカスケード配線2081を形成し、ソースドライバIC14間をカスケード接続してもよい。

【0739】

図613などのように複数のソースドライバ回路(IC)(14a、14b)が隣接して配置されている場合を考える。白ラスタ表示においては、すべての端子(Iout)の出力電流がばらつきなく一致していることが好ましい。出力電流のバラツキが発生していても、隣接出力端子間の出力電流差が小さければ、視覚的にバラツキとして認識されることはない。なお、隣接出力端子間のばらつきは、1%以内にする必要がある。

10

【0740】

1つのソースドライバ回路(IC)14で表示画面144を駆動する場合は、隣接出力端子間のバラツキが小さければよい。しかし、図613のように、複数のソースドライバ回路(IC)14で1つの画面144を駆動する場合は課題となる。隣接出力端子間のバラツキが少なくとも、ソースドライバ回路(IC)14aとソースドライバ回路(IC)14bの出力電流の絶対値に差が発生しているからである。

【0741】

ソースドライバ回路(IC)14aの単位トランジスタ群431のIoutnと、ソースドライバ回路(IC)14bの単位トランジスタ群431のIout(n+1)の出力電流の絶対値が異なれば隣接出力差により画面144に境目が発生するからである。以下、この課題を解決する方法を説明する。

20

【0742】

図613において、オペアンプ502の正極性端子に基準電圧Vsが印加される。オペアンプ502の負極性端子には外付け抵抗R1が接続される。また、抵抗R1の一端子は、安定した電圧Vpに接続されている。したがって、抵抗R1とオペアンプ502およびトランジスタ158で定電流回路が構成される。トランジスタ158を流れる電流Icは、 $Ic = (Vs - Vp) / R1$ となる。なお、抵抗R1は外付け抵抗であるとしたが、これに限定するものではなく、ソースドライバ回路(IC)(回路)14内に内蔵されたものでもよい。たとえば、ICチップ内に形成された拡散抵抗、ポリシリコン抵抗などが例示される。もちろん、抵抗は低温ポリシリコン技術で形成してもよい。また、基準電圧Vs、Vpなどは、ソースドライバ回路(IC)(回路)14の電源電圧Vccと共通にしてもよい。また、パネルのアノード電圧Vddと兼用にしてもよい。

30

【0743】

ソースドライバ回路(IC)14aとソースドライバ回路(IC)14bに同一基準電圧Vsが印加され、この基準電圧Vsにより、オペアンプ552からなる定電流回路により基準電流Icが発生する(図170なども参照のこと)。以下説明を容易にするために、抵抗R1はソースドライバ回路(IC)14の外付け抵抗であり、1%以下の精度のものを使用されるときとして説明をする。

40

【0744】

以上の構成より、ソースドライバ回路(IC)14aのトランジスタ158b1とトランジスタ158b2に流れる電流Ic、ソースドライバ回路(IC)14bのトランジスタ158b1とトランジスタ158b2に流れる電流Icを等しくすることができる。したがって、ソースドライバ回路(IC)14aのトランジスタ158b2と、ソースドライバ回路(IC)14bのトランジスタ158b1に流れる電流Icが等しくすることができる。

【0745】

ソースドライバ回路(IC)14aにおいて、トランジスタ158b2とトランジスタ

50

群 4 3 1 c n とは近接して配置されているため、精度がよいカレントミラー回路を構成している。また、ソースドライバ回路 (I C) 1 4 b において、トランジスタ 1 5 8 b 1 とトランジスタ群 4 3 1 c (n + 1) とは近接して配置されているため、精度がよいカレントミラー回路を構成している。以上のことから、ソースドライバ回路 (I C) 1 4 a の単位トランジスタ群 4 3 1 c n の出力電流と、ソースドライバ回路 (I C) 1 4 b の単位トランジスタ 4 3 1 c (n + 1) の出力電流とは略一致する。そのため、画面 1 4 4 における、ソースドライバ回路 (I C) 1 4 a とソースドライバ回路 (I C) 1 4 b との境目は発生しない。

【 0 7 4 6 】

以上のように本発明のソースドライバ回路 (I C) 1 4 はチップの左右に基準電流を流すトランジスタ 1 5 8 b を具備している点が大きな特徴である。たとえば、図 4 6 に図示するようにソースドライバ回路 (I C) 1 4 に一方のみにトランジスタ 1 5 8 b を具備している場合を考えると明らかである。図 4 6 の構成では、単位トランジスタ群 4 3 1 c 1 はトランジスタ 1 5 8 b から近いため、精度のよいカレントミラー回路が構成されている。しかし、トランジスタ 1 5 8 b から D 距離離れた (D は I C チップサイズの横幅に近い距離) 単位トランジスタ群 4 3 1 c n とトランジスタ 1 5 8 b とはカレントミラー回路の精度はない。

【 0 7 4 7 】

図 6 1 3 の実施例では、外付け抵抗の程度と、基準電圧 V s などの精度を上げることにより、ソースドライバ回路 (I C) 1 4 のトランジスタ 1 5 8 a と 1 5 8 b に流す電流 I c 1 と I c 2 を等しくすることができる。したがって、トランジスタ 1 5 8 b とカレントミラー回路を構成するトランジスタ群 4 3 1 c 1 、 4 3 1 c n 、 4 3 1 c (n + 1) 、 4 3 1 c (2 n) の同一階調における出力電流を精度よく同一にすることができる。そのため、画面 1 4 4 を複数のソースドライバ回路 (I C) (回路) 1 4 で駆動する場合であっても、ソースドライバ回路 (I C) (回路) 1 4 間の境目は見えることはない。なお、電流 I c 1 と I c 2 は、 I C チップ外に構成した基準電流回路で発生し、トランジスタ 1 5 8 b に供給してもよいことはいうまでもない。

【 0 7 4 8 】

抵抗 R 1 1 a と抵抗 R 1 2 a との所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される (設計される) 。同様に、抵抗 R 2 1 a と抵抗 R 2 2 a との所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される (設計される) 。また、抵抗 R 1 1 b と抵抗 R 1 2 b 、抵抗 R 2 1 b と抵抗 R 2 2 b の組に対しても同様である。ここでは説明を容易にするため、抵抗 R 1 1 a 、抵抗 R 1 2 a 、抵抗 R 2 1 a 、抵抗 R 2 2 a 、抵抗 R 1 1 b 、抵抗 R 1 2 b 、抵抗 R 2 1 b 、抵抗 R 2 2 b は同一の抵抗値となるように設計 (形成) されているとする。

【 0 7 4 9 】

抵抗 R 1 1 a 、 R 1 2 a とは近接して形成または配置される。同様に、抵抗 R 2 1 a 、 R 2 2 a とは近接して形成または配置され、抵抗 R 1 1 b 、 R 1 2 b とは近接して形成または配置される。同様に、抵抗 R 2 1 b 、 R 2 2 b とは近接して形成または配置される。各抵抗はポリシリコン抵抗あるいは拡散抵抗である。 I C チップ内で形成する (構成する) 抵抗の値は、近接して配置した抵抗の相対比は精度よく形成できるという特質がある。しかし、絶対値には精度がない場合が多い。

【 0 7 5 0 】

ソースドライバ回路 (I C) 1 4 の基準電流源は、 I C チップの両端に形成される場合が多い。しかし、2つの基準電流源の距離はせいぜい 2 0 mm 程度である。したがって、ソースドライバ回路 (I C) 1 4 a の抵抗 R 1 1 a と抵抗 R 2 1 a の抵抗値差はわずかな場合が多い。しかし、 I C チップが異なるソースドライバ回路 (I C) 1 4 a の抵抗 R 1 1 a と抵抗 R 2 1 a と、ソースドライバ回路 (I C) 1 4 b 抵抗 R 1 1 b と抵抗 R 2 1 b とは絶対値が大きく異なる場合が多い。ソースドライバ回路 (I C) 1 4 a と 1 4 b が同一ウエハで形成されていても、 I C の形成位置が大きく異なることが多いからである

。

【0751】

説明を容易にするため、一例としてソースドライバ回路（IC）14aの抵抗11a、抵抗12a、抵抗21a、抵抗22aの抵抗値は等しく、50（KΩ）であるとして説明をする。また、ソースドライバ回路（IC）14bの抵抗11b、抵抗12b、抵抗21b、抵抗22bの抵抗値は等しく、75（KΩ）であるとして説明をする。つまり、ソースドライバ回路（IC）14aの内蔵抵抗とソースドライバ回路（IC）14bの内蔵抵抗とは、絶対値が異なり、各ソースドライバ回路（IC）の内蔵抵抗の相対抵抗値は等しいと想定している。

【0752】

図614において、抵抗R11a、抵抗R21a、抵抗R11b、抵抗R21bの一端子は電圧V_pに接続されている。また、オペアンプ502に基準電圧V_sが印加されている。この点において、図613の構成と同一である。図614と図613との差異は、図613において、抵抗R1が外付け抵抗である点である。また、図614で隣接したソースドライバ回路（IC）の内蔵抵抗を接続配線2081でカスケード接続している点である。

【0753】

ソースドライバ回路（IC）14aの抵抗R22aとソースドライバ回路（IC）14bの抵抗R11bとは接続配線2081で電氣的に接続されている。接続配線2081cとは、基板71上に形成された配線パターンが例示される。したがって、ソースドライバ回路（IC）14aのオペアンプ502bに接続される抵抗は $R11b + R22a = 75$ （KΩ）+ 50（KΩ）= 125（KΩ）となる。また、ソースドライバ回路（IC）14aの抵抗R21aとソースドライバ回路（IC）14bの抵抗R12bとは接続配線2081bで電氣的に接続されている。したがって、ソースドライバ回路（IC）14bのオペアンプ502aに接続される抵抗は $R11b + R22a = 75$ （KΩ）+ 50（KΩ）= 125（KΩ）となる。

【0754】

ソースドライバ回路（IC）14aのオペアンプ502bおよびソースドライバ回路（IC）14bのオペアンプ502aに接続された抵抗は125（KΩ）と等しく、また、印加される基準電圧V_s、V_pなども同一である。したがって、図614におけるソースドライバ回路（IC）14aのトランジスタ158b2に流れる電流I_{c2}と、ソースドライバ回路（IC）14bのトランジスタ158b1に流れる電流I_{c1}とは等しくなる。そのため、ソースドライバ回路（IC）14aのトランジスタ群431c_nに流れるプログラム電流と、ソースドライバ回路（IC）14bのトランジスタ群431c（n+1）に流れるプログラム電流とは等しくなる。

【0755】

図614の構成のより、図613のように外付け抵抗なしに、隣接したソースドライバ回路（IC）14間のプログラム出力電流を等しくすることができる。つまり、ソースドライバ回路（IC）14内の抵抗Rの絶対値がばらついていても自己整合により、基準電流が等しくすることができる。したがって、本発明のソースドライバ回路（IC）14は基板71に複数個を実装する場合であっても、全く調整の必要がなく、実装するだけでソースドライバ回路（IC）のカスケード接続を実現することができる。

【0756】

なお、ソースドライバ回路（IC）14内の抵抗Rはトリミングにより所定の絶対値の抵抗値となるように調整してもよい。また、抵抗R11aとR12a、抵抗R21aとR22aなどの組の相対抵抗値が所定の相対値となるように調整してもよい。

【0757】

また、図614に図示するように、ソースドライバ14aの端の内蔵抵抗11aと抵抗12aとは配線2081aでショートする。また、ソースドライバ14bの端の内蔵抵抗21bと抵抗22bとは配線2081dでショートする。

【0758】

ソースドライバ14aの端の内蔵抵抗11aと抵抗12aとは接続配線2081aにより接続される。ソースドライバ回路(IC)14aのオペアンプ502aに接続される抵抗は、抵抗11a+抵抗12a=50(KΩ)+50(KΩ)=100(KΩ)となる。ソースドライバ回路(IC)14aのオペアンプ502bに接続される抵抗はR21b+R22a=75(KΩ)+50(KΩ)=125(KΩ)である。したがって、ソースドライバ回路(IC)14aの基準電流Ic1と基準電流Ic2とは異なった値となる。そのため、ソースドライバ回路(IC)14aのIout1のプログラム出力電流と、ソースドライバ回路(IC)14aのIoutnのプログラム出力電流とは異なった値になってしまう。しかし、Iout1は画面144の端に位置するため、画面144の端の明るさが画面144の中央部と異なっても視覚的に認識されることはない。ただし、画面144の中央部から端部には明るさが滑らかに変化している必要がある。

10

【0759】

同様に、ソースドライバ14bの端の内蔵抵抗21bと抵抗22bとは接続配線2081dにより接続される。ソースドライバ回路(IC)14bのオペアンプ502bに接続される抵抗は、抵抗21b+抵抗22b=75(KΩ)+75(KΩ)=150(KΩ)となる。ソースドライバ回路(IC)14bのオペアンプ502aに接続される抵抗はR11b+R12b=75(KΩ)+50(KΩ)=125(KΩ)である。したがって、ソースドライバ回路(IC)14bの基準電流Ic1と基準電流Ic2とは異なった値となる。そのため、ソースドライバ回路(IC)14bのIout(n+1)のプログラム出力電流と、ソースドライバ回路(IC)14bのIout(2n)のプログラム出力電流とは異なった値になってしまう。しかし、Iout(2n)は画面144の端に位置するため、画面144の端の明るさが画面144の中央部と異なっても視覚的に認識されることはない。

20

【0760】

なお、図615に図示するように、抵抗R12aにポリウム6151aを接続することにより、また、抵抗R22bにポリウム6151bを接続することにより、トランジスタ群431cからのプログラム電流を調整できるように構成してもよい。また、抵抗R12a、抵抗R22aなどを電子ポリウムなどにしてもよい。以上の事項は、抵抗R22a、抵抗12bに適用してもよいことは言うまでもない。

30

【0761】

図613、図614、図615は各ソースドライバ回路14に抵抗を内蔵する構成であった。本発明はこれに限定するものではない。たとえば、図616に図示するように、ソースドライバ回路(IC)14aに同一抵抗値R(R1、R2、R3、R4)を内蔵してもよい。抵抗R(R1、R2、R3、R4)は近接させて配置する。近接して配置することにより、抵抗値の相対値は精度よく形成することできる。なお、抵抗(R1、R2、R3、R4)はレーザートリミングを行い、絶対値が等しくなるように調整してもよい。また、トリミングにより抵抗の相対値を等しくなるように調整してもよい。

【0762】

ソースドライバ回路(IC)14aの抵抗R3、R4は端子a2、端子a4を介して出力される。この出力は、ソースドライバ回路(IC)14bの端子b2、端子b3よりソースドライバ回路(IC)14bに入力される。以上のように構成されることにより、ソースドライバ回路(IC)14a内の抵抗R3はソースドライバ回路(IC)14bのオペアンプ502aと接続され、定電流回路が構成される。また、ソースドライバ回路(IC)14a内の抵抗R4はソースドライバ回路(IC)14bのオペアンプ502bと接続され、定電流回路が構成される。

40

【0763】

なお、基準電圧Vsもソースドライバ回路(IC)14aに入力され、ソースドライバ回路(IC)14bにはソースドライバ回路(IC)14aの端子a1を介して出力される。出力された基準電圧Vsはソースドライバ回路(IC)14bの端子b1よりソース

50

ドライバ回路（IC）14bに入力される。

【0764】

図614、図615では接続配線2081がアレイ基板71上で交差する。交差部には絶縁膜を形成する必要がある。しかし、絶縁膜の形成するためには、マスク枚数を増加させる必要がある。マスク枚数の増加によりパネルの製造コストが増加する。

【0765】

この課題を対策するため、図248に図示するように、交差部をICチップ14内に形成している。ICチップ内では、2層のメタル配線を用いるため交差部の形成は、コストアップなしに形成することができる。ソースドライバ14aの抵抗R21aは端子b2に接続され、抵抗R22bは端子a2に接続される。したがって、交差部が構成される。ソースドライバ14bも同様である。ソースドライバ14bの抵抗R11aは端子a1に接続され、抵抗R12bは端子b1に接続される。図621では交差部は発生しない。ソースドライバ14aも同様である。

【0766】

以上のように構成すれば、ソースドライバ回路（IC）14aとソースドライバ回路（IC）14bを接続する接続配線2081を図621に図示するように、直線的に配線（形成）することができる。

【0767】

カスケード接続を行うため、一例としてソースドライバ回路（IC）14の左側の端子（a1、b1）は交差部を形成していない。ソースドライバ回路（IC）14の右側の端子（a2、b2）には交差部を形成または配置している。つまり、ソースドライバ回路（IC）14の左右端子のうち、一方に交差部を形成し、他方には交差部を形成していない。あるいは、ソースドライバ回路（IC）14の左右の出力配線（出力端子位置）の構成を変化させている。

【0768】

なお、以上の実施例では14a、14bはソースドライバ回路（IC）としたが、これに限定するものではなく、低温ポリシリコン技術などで形成したソースドライバ回路でもよい。また、この技術的思想はゲートドライバ回路（IC）12などの他の機能をもつ回路をカスケード接続することに対しても適用できることは言うまでもない。

【0769】

以下、本発明の他の実施例である図620の構成について説明をする。図620において、特徴ある点は、基準電流を流すトランジスタ158bのベース端子（ドレイン端子）が端子cに接続されている点である。したがって、端子cをオープンにするか、グランドに接続するかで基準電流を遮断することができる。

【0770】

また、トランジスタ158aからの基準電流がゲート配線581あるいはトランジスタ158bに流れ込むことを防止するため、切断点6201を形成（構成）している点である。切断点6201はレーザー光を照射し、切断する例が例示される。

【0771】

図620において、ソースドライバ回路（IC）14aのトランジスタ471b1のベース端子（ドレイン端子）が端子c1に接続され、トランジスタ471b2のベース端子（ドレイン端子）が端子c2に接続されている。端子c1はオープンであり、切断点6201aが切断されているため、トランジスタ471b1には電流が流れないように構成されている。したがって、ゲート配線581aの左端はオープン状態となる。

【0772】

一方、ソースドライバ回路（IC）14bのトランジスタ471b1のベース端子（ドレイン端子）が端子c1に接続され、トランジスタ471b2のベース端子（ドレイン端子）が端子c2に接続されている。端子c2はオープンであり、切断点6201bが切断されているため、トランジスタ471b2には電流が流れないように構成されている。したがって、ゲート配線581bの右端はオープン状態となる。

【0773】

以上のように、端子cの電位状態を、ICチップの電位設定状態により変更することができる。この変更とは、端子cをはんだづけによりグランド電位に設置すること、開放状態にすることである。もちろん、切断点6201と同様に端子cを切断してもよい。また、切断点6201はアナログスイッチなどを形成し、電氣的にアナログスイッチをオンオフできるように構成してもよい。

【0774】

また、基準電流を調整する必要がある場合は、図250に図示するように、カスケード配線2081aと2081b間にトランジスタなどからなるトリミング調整部2501を形成または配置する。このトリミング調整部2501はレーザー1621などを用いてレーザー光1622で調整することにより、基準電流の大きさの調整を実施する。トリミング調整部2501はソースドライバ回路(IC)14内に形成してもよいし、基板30にポリシリコン技術などで形成してもよい。

10

【0775】

カスケードで受け渡す基準電流は精度が求められる。そのため、本発明では、カスケード部において基準電流を出力する電流源部は、トリミングを行い、所定の基準電流を出力されるように調整している。トリミングはレーザートリミングにより実施している。

【0776】

カスケード接続を良好に行うためには、製造されたソースドライバIC14の特性を測定することが必要になる場合がある。特性が測定できれば、トリミングなどにより調整あるいは加工を実施することが可能になる。以下に本発明のソースドライバ回路(IC)14の特性測定方式について説明をする。また、隣接ソース信号線18間の出力電流バラツキを測定することができる(把握することができる)。

20

【0777】

図299(a)に図示するように、カスケード接続のための端子155を有している。端子155aにはカスケード接続のための基準電流IcR(赤色用)が出力される。端子155bにはカスケード接続のための基準電流IcG(緑色用)が出力される。端子155cにはカスケード接続のための基準電流IcB(青色用)が出力される。基準電流IcはソースドライバICの特性を示している。基準電流Icが小さければプログラム電流Iwの大きさが小さい。一方、基準電流Icが大きければプログラム電流Iwの大きさが大きい。

30

【0778】

以上のことから、図299(b)に図示するように端子155に既知の抵抗値の抵抗Rを接続し、各端子155の電圧を測定することによりソースドライバIC14の特定を把握することができる。なお、端子155に電流計を直接に接続して基準電流Icを測定してもよい。

【0779】

以上の実施例は、カスケード電流の出力端子でソースドライバ回路(IC)14の特性などを測定するものであった。しかし、本発明はこれに限定するものではなく、図300に図示するように特性測定用の専用端子155を形成または構成もしくは配置してもよい。

40

【0780】

図300では、ソース信号線18にプログラム電流Iwを出力するトランジスタ群431cに隣接して特性測定用のトランジスタ群431c(431cR(赤)、431cG(緑)431cB(青))を有している。トランジスタ群431cR、トランジスタ群431cG、トランジスタ群431cBとトランジスタ群431cとは隣接して形成させているため特性がほぼ一致する。したがって、図301(a)に図示するように、端子155に既知の抵抗値の抵抗Rを接続し、各端子155(a、b、c)の電圧を測定することによりソースドライバIC14の特定を把握することができる。なお、端子155に電流計を直接に接続して基準電流Icを測定してもよい。

【0781】

50

また、図 301 (b) に図示するように抵抗 R を IC チップ 14 に内蔵させてもよいことは言うまでもない。ただし、抵抗 R を内蔵させる場合は、既知の抵抗値とするため、トリミングを実施することが好ましい。図 301 (b) のように構成することにより、端子 155d を所定電位 (図 301 ではグランド電位) にすることにより、端子 155a、端子 155b、端子 155c で電圧を測定することができる。したがって、ソースドライバ IC 14 の各端子 155 に接続されたトランジスタ群 431c の特性を測定あるいは予測することができる。また、カスケード接続した特性を想定あるいは予測もしくは測定することができる。

【0782】

図 301 の実施例は、端子 155 に接続されたトランジスタ群 431c などの測定を実施するものであった。同様の構成でカスケード接続の性能あるいは特性もしくは評価を実現することができる。図 302 はその実施例である。図 302 において抵抗 R はチップ 14 内に内蔵されている。R はトリミングされ所定の抵抗値にされている。スイッチ S (Sa、Sb、Sc) を閉じることにより基準電流 Ic が抵抗 R に流れ込む。したがって、端子 155 の出力電圧から基準電流 Ic の値を測定することができる。測定後、トリミングなどを実施して、基準電流 Ic (IcR、IcG、IcB) が所定値になるように調整などする。

【0783】

本発明のソースドライバ回路 (IC) 14 は基準電流 Ic を所定値にすることにより、RGB のホワイトバランスを規定でき、所定値にすることができる。また、プログラム電流 Iw も所定値にすることができるため、画像の表示輝度も所低値にすることができる。したがって、基準電流 Ic を所低値にする重要度は大きい。

【0784】

この課題に対して本発明は、図 303 に図示するように、RGB ごとに基準電流を調整する電子ポリウム回路 501 を具備している。また、電子ポリウム 501 の値を調整して固定することにより基準電流 Ic を所定値にするためフラッシュメモリ 3031 を有している。フラッシュメモリ 3031 を FDATA (FDATAR、FDATAG、FDATAB) で書き換えることにより電子ポリウム 501 (501R、501G、501B) の値を固定あるいは一時保持させることができる。したがって、基準電流 Ic (IcR、IcG、IcB) を所定値に容易に調整することができる。この調整は Ic 電流を直接測定 (図 299、図 302 など) して目標の調整値をだしてもよいが、図 306 に図示するようにパネルの画面 144 の表示輝度を測定して実施してもよい。

【0785】

図 303 ではフラッシュメモリ 3031 によって電子ポリウム 501 の値を所低値にし、目標の基準電流 Ic を得るとしたが、本発明はこれに限定するものではない。たとえば、図 304 に図示するように、外部のポリウム VR (赤用 VR1、緑用 VR2、青用 VR3) で基準電流 Ic を調整してもよいことは言うまでもない。また、図 305 に図示するように、トランジスタ 158b (図 58、図 59、図 60などを参照のこと) に流れる基準電流 Ic (IcR、IcG、IcB) を電流源 I (Ia、Ib、Ic) で調整してもよいことは言うまでもない。

【0786】

図 47 では、基準電流 Ic1 と Ic2 とを調整するとした。しかし、ゲート配線 153 が所定値以上の抵抗値を有していると、トランジスタ 158b1 に流す基準電流 Ic1 と、トランジスタ 158b2 に流す基準電流 Ic2 とを同一にしても、図 47 のように出力電流の傾斜が補正される。

【0787】

理解を容易にするため、具体的な数値で説明する。Ic1 = Ic2 = 10 (μA) とし、この時、トランジスタ 158b1 のゲート端子電圧 V1 = 0.60 (V)、トランジスタ 158b2 のゲート端子電圧 V2 = 0.61 (V) とする。トランジスタ 158b2 に流れる基準電流とトランジスタ 158b1 に流れる基準電流との差を 1% 以内にする必要

10

20

30

40

50

があるから、基準電流 $= 10 (\mu A)$ の 1% は $0.1 (\mu A)$ である。したがって、 $(V_2 - V_1) / 0.1 (\mu A) = (0.61 - 0.60) (V) / 0.1 (\mu A) = 100 (K\Omega)$ となる。したがって、ゲート配線 153 の抵抗値を $100 (K\Omega)$ とすることにより、出力電流の傾きは調整され、隣接して配置された IC 14 の出力電流の差は 1% 以内の差におさまる。

【0788】

ゲート配線 153 が高抵抗であるほど、補正電流 I_d の大きさは小さくてよい。しかし、ゲート配線 153 の抵抗値をあまりに高くすると、図 52 のリンキングの波高値も大きくなり、横クロストークの発生が顕著となる。したがって、ゲート配線 153 の抵抗値には適切な範囲が存在する。

10

【0789】

本発明は、ゲート配線 153 のうちすべてを、または、少なくともゲート配線 153 の一部はポリシリコンからなる配線で形成したことを特徴としている。好ましくは、単位トランジスタ 154 のゲート端子とのコンタクト部あるいは近傍以外をポリシリコンで形成する。ゲート配線 153 は配線幅を調整することにより、あるいは、蛇行させることにより目標の抵抗値に形成あるいは構成する。

【0790】

ゲート配線のリンキング発生を抑制するには、ゲート配線 153 を所定値以下の抵抗値にすることで達成できる。また、トランジスタ 158b の総面積 S_b (トランジスタ群 431b の総面積 S_b) を大きくすることにより、達成できる。また、基準電流 I_c を大きくすることにより達成できる。

20

【0791】

1 出力の単位トランジスタ 154 の面積 (1 つのトランジスタ群 431c 内の単位トランジスタ 154 の総面積) を S_0 とし、トランジスタ群 431b のトランジスタ 158b の総面積 S_b (図 44 のようにトランジスタ群 431b が複数ある時は、複数のトランジスタ群 431b のトランジスタ 158b の総面積) とする。

【0792】

図 71 は S_b / S_0 を横軸とし、許容できるゲート配線抵抗 ($K\Omega$) を縦軸とした時の関係を示している。図 71 の実線の下側の範囲が許容範囲である (リンキングの発生の影響を受けない範囲である)。言い換えれば、横クロストークが実用上、許容できる範囲である。

30

【0793】

図 71 の横軸は、総トランジスタ群 431b の大きさ S_b に対する 1 出力あたりの単位トランジスタ 154 の大きさ S_0 である (64 階調の場合は、単位トランジスタ 154 が 63 個分)。 S_0 を固定値であるとする、 S_b が大きいほど、ゲート配線 153 が許容できる抵抗値も大きくなる。これは、 S_b が大きくなるほどゲート配線 153 に対するインピーダンスが低くなり、安定度が増加するためである。

【0794】

S_0 は出力電流 (プログラム電流) を発生させるものであり、また、出力バラツキを一定値以下にする必要から、 S_0 の大きさは設計上の変更範囲は狭い。一方でゲート配線 153 の抵抗値を所定値とするためには設計制約がある。

40

【0795】

ゲート配線 153 を高抵抗にするには、配線が細くなり断線が発生する課題、安定度の課題がある。また、 S_b を大きくするとチップ面積が大きくなり、コストが高くなる。したがって、IC 14 のチップサイズの課題から、 S_b / S_0 は 50 以下にすることが好ましい、また、ゲート配線 153 の安定した設計、リンキングの課題などの制約から、 S_b / S_0 は 5 以上にすることが好ましい。したがって、 $5 \leq S_b / S_0 \leq 50$ の条件を満足させる必要がある。

【0796】

図 71 のグラフ (実線) から、 S_b / S_0 が小さくなるほど実線カーブの傾きは緩やか

50

になる。また、 S_b/S_0 が15以上では傾きが一定になる傾向がある。したがって、 S_b/S_0 が5以上15以下では、ゲート配線153の抵抗値は400 (K Ω) 以下にする必要がある。また、 S_b/S_0 が15以上50以下では、 $S_b/S_0 \times 24$ (K Ω) 以下にする必要がある。たとえば、 $S_b/S_0 = 50$ の時は、 $50 \times 24 = 1200$ (K Ω) 以下にする必要がある。

【0797】

トランジスタ158bに流れる基準電流 I_c と、許容ゲート配線抵抗には相関がある。基準電流 I_c が大きいほどトランジスタ158bからゲート配線153をみたときのインピーダンスが低くなるからである。図72にその関係を示す。図72は横軸をトランジスタ158b（もしくはトランジスタ群431b）に流れる基準電流 I_c (μA) である。縦軸が許容できるゲート配線抵抗 (K Ω) を示している。図72の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。

10

【0798】

基準電流 I_c を大きくすれば、ゲート配線153の安定度は向上する。しかし、ソースドライバIC14で消費する無効電流が増加し、また、ゲート配線153の電位も高くなる。このことから、基準電流 I_c は50 (μA) 以下にする必要がある。

【0799】

基準電流 I_c を小さくすれば、ゲート配線153の安定度は低下するため、ゲート配線153の抵抗値を下げる必要がある。しかし、一定値以下に基準電流を下げると単位トランジスタ431cからの出力電流のバラツキが大きくなる。つまり出力電流の安定度がなくなる。このことから、基準電流 I_c は2 (μA) 以上にする必要がある。以上のことから、トランジスタ158bに流す基準電流 I_c は2 (μA) 以上50 (μA) 以下にする必要がある。

20

【0800】

図72のグラフ（実線）は、2つの直線に近似できる。 I_c が2 (μA) 以上15 (μA) 以下では、ゲート配線153の抵抗値 (M Ω) は、 $0.04 \times I_c$ (M Ω) 以下にする必要がある。たとえば、 $I_c = 15$ (μA) であれば、ゲート配線153の抵抗値は、 $0.04 \times 15 = 0.6$ (M Ω) 以下の条件を満足させる必要がある。

【0801】

I_c が15 (μA) 以上50 (μA) 以下では、ゲート配線153の抵抗値 (M Ω) は、 $0.025 \times I_c$ (M Ω) 以下にする必要がある。たとえば、 $I_c = 50$ (μA) であれば、ゲート配線153の抵抗値は、 $0.025 \times 50 = 1.25$ (M Ω) 以下の条件を満足させる必要がある。

30

【0802】

1画素行が選択される期間（1水平走査期間（1H））と、ゲート配線153の抵抗 R (K Ω) $\times$ ゲート配線153の長さ D (m) にも相関がある。1H期間が短いほど、ゲート配線153の電位が正常値に戻るのに要する期間を短くする必要があるからである。また、図47のようにゲート配線153長 D （＝ドライバICのチップ長さ）が長くなると、トランジスタ158bから最も遠い単位トランジスタ群431cの電位変動が許容範囲を越えるからである。

40

【0803】

この現象が発生するのは、単位トランジスタ154とソース信号線18間の寄生容量が影響を与えているためと推定される。つまり、ドライバIC14のチップ長 D が長くなると単純なゲート配線153の抵抗値だけでなく、寄生容量によるゲート配線153の電位変動も考慮する必要があることを示している。

【0804】

図73は横軸を1水平走査期間 (μ 秒) としている。縦軸がゲート配線抵抗 (K Ω) とチップ長 D (m) の掛算値である。図73の実線の下側の範囲が許容範囲である。 $R \cdot D$ は9 (K $\Omega \cdot m$) がソースドライバICの作製限界である。これ以上は、コストが高くな

50

り実用的でない。一方、 $R \cdot D$ が0.05以下では、電流 I_d が大きくなりすぎ、隣接出力電流の偏差が大きくなりすぎる。したがって、 $R \cdot D$ ($K \Omega \cdot m$)は0.05以上9以下にする必要がある。

【0805】

画素16を構成するトランジスタ11をPチャンネルで構成すると、プログラム電流は画素16からソース信号線18に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ154 (図15、図57、図58、図59などを参照のこと)は、Nチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路(IC)14はプログラム電流 I_w を引き込むように回路構成する必要がある。

【0806】

画素16の駆動用トランジスタ11a (図1の場合)がPチャンネルトランジスタの場合は、必ず、ソースドライバ回路(IC)14はプログラム電流 I_w を引き込むように、単位トランジスタ154をNチャンネルトランジスタで構成する。

【0807】

ソースドライバ回路(IC)14をアレイ基板30に形成するには、Nチャンネル用マスク(プロセス)とPチャンネル用マスク(プロセス)の両方を用いる必要がある。概念的に述べれば、画素16とゲートドライバ回路12をPチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはNチャンネルで構成するのが本発明の表示パネル(表示装置)である。

【0808】

本発明の1実施形態は、画素16のトランジスタ11をPチャンネルトランジスタで形成し、ゲートドライバ回路12をPチャンネルトランジスタで形成する。このように画素16のトランジスタ11とゲートドライバ回路12の両方をPチャンネルトランジスタで形成することにより、基板30を低コスト化できる。

【0809】

ソースドライバ回路(IC)14は、単位トランジスタ154をNチャンネルトランジスタで形成することが必要になる。しかし、Pチャンネルのみのプロセスでは、ソースドライバ回路(IC)14は基板30に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路(IC)14を作製し、基板30に積載する。つまり、本発明は、ソースドライバIC14 (映像信号としてのプログラム電流を出力する手段)を外付けする構成である。

【0810】

また、単位トランジスタ154の面積を同一とした場合、Nチャンネルで形成した単位トランジスタ154のばらつきは、Pチャンネルで形成した単位トランジスタのばらつきに比較して、70%になる。つまり、Nチャンネルで単位トランジスタ154を形成する方が、同一トランジスタ形成面積でバラツキを小さくすることができる。検討の結果によれば、Pチャンネルの単位トランジスタのバラツキをNチャンネルの単位トランジスタと同一にするためには、2倍の形成面積が必要であった(図159参照のこと)。

【0811】

ソースドライバ回路(IC)14はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板30に積載してもよい。

【0812】

また、基板30にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路(IC)14の出力端子431を基板30のソース信号線18に接続するのであればいずれの形態でもよい。たとえば、TAB技術でソースドライバ回路(IC)14をソース信号線18に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路(IC)14を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

【0813】

また、画素 1 6 の選択トランジスタを P チャンネルで構成し、ゲートドライバ回路を P チャンネルトランジスタで構成するという構成は、有機 EL などの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、F E D（フィールドエミッションディスプレイ）にも適用することができる。

【0814】

画素 1 6 のスイッチング用トランジスタ 1 1 b、1 1 c が P チャンネルトランジスタで形成されていると、V g h で画素 1 6 が選択状態となる。V g l で画素 1 6 が非選択状態となる。以前にも説明したが、ゲート信号線 1 7 a がオン（V g l）からオフ（V g h）になる時に電圧が突き抜ける（突き抜け電圧）。画素 1 6 の駆動用トランジスタ 1 1 a が P チャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ 1 1 a がより電流が流れなくなる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

10

【0815】

本発明では、ゲートドライバ回路 1 2 を P チャンネルトランジスタで構成することにより、オン電圧は V g h となる。したがって、P チャンネルトランジスタで形成された画素 1 6 とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図 1、図 2、図 6、図 7、図 8 の画素 1 6 の構成のように、アノード電圧 V d d から駆動用トランジスタ 1 1 a、ソース信号線 1 8 を介してソースドライバ回路（I C）1 4 の単位トランジスタ 1 5 4 にプログラム電流 I w が流入するように構成することが重要である。

【0816】

したがって、ゲートドライバ回路 1 2 および画素 1 6 を P チャンネルトランジスタで構成し、ソースドライバ回路（I C）1 4 を基板に積載し、かつソースドライバ回路（I C）1 4 の単位トランジスタ 1 5 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

20

【0817】

また、N チャンネルで形成した単位トランジスタ 1 5 4 は P チャンネルで形成した単位トランジスタ 1 5 4 に比較して出力電流のバラツキが小さい。同一面積（W・L）の単位トランジスタ 1 5 4 で比較した場合、N チャンネルの単位トランジスタ 1 5 4 は P チャンネルの単位トランジスタ 1 5 4 に比較して、出力電流のばらつきは、 $1/1.5$ から $1/2$ になる。この理由からもソースドライバ I C 1 4 の単位トランジスタ 1 5 4 は N チャンネルで形成することが好ましい。

30

【0818】

なお、図 4 2（b）においても同様である。図 4 2（b）は駆動用トランジスタ 1 1 b を介してソースドライバ回路（I C）1 4 の単位トランジスタ 1 5 4 に電流が流入するのではない。しかし、アノード電圧 V d d からプログラム用トランジスタ 1 1 a、ソース信号線 1 8 を介してソースドライバ回路（I C）1 4 の単位トランジスタ 1 5 4 にプログラム電流 I w が流入するように構成である。

【0819】

したがって、図 1 と同様に、ゲートドライバ回路 1 2 および画素 1 6 を P チャンネルトランジスタで構成し、ソースドライバ回路（I C）1 4 を基板に積載し、かつソースドライバ回路（I C）1 4 の単位トランジスタ 1 5 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

40

【0820】

本発明では、画素 1 6 の駆動用トランジスタ 1 1 a を P チャンネルで構成し、スイッチングトランジスタ 1 1 b、1 1 c を P チャンネルで構成する。また、ソースドライバ I C 1 4 の出力段の単位トランジスタ 1 5 4 を N チャンネルで構成するとした。また、好ましくは、ゲートドライバ回路 1 2 は P チャンネルトランジスタで構成するとした。

【0821】

前述の逆の構成でも効果を発揮することは言うまでもない。画素 1 6 の駆動用トランジスタ 1 1 a を N チャンネルで構成し、スイッチングトランジスタ 1 1 b、1 1 c を N チャン

50

ンネルで構成する。また、ソースドライバ I C 1 4 の出力段の単位トランジスタ 1 5 4 を P チャンネルとする構成である。なお、好ましくは、ゲートドライバ回路 1 2 は N チャンネルトランジスタで構成する。この構成も本発明の構成である。

【0822】

次に、プリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線 1 8 などに寄生容量があると、1 水平走査期間 (1 H) に画素 1 6 に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数 n A 程度と微弱であるため、その信号値で数 1 0 p F 程度あると思われる寄生容量 (配線負荷容量) を駆動することは困難である。

10

【0823】

この課題を解決するためには、ソース信号線 1 8 に画像データを書き込む前に、プリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加し、ソース信号線 1 8 の電位レベルを画素のトランジスタ 1 1 a の黒表示電流 (基本的にはトランジスタ 1 1 a はオフ状態) にすることが有効である。このプリチャージ電圧 (プログラム電圧と同義あるいは類似) の形成 (作成) には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

【0824】

プリチャージとは、ソース信号線 1 8 に 1 H の始めなどに、強制的に電圧を印加する方法である。電圧は、駆動用トランジスタ 1 1 a (図 1 の場合を例示するが、これに限定されない。電圧駆動の画素構成でもよい) をオフ状態にするものである。駆動用トランジスタ 1 1 a が P チャンネルの場合は、アノード電圧に近い電圧を印加する。つまり、オフ状態にする電圧を印加する。N チャンネルの場合は、カソード電圧に近い電圧を印加する。

20

【0825】

プリチャージとは駆動用トランジスタ 1 1 a をオフ状態 (立ち上がり電流以下の状態) またはその近傍の電圧を印加するものである。もしくは、図 1 3 5 ~ 1 3 9 などのように複数のプリチャージ電圧 (プログラム電圧と同義あるいは類似) を用いる (低階調プリチャージ駆動) 場合は、駆動用トランジスタ 1 1 a のゲート端子 (G) に電圧を印加し、印加した電圧に応じて駆動用トランジスタ 1 1 a の出力電流を変化 (制御) させるものである。また、プリチャージ駆動は、画素トランジスタ 1 1 a に黒電圧を書き込むものである。また、画素トランジスタ 1 1 a をカットオフ状態にする駆動方法である。また、コンデンサ 1 1 a の端子電圧をトランジスタ 1 1 a がオフする電圧を書き込むものである。

30

【0826】

以上のようにプリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加するとは、駆動用トランジスタ 1 1 a を強制的にオフ状態にする電圧を印加する方式である。また、ソース信号線 1 8 に電圧を印加し、強制的に充放電させることをいう。

【0827】

プリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加するとしたが、ソース信号線 1 8 の電位を変化させるには、電圧の印加だけでなく、電流を印加 (充電又は放電) してもソース信号線 1 8 の電位を変化させることができる。したがって、プリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加する技術的思想は、プリチャージ電流を印加することも含まれる。

40

【0828】

プリチャージ電圧 (プログラム電圧と同義あるいは類似) (電流) は 1 水平走査期間に 1 度印加することに限定するものではなく、1 水平走査期間に複数回分割して印加してもよい。また、複数水平走査期間に 1 度印加するように制御してもよい。また、1 フレームまたは 1 フィールド期間に 1 度以上印加してもよく、複数フィールドまたは 1 フレームに複数回あるいは 1 回印加してもよいことは言うまでもない。

【0829】

また、1 水平走査期間または 1 フレームなどに複数回印加する場合は、複数回内でプリ

50

チャージ電圧（プログラム電圧と同義あるいは類似）の大きさを変化してもよく、複数回内で印加期間を変化させてもよいことは言うまでもない。また、印加位置（ソース信号線18の両端と中央部など）を変化させてもよい。印加位置はフレームまたは水平走査期間で変化させてもよい。

【0830】

本発明は、駆動用トランジスタがPチャンネルにし、プリチャージ電圧（プログラム電圧と同義あるいは類似）をアノード電圧 V_{dd} 以下（アノード電圧 $V_{dd}-1.5(V)$ ）とすることを特徴としている。また、R、G、Bで少なくとも1つは他のプリチャージ電圧（プログラム電圧と同義あるいは類似）を異ならせることができるように構成していることを特徴としている。たとえば、R、G、Bごとに図75の構成をソースドライバIC14内に構成あるいは形成する。

10

【0831】

本発明は、1つのソースドライバ回路（IC）14内にR、G、Bの出力回路（プログラム電流（電圧）出力回路など）を具備するとして説明しているが、これに限定するものではない。たとえば、R、G、Bそれぞれ個別の出力をだす3つのソースドライバ回路（IC）14を設け、1つのアレイ基板30などに実装してもよい。また、図75などで説明するプリチャージ回路構成は、各R、G、BのICチップ（回路）14内にそれぞれ配置する。また、本発明は、1つのソースドライバ回路（IC）14内にR、G、Bの3つのプリチャージ回路などを配置することに限定されない。R、G、Bのうち、1つ以上のプリチャージ回路を配置または形成すればよい。RGBすべてにプリチャージしなくとも黒表示が良好に実施できる色のEL素子15があるからである。

20

【0832】

さらに、プリチャージについて説明をする。図617はプリチャージ回路の他の実施例である。図66の実施例との差異は、プリチャージイネーブル（PEN）とプリチャージセレクト（PSL）などによりプリチャージスイッチ151aが制御される点である。なお、制御スイッチをOPVとする。なお、電流出力段のスイッチ656はPO信号により制御される。

【0833】

図617では、スイッチ151aをオンオフすることにより、端子155からプリチャージ電圧 V_p を出力し、スイッチ151bはPO信号によりオンオフすることにより、プログラム電流 I_w を端子155からソース信号線18に印加する。しかし、図617の構成では、スイッチ151aが閉じ、プリチャージ電圧 V_p が端子155に印加された時には、電流出力回路164（単位トランジスタ群431c）にもプリチャージ電圧 V_p が印加される。電流出力回路164にプリチャージ電圧が印加されると電流出力回路164に異状動作が発生する場合がある。

30

【0834】

この課題に対しては、図618に図示するように、スイッチ151bを電流出力回路164とA点との間に配置し、OPV信号をインバータ142でロジック反転してスイッチ656を制御するように構成する。つまり、スイッチ151aが閉じている時は、スイッチ656は開く（オープン）状態となるようにする。このように構成することにより、端子155にプリチャージ電圧 V_p が印加されている時は、スイッチ151bは開いているために、電流出力回路164にはプリチャージ電圧は印加されない。このタイミングチャートを図619（a）に図示する。図619（a）において、OPV信号がHになっている期間 t_1 には、PO信号はLとなっている。さらに好ましくは、スイッチ151aが閉じている期間の前後には、スイッチ151bがオフ（開いている）になっていることが好ましい。つまり、図619（b）に図示するように、OPV信号がHになっている期間の前後を含めた t_2 の期間の間PO信号がLレベルにする。スイッチ151aのオンオフによる過渡現象の悪影響を防止するためである。

40

【0835】

プリチャージの電圧は、図558に図示するように、一定電圧を分圧させて、複数のプ

50

リチャージ電圧を発生させてもよい。図 5 5 8 では、 V_p 電圧を抵抗 R で分圧し、分圧した電圧はオペアンプ 5 0 2 を介してインピーダンスを低下させ、プリチャージ電圧 V_{p1} および V_{p2} 電圧を発生させている。プリチャージ電圧 (V_{p1} 、 V_{p2}) は、画像データに応じていずれかを選択し、端子 1 5 5 より出力する。出力電圧の選択は、スイッチ 1 5 1 a、1 5 1 bで行う。

【0836】

図 1 8 6 はプリチャージ駆動の説明図である。図 1 8 6 (a) は駆動用トランジスタ 1 1 a が P チャンネルの場合である。画素構成は図 1 を例示して説明しているが、これに限定するものではない。図 2、図 7、図 1 1、図 1 2、図 1 3、図 2 8、図 3 1 などの他の画素構成の EL 表示パネルあるいは EL 表示装置にも適用できることは言うまでもない。

10

【0837】

プリチャージ電圧 (プログラム電圧と同義あるいは類似) はソースドライバ回路 (IC) 1 4 が発生する。この点も本発明の特徴である。また、ソースドライバ回路 (IC) 1 4 はシリコンチップの IC である。また、プリチャージ電圧 (プログラム電圧と同義あるいは類似) は、駆動用トランジスタ 1 1 a が P チャンネルの場合、 V_{dd} 電圧以下で $V_{dd} - 5.0$ (V) 以上の電圧である。プリチャージ電圧 (プログラム電圧と同義あるいは類似) V_p は、画素選択トランジスタ 1 1 c がオンし、駆動用トランジスタ 1 1 a のゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。

【0838】

プリチャージ電圧 (プログラム電圧と同義あるいは類似) は駆動用トランジスタ 1 1 a をオフ状態 (電流が流れないようにする電圧) にする電圧である。プリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加された画素のトランジスタ 1 1 d はオフ状態にされ、EL 素子 1 5 にはプリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加されないように制御されている。そのため、プリチャージ電圧 (プログラム電圧と同義あるいは類似) により EL 素子 1 5 が不要な発光を行うことはない。

20

【0839】

図 1 8 6 (b) は駆動用トランジスタ 1 1 a が N チャンネルの場合である。プリチャージ電圧 (プログラム電圧と同義あるいは類似) はソースドライバ回路 (IC) 1 4 が発生する。プリチャージ電圧 (プログラム電圧と同義あるいは類似) は、駆動用トランジスタ 1 1 a が N チャンネルの場合、 V_{ss} 電圧以上 $V_{ss} + 5.0$ (V) 以下の電圧である。プリチャージ電圧 (プログラム電圧と同義あるいは類似) V_p は、画素選択トランジスタ 1 1 c がオンし、駆動用トランジスタ 1 1 a のゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧 (プログラム電圧と同義あるいは類似) は駆動用トランジスタ 1 1 a をオフ状態 (電流が流れないようにする電圧) にする電圧である。プリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加された画素のトランジスタ 1 1 d はオフ状態にされ、EL 素子 1 5 にはプリチャージ電圧 (プログラム電圧と同義あるいは類似) が印加されないように制御されている。そのため、プリチャージ電圧 (プログラム電圧と同義あるいは類似) により EL 素子 1 5 が不要な発光を行うことはない。

30

【0840】

図 1 8 7 (a) は、図 1 3 のように画素構成がカレントミラー構成の場合である。駆動用トランジスタ 1 1 b が P チャンネルの場合である。プリチャージ電圧 (プログラム電圧と同義あるいは類似) はソースドライバ回路 (IC) 1 4 が発生する。プリチャージ電圧 (プログラム電圧と同義あるいは類似) は、駆動用トランジスタ 1 1 a が P チャンネルの場合、 V_{dd} 電圧以下で $V_{dd} - 5.0$ (V) 以上の電圧である。プリチャージ電圧 (プログラム電圧と同義あるいは類似) V_p は、画素選択トランジスタ 1 1 c がオンし、駆動用トランジスタ 1 1 a のゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。

40

【0841】

プリチャージ電圧 (プログラム電圧と同義あるいは類似) は駆動用トランジスタ 1 1 a

50

をオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ 11 d はオフ状態にされ、E L 素子 15 にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧により E L 素子 15 が不要な発光を行うことはない。

【0842】

図 187 (b) に図示するように、トランジスタ 11 d は必ずしも必要ではない。特に、図 13 のようにカレントミラー回路構成では不要である。また、図 186 (b) で図示するように、図 187 においても駆動用トランジスタ 11 b を N チャンネルで構成できることも言うまでもない。

【0843】

以上のプリチャージ駆動の一例を図示すれば、図 565 から図 568 になる。なお、プリチャージ電圧は、電子ボリウムなどで自由に設定できるように構成することが好ましい。

【0844】

図 565 から図 569 において、上段の図面は、プリチャージを印加していない状態のソース信号線 18 電位を示している。画素 16 の駆動用トランジスタは P チャンネルとしている。また、画素データは理解を容易にするために 64 階調として表示している。したがって、プリチャージ電圧 (PRV) は、アノード電圧 (Vdd) に近い電圧を印加する。プリチャージ電圧 (PRV) を印加することにより、駆動用トランジスタに電流を流れないようにする。あるいは電流が流れにくいようにする。つまり、画素 16 を黒表示にする。駆動用トランジスタが N チャンネルの場合は、プリチャージ電圧はグラウンド (GND) 電位またはカソード電圧 (Vss) に近い電圧を印加し、駆動用トランジスタに電流が流れないようにする。

【0845】

以上は、プリチャージ電圧の印加により画素を黒表示あるいは黒表示に近い状態にする方法の場合である。しかし、プリチャージ電圧を印加することにより、白表示にする場合もある。したがって、プリチャージ電圧の印加とは、黒表示電圧だけではない。ソース信号線 18 に電圧印加により、ソース信号線 18 に一定電位にする方法である。

【0846】

図 1 など、画素 16 の駆動用トランジスタ 11 a が P チャンネルの場合は、スイッチング用トランジスタ 11 b も P チャンネルで形成することが重要である。スイッチング素子 11 b がオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。したがって、画素 16 の駆動用トランジスタ 11 a が N チャンネルの場合は、スイッチング用トランジスタ 11 b も N チャンネルで形成することが重要である。スイッチング素子 11 b がオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。

【0847】

下段は、ソース信号線 18 にプリチャージ電圧 (PRV) を印加した時にソース信号線電位を図示している。矢印の箇所がプリチャージ電圧 (PRV) の印加位置を示している。なお、プリチャージ電圧の印加位置は、1 H の最初に限定するものではない。1/2 H までの期間にプリチャージ電圧を印加すればよい。なお、ソース信号線 18 にプリチャージ電圧を印加するときは、選択側のゲートドライバ 12 a の OEV 端子を操作し、いずれのゲート信号線 17 a も選択されていない状態にすることが好ましい。

【0848】

図 565 は A11 プリチャージモードである。1 H の最初にプリチャージ電圧 (PRV) をソース信号線に印加している。ソース信号線 18 にプリチャージ電圧 (PRV) を印加することにより、一端ソース信号線 18 は黒表示電圧が印加される。

【0849】

図 566 は選択プリチャージモードであり、0 階調（完全黒表示）にのみプリチャージ電圧を印加した時のソース信号線電位を示している。

10

20

30

40

50

【0850】

図567は選択プリチャージモードであり、8階調以下の場合にはプリチャージ電圧を印加した時のソース信号線電位をしめしている。

【0851】

また、図568は適応プリチャージモードであり、0階調にのみプリチャージを行い、かつ0階調が連続する場合は、1度プリチャージを行ったのちは、連続する0階調目にはプリチャージを行わないものである。図568の適応プリチャージモードにおいて、8階調以下に選択プリチャージを行う場合は、8階調以下が連続する場合は、1度プリチャージを行ったのちは、連続する8階調目以下にはプリチャージを行わないものである。

【0852】

電流駆動（電流プログラム）方式の場合は、ソース信号線18に流れる電流の大きさが小さい。したがって、ソース信号線18がフローティング状態になり、電位が不確定になる場合がある。この対策として、プリチャージ電圧をソース信号線18に印加し、ソース信号線18の電位を安定化させる方法が例示される。

【0853】

図569は、プリチャージ電圧をソース信号線18に印加することのより安定化させた実施例である。1フィールドあるいは1フレームの最後もしくは最初にソース信号線18にプリチャージ電圧を一斉に印加している。図570はその変形例である。第1フィールドでは奇数番目のソース信号線18にプリチャージ電圧を印加し、第2フィールドでは、偶数番目のソース信号線18にプリチャージ電圧を印加している。

【0854】

プリチャージ電圧は、図571に図示するように、表示期間よりも1H以上前に印加することが好ましい。図571では、 $B = 2H$ （2水平走査期間）前にプリチャージを行っている。表示期間の直前にプリチャージを行うと、プリチャージによりソース信号線18の電位が大きく変動し、画像表示の最初の画素行の輝度が低下し悪影響が出る場合があるからである。

【0855】

図75に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（IC）14の一例を示す。図75では、6ビットの定電流出力回路164の出力段にプリチャージ機能を搭載した場合を示している。

【0856】

図75では、プリチャージ電圧を印加すると、内部配線150のB点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段164にも印加されることになる。しかし、電流出力段164は定電流回路であるから、高インピーダンスである。そのため、定電流回路164にプリチャージ電圧が印加されても回路の動作上問題は発生しない。

【0857】

プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージと呼ぶ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。

【0858】

好ましくは、階調データの階調0から全階調の1/8の領域の階調領域で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

10

20

30

40

50

【0859】

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。階調0のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

【0860】

プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Rは7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込むようにする。

【0861】

最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。なお、プリチャージ電圧は、図1のアノード電圧V_{dd}-0.5（V）以下、アノード電圧V_{dd}-2.5（V）以上にすることが好ましい。

【0862】

階調0のみをプリチャージする方法にあっても、R、G、Bの1色あるいは2色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることも有効である。特に表示画面144の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、0階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。

【0863】

また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

【0864】

以上の信号の印加状態により、スイッチ151aがオンオフ制御され、スイッチ151aオンの時、プリチャージ電圧PVがソース信号線18に印加される。なお、プリチャージ電圧PVを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は1水平走査期間（1H）の1/100以上1/5以下の時間に設定することが好ましい。たとえば、1Hが100μsecとすれば、1μsec以上20μsec（1Hの1/100以上1Hの1/5以下）とする。さらに好ましくは、2μsec以上10μsec（1Hの2/100以上1Hの1/10以下）とする。

【0865】

一致回路161の出力と、カウンタ回路162の出力とが、AND回路163でANDされ、一定期間、黒レベル電圧V_pを出力するように構成されている。

【0866】

図75は、プリチャージ電圧を階調に応じて変化できるように構成した実施例である。図75では印加する画像データに応じてプリチャージ電圧を変化させることが容易に実現

10

20

30

40

50

できる。プリチャージ電圧は画像データ（D3～D0）によって、電子ボリウム501により変化させることができる。図75では、D3～D0ビットは電子ボリウムに接続されていることから、低階調のプリチャージ電圧が変更できるようにしていることがわかる。これは、黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。

【0867】

したがって、低階調領域になるにしたがって、プリチャージ電圧を高くする。画素16の駆動用トランジスタ11aをPチャンネルとしているため、アノード電圧（V_{dd}）がもっと黒表示電圧である。高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ11aがPチャンネルの時）する。つまり、低階調表示では、電圧プログラム方式が実施され、高階調表示（白表示）では、電流プログラム方式が実施されていることになる。

10

【0868】

もちろん、図75は階調に応じてプリチャージ電圧を変化するだけでなく、温度あるいは点灯率、基準電流比、duty比に応じてプリチャージ電圧を変化あるいは制御してもよい。また、温度あるいは点灯率、基準電流比、duty比に応じてプリチャージ電圧の印加時間を変化あるいは制御してもよい。

【0869】

図75のプリチャージ回路では、階調0のみをプリチャージするとか、階調0から階調7の範囲でプリチャージするとかを選択できる。また、各階調に対するプリチャージ電圧も電子ボリウム501で変更できる。

20

【0870】

ソース信号線18に印加する画像データにより、プリチャージ電圧P_V印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調0では印加時間を長くし、階調4ではそれよりも短くするなどである。また、1H前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。

【0871】

たとえば、1H前にソース信号線に画素を白表示にする電流と書き込み、次の1Hに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1H前にソース信号線に画素を黒表示にする電流と書き込み、次の1Hに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。もちろん、点灯率によりプリチャージ時間を制御（可変）してもよい。

30

【0872】

印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（V_{dd}に対して。なお、画素トランジスタ11aがPチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ11aがPチャンネルの時）するという制御方法も有効である。

40

【0873】

画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

【0874】

50

プリチャージ制御は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、所定輝度の白面積：所定輝度の黒面積の比が1：20以上でプリチャージを停止または開始し、GとBは、所定輝度の白面積：所定輝度の黒面積の比が1：16以上でプリチャージを停止または開始するという方法が例示される。

【0875】

なお、実験および検討結果によれば、有機EL表示パネルの場合、所定輝度の白面積：所定輝度の黒面積の比が1：100以上（つまり、黒面積が白面積の100倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が1：200以上（つまり、黒面積が白面積の200倍以上）でプリチャージを停止することが好ましい。

10

【0876】

以前にも説明をしたが、図76に図示するように、RGBの画像データ（RDAT A、GDAT A、BDAT A）は各8ビットである。RGB各8ビットの画像データは、ガンマ回路764でガンマ変換されて、10ビット信号となる。ガンマ変換された信号は、フレームレートコントロール（FRC）回路765でFRC処理されて、6ビットの画像データに変換される。プリチャージ制御回路（PC）761は、変換された6ビットの画像データからプリチャージ制御信号（プリチャージする時はHレベルとし、プリチャージしない時はLレベルとする）を発生させる。このプリチャージを発生させる方式については後に説明をする。

20

【0877】

なお、FRCは10ビット信号を8ビットもしくは6ビット処理することが、画像の破綻もなく好ましい。

【0878】

図77は、ソースドライバ回路（IC）14のプリチャージ回路773を中心とするブロック図である。プリチャージ回路773とは、プリチャージ制御回路761によりプリチャージ制御信号PC信号（赤（RPC）、緑（GPC）、青（BPC））が出力される。このPC信号は図76に図示するコントロールIC81のプリチャージ制御回路761により発生し、PC信号は、図77に図示するソースドライバIC14のセクタ回路772に入力される。

30

【0879】

セクタ回路772は、メインクロックに同期して出力段に対応するラッチ回路771に順次ラッチしていく。ラッチ回路771はラッチ回路771aとラッチ回路771bの2段構成である。ラッチ回路771bは水平走査クロック（1H）に同期してプリチャージ回路773にデータを送出する。つまり、セクタは、1画素行分の画像データおよびPCデータを順次ラッチしていき、水平走査クロック（1H）に同期して、ラッチ回路771bでデータをストアする。

【0880】

なお、図77では、ラッチ回路771のR、G、BはRGBの画像データ6ビットのラッチ回路であり、Pはプリチャージ信号（RPC、GPC、BPC）の3ビットをラッチするラッチ回路である。

40

【0881】

プリチャージ回路773は、ラッチ回路771bの出力がHレベルの時、スイッチ151aをオンさせ、ソース信号線18にプリチャージ電圧を出力する。電流出力回路164は画像データに応じて、プログラム電流をソース信号線18に出力する。

【0882】

図76、図77の構成を概略的に図示すれば、図78の構成となる。なお、図78、図79は1つの表示パネルに複数のソースドライバ回路（IC）14を積載した構成（ソースドライバICのカソード接続）である。また、図78、図79のCSEL1、CSEL2はICチップのセレクト信号である。CSEL信号によりどちらにICチップを選択し

50

、画像データおよび P C 信号を入力するかを決定する。

【0883】

図 77、図 78 の構成では、各 R G B 画像データに対応して、プリチャージコントロール (P C) 信号を発生させている。プリチャージの印加は、以上のように R G B ごとに行うことが好ましい。しかし、動画表示、自然画表示では、R G B ごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、R G B を輝度信号に変換し (換算し)、輝度によりプリチャージをするかしないかを判断してもよい。このようにしたのが、図 79 の構成である。

【0884】

図 78 の構成では、P C 信号は 3 ビット必要である (R P C、G P C、B P C) が、図 79 の構成では、P C 信号は R G B P C の 1 ビットでよい。したがって、図 77 のラッチ回路 771 においても、P は 1 ビットのラッチでよい。なお、以降の説明では、説明を容易にする点、作図を容易にする観点から、R G B を考慮せずに説明を行う。

【0885】

以上の本発明の構成は、コントローラ回路 (I C) 760 が画像データに基づいて P C 信号 (プリチャージ制御信号) を発生する点、ソースドライバ I C 14 が P C 信号をラッチし 1 H の同期信号に同期してソース信号線 18 に印加する点に特徴がある。また、コントローラ 81 は図 76 に図示するように、プリチャージモード (P M O D E) 信号により、プリチャージ信号の発生を容易に変更することができる。

【0886】

たとえば、P M O D E とは、階調 0 のみをプリチャージするモード、階調 0 - 7 など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。

【0887】

1 画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して (たとえば、重み付け処理など) プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【0888】

プリチャージをするかしないかの判定は、1 画素行前の画像データ (あるいは、直前にソース信号線に印加された画像データ) にもとづいて行っても良い。たとえば、あるソース信号線 18 に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書き込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線 18 の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ 81 に 1 画素行分 (F I F O のため 2 ラインのメモリが必要) のラインメモリを形成 (配置) することのより容易に実現できる。

【0889】

また、本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これに限定するものではない。1 水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線 18 に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線 18 に書き込み、その後プログラム電流をソース信号線 18 に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の技術的範疇である (本発明の範囲内である)。

【0890】

10

20

30

40

50

たとえば、図 7 5 では電子ポリウム 5 0 1 を切り換えることによりプリチャージ電圧が変化する。この電子ポリウム 5 0 1 を電流出力の電子ポリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせることにより容易に実現できる。本発明では説明を容易にするため、プリチャージ駆動はプリチャージ電圧で行うとして説明をする。

【0891】

プリチャージ電圧（電流）の印加は、一定のプリチャージ電圧（電流）を印加すること限定するものではない。たとえば、複数のプリチャージ電圧をソース信号線に印加してもよい。たとえば、第 1 のプリチャージ電圧 5（V）を 5（ μ sec）印加した後、第 2 のプリチャージ電圧 4.5（V）を 5（ μ sec）印加する方法である。その後、プログラム電流 I_w をソース信号線 18 に印加する。

10

【0892】

プリチャージ電圧駆動は、印加する電圧波形を鋸波状に変化させたものでもよい。また、矩形波を印加してもよい。また、正規のプログラム電圧（電流）にプリチャージ電圧（電流）を重ねさせてもよい。また、プリチャージ電圧（電流）の大きさ、プリチャージ電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。また、画像データの値などに応じて、印加波形の種類、プリチャージ電圧の値などを変化させてもよい。本発明は電流駆動方式において、プリチャージ電圧（電流）を印加するとして説明をするが、プリチャージ駆動は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、EL 素子 15 を駆動する駆動用トランジスタサイズが大きいため、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。この課題に対して、プログラム電圧を印加する前に、プリチャージを実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書き込みを実現できる。

20

【0893】

したがって、本発明のプリチャージ駆動方式は、電流プログラム駆動に限定されるものではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図 1 などを参照のこと）を例示して説明をする。

【0894】

本発明の実施例において、プリチャージ駆動方式は、駆動用トランジスタ 11 a のみに作用するものではない。たとえば、図 11、図 12、図 13 の画素構成において、カレントミラー回路を構成するトランジスタ 11 a にも作用して効果を発揮する。本発明のプリチャージ駆動方式は、ソースドライバ回路（IC）14 からみたソース信号線 18 の寄生容量を充放電することを 1 つの目的としているが、当然のことながらソースドライバ回路（IC）14 内の寄生容量も充放電されることも目的としている。

30

【0895】

プリチャージ電圧（電流）は、黒表示を良好にすることを 1 つの目的としているが、これに限定されるものではない。白表示を書込み易くする白書き込みプリチャージ電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプリチャージ駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書込み易くするための、所定の電圧（電流）を印加し、予備充電するものである。

【0896】

本発明は、黒表示でプリチャージするとして説明をするが、これは、基本的には駆動用トランジスタ 11 a からソースドライバ回路（IC）14 に吸い込み電流で実施する場合である。駆動用トランジスタ 11 a などが N チャンネルトランジスタの場合は、ソースドライバ回路（IC）14 からは吐き出し電流でプログラムすることになる。この場合は、白表示で書き込みにくい画素構成の場合も発生する。したがって、本発明のプリチャージ駆動方法は、ソース信号線 18 などを所定電位に変化させるものであって、白表示でプリチャージするとか、黒表示でプリチャージするとかは実施形態にすぎない。したがって、これらに限定されるものではない。

40

【0897】

プリチャージ電圧（電流）の印加タイミングは、プログラム電圧（電流）を書き込む画

50

素行を選択した状態でプリチャージ電圧（電流）を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態で、ソース信号線 18 にプリチャージ電圧（電流）を印加して予備充電を行ない、その後、プログラム電流（電圧）を書き込む画素行を選択してもよい。

【0898】

プリチャージ電圧は、ソース信号線 18 に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（ V_{dd} ）またはカソード端子への印加電圧（ V_{ss} ）を変化させてもよい（プリチャージ電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ 11a の書き込み能力が拡大される。したがって、プリチャージ効果が発揮される。特に、アノード電圧（ V_{dd} ）をパルス的に変化させる方式を実施する効果が高い。

10

【0899】

図 236 に図示するように点灯率に対して、アノード電圧とプリチャージ電圧とを変化させてもよい。また、図 238 に図示するように基準電流比に対してプリチャージ基準電圧（ V_{bv} ）の大きさを変化させてもよい。プリチャージ基準電圧（ V_{bv} ）は図 239 に図示するように（図 127 から図 143 およびその説明を参照のこと）、基準電流 I_c を用いた $I-V$ 変換回路 2391 で発生することができる。

【0900】

点灯率、基準電流、アノード（カソード）端子のアノード（カソード）電流に対して、ゲートドライバ回路 12 のオン電圧（ V_{gl} ）、オフ電圧（ V_{gh} ）も変化させてもよい。特にアノード電圧 V_{dd} が上昇させるときは連動して V_{gh} 電圧も上昇させることが好ましい。

20

【0901】

本発明の実施例では、点灯率あるいはアノード（カソード）端子のアノード（カソード）電流により $duty$ 比、基準電流比などを可変あるいは制御するとして説明するが、点灯率あるいはアノード端子などの電流は電流駆動方式ではプログラム電流 I_w に比例する。したがって、プログラム電流 I_w あるいはプログラム電流の総和あるいは所定期間の和により、基準電流比（プリチャージ制御など以前あるいは以降に説明することも含む。たとえば、図 127 などの電圧プログラムと電流プログラムの切り換えタイミングなども含む）などを制御などすることも本発明の技術的範疇であることは明らかである。

30

【0902】

図 75 などにおいて、プリチャージ電圧（もしくはプリチャージ電流）は、1 水平走査期間（1H）ごとに変化させることも有効である（図 257（a）に図示する）。また、図 257（b）に図示するように、複数水平走査期間で変化させてもよい。また、ランダムにプリチャージ電圧を印加し、平均の実効電圧が目標のプリチャージ電圧となるようにしてもよい。また、プリチャージ電圧を印加する画素行の画像データを演算（加算など）し、特に低階調の画像（映像）データの割合が多い時に、プリチャージ電圧（電流）を印加するように制御または構成してもよい。また、このプリチャージ電圧（電流）は、演算結果により変化さえる。これは、比較的階調が高い場合は、EL 表示パネル内でハレーションが発生し、一定の低階調の画素は輝度が浮いて高くなるからである。したがって、一定の低階調以下の画素 16 にはプリチャージ電圧を印加することにより、より完全な黒表示を実現し、画像のコントラスト感を高くすることができる。

40

【0903】

印加するプリチャージ電圧は一定の低階調の画素には一定の電圧を印加（一定の低階調の画素は黒つぶれ表示になる）してもよいし、また、図 75 のプリチャージ電圧の変更データ D の値を制御してプリチャージ電圧を画素に印加する画像データに応じて変化させてもよい。

【0904】

このように場合に応じて、プリチャージ電圧（電流）を変化できるのは、図 75 に図示するように、ソースドライバ回路（IC）14 内に電子ボリウム 501 を内蔵しているこ

50

とに起因する効果大きい。つまり、ソースドライバ回路（IC）14の外部からデジタル的にプリチャージ電圧などを変化させることができるからである。この変化を実現するデジタルデータDはコントローラIC（回路）760で発生させる。したがって、ソースドライバ回路（IC）14とコントローラIC（回路）76とは機能分離され、設計あるいは変更が容易となる。

【0905】

以上は1H期間内にプリチャージ電圧などを変化させるとしたが、本発明はこれに限定するものではない。複数画素行（たとえば、10画素行）内の画像（映像）データを演算し、変更データDを設定してプリチャージ電圧（電流）を印加してもよい（図257（b）を参照のこと）。また、1フレーム（フィールド）あるいは複数フレーム（フィールド）内の画像（映像）データを演算し、プリチャージ電圧（電流）を印加してもよい。なお、プリチャージ電圧（電流）は画像（映像）データを演算することにより、変更あるいは所定の電圧として、画素16あるいは画素行に印加するとしたが、これに限定するものではない。たとえば、あらかじめ、印加するプリチャージ電圧（電流）を固定しておき、このプリチャージ電圧などを印加してもよく、また、複数のプリチャージ電圧などをあらかじめ選択しておき、このプリチャージ電圧などを順次あるいはランダムに画素あるいは画素行あるいは画面全体に印加できるように制御してもよいことは言うまでもない。また、演算結果などにより、プリチャージ電圧などを印加しない場合もあることは言うまでもない。

【0906】

また、プリチャージ電圧（電流）などは、フレームレートコントロール（FRC）の技術を用いて実施してもよい。つまり、プリチャージ電圧などを印加する画素あるいは画素行に対して、複数のフレーム（フィールド）で、プリチャージ電圧などを印加したり、印加しなかったりすることにより、複数フレーム（フィールド）で階調表示できる（この場合は、プリチャージ電圧などの印加により階調表示されることになる）。以上のようにFRCを実施することにより、少ないプリチャージ電圧（電流）の種類で適切な黒表示あるいは階調表示を実現することができる。

【0907】

プリチャージ電圧 V_{pc} は、図258などで図示するように、電子ボリウム501の出力をオペアンプ回路502に印加し、オペアンプ回路502を介して発生させる。この電子ボリウム501の電源電圧（基準電圧） V_s と駆動用トランジスタ11aのソース端子電位（アノード端子電圧） V_{dd} とは共通にすることが好ましい。プリチャージ電圧 V_{pc} は、駆動用トランジスタ11aのアノード電位を基準としているからである。

【0908】

以上の実施例では、プリチャージ電圧などを演算などし、画素16などに印加するとした。印加は演算後すぐに行うのではなく、遅延時間をもたせて実施してもよい。また、プリチャージ電圧などを順次あるいはランダムに変化などさせる時は、徐々にあるいは変化をゆっくりと、もしくは、ヒステリシスをもたせて行うことが好ましい。急激なプリチャージ電圧の変化は画像にスジ状の表示が発現すること、画像表示にフリッカが発生することがあるからである遅延時間などの技術的思想は図98あるいは他の実施例で説明しているので、この思想を直接あるいは類似に適用すればよいので説明を省略する。

【0909】

FRCの動作も点灯率に応じて変化などしてもよいことは言うまでもない。変化とは、FRCをするかしないかの制御、FRCをどの階調に実施するかかの制御、FRCの変換ビット数の制御などである。

【0910】

たとえば、点灯率が高いときは、白ラスターに近い表示である。したがって、画面全体が白っぽく、FRCをする必要がない場合が多い。一方で点灯率が低い場合は、画面全体的に黒表示部が多い。この場合は、FRCを実施し、階調の再現性を高める必要がある。以上は、点灯率によりFRCを変化させるとして説明したが、本発明はこれに限定するも

のではない。たとえば、基準電流を上昇させると、面全体が白っぽく、F R Cをする必要がない場合が多い。一方で基準電流が低い場合は、画面全体的に黒表示部が多い。この場合は、F R Cを実施し、階調の再現性を高める必要がある。以上の事項はd u t y比制御にも適用できる。また、アノード（カソード）電流に変化に対応してF R C変化を実施してもよいことは言うまでもない。

【0911】

また、図259に図示するように点灯率に応じて、F R Cを変化させることも有効である。図259において、点灯率0～25%では、8 F R C（8フレームまたは8フィールドを用いて階調表示するF R C）を実施している。したがって、階調表示数が向上する。点灯率25～50%では、4 F R C（4フレームまたは4フィールドを用いて階調表示するF R C）を実施している。同様に、点灯率50～75%では、2 F R C（2フレームまたは2フィールドを用いて階調表示するF R C）を実施し、点灯率75～100%では、F R Cしない。つまり、点灯率に応じて最適なF R C制御を実施する。一般的に低点灯率では、暗い画像が多いため、ガンマ係数を小さくするとともに、F R Cのフレーム数を多くして階調表現を向上させることが必要である。

10

【0912】

本明細書において、点灯率に応じてd u t y比制御などを変化させるとして説明する。しかし、点灯率とは、一定の意味ではない。たとえば、低点灯率とは、画面144に流れる電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。つまり、画面144を構成する映像は、暗い画素（低階調の画素）が多い。

20

【0913】

したがって、低点灯率とは、画面を構成する映像データのヒストグラム処理をした時、低階調の映像データが多い状態と言い換えることができる。高点灯率とは、画面144に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。つまり、画面144を構成する映像は、明るい画素（高階調の画素）が多い。高点灯率とは、画面を構成する映像データのヒストグラム処理をした時、高階調の映像データが多い状態と言い換えることができる。つまり、点灯率に対応して制御するとは、画素の階調分布状態あるいはヒストグラム分布に対応して制御することと同義あるいは類似の状態を意味することがある。

【0914】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態（低点灯率＝低階調画素が多い。高点灯率＝高階調画素が多い。）にもとづいて制御すると言い換えることができる。たとえば、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってd u t y比を小さくするとは、低階調の画素数が多くなるにしたがって、基準電流比を増加させ、高階調の画素数が多くなるにしたがってd u t y比を小さくすると言い換えることができる。または、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってd u t y比を小さくするとは、低階調の画素数が多くなるにしたがって基準電流比を増加させ、高階調の画素数が多くなるにしたがってd u t y比を小さくするのと同じあるいは類似の意味あるいは動作もしくは制御である。

30

40

【0915】

また、たとえば、所定の低点灯率以下で基準電流比をN倍し、かつ選択信号線数をN本にする（図277～図279などを参照のこと）とは、低階調の画素数が一定以上の時に、基準電流比をN倍し、かつ選択信号線数をN本にすることと同じあるいは類似の意味あるいは動作もしくは制御である。

【0916】

また、たとえば、通常は、d u t y比1／1で駆動し、所定の高点灯率以上で段階的にあるいはスムーズにd u t y比を低下させるとは、低階調あるいは高階調の画素数が一定の範囲以内の時に、d u t y比1／1で駆動し、高階調の画素数が一定の以上数となった時に、段階的にあるいはスムーズにd u t y比を低下させることと同じあるいは類似の意

50

味あるいは動作もしくは制御である。

【0917】

また、図442に図示する駆動方法も本発明の範疇である。図442は、横軸を階調b以下（図442では一例として $b = 16$ としている）の画素の割合としている。階調16以下の画素の割合が25%とは、たとえば、表示パネルが10万画素を有しており、256階調の場合において、2.5万画素が16階調以下の画像表示であることを示している。したがって、結果的には横軸は、点灯率あるいはそれに類似した値あるいは指標を示すことになる。

【0918】

図442の実施例では、階調16以下の画素の割合が、75%以上で基準電流比を増大させ、輝度を一定にするためduty比が低減している。また、階調16以下の画素の割合が、25%以下でパネルの消費電流を低減するため、duty比を低下させている。

【0919】

以上のように、点灯率に基づいてとは、所定の階調を定め、定めた階調以下あるいは以上の画素の割合によりもとづいて置き換えることができる。以上の事項は本発明の他の実施例でも同様に適用できることは言うまでもない。

【0920】

以上の点灯率あるいは階調b以下（以上）の画素の割合などに関する事項は、他の制御（たとえば、プリチャージ電圧、FRC、温度など）についても適用できることは言うまでもない。また、本発明の他の実施例に組み合わせてあるいは適用できることも言うまでもない。

【0921】

以上の実施例は、画像（映像）データなどにより、プリチャージ電圧、FRCなどを変化あるいは制御するとしたが、本発明はこれに限定するものではない。例えば、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはduty比あるいはパネル温度もしくはこれらの組合せにより、プリチャージ電圧（電流）の大きさを変化させてもよい。また、プリチャージ電圧の印加時間を変化させてもよい。

【0922】

たとえば、基準電流の大きさに応じてプログラム電流の大きさが変化し、駆動用トランジスタ11aを流れる電流が変化するためプリチャージ電圧の大きさも変化させることが好ましい。また、点灯率が高い時は、画面に白表示に近く、画面全体にハレーションが発生しているから黒浮きが発生している。そのため、画素16にプリチャージ電圧などを印加しても効果がない。この場合は、プリチャージ電圧などの印加をやめた方が低消費電力化を実現できる。一方で低点灯率の場合は、画面に黒表示部が多く、ハレーションの発生も少ないため、画素16に十分なプリチャージを行い、コントラスト感を向上させる必要がある。

【0923】

同様に、アノード（カソード）電流が大きい時は、画面に白表示部分が多いため、ハレーションが発生しやすい。この場合は、プリチャージ電圧などの印加が必要でない場合が多い。逆にアノード（カソード）電流が小さい時は、プリチャージ電圧などの印加が必須となる場合が多い。

【0924】

上記実施例では、画像（映像）データ、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはduty比あるいはパネル温度もしくはこれらの組合せにより、FRCあるいはプリチャージ電圧（電流）の大きさを変化させるとしたが、これに限定するものではない。画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、アノード（カソード）端子電圧（図122など）、アノード端子電圧とカソード端子電圧の電位差（図280など）、duty比、パネル温度などの変化の割合あるいは変化を予測して、FRC、プリチャージ電圧などの制御を実施してもよいことはいうまでもない。

10

20

30

40

50

【0925】

以上のように、本発明は、画素（映像）データなどにより、F R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せにより、その結果などに対応してプリチャージ電圧（電流）の大きさ、プリチャージ電圧などの印加の有無、プリチャージ電圧などのF R C制御、プリチャージ電圧などの変化状態、プリチャージ印加期間などを制御する駆動方法である。なお、変化あるいは変更は図98で説明するようにゆっくりとあるいは遅延させて実施することが好ましい。

【0926】

以上のように、本発明は第1の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第1のF R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

【0927】

また、第2の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第2のF R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、F R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せとして変化させるものである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【0928】

以上のように、本発明は第1の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第1のF R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

【0929】

また、第2の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第2のF R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せとして変化させるとしたが、本発明はこれに限定するものではない。たとえば、点灯率によりゲートドライバ回路12のオン電圧またはオフ電圧もしくは両方の電圧を変化させてもよい。

【0930】

以上の記載で点灯率とは、画像の表示状態を示している。点灯率が低いとは黒表示が多い画像（低階調が多い画素または画像）を示しており、点灯率が高いとは、白表示が多い画像（高階調が多い画素または画像）を示している。また、点灯率とは、アノード端子に流れ込む電流（カソード端子から流れ出す電流）の大きさを示している。点灯率が低いとは黒表示が多い画像のため、アノード端子に流れ込む電流（カソード端子から流れ出す電流）は小さい。点灯率が高いとは白表示が多い画像のため、アノード端子に流れ込む電流（カソード端子から流れ出す電流）が大きい。本発明は、以上の事項を利用して、d u t y比、パネル温度、F R C、基準電流などを変化させる。

【0931】

点灯率が低いとは黒表示が多い画像（低階調が多い画素または画像）を示している。黒表示が多い画像は、トランジスタ11のリークにより輝点が発生したり、黒浮きが発生したりする。この対策のために、ゲートドライバ回路12のオンオフ電圧を操作することは有効である。以下、その実施例について説明をする。

【0932】

有機EL素子15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0933】

この課題に対処するため、本発明ではゲートドライバ回路12（場合によってはソースドライバ回路（IC）14）の下層、画素トランジスタ11の下層の遮光膜を形成している。特に駆動用トランジスタ11aのゲート端子の電位位置（cで示す）とドレイン端子の電位位置（aで示す）間に配置されたトランジスタ11bを遮光することが好ましい。この構成を図314（a）（b）に示している。特に表示パネルが黒表示の場合は、図314（a）（b）におけるEL素子15のアノード端子の電位位置bの電位がカソード電位に近い。そのため、TFET17bがオン状態であると、電位aも低くなる。そのため、トランジスタ11bのソース端子とドレイン端子間の電位（c電位とa電位間）が大きくなり、トランジスタ11bがリークしやすくなる。

【0934】

この課題に対しては、図314（a）（b）に図示するように遮光膜3141を形成することが有効である。なお、遮光膜3141はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚3141が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11のパターニングが困難になる。

【0935】

トランジスタ11bのソース端子とドレイン端子間の電位（c電位とa電位間）が大きくなり、トランジスタ11bがリークしやすくなるのであるから、c電位とa電位間の電圧を低下させればリークの発生は小さくなる。低下させるには、トランジスタ11dのオン電圧（Vg12）を高くすることが有効である。なお、Vg12はゲートドライバ回路12bのオン電圧である。

【0936】

黒表示でリークが目立つのであれば、点灯率が低い時に、オン電圧Vg12を高くすればよい。オン電圧Vg12を高くするとトランジスタ11dが完全にオンしない。トランジスタ11dのオン抵抗が高いためである。そのため、a点の電圧は低くならない。したがって、トランジスタ11bのリークは発生しなくなる。一方で点灯率が高い場合、EL素子15の端子電圧を高くなる。そのため、トランジスタ11dはオン抵抗を低くする必要がある。

【0937】

以上の実施例を図315に図示している。図315の点線に図示するように点灯率が高い場合は、オン電圧Vg12を低下（一方向）にし、点灯率が低くなるにつれて、オン電圧Vg12を上昇させてトランジスタ11dのオン抵抗を高くする。なお、点灯率はアノード（カソード）端子の電流の大きさに置き換えできることは言うまでもない。また、図315に点線のように図示場合だけでなく、実線のように点灯率制御してもよいことは言うまでもない。

【0938】

図315では、Vg12電圧を点灯率に対応して変化させるとした。トランジスタ11bのリーク電流を減少させる方法として、図307に図示するようにカソード電圧Vssを変化させてもよい。黒表示でリークが目立つのであれば、点灯率が低い時に、カソード電圧Vssを高くすればよい。カソード電圧Vssを高くするとトランジスタ11dが完全にオンしない。トランジスタ11dのオン抵抗が高いためである。したがって、トランジスタ11bのリークは発生しなくなる。一方で点灯率が高い場合、EL素子15の端子電圧を高くなる。そのため、トランジスタ11dはオン抵抗を低くする必要があるため、オン抵抗を低くする必要がある。したがって、カソード電圧Vssを低くする。なお、点灯率はアノード（カソード）端子の電流の大きさに置き換えできることは言うまでもない。また、図315に点線のように図示場合だけでなく、実線のように点灯率制御してもよ

いことは言うまでもない。

【0939】

Vg12は、duty比制御において変化させることも好ましい。duty比は基準電流の変更と同時に実施することが多い。たとえば、図116において、点灯率が20%以下の範囲において、duty比を小さくする（画面144に占める非点灯領域192の割合を多くする）と伴に、基準電流比を大きくしている（1階調あたりのプログラム電流Iwを大きくする）。duty比（図116（a））と基準電流比（図116（b））を同時に制御することにより（duty比×基準電流比＝一定）、表示輝度（図116（c））を変化させず、電流駆動方式のクロストークあるいは黒浮きの課題を解決することができる。

10

【0940】

図116の駆動方法では、duty比×基準電流比＝一定の駆動方法であるため、duty比の低下に伴い、アノード端子を流れる電流が増加します。したがって、アノードおよびカソード電圧が一定の固定制御であるならば、トランジスタ11dはオン抵抗を低くする必要があるため、Vg12を低くしてオン抵抗を低くする必要がある。

【0941】

以上のことから、図318に図示するように、duty比の変化に対応してVg12電圧を変化させることが好ましい。図318ではduty比が1/1～1/2の範囲では、Vg12＝0Vとしている。したがって、トランジスタ11dのオン抵抗が比較的高く、トランジスタ11bのリークなどが発生しにくい。そのため、黒浮きの発生を抑制できる。duty比が1/4以下の範囲では、Vg12＝－8Vとしている。したがって、トランジスタ11dのオン抵抗が低く、駆動用トランジスタ11aに十分なプログラム電流を流すことができ、EL素子15も飽和領域で良好に点灯させるができる。duty比が1/4～1/2の範囲では、Vg12を－8～0Vの範囲でduty比あるいは基準電流比に応じて変化させる。

20

【0942】

以上の事項は、本発明の他の実施例でも同様に適用することができることは言うまでもない。また、他の実施例と組み合わせることができることは言うまでもない。

図78などでは、画素データはR、G、Bデータおよびプリチャージデータ（PRC、PGC、PBC）をパラレルにソースドライバ回路（IC）14に印加するとしたが、本発明はこれに限定するものではない。以上のようにパラレルに印加するように構成するとコントローラ81とソースドライバIC14とを結ぶ配線数が多くなる。そのため、コントローラ81のピン数が増加しコントローラサイズが大きくなるという課題がある。

30

【0943】

この課題に対して、本発明は、図80に図示するように、画像データ（DAT）6ビットと、コントロールデータ（DCTL）4ビットで構成し、10ビットで画像データおよびプリチャージデータなどをコントローラ81からソースドライバ回路（IC）14に印加する。

【0944】

具体的には、従来（パラレルでRGBデータを転送する場合）の1クロックの4倍クロックを用いてシリアルで画像転送を行う。つまり、図80に図示（DATを参照のこと）するように、従来の1クロック期間にRデータ6ビット、Gデータ6ビット、Bデータ6ビット、制御データ6ビットを転送する。画像データ、制御データは設定データをして取り扱う。

40

【0945】

R、G、B、データ識別データ（D）の識別は、DCTLの4ビットで行う。以上のように画像データ、コントロールデータをシリアル転送（4相）で行うことによりコントローラとソースドライバ回路（IC）14を結線する配線数が減少し、コントロールICを小型化できる。

【0946】

50

図 80 は画像データ (DAT) 6 ビットと、コントロールデータ (DCTL) 4 ビットで構成し、10 ビットで画像データおよびプリチャージデータなどをコントローラ 81 からソースドライバ回路 (IC) 14 に印加する方式である。また、4 倍クロックを用いてシリアルで画像転送を行っている実施例である。しかし、本発明はこれに限定されるものではない。たとえば、画像データである RGB データと、コントロールデータ D とをシリアルで伝送し、画像データとコントロールデータの識別は、ID 信号で行っても良い。ID データが H レベルの時、画像データであることを意味し、L レベルの時、コントロールデータであることを意味する。

【0947】

また、画像データを RGB のシリアルで転送し、各画像データがプリチャージするか否かをプリチャージ識別信号 PRC で行っても良い。PRC 信号が H レベルの時、該当画像データはプリチャージしてからソース信号線 18 に印加されるように制御され、L レベルの時は、プリチャージしないように制御される。

【0948】

なお、図示するように、画像データと制御データをそれぞれシリアル伝送してもよいことは言うまでもない。もちろん、画像データをシリアル伝送し、制御データをパラレル伝送してもよい。

【0949】

以上の実施例は、ソースドライバ回路 (IC) 14 への入力データをシリアル伝送するものであった。本発明は、これに限定するものではない。たとえば、図 81 に例示するように、差動信号にして伝送してもよい。差動信号にする手段として、LVDS、CMADS、RSDS、mini-LVDS、自己転送方式などが例示される。

【0950】

図 82 は、シリアル映像データなどが、さらに高い周波数の差動信号に変換されて伝送され、また、差動信号がシリアル映像データなどに戻され、ソースドライバ回路 (IC) 14 に入力され、あるいは、さらにパラレルデータに変換されてソースドライバ回路 (IC) 14 に入力されている実施例である。つまり、映像データはシリアルデータおよび差動信号に変換されて伝送されている。なお、伝送にあたり、一部の区間あるいは、すべての区間、もしくは一部のデータ信号などがパラレル伝送されてもよいことは言うまでもない。

【0951】

図 81 に図示するように、本体回路 (たとえば、図 156 の 1561 など) の映像信号処理回路からのシリアルデータは、差動回路としてのトランスシーバ (トランスミッタ) (T) 811a で差動信号に変換される。差動信号に変換することにより、信号の振幅が減少し、ノイズの影響を受けにくくなり、また不要輻射も減少する。したがって、トランスシーバ (T) 811a とレシーバ (R) 811b 間の距離を長くすることができる。また、信号線の本数も削減することができる。

【0952】

差動信号は、差動回路としてのレシーバ (R) 811b によりシリアルデータに変換される。もちろん、一気に図 82 のコントローラ IC 821 の機能を取り込みパラレルデータに変換してもよいことは言うまでもない。レシーバ (R) 811b により、トランスシーバ 811a で差動信号変換前のシリアルデータに復元される。

【0953】

図 82 は、レシーバ (R) 811b の次段にシリアルーパラレル変換回路 821 が配置または形成された構成例である。シリアルーパラレル変換回路 821 (具体的には ASI C からなるコントローラ IC (回路) (制御手段) が該当する。シリアルーパラレル変換回路 821 によりシリアルデータはパラレルデータに変換され、変換されたパラレルデータがソースドライバ回路 (IC) 14 に入力される。

【0954】

図 190 に図示するように、ソースドライバ IC 16 に差動回路およびデコーダ回路を

10

20

30

40

50

形成（構成）し、パネルモジュール１２６４の外部からコネクタ１８０１を介して、差動信号１９０１を直接にソースドライバＩＣ１６に入力できるように構成してもよいことは言うまでもない。

【０９５５】

制御データとは、たとえば、図１６、図７５などのプリチャージ制御データ、図５０、図６０、図６４、図６５などの電子ボリウムデータなど多種多様な制御データが例示される。

【０９５６】

また、図３１９に図示するように、映像データ（ＲＧＢ）に加えて、ＯＳＤ（オンスクリーンディスプレイ）信号、Ｓ／Ｄ信号（動画と静止画との判断信号）もコントローラ回路（ＩＣ）７６０で差動信号としてソースドライバ回路（ＩＣ）１４に印加してもよい。ＯＳＤ信号は、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。

【０９５７】

また、Ｓ／Ｄ信号がＨの時、伝送さえているＲＧＢ映像信号が動画であると判断し、図５４（ａ１）（ａ２）（ａ３）（ａ４）の駆動などを実施して動画表示対応の駆動方法を行う。Ｓ／Ｄ信号がＬの時、伝送さえているＲＧＢ映像信号が静止画であると判断し、図５４（ｃ１）（ｃ２）（ｃ３）（ｃ４）または図５４（ｂ１）（ｂ２）（ｂ３）（ｂ４）の分割駆動などを実施して静止表示対応の駆動方法を行う。

【０９５８】

図２５１では、本発明の表示装置（表示パネル）にスピーカ２５１２を配置あるいは形成した実施例について説明した。このスピーカ２５１２の音声信号（ＡＤ）も図３２０に図示するように、コントローラ回路（ＩＣ）７６０で差動信号としてソースドライバ回路（ＩＣ）１４に印加してもよい。

【０９５９】

図８３はコントロールＩＣ８１とソースドライバ回路（ＩＣ）１４、ゲートドライバ回路１２との接続構成を示す。画像データ、電子ボリウムデータ、プリチャージデータをＤＣＴＬ、ＤＡＴとしてシリアル転送することにより接続配線を省略することができる。

【０９６０】

なお、ソースドライバ回路（ＩＣ）１４の入力段でシリアルーパラレル変換を行うことにより、プリチャージデータ、画像データのラッチあるいは保持回路は図７７と同様になる。ＧＣＴＬの４ビットは、クロック、スタートパルス、アップダウン切り換え、イネーブル信号である。

【０９６１】

図１８０は、本発明の表示パネルの外観図である。パネル１２６４にはソースドライバＩＣ１４がＣＯＧ実装され、ゲートドライバ回路１２はポリシリコンで形成されている。パネル１２６４の端子からフレキシ基板１８０２が接続されている。フレキシ基板１８０２にはコントローラ回路（ＩＣ）７６０が実装されている。コントローラ回路（ＩＣ）７６０の信号は端子１８０１から入力され、同様にゲートドライバ回路１２の信号も端子１８０１から入力される。

【０９６２】

図１８１はさらに詳細な本発明の表示パネルである。カソード配線１８１１にはカソード電圧が印加され、カソード配線１８１１はカソード接続位置１８１２でカソード電極と接続されている。ゲートドライバ回路１２にはコントローラ回路（ＩＣ）７６０からのゲートドライバ信号１８１３が印加される。また、ソースドライバＩＣ１４にもコントローラ回路（ＩＣ）７６０からソースドライバ信号１８１４が印加される。アノード配線１８１５はソースドライバＩＣの裏面（のアレイ面）に形成されている。また、アノード配線１８１５は表示パネルの表示領域近傍に形成されている。

【０９６３】

図１８１は、ＩＣ１４下にアノードまたはカソード配線を形成または配置した構成である。本発明はこれに限定するものではない。たとえば、図５８７の構成が例示される。図

10

20

30

40

50

587はIC14下に、カソード配線1811とアノード配線1815を形成または配置した構成である。IC14aとIC14b間に複数のアノード配線1815、カソード配線1811（図587では各2本）を配置している。少なくとも1本のカソード配線1811は画面144の中央部と端部のカソード膜に接続されている。また、そのうち、1つのカソード配線1811はIC14aの下に配置されている。複数のアノード配線1815のうち少なくとも1本のアノード配線1815は画面144の中央部と端部に接続されている。また、そのうち、1つのアノード配線1815はIC14bの下に配置されている。また、複数のアノード配線1815は画面144の近傍で短絡されている。

【0964】

特に図587の特徴は、ICチップ14の下側に位置するアレイ基板71上に、複数の電源配線（アノード配線、カソード配線）を配置または形成した点である。また、前記ICチップ1の下側に配置した配線も用い、カソード電極36（図3、図4を参照のこと）と複数箇所のカソード配線1811とコンタクト（接続）をとった点である。また、画素16の画素アノード配線5871（図1などのVddを参照のこと）と分岐するアノード配線1815（画面144の上辺に配置又は形成されている）の両端に給電点を有する点である。両側に給電点を有することにより、画素16のVddに流れ込む電流が増加しても電圧降下の発生が少ない。

【0965】

アノード配線1815およびカソード配線1811の配線抵抗が高いと電圧降下が発生し、EL素子15、駆動用トランジスタ11aに十分な電圧が印加されないようになる。この課題を解決する方式が図588の実施例である。図588では、カソード配線1811とアノード配線1815の薄膜配線上にカソード電極36の金属材料からなる金属薄膜5881を積層させている。金属材料の積層により配線の低抵抗値化を実現できる。カソード電極36の金属薄膜5881は、EL素子15にカソード電極36を積層する工程で同時に作製する。EL素子15をパターンニングする工程であるマスク蒸着時のマスクを加工することにより容易に実現できる。加工とは、金属薄膜5881を形成する箇所のマスクに穴あけ加工を行い、この穴を介して金属薄膜5881を形成する。

【0966】

なお、図588では、カソード配線1811とアノード配線1815の薄膜配線上にカソード電極36の金属材料を積層させたとしたがこれに限定するものではなく、アノード電極の材料を積層させてもよいことは言うまでもない。また、カソード配線1811とアノード配線1815の両方の薄膜配線上に金属材料を積層させているとしたがこれに限定するものではなく、一方の配線に積層したものでよい。特にアノード配線1815は電圧降下による影響が大きいいため、積層による低抵抗値化を実現することが好ましい。

【0967】

なお、積層させる材料は金属材料に限定するものではなく、低抵抗値化を実現できるものであれば何でもよい。たとえば、ITO、カーボンなどが例示される。また、積層は単層に限定されるものではなく、複数膜の積層構造であってもよい。また、合金などでもよい。たとえば、画素電極となるITOとLi、Alなどを積層してもよい。

【0968】

EL表示装置は、液晶表示装置にはないカソード配線、アノード配線を有し、図831に図示するようにゲートドライバ回路もゲートドライバ回路12a、12bと2つが必要である。したがって、配線数が多く結線が複雑である。そのため、配線の引き回しのためにパネル1264の額縁が大きくなる。信号線をパネル1264に入力するためのフレキシ基板1802のサイズが大きくなり高コスト化に直結する。

【0969】

図282はこの課題を解決する構成の説明図である。なお、説明を容易にするため、図282などでは、ゲートドライバ回路12の制御信号線はST（スタートパルス印加あるいは伝送する信号線）、CLK（クロック（シフト）パルス印加あるいは伝送する信号線）、ENBL（イネーブルパルス印加あるいは伝送する信号線）しか図示していな

10

20

30

40

50

い。実際には、UD（アップダウン方向の信号を印加あるいは伝送する信号線）、Vgh電圧あるいはVgl電圧を伝送あるいは供給する信号線などがあることは言うまでもない。

【0970】

なお、説明を容易にするため、ST（スタートパルスを印加あるいは伝送する信号線）、CLK（クロック（シフト）パルスを印加あるいは伝送する信号線）、ENBL（イネーブルパルスを印加あるいは伝送する信号線）、UD（アップダウン方向の信号を印加あるいは伝送する信号線）などの制御信号を伝送などする信号線を制御信号線と呼び、Vgh電圧あるいはVgl電圧を伝送あるいは供給する信号線などを電圧信号線と呼ぶ。

【0971】

図282は、ソースドライバIC14は、シリコンチップで形成または構成され、アレイ基板30にCOG（チップオンガラス）技術で実装されている。一方、ゲートドライバ回路12は、低温ポリシリコン、高温ポリシリコンあるいはCGSなどのポリシリコン技術でアレイ基板30に直接に形成されている。

【0972】

図282では、制御信号線（もしくは電力信号線も）は、ソースドライバIC14の裏面あるいはソースドライバIC14の配線パターンを介してゲートドライバ回路12などに接続される。以上のように制御信号線、電力信号線はソースドライバIC14を介して供給することにより前記信号線などを接続するフレキシ基板2911（1802）の幅をソースドライバIC14のチップ幅±程度にすることができる。したがって、低コスト化が可能である（図291を参照のこと）。

【0973】

図282の構成を実現するために、本発明のソースドライバIC14は図288のように構成（形成）している。図288は、本発明のソースドライバIC14を裏面からみた図である。チップ14の両端に配線2885などが形成されている。図288にあって、配線は通常のアلم配線であり、IC製造工程で形成させる。しかし、配線2885などの形成方法はこれに限定するものではなく、IC14完成後、スクリーン印刷技術などで形成してもよい。なお、配線2885などはチップ14の一方のみに形成してもよいことは言うまでもない。

【0974】

IC14は制御信号線などの入力端子2883と、ソース信号線18と接続する端子2884が形成されている。チップ14の端に制御信号線を接続する端子2881aが形成または配置される。また、端子2881aには配線2885が接続され、配線2885の他端は端子2881bに接続されている。したがって、G1aの範囲に接続された制御信号線はチップの側辺の端子2881bと接続されている。また、端子2882aに接続された電力信号線は配線2885を介して端子2882bに接続される。端子2882はアノードあるいはカソード配線が接続されることを想定している。したがって、電力信号線はICチップをブリッジし、IC14の出力側（ソース信号線18との接続側）に出力される。

【0975】

このようにIC14を配線2885でブリッジするのは、図208などの図示するようにアノード配線1815などがIC14の遮光膜として、IC14の裏面に形成されることが多いからである（図290も参照のこと）。アノード配線1815を遮光膜としてIC裏面に形成することにより、ICがホトコンダクタ現象により以上動作することがない。配線2885で制御信号線あるいは電力信号線を接続することにより、アレイ基板30上で配線を交差する必要がなく、交差部での短絡などが減少し、製造歩留まりを向上させることができる。

【0976】

なお、図288の実施例では、ICチップ14の裏面（実装時にアレイ基板30と対面する面）に配線2885などを形成するとしたがこれに限定するものではない。配線28

10

20

30

40

50

８５などをＩＣチップ１４に表面に形成または配置してもよい。また、ＩＣチップ１４とアレイ基板３０との隙間に、配線２８８５などを形成したフレキシブル基板２９１１（１８０２）を配置してもよいことは言うまでもない。

【０９７７】

また、以上の実施例ではソースドライバＩＣ１４に配線２８８５などを形成し、信号線をブリッジするとした。しかし、本発明はこれに限定するものではなく、ゲートドライバ回路１２をシリコンチップ（ゲートドライバＩＣ１２）などで形成し、ゲートドライバＩＣ１２の裏面などに配線２８８５などを形成してもよいことは言うまでもない。

【０９７８】

また、配線２８８５上には無機材料あるいは有機材料からなる薄膜（厚膜）を形成することが好ましい。薄膜（厚膜）の厚みは少なくとも０．１μｍ以上必要である。しかし、３μｍ以下にすることが好ましい。薄膜（厚膜）の形成により配線２８８５が保護され、腐食などの課題が発生しなくなる。薄膜（厚膜）の比誘電率は、３．５以上６．０以下のものを使用することが好ましい。

【０９７９】

図２８９は本発明のソースドライバＩＣ１４をアレイ基板３０に実装した状態である。電力信号線（実施例ではアノード配線）は配線２８８５を介して端子２８８２ｂに出力され、表示領域１４４の画素１６部に分岐される。カソード配線のＩＣチップの右端の端子２８８２ｂから出力されカソード接続点でカソード電極３６と接続される。制御信号線もＩＣ１４の配線２８８５を介して端子２８８１ｂから出力されゲートドライバ回路１２に入力される。

【０９８０】

図２９０はＩＣ１４をアレイ基板３０に実装した場合の断面図である。ＩＣチップ１４の裏面には配線２８８５が形成され、端子２８８２ａと端子２８８２ｂ間を接続している。端子２８８２には金バンプ２９０４が形成されている。金バンプ２９０４はアレイ基板３０の端子２９０２とＩＣ１４の端子２８８２とを接続している。したがって、信号線２９０１に印加された信号はＩＣ１４の配線２８８５を介して信号線２８５２と電氣的に接続されるため、アノード配線２９０３などの導体線がアレイ基板３０上に形成されていても交差することがない。

【０９８１】

図３４７に図示するように、ソースドライバ回路（ＩＣ）１４からゲートドライバ回路（ＩＣ）１２に引き渡される配線２８５２が交差することがないように、出力端子位置を設定する。なお、他の内容は図２８２などで説明しているので省略する。

【０９８２】

また、図３５８に図示するように、ゲートドライバ１２の電源配線（たとえば、 V_{gh} 電圧、 V_{gl} 電圧などの供給配線）２８５２ｂはアレイ基板３０面に形成するとともに、チップで構成したソースドライバＩＣ１４の下面に配設（配置または形成）する。アノード配線もＩＣチップ１４の裏面部でアレイ３０の表面に形成または配置する。ゲートドライバ回路１２の制御信号線は、ソースドライバＩＣ１４に形成または配置された配線２８８５を介して接続をする。

【０９８３】

以上のように構成することにより、ＩＣチップ１４の裏面部を有効に利用することができ、また、パネルを狭額縁化することができる。

【０９８４】

以上のように、ＩＣ１４の配線２８８５を介して電力信号線あるいは制御信号線をブリッジすることにより、基板３０に形成された配線と交差することがなくなるという効果が発揮される。他の大きな効果として、図２９１に図示するように、信号線などをパネルに印加するフレキシブル基板２９１１の大きさを小さくできるという効果も発揮される。一般的にフレキシブル基板２９１１は高価であるのでサイズが小さいほどコストメリットは大きい。

10

20

30

40

50

【0985】

図291に図示するように、IC14への入力信号線2901、2852にはフレキシブル基板2911からストレートに信号などが入力される。IC14の配線2885がなければ制御信号線は基板30の入力面でIC14を避けて折り曲げる必要がある。折り曲げればパネルの額縁が大きくなる。本発明のようにICチップ14の配線2885を介して接続することにより、額縁を小さくすることができる。

【0986】

図288などで説明した実施例は、端子2881aと端子2881b間などを配線2885などで結線した実施例である。つまり、端子2881aから入力された信号はそのまま端子2881bに出力される。しかし、本発明はこれに限定するものではない。たとえば、入力された信号を分岐したり、遅延したり、変化させる回路あるいは配線を端子2881間に形成または配置してもよいことは言うまでもない。

【0987】

図283は一例として端子2881aと端子2881b間に変換回路2831を形成または配置した構成である。図283の実施例における変換回路2831は反転出力発生回路である。反転出力発生回路2831は入力された信号の反転信号を発生させる。たとえば、ST信号であれば、ネガティブのST信号を発生させる。このネガティブのST信号をNSTと記載する。より具体的には、STが1フレームの期間の1Hの期間、3Vとなり、他の期間は0Vであれば、NST信号は1フレームの期間の1Hの期間、0Vとなり、他の期間は3Vとなる。以上の事項は、CLK、ENBL信号にも適用される。

【0988】

つまり、図283では端子2881aに入力された信号は、反転出力回路2831でポジティブ信号とネガティブ信号に変換されて端子2831bから出力される。したがって、ソースドライバIC14には入力信号を少なくできる。

【0989】

図283は反転出力を発生する回路であったが、本発明はこれに限定するものではない。図284はフリップフロップ回路（FF回路）からなる遅延回路2841をソースドライバIC14内に形成してものである。

【0990】

図284では一例として、FF回路2841は端子2881aと端子2881b間に配置されている。FF回路2841によりST信号などは遅延される。ゲートドライバ回路12の制御信号（ST、CLKなど）は、ソースドライバ回路（IC）14のラッチ回路862などと同期をとり、ソース信号線18に印加するプログラム電流のタイミングと、ゲート信号線17aにオン電圧を印加するタイミングとを調整する必要がある。このタイミング調整をFF回路2841などで行う。以上のように構成することによりコントローラ回路（IC）760から出力する制御信号のタイミング調整が容易になる。

【0991】

以上の実施例のほかに、図285に図示するように、HD（水平走査信号）、VD（垂直走査信号）から制御信号（ST、CLK、ENBLなど）を発生させてもよい。つまり、ソースドライバ回路（IC）14内に信号発生回路2851を形成または配置する。HD（水平走査信号）、VD（垂直走査信号）などから信号発生回路2851で制御信号（ST、CLK、ENBLなど）を発生する。以上のように構成することにより、さらにソースドライバIC14への信号線本数を削減することができる。

【0992】

図14、248などではゲートドライバ回路12を画面の片側に配置し、図30、図83、図85、図180、図181、図202、図211、図212、図215、図217、図219、図223、図225、図260、図265、図281、図282、図289、図316、図319、図320、図327、図347、図358などでは、ゲートドライバ回路（IC）12aとゲートドライバ回路（IC）12bを画面144の左右に配置した。しかし、本発明の表示パネル（表示装置）はこの構成に限定するものではない。図

373に図示するように、ゲートドライバ回路（IC）12aとゲートドライバ回路（IC）12bを画面144の左右位置のそれぞれに配置してもよい。

【0993】

図373は、ゲート信号線17aを駆動するゲートドライバ回路12a1を画面144の左端に配置または形成し、かつ画面144の右端にゲート信号線17aを駆動するゲートドライバ回路12a2を配置または形成している。また、ゲート信号線17bを駆動するゲートドライバ回路12b1を画面144の左端に配置または形成し、かつ画面144の右端にゲート信号線17bを駆動するゲートドライバ回路12b2を配置または形成している。

【0994】

ゲート信号線17aを駆動するゲートドライバ回路12a1を画面144の左端に配置または形成し、かつ画面144の右端にゲート信号線17aを駆動するゲートドライバ回路12a2を配置または形成する構成では、画面144の左右で輝度傾斜が発生する場合がある。たとえば、ゲートドライバ回路12bを画面144の右端のみに形成すると、画面144の左端ではゲート信号線17bに印加した信号波形がなまり、画面144の左端で画像が暗くなる。

【0995】

図373に図示するように、ゲート信号線17aを駆動するゲートドライバ回路12a1を画面144の左端に配置または形成し、かつ画面144の右端にゲート信号線17aを駆動するゲートドライバ回路12a2を配置または形成し、かつ、ゲート信号線17bを駆動するゲートドライバ回路12b1を画面144の左端に配置または形成し、かつ画面144の右端にゲート信号線17bを駆動するゲートドライバ回路12b2を配置または形成すれば、画面144に輝度傾斜が発生するという課題はなくなる。

【0996】

図373では、ゲート信号線17aを駆動するゲートドライバ回路12a1を画面144の左端に配置または形成している。また、画面144の右端にゲート信号線17aを駆動するゲートドライバ回路12a2を配置または形成している。また、ゲート信号線17bを駆動するゲートドライバ回路12b1を画面144の左端に配置または形成し、かつ画面144の右端にゲート信号線17bを駆動するゲートドライバ回路12b2を配置または形成している。しかし、本発明はこれに限定するものではない。たとえば、ゲートドライバ回路12aまたは12bはいずれか一方を画面144の左右に配置または形成した構成であってもよい。また、ゲートドライバ回路12aを画面144の一方に形成または配置し、ゲートドライバ12bを画面144の左右に配置または形成した構成であってもよい。

【0997】

ゲートドライバ回路12a1はポリシリコン技術を用いてアレイ30に直接形成し、ゲートドライバ回路12a2をシリコンチップで構成して、COG技術でアレイ30に実装するハイブリッド構成であってもよい。また、ゲートドライバ回路12b1はポリシリコン技術を用いてアレイ30に直接形成し、ゲートドライバ回路12b2をシリコンチップで構成して、COG技術でアレイ30に実装するハイブリッド構成であってもよい。また、これらを組み合わせてもよい。

【0998】

図373の構成に対しても、図288～図291などで説明した事項は有効である。図374は図288～図291などで説明した実施例を適用した例である。

【0999】

図374において、端子2883から入力されたゲートドライバ回路（IC）12の制御信号は、ソースドライバ回路（IC）14の内部配線2885で2つに分岐されて、画面144の左右に配置されたゲートドライバ回路（IC）12に伝達される。内部配線2885は2つの端子2881b1間、2つの端子2881b2間に接続されている。端子2882b1からはゲートドライバ回路12bを制御する信号が出力され、端子2882

10

20

30

40

50

b 2からはゲートドライバ回路12aを制御する信号が出力される。

【1000】

図374では、ソースドライバ回路(IC)14の内部配線2885でゲートドライバ回路12を制御する信号を分岐するとしたが、これに限定するものではない。図291などに説明するようにIC14下かつアレイ30面に形成した配線で分岐してもよいことはいうまでもない。

【1001】

図190では、ソースドライバIC14への信号を差動信号として入力する実施例を説明した。同様に図81、図82でも信号などを差動信号にして供給した実施例について説明をした。同様に図292に図示するようにゲート信号(ゲートドライバ回路12の制御信号(ST、ENBLなど))も差動信号として、ソースドライバIC14に印加してもよい。差動信号は差動ーパラレル信号変換回路2921でパラレル信号に変換される。

10

【1002】

図292の実施例では、電力信号としてのアノード電圧、カソード電圧は端子2882aに入力され、ゲートドライバ回路12を制御するゲート信号(差動)は端子2881aに入力される。映像信号(差動)および制御信号(差動)は端子2883に入力される。なお、ゲート信号、映像信号および制御信号は、ツイストペアの差動信号としてもよいことは言うまでもない。また、ゲート信号などは細線同軸ケーブルで伝送してもよい。以上の実施例は他の端子(2883、2884、2882など)についても適用できることは言うまでもない。

20

【1003】

図292などに差動信号として印加することにより信号線数の削減できる。図288、図290などのようにIC14に配線2885を形成することにより信号線などが交差することをなくすることができる。以上の構成は、アレイ基板30にポリシリコン技術によりゲートドライバ回路12などを形成し、ソースドライバIC14をシリコンチップなどで形成してアレイ基板30にCOG技術を用いて実装することにより発揮できる効果である。

【1004】

以上の実施例は、1つのIC14をパネル1264に用いた実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図316に図示するように、また、2つ(複数)のICチップ14をアレイ基板30に実装し、表示パネル1264を構成してもよい。IC14の両方の端には、電力信号線または制御信号線もしくは両方の信号線が出力されるように形成あるいは配置され、IC14の両方の端には、差動ーパラレル信号変換回路2921が形成あるいは配置されている。

30

【1005】

どちらの差動ーパラレル信号変換回路2921が動作させるかは、セレクト信号GSELに印加するロジック信号(電圧レベル)で切り換えられる。図316では、ICチップ14aは差動ーパラレル信号変換回路2921a1が動作し、差動ーパラレル信号変換回路2921a1からゲートドライバ回路12aの制御信号などが出力される。また、ICチップ14bは差動ーパラレル信号変換回路2921b2が動作し、差動ーパラレル信号変換回路2921b2からゲートドライバ回路12bの制御信号などが出力される。

40

【1006】

本発明では、図528に図示するように、一例としてコントローラ回路(IC)760から差動信号を出力し、ソースドライバ回路(IC)14で受信するとして説明する。コントローラ回路(IC)760に定電流回路Iconが構成され、トランジスタM1、M2が制御されることにより、TxV+、TxV-信号が端子2883cから出力される。端子2883cから出力された信号は、フレキシ基板の配線、プリント基板の配線、ケーブル線、同軸配線などで伝達され、ソースドライバ回路(IC)14の入力端子2883aに印加される。

【1007】

50

端子 2883a に印加された信号は、差動信号 ($R \times V+$ 、 $R \times V-$) としてコンパレータ 5281 に印加され、論理信号 TDATA に復元される。抵抗 $RT1$ 、 $RT2$ はソースドライバ回路 (IC) 14 の外づけ抵抗である。Icon 電流の経路を終端する。抵抗 $RT1$ 、 $RT2$ はソースドライバ回路 (IC) 14 に内蔵させてもよい。また、ソースドライバ回路 (IC) 14 は、ポリシリコン技術 (低温ポリシリコン技術、高温ポリシリコン技術、CGS 技術) などで基板 30 に直接形成したものでもよいことは言うまでもない。

【1008】

抵抗 $RT1$ などの値は、伝送路のインピーダンスなどに適合させて選択する。本発明の構成では、抵抗 RT の値は、 100Ω 以上 300Ω 以下に構成している。

10

【1009】

ソースドライバ回路 (IC) 14 に内蔵されたスイッチ ($ST1$ 、 $ST2$) はアナログスイッチなどが例示される。スイッチ ST がオン状態にするかオフ状態にするかは、ソースドライバ回路 (IC) 14 の入力端子 (図示せず) に印加するロジックレベルにより操作する。

【1010】

スイッチ ST は、スイッチに限定するものではない。IC プロセス工程で、表示パネルに入力される信号仕様に依じて、アルミ配線で選択して短絡するものであってもよい。図 529 で説明する差動入力構成か、図 530 で説明する CMOS レベル入力構成かは、表示パネルに印加する信号仕様であらかじめ決定されるからである。つまり、スイッチ ST を用いて CMOS レベル信号か、差動信号かを適時切り換える必要がある構成は稀であるからである。

20

【1011】

もちろん、図 529 に図示するように、スイッチ ST を設けず、コンパレータ 5281 の入力端子あるいは、コントローラ回路 (IC) 760 の出力端子の経路に終端抵抗 RT を接続してもよいことは言うまでもない。終端抵抗 RT は、ソースドライバ回路 (IC) 14 が複数であっても 1 つの配線に 1 つの終端抵抗 RT を配置あるいは設置もしくは構成すればよい。

【1012】

終端抵抗 RT はポリウムで構成して、抵抗値を可変あるいは変更できるように構成してもよい。また、図 368、図 369、図 372 などのように構成してもよいことは言うまでもない。また、抵抗 RT をトリミングすることにより抵抗値を目標値に調整してもよい。

30

【1013】

図 528 の構成では、スイッチ ST ($ST1$ 、 $ST2$) がオン (閉じる) することにより、ソースドライバ回路 (IC) 14 への入力 は差動信号入力となる。スイッチ ST がオフ (開く) と、CMOS あるいは TTL ロジック信号入力となる。CMOS レベルあるいは TTL レベル入力とする場合は、図 530 に図示するようにコンパレータ 5281 の一端にロジックレベルを判定する一定の DC 電圧を印加し、+ 端子にロジック信号を印加する。+ 端子に印加された信号レベルが - 端子に印加された DC 電圧以上の時、H レベルロジックと判断され、+ 端子に印加された信号レベルが - 端子に印加された DC 電圧以下の時、L レベルロジックと判断される。ただし、ロジックの判断はヒステリシス特性をもつようにコンパレータ 5281 を構成することが好ましい。なお、本発明では説明を容易にするため、CMOS レベルの信号であるとして説明をする。

40

【1014】

図 528 の構成では、コントローラ回路 (IC) 760 からの出力信号は 1 つのソースドライバ回路 (IC) 14 に印加されるように図示した。しかし、実用上は、図 529、図 530 などに図示するように、コントローラ回路 (IC) 760 からの出力信号は複数のソースドライバ回路 (IC) 14 に印加される。

【1015】

50

図529は、差動信号入力の場合である。コントローラ回路（IC）760からの出力配線（一例として、差動信号D0+/D0-、D1+/D1-～D7+/D7-の8ビットとしている。）には、終端抵抗RTが配置されている。コントローラ回路（IC）760は、複数のソースドライバ回路（IC）14を駆動する。ソースドライバ回路（IC）14内のコンパレータ5281は各ビットの差動信号から各ビットのロジック信号（TDATA）に変換する。TDATAは駆動回路5291に入力される。駆動回路5291は図77、図43、図45、図48、図46、図50、図56、図60、図393、図394、図495、図508などで説明した構成が例示される。駆動回路5291で処理あるいは制御された信号は、端子155から出力され、表示パネルのソース信号線18に印加される。

10

【1016】

図528、図529、図530は映像データ（D0～D7）の入力を例示しているが、これに限定するものではなく、図361で説明しているプリチャージ信号、図425で説明している制御信号、図505で説明しているゲートドライバ制御信号などでもよいことは言うまでもない。

【1017】

図530はCMOSレベル信号（ロジック信号）の場合である。コンパレータ5281の一端子（+端子でもよい）には、直流電圧（DC電圧）V0が印加されている。ロジック信号D0～D7の信号レベルがV0電圧以上の時、Hレベルと判断される。ロジック信号D0～D7の信号レベルがV0電圧以下の時、Lレベルとして判断される。したがって、図530の構成ではコンパレータ5281は、バッファとして機能する。

20

【1018】

以上の図528、図529の構成のソースドライバ回路（IC）14は、図531に図示するように差動インターフェース（差動IF）2921aとCMOS（TTL）インターフェース（CMOS IF）2921bの両方を具備している。したがって、使用状態に応じて、IF仕様を選択することができる。図531（a）は、コントローラ回路（IC）760はCMOSレベルの信号を出力する。ソースドライバ回路（IC）14は、図530の構成であるCMOS-IFを使用している。

【1019】

図531（b）でも、コントローラ回路（IC）760は、CMOSレベルの信号を出力する。図531（b）の構成では、モード変換回路（IC）5311を具備している。モード変換回路（IC）5311は、CMOS信号を差動信号に変換する機能を有する。コントローラ回路（IC）760はCMOS-IF2921bよりCMOS信号を出力し、モード変換回路5311はCMOS-IF2921bで受信した信号を、差動信号に変換して差動IF2921aから出力する。差動IF2921aから出力した差動信号は、ソースドライバ回路（IC）14の差動IF2921aに入力される。

30

【1020】

以上のように、ソースドライバ回路（IC）14は、図529の回路構成を具備することにより、差動信号とCMOS（TTL）レベル信号の両方を受信することができる。

【1021】

なお、図316ではICチップ14の両端に差動-パラレル信号変換回路2921を配置するように図示したが、これに限定するものではない。差動-パラレル信号変換回路2921は1つで、配線2851で制御信号線などをチップ14の両端に分岐できるように構成してもよい。重要なのは、ICチップ14の両端に電力信号線または制御信号線が出力できることであり、また、図316のようにアレイ基板30に複数のICチップ14を実装した場合、ICチップ14の両端の電力信号線または制御信号線の出力が出力されるか否かを切り換えることができることである（もしくは両方から信号などが出力されていても画像表示に影響がないようにすることができることである）。切り換えはGELS信号によって行う。

40

【1022】

50

図601に図示するように、Gcnt1信号でソースドライバ回路(IC)14ごとにゲートドライバ12への出力信号2852を制御してもよい。図601において、ソースドライバ回路(IC)14aのGcnt11a信号をHレベルにすることにより、ソースドライバ回路(IC)14aの出力端子2881b1よりゲートドライバ回路12aへの制御信号が出力される。

【1023】

ソースドライバ回路(IC)14aのGcnt11a信号をLレベルにすることにより、ソースドライバ回路(IC)14aの出力端子2881b1はハイインピーダンスとなる。また、ソースドライバ回路(IC)14aのGcnt11b信号をLレベルにすることにより、ソースドライバ回路(IC)14aの出力端子2881b2はハイインピーダンス状態となる。図601では、ソースドライバ回路(IC)14aの出力端子2881b2には出力する信号はないため、Gcnt11b信号はLレベルに固定される。

10

【1024】

ソースドライバ回路(IC)14bは、ソースドライバ回路(IC)14bのGcnt12b信号をHレベルにすることにより、ソースドライバ回路(IC)14bの出力端子2881b2よりゲートドライバ回路12bへの制御信号が出力される。なお、ソースドライバ回路(IC)14bのGcnt12a信号をLレベルにすることにより、ソースドライバ回路(IC)14bの出力端子2881b1はハイインピーダンスとなる。図601では、ソースドライバ回路(IC)14bの出力端子2881b1には出力する信号はないため、Gcnt12a信号はLレベルに固定される。

20

【1025】

以上の実施例は、1つの表示パネルに2個のソースドライバ回路(IC)14を使用する構成である。しかし、本発明はこれに限定するものではない。使用するソースドライバ回路(IC)14は3個以上であってもよい。3個以上の場合は、少なくとも1つのソースドライバ回路(IC)14の2箇所の出力端子2881bはハイインピーダンス状態となる。ハイインピーダンス状態は、GSEL信号、Gcnt1信号を操作することにより実現できることは言うまでもない。

【1026】

したがって、本発明のソースドライバIC14は、アレイ30に1個実装する場合でも、複数実装する場合でも同一のソースドライバIC14を用いることができる。また、1個用いた場合で、ゲートドライバ回路12が画面144の一方の端に形成または配置されている場合でも適用することができる。

30

【1027】

場合によっては入力方向であってもよい。たとえば、ゲートドライバ回路12からのスタートパルス(ST)の出力パルスが端子2821bに入力され、端子2821aから出力されるように構成あるいは形成してもよい。この出力パルスはコントロールIC760に入力される。この出力パルスによりコントロールIC760は、ゲートドライバ回路12の動作を監視あるいは正常性を判断できる。

【1028】

本発明は、ソースドライバIC14をシリコンなどで形成し、COG技術などを用いて基板30に実装するとしたが、これに限定するものではない。TABあるいはCOF技術を用いて実装してもよい。また、ソースドライバICの回路14はポリシリコン技術を用いてアレイ基板30に直接形成してもよい。特に図316などの構成に有効である。また、ICチップ14はアレイ基板30(画素電極などが形成された基板)に実装するとしたが、これに限定するものではなく、対向基板側に形成し、アレイ基板30などに形成されたソース信号線18などと接続してもよい。以上の事項は、本発明の他の実施例においても適用できることは言うまでもない。

40

【1029】

図191はフレキ基板1802部の断面図である。フレキ基板1802には電源モジュール1912が端子1914を介して、フレキ基板1802と接続されている。電源モジ

50

ジュール 1912 にはコイル (トランス) 1913 が実装されており、このコイル 1913 はフレキシ基板 1802 にあけられた穴に挿入されている。以上のように構成することにより全体として薄いパネルモジュールを得ることができる。

【1030】

コントロール回路 (IC) 760、電源回路 (IC) などを積載した基板 1802 は、図 585 に図示するように、封止基板 40 (封止フタ) に形成した凹部に、部品などが挿入されるように配置してもよい。図 585 のように構成することにより、パネルモジュールをコンパクトにできる。

【1031】

図 1 のように画素 16 の駆動用トランジスタ 11a、選択トランジスタ (11b、11c) が P チャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線 17a の電位変動が、選択トランジスタ (11b、11c) の G-S 容量 (寄生容量) を介して、コンデンサ 19 の端子に突き抜けるためである。P チャンネルトランジスタ 11b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 11a のゲート (G) 端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【1032】

以上の実施例は、トランジスタ 11b の G-S 容量 (寄生容量) を介して、コンデンサ 19 の電位を変動させ、コンデンサ 19 の電位変動により、黒表示を良好にする構成である。しかし、本発明はこれに限定するものではない。たとえば、図 595 に図示するように、突き抜け電圧を発生させるコンデンサ 19b を形成したものである。図 595 (a) は、図 1 の画素構成に、コンデンサ 19b を形成した構成である。コンデンサ 19b はトランジスタ 11 のゲート信号線 17 を構成する電極層と、ソース信号線 18 を構成 (形成) する電極層を 2 つの電極として形成することが好ましい。コンデンサ 19b の容量はコンデンサ 19a の容量の 1/4 以上 1/1 以下とすることが好ましい。

【1033】

図 595 (b) は、画素がカレントミラー構成において、突き抜け電圧を発生するコンデンサ 19b を形成した構成である。なお、本実施例では説明を容易にするため、トランジスタ 11 は P チャンネルトランジスタであるとして説明をする。

【1034】

図 595 の画素構成において、ゲートドライバ 17a の駆動波形を図 596 に示す。トランジスタ 11b、11c は P チャンネルトランジスタであるから、V_{gl} 電圧 (L 電圧) でトランジスタ 11b、11c がオンする。また、V_{gh} 電圧 (H 電圧) でトランジスタ 11b、11c がオフする。図 596 に図示するように、各画素行が選択される期間は、1 水平走査期間 (1H) である。

【1035】

図 596 において、A 点では、ゲート信号線 17a に印加される電圧が V_{gh} から V_{gl} に変化する。A 点では、コンデンサ 19b により電圧がコンデンサ 19a に突き抜ける。したがって、駆動用トランジスタ 11a のゲート端子電位が低電圧方向にシフトする。そのため、短期間の間、駆動用トランジスタ 11a に少し大きな電流が流れるようになる。しかし、A 点から B 点の 1H 期間では、駆動用トランジスタ 11a からソース信号線 18 にプログラム電流が流れるため、A 点以降の短期間に大きな電流が流れてもすぐに正規のプログラム電流が流れるようになる。

【1036】

B 点では、ゲート信号線 17a に印加される電圧が V_{gl} から V_{gh} に変化する。B 点では、コンデンサ 19b により電圧がコンデンサ 19a に突き抜ける。したがって、駆動用トランジスタ 11a のゲート端子電位が高電圧方向にシフトする。そのため、駆動用トランジスタ 11a に流れる電流がプログラム電流よりも小さくなる。

【1037】

B 点以降はトランジスタ 11b、11c がオフとなるため、駆動用トランジスタ 11a

10

20

30

40

50

はプログラム電流よりも小さな電流が流れるように制御され、その電流は1フレーム期間に保持される。突き抜け電圧による電圧シフトを概念的に示したのが、図597である。コンデンサ19bによりトランジスタ11aのV-Iカーブは、実線から点線にシフトする。点線のV-Iカーブにシフトすることにより、駆動用トランジスタ11aがEL素子15に印加する電流は低減する。電圧シフト量は一定であるため、特に低階調範囲で黒表示を良好にすることができる。

【1038】

コンデンサ19bなどによる突き抜け電圧のシフト量は一定であり、また、V_{gh}電圧、V_{gl}電圧が一定値であるからである。電流駆動方式（電流プログラム方式）では、低階調ではプログラム電流が小さくなり、ソース信号線18の寄生容量の充放電が困難である。しかし、図595に図示する本発明では、ソース信号線18に印加するプログラム電流を比較的大きくでき、駆動用トランジスタ11aがEL素子15に流す電流はプログラム電流よりも小さくすることができる。つまり、微小なプログラム電流を画素16に書き込むことができる。

10

【1039】

逆に、突き抜け電圧を可変するには、V_{gh}電圧またはV_{gl}電圧もしくはV_{gh}電圧とV_{gl}電圧の電位差を変化すればよい。たとえば、点灯率（後に説明する）に応じて、V_{gh}電圧、V_{gl}電圧を変化あるいは操作する駆動方法が例示される。また、コンデンサ19bの容量を変化すればよい。また、アノード電圧V_{dd}を変化させればよい。たとえば、点灯率（後に説明する）に応じて、アノード電圧（V_{dd}）を変化あるいは操作する駆動方法が例示される。これらを変化あるいは変更することにより突き抜け電圧の大きさを制御でき、駆動用トランジスタ11aが流す電流量を制御でき、良好な黒表示を実現できる。

20

【1040】

突き抜け電圧の大きさは階調番号によらず、一定値であるため、低階調領域では、相対的に減少するプログラム電流量の割合が大きくなる。したがって、低階調領域になるほど、良好な黒表示を実現できる。

【1041】

図595、図596の実施例では、駆動用トランジスタ11a、トランジスタ11bなどがPチャンネルトランジスタであることが構成として重要である。また、ゲート信号線17aに印加する信号が、アノード電圧V_{dd}に近い電圧（V_{gh}）でトランジスタ11がオフし、カソード電圧に近い電圧（V_{gl}）でトランジスタ11がオンするように構成することが重要な構成である。また、画素行が選択され、非選択状態になると、次のフレーム（フィールド）で選択されるまで、各画素が書き込まれた電流値を保持することが重要な動作である。

30

【1042】

以上の実施例（図595など）は、トランジスタ11aがPチャンネルトランジスタである構成である。しかし、本発明はこれに限定するものではない。たとえば、図598に図示するように、駆動用トランジスタ11aがNチャンネルトランジスタの場合であっても本発明の技術思想を適用することができる。図598は、突き抜け電圧を発生するコンデンサはコンデンサ19bである。基本的には、図595（a）の構成をNチャンネルの構成に変換した構成例である。

40

【1043】

図598の画素構成において、ゲートドライバ17aの駆動波形を図599に示す。トランジスタ11b、11cはNチャンネルトランジスタであるから、V_{gl}電圧（L電圧）でトランジスタ11b、11cがオフする。また、V_{gh}電圧（H電圧）でトランジスタ11b、11cがオンする。図599に図示するように、各画素行が選択される期間は、1水平走査期間（1H）である。

【1044】

図599において、A点では、ゲート信号線17aに印加される電圧がV_{gl}からV_g

50

hに変化する。A点では、コンデンサ19bにより電圧がコンデンサ19aに突き抜ける。したがって、駆動用トランジスタ11aのゲート端子電位が高電圧方向にシフトする。そのため、短期間の間、駆動用トランジスタ11aに少し大きな電流が流れるようになる。しかし、A点からB点の1H期間では、駆動用トランジスタ11aからソース信号線18にプログラム電流が流れるため、A点以降の短期間に大きな電流が流れてもすぐに正規のプログラム電流が流れるようになる。

【1045】

B点では、ゲート信号線17aに印加される電圧がV_{gh}からV_{gl}に変化する。B点では、コンデンサ19bにより、駆動用トランジスタ11aのゲート端子電位が低電圧方向にシフトする。そのため、EL素子15から駆動用トランジスタ11aに流れる電流は、ソース信号線18に印加したプログラム電流よりも小さくなる。

10

【1046】

B点以降はトランジスタ11b、11cがオフとなるため、駆動用トランジスタ11aはプログラム電流よりも小さな電流が流れるように制御され、その電流は1フレーム期間に保持される。突き抜け電圧による電圧シフトを概念的に示したのが、図600である。主としてコンデンサ19bによりトランジスタ11aのV-Iカーブは、実線から点線にシフトする。点線のV-Iカーブにシフトすることにより、駆動用トランジスタ11aがEL素子15に印加する電流は低減する。電圧シフト量は一定であるため、特に低階調範囲で黒表示を良好にすることができる。

【1047】

20

図598、図599の実施例では、駆動用トランジスタ11a、トランジスタ11bなどがNチャンネルトランジスタであることが構成として重要である。また、ゲート信号線17aに印加する信号が、アノード電圧V_{dd}に近い電圧(V_{gh})でトランジスタ11がオンし、カソード電圧に近い電圧(V_{gl})でトランジスタ11がオフするように構成することが重要な構成である。

【1048】

ゲート信号線17aに印加された電圧の一定割合が、コンデンサ19などにより突き抜け電圧として、駆動用トランジスタ11aのゲート端子に印加される。突き抜け電圧により駆動用トランジスタ11aが流す(流れ出る)電流がソース信号線18に書き込まれたプログラム電流よりも小さくなり、良好な黒表示を実現できる。

30

【1049】

しかし、第0階調目の完全黒表示は実現できるが、第1階調などは表示しにくい場合が発生する。もしくは、第0階調から第1階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする場合も考えられる。

【1050】

この課題を解決する構成が、図84の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路841の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル0であっても、ある程度(数10nA)電流が流れるようにし、黒レベルの調整にも用いることができる。

【1051】

40

基本的には、図84は、図15の出力段に嵩上げ回路841(図84の点線で囲まれた部分)を追加したものである。図84は、電流値嵩上げ制御信号として3ビット(K0、K1、K2)を仮定したものであり、この3ビットの制御信号により、孫電流源の電流値の0~7倍の電流値を出力電流に加算することが可能である。なお、電流嵩上げ制御信号は3ビットとしているが、これに限定するものではなく、4ビット以上であってもよいことはいふまでもない。また、電流嵩上げ制御信号は、2ビット以下でもよい。

【1052】

以上が本発明のソースドライバ回路(IC)14の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路(IC)14についてさらに詳しく説明をする。

【1053】

50

EL素子15に流す電流 I (A)と発光輝度 B (nt)とは線形の関係がある。つまり、EL素子15に流す電流 I (A)と発光輝度 B (nt)とは比例する。電流駆動方式では、1ステップ(階調刻み)は、電流(単位トランジスタ154(1単位))である。

【1054】

人間の輝度に対する視覚は2乗特性をもっている。つまり、2乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図62の実線aで示すように直線の関係であると、低輝度領域でも高輝度領域でも、EL素子15に流す電流 I (A)と発光輝度 B (nt)とは比例する。

【1055】

したがって、1ステップ(1階調)きざみずつ変化させると、低階調部(黒領域)では、1ステップに対する輝度変化が大きい(黒飛びが発生する)。高階調部(白領域)は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式(1ステップが電流きざみの場合)において(電流駆動方式のソースドライバ回路(IC)14において)、黒表示領域の表示が特に課題となる。

【1056】

この課題に対して、低階調領域(階調0(完全黒表示)から階調(R1))の電流出力の傾きを小さくし、高階調領域(階調(R1)から最大階調(R))の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに(1ステップ)増加する電流量と小さくする。高階調領域では、1階調あたりに(1ステップ)増加する電流量と大きくする。高階調領域と低階調領域で1ステップあたりに変化する電流量を異ならせることにより、階調特性が2乗カーブに近くなり、低階調領域での黒飛びの発生はない。

【1057】

以上の実施例では、低階調領域と高階調領域の2段階の電流傾きとしたが、これに限定するものではない。3段階以上であっても良いことは言うまでもない。しかし、2段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、5段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。

【1058】

本発明の技術的思想は、電流駆動方式のソースドライバ回路(IC)などにおいて(基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。)、1階調ステップあたりの電流増加量が複数存在させることである。

【1059】

ELなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ回路(IC)14では、1つの電流源(1単位トランジスタ)154に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【1060】

EL表示パネルでは、R、G、Bで発光効率が異なり、また、NTSC基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはRGBの比率を適正に調整する必要がある。調整は、RGBのそれぞれの基準電流を調整することにより行う。たとえば、Rの基準電流を $2\mu\text{A}$ にし、Gの基準電流を $1.5\mu\text{A}$ にし、Bの基準電流を $3.5\mu\text{A}$ にする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも1色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。

【1061】

ホワイトバランスは、図184に図示するように基準電流 I_c (赤色の基準電流は I_{cr} 、緑色の基準電流は I_{cg} 、青色の基準電流は I_{cb})の調整により実現する。しかし、トランジスタ158の特性バラツキなどがあり、ホワイトバランスずれが発生する。これはICチップごとに異なることがある。この課題に対しては、図184の基準電流回路

601r（赤用）、基準電流回路601g（緑用）、基準電流回路601b（青用）の内部を、図164などで説明するトリミング技術を用いて調整し、ホワイトバランスを実現すればよい。特に電流駆動方式は、ELに流す電流Iと輝度の関係は直線の関係があるため、この調整はいたって容易である。

【1062】

電流駆動方式は、ELに流す電流Iと輝度の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、本発明はRGBの基準電流を調整できる調整手段を具備する点、1点折れまたは多
10 点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のEL表示パネルに特有の回路方式である。

【1063】

基準電流の発生は、図60から図66（a）（b）などの構成に限定されるものではない。たとえば、図198の構成が例示される。図198では、8ビットデータをDA（デジタルアナログ）変換回路661で電圧に変換する。この電圧を電子ボリウム501の電源電圧（図60ではVs）となる。電子ボリウム501は電圧データ（VDATA）で制御されて、Vt電圧が出力される。出力されたVtデータがオペアンプ502に入力され、抵抗R1とトランジスタ158aからなる電流回路で所定の基準電流Icが出力される。
20 以上のように構成すれば、8ビットのDATAおよび8ビットのVDATAによりVt電圧の可変範囲が広く制御することができる。

【1064】

図197は、複数の電流回路（オペアンプ502、抵抗R*（*は該当抵抗の番号）、トランジスタ158aで構成）を具備する構成である。各電流回路が出力する基準電流の大きさIcは抵抗の大きさにより異なっている。オペアンプ502aからなる定電流回路は $R1 = 1\text{M}\Omega$ であり、基準電流Ic1の電流を流す。オペアンプ502bからなる定電流回路は $R2 = 500\text{K}\Omega$ であり、基準電流Ic2の電流を流す。オペアンプ502cからなる定電流回路は $R3 = 250\text{K}\Omega$ であり、基準電流Ic3の電流を流す。

【1065】

どの電流回路の基準電流Icを採用するかは、選択スイッチSにより決定する。スイッチSの選択は外部からの入力信号により実施する。スイッチS1がオンし、スイッチS2、S3をオフすることにより、トランジスタ群431bに基準電流Ic1が印加される。スイッチS2がオンし、スイッチS1、S3をオフすることにより、トランジスタ群431bに基準電流Ic2が印加される。同様に、スイッチS3がオンし、スイッチS2、S1をオフすることにより、トランジスタ群431bに基準電流Icが印加される。
30

【1066】

基準電流Ic1、Ic2、Ic3がそれぞれ異なるように構成されているため、選択するスイッチSを切り換えることにより出力端子155からの出力電流を一斉に変更することができる。また、選択スイッチSを1フィールドまたは1フレームなどの定周期で変化させることにより、フレームなどごとにパネルに印加するプログラム電流の大きさを変化
40 させることができ、画像輝度などが複数フレームまたはフィールドで平均化され均一性のよい画像表示を得ることができる。

【1067】

上記の実施例では、1フィールドまたは1フレームごとに選択するスイッチSを変化させ、プログラム電流の大きさを変化させるとしたがこれに限定するものではない。たとえば、数フィールドあるいはフレームごとに変化させてもよく、1H（1水平走査期間）あるいは複数H（走査期間）ごとにスイッチSを切り換えてもよい。また、ランダムに変化させ、全体として所定の基準電流Icがトランジスタ群431bに印加するように動作させてもよい。

【1068】

10

20

30

40

50

基準電流の大きさを周期的に変化させるあるいはランダムに変化させ一定の周期で平均として所定の基準電流にするという駆動方法は、図 197 に限定するものではない。たとえば、図 60 から図 66 (a) (b) などの基準電流の発生回路などにも適用することができる。各回路の基準電流は電子ポリウム 501、電源電圧 V_s などを変化あるいは変更することにより変更できる。

【1069】

上記実施例では、 I_{c1} から I_{c3} のいずれかの基準電流 I_c を選択し、トランジスタ 431b に印加するとしたが、これに限定するものではなく、複数の電流回路の電流を加算してトランジスタ群 431b に印加してもよい。この場合は、複数のスイッチ S がオンさせればよい。また、すべてのスイッチ S をオフ状態にすることによりトランジスタ群 431b に印加される基準電流 = 0 A とすることができる。0 A にすれば各端子 155 から出力されるプログラム電流は 0 A となる。したがって、ソースドライバ IC14 は出力オープンの状態にすることができる。つまり、ソース信号線 18 からソースドライバ IC14 を切り離すことができる。

【1070】

図 198 は複数の基準電流発生回路からの基準電流を加算してトランジスタ 431b に印加する構成である。オペアンプ 502a からなる電流回路は DATA1 からなる 8 ビットデータで出力電流 I_{c1} が変化する。オペアンプ 502b からなる電流回路は DATA2 からなる 8 ビットデータで出力電流 I_{c2} が変化する。トランジスタ群 431b には基準電流 I_{c1} あるいは I_{c2} もしくは両方の基準電流が印加される。

【1071】

図 199 は基準電流発生回路の他の実施例である。ゲート配線 153 の両側にトランジスタ 158b1 およびトランジスタ 158b2 が配置されている。トランジスタ 158b1 には、D1 データにより I 、 $2I$ 、 $4I$ 、 $8I$ のいずれかの電流もしくは組み合わせた電流が印加される。つまり、D1 データによりスイッチ S^*a ($*$ は該当スイッチの番号) が選択される。なお、 $2I$ とは I の 2 倍の電流を意味し、 $4I$ とは I の 4 倍の電流を意味する。以下、同様である。トランジスタ 158b2 には、D2 データにより I 、 $2I$ 、 $4I$ 、 $8I$ のいずれかの電流もしくは組み合わせた電流が印加される。つまり、D2 データによりスイッチ S^*b ($*$ は該当スイッチの番号) が選択される。以上のように構成しても基準電流をダイナミックに可変できる。

【1072】

図 200 はトランジスタ群 431c を複数のブロック ($431c1$ 、 $431c2$ 、 $431c3$) に分割した実施例である。出力端子 155 からは複数のブロックのトランジスタ群 431c からの伝習が出力される。

【1073】

単位トランジスタ 154 の大きさがトランジスタ群 431c で同一であっても、各単位トランジスタ 154 に流れる電流が異なれば出力端子 155 から出力されるプログラム電流の大きさは異なる。図 201 に図示するように、基準電流が小さい時は、階調に対するプログラム電流の増加割合は小さい (図 201 の 0 から Ka を参照のこと)。基準電流が大きい時は、階調に対するプログラム電流の増加割合は大きい (図 201 の Kb 以上の範囲を参照のこと)。つまり、トランジスタ群 431c を複数のブロックに分割し、各ブロック内の単位トランジスタ 154 に供給する基準電流の大きさを変化させる。なお、この構成は、図 56 でも説明している。

【1074】

図 200 では、1 つのトランジスタ群 431c を 3 つのブロックに分割している。トランジスタ 431c のトランジスタ 431c1 には、トランジスタ 158b1 に印加される基準電流 I_1 によりゲート配線 153a 電位が設定される。このゲート配線 153a の電位によりトランジスタ群 431c1 の単位トランジスタ 154 の出力電流が決定される。また、 I_1 は I_2 よりも小さいとし、図 201 の低階調範囲 ($0 \sim Ka$) が該当するとする。

10

20

30

40

50

【1075】

トランジスタ431cのトランジスタ431c2には、トランジスタ158b2に印加される基準電流I2によりゲート配線153b電位が設定される。このゲート配線153bの電位によりトランジスタ群431c2の単位トランジスタ154の出力電流が決定される。また、I2はI3よりも小さいとし、図201の中階調範囲(Ka~Kb)が該当するとする。同様に、トランジスタ431cのトランジスタ431c3には、トランジスタ158b3に印加される基準電流I3によりゲート配線153c電位が設定される。このゲート配線153cの電位によりトランジスタ群431c3の単位トランジスタ154の出力電流が決定される。また、I3は最も大きいとし、図201の高階調範囲(Kb以上)が該当するとする。

10

【1076】

以上のように複数のトランジスタ群431cを複数のブロックに分割し、分割されたブロックごとに基準電流の大きさを異ならせることにより図201のように折れ線ガンマカーブを容易に発生させることができる。また、基準電流数を多くすることによりそれに多線折れのガンマカーブを得ることができる。

【1077】

以上の実施例では、トランジスタ群431cを複数のブロックに分割し、分割されたブロック内の単位トランジスタ154は同一であるとして説明したがこれに限定するものではない。図55などに図示するように、単位トランジスタ154のサイズが異なってもよい。また、図167のように単位トランジスタ154でなくてもよい。また、基準電流の発生は図161から図168などいずれの構成であってもよい。

20

【1078】

以上の実施例では、図43で説明したように、基本的には出力段はトランジスタ群431cで構成される。トランジスタ群431cにおいて、D0ビット目は単位トランジスタ154が1個、D1ビット目は単位トランジスタ154が2個、D2ビット目は単位トランジスタ154が4個、・・・Dnビット目は単位トランジスタ154が2のn乗個が配置または形成される。この構成を概念的に図240で図示している。

【1079】

図240ではtrb(トランジスタブロック)32は、単位トランジスタ154を32個有していることを示している。同様に、trb(トランジスタブロック)1は、単位トランジスタ154を1個有していることを示し、trb(トランジスタブロック)2は、単位トランジスタ154を2個有していることを示している。また、trb(トランジスタブロック)4は、単位トランジスタ154を4個有していることを示している。以下同様である。

30

【1080】

しかし、単位トランジスタ154はICウエハ内において形成位置で特性が異なる。特に拡散構成およびその前後において周期的な特性分布が発生する。一例として、3~4mm周期で単位トランジスタ154の特性の強弱が発生する。このため、図240のように端子155のピッチでトランジスタ群431cを形成すると、端子155から出力される電流の強弱周期(出力階調が全端子155で同一とした場合)が発生してしまうことがある。

40

【1081】

この課題に対して、本発明では図241に図示するように、多くの単位トランジスタ154を保有するtrb(トランジスタブロック)をさらに細分化する。図241では一例として、trb32を4つのブロック(trb32a、trb32b、trb32c、trb32d)に分割している。基本的には分割される単位トランジスタ154数は同一である。もちろん分割する単位トランジスタ154数は異ならせてもよいことはいうまでもない。

【1082】

図241ではtrb32a、trb32b、trb32c、trb32dは各8個の単

50

位トランジスタ154で構成されている。また、trb16に対しても、trb16a、trb16bの各8個の単位トランジスタ154から構成される小ブロックに分割してもよいことは言うまでもない。ここでは説明を容易にするため、trb32のみが分割されているとして説明をする。

【1083】

出力端子155からの出力電流の周期をなくすためには、IC（回路）チップ内からより広い位置に形成された単位トランジスタ154で1つの出力段431cを構成することが有効である。この実施例が、図242の構成である。ただし、図242は概念的に図示している。実際は、横方向の配線により遠い位置にあるtrbが結線されて1端子155の出力段431cを構成する。

10

【1084】

図242では、端子155aのD5ビット目は、trb32a1、trb32a2、trb32c1、trb32c21から構成される。つまり本来は隣接した出力端子155bの単位トランジスタ群を用いて端子155aの出力段が構成されている。同様に、端子155bのD5ビット目は、trb32b2、trb32b3、trb32d2、trb32d3から構成される。つまり本来は隣接した出力端子155cの単位トランジスタ群を用いて端子155bの出力段が構成されている。さらに、端子155cのD5ビット目は、trb32a3、trb32a4、trb32c3、trb32c4から構成される。つまり本来は隣接した出力端子155dの単位トランジスタ群を用いて端子155cの出力段が構成されている。以下同様である。

20

【1085】

具体的には、図243のように小トランジスタ群trbは結線される。図243は端子155aのtrb32のみの結線状態を図示している（他のビット、他の端子155も同様の結線が施される）。図243において、trb32はtrb32a1と、6端子隣のtrb32b6、11端子隣のtrb32c11、16端子隣のtrb32d16で構成されている。つまり、trb32は、上下位置、左右位置がことなるtrb32が接続（結線）されて構成される（形成される）。以上のように単位トランジスタ群431の各ビットを構成する単位トランジスタ154を離れた位置の単位トランジスタ154で構成することにより出力バラツキの周期性を解消することができる。

【1086】

しかし、図243のように結線を実施すると、端子155n（最も最後の端子）は結線するtrbが存在しない。この課題に対しては、トランジスタ群431cとカレントミラー対を構成する基準電流を流すトランジスタ群431bの単位トランジスタ158b（図48、図49を参照のこと）を使用することにより解決できる。単位トランジスタ158bと単位トランジスタ154とは同一サイズ、同一形状で構成しておく。トランジスタ群431bはIC（回路）14の片方端あるいは両側に配置されている。なお、断っておくが、端子155nにおいても接続できるtrbを形成する場合は、以下に説明する構成を採用する必要がないことは明らかである。

30

【1087】

トランジスタ群431bを構成する単位トランジスタ158bから構成されるtrb（32）と同様の機能を有するトランジスタ群をtbとする（図244を参照のこと）。したがって、tbとtrbは同一のゲート配線153に接続されている。したがって、端子155nのtrb32はtrb32n1と、6端子隣のtb32b6、11端子隣のtb32c11、16端子隣のtb32d16で構成すればよい。

40

【1088】

なお、図245に図示するように、tbとtrbを分散してIC（回路）14内に構成または配置しておけば、図244のように複雑な結線は不要となることは言うまでもない。

【1089】

検討の結果によれば、単位トランジスタ154は少なくとも0.05平方mm以上の範

50

囲にある単位トランジスタ154から構成することが好ましい。さらに好ましくは0.1平方mm以上の範囲にある単位トランジスタ154から構成することが好ましい。さらに好ましくは0.2平方mm以上の範囲にある単位トランジスタ154から構成することが好ましい。この面積(平方mm)の算出は最も遠方の位置にある4個の単位トランジスタ154を結ぶ直線から求める。

【1090】

ソース信号線18に出力するプログラム電流の偏差は、図286に図示するように周期性を有する場合が多い。図286は横軸が1チップの出力端子位置を示している。つまり、端子1からn端子位置である。縦軸は、32階調目の出力プログラム電流の平均値からのずれを%で示している。図286に図示しているように、出力プログラム電流の偏差は周期性がある場合が多い。これは、ICの製造工程の拡散プロセスによる。

10

【1091】

実線のように出力プログラム電流の偏差がある場合は、点線のように逆補正をかけることにより補正(補償)を行うことができる。補正(補償)は容易である。プログラム電流が吸い込み(シンク)電流である場合は、0~5%の範囲で吐き出し電流を加算すればよい。つまり、ソースドライバ回路(IC)14内にPチャンネルの単位トランジスタ154(図43などの構成および説明などを参照のこと)からなる吐き出し電流回路を形成し、この回路の吐き出し電流を各端子155の出力プログラム電流を加算(補償)すればよい。また、図162から図176などで説明したトリミング技術などを用いて調整あるいは構成もしくは形成してもよい。

20

【1092】

補正(補償)する電流の大きさを決定するためには、図287に図示するように、端子155からの出力プログラム電流を測定する。映像データ(RDATA、GDATA、BDATA)を所定値(一般的には、単位トランジスタ群431cの各ビット)にして端子155からプログラム電流Iwを出力させる。この出力電流Iwを端子155に接続したプローブ2873で電流測定回路2872に接続し、測定する。なお、ソースドライバ回路(IC)14内部に形成したスイッチで端子ごとの電流を切り換え電流測定回路2872に接続してもよいことは言うまでもない。

【1093】

電流測定回路2872は測定した電流を補正データ演算回路2872に出力し、補正データ演算回路2872は補正データを算出(演算あるいは変換)して補正回路(データ変換回路)2874に出力する。補正回路(データ変換回路)2874はフラッシュメモリなどで形成されており、0~5%の範囲で吐き出し電流を端子155に加算する。

30

【1094】

ただし、図286に図示するように出力プログラム電流に周期性を有する場合は、全端子を測定することなく、一部の端子(1周期以上)の出力プログラム電流を測定することにより、全端子を出力プログラム電流のずれを予測することができる。したがって、一部の端子(1周期以上)の出力プログラム電流を測定すればよい。

【1095】

出力電流のバラツキは画素ピッチP(mm)と周期(1周期間の端子数N)と画面144の輝度変化割合b(%)により許容範囲が定まる。たとえば、ある端子間で輝度変化が5%であっても、端子間の端子数が10端子と100端子では、当然のことながら、端子間が10端子のほうが許容限度は低くなる(5%では許容できない)。

40

【1096】

以上の関係を検討した結果が図298である。横軸は、 $b/(P \cdot N)$ である。Pは画素ピッチ(mm)であり、NはソースドライバIC14の端子間の端子数であるから、 $P \cdot N$ で該当する周期の長さ(距離)を示す。したがって、 $b/(P \cdot N)$ は、 $(P \cdot N)$ あたりの輝度変化割合を示すことになる。縦軸は、 $b/(P \cdot N)$ が0.5の時を1とした時の相対的な画面144の輝度変化の認識割合(輝度と、プログラム電流とは比例関係にあるため、出力電流偏差割合となる)である。出力電流偏差割合が大きいほど、許容で

50

きないことを示している。

【1097】

図298でもわかるように、 $b / (P \cdot N)$ が0.5以上の範囲での急にカーブの傾きが大きくなる。したがって、 $b / (P \cdot N)$ は0.5以下にすることが好ましい。

【1098】

輝度の変化割合は、図306に図示するように輝度計3051で測定する。ソースドライバIC14の階調を制御する制御回路3053で制御する。輝度計3051で測定された輝度は演算器3052で補償量が演算される。演算されたデータは図287に図示するように補正回路2874に書き込まれる。

【1099】

以上の実施例では、ソースドライバ回路(IC)14の出力バラツキについて記述したが、この技術的思想は、ゲートドライバ回路(IC)12についても適用できることは明らかである。ゲートドライバ回路(IC)12についてもオン電圧またはオフ電圧のバラツキが発生する。したがって、本発明のソースドライバ回路(IC)14で説明した事項をゲートドライバ回路(IC)12に適用することにより良好なゲートドライバ回路(IC)14を構成あるいは形成することができる。なお、いかに説明する事項に関してもゲートドライバ回路(IC)12に適用できることは言うまでもない。

【1100】

本発明のドライバ回路(IC)で説明する事項は、ゲートドライバ回路(IC)12、ソースドライバ回路(IC)14に適用することができ、また、有機(無機)EL表示パネル(表示装置)だけでなく、液晶表示パネル(表示装置)にも適用することができる。また、アクティブマトリックス表示パネルだけでなく、単純マトリックス表示パネルに本発明の技術的思想を用いてもよい。

【1101】

以下、本発明のソースドライバ回路(IC)14の他の実施例について説明をする。なお、以下に説明する事項以外は、以前に説明したあるいは本明細書に記載した事項が適用できることは言うまでもない。また、適時組み合わせることができることは言うまでもない。逆に、以下の実施例で説明する事項が本発明の他の実施例適用あるいは適時採用できることも言うまでもない。また、以下に説明するソースドライバ回路(IC)14を用いて表示パネルあるいは表示装置(図126、図154から図157など)を構成できることは言うまでもない。

【1102】

図188は、本発明のソースドライバ回路(IC)14の実施例である。ただし、説明に必要な部分のみ図示している。図188の構成においても、本発明の他の実施例とどのように、シリコンからなるCMOSトランジスタで回路構成されている(なお、回路14をアレイ基板30に直接形成してもよいことは言うまでもない)。

【1103】

図188において、電子ポリウム501を制御するデータ(IRD、IGD、IBD)は、クロック(CLK)信号に同期して、値が確定し、この値により電子ポリウム501のスイッチが制御され、所定の電圧がオペアンプ502の+端子に印加される。

【1104】

オペアンプ502と抵抗R1、トランジスタ158aにより定電流回路が構成され、基準電流Icが発生する。基準電流Icの大きさに比例して端子155から出力されるプログラム電流の大きさが変化する。プログラム電流発生回路1884は内部にカレントミラー回路とDATAのデコーダ部を有している。より具体的にはプログラム電流発生回路1884は、図60のトランジスタ158bとトランジスタ群431cの関係、図209、図210のトランジスタ158bとトランジスタ154の関係あるいはその類似構成が例示される。

【1105】

プログラム電流発生回路は、基準電流Icの大きさを基準として、映像(画像)データ

10

20

30

40

50

であるDATA (DATAR、DATAG、DATAB)の大きさに対応してプログラム電流Ipを発生させる。

【1106】

発生したプログラム電流Ipは電流保持回路1881に保持される。電流保持回路1881はトランジスタ11a、11b、11c、11dとコンデンサ19から構成される。構成としては図1の画素構成において、PチャンネルトランジスタをNチャンネルトランジスタに変更した構成である。階調電流配線1882に印加されたプログラム電流Ipはコンデンサ19に電圧として保持される。

【1107】

電流Ipの保持動作は、サンプリング回路862の点順次動作により行われる。つまり、サンプリング回路862は、10ビット(1024端子まで選択が可能)のアドレス信号(ADRS)により、プログラム電流Ipを保持させる階調保持回路1881が選択される。選択は選択信号線1885に選択電圧(トランジスタ11b、11cをオン状態にする電圧)を出力することにより実施される。したがって、プログラム電流Ipは階調保持回路1881にランダムに格納させることができる。しかし、一般的には、アドレス信号ADRSは順次カウントアップされ、電流保持回路1881aから1881nが順次選択される。

【1108】

プログラム電流Ipはコンデンサ19に保持され、この保持された電圧により、駆動用トランジスタ11aはプログラム電流Ipを端子155から出力する。電流保持回路1881において、駆動用トランジスタ11aの機能としては、図1のトランジスタ11aを動作とは同一である。また、図188のトランジスタ11c、11bも図1のトランジスタ11b、11cと機能あるいは動作は同一である。つまり、選択信号線1885に選択電圧が順次印加され、電流保持回路1881のトランジスタ11b、11cがオンされて、プログラム電流Ipがトランジスタ11a(トランジスタ11aのゲート端子に接続されたコンデンサ19)に保持される。

【1109】

すべての電流保持回路1881にプログラム電流Ipの書き込みが完了すると、出力制御端子1883にオン電圧が印加され、端子155aから155nに各電流保持回路1881に保持されたプログラム電流Ipが出力される(ソース信号線18から端子155にプログラム電流Ipが入力される)。出力制御端子1883の印加されるオン電圧のタイミングは、1水平走査クロックに同期される。つまり、1画素行選択(あるいは1画素行シフト)クロックに同期される。

【1110】

図189は図188を模式的に図示したものである。階調電流配線1882を流れるプログラム電流Ipはサンプリング回路862によりスイッチ11b、11c(トランジスタ11b、11c)が制御され、電流保持回路1881にプログラム電流Ipが入力される。また、スイッチ11b(トランジスタ11b)が出力制御端子1883により制御され、一斉にオンされ、プログラム電流Ipが出力される。

【1111】

図188、図189では、電流保持回路1881は1画素行分としているが、実際には、2画素行分が必要である。1画素行分(第1保持回路)は、ソース信号線18にプログラム電流Ipを出力するのに用い、他の1画素行分(第2保持回路)は、サンプリング回路862でサンプリングされた電流を電圧保持回路1881に保持するのに用いる。第1保持回路と第2保持回路とは交互に切り換えて動作させる。

【1112】

図228は第1保持回路2280aと第2保持回路2280bを具備した出力段構成である。図188と図228との関係は、電流保持回路1881は出力回路2280、階調電流配線1882は電流信号線2283、出力制御端子1883はゲート信号線2282、選択信号線1885はゲート信号線2284、トランジスタ11aはトランジスタ22

10

20

30

40

50

8 1 a、トランジスタ 1 1 b はトランジスタ 2 2 8 1 b、トランジスタ 1 1 c はトランジスタ 2 2 8 1 c、トランジスタ 1 1 d はトランジスタ 2 2 8 1 d、コンデンサ 1 9 はコンデンサ 2 2 8 9 が該当する。

【1 1 1 3】

出力回路 2 2 8 0 a にプログラム電流 I_p がサンプリングされ入力されている時は、出力回路 2 2 8 0 b はソース信号線 1 8 に保持されたプログラム電流 I_p を出力している。逆に出力回路 2 2 8 0 a がソース信号線 1 8 に保持されたプログラム電流 I_p を出力している時は、出力回路 2 2 8 0 b はサンプリングされたプログラム電流 I_p を順次保持している。出力回路 2 2 8 0 a と出力回路 2 2 8 0 b とが、ソース信号線 1 8 b にプログラム電流 I_p を出力（入力）している期間は 1 H ごとに切り換えられる。この出力の切り換えは c 1、c 2 端子で行われる。

10

【1 1 1 4】

なお、電流信号線 2 2 8 3 には、リセット電圧 V_{cp} を印加するスイッチ S_c が形成または内地している。スイッチ S_c をオンさせることにより、リセット電圧 V_{cp} が電流信号線 2 2 8 3 に印加される。リセット電圧 V_{cp} は、GND 電圧に近い電圧である。リセット電圧を印加する際は、ゲート信号線 2 2 8 4 にオン電圧を印加し、トランジスタ 2 2 8 1 b、2 2 8 1 c をオンさせる。トランジスタ 2 2 8 1 b、2 2 8 1 c をオンさせることにより、コンデンサ 2 2 8 9 の電荷を放電することができ、トランジスタ 2 2 8 1 a が電流を出力しない状態にできる。

【1 1 1 5】

つまり、リセット電圧 V_{cp} はトランジスタ 2 2 8 1 a をオフあるいはオフ状態に近い状態にする電圧である。なお、リセット電圧 V_{cp} は、トランジスタ 2 2 8 1 a が中間レベルの電圧と出力するように構成などしてもよいことは言うまでもない。

20

【1 1 1 6】

図 2 2 9 は図 2 2 8 の回路の動作タイミングチャート図である。図 2 2 9 において、 $S_i g$ には、プログラム電流発生回路 1 8 8 4 からの信号である。映像信号に対応した電流が連続的に印加される。 S_c はリセットスイッチの動作を示している。H レベルの時スイッチ S_c はオン状態であり、電流配線 2 2 8 3 にリセット電圧 V_{cp} が印加される。図 2 2 9 でもわかるようにリセット電圧 V_{cp} は 1 H の最初に印加されていることがわかる。

【1 1 1 7】

まず、電流保持回路（出力回路）2 2 8 0 a または 2 2 8 0 b にリセット電圧 V_{cp} が印加された後、プログラム電流 I_p が出力回路 2 2 8 0 にサンプリングされて保持される。なお、リセット電圧 V_{cp} は 1 H に 1 回に限定するものではなく、1 出力回路 2 2 8 0 のサンプリングごとに印加してもよく、また、複数出力回路 2 2 8 0 のサンプリングごとにリセット電圧 V_{cp} を印加してもよい。また、1 フレームまたは複数フレームごとにリセット電圧を印加してもよい。

30

【1 1 1 8】

c 1 および c 2 は切り換え信号である。c 1 のロジック電圧が H レベルの時には、出力回路 2 2 8 0 a が選択され、c 2 のロジック電圧が H レベルの時には、出力回路 2 2 8 0 b が選択されてソース信号線 1 8 にプログラム電流 I_p が出力される。

40

【1 1 1 9】

以上のように出力回路 2 2 8 0 a または 2 2 8 0 b を選択し、順次プログラム電流 I_p を印加（保持）させるためには、図 2 3 0 に図示するようにサンプリング回路 8 6 2 を 2 つ設けるとよい。サンプリング回路 8 6 2 a は出力回路 2 2 8 0 a を順次選択して、出力回路 2 2 8 0 a にプログラム電流 I_p を保持させる。サンプリング回路 8 6 2 b は出力回路 2 2 8 0 b を順次選択して、出力回路 2 2 8 0 b にプログラム電流 I_p を保持させる。

【1 1 2 0】

リセット電圧 V_{cp} は図 7 5 に図示するように、プリチャージ電圧を変化させる構成を採用してもよい。なお、プリチャージ電圧に関する事項で説明した事項は、リセット電圧 V_{cp} にも適用することができる。図 7 5 のようなプリチャージ回路を、図 2 3 0 のリセ

50

ット回路 2301 に置き換えればよい。同様に基準電流回路 1884 も以前に説明した構成を採用すればよい。

【1121】

出力回路 2280 で課題になるのは、ゲート信号線 2284 に印加した信号により、保持用のトランジスタ 2281a のゲート端子電位が変化し、保持されたプログラム電流 I_p から変化してしまうことがある。これは、ゲート信号線 2284 に印加された電圧波形が、寄生容量により突き抜けてゲート端子電位を変化させることにより発生する。この突き抜け電圧により保持用トランジスタ 2281a が N チャンネルトランジスタの場合は、保持されたプログラム電流 I_p が小さくなる。保持用トランジスタ 2281a が P チャンネルの場合は、図 228 の構成では、保持されたプログラム電流が大きくなる。

10

【1122】

この課題を解決する構成を図 231 に図示している。図 231 の出力回路 2280 では、スイッチ用トランジスタ 2281b とコンデンサ 2289 間にトランジスタ 2311 を形成または配置している。トランジスタ 2311 は配線をオープンする機能を有する。

【1123】

トランジスタ 2311 は、出力回路 2280 にサンプリングされたプログラム電流 I_p が保持され、ゲート信号線 2284 にオフ電圧が印加される（出力回路 2280 が電流信号線 2283 から切り離される）前に動作する（オフする）。つまり、まず、ゲート信号線 2284 にオフ電圧が印加されたのち、遅れてゲート信号線 2284 にオフ電圧が印加される。したがって、トランジスタ 2311 がオフした後、出力回路 2280 が電流信号線 2283 から切り離される。

20

【1124】

図 232 はゲート信号線 2284 と 2285 のなどのタイミングチャート図である。図 232 でわかるように、ゲート信号線 2285 にオフ電圧が印加された後、ゲート信号線 2284 にオフ電圧が印加される。

【1125】

以上のように、まず、トランジスタ 2311 をオフさせる。トランジスタ 2311 をオフすることによりゲート信号線 2284 の突き抜け電圧の軽減することができる。なお、図 232 における時間 t は $0.5 \mu\text{s}$ 以上にすることが好ましい。また、さらに好ましくは $1 \mu\text{s}$ 以上にすることが好ましい。

30

【1126】

保持用トランジスタ 2281a はキンク（アーリー効果）の影響を防止あるいは抑制するため、一定の W/L 比とすることが好ましい。図 233 はこのアーリー効果の発生比をグラフ化したものである。図 233 で図示するように、 L/W 比が 2 以下ではアーリー効果の影響が大きくなる。逆に L （トランジスタ 2281a チャンネル長（ μm ））/ W （トランジスタ 2281a のチャンネル幅（ μm ））は 2 以上では、急激にアーリー効果の影響は小さくなる。以上のことから、保持用トランジスタ 2281a は L/W 比が 2 以上にすることが好ましい。さらに好ましくは 4 以上にする。

【1127】

また、保持用トランジスタ 2281a のチャンネル間電圧（IC 内ソースドレイン電圧 V_{sd} ）とアーリー効果とも関連がある。この関連を図 234 に図示している。なお、 V_{sd} 電圧とは、保持用トランジスタ 2281a に印加される最大電圧であり、図 231 などでは、端子 155 に印加される電圧である。

40

【1128】

図 234 のグラフでも図示するように、 V_{sd} 電圧が 9V 以上でアーリー降下の影響が顕著になる傾向にある。したがって、端子 155 に印加される電圧つまりソース信号線 18 に印加される電圧は 9V 以下 0V 以内（GND）にすることが好ましい。さらに好ましくは、ソース信号線 18 に印加される電圧は 8V 以下 0V 以上にする必要がある。

【1129】

以上の実施例は出力回路 2280 を 2 段設ける構成であった。しかし、本発明はこれに

50

限定するものではなく、図 2 3 7 に図示するように複数形成してもよい。図 2 3 7 では出力回路 2 2 8 0 a を出力回路 2 2 8 0 a h と 2 2 8 0 a l の 2 つで構成し、同様に出力回路 2 2 8 0 b を出力回路 2 2 8 0 b h と 2 2 8 0 b l の 2 つで構成している。出力回路 2 2 8 0 a h および 2 2 8 0 b h は、比較的大きなプログラム電流 I_{ph} を出力する回路であり、出力回路 2 2 8 0 a l および 2 2 8 0 b l は、比較的小さなプログラム電流 I_{pl} を出力するものである。

【1 1 3 0】

以上のように、出力回路 2 2 8 0 a、2 2 8 0 b を複数に分割することにより各出力回路 2 2 8 1 が分担する階調を分離あるいは加算して出力することができる。そのため、精度のよいプログラム電流 I_p を出力することができる。

10

【1 1 3 1】

本発明のソースドライバ回路 (I c) 1 4 の出力段は、図 2 4 6 のように構成してもよい。図 2 4 6 では、1 出力段は、1 の大きさの電流を出力する出力段回路 2 2 8 0 a、2 の大きさの電流を出力する出力段回路 2 2 8 0 b、4 の大きさの電流を出力する出力段回路 2 2 8 0 c、8 の大きさの電流を出力する出力段回路 2 2 8 0 d、1 6 の大きさの電流を出力する出力段回路 2 2 8 0 e、3 2 の大きさの電流を出力する出力段回路 2 2 8 0 f から構成される。出力段回路 2 2 8 0 a ~ 2 2 8 0 f は映像データの各ビットに対応して動作する。対応して動作した出力段回路 2 2 8 0 a ~ 2 2 8 0 f は加算されて、端子 1 5 5 から出力される。図 2 4 6 にように構成することにより精度のよい電流出力を実現できる。

20

【1 1 3 2】

以上の実施例は、主としてシリコンチップからなる IC でソースドライバ回路 (I C) 1 4 を構成するものであった。しかし、本発明はこれに限定するものではなく、アレイ基板 3 0 に直接にポリシリコン技術 (C G S 技術、低温ポリシリコン技術、高温ポリシリコン技術など) を用いて出力段回路 2 2 8 0 など (ポリシリコン電流保持回路 2 4 7 1) を形成または構成してもよい。

【1 1 3 3】

図 2 4 7 はその実施例である。R、G、B の出力段回路 2 2 8 0 (R 用は 2 2 8 0 R、G 用は 2 2 8 0 G、B 用は 2 2 8 0 B) と、R G B の出力段回路 2 2 8 0 を選択するスイッチ S がポリシリコン技術で形成 (構成) されている。スイッチ S は 1 H 期間を時分割して動作する。基本的には、スイッチ S は、1 H の 1 / 3 期間が R の出力段回路 2 2 8 0 R に接続され、1 H の 1 / 3 期間が G の出力段回路 2 2 8 0 G に接続され、残りの 1 H の 1 / 3 期間が B の出力段回路 2 2 8 0 B に接続される。表示あるいは駆動方法は、図 3 7、図 3 8 で説明しているので説明を省略する。

30

【1 1 3 4】

図 2 4 7 に図示するように、シフトレジスタ回路、サンプリング回路などを有するソースドライバ (回路) 1 4 は、端子 1 5 5 でソース信号線 1 8 と接続される。ポリシリコンからなるスイッチ S が時分割で切り換えられ、出力段回路 2 2 8 0 R G B に接続される。出力段回路 2 2 8 0 R G B は R G B の映像データからなる電流が保持され、図 2 2 8 から図 2 3 4 など説明した構成あるいは制御方法でソース信号線 1 8 R G B にプログラム電流 I_w を出力する。なお、図 2 4 7 ではポリシリコン電流保持回路 2 4 7 1 は 1 段分しか図示していないが、実際には 2 段構成されていることは言うまでもない (図 2 2 8 から図 2 3 4 の説明を参照のこと)。

40

【1 1 3 5】

図 2 4 7 では、スイッチ S は、1 H の 1 / 3 期間が R の出力段回路 2 2 8 0 R に接続され、1 H の 1 / 3 期間が G の出力段回路 2 2 8 0 G に接続され、残りの 1 H の 1 / 3 期間が B の出力段回路 2 2 8 0 B に接続されると説明したが本発明はこれに限定するものではない。たとえば、図 2 5 5 に図示するように、R、G、B を選択する期間は異なってもよい。これは、R、G、B のプログラム電流 I_w の大きさが異なっているためである。R、G、B で E L 素子 1 5 の効率が異なるため、R、G、B でプログラム電流の大きさが

50

異なる。プログラム電流の大きさが小さいと、ソース信号線 18 の寄生容量の影響を受けやすいため、プログラム電流の印加期間を長くし、十分にソース信号線 18 の寄生容量の充放電期間を確保する必要がある。一方で、ソース信号線 18 の寄生容量の大きさは、R、G、B で同一であることが多い。

【1136】

図 255 は、赤 (R) の EL 素子 15 の効率が良好で、プログラム電流が最も小さいことを想定している。また、緑 (G) の EL 素子 15 の効率が悪く、プログラム電流が最も大きいことを想定している。青 (B) は、R と G との中間レベルの効率である。したがって、図 255 では、1H 期間において、R データの選択期間 (図 247 の 2280 R が選択されている期間) を最も長くし、G データの選択期間 (図 247 の 2280 G が選択されている期間) を最も短くし、B データの選択期間 (図 247 の 2280 B が選択されている期間) を、その中間の期間としている。

10

【1137】

なお、保持用トランジスタ 2281a のモビリティは 400 以下 100 以上にすることが好ましい。さらに好ましくは、モビリティは 300 以下 150 以上にすることがこのましい。この条件を満足させるために、トランジスタ 2281a を構成するゲート絶縁膜を厚くする。厚くする方法としては、ゲート絶縁膜を 2 層蒸着などの多層構成にする例が例示される。

【1138】

以下、本発明の表示パネルの検査方法について説明をする。図 202 は、本発明の表示パネルの完成前の状態である。ソース信号線 18 の一端がショート配線 2021 でショート状態にされている。検査後、ショートしている箇所は AA' 線で切断して完成する。ショート配線 2021 にプロービングし検査電圧を印加することより全ソース信号線 18 に検査電圧を印加することができる。

20

【1139】

ショート配線 2021 を形成しない場合 (分離した状態) は、ソース信号線 18 の COG 端子から電圧もしくは電流を印加する。図 203 は COG 端子 (ソース信号線端子) 2034 に、検査用のショートチップ 2032 を実装した例である。ショートチップ 2032 は金属あるいは導電体から構成される。なお、ショートチップはガラス基板などの絶縁物にアルミが蒸着されたものでもよい。ショートチップは端子 2034 を電氣的短絡できるものであればいずれのものでもよい。もしくは、少なくともショートチップは、ソース信号線端子 2034 に電圧などの電気信号を印加できるように構成する。

30

【1140】

ショートチップ 2032 とアノード端子配線 2031 に図 203 に図示するように直流あるいは交流電圧 (電流) を印加する。ショートチップ 2032 は端子 2033 を介してソース信号線 18 と接続されている。したがって、画素 16 のソース信号線 18 とアノードに電圧を印加することができる。たとえば、図 1 の Vdd 端子とソース信号線 18 に電圧を印加できる。この状態でゲートドライバ 12 に電源電圧を印加し、クロックなどを印加して (図 14 などを参照のこと) 動作させる。画素 16 は画素行ごとに順次選択され、ソース信号線 18 に印加された電圧が駆動用トランジスタ 11a のゲート端子に印加される。ゲート端子への電圧印加により駆動用トランジスタ 11a からソース信号線 18 に電流流れる。もしくは、EL 素子 15 に電流が流れ、EL 素子 15 が発光する。

40

【1141】

以上の動作は、ゲートドライバ回路 12 を走査して動作させることにより EL 素子 15 が順次発光し、発光の点滅状態あるいは点灯状態を光学的に検出することにより EL 表示パネルの検査を行うことができる。

【1142】

検査は光学的に実施する。光学的とは、人間の視覚で判断すること、CCD カメラで撮影し画像認識で検出すること、ホトセンサで電氣的な信号の大きさに判断することなどが例示される。検出は、画素が常時輝点となること、常時黒点となること、線欠陥、点滅欠

50

陥などである。また、表示スジ、濃淡ムラなどを検出する。また、フリッカの発生状態を検出する。

【1143】

図203はショートチップ203を用いるものであるが、導電性の液体などをソース信号線2034に滴下してもよい。滴下した液体などとアノード端子配線2031間に直流あるいは交流の電圧（電流）を印加する。電流プログラム方式では、印加する電流が μA 程度と微小電流である。したがって、導電性の液などが高抵抗であっても検査には十分である。導電性のある液体あるいはゲルとしては水酸化ナトリウム、塩酸、硝酸、塩化ナトリウム溶液、銀ペースト、銅ペーストなどが例示される。

【1144】

以上の実施例では、ゲートドライバ回路12を動作させ、ゲートドライバ回路12を走査状態にして、画素行ごとにEL素子15を点灯状態にして、パネルあるいはアレイの検査を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、表示画面を一括して点灯させて検査をしてもよい。

【1145】

図205は画面の一括検査の説明図である。

【1146】

なお、説明を容易にするため、画面を一括検査するとして説明するが、これに限定されない。画面をブロックに分割して検査を行ってもよいし、複数画素行ずつ順次点灯して検査をおこなってもよい。つまり、多数画素を同時に点灯して検査を実施してもよい。1画素ずつ点灯させて検査を実施してもよいことは言うまでもない。

【1147】

説明を容易にするため、アノード電圧 V_{dd} を6（V）とし、駆動用トランジスタ11aは5（V）以下にすることにより、EL素子15を十分に点灯させる電流を供給できるものとする。また、全ソース信号線17には外部から電圧が印加されているものとする。以上のように、本発明の検査方法では、画素16の駆動用トランジスタ11aがPチャンネルの時、駆動用トランジスタ11aの立ち上がり電圧以下の電圧をソース信号線18に印加できるように構成する。この立ち上がり電圧は説明を容易にするために5（V）としている。また、ソース信号線に印加する電圧は、アノード電圧 V_{dd} からアノード電圧 $V_{dd}-8$ （V）であり、好ましくは、アノード電圧 V_{dd} からアノード -6 （V）の範囲

【1148】

図205では、ソース信号線18には、0～5（V）の検査電圧が印加されているものとする。したがって、この電圧が駆動用トランジスタ11aのゲート端子に印加されることにより、駆動用トランジスタ11aが電流を流せるようになる。

【1149】

検査方法は、まず、すべてのゲート信号線17bにオフ電圧 V_{gh} 電圧を印加した状態で、ゲート信号線17aをオフ電圧（ V_{gh} ）からオン電圧（ V_{gl} ）に変化させることによりソース信号線18の電位が画素16に書き込まれる。ソース信号線18の電位が駆動用トランジスタ11aの立ち上がり電圧以下（5（V）以下）であれば、駆動用トランジスタ11aに電圧が流れるようにプログラムが行われる。

【1150】

次に、すべてのゲート信号線17bにオン電圧 V_{gl} 電圧を印加し、同時にまたはそれよりも早く、ゲート信号線17aをオン電圧（ V_{gh} ）からオフ電圧（ V_{gl} ）に変化させる。すると、駆動用トランジスタ11aなどが正常であれば、駆動用トランジスタ11aからEL素子15に電流が供給され、EL素子15が点灯する。

【1151】

また、EL素子15が点灯状態で、ゲート信号線17bにオン電圧とオフ電圧を交互に印加すればEL素子15が点滅する。したがって、スイッチ用トランジスタ11dの良否を判定できる。

10

20

30

40

50

【1152】

なお、図205において、ゲート信号線17aとゲート信号線17bの両方にオン電圧を印加した状態で、ソース信号線18に印加する電圧を駆動用トランジスタ11aの立ち上がり電圧以上と以下の間を周期的に変化させてもよい。周期的に変化させることによりこの周期的な変化に対応してEL素子15が発光する。なお、この場合のEL素子15の発光電流 I_t は、ソース信号線18から供給される。また、場合によっては駆動用トランジスタ11aから供給される。

【1153】

以上のように動作させることにより、駆動用トランジスタ11a、スイッチ用トランジスタ11c、11b、11dの性能、欠陥を検出できる。また、駆動用トランジスタ11a、EL素子15の性能、特性を評価できる。

10

【1154】

以上の実施例は、ソース信号線18の電位を変化させることにより、EL素子をソース信号線18の電位に応じて発光制御するものである。しかし、本発明はこれに限定するものではない。たとえば、図206に図示するように、アノード電圧 V_{dd} を変化させてもよい。

【1155】

検査方法は、まず、すべてのゲート信号線17bにオフ電圧 V_{gh} 電圧を印加した状態で、ゲート信号線17aをオフ電圧(V_{gh})からオン電圧(V_{gl})に変化させることによりソース信号線18の電位が画素16に書き込まれる。ソース信号線18の電位が駆動用トランジスタ11aの立ち上がり電圧以下(5(V)以下)であれば、駆動用トランジスタ11aに電圧が流れるようにプログラムが行われる。

20

【1156】

次に、すべてのゲート信号線17bにオン電圧 V_{gl} 電圧を印加し、同時にまたはそれよりも早く、ゲート信号線17aをオン電圧(V_{gh})からオフ電圧(V_{gl})に変化させる。すると、駆動用トランジスタ11aなどが正常であれば、駆動用トランジスタ11aからEL素子15に電流 I_t が供給され、EL素子15が点灯する。また、EL素子15が点灯状態で、ゲート信号線17bにオン電圧とオフ電圧を交互に印加すればEL素子15が点滅する。したがって、スイッチ用トランジスタ11dの良否を判定できる。

【1157】

30

ゲート信号線17aにオフ電圧を印加し、ゲート信号線17bのオン電圧を印加した状態で、アノード端子(V_{dd} 電圧)に V_{dd} 電圧を、駆動用トランジスタ11aの立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応してEL素子15が発光する。なお、この場合のEL素子15の発光電流は、駆動用トランジスタ11aから供給される。以上のように動作させることにより、駆動用トランジスタ11a、スイッチ用トランジスタ11c、11b、11dの性能、欠陥を検出できる。また、駆動用トランジスタ11a、EL素子15の性能、特性を評価できる。以上の実施例は、画素構成が図1として説明したが、これに限定されるものではなく、図2、図7、図11、図12、図13、図28、図31、図607などの他の画素構成のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

40

【1158】

以上の実施例は、画素構成が電流プログラム方式の場合を例示した。しかし、本発明はこれに限定されるものではなく、図2のように電圧プログラム方式であっても検査できることは言うまでもない。

【1159】

図207は電圧プログラム方式の画素構成における検査方法の説明図である。検査方法は、まず、すべてのゲート信号線17aをオフ電圧(V_{gh})からオン電圧(V_{gl})に変化させることによりソース信号線18の電位が画素16に書き込まれる。ソース信号線18の電位が駆動用トランジスタ11aの立ち上がり電圧以下(5(V)以下)であれば、駆動用トランジスタ11aに電圧が流れるようにプログラムが行われる。

50

【1160】

次に、ゲート信号線17aをオン電圧(V_{gh})からオフ電圧(V_{gl})に変化させる。すると、駆動用トランジスタ11aなどが正常であれば、駆動用トランジスタ11aからEL素子15に電流I_tが供給され、EL素子15が点灯する。

【1161】

また、ゲート信号線17aにオフ電圧を印加し、アノード端子(V_{dd}電圧)にV_{dd}電圧を、駆動用トランジスタ11aの立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応してEL素子15が発光する。なお、この場合のEL素子15の発光電流は、駆動用トランジスタ11aから供給される。以上のように動作させることにより、駆動用トランジスタ11a、スイッチ用トランジスタ11cの性能、欠陥を検出できる。また、駆動用トランジスタ11a、EL素子15の性能、特性を評価できる。

10

【1162】

以下、図面を参照しなから本発明の他の実施例における検査方法について説明をする。図202はショート配線2021を検査後に切断する方式であった。図223は、ソース信号線18の一端に検査スイッチとしてのトランジスタ2232を形成または配置した構成である。トランジスタ2232のゲート端子に電圧を印加することにより、トランジスタ2232はオンし、テスト電圧(V_{test})がソース信号線18に印加される。トランジスタ2232のオンオフ制御はオンオフ制御手段2231により行われる。

【1163】

オンオフ制御手段2231は、トランジスタ2232をオンオフ制御するが、その制御はゲートドライバ回路12と同期をとって実施される。具体的には、図203から図207で説明した検査方法が実施される。

20

【1164】

たとえば、図224に図示するようにして検査は実施される。トランジスタ2232がオンすることにより、図224(a)に図示するように、V_{test}電圧はトランジスタ2232を介してソース信号線18に印加される。また、この時、ゲート信号線17bにはオフ電圧が印加されており、トランジスタ11dはオープン状態である。検査する画素16のゲート信号線17aにオン電圧が印加されていれば、図224に図示するように、V_{test}電圧が駆動用トランジスタ11aのゲート端子に印加される。この電圧は駆動用トランジスタ11aの立ち上がり電圧以上である。

30

【1165】

次に、図224(b)に図示するように、ゲート信号線17aにはオフ電圧が印加され、ゲート信号線17bにオン電圧が印加される。したがって、駆動用トランジスタ11aからEL素子15に電流I_tが流れ、EL素子15が発光する。

【1166】

また、図223の構成において、オンオフ制御手段2231を制御し、トランジスタ2232をオンオフ制御すれば、すべての画素16のゲート信号線17aにオン電圧が印加されていても、EL素子15を点滅表示させることができる。つまり、トランジスタ2232によりEL素子15などの特性などを評価あるいは検査することができる。

40

【1167】

図223はトランジスタ2232を制御することによりソース信号線18に電流あるいは電圧を印加し、EL表示パネルあるいはEL表示パネル用アレイを検査もしくは評価を実施するものであった。

【1168】

図225はソース信号線18に形成された保護ダイオード2251を利用してソース信号線18に検査に必要な電圧または電流を印加するものである。保護ダイオード2251は静電気保護のため、各ソース信号線18にポリシリコン技術を用いて形成される。なお、ダイオード2251はトランジスタをダイオード接続して形成する(図436も参照のこと)。

50

【1169】

図225に図示するように、各ソース信号線18には保護ダイオード2251a、2251bが接続されている。通常の電圧（VL、VH）設定状態では、保護ダイオードはオフ状態になるようにされている。つまり、各保護ダイオード2251にはVLあるいはVHにより逆電圧が印加されオフ状態である。

【1170】

検査時は、保護ダイオード2251をオン状態になるようにVL電圧またはVH電圧もしくは両方の電圧を設定する（操作する）。たとえば、VL電圧を高電圧にすることにより、電圧配線2252aから保護ダイオード2251bを介して、検査電圧（前記高電圧：Vdd～Vdd-6（V））はソース信号線18に印加することができる。また、VH電圧を低電圧にすることにより、電圧配線2252bから保護ダイオード2251aを介して、検査電圧Vk（前記低電圧）をソース信号線18に印加することができる。

【1171】

図436に図示するように、保護ダイオード2251を介して各ソース信号線18に検査電圧Vkを印加する。検査電圧Vkは、駆動用トランジスタ11aが飽和電圧になる電圧である。駆動用トランジスタ11aがPチャンネルトランジスタであり、アノード電圧Vddが6（V）であれば、検査電圧Vkは0以上2（V）以下になるように設定することが好ましい。もしくは、Vdd-6以上Vdd-4（V）以下となるように設定することが好ましい。なお、0（V）とは映像信号の最低電圧である。つまり、ソースドライバIC14が出力する最も低い電圧である。したがって、0（V）に限定されるものではない。駆動用トランジスタ11aがPチャンネルトランジスタの場合は、最大輝度の白ラスタを表示する時にソースドライバIC14がソース信号線18に出力する電圧である。また、駆動用トランジスタ11aのチャンネル幅をW（μm）、チャンネル長をL（μm）（1画素16が複数の駆動用トランジスタ11aで構成されている場合であって、駆動用トランジスタ11aが並列にn接続配置されている場合は、W×nとする。駆動用トランジスタ11aが直列にn接続配置されている場合は、L×nとする。）とした場合、 $Vdd - Vdd / (1.5 \times L / W)$ 以下、0（V）（駆動用トランジスタ11aがPチャンネルトランジスタの場合は、最大輝度の白ラスタを表示する時にソースドライバIC14がソース信号線18に出力する電圧）以上にすることが好ましい。さらに、 $Vdd - Vdd / (2 \times L / W)$ 以下、0（V）（駆動用トランジスタ11aがPチャンネルトランジスタの場合は、最大輝度の白ラスタを表示する時にソースドライバIC14がソース信号線18に出力する電圧）以上にすることが好ましい。

【1172】

なお、駆動用トランジスタ11aがNチャンネルの場合は、Nチャンネルトランジスタに飽和電圧を印加するようにする。つまり、Pチャンネルトランジスタの場合を読み替えばよいので説明を省略する。また、図436などに実施例では、保護ダイオード2251を介してソース信号線18に電圧を印加するとしたが、これに限定するものではなく、他の方法で電圧を印加してもよいことは言うまでもない。たとえば、トランジスタを介してあるいはプローバをソース信号線18端に圧接して電流あるいは電圧を印加してもよいことは言うまでもない。

【1173】

図436などに図示するように、ソース信号線18に電圧を印加し、駆動用トランジスタ11aに電流を流すことにより画面144の画素14のEL素子15を点灯させることができる。したがって、ELパネルの点灯評価を容易に実現できる。また、一定以上の大きな電流をEL素子15に流すことにより、駆動用トランジスタ11aは飽和動作するから、レーザーショットムラによる駆動用トランジスタ11aの特性ムラもほとんど発生しない。したがって、良好な表示検査を実現できる。

【1174】

しかし、駆動用トランジスタ11aが飽和状態で点灯させると、EL素子15に大きな電流が流れる。そのため、EL表示パネルで発熱が発生し、検査工程においてEL表示パ

10

20

30

40

50

ネルの劣化が発生することがある。この課題に関しては、図４２９などに図示する本発明の duty 比制御を実施する（図１９～図２７、図５４なども参照のこと）。

【１１７５】

図４３９（ａ）に図示するように、点灯領域１９３の割合を多くすると、検査時に画面１４４が明るくなり、点欠陥検査などをやりやすくなる。しかし、点灯領域１９３の割合を多くすると、パネルの発熱量も大きくなる。図４３９（ｂ）に図示するように、点灯領域１９３の割合を少なくすると、検査時に画面１４４が暗くなり、点欠陥検査などは多少やりにくくなる。パネルの発熱量は少なくできる。duty 比制御は、図１９～図２７、図５４などで説明したように、ゲートドライバ回路１２ｂなどを制御することにより容易に実現できる。以上のように、本発明の検査方法は、ゲートドライバ回路１２を制御し、duty 比制御を実施することを特徴としている。

10

【１１７６】

図２２６は検査状態の説明図である。保護ダイオード２２５１はリーク状態の時は抵抗としてみなせる。本発明のように、保護ダイオードをリーク状態にすることによりソース信号線に検査電圧（電流）を印加し、EL表示パネルまたはアレイを検査できるのは、画１６が電流プログラム方式であることに起因することが大きい。電流プログラム方式では、プログラムする電流は μA 程度と微小である。したがって、保護ダイオード２２５１がリーク状態のように高抵抗の場合であっても、微小電流の印加あるいは吐き出しには影響を与えない。

【１１７７】

検査は表示領域１４４の全画素１６を同時に点灯などさせて検査を実施してもよいが、図２２７（ａ）（ｂ）に図示するように画素行を順次選択して走査させて検査を実施してもよい。図２２７（ａ）（ｂ）で１９１が検査電流を書き込んでいる画素行である。また、１９３はEL素子１５を点灯などして光学的に検査を実施している領域である。１９２は非点灯領域である。

20

【１１７８】

以上のように、表示領域１４４に点灯領域１９３と非点灯領域とを同時に行うことにより光学的検査が容易になる。黒表示と白表示の欠陥状態が同時にあるいは走査状態（順次）で検査が実現できるからである。以上の制御は図１４などで説明したように、ゲートドライバ回路１２を制御することにより容易に実現できる。走査あるいは選択方法が以前に説明しているので説明を省略する。

30

【１１７９】

電圧配線２２５２の電位を保護ダイオード２２５１がオンまたはリーク状態になるようにして、電圧配線２２５２からソース信号線１８に電流または電圧を印加することにより検査を実現できる。なお、検査方法は以前に説明したものを同様であるので説明を省略する。

【１１８０】

本発明は、電流プログラム方式などの画素構成を有するアレイあるいは表示パネルの検査方法である。ソース信号線１８には保護ダイオード２２５１をリークさせ、このリーク電流を画素に書き込み、この書き込んだ電流でEL素子を発光させるものである。この発光状態あるいは点灯状態もしくは点滅状態でEL素子１５の特性、欠陥を検出する。同時にゲートドライバ回路１２に信号を印加し、走査させて、選択するゲート信号線１７を移動あるいは常時選択して検査などを実施する。以上の走査あるいは制御により画素１６のトランジスタ１１の欠陥検出などを実現する。

40

【１１８１】

電流プログラム駆動方式では、ソース信号線１８に印加するプログラム電流が μA オーダーである。そのため、ダイオード２２５１を介して印加する電流で画素１６の電流プログラムを十分実現することができる。したがって、検査が実現する。一方で電圧プログラム方式ではソース信号線１８には電圧データを書き込む必要がある。そのため、検査は実現しにくい。

50

【1182】

図225では、保護ダイオード2251を形成などするとしたがこれに限定するものではなく、図223と同様にスイッチ素子、リレー回路などを形成または配置してもよいことは言うまでもない。

【1183】

図225、図223の検査方法では、外部から電圧あるいは電流を印加することにより検査を実現する方法（方式）であった。しかし、本発明はこれに限定するものではない。たとえば、図1などの画素構成では、スイッチ用トランジスタ11b、11cをオンさせることにより（トランジスタ11dはオフ（オープン）状態）、アノードV_{dd}から駆動用トランジスタ11aを流れる電流はソース信号線18を介して、アレイ（表示パネル）外部に取り出すことができる。この電流の大きさ、流れる方向を測定あるいは評価することにより、アレイなどの検査あるいは評価を実現できる。同様にカソードV_{ss}、EL素子15を介して流れる電流をソース信号線18から外部に取り出すことができる。したがって、同様にEL素子15などの検査を実現できる。

【1184】

図223、図225などにおいて、すべてのソース信号線18に一度に所定の電圧を印加するとしたがこれに限定するものではない。電圧の代りに電流でもよい。たとえば、図225において、電圧配線2252に低電流あるいは定電流を印加する。この電流をプログラム電流として活用し、ゲートドライバ回路12を走査することにより、画素16に電流プログラムを実施することができる。

【1185】

また、オンオフ制御手段を複数設けて、1つのオンオフ制御手段は奇数番目のソース信号線18に電圧または電流を印加し、他のオンオフ制御手段は偶数番目のソース信号線18に電圧または電流を印加するように構成してもよい。また、トランジスタ2232はリレーなどの外づけ素子であってもよい。また、ホトダイオードなど光照射によりオンオフ制御できるものであってもよい。

【1186】

以上の実施例では、検査に必要な電圧または電流をパネルの外部からソース信号線18などに印加するとしたが、本発明はこれに限定するものではなく、検査電圧などの発生手段をアレイ基板30などにポリシリコン技術などを用いて内蔵させてもよい。また、電流を印加するだけでなく、電流を吸収する（sink方式）方式であってよい。また、EL素子15あるいは駆動用トランジスタ11aが流す電流はソース信号線18を介して検出あるいは測定する方式であってよい。

【1187】

図437はアレイ状態などにおいて、画素16の欠陥検査の方法の説明図である。図437（a）に図示するように、ソース信号線18に電圧V_cを印加する（図226なども参照のこと）。また、ゲート信号線17a1およびゲート信号線17a2にオン電圧を印加する。前記オン電圧の印加により、スイッチング用トランジスタ11b、11cがオンする。スイッチング用トランジスタ11b、11cによりソース信号線18に印加された検査用電圧V_cを駆動用トランジスタ11aのゲート端子に印加する。印加した電圧V_cはコンデンサ19に保持される。

【1188】

次に、図437（b）に図示するように、検査電圧V_cを除去し、ソース信号線18に電流計（電流検出手段あるいは電流測定手段）4371を接続する（検査電圧V_cの印加時に電流計4371は接続したままでもよい）。

【1189】

ゲート信号線17a2にオフ電圧を印加し、ゲート信号線17a1はオン電圧を印加する（オン電圧を印加したままにする）。したがって、駆動用トランジスタ11aのドレイン端子とゲート端子間はオープン状態となるから、コンデンサ19に保持された電圧が検査時に保存される。そのため、駆動用トランジスタ11aは、印加された電圧（電流）に

よる出力電流を流すことができる。

【1190】

ゲート信号線17a1にはオン電圧が印加されているため、駆動用トランジスタ11aのドレイン端子とソース信号線18とを接続する電流経路が保持される。図437の検査方法では、駆動用トランジスタ11aの1端子にアノード電圧Vddが印加されている。したがって、電流はアノードVdd→駆動用トランジスタ11aのソース端子→駆動用トランジスタ11aのドレイン端子→スイッチング用トランジスタ11c→ソース信号線18の経路で電流が流れる。

【1191】

ソース信号線18に電流計（電流検出手段あるいは電流測定手段）4371を接続（検査電圧Vcの印加時に電流計4371は接続したままでもよい）しているため、この電流計4371で、駆動用トランジスタ11aなどから流れる電流を検出する。電流計4371で検出する電流が予測された電流の大きさであれば画素16は正常である。予測以外の電流（電圧の場合もある）の場合は、画素16に欠陥などが発生している可能性がある。以上のようにして、画素の検査を実施することができる。

【1192】

順次、以上の動作を表示画面144の上辺から下辺の画素行に対して実施する。もちろん、順次でなくてもよい。ランダムに画素行などを選択し、検査あるいは評価を実施してもよい。また、1フィールド目は奇数画素行を順次選択して検査し、1フィールド目の次の2フィールド目は偶数画素行を順次選択して検査してもよい。

【1193】

以上のように、本発明の検査方式は、トランジスタ11cとトランジスタ11bを独立にオンオフ制御できるように、画素16を構成し、ソース信号線18から印加した電圧または電流を画素16の駆動用トランジスタ11aが動作するように（逆に動作しないようにする検査方法もある）制御する。その後、駆動用トランジスタ11aが一定期間、動作するようにトランジスタ11bをオープンにする。また、トランジスタ11cをオンさせて電流パスを形成するものである。

【1194】

図437は画素16電圧を印加するソース信号線18と、出力電流を検出するソース信号線18とが同一の実施例である。図438は分離した構成である。図438において、トランジスタ11dとEL素子15間にトランジスタ11eを配置または形成している。トランジスタ11eの1端子はソース信号線18bに接続されている。

【1195】

ソース信号線18bに検査電圧Vc2または検査電流を印加する。前記検査電圧などは、トランジスタ11e、トランジスタ11d、トランジスタ11cを介してソース信号線18aに出力される。したがって、図438の画素構成では、トランジスタ11dの欠陥検査も実施することができる。

【1196】

本発明の実施例において、検査時に、画素（行）の選択時間を変化させてもよい。選択時間を長くすることにより検査精度を向上できる。また、EL表示パネルの概略検査の時は、検査対象の画素選択時間を短くし、詳細検査のモードで選択時間を長くしてもよい。1画素行あるいは1画素単位で本発明の検査方法を実施することに限定するものではない。たとえば、複数の画素行あるいは画素を同時に検査してもよい。また、複数のソース信号線18を短絡し、短絡された部分ごとに電流系4371を配置または接続してもよい。この場合は、電流計4371は複数の画素16からの電流が検出される。この検出された電流の大きさあるいは電流の有無から画素16などの欠陥を検出してもよい。また、複数の画素行を選択し、概略検査を実施した後、異常あるいは正常以外の場合に、前記選択した複数の画素行を1画素行ずつ選択して、詳細検査を実施してもよい。

【1197】

図441はアレイ30基板に検査用トランジスタ2232を形成した構成の実施例であ

10

20

30

40

50

る。検査用トランジスタ 2 2 3 2 は、ポリシリコン技術で形成する。検査用トランジスタ 2 2 3 2 は検査ドライバ回路 4 4 1 1 でオンオフ制御される。検査ドライバ回路 4 4 1 1 は、シリコンチップで形成または構成してもよいが、検査用トランジスタ 2 2 3 2 は、ポリシリコン技術（C G S、高温ポリシリコン、低温ポリシリコン技術など）で形成するほうが好ましい。

【1 1 9 8】

検査用ドライバ回路 4 4 1 1 は各トランジスタ 2 2 3 2 のゲート端子にオンオフ電圧を印加し、オン電圧に印加により、ソース信号線 1 8 に印加されている検査あるいは検出電流を電流測定手段 4 3 7 1 に導く。検出電流により画素 1 6 などの欠陥を検出する。奇数番目のソース信号線 1 8 は電流計 4 3 1 7 a に接続され、偶数番目のソース信号線 1 8 は電流計 4 3 1 7 b に接続される。複数の電流計 4 3 7 1 を用いることにより検査速度を向上でき、また、検査精度を改善できる。

10

【1 1 9 9】

検査後、A 点をレーザーなどによってカットあるいはガラスカッターなどでカットすることにより、検査ドライバ 4 4 1 1 をソース信号線 1 8 から切り離す。また、トランジスタ 2 2 3 2 を常時オフ状態にすることにより見かけ上、検査ドライバ回路 4 4 1 1 とソース信号線 1 8 とを切り離してもよい。

【1 2 0 0】

検査用ドライバ回路 4 4 1 1 の構成あるいは機能をソースドライバ回路（I C）1 4 内に内蔵させてもよいことは言うまでもない。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

20

【1 2 0 1】

本発明の実施例において、画素 1 6 から出力（駆動用トランジスタ 1 1 a が N チャンネルトランジスタの場合は、入力の場合もある。本発明は、検出電流の方向に限定されるものではない）される電流を検出などするとしたがこれに限定するものではない。検出が電圧であってもよい。たとえば、ソース信号線 1 8 端にピックアップ抵抗を接続し、このピックアップ抵抗に流れる電流を、抵抗端で測定することにより電圧として検出あるいは測定できる。また、電圧、電流に限定するものではなく、周波数の変化、電磁波、電気力線、放出電子の変化あるいは大きさを検出してもよい。

【1 2 0 2】

図 4 3 7 などの本発明の検査方法において、検査電圧 V_c を印加するとしたが、検査電流であってもよい。たとえば、本発明の電流プログラムのように、所定の電流 I_w を画素 1 6 に書き込み、書き込んだ電流はゲート信号線 1 7 a を制御することにより、読み出して、電流計 4 3 7 1 で検出あるいは測定する方式が例示される。

30

【1 2 0 3】

図 4 3 7 などで説明した本発明の検査方式では、ゲート信号線 1 7 a（1 7 a 1、1 7 a 2）を制御するとしたが、ゲート信号線 1 7 b にオンオフ電圧を印加することにより、トランジスタ 1 1 d などの欠陥なども検出あるいは検査することができることは言うまでもない。また、ゲート信号線 1 7 のオン電圧／オフ電圧、アノード電圧、カソード電圧を変化あるいは変更もしくは制御し、この変更などによるソース信号線 1 8 の出力変化を検出あるいは測定することにより、画素 1 6 などの欠陥を検出あるいは評価できることは言うまでもない。

40

【1 2 0 4】

図 4 3 7 において、画素構成は図 1 または図 6 の画素構成で説明した。しかし、本発明はこれに限定するものではない。たとえば、図 1 0 の画素構成においても適用できることは言うまでもない。また、図 1 2、図 1 3 のカレントミラーの画素構成においても適用できる。同様に、図 6 0 7 の画素構成にも適用することができる。ゲート信号線 1 7（1 7 a 1、1 7 a 2）にオン電圧を印加することにより、コンデンサ 1 9 に電圧を保持させることができ、ゲート信号線 1 7 a 1 にオフ電圧を印加することにより、トランジスタ 1 1 d がオフ状態となり、トランジスタ 1 1 a のゲート端子とドレイン端子間をオープンにす

50

ることができる。

【1205】

また、ゲート信号線17a2にオン電圧を印加することにより、トランジスタ11aのドレイン端子とソース信号線18間の電流経路を形成することができるからである。図35、図34などの画素構成においても同様である。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【1206】

以上の事項は、図28などの画素構成においても適用することができる。ゲート信号線17(17a1、17a2)にオン電圧を印加することにより、コンデンサ19に電圧を保持させることができ、また、ゲート信号線17a2、17a1にオン電圧を印加することにより、トランジスタ11aのドレイン端子とソース信号線18間の電流経路を形成することができるからである。

【1207】

本発明は、画素16に電流あるいは電圧を書き込み、ゲート信号線17を操作あるいは制御することにより、ソース信号線18に電流あるいは電圧などを読み出し、この電流あるいは電圧などから画素などの欠陥などを検出あるいは評価するものである。以上の事項は、本発明の他の実施例にも適用されることは言うまでもない。

【1208】

図485、図486も表示パネルを一括点灯させ、点灯検査する方法である。表示パネルには、アノード電圧Vddとカソード電圧Vssを印加しておく。また、ソース信号線18には、図223～図227、図436～図440などの方法により、好ましくは駆動用トランジスタ11aにゲート端子に飽和電流を流す電圧を印加する。

【1209】

本発明は、ゲートドライバ回路12aを操作し、画素を選択するゲート信号線17aにオン電圧(Vgl)を印加する。すべてのゲート信号線17aに一括してオン電圧が印加するように構成するのは容易である(図485(a))。イネーブル信号線にENBL1信号を印加することにより、すべてのゲート信号線17aにオン電圧を印加できるように構成することは容易であるからである。もちろん、図14で説明したように、ST1信号を連続して印加することによりすべてのゲート信号線17aにオン電圧を印加することもできる。

【1210】

ゲート信号線17aにオン電圧を印加するときは、ゲートドライバ回路12bを操作し、EL素子15に電流を流す経路を制御するゲート信号線17bにオフ電圧(Vgh)を印加する。すべてのゲート信号線17bに一括してオン電圧が印加するように構成するのは容易である。イネーブル信号線にENBL2信号を印加することにより、すべてのゲート信号線17bにオフ電圧あるいはン電圧を印加できるように構成することは容易であるからである。もちろん、図14で説明したように、ST2信号を操作することによりすべてのゲート信号線17bにオフ電圧を印加することもできる。

【1211】

検査方法は、まず、すべてのゲート信号線17bにオフ電圧Vgh電圧を印加した状態で、すべてのゲート信号線17aにオン電圧(Vgl)を印加する。スイッチ用トランジスタ11b、11cはクローズ状態である(図1およびその説明を参照のこと)。また、スイッチ用トランジスタ11dはオープン状態である。したがって、ソース信号線18に印加した電位Vが画素16に書き込まれる(図485(b))。電圧は、駆動用トランジスタ11aの飽和電流を流す電圧であることが好ましい。点灯時に表示画像が均一表示できるからである。電圧Vは、アノード電圧Vddより3V以上低い電圧にする。好ましくは、アノード電圧Vdd-4(V)以上Vdd-6(V)以上にする。以上の動作(操作)により、駆動用トランジスタ11aに電圧プログラムが実現される。

【1212】

次に点灯動作させるときは、図486に図示するように、ゲート信号線17aにオフ電

10

20

30

40

50

圧 (V_{gh}) を印加し、スイッチ用トランジスタ 11b、11c をオフさせる。したがって、ソース信号線 18 と駆動用トランジスタ 11a のゲート端子とは切り離される。この状態で、ゲート信号線 17b にオン電圧を印加し、スイッチ用トランジスタ 11d をオンさせる (スイッチ用トランジスタ 11d をクローズさせる)。すると、駆動用トランジスタ 11a から EL 素子 15 に電圧 V に対応する電流 I_{ega} 流れ、EL 素子 15 が点灯する。この点灯状態を光学的 (CCD あるいは視覚的などで)、欠陥状態あるいは不良状態、表示均一性を検査あるいは評価する。

【1213】

しかし、V が駆動用トランジスタ 11a の飽和電圧の場合は、電流 I_e が大きい。そのため、表示パネルからの発熱が大きくなり過熱状態になる。この過熱状態の対策には、図 486 (a) に図示するように、ゲート信号線 17b に周期的にオン電圧とオフ電圧を印加する (図 486 (a) において V_{gh} がオフ電圧、V_{gl} がオン電圧、周期 T)。オンオフ電圧の操作は、図 485 (a) に図示するように ENBL2 信号を操作することにより容易に実現できる。

10

【1214】

図 486 (a) に図示するように、周期 T でオン電圧 t₁ の時間を短くすることにより、表示画像が暗くなるが、消費電流も小さくなる。したがって、表示均一性は低下することなく、消費電流の低減により表示パネルが過熱されることはない。

【1215】

以上のように、EL 素子 15 に流れる電流を制御し、検査することによりパネルを劣化することなく、良好な検査を実施することができる。

20

【1216】

すべてのゲート信号線 17b にオン電圧 V_{gl} 電圧を印加し、駆動用トランジスタ 11a などが正常であれば、駆動用トランジスタ 11a から EL 素子 15 に電流 I_e が供給され、EL 素子 15 が点灯する。また、EL 素子 15 が点灯状態で、ゲート信号線 17b にオン電圧とオフ電圧を交互に印加すれば EL 素子 15 が点滅する。したがって、スイッチ用トランジスタ 11d の良否を判定できる。

【1217】

ゲート信号線 17a にオフ電圧を印加し、ゲート信号線 17b のオン電圧を印加した状態で、アノード端子 (V_{dd} 電圧) に V_{dd} 電圧を、駆動用トランジスタ 11a の立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応して EL 素子 15 が発光する。

30

【1218】

なお、この場合の EL 素子 15 の発光電流は、駆動用トランジスタ 11a から供給される。以上のように動作させることにより、駆動用トランジスタ 11a、スイッチ用トランジスタ 11c、11b、11d の性能、欠陥を検出できる。また、駆動用トランジスタ 11a、EL 素子 15 の性能、特性を評価できる。

【1219】

図 485 において、すべてのゲート信号線 17a にオン電圧を印加する、あるいはすべてのゲート信号線 17b にオン電圧またはオフ電圧を印加するとしたが、本発明はこれに限定するものではない。偶数画素行あるいは奇数画素行を選択して点灯あるいは検査してもよいことは言うまでもない。つまり、本発明は、複数画素行を選択して点灯させ、光学的に検査するものであればいずれの方法であってもよい。また、図 485 の実施例では、図 1 の画素構成を例示して説明したが本発明はこれに限定するものではない。EL 素子 15 を点灯制御できる構成であればいずれでもよい。たとえば、図 6、図 7～図 13、図 31～図 36、図 193～図 194、図 205～図 207、図 211～図 212、図 215～図 222、図 437、図 438、図 467 などの画素構成においても適用できることは言うまでもない。

40

【1220】

以上の実施例では、ソース信号線 18 に流れる電流などを検出して検査を実施するとし

50

たが、これに限定するものではない。たとえば、図４９０（ａ）に図示するように、アノード端子に電流計４３７１などを接続または配置し、検査を行ってもよいことは言うまでもない。また、図４９０（ｂ）に図示するように、カソード端子に電流計４３７１などを接続または配置し、検査を行ってもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【１２２１】

以上の実施例は、個片に分割された表示パネル（表示装置又はアレイ基板３０）で実施するように記載したが、本発明はこれに限定するものではない。図４８８に図示するように、ガラス基板４８８１（複数のアレイ３０またはパネルが形成または構成されている）で実施してもよい。ガラス基板４８８１に、アノード電圧（ V_{dd} ）、 V_{gh} 電圧、 V_{gl} 電圧、 $ENBL1$ 、 $ENBL2$ （図４８５を参照のこと）、ソース信号線１８に印加する電圧（ V_s ）、必要に応じてカソード電圧（ V_{ss} ）などを印加する（接続する）。

【１２２２】

ガラス基板４８８１には、図４８９に示すように信号配線４８９１が形成または配置されている。検査時にはソースドライバ回路（ IC ）１４は実装されない。信号線配線４８９１は、各アレイ基板３０に共通に電圧あるいは信号が印加されるように構成または形成されている。検査後に、 BB' 線、 AA' 線で割段され、基板３０などは個片に分割される。

【１２２３】

図２２３～図２２７、図４３６～図４４０、図４８５、図４８６の駆動方法は相互に組み合わせることができる。図４４０に本発明の検査方法のフローチャートを図示する。本発明では、まず、アレイ状態で図４３７、図４３８などで説明した画素の欠陥を検査する。この段階で駆動用トランジスタなどの画素の TFT 欠陥、線欠陥などを検出する。次に、パネル状態に完成させ、図４４０に図示するように図４３６などの方式を用いて画面１４４の全体を点灯させて検査する（一括点灯検査）。一括点灯検査で問題なければ（ Y 判定）、ソースドライバ IC １４を COG 実装する工程に送られる。一括点灯検査で、 NG 判定であれば、該当パネルは廃棄される。もし、判定がつかない場合（ N 判定）であれば、１画素ずつ点灯評価する。電流点灯検査が実施される。この点灯検査で問題なければ（ Y 判定）、ソースドライバ IC １４を COG 実装する工程に送られる。 COG 実装工程後、最終点灯検査が実施される。

【１２２４】

以下、図面を参照しながら、電流駆動方式（電流プログラム方式）による高画質表示方法について説明をする。電流プログラム方式は、画素１６に電流信号を印加して、画素１６に電流信号を保持させる。そして、 EL 素子１５に保持させた電流を印加するものである。

【１２２５】

EL 素子１５は印加した電流の大きさに比例して発光する。つまり、 EL 素子１５の発光輝度はプログラムする電流の値とリニアの関係（比例）がある。一方、電圧プログラム方式では、印加した電圧を画素１６で電流に変換する。この電圧－電流変換は非線形である。非線形の変換は制御方法が複雑になる。

【１２２６】

電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、６４階調表示であれば、映像データの０はプログラム電流 $I_w = 0 \mu A$ とし、映像データ６３はプログラム電流 $I_w = 6.3 \mu A$ とする（比例の関係となる）。同様に、映像データ３２はプログラム電流 $I_w = 3.2 \mu A$ とし、映像データ１０はプログラム電流 $I_w = 1.0 \mu A$ とする。つまり、映像データはそのまま、比例の関係でプログラム電流 I_w に変換される。

【１２２７】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図１５に

10

20

30

40

50

図示するように本発明は単位トランジスタ154の単位電流が、映像データの1に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流はR、G、B回路ごとに設けられており、RGB回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路(IC)14、表示パネル構成の相乗効果である。

【1228】

EL表示パネルでは、プログラム電流とEL素子15の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにEL素子15の発光輝度を調整できる。

10

【1229】

駆動用トランジスタ11aはゲート端子に印加した電圧と、駆動用トランジスタ11aが流す電流とは非線形である(2乗カーブになることが多い)。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。

【1230】

特に、図1の画素構成では、プログラム電流とEL素子15に流れる電流が理論上は等しい。したがって、発光制御は極めて容易である。本発明のN倍パルス駆動の場合も、プログラム電流を $1/N$ にして計算することにより発光輝度を把握できるから、発光制御の容易という点で優れている。

20

【1231】

図11、図12、図13などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ11bとプログラム用トランジスタ11aとが異なり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図1の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。

【1232】

EL素子15は、投入電流量により発光輝度が比例して変化する。EL素子15に印加する電圧(アノード電圧)は固定値である。したがって、EL表示パネルの発光輝度は消費電力と比例の関係にある。

30

【1233】

以上のことから、映像データとプログラム電流は比例し、プログラム電流とEL素子15の発光輝度は比例し、EL素子15の発光輝度と消費電力は比例する。したがって、映像データをロジック処理すれば、EL表示パネルの消費電流(電力)、EL表示パネルの発光輝度、EL表示パネルの消費電力を制御できることになる。つまり、映像データをロジック処理(加算など)することにより、EL表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。

【1234】

本発明は、映像データを加算してパネルで消費される電流(電力)などを把握し、点灯率制御、duty比制御、基準電流制御などを実施する。しかし、本発明の駆動方法は、映像データを加算することに限定されない。映像データから画素16のガンマカーブにしたがって、EL素子15に流れる電流を求め、求められた電流を加算する。加算の結果、パネルで消費される電流(電力)を求めてもよい。つまり、映像データを用いて、パネル消費電流などを求めるようにロジック処理(ソフト処理、ハード処理のどちらでもよい)するものは、すべて本発明の技術的範疇である。なお、加算とは、ソフト処理、ハード処理のどちらでもよい。また、ビットシフトによる演算や、減算処理、除算処理、パイプライン処理などを用いてもよい。演算に、コントローラ回路(IC)760またはDSPなどを用いてもよい。つまり、加算に限定されるものではなく、映像信号に何らかのロジック的な処理を加えるのが、本発明の技術的範疇である。

40

50

【1235】

たとえば、映像データ（映像データに類するデータの含む）からガンマ 2.2 乗の演算を実施してパネルで消費される電流（電力）を求めてもよい。つまり、 2.2 乗演算した結果を加算し、表示パネルに流れるリアルタイムに総電流を求める。もちろん、一定期間を平均した電流を求めてもよい。場合によっては、逆ガンマ 2.2 乗の演算を実施してパネルで消費される電流（電力）を求めてもよい。ソース信号線18に印加した電圧（電流）信号に対する画素16のEL素子15に流れる電流との関係を導き出し（演算式など）、この演算式からパネルの消費電流（電力）を求める。

【1236】

電流駆動の場合は、ソース信号線18に印加した電流信号とEL素子15に流れる電流が比例の関係にあり、加算によりパネルの消費電流（電力）を容易に求めることができる。電圧駆動の場合は、非線形であるので、一定の乗数を用いれば、パネルの消費電流（電力）を容易に求めることができる（出力電流の立ち上がり位置も考慮することが好ましい）。なお、動的ガンマ処理を実施している場合は、これらのガンマ変換特性も考慮して、パネルの消費電流（電力）を求めることが好ましい。

【1237】

画素16の特性あるいはソースドライバ回路（IC）14の特性を組み合わせたときの信号変化変化と、画素16のEL素子15に流れる電流の換算式からパネルで消費される電流（電力）を求めてもよい。ガンマ特性が折れ線で近似されている場合は、折れ線ごとに構成された基準電流回路の基準電流の大きさなどを考慮して、各基準電流回路により出力する電流を加算して、パネルで消費される電流（電力）を求めてもよい。

【1238】

なお、以上の実施例では、パネルで消費される（使用される）電流（電力）をロジック的に求めるとしたが、アノード（カソード）信号線などに流れる電流をAD変換してデジタル的に求めて、点灯率制御、duty比制御、基準電流制御などを実施してもよい。また、アノード（カソード）信号線などに流れる電流をアナログ的に求めて、点灯率制御、duty比制御、基準電流制御などを実施してもよい。また、表示パネルに流れる電流などは、ホトセンサなどを用いて光学-電気変換し、電気変換された信号からも把握することができる。パネルから放射される電気力線を捕捉する方式も例示される。したがって、この電気変換された信号を用いて点灯率制御、duty比制御、基準電流制御などを実施

【1239】

本発明の点灯率制御、duty比制御、基準電流制御などは、単独で重要な発明を構成している。映像データを用いて、パネル消費電流などを求めるようにロジック処理（ソフト処理、ハード処理のどちらでもよい）することも、単独で重要な発明を構成している。特にduty比制御などで、EL素子15に流れる電流を必要に応じて遮断でき、パネル消費電流などを自由に制御できるのは、画素16のトランジスタ11d（図1ではEL素子15と駆動用トランジスタ11a間に配置され、EL素子15に流れる電流を制御するトランジスタである。他の画素16でも同様に、EL素子15に流れる電流を制御するトランジスタが該当する）の機能によることが大きい。点灯率などに基づいて、ゲートドライバ回路17bを制御し、容易にゲート信号線17bに接続されたトランジスタ11dをオンオフ制御できるからである。トランジスタ11dのオフする個数を増加させれば、パネルで消費する電流が比例して低下する。トランジスタ11dがオンする個数を増加させれば、パネルから放射される光量が増加し、表示輝度が明るくなる。以上のように、本発明の特徴ある構成（画素、ゲートドライバ回路12、ゲート信号線17b、トランジスタ11dなど）を利用することにより、点灯率制御、duty比制御、基準電流制御を良好に実現できる。これらの制御方式を実現することにより、パネルの発熱を長寿命化でき、電源モジュールのサイズなども小型化できる。

【1240】

以上の事項は、電圧駆動（電圧プログラム）方式、電流駆動（電流プログラム）方式の

両方に適用できることはいうまでもない。本発明の駆動方式は、説明を容易にするため、図1の画素構成を中心に説明する。しかし、本発明はこれに限定するものではない。たとえば、図2、図6～図13、図28、図31、図33～図36、図158、図193～図194、図574、図576、図578～図581、図595、図598、図602～図604、図607(a)(b)(c)の画素構成であっても適用できることは言うまでもない。

【1241】

特に本発明のEL表示パネルは電流駆動方式である。かつ特徴ある構成のより画像表示制御が容易である。特徴ある画像表示制御方法は2つある。1つは、基準電流の制御である。もう1つはduty比制御である。この基準電流制御と比制御を単独であるいは組み

10

【1242】

基準電流制御は図60、図61、図64、図65、図66(a)(b)に図示するように、ソースドライバ回路(IC)14は、各RGBの基準電流を調整する回路を具備している。また、ソースドライバ回路(IC)14からのプログラム電流Iwは、単位トランジスタ154の個数で決定される。

【1243】

1つの単位トランジスタ154が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、1つの単位トランジスタ154が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ154の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスタ表示で各RGBの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。

20

【1244】

図54はduty比制御方法である。図54(a1)(a2)(a3)(a4)は非表示領域192を連続して挿入する方法である。動画表示に適する。また、図54(a1)が最も画像が暗く、図54(a4)が最も明るい。ゲート信号線17bの制御で自由にduty比を変更できる。図54(c1)(c2)(c3)(c4)は非表示領域192を多数に分割して挿入する方法である。特に静止画表示に適する。また、図54(c1)が最も画像が暗く、図54(c4)が最も明るい。ゲート信号線17bの制御で自由にduty比を変更できる。また、図54(b1)(b2)(b3)(b4)は、図54(a1)～(a4)と図54(c1)～(c4)との中間状態である。図54(b1)(b2)(b3)(b4)も同様にゲート信号線17bの制御で自由にduty比を変更できる。つまり、ゲート信号線17bなどの制御によりトランジスタ11dをオンオフさせ、EL素子15に流れる電流を制御する。

30

【1245】

図11、図12の画素構成では、トランジスタ11eをオンオフ制御させ、図7では、切り換えスイッチ71をオンオフ制御する。また、図28の画素構成では、トランジスタ11dを制御して、EL素子15に流れる電流を制御する。

40

【1246】

以上のように、duty比制御とは、ソース信号線18に印加するプログラム電流Iwは変化させずに、EL素子15に流れる電流を制御することにより、画面144の明るさ制御を実現する方式である。つまり、基準電流を一定にした状態(変化させずに)で、画面144の明るさ制御を実現する方式である。

【1247】

駆動用トランジスタ11aが流す電流を変更することなく、画面144の明るさ制御を実現する方式である。また、駆動用トランジスタ11aのゲート端子(G)電圧を変更することなく、画面144の明るさ制御を実現する方式である。また、ゲートドライバ12bの走査状態を変化させることにより、ゲート信号線17bなどを制御し、画面144の

50

明るさ制御を実現する方式である。

【1248】

表示領域193の分散は、表示パネルの画素行数が220本で、 $1/4$ duty比であれば、 $220/4=55$ となるから、1から55（1の明るさからその55倍の明るさまで調整できる）。また、表示パネルの画素行が220本で、 $1/2$ duty比であれば、 $220/2=110$ となるから、1から110（1の明るさからその110倍の明るさまで調整できる）。したがって、画面輝度144の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれに明るさであっても、表現できる階調数を維持できると特徴がある。たとえば、64階調表示であれば、白ラスターでの表示画面144輝度が300ntであっても、3ntであっても64階調表示を実現できる。

10

【1249】

以前にも説明したが、duty比は、ゲートドライバ回路12bへのスタートパルスを制御することにより容易に変更できる。したがって、 $1/2$ duty比、 $1/4$ duty比、 $3/4$ duty比、 $3/8$ duty比と多種多様なduty比を容易に変更できる。1水平走査期間（1H）単位のduty比駆動は、水平同期信号に同期させてゲート信号線17bのオンオフ信号を印加すればよい。さらに、1H単位以下でもduty比制御することができる。図40、図41、図42の駆動方法である。1H期間以内において、OEV2制御を行うことにより、微小ステップの明るさ制御（duty比制御）が可能である。

【1250】

20

1H以内のduty比制御を行うのは、duty比が $1/4$ duty比以下の場合に実施する。画素行数が220画素行であれば、 $55/220$ duty比以下である。つまり、 $1/220$ から $55/220$ duty比の範囲で行う。1ステップの変化が変化前から変化後で $1/20$ （5%）以上変化する時に実施する。さらに好ましくは、 $1/50$ （2%）以下の変化でもOEV2制御を行い微小なduty比駆動制御を行うことが望ましい。つまり、ゲート信号線17bによるduty比制御では、変化前から変化後の明るさ変化が5%以上になる時は、OEV2（図40などを参照のこと）による制御を行うことにより変化量が5%以下になるように少しずつ変化させる。この変化には、図98で説明するWait機能を導入することが好ましい。

【1251】

30

duty比が $1/4$ duty比以下で1H以内のduty比制御を実施するのは、1ステップあたりの変化量が大きいためもあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が2乗特性に依存しているためと思われる。

【1252】

パネルの画素行が200本であれば、 $50/200$ duty比以下（ $1/200$ 以上 $50/200$ 以下）でOEV2制御を行って、1H以下の期間のduty比制御を行う。 $1/200$ duty比から $2/200$ duty比に変化すると $1/200$ duty比と $2/200$ duty比の差は、 $1/200$ であり、100%の変化となる。この変化はフリッカとして完全に視覚的に認識されてしまう。したがって、OEV2制御（図40などを参照のこと）を行い、1H（1水平走査期間）以下の期間でEL素子15への電流供給を制御する。なお、1H期間以下（1H期間以内）でduty比制御としたが、これに限定するものではない。図19でもわかるように非表示領域192は連続している。つまり、10.5H期間というような制御も本発明の範疇である。つまり、本発明は1H期間に限定されず（小数点以下が発生する）、duty比駆動を行うものである。

40

【1253】

$40/200$ duty比から $41/200$ duty比に変化すると、 $40/200$ duty比と $41/200$ duty比の差は、 $1/200$ であり、 $(1/200)/(40/200)$ で2.5%の変化となる。この変化はフリッカとして視覚的に認識されるか否か

50

は、画面輝度 144 に依存する可能性が高い。ただし、40/200 duty 比は中間調表示であるので、視覚的に敏感である。したがって、OE V2 制御（図 40 などを参照のこと）を行い、1H（1 水平走査期間）以下の期間で EL 素子 15 への電流供給を制御することが望ましい。

【1254】

以上のように、本発明の駆動方法および表示装置は、画素 16 に EL 素子 15 に流す電流値を記憶できる構成（図 1 ではコンデンサ 19 が該当する）と、駆動用トランジスタ 11a と発光素子（EL 素子 15 が例示される）との電流経路をオンオフできる構成（図 1、図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 28、図 31～図 36 などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図 19 の表示状態が発生させる（画像の輝度によっては、表示画面 144 が表示領域 193（duty 比 1/1 になってもよい）駆動方法である。かつ、duty 比駆動（少なくとも表示画面 144 の一部が非表示領域 193 となる駆動方法または駆動状態）が所定の duty 比以下では、1 水平走査期間（1H 期間）以内あるいは 1H 期間単位に限定される EL 素子 15 に流す電流を制御して、表示画面 144 の輝度制御を行うものである。

【1255】

1H 単位以内の duty 比制御を行う所定 duty 比は、duty 比が 1/4 duty 比以下の場合に実施する。逆に所定 duty 比以上では、1H 単位で duty 比制御を行う。もしくは OE V2 制御は実施しない。また、1H 期間以外の duty 比制御は、1 ステップの変化が変化前から変化後で 1/20（5%）以上変化する時に実施する。さらに好ましくは、1/50（2%）以下の変化でも OE V2 制御を行い微小な duty 比駆動制御を行うことが望ましい。もしくは、白ラスターの最大輝度の 1/4 以下の輝度で実施する。

【1256】

本発明の duty 比制御駆動によれば、図 74 に図示するように、EL 表示パネルの階調表現数が 64 階調であれば、表示画面 144 の表示輝度（nt）がいずれの輝度（輝度が低いあるいは高いに関わらず）であっても、64 階調表示が維持される。たとえば、画素行数が 220 本で、1 画素行のみが表示領域 193（表示状態）の時（duty 比 1/220）であっても、64 階調表示を実現できる。各画素行がソースドライバ回路（IC）14 のプログラム電流 Iw により順次画像が書き込まれ、ゲート信号線 17b により、この 1 画素行分が順次画像表示されるからである。全画素行が表示領域 193（表示状態）の時（duty 比 1/1）であっても、64 階調表示を実現できる。

【1257】

もちろん、20 画素行が表示領域 193（表示状態）の時（duty 比 20/220 = duty 比 1/11）であっても、64 階調表示を実現できる。画素行にソースドライバ回路（IC）14 のプログラム電流 Iw により順次画像が書き込まれ、ゲート信号線 17b によりすべての画素行が同時に画像表示されるからである。また、20 画素行のみが表示領域 193（表示状態）の時（duty 比 20/220 = duty 比 1/11）であっても、64 階調表示を実現できる。各画素行がソースドライバ回路（IC）14 のプログラム電流 Iw により順次画像が書き込まれ、ゲート信号線 17b により、この 20 画素行分が順次走査されて画像表示されるからである。

【1258】

なお、本発明の基準電流制御（図 50 などの回路構成を参照のこと）においても同様であり、基準電流が小さくとも大きくとも、64 階調表示を実現できる。

【1259】

本発明の duty 比制御駆動は、EL 素子 15 の点灯時間の制御であるから、duty 比に対する表示画面 144 の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図 60 のように RGB の基準電流を調整し、ホワイトバランスをとる。duty 比制御では、R、G、B を同時に明るさ制御するためにいずれの階調、表示画面 144 の明る

さにおいてもホワイトバランスは維持される。

【1260】

duty比制御は、表示画面144に対する表示領域193の面積を変化させることにより、表示画面144の輝度を変化するものであった。当然、表示面積193に比例してEL表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面144のEL素子15に流れる全消費電流を算出することができる。EL素子15のアノード電圧V_{dd}は直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図60の基準電流I_cを電子ボリウムなどの調整回路で調整し、RGBの基準電流を抑制制御すればよい。

10

【1261】

また、白ラスタ表示での所定輝度を設定し、この時をduty比最小になるように設定する。たとえば、duty比1/8にする。自然画像はduty比を大きくする。最大のduty比は1/1である。たとえば、表示画面144の1/100しか画像が表示されない自然画像をduty比1/1とする。duty比1/1からduty比1/8は表示画面144の自然画像の表示状態で滑らかに変化させる。

【1262】

以上のように一実施例として、白ラスタ表示で（自然画像ではすべての画素が100%点灯している状態）でduty比1/8とし、表示画面144の1/100の画素が点灯している状態をduty比1/1とする。概略の消費電力は、画素数×点灯画素数の割合×duty比で算出できる。

20

【1263】

説明を容易にするため、画素数を100とすると、白ラスタ表示での消費電力は、 $100 \times 1 (100\%) \times \text{duty比} 1/8 = 80$ となる。一方、1/100が点灯している自然画像の消費電力は、 $100 \times (1/100) (1\%) \times \text{duty比} 1/1 = 1$ となる。duty比1/1～duty比1/8は画像の点灯画素数（実際には、点灯画素の総電流＝1フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかにduty比制御が実施される。

【1264】

以上のように白ラスタで消費電力割合は80であり、1/100が点灯している自然画像の消費電力割合は、1になる。したがって、白ラスタ表示での所定輝度を設定し、この時をduty比最小になるように設定すれば、最大電流を抑制することができる。本発明は、1画面のプログラム電流の総和をSとし、duty比をDとし、 $S \times D$ で駆動制御を実施するものである。また、白ラスタ表示でのプログラム電流の総和をSwとし、最大のduty比をD_{max}（通常は、duty比1/1が最大である）とし、最小のduty比をD_{min}とし、また、任意の自然画像でのプログラム電流の総和をS_sとした時、 $Sw \times D_{min} \geq S_s \times D_{max}$ の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

30

【1265】

なお、duty比の最大は1/1とする。最小はduty比1/16以上（1/8など）にすることが好ましい。つまり、duty比は1/16以上1/1以下にする。なお、1/1を必ず使用することには制約されないことは言うまでもない。好ましくは、最小のduty比は1/10以上にする。duty比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

40

【1266】

先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とは映像データの総和と同義である。なお、1フレーム（1フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない。1フレ

50

ーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、*duty*比制御を行っても良い。

【１２６７】

図８５は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図８５では、外部からＹ／ＵＶ映像信号と、コンポジット（ＣＯＭＰ）映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路８５１により選択される。

【１２６８】

スイッチ回路８５１で選択された映像信号は、デコーダおよびＡ／Ｄ回路によりデコードおよびＡＤ変換され、デジタルのＲＧＢ画像データに変換される。ＲＧＢ画像データは各８ビットである。また、ＲＧＢ画像データはガンマ回路８５４でガンマ処理される。同時に輝度（Ｙ）信号が求められる。ガンマ処理により、ＲＧＢ画像データは各１０ビットの画像データに変換される。

【１２６９】

ガンマ処理後、画像データはＦＲＣ処理または誤差拡散処理が処理回路８５５で行われる。ＦＲＣ処理または誤差拡散処理によりＲＧＢ画像データは６ビットに変換される。この画像データはＡＩ処理回路８５６でＡＩ処理あるいはピーク電流処理が実施される。また、動画検出回路８５７で動画検出が行われる。同時に、カラーマネージメント回路８５８でカラーマネージメント処理が行われる。

【１２７０】

ＡＩ処理回路８５６、動画検出回路８５７、カラーマネージメント回路８５８の処理結果は演算回路８５９に送られ、演算処理回路８５９で制御演算、*duty*比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路（ＩＣ）１４およびゲートドライバ回路１２に制御データとして送出される。

【１２７１】

*duty*比制御、基準電流比制御、ピーク電流制御などは、ＯＳＤ（オンスクリーンディスプレイ）には適用しないことが好ましい。ＯＳＤでは、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。ＯＳＤにおいても、ピーク電流制御などを行うと、メニューの表示状態によって画面が暗くなったり明るくなったりし、視覚的に不具合が発生する。

【１２７２】

この課題に対しては、図１８５に図示するように、ＯＳＤのデータ（ＯＳＤＤＡＴＡ）と映像データ（動画データ）とを別のコントロール回路８５６で処理をする。基本的には、ＯＳＤデータは輝度変調を実施しない。

【１２７３】

なお、コントローラ回路（ＩＣ）７６０に関しても、１チップ化することに限定するものではない。たとえば、図２４８に図示するように、ゲートドライバ回路１２を制御するコントローラ回路（ＩＣ）７６０Ｇと、ソースドライバ回路（ＩＣ）１４を制御するコントローラ回路（ＩＣ）７６０Ｓに分離してもよい。分離により処理内容が明確になり、コントローラＩＣを小サイズ化することが可能である。

【１２７４】

*duty*比制御データはゲートドライバ回路１２ｂに送られ、*duty*比制御が実施される。一方、基準電流制御データはソースドライバ回路（ＩＣ）１４に送られ、基準電流制御が実施される。ガンマ補正され、ＦＲＣまたは誤差拡散処理された画像データもソースドライバ回路（ＩＣ）１４に送られる。

【１２７５】

図６２の画像データ変換は、ガンマ回路８５４のガンマ処理により行う必要がある。ガンマ回路８５４は、多点折れガンマカーブにより階調変換を行う。２５６階調の画像デー

10

20

30

40

50

タは、多点折れガンマカーブにより 1 0 2 4 階調に変換される。ガンマ回路 8 5 4 により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。

【1 2 7 6】

以上の説明では $duty$ 比 D で制御するとして説明したが、 $duty$ 比は、所定期間（通常は 1 フィールドまたは 1 フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）における EL 素子 1 5 の点灯期間である。つまり、 $duty$ 比 $1/8$ とは、1 フレームの $1/8$ の期間（ $1F/8$ ）の間、EL 素子 1 5 が点灯していることを意味する。したがって、 $duty$ 比は、画素 1 6 が書き換えられる周期時間を Tf とし、画素の点灯期間 Ta とした時、 $duty$ 比 $= Ta / Tf$ と読み替えることができる。

10

【1 2 7 7】

なお、画素 1 6 が書き換えられる周期時間を Tf とし、 Tf を基準とするとしたがこれに限定されるものではない。本発明の $duty$ 比制御駆動は、1 フレームあるいは 1 フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を 1 周期として $duty$ 比制御を実施してもよい。したがって、 Tf は画素を書き換える周期だけに限定されるものではなく、1 フレームあるいは 1 フィールド以上であってもよい。たとえば、1 フィールドあるいは 1 フレームごとに点灯期間 Ta がことなる場合は、繰り返し周期（期間）を Tf とし、この期間の総点灯期間 Ta を採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間を Ta としてもよい。 $duty$ 比についても同様である。 $duty$ 比がフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均 $duty$ 比を算出して用いればよい。

20

【1 2 7 8】

したがって、白ラスタ表示でのプログラム電流の総和を Sw とし、任意の自然画像でのプログラム電流の総和を Ss とし、最小の点灯期間を Tas 、最大の点灯期間を Tam （通常は $Tam = Tf$ であるから $Tam / Tf = 1$ ）とした時、 $Sw \times (Tas / Tf) \geq Ss \times (Tam / Tf)$ の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【1 2 7 9】

図 6 0、図 6 1、図 6 4、図 6 5 に図示あるいは説明したように基準電流の制御により、プログラム電流をリニアに調整することができる。1 つあたりの単位トランジスタ 1 5 4 の出力電流が変化するからである。単位トランジスタ 1 5 4 の出力電流を変化させるとプログラム電流 Iw も変化する。画素のコンデンサ 1 9 にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、EL 素子 1 5 に流れる電流も大きくなる。EL 素子 1 5 に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することにより EL 素子 1 5 の発光輝度をリニアに変化させることができる。

30

【1 2 8 0】

本発明のソースドライバ回路（IC）1 4 は、端子 1 5 5 に接続される単位トランジスタ 1 5 4 の個数を制御することによりプログラム電流 Iw を変化させるものであった。また、プログラム電流 Iw は図 6 0、図 6 2 などの説明したように、基準電流 Ic を変化させることにより実現した。

40

【1 2 8 1】

しかし、本発明の基準電流制御などは限定するものではない、一定の基準となるもの（電圧、電流、設定データなど）を変化し、この変化により端子 1 5 5 から出力される電流 Iw を変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子 1 5 5 のプログラム電流 Iw が同一割合で変化させることが重要である。なお、プログラム電流 Iw の変化に限定するものではない。プログラム電圧であってもよい。各端子 1 5 5 のプログラム電圧が同一割合で変化させることにより、表示画面 1 4 4 の輝度を調整することができるからである。また、RGB 端子で変化させることによりホワイトバランスを調整することができるからである。図 8 6 は基準電流 Ic の調整回路を具備しない本発明の実施例である。端子 1 5 5 には、オペアンプ 5 0 2 をトランジスタ 1 5

50

6により、プログラム電流 I_w が供給される。プログラム電流 I_w はサンプリング回路 862によりオペアンプ 522に印加された電圧により決定される。

【1282】

8ビットの映像データはD/A回路661でアナログデータに変換され、アナログデータは可変増幅回路861で利得調整される。利得調整されたアナログデータはサンプリング回路862において、水平走査クロックでサンプリングされ、各コンデンサCに保持される。なお、可変増幅回路861の利得は8ビットのデータにより設定される。

【1283】

可変増幅回路861の一例としては、図87の構成が例示される。図87において、 V_{in} 端子にDA回路661のアナログデータが印加される。また、利得は、抵抗 R_x に直列に接続されたスイッチ S_x により設定される。スイッチ S_x は8ビットに利得設定データにより制御される。なお、利得設定データは1フレームあるいは1フィールド単位で変化させることが可能である。

10

【1284】

以上の構成から、図87の利得データの制御により、制御データの大きさに比例（相関）して端子155からの出力電流を変化させることができる。

【1285】

つまり、いずれかのスイッチ S_x が閉じることにより利得が設定される。このスイッチ S_x の制御が、図64のスイッチ回路642、図50の電子ボリウム501に該当する。つまり、スイッチ S_x の制御によりプログラム電流 I_w を変化あるいは調整することができる。

20

【1286】

したがって、図86において、アナログデータがCにサンプルホールドされ、サンプルホールドされた電圧により、プログラム電流 I_w がソース信号線18に印加される。このプログラム電流 I_w は、可変増幅器861の利得データにより変化（制御）される。

【1287】

図86の構成においても、利得設定データにより、表示画面144の輝度を一齐に調整（可変）することができる。したがって、本発明の n 倍パルス駆動、 $duty$ 比駆動などを実現することができる。なお、図86などの構成では、単位トランジスタ154は形成されていない構成である。つまり、本発明は、電子ボリウムなどにより基準電流を調整することができ、この基準電流の調整のよりIC14の全出力端子155から出力される電流が比例的に変化させることができる構成に特徴がある。また、後に説明するが基準電流は映像データから求める。つまり、映像データなどからフィードバックをかけ、出力端子155からの電流の大きさを変化させる構成あるいは方法である。

30

【1288】

なお、実施例では端子から出力される信号は電流としているが、電圧であってもよい。電圧信号によりEL素子15に流れる電流を制御することができるからである（結局、映像データからカソード（アノード）端子に流れる電流を制御できる）。つまり、映像データにより基準電流の大きさあるいは変化量を求め、この基準電流の調整のよりIC14の全出力端子155から出力される電圧が比例的に変化させることができる構成に特徴がある。

40

【1289】

可変増幅器861を各RGBで設けることにより、ホワイトバランス調整、カラーマネジメント制御を実現できる（図145から図153を参照のこと）。つまり、本発明の表示パネルあるいは装置において、図86の構成のソースドライバ回路（IC）14を用いても、本発明の駆動方式、構成を実現することができる。

【1290】

本発明は、図60などで説明した基準電流制御方式と、図54（a）（b）（c）などで説明した $duty$ 比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、基準電流制御方式と $duty$ 比制御方式を組み合

50

わせて実施することが好ましい。

【1291】

さらに、本発明の駆動方式について説明をする。本発明の駆動方法は、E L表示パネルに消費される消費電流の上限にリミットすることが1つの目的である。E L表示パネルはE L素子15に流れる電流を輝度が比例関係にある。したがって、E L素子15に流れる電流を増大させれば、E L表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流（＝消費電力）も増大する。

【1292】

携帯装置などのモバイル機器に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の1つの目的である。

【1293】

画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像（ダイナミックレンジが広い、コントラスト比が高い、階調表現力が大きいなど）変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の2つめの目的である。以上の目的を実現する本発明をA I駆動と呼ぶことにする。

【1294】

説明を容易にするために、本発明のI Cチップ14は64階調表示であるとする。A I駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバ回路（I C）14は64階調表示とし、画像データは256階調とする。この画像データをE L表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力256階調を1024階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバI C14の64階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（F R C）処理が行われ、ソースドライバI C14に印加される。

【1295】

1画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスタは64階調表示の場合は画像データとしては63であるから、表示画面144の画素数×63が画像データの総和である。1/100の白ウインドウ表示で、白表示部が最大輝度の白表示では、表示画面144の画素数×（1/100）×63が画像データの総和である。

【1296】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、d u t y比制御あるいは基準電流制御を行う。

【1297】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの1フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをA D変換して画像データの総和としてもよい。この場合は、画像データはA P Lレベルとも言うことができる。

【1298】

30フレームから300フレーム期間の画像データの総和あるいは総和を推定できるデータを求め、このデータの大きさに基づいて、d u t y比制御を行うこと好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。

【1299】

表示画面144を構成する画像のすべてのデータを加算する必要はなく、表示画面14

10

20

30

40

50

4の1/W (Wは1より大きい値)をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。たとえば、1画素とばしで映像データをサンプリングし、サンプリングされた映像データから総和を求めるなどの方法が例示される。また、1画素行ごとに1または複数の画素の映像データをサンプリングし、サンプリングされた映像データから総和を求める方法が例示される。

【1300】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のAPLレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためAPLレベルと呼ぶ。

10

【1301】

白ラスターの時にAPLレベルは画像がRGB各6ビットであるから63 (63階調目であるからデータの表現としては63で示されている) × 画素数 (QCIFパネルの場合は176 × RGB × 220) となる。したがって、APLレベルは最大となる。ただし、RGBのEL素子15で消費する電流は異なるから、RGBで分離して画像データを算出することが好ましい。

【1302】

この課題に対して、図88に図示する演算回路を使用する。図88において、881、882乗算器である。881は発光輝度を重み付けする乗算器である。R、G、Bでは視感度が異なる。NTSCでの視感度は、R : G : B = 3 : 6 : 1である。したがって、Rの乗算器881Rでは、R画像データ (Rdata) に対して3倍の乗算を行う。また、Gの乗算器881Gでは、G画像データ (Gdata) に対して6倍の乗算を行う。また、Bの乗算器881Bでは、B画像データ (Bdata) に対して1倍の乗算を行う。ただし、この記述は概念的である。EL素子はRGBで効率が異なっているからである。EL素子15はRGBで発光効率が異なる。通常、Bの発光効率が最も悪い。次にGが悪い。Rが最も発光効率が良い。そこで、乗算器882で発光効率の重み付けを行う。Rの乗算器882Rでは、R画像データ (Rdata) に対してRの発光効率の乗算を行う。また、Gの乗算器882Gでは、G画像データ (Gdata) に対してGの発光効率の乗算を行う。また、Bの乗算器882Bでは、B画像データ (Bdata) に対してBの発光効率の乗算を行う。

20

30

【1303】

乗算器881および882の結果は、加算器883で加算され、総和回路884に蓄積される。この総和回路884の結果にもとづき、duty比制御、基準電流制御を実施する。

【1304】

以上の実施例では、映像データに、EL素子15などの効率を考慮し、所定値を乗算することによりデータを求める。本発明は、映像データから表示パネルのアノードまたはカソード端子に流れる電流を求めるものである。

【1305】

通常、RGBのEL素子15は、EL材料ごとに発光効率が既知であり、電流と輝度の関係がわかっている。また、EL表示パネルは生産する時の目標色温度が決定されている。したがって、EL表示パネルの表示サイズと目標輝度が決定されれば、目標色温度にするための、EL表示パネルに流すRGB電流の比率と大きさがわかる。このことから、EL表示パネルのアノード端子あるいはカソード端子に流す電流を所定値にすることにより、目標とする輝度と色温度を得ることができる。

40

【1306】

アノード端子あるいはカソード端子に流れる電流は映像データの総和に比例する。以上のことから、映像データの総和からアノード電流 (カソード電流) を求めることができる。アノード電流とは表示領域に接続されたアノード端子に流れ込む電流である。カソード

50

電流とは表示領域に接続されたカソード端子から流れ出す電流である。アノード電圧またはカソード電圧は固定値であるから、映像データからEL表示パネルの消費電力を制御することができる。

【1307】

つまり、映像データ（の総和）の大きさあるいは大きさの変化をリアルタイムでモニタ（演算）することにより、EL表示パネルが必要とするカソード（アノード）電流を得ることができる。この電流の大きさをどの大きさに抑制すべきであるかがわかっているならば、基準電流制御、duty比制御により電流の大きさを制御することができる。

【1308】

もちろん、アノード電流あるいはカソード電流の大きさをAD（アナログデジタル）変換することにより、変換されたデジタルデータから基準電流制御、duty比制御により電流の大きさを制御することができる。また、アナログデータを直接用いてオペアンプなどにより増幅率のフィードバック制御を実施することにより、基準電流制御、duty比制御により電流の大きさを制御することができる。つまり、制御方式としてはデジタル、アナログ方式を問わない。

【1309】

以上のように、本発明は、映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、EL表示パネルで消費する電力（電流）を算出あるいは制御し、duty比制御、基準電流制御を実施するものである。

【1310】

映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、EL表示パネルで消費する電力（電流）の算出は、1フレーム（1フィールド）ごとに行うことに限定されるものではなく、複数フレーム（フィールド）ごとに行ってもよく、また、1フレーム（1フィールド）で複数回行っても良いことは言うまでもない。また、基準電流制御、duty比制御はリアルタイムで実施することに限定されるものではなく、遅延させたり、ヒステリシスで実施したり、飛ばし飛ばしで実施してもよいことは言うまでもない。

【1311】

基準電流制御、duty比制御によりEL表示パネルのアノード電流またはカソード電流の大きさを制御するとしたが、これに限定するものではなく、アノード電圧またはカソード電圧を制御することによっても、EL表示パネルの消費電力を制御することができることは言うまでもない。

【1312】

図88のように制御すると、輝度信号（Y信号）に対するduty比制御、基準電流制御を実施することができる。しかし、輝度信号（Y信号）を求めて、duty比制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではEL表示パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（B）の視感度が低いためである。そのため、輝度信号（Y信号）の総和（APLレベル）は小さく算出されるため、duty比制御が高duty比になる。したがって、フリッカの発生などが生じる。

【1313】

この課題に対しては、乗算器881をスルーにして用いるとよい。消費電流に対する総和（APLレベル）が求められるからである。輝度信号（Y信号）による総和（APLレベル）と消費電流による総和（APLレベル）は、両方を求めて加味して総合APLレベルを求めることが望ましい。総合APLレベルによりduty比制御、基準電流制御またプリチャージ制御などを実施する。

【1314】

黒ラスタは64階調表示の場合は0階調目であるから、APLレベルは0で最小値となる。電流駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、表示画面144を構成するデータの全ビットをカウントする必要はなく、たとえ

10

20

30

40

50

ば、画像が6ビットで表現される場合、上位ビット(MSB)のみをカウントしてもよい。この場合は、階調数が32以上で、1カウントされる。したがって、表示画面144を構成する画像データによりAPLレベルは変化する。つまり、映像データの総和とは、完全な総和ではなく、総和を推定できる方式であればいずれでもよい。

【1315】

アナログ的な概念から映像データの総和あるいは総和に類似する指標としてAPLレベルという語を用いる。しかし、後半では、点灯率という語を用いて本発明の駆動方式の説明を行う。なお、点灯率は後に説明をする。

【1316】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

【1317】

EL表示パネルで最大に流せる電流を100(mA)とする。白ラスター表示ととき、総和(APLレベル)は200(単位なし)になるとする。このAPLレベルが200の時、そのままパネルに印加するとEL表示パネルに200(mA)が流れるとする。なお、APLレベルが0の時、EL表示パネルに流れる電流は0(mA)である。また、APLレベルが100の時、duty比は1/2で駆動するものとする。

【1318】

したがって、APLが100以上の場合は、制限である100(mA)以下となるようにする必要がある。最も簡単には、APLレベルが200の時、duty比を $(1/2) \times (1/2) = 1/4$ にし、APLレベルが100の時、duty比を1/2とする。APLレベルが100以上200以下の時は、duty比が $1/4 \sim 1/2$ の間をとるように制御する。duty比 $1/4 \sim 1/2$ は、EL選択側のゲートドライバ回路12bが、同時に選択するゲート信号線17bの本数を制御することにより実現できる。

【1319】

ただし、APLレベルのみを考慮し、duty比制御を実施すれば、画像に応じて表示画面144の平均輝度(APL)に応じて表示画面144の輝度が変化し、フリッカが発生する。この課題に対して、もとめるAPLレベルは、少なくとも2フレーム、このましくは、10フレームさらに好ましくは60フレーム以上の期間保持し、この期間で演算して、APLレベルによりduty比制御によるduty比を算出する。また、表示画面144の最大輝度(MAX)、最小輝度(MIN)、輝度の分布状態(SGM)などの画像の特徴抽出を行ってduty比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。

【1320】

画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度(MAX)、最小輝度(MIN)、輝度の分布状態(SGM)、シーンの変化状態を考慮して行うとよい。つまり、総和(APLレベルあるいは点灯率)は、映像データの加算だけでなく、画像表示の分布状態などを考慮して補正などを行うことが好ましい。回路構成としては、図88の加算器883cの補正回路(図示せず)の補正量を加算する構成などが例示される。

【1321】

ガンマ回路854により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図89に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロールICを低コスト化できる。

【1322】

図89において、aは32階調目での折れ線ガンマ変換である。bは64階調目での折れ線ガンマ変換である。cは96階調目での折れ線ガンマ変換である。dは128階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図89のdのガンマカーブを選択する。画像データが低階調に集中

10

20

30

40

50

している場合は、低階調での階調数を多くするため、図 89 の a のガンマカーブを選択する。画像データの分布が分散している場合は、図 89 の b、c などのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。

【1323】

ガンマカーブの選択は、A P L レベル、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M) を加味して行う。また、d u t y 比制御、基準電流制御も加味して行う。

【1324】

図 90 は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図 89 の n のガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図 89 の a のガンマカーブを選択する。画像データの分布が分散している場合は、図 89 の b から n - 1 のガンマカーブを選択する。ガンマカーブの選択は、A P L レベル、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M)、シーン変化割合、シーン変化量、シーン内容を加味して行う。また、d u t y 比制御、基準電流制御も加味して行う。表示パネル (表示装置) が使用する環境に合わせて選択するガンマカーブを変化することも有効である。特に E L 表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。E L 表示パネルは自発光のためである。そこで、図 91 に図示するように、ガンマカーブを変化させてもよい。ガンマカーブ a は屋内用のガンマカーブである。ガンマカーブ b は屋外用のガンマカーブである。ガンマカーブ a と b との切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。

【1325】

なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光が明るいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブ b を選択することが有効である。

【1326】

屋外では、図 92 のようにガンマカーブを発生させることも有効である。ガンマカーブ a は 128 階調目までは出力階調は 0 にする。128 階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図 92 のガンマカーブ b のようにガンマ変換を行っても良い。図 92 のガンマカーブは 128 階調目までは出力階調を 0 にする。128 以上は出力階調を 512 以上とする。図 92 のガンマカーブ b では高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示が見えやすくする効果がある。

【1327】

本発明の駆動方式では、d u t y 比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【1328】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の d u t y 比駆動のように表示画面 144 に非表示領域 192 を発生させても、黒表示における透過率は一定である。逆に非表示領域 192 を発生させることにより、1 フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【1329】

E L 表示パネルは、黒表示において E L 素子 15 に流れる電流が 0 の状態 (電流が流れないあるいは微小) である。したがって、本発明の d u t y 比駆動のように表示画面 144 に非表示領域 192 を発生させても、黒表示の輝度は 0 である。非表示領域 192 の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が 0 であるから、コントラストは無限大である。したがって、d u t y 比駆動は、E L 表示パネルに最適な駆動方

法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は0である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【1330】

duty比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、duty比制御により表示画面144の輝度変化は10倍近く変化させることができる。また、変化はduty比に線形の関係になるから制御も容易である。しかし、duty比制御は、N倍パルス駆動であるから、EL素子15に流れる電流の大きさが大きく、また、表示画面144の輝度にかかわらず、常時EL素子に流れる電流の大きさが大きくなり、EL素子15が劣化しやすいという課題がある。

10

【1331】

基準電流制御は、画面輝度144を高くするとき、基準電流量を大きくするものである。したがって、表示画面144が高いときにしか、EL素子15に流れる電流は大きくならない。そのため、EL素子15が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

【1332】

本発明では、基準電流制御とduty比制御の両方を用いる。ただし、一方を固定し、他方を可変する制御もあることは言うまでもない。表示画面144が白ラスタ表示に近い時には、基準電流は一定値に固定し、duty比のみを制御して表示輝度などを変化させる。表示画面144に黒ラスタ表示に近い時は、duty比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。もちろん、duty比を小さくするとともに、基準電流を増大させ、表示輝度を一定に維持したまま、プログラム電流Iwを増加させてもよい。

20

【1333】

一例として、duty比制御は、点灯率が1/10以上1/1の範囲で実施する。duty比1/1で、白ラスタ表示であれば、点灯率100%である（最大の白ラスタ表示時）。黒ラスタ表示であれば、点灯率0%である（完全黒ラスタ表示時）。

【1334】

点灯率とは、パネルのアノードまたはカソードに流れる最大電流に対する割合でもある（ただし、duty比は1/1とする）。たとえば、カソードに流れる最大電流を100mAとすれば、duty比1/1において、30mAの電流が流れていればz s x d dは30/100=30%（0.3）である。図1などの画素構成の場合は、アノードにはプログラム電流が加算されているので、点灯率の計算には考慮する必要がある。カソードはEL素子で消費される電流のみである。したがって、EL表示パネルの全EL素子15で消費される電流は、カソード端子を流れる電流を測定する方が好ましい。

30

【1335】

また、カソードに流れる最大電流を100mAとし、この時、映像データの総和の最大値とすれば、点灯率とはSUM制御もしくはAPL制御とは同義である。点灯率50%と表現すれば、カソード（アノード）に流れる電流が最大の50%と意味し、点灯率20%と表現すれば、カソードに流れる電流が最大の20%と意味するというように大きさが理解しやすいので今後は主として点灯率の用語を用いる。ただし、カソード（アノード）端子に流れる電流の最大値は、設計上、端子に流れる最大電流であり、相対的な大きさである。たとえば、設計値が小さければ最大値は小さい。

40

【1336】

点灯率は、パネルのアノードまたはカソードに流れる最大電流に対する割合であるとしたが、パネルの全EL素子に流れる最大電流の割合とも言い換えることができることは言うまでもない。

【1337】

本明細書では、点灯率と断り無く記載する時は、duty比1/1としている。もし、duty比1/3で、20mAの電流が流れていれば、点灯率は(20mA×3)/10

50

0 mA = 60% (0.6) である。つまり、点灯率が100%でも、duty比が1/2であれば、アノード（カソード）端子に流れる電流は最大値の1/2である。点灯率50%、アノード電流が20mA、duty比1/1であれば、duty比1/2になれば、アノード電流は10mAとなる。アノード電流が100mA、点灯率40%、duty比1/1であれば、アノード電流が200mAに変化したとすると、点灯率は80%に変化したことを意味する。以上のように、点灯率は、1画面を構成する映像データの大きさに対する割合、EL表示パネルの消費電流（電力）あるいはその割合を示している。

【1338】

以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、図2、図7、図11、図12、図13、図28、図31などの他の画素構成のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

10

【1339】

点灯率による基準電流制御、duty比制御はEL表示パネルだけに適用されるものではなく、自己発光表示パネルであれば適用できることは言うまでもない。たとえば、FED表示パネルが例示される。

【1340】

一例として点灯率（点灯率）は、映像データの和から求める。つまり、映像データから算出する。入力映像信号がY、U、Vの場合は、Y（輝度）信号から求めても良い。しかし、EL表示パネルの場合は、R、G、Bで発光効率が異なるため、Y信号から求めた値が消費電力にならない。したがって、Y、U、V信号の場合も、一度R、G、B信号に変換し、R、G、Bに応じて電流に換算する係数をかけて、消費電流（消費電力）を求めることが好ましい。しかし、簡易的にY信号から消費電流を求めることは回路処理が容易になることも考慮してもよい。

20

【1341】

点灯率は、パネルに流れる電流で換算されているものであるとする。なぜなら、EL表示パネルではBの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データとは単純な映像データの加算値ではなく、映像データを消費電流に換算したものである。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

30

【1342】

ここでは説明を容易にするため、duty比の最大はduty比1/1とする。基準電流は、1倍から3倍に変化させるとする。また、データ和は表示画面144のデータの総和を意味し、（データ和の）最大値は、最大輝度での白ラスタ表示での画像データの総和であるとする。なお、duty比1/1まで使用する必要はないことは言うまでもない。duty比1/1は最大値として記載している。本発明の駆動方法では、最大のduty比を210/220などと設定してもよいことは言うまでもない。

【1343】

duty比 = 1/1の場合、点灯率0%にする意味は、N倍パルス駆動を実施していないことになる。なぜなら、1/1が最大輝度表示であり、N倍パルス駆動により、プログラム電流の書き込み改善を実施していないからである。点灯率100%になるつれ、duty比を1/nとし、nを大きくすることは、プログラム電流の書き込み改善に何ら寄与しない。ただ、パネルの消費電力を低減するために実施しているだけである。このことは、N倍パルス駆動にはduty比1/1を実施することが含まれないから容易に理解できる。本発明は、点灯率が低い（duty比が1/1に近づく）時に、基準電流を1以上にし、画面を高輝度化する。この動作からもN倍パルス駆動の実施には該当しない。

40

【1344】

duty比の最大はduty比1/1とし、最小はduty比1/16以内にすることが好ましい。さらに好ましくは、duty比1/10以内にするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、4倍以内にすることが好ましい。さら

50

に好ましくは2.5倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

【1345】

点灯率1%とは、一例として1/100の白ウインドウ表示である(duty 1/1)。自然画像では、画像表示する画素のデータ和が、白ラスター表示の1/100に換算できる状態を意味する。したがって、100画素あたりの1点の白輝点表示も点灯率が1%である。

【1346】

以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはAPL処理などで発生する最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。

【1347】

データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度(画像データ)の加算であるとして説明をする。一般的に輝度(画像データ)の加算の方式が処理は容易であり、コントローラICのハード規模も小さくできる。また、duty比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

【1348】

図93は本発明の基準電流制御とduty比制御を実施した例である。図93では点灯率が1/100以下では基準電流の倍率を3倍まで変化させている。点灯率1%以上でduty比を1/1から1/8まで変化させている。また、点灯率1%以下で基準電流を1から3倍まで変化させている。したがって、点灯率の値により、duty比制御で8倍、基準電流制御で3倍であるから、 $8 \times 3 = 24$ 倍の変化が実施されている。基準電流制御およびduty比制御はともに画面輝度を変化させるから、24倍のダイナミックレンジが実現されていることになる。

【1349】

図93において、点灯率が100%ではduty比が1/8である。したがって、表示輝度は最大値の1/8になっている。点灯率が100%であるから、白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の1/8に低下している。表示画面144の1/8が表示(点灯)領域193であり、非表示領域192が7/8を占めている。点灯率が100%に近い画像は、ほとんどの画素16が高階調表示である。ヒストグラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図90などのガンマカーブのnまたはnに近いものが選択される。つまり、点灯率の値によりガンマカーブをダイナミックに変化させる。

【1350】

点灯率が1%では、duty比は1/1である。表示画面144の全体が表示領域193である。したがって、duty比制御による画面輝度制御は実施されていない。EL素子15の発光輝度がそのまま表示画面144の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、点灯率が1%画像表示とは、真っ暗な夜空に星がでている画像である。この画像でduty比を1/1にするということは、星の部分は、点灯率100%の白ラスターの輝度の8倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは1/100の領域であるから、1/100の領域の輝度を8倍にしたとしても消費電力の増加はわずかである。点灯率が1%以下では基準電流を増加させる。たとえば、点灯率0.1%では基準電流比は2である。したがって、点灯率1%の時に比較して2倍の輝度で表示される。つまり、星の部分は、点灯率100%の白ラスターの輝度の 8×2 倍の輝度で表示されることになる。

【1351】

以上のように、低点灯率で基準電流を増加させることにより、表示画素の輝度を増大できる。この処理により画像につや感がでて、奥行きに深い画像表示を実現できる。

【1352】

点灯率が1%に近い画像で、ほとんどの画素16が低階調表示の場合は、ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図90などのガンマカーブのbまたはbに近いものが選択される。

【1353】

以上のように本発明の駆動方法は、duty比が大きくなるにしたがって、ガンマのx乗数を大きくする駆動方法である。duty比が小さくなるにしたがって、ガンマのx乗数を小さくする駆動方法である。

10

【1354】

図93では点灯率が1%以下では基準電流の倍率を3倍まで変化させている。点灯率が1%以下ではduty比が1/1として、duty比により画面輝度を高くしている。点灯率が1%よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素16はより高輝度で発光する。たとえば、点灯率が0.1%とは、イメージで表現すれば、真っ暗な夜空に星がでている画像である。この画像でduty比を1/1にすることとは、星の部分は、白ラスターの輝度の $8 \times 2 = 16$ 倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは0.1%の領域であるから、0.1%の領域の輝度を16倍にしたとしても消費電力の増加はわずかである。

20

【1355】

基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイトバランスずれは認識されない。以上のことから、点灯率が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

【1356】

図93では、基準電流の変化およびduty比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。基準電流の倍率制御、duty比制御を曲線的にしてもよい。図94では、横軸の点灯率が対数であるから、基準電流制御およびduty比制御の線が曲線になるのは自然である。点灯率と基準電流倍率の関係、点灯率とduty比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

30

【1357】

図93、図94は、RGBのduty比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図95に図示するように、RGBで基準電流倍率の傾きを変化させてもよい。図95では、青(B)の基準電流倍率の変化の傾きを最も大きくし、緑(G)の基準電流倍率の変化の傾きを次に大きくし、赤(R)の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、EL素子15に流れる電流も大きくなる。EL素子はRGBで発光効率が異なる。また、EL素子15に流れる電流が大きくなると印加電流に対する発光効率が悪くなる。特に、Bではその傾向が顕著である。そのため、RGBで基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図95のように、基準電流倍率を大きくした時(各RGBのEL素子15に流す電流が大きい領域)では、ホワイトバランスを維持できるようにRGBの基準電流倍率を異ならせることが有効である。点灯率と基準電流倍率の関係、点灯率とduty比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

40

【1358】

図95は基準電流倍率をRGBで異ならせた実施例であった。図96はduty比制御も異ならせている。点灯率を1%以上でBとGの傾きを同一にし、Rの傾きを小さくして

50

いる。また、GとRは1%以下でduty比1/1であるが、Bは1%以下でduty比1/2としている。また、図96は基準電流も異ならせている。点灯率を1%以下でBの傾きを最も大きくし、Rの傾きを最も小さくしている。以上のように駆動（制御）すれば、RGBのホワイトバランス調整を最適にすることができる。点灯率と基準電流倍率の関係、点灯率とduty比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【1359】

図93から図96は、一例として点灯率1%を境に基準電流倍率とduty比を変化させる方法であった。点灯率を一定の値を境として、基準電流倍率とduty比を変化させ、基準電流倍率を変化させる領域とduty比を変化させる領域を重ねないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、点灯率が1%以上でduty比を変化させ、点灯率が1%以下で基準電流を変化させている。基準電流倍率を変化させる領域とduty比を変化させる領域を重ねないようにしている。この方法は、本発明の特徴ある方法である。

【1360】

点灯率が1%以上でduty比を変化させ、点灯率が1%以下で基準電流を変化させたとしたが、逆の関係でもよい。たとえば、点灯率が1%以下でduty比を変化させ、点灯率が1%以上で基準電流を変化させてもよい。また、点灯率が1%以上でduty比を変化させ、点灯率が1%以下で基準電流を変化させ、点灯率が1%以上10%以下では、基準電流倍率およびduty比を一定値としてもよい。

【1361】

場合によっては、本発明は以上の方法に限定されない。図97に図示するように点灯率が1%以上でduty比を変化させ、点灯率が10%以下でBの基準電流を変化させてもよい。Bの基準電流変化とRGBのduty比とを変化をオーバーラップさせている。

【1362】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてduty比を変化させるとのフリッカが発生する。したがって、あるduty比から他のduty比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を1secとすると、1sec期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のduty比が維持される。つまり、duty比は変化しない。このヒステリシス（時間遅延）時間をWait時間と呼ぶ。また、変化前のduty比を変化前duty比と呼び、変化後のduty比を変化後duty比と呼ぶ。

【1363】

変化前duty比が小さい状態から、他のduty比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前duty比が小さい状態は、表示画面144のデータ量が小さい状態あるいは表示画面144に黒表示部が多い状態である。したがって、表示画面144が中間調の表示で視感度が高いためと思われる。また、duty比が小さい領域では、変化duty比との差が大きくなる傾向があるからである。もちろん、duty比の差が大きくなる時は、OE V2端子を用いて制御する。しかし、OE V2制御にも限界がある。以上のことから、変化前duty比が小さい時は、wait時間を長くする必要がある。

【1364】

変化前duty比が大きい状態から、他のduty比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前duty比が大きい状態は、表示画面144のデータ量が大きい状態あるいは表示画面144に白表示部が多い状態である。したがって、表示画面144全体が白表示で視感度が低いためと思われる。以上のことから、変化前duty比が大きい時は、wait時間は短くてよい。

【1365】

以上の関係を図94に図示する。横軸は変化前duty比である。縦軸はWait時間

(秒)である。duty比が $1/16$ 以下では、Wait時間を3秒(sec)と長くしている。duty比が $1/16$ 以上duty比 $8/16 (= 1/2)$ では、duty比に応じてWait時間を3秒から2秒に変化させる。duty比 $8/16$ 以上duty比 $16/16 = 1/1$ では、duty比に応じて2秒から0秒に変化させる。

【1366】

以上のように、本発明のduty比制御はduty比に応じてWait時間を変化させる。duty比が小さい時はWait時間を長くし、duty比が大きい時はWait時間を短くする。つまり、少なくともduty比を可変する駆動方法にあって、第1の変化前のduty比が第2の変化前のduty比よりも小さく、第1の変化前duty比のWait時間が、第2の変化前duty比のWait時間よりも長く設定することを特徴とするものである。

10

【1367】

以上の実施例では、変化前duty比を基準にしてWait時間を制御あるいは規定するとした。しかし、変化前duty比と変化後duty比との差はわずかである。したがって、前述の実施例において変化前duty比を変化後duty比と読み替えても良い。

【1368】

以上の実施例において、変化前duty比と変化後duty比を基準にして説明した。変化前duty比と変化後duty比との差が大きい時はWait時間を長くする必要はない。また、duty比の差が大きい時は、中間状態のduty比を経由して変化後duty比に変化させることが良好であることは言うまでもない。

20

【1369】

本発明のduty比制御方法は、変化前duty比と変化後duty比との差が大きい時はWait時間を長くする駆動方法である。つまり、duty比の差に応じてWait時間を変化させる駆動方法である。また、duty比の差が大きい時にWait時間を長くする駆動方法である。

【1370】

本発明のduty比の方法は、duty比の差が大きい時は、中間状態のduty比を経由して変化後duty比に変化させることを特徴とする駆動方法である。

【1371】

図93、図94などの実施例では、duty比に対するWait時間を、R(赤)G(緑)B(青)で同一にすると説明した。しかし、本発明は、図98に図示するようにRGBでWait時間を変化させてもよいことは言うまでもない。RGBで視感度が異なるからである。視感度にあわせてWait時間を設定することにより、より良好な画像表示を実現できる。

30

【1372】

以下の説明では、最大値とは白ラスタの画像データの加算値とした。これは説明を容易にするためである。最大値は画像データの加算処理あるいはAPL処理などで発生する最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。

【1373】

ただし、データ和とは、1画面のデータを正確に加算することを必要としない。1画面をサンプリングした画素のデータの加算値から1画面の加算値を推定(予測)したのもよい。また、最大値も同様である。また、複数フィールドあるいは複数フレームからの予測値あるいは推定値でもよい。また、画像データの加算だけでなく、映像データをローパスフィルタ回路によりAPLレベルを求めて、このAPLレベルをデータ和としてもよい。この時の最大値は、最大振幅の映像データが入力された時のAPLレベルの最大値である。

40

【1374】

データ和は表示パネルの消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度(画像データ)の加算であるとして説明をする。一

50

般的に輝度（画像データ）の加算の方式が処理は容易である。

【1375】

図99は横軸を点灯率としている。最大値は100%である。縦軸はduty比である。点灯率=100%は、全画素行が最大の白表示状態である。点灯率が小さい時は、暗い画面あるいは表示（点灯）領域が少ない画面である。この時は、duty比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。点灯率が大きい時（最大値は100%）は、明るい画面あるいは表示（点灯）領域が広い画面である。この時は、duty比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

10

【1376】

図99では、点灯率が100%の時に、到達するduty比值を変化させている。たとえば、duty比=1/2は画面の1/2が画像表示状態になる。したがって、画像は明るい。duty比=1/8は画面の1/8が画像表示状態になる。したがって、duty比=1/2に比較して1/4の明るさである。

【1377】

本発明の駆動方式では、点灯率、duty比、基準電流、データ和などにより画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【1378】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、1フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

20

【1379】

EL表示パネルは、黒表示は、EL素子に流れる電流が0の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は0である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が0であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

【1380】

本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、duty比制御により画面の輝度変化は10倍近く変化させることができる。また、変化はduty比に線形の関係になるから制御も容易である。また、R、G、Bを同一比率で変化させることができる。したがって、どのduty比においてもホワイトバランスは維持される。

30

【1381】

点灯率とduty比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【1382】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。表示輝度を低下させるため、duty比を小さくし、または基準電流を小さくする。もしくは、duty比をまたは基準電流のいずれか一方を小さくする。基準電流またはduty比を小さくすることによりEL表示パネルの消費電力を低下させることができる。

40

【1383】

以上の制御はユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図99のaのカーブを選択する。しかし、

50

高い輝度で表示し続けるとEL素子は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、cのカーブを選択する。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【1384】

したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、duty比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のduty比カーブから1つを選択できるように構成することが好ましい。

10

【1385】

なお、duty比カーブなどの選択は、APLレベル、最大輝度(MAX)、最小輝度(MIN)、輝度の分布状態(SGM)の1つあるいは複数を加味して行うことが好ましいことは言うまでもない。

【1386】

以上のように、たとえば、aは屋外用のカーブである。cは屋内用のカーブである。bは屋内と屋外との中間状態用のカーブである。カーブa、b、cとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。

20

【1387】

図99のduty比は直線であったが、これに限定するものではない。図100に図示するように、一点折れカーブとしてもよい。つまり、点灯率に応じてduty比の傾きを変化させる。もちろん、duty比カーブは曲線としてもよいし、多点折れカーブとしてもよい。また、外光あるいは画像の種類によりリアルタイムでduty比カーブを変化させてもよい。以上の事項は、基準電流の変化制御においても同様である。

【1388】

表示パネルの消費電力低減が必要な場合は、図100のcカーブを選択する。消費電力が低減する効果が発揮される。表示輝度は低下するが、階調数などの画像表示の低下はない。高い表示輝度が必要な場合は、図100のaカーブを選択する。画像の表示が明るくなり、また、フリッカの発生が少なくなる。消費電力は増大するが、階調数などの画像表示の低下はない。

30

【1389】

本発明の他の実施例において、duty比の変化は、点灯率が1/10以上の範囲で実施する(図101を参照のこと)。点灯率が1に近い画像の発生は少なく、図99のように点灯率が100まで、duty比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、duty比の変化は点灯率が8/10以上の範囲で実施する。

40

【1390】

自然画では、点灯率が20%から40%の画像が多い。したがって、この範囲ではduty比が大きい方が好ましい。一方で点灯率が高い(60%以上)では消費電力が大きくEL表示パネルが発熱し劣化する傾向になる。したがって、点灯率が20%から40%の範囲あるいは近傍ではduty比1/1あるいはその近傍とし、点灯率が60%あるいはその近傍以上では、duty比を1/1よりも小さくするように制御することが好ましい。

【1391】

図101では点灯率が0.9以下ではduty比を1/1から1/5まで変化させている。したがって、5倍のダイナミックレンジが実現されていることになる。図101にお

50

いて、点灯率が0.9以上ではduty比が1/5である。したがって、表示輝度は最大輝度の1/5になっている。点灯率100%は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大輝度の1/5に低下している。

【1392】

点灯率が10%以下では、duty比は1/1である。画面の1/10が表示領域（白ウインドウなどの場合）である。もちろん、自然画では、暗い部分が多い画像である。duty比が1/1では、非点灯領域192がないため、EL素子の発光輝度がそのまま画素の表示輝度となる。

【1393】

点灯率10%とはイメージ的には画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。たとえば、点灯率が10%以下の画像表示とは、真っ暗な夜空に月がでている画像である（説明のための参考イメージ画像例である。白ウインドウでは、1/10白ウインドウ表示である）。この画像でduty比を1/1にするということは、月の部分は、白ラスターの輝度（図101で点灯率100%での輝度）の5倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは1/10の領域であるから、1/10の領域の輝度を5倍にしたとしても消費電力の増加はわずかである。

【1394】

以上のように、本発明では点灯率が低い画像では、duty比を1/1あるいは比較的大きくしている。duty比1/1では発光している画素は常時電流が流れている。したがって、1つの画素からみれば消費電流が大きい。しかし、EL表示パネルにおいて、発光している画素が少ないため、EL表示パネル全体からみれば、消費電力の増加はほとんどない。EL表示パネルでは黒部分は完全黒（非発光）である。したがって、duty比1/1で最高輝度が表示できればダイナミックレンジを拡大でき、メリハリのある良好な画像表示を実現できる。

【1395】

一方、本発明では点灯率が高い画像では、duty比を1/5など比較的小さくしている。また、点灯率に応じて、duty比が小さくなるように制御を行う。duty比が小さい時は発光している画素は間欠電流が流れている。したがって、1つの画素の消費電流は小さい。EL表示パネルにおいて、発光している画素は多いが、1画素あたりの消費電流が少ないため、EL表示パネル全体からみれば、消費電力の増加は少ない。

【1396】

以上のように点灯率に対してduty比を制御する本発明の駆動方法はEL表示パネルなどの自己発光表示パネルに最適な駆動方法である。duty比が小さくなれば画像輝度は小さくなるが、画面全体として発生光束が多いため、暗くなったという印象は感じられない。

【1397】

以上のように、duty比制御と、基準電流制御の一方または両方を実施することにより、画像のコントラスト比を拡大でき、ダイナミックレンジを拡大され、低消費電力化を実現できる。

【1398】

以上の制御は点灯率を用いて行う。点灯率は先にも説明したが、通常の駆動（duty比1/1）では、アノードまたはカソードに流れ込む（流れ出す）電流の大きさである。点灯率が増加すると比例してアノードまたはカソード端子の電流は増加する。前記電流は基準電流の大きさに比例して増減し、また、duty比に比例して増減する。なお、本発明はduty比、基準電流は点灯率により、変化させることに特徴ある。つまり、duty比、基準電流は固定ではない。画像の表示状態に応じて少なくとも複数の状態に変化させる。

【1399】

点灯率が0に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現す

10

20

30

40

50

れば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。

【1400】

以上の実施例では、点灯率が0では、 $duty$ 比を $1/1$ にするとしたが、本発明はこれに限定するものではない。図102に図示するように、 $duty$ 比を1より小さい値となるようにしてもよいことは言うまでもない。図102では、実線は点灯率0で、 $duty$ 比 $=0.8$ 、点線は点灯率0で、 $duty$ 比 $=0.6$ である。

【1401】

$duty$ 比のカーブは図103に図示するように曲線となるようにしてもよい。なお、曲線とは、サインカーブ状、円弧状、三角形状が例示される。

10

【1402】

$duty$ 比に最大値を設ける場合は、少なくとも点灯率20%以上50%以下の範囲でいずれかの位置で最大値となるようにすることが好ましい。この範囲は、画像表示でよく出現する。したがって、 $duty$ 比を $1/1$ など、他の点灯率の範囲よりも大きくすることにより、画像が高輝度表示しているように認識されるからである。たとえば、点灯率35%で $duty$ 比を $1/1$ とし、点灯率20%、60%では $duty$ 比を $1/2$ とする制御方式が例示される。

【1403】

点灯率に応じて階段状に制御してもよい。階段状とは、たとえば、点灯率0%以上20%以下の場合は、 $duty$ 比を $1/1$ とし、点灯率20%より大きく60%以下の場合は、 $duty$ 比を $1/2$ とし、点灯率60%より大きく100%以下の場合は、 $duty$ 比を $1/4$ とする制御方法を言う。

20

【1404】

図104に図示するように、赤(R)、緑(G)、青(B)の画素で、 $duty$ 比カーブを変化させてもよい。図104では、青(B)の $duty$ 比の変化の傾きを最も大きくし、緑(G)の $duty$ 比の変化の傾きを次に大きくし、赤(R)の $duty$ 比の変化の傾きを最も小さくしている。以上のように駆動すれば、RGBのホワイトバランス調整を最適にすることができる。もちろん、1色を一定(点灯率が変わっても変化させない)とし、他の2色を点灯率に応じて変化するように制御してもよい。

30

【1405】

点灯率と $duty$ 比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。また、ホトセンサあるいは温度センサから出力により自動で、 $duty$ 比、基準電流比などを調整できるように構成することが好ましい。たとえば、周囲温度(パネル温度)が高い場合は、 $duty$ 比を低下($1/4$ など)させることにより、パネルに流れ込む消費電流を抑制することができ、パネルの自己発熱が低下し、結果としてパネル温度を低下させることができる。したがって、パネルが熱劣化することを防止できる。

【1406】

図444は、本発明の表示装置において、温度検出部などの説明図である。図444において、4441はシート状の温度センサである。温度センサ4441はパネルの裏面基板(図444では封止基板40)と筐体(シャーシ)1253間に配置されている。

40

【1407】

シャーシ1263は熱伝導率がよい金属で形成されており、温度センサ4441とシャーシ4441間および封止基板40と温度センサ4441間には熱伝導率のよいシリコングリスが塗布されている。シリコングリスによりアレイ基板30から発熱した熱はシャーシに伝導され効率よく放熱される。温度センサ4441は、白金膜をシートに薄く蒸着したもの、薄型のポジスタ、カーボン抵抗膜などが例示される。

【1408】

50

温度センサ４４４１は、封止フタ４０あるいはアレイ３０に凹部を形成し、この凹部に温度センサ４４４１を挿入することで良好に温度変化を追従することができる。なお、凹部とは図３の封止フタ４０とアレイ３０間の空間でもよい。特に、有機ＥＬは透過型ではないため、裏面に光遮光物を配置してもよい。したがって、温度センサ４４４１も表示パネルの中央部に配置することができる。温度センサ４４４１は、表示パネルの表示領域の裏面の複数箇所に配置してもよいことはいうまでもない。

【１４０９】

温度センサ４４４１には一定の定電流Ｉが供給されている。温度センサ４４４１が加熱されると抵抗値が増大し、端子ａ、ｂ間の抵抗値が増大する。この抵抗値変化を検出器４４４３で検出し、検出結果はコントローラ回路（ＩＣ）７６０に伝送される。コントローラ回路（ＩＣ）７６０は検出器４４４３の結果に基づき、ｄｕｔｙ比制御、基準電流比制御などを実施し、アレイ３０などが一定以上に加熱されることを抑制する。また、温度センサをアノード線あるいはカソード線に直列に挿入し、温度センサ４４４１の抵抗変化によりアノード線などから供給する電圧Ｖｄｄを低減させてもよい。

【１４１０】

図２５２（ａ）は周囲温度により基準電流比を変化させた実施例である。周囲温度が高くなるにしたがって、基準電流を抑制し（小さくし）、パネルの消費電流を低減して自己発熱を抑制している。図２５２（ｂ）は周囲温度によりｄｕｔｙ比を変化させた実施例である。周囲温度が高くなるにしたがって、ｄｕｔｙ比を小さくし、パネルの消費電流を低減して自己発熱を抑制している。なお、図２５２（ａ）の基準電流比制御と、図２５２（

【１４１１】

上記の実施例では温度センサ４４４１は温度により抵抗が変化するものとして例示したが本発明はこれに限定するものではない。赤外線検出によりコントローラ回路（ＩＣ）７６０に指示を発するものでもよい。また、温度変化により電磁波を発生するものでもよい。つまり、パネルの温度変化を検出できるものであればいずれでもよい。

【１４１２】

温度変化は温度変化を積分し、その積分値が所定値を超えた時、ｄｕｔｙ比制御などの電流抑制手段を動作させるように制御してもよい。なお、積分時には、パネルからの放熱によるパネル温度の低下を考慮することが好ましい。したがって、単純に積分値で制御するのではなく、放熱量分を減算して制御する。放熱量は実験などにより容易に導出できる。

【１４１３】

本発明は温度センサで温度あるいはそれに類するもの（たとえば、赤外線の放出量など）を検出し、ｄｕｔｙ比制御などを実施し、パネルが過熱され劣化することを防止するものであった。しかし、本発明はこれに限定するものではない。図４６８は本発明の他の実施例である。

【１４１４】

図４６８は、アノードあるいはカソードに流れる電流もしくはパネルのＥＬ素子１５に流れる電流よりパネルの消費電流を計算し、パネルの温度を予測あるいは推定して、パネルの過熱状態を把握し、ｄｕｔｙ比制御、基準電流比制御などのパネル消費電流を抑制あるいは減少させる手段あるいは方法などを実施するものである。

【１４１５】

電流駆動方式は、電流と輝度が直線（比例）の関係にある。そのため、図８８などでも説明したように、映像データの総和などを算出することにより、パネルの消費電力を求めることができる。１画面の映像データの総和を時間軸で積分すれば電力量あるいは電力量を示す指標になる。また、電力と発熱の関係、発熱と放熱に冷却の関係は実験により導出することができる。

【１４１６】

以上のことから、映像データの総和を求め、総和を積分し、また、積分値から放熱量を減算することにより、パネル温度を推定あるいは予測することができる。予測の結果、パネル温度が規定以上の上昇する場合あるいは可能性があるとき、duty比制御、基準電流比制御などを実施して、パネルの消費電力を抑制する。また、抑制によりパネルが規定温度以下に低下したと予測される時は、通常のduty比制御、基準電流比制御などを実施する。

【1417】

図468は上記に説明した本発明の駆動方式の実施例である。映像データ（赤はRDAT A、緑はGDAT A、青はBDAT A）は、重みづけされる。重みづけは、EL素子15はRGBで発光効率が異なるため、単純な映像データの加算では、消費電力を予測あるいは推定することができないからである。

10

【1418】

以上の事項は、図88などの実施例においても説明をしたので説明を省略する。なお、説明を容易にするため、入力データはRGBデータ（赤はRDAT A、緑はGDAT A、青はBDAT A）としているがこれに限定するものではない。YUV（輝度データと色度データ）であってもよい。YUVの場合は、Y（輝度）データあるいはYデータとUV（色度）データに直接にあるいは、色度に対する発光効率を考慮して輝度データなどに変換して重みづけ処理を行う。

【1419】

なお、この動作を実施する場合も現動作状態のduty比を考慮することは言うまでもない。duty比が小さければ、重みづけを行ったデータが大きくともパネルに流れ込む電流は小さく、パネルが過熱状態とはならないからである。

20

【1420】

RDAT Aには、定数A1が乗算される。GDAT Aには、定数A2が乗算される。BDAT Aには、定数A3が乗算される。乗算されたデータは総和回路（SUM）884で1画面分の電流データ（もしくは類似するデータ）が求められる。総和回路884は比較回路4681に送る。比較回路4681はあらかじめ設定された比較データ（所定の電流データ以上では過熱状態であることを示すために設定された値またはデータ）と比較し、電流データが比較データ以上の場合、カウンタ回路4682を制御し、カウンタ回路4682のカウンタ値を1つアップする。また、電流データが比較データよりも小さい時、カウンタ回路4682のカウンタ値を1つダウンする。

30

【1421】

以上の動作を継続し、カウンタ回路4682のカウンタ値が所定以上に到達した場合、コントローラ回路（IC）760は、ゲートドライバ12bを制御して、duty比を小さくし、パネルに流れる電流を抑制する。したがって、パネルが過熱状態になり劣化することがなくなる。

【1422】

定数A1、A2、A3は、コントローラ回路（IC）760によりコマンドで書き換えできるように構成することが好ましいことは言うまでもない。もちろん、ユーザーが手動で書き換えできるように構成してもよいことは言うまでもない。比較回路4681の比較データも書き換えできるように構成することが好ましいことは言うまでもない。

40

【1423】

また、EL素子15は温度依存性があるため、パネルの温度により定数を書き換えるように構成することが好ましい。また、点灯率によっても（EL素子15に流れる電流の大きさによっても）発光効率が変化する。したがって、点灯率によっても定数を書き換えるように構成することが好ましい。また、図88などにおいても説明をしているので他の説明が類似あるいは同様であるので説明を省略する。

【1424】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてduty比、基準電流などを変化させるとのフリッカが発生する。したがって、あるduty比から

50

他の duty 比などに变化する時は、図 98 に図示するように、ヒステリシス（時間遅延）を設けて变化させることが好ましい。たとえば、ヒステリシス期間を 1 sec とすると、1 sec 期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前の duty 比が維持される。つまり、duty 比は变化しない。以上の事項は、基準電流制御などにも適用できることは言うまでもない。なお、図 98 に図示するように变化は、R、G、B で異ならせても良い。

【1425】

このヒステリシス（時間遅延）時間を Wait 時間と呼ぶ。また、变化前の duty 比を变化前 duty 比と呼び、变化後の duty 比を变化後 duty 比と呼ぶ。なお、ヒステリシス（時間遅延）と呼ぶが、ヒステリシスには、变化をゆっくりと行う意味も含まれる。たとえば、duty 比 $1/1$ から $1/2$ に变化させる時、2 秒の時間をかけてゆっくりと变化させる例が例示される（ほとんど、制御はこの方式である）。この実施例を図 253 に示している。図 253（a）のパネル温度の変化に対して、図 253（b）に図示するように duty 比がゆっくりと变化させるようにコントローラ回路（IC）760 が制御される。

10

【1426】

同様のことは、基準電流比制御にも適用される。この実施例を図 254 に示している。図 254（a）のパネル温度の変化に対して、図 254（b）に図示するように、基準電流比がゆっくりと变化させるようにコントローラ回路（IC）760 が制御される。

【1427】

变化前 duty 比が小さい状態から、他の duty 比に変化する時は、変化によるフリッカの発生が起こりやすい。变化前 duty 比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。

20

【1428】

特に中間調あるいは点灯率が中央値付近では変化はゆっくりと行う。画面が中間調の表示で視感度が高いためと思われる。また、duty 比が小さい領域では、変化 duty 比との差が大きくなる傾向がある。もちろん、duty 比の差が大きくなる時は、OEV を用いて制御する。しかし、OEV 制御にも限界がある。以上のことから、变化前 duty 比が小さい時は、wait 時間を長くする必要がある。

【1429】

变化前 duty 比が大きい状態から、他の duty 比に変化する時は、変化によるフリッカの発生が起こりにくい。变化前 duty 比が大きい状態は、画面のデータ和が大きい状態あるいは画面に白表示部が多い状態である。したがって、画面全体が白表示で視感度が低いためと思われる。以上のことから、变化前 duty 比が大きい時は、wait 時間は短くてよい。

30

【1430】

以上の関係を図 98 に図示する。横軸は变化前 duty 比である。縦軸は Wait 時間（秒）である。duty 比が $1/16$ 以下では、Wait 時間を 3 秒（sec）と長くしている。たとえば、B（青）では duty 比が $1/16$ 以上 duty 比 $8/16$ （ $=1/2$ ）では、duty 比に応じて Wait 時間を 3 秒から 2 秒に変化させる。duty 比 $8/16$ 以上 duty 比 $16/16 = 1/1$ では、duty 比に応じて 2 秒から 0 秒近傍に変化させる。

40

【1431】

以上のように、本発明の duty 比制御は duty 比に応じて Wait 時間を変化させる。duty 比が小さい時は Wait 時間を長くし、duty 比が大きい時は Wait 時間を短くする。つまり、少なくとも duty 比を可変する駆動方法にあって、第 1 の变化前の duty 比が第 2 の变化前の duty 比よりも小さく、第 1 の变化前 duty 比の Wait 時間が、第 2 の变化前 duty 比の Wait 時間よりも長く設定することを特徴とするものである。

【1432】

50

以上の実施例では、変化前 $duty$ 比を基準にして $Wait$ 時間を制御あるいは規定するとした。しかし、変化前 $duty$ 比と変化後 $duty$ 比との差はわずかである。したがって、前述の実施例において変化前 $duty$ 比を変化後 $duty$ 比と読み替えても良い。

【1433】

以上の実施例において、変化前 $duty$ 比と変化後 $duty$ 比を基準にして説明した。変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $Wait$ 時間を長く取る必要があることは言うまでもない。また、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることが良好であることは言うまでもない。

【1434】

本発明の $duty$ 比制御方法は、変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $Wait$ 時間を長く取る駆動方法である。つまり、 $duty$ 比の差に応じて $Wait$ 時間を変化させる駆動方法である。また、 $duty$ 比の差が大きい時に $Wait$ 時間を長く取る駆動方法である。なお、先にも説明したように $Wait$ 時間あるいはヒステリシスとは、ゆっくりと変化させる意味である。もちろん、広義には、変化を開始するのを遅延させるという意味もあることは言うまでもない。

【1435】

本発明の $duty$ 比の方法は、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることを特徴とする駆動方法である。

【1436】

以上の実施例では、 $duty$ 比に対する $Wait$ 時間を、R（赤）G（緑）B（青）で異ならせるとして説明した。しかし、本発明は、R、G、Bで $Wait$ 時間を変化させてもよいことは言うまでもない。RGBで視感度が異なるからである。視感度にあわせて $Wait$ 時間を設定することにより、より良好な画像表示を実現できる。

【1437】

以上の実施例は、 $duty$ 比制御に関する実施例であった。基準電流制御についても $Wait$ 時間を設定することが好ましい。

【1438】

以上のように、本発明の駆動方法では、 $duty$ 比、基準電流は急激に変化させない。急激に変化させると変化状態がフリッカとして認識されてしまうからである。通常、0.2秒以上10秒以下の遅延時間で変化させる。以上の事項は、後に説明するアノード電圧の変化制御、プリチャージ電圧の変化制御、周囲温度による変化制御（パネル温度により、 $duty$ 比、基準電流を変化させる）などにも適用できることは言うまでもない。基準電流が小さい時は表示画面144が暗く、基準電流が大きい時は表示画面144が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、 $Wait$ 時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、 $Wait$ 時間が短くても良い。

【1439】

以上のような、 $duty$ 比制御は、1フレームあるいは1フィールドで完結する必要はない。数フィールド（数フレーム）の期間で $duty$ 比制御を行っても良い。この場合の $duty$ 比は数フィールド（数フレーム）の平均値を $duty$ 比とする。なお、数フィールド（数フレーム）で $duty$ 比制御を行う場合であっても、数フィールド（数フレーム）期間は、6フィールド（6フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、2.5フレーム（2.5フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。

【1440】

以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、図2、図7、図8、図9、図11、図12、図13、図28、図31、図36などの他の

画素構成のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。動画と静止画とでは、duty比パターンを変化させる。duty比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画のduty比と静止画のduty比との差異によって発生する。動画では非表示領域192を一括して挿入するduty比パターンを用いる。静止画では非表示領域192を分散して挿入するduty比パターンを用いる。非表示領域192の面積／画面面積144の比率がduty比となる。しかし、同一duty比であっても、非表示領域192の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

【1441】

10

中間動画は、非表示領域192の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域192が3分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

【1442】

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、表示画面144が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態に移行させてもよい。たとえば、動画表示のduty比状態から、中間動画表示1のduty比状態に移行し、さらに中間動画表示2のduty比状態に移行してから静止画表示のduty比状態に移行させてもよい。

20

【1443】

動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はWait時間をおくことが好ましい。また、静止画から動画あるいは中間動画に移行する時は、非表示領域192の変化がゆっくりとなるようにする。

30

【1444】

FRC（フレームレートコントロール）と動画表示とは関係する。FRCで用いるフレーム数（たとえば、4FRCでは、4フレームを用いて、2ビット分の階調表示（階調数を4倍）にする。16FRCでは、16フレームを用いて、4ビット分の階調表示（階調数を16倍）にする。しかし、nFRC（nは2以上の整数）のn（フレーム数）が増加すると、静止画では問題がないが、動画では、動画性能が低下する。したがって、動画表示では、nFRCのnは小さい方が望ましい。また、動画表示では、一定以上の階調数は必要でない。ほとんどの場合が、256階調以下で十分である。一方、静止画では、多くの階調数が必要である。

【1445】

40

本発明では、この課題を解決するため、図443に図示するように、動画画素の割合にもとづいて、nFRCのn数（FRC数と呼ぶ）を変化させている。動画画素の割合とは、フレーム演算により、動画の画素として判断された画素の割合である。

【1446】

たとえば、第1フレームと次の第2フレーム間で、同一位置の画素データの差分を求め、差分の値が一定以上ある場合に動画画素と判定する。1パネルの画素数が10万画素とすれば、前記差分演算により動画画素と判定された画素の割合が2.5万画素であれば、動画画素の割合は25%である。

【1447】

図443の実施例では、動画画素の割合が0%～25%以下で、完全静止画あるいはそ

50

れに近いと判断し、16 FRC ($n = 16$)としている。また、動画画素の割合が25%~50%以下で、動画に近い中間画像と判断し、12 FRC ($n = 12$)としている。また、動画画素の割合が50%~75%以下で、静止画に近い中間画像と判断し、8 FRC ($n = 8$)としている。動画画素の割合が75%以上で、完全動画あるいはそれに近いと判断し、1 FRC ($n = 1$ つまりFRC制御しない)としている。

【1448】

以上のように、表示画像の内容にもとづいて、FRCを変化させることのより最適な画像表示を実現できる。FRCの変更はコントローラ回路(IC)760により行う。

【1449】

FRCの変更は、画像のシーンが急変する時に実施することが好ましい。画像シーンが急変する状態とは、画面がコマーシャルに変化したとき、チャンネルを切り換えた時、ドラマのシーンが変化したときなどが例示される。なお、シーンの急変時は、本発明のピーク電流抑制、duty比制御でも説明をしている。

【1450】

したがって、動画画像の割合が変化した場合にリアルタイムでn FRCのFRC数を変化させると画面がフリッカ的な表示状態になる。したがって、シーンの急変時にFRC数を変化させることが好ましい。

【1451】

図16、図75などでプリチャージ駆動について説明をした。プリチャージ電圧の印加は点灯率あるいはduty比と連動させることが好ましい。プリチャージ電圧の印加は必要がない箇所には印加しないことが好ましい。白表示の輝度低下などが発生する場合があるからである。したがって、プリチャージ電圧の印加は限定されることが好ましい。

【1452】

プリチャージ駆動は、特に電流駆動方式において、白表示部の下にクロストークする現象を解消するために実施する。したがって、このクロストークが目立つのは、画面に黒表示部が多く、一部に白表示がある画像である。点灯率で示せば、点灯率が小さい領域でプリチャージが必要である。表示画面144全体が白表示であればクロストークが発生しても視覚的に認識されることはないからである。したがって、プリチャージ駆動は実施する必要がない。

【1453】

本発明は点灯率が高い(表示画面144において全体的に白表示部分が多い)時に、duty比を小さくする。つまり、duty比 $1/n$ の n を大きくする。点灯率が低い(表示画面144の全体的に黒表示部分が多い)時に、duty比を大きくする。つまり、duty比 $1/1$ に近づく。したがって、duty比と点灯率とは相関関係がある。映像データから点灯率(点灯率)を求め、点灯率からduty比制御を行うのであるから当然である。また、点灯率をプリチャージ制御とも関係がある。

【1454】

図105(a)に図示するように、duty比と点灯率(%)の関係があるとする。図105(b)はプリチャージのオンオフ状態を示している。図105(b)では、duty比が20%以下でプリチャージ駆動するように設定している。ただし、プリチャージ駆動するとしても、本発明のプリチャージ駆動には、allプリチャージモード、適応型プリチャージモード、0階調プリチャージモード、選択階調プリチャージモードがある。したがって、図105(b)ではプリチャージ駆動が実施されるように設定するというポイントであり、どのプリチャージが行われるかにより駆動状態は異なる。重要なのは、duty比あるいは点灯率により、プリチャージ駆動をするかしないかを変化させることである。

【1455】

duty比あるいは点灯率(%)とガンマ制御も相関がある。図106はその説明図である。点灯率が高い画像では、全体的に輝度が高い画像が多い。そのため、画像が白っぽくなる。そのため、ガンマ定数の係数(通常、係数は2.2とされている)を大きくして

、黒階調領域の面積を多くすることが好ましい。黒階調領域の面積を多くすることにより画像のメリハリ感がつく。

【1456】

点灯率に対する $duty$ 比を図107であるとする。図107の制御では、表示画像の点灯率が100%に近いと $duty$ 比はほぼ $1/4$ にする。階調は輝度と比例する。点灯率が高い画像では、画像の階調表示がつぶれて解像度のない画像になっていしまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。

【1457】

以上のことから、本発明では、点灯率あるいは $duty$ 比に応じて、ガンマカーブの係数を変化させている。図106はその説明図である。

【1458】

本発明は点灯率が高い（表示画面144の全体的に白表示部分が多い）時に、 $duty$ 比を小さくする。つまり、 $duty$ 比 $1/n$ の n を大きくする。点灯率が低い（表示画面144の全体的に黒表示部分が多い）時に、 $duty$ 比を大きくする。つまり、 $duty$ 比 $1/1$ に近づく。したがって、 $duty$ 比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率から $duty$ 比制御を行うのであるから当然である。図106（a）に図示するように、 $duty$ 比と点灯率（%）の関係があるとする。図106（b）のグラフは縦軸をガンマカーブの係数を示している。図106（b）では、 $duty$ 比が70%以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

【1459】

図108（a）（b）に図示するように、 $duty$ 比が一定以上の小さい領域でガンマ係数を大きくすることも画像表示を改善できる場合がある。以上のように、点灯率（画像のデータと）に対応して、ガンマカーブを変化させることにより、メリハリのある画像表示を実現できる。図256では点灯率に対してガンマ係数を変化させた実施例である。

【1460】

$duty$ 比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、ELは電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスタ表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。

【1461】

本発明では、点灯率が高いときに、 $duty$ 比制御の $1/n$ の n を大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、 $duty$ 比を $1/1 = 1$ または $1/1$ に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。

【1462】

まず、点灯率（点灯率）と $duty$ 比の関係を図107に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、EL表示パネルではBの発光効率が悪いので、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データととは単純な映像データの加算値ではなく、映像データを消費電流に換算したものである。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【1463】

図107は点灯率0%の時に、 $duty$ 比を $1/1$ とし、点灯率100%の時に最低 $duty$ 比を $1/4$ とした例である。図109は、電力と点灯率との掛算をした結果である。図107で点灯率が0から100%まで、絶えず $duty$ 比 $1/1$ であれば、図109

のaで示すカーブとなる。図109の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブaでは、点灯率と消費電力は比例関係にある。したがって、点灯率0%で消費電力は0（電力比0）であり、点灯率100%では、消費電力100（電力比100%）となる。

【1464】

図109のカーブbは、図107のduty比カーブで電力制限を実施した実施例である。点灯率100%の時のduty比は1/4であるから、カーブaに比較して、電力比は1/4の25%になる。カーブbは電力1/3よりも小さい範囲で動作している。したがって、図107のようにduty比制御を実施すると、電源容量は、従来（カーブa）に比較して1/3で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。

10

【1465】

従来（カーブa）で点灯率が高い状態がつづくパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、duty比制御を実施した本発明ではカーブbでわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。

【1466】

図107のduty比カーブにおいて、最低duty比を1/2にした実施例がカーブcである。また、最低duty比を1/3にして実施例がカーブdである。同様に最低duty比を1/8にして実施例がカーブeである。

20

【1467】

図107はduty比カーブを直線にしたものあった。しかし、duty比カーブは、多種多様な直線あるいは曲線で発生させることができる。たとえば、図110(a1)は、電力比が30%以下となるようにする（図110(a2)を参照のこと）duty比制御カーブである。図110(b1)は電力比が20%以下となるようにする（図110(b2)を参照のこと）duty比制御カーブである。以上のようにduty比カーブあるいは基準電流比カーブは、マイコンなどのプログラミングあるいは外部制御により、可変できるように構成することが好ましい。

【1468】

duty比制御カーブは、ユーザーが外部環境に応じてボタンで自由に図110(a)、(b)を切り換えるようにする。明るい外部環境では、図110(a1)のduty比カーブを選択し、外部環境が暗いときは、図110(b1)のduty比カーブを選択するようにする。また、duty比制御カーブは自由に変更できるように構成しておくことが好ましい。

30

【1469】

以上の実施例では、基準電流が1の時を基準にして説明し、また、duty比の最大は1/1であるとして説明をした。しかし、本発明はこれに限定するものではない。たとえば、図111に図示するように、基準電流は、1/2を中心として1あるいは1/3などに変化させてもよい。また、最大を0.5としてもよい。duty比も0.25を中心として0.5やそれ以下に変化させてもよい。また、最大は0.5をしてよい。

40

【1470】

図112に図示するように、基準電流の最小値を1とし、最大値を3として、複数の値に変化させて用いても良い。また、duty比も図113に図示するように、点灯率の80%で最低とし、100%あるいは60%で大きくするように制御してもよいことはいうまでもない。

【1471】

図114(a)(b)に図示するように、基準電流は、2を中心として3あるいは1などに変化させてもよい。また、最大を3としてもよい。duty比も0.5を最大として、0.25などに変化させてもよいことは言うまでもない。図115(a)(b)においても同様である。

50

【1472】

図116に図示するように、低点灯率領域（図116では点灯率20%以下）でduty比を低下させ（図116（a））、duty比の低下にあわせて、基準電流比を上昇させ（図116（b））てもよい。以上のようにduty比制御と基準電流比制御を同時に行うことにより、図116（c）で図示するように輝度の変化はなくなる。低点灯率では低階調領域でのプログラム電流の書き込み不足が顕著に目立つ。しかし、図116に実施するように低点灯率領域で基準電流を増加させることによりプログラム電流を基準電流に比例して増加させることができるので電流の書き込み不足がなくなる。かつ輝度も一定であるから良好な画像表示を実現できる。

【1473】

図116において、点灯率が高い領域（図116では40%以上）では、duty比は低下させるが、基準電流比は1のまま一定とする。したがって、輝度はduty比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。なお、duty比の最大を1/1とする駆動方法では、非表示領域192は一括して挿入することが好ましい。

【1474】

ff基準電流比、duty比と点灯率との関係は以下に説明するように一定の関係を保つことが好ましい。フリッカの発生が増加またはパネルの自己発熱による劣化が加速されるからである。図267はその一例である。図267（c）において縦軸のAはduty比×基準電流比を示している。基本的に点灯率が低い領域では、Aは1近傍になるように制御することが好ましい。また、点灯率が高い領域では、Aは1よりも小さくなるように制御することが好ましい。

【1475】

検討の結果によれば、点灯率が30%以下の領域では、duty比×基準電流比（A）が0.7以上1.4以下にすることが好ましい。さらに好ましくは0.8以上1.2以下にすることが好ましい。また、点灯率が80%以下の領域では、duty比×基準電流比（A）が0.1以上0.8以下になるように制御あるいは設定することが好ましい。また、さらに好ましくは0.2以上0.6以下になるように制御あるいは設定することが好ましい。

【1476】

あるいは、点灯率50%の時のduty比×基準電流比をAとした時、点灯率が30%以下の領域では、duty比×基準電流比×Aが0.7以上1.4以下に設定あるいは制御することが好ましい。さらに好ましくは0.8以上1.2以下に設定あるいは制御することが好ましい。また、点灯率が80%以下の領域では、duty比×基準電流比×Aが0.1以上0.8以下に設定あるいは制御することが好ましい。さらに好ましくは0.2以上0.6以下に設定あるいは制御することが好ましい。

【1477】

図267の実施例では、低点灯率領域（図267では点灯率25%以下）でduty比を低下させ、逆比例して基準電流比を上昇させている。したがって、duty比×基準電流比であるAは略1の関係が保持される。そのため、画面144の輝度の変化はなく、プログラム電流の大きさが大きくなり電流プログラムの書き込み不足が改善される。

【1478】

高点灯率領域（図267では点灯率75%以上）でduty比を低下させ、一方、基準電流比も低下させている。したがって、duty比×基準電流比であるAは、点灯率が大きくなるにしたがって0.25に近づくように制御される。そのため、点灯率が高くなるにしたがって、画面144の輝度が低下し、消費電流も低下する。したがって、パネルの自己発熱量がA×点灯率に比例して低下する。

【1479】

一般的に、EL表示パネルが15インチ以下の中小型の場合は、図269の点線に示す関係で駆動を実施することが好ましい（点灯率が高いときにduty比×基準電流比を低

10

20

30

40

50

下させる)。EL表示パネルが15インチ以上の大型の場合は、図269の実線に示す関係で駆動を実施することが好ましい(点灯率が高いときにduty比×基準電流比を低下させ、点灯率が低いときにduty比×基準電流比を上昇させる)。

【1480】

本発明の電源回路の効率グラフを図268(a)に図示している。出力電流が中間より高いときに効率がよい。したがって、出力電流は一定以上の出力を平均的に使用することが好ましい。

【1481】

図269の点線のように制御を実施すると、電力の相対的变化割合(電力比)は図268(b)の点線のようにになる。図269の実線のように制御を実施すると、電力の相対的变化割合(電力比)は図268(a)の実線のようにになる。実線では、低点灯率では電力が増加する。しかし、点灯率が低いため消費電力はほとんど増加しない。書き込み不足が改善する効果の利点のほうが大きい。

【1482】

duty比が1/6以上もしくは好ましくは1/4以上では、非表示領域192は一括して挿入(図54(a1)~(a4)など)することが好ましい。また、duty比が1/6以下もしくは好ましくは1/4より小さい時では、非表示領域192は分割して挿入(図54(b1)~(b4)、図54(c1)~(c4)など)することが好ましい。

【1483】

本発明は第1の点灯率(アノード端子のアノード電流、データの総和に対する比率などでもよいことは以前に説明をした)もしくは点灯率範囲(アノード端子のアノード電流範囲、データの総和に対する比率の範囲などでもよいことは以前に説明をした)において、第1のFRCあるいは点灯率あるいはアノード(カソード)端子に流れる電流あるいは基準電流あるいはduty比あるいはパネル温度、基準電流比とduty比との積などもしくはこれらの組合せとして変化させる。

【1484】

また、第2の点灯率(アノード端子のアノード電流などでもよい)もしくは点灯率範囲(アノード端子のアノード電流範囲などでもよい)において、第2のFRCあるいは点灯率あるいはアノード(カソード)端子に流れる電流あるいは基準電流あるいはduty比あるいはパネル温度、基準電流比とduty比との積などもしくはこれらの組合せとして変化させる。もしくは、点灯率(アノード端子のアノード電流などでもよい)もしくは点灯率範囲(アノード端子のアノード電流範囲などでもよい)に応じて(適応して)、FRCあるいは点灯率あるいはアノード(カソード)端子に流れる電流あるいは基準電流あるいはduty比あるいはパネル温度、基準電流比とduty比との積など、もしくはこれらの組合せとして変化させるものである。また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっくりと変化させる。

【1485】

本発明において、プリチャージ駆動方法について説明した。また、点灯率の概念に関しても説明を行った。プリチャージ電圧は、点灯率によって変化させることも有効である。なお、点灯率とは、duty比制御を行っていない場合は、消費電流と同義である。つまり、点灯率は、画像データの加算により導出される。電流駆動の場合は、画像データと消費電力は比例し、画像データから点灯率が導出されるからである。

【1486】

プリチャージ駆動は、電圧駆動と類似する。ソース信号線18に電圧を印加し、駆動用トランジスタ11aのゲート電圧にプリチャージ電圧を印加することにより、駆動用トランジスタ11aがEL素子15に電流を流さないようにするものだからである。したがって、プリチャージ電圧の基準原点は、アノード電位(Vdd)である。もちろん、駆動用トランジスタがNチャンネルの場合は、プリチャージ電圧の原点はカソードである。本明細書では、説明を容易にするため、図1に図示するように駆動用トランジスタ11aはPチャンネルとして説明する。

10

20

30

40

50

【1487】

アノード電位が変化するとプリチャージ電圧の変化させる必要がある。アノード電位（ V_{dd} ）は変化しないように、アノード配線2155を低抵抗値化する。しかし、点灯率が高い場合は、アノード配線（端子）に流れる電流量が多いため、電圧降下が発生する。電圧降下は消費電流に比例する。したがって、アノード電圧の電圧降下は点灯率に比例する。

【1488】

以上のことからプリチャージ電圧は点灯率に相関して変化させることが好ましい。または、アノード（カソード）端子に流れる電流（もしくは、EL表示パネルに流れる電流）に対応して、プリチャージ電圧変化させることが好ましい。

10

【1489】

本発明のソースドライバ回路は、図75に図示するように、電子ポリウム501を具備している。したがって、電子ポリウム501を制御することにより、容易にプリチャージ電圧を変化させることができる。なお、電子ポリウム501による制御だけでなく、ソースドライバ回路（IC）14の外部のDA回路などでプリチャージ電圧を発生させて印加してもよいことはいうまでもない。

【1490】

アノード端子で発生する降下電圧は、以下の処理により把握できる。まず、アノード電圧の発生源から各画素までの抵抗値は設計した段階でわかっている。抵抗値はアノード配線（アノード端子から画素16の駆動用トランジスタ11aまでの抵抗）の金属薄膜のシート抵抗値から決定されるからである。アノード端子に流れる消費電流は映像データの処理によりわかる。電流駆動方式では映像データの総和を求めればよい。以上のことは、図85、図88、図98、図103、図205、図107、図109などでduty比の導出、データと、点灯率（＝点灯率）などとして説明した。アノードに流れる電流が容易に導出できるのは電流プログラム方式の大きな特徴である。

20

【1491】

したがって、アノード配線の抵抗値と、アノード配線に流れる電流（パネルの消費電流）がわかれば、アノード端子に発生する電圧降下がわかることになる。消費電流は1フレームの画像データ処理によりリアルタイムで導出される。したがって、画素16でのアノード端子の電圧降下もリアルタイムで決定される。

30

【1492】

以上のことから、リアルタイムで画素16でのアノード電圧（電圧降下を考慮して）を導出し、この電圧降下分を考慮してプリチャージ電圧を決定する。なお、プリチャージ電圧の決定はリアルタイムで行うことに限定されるものではない。間欠的に行っても良いことはいうまでもない。なお、duty比制御を行う場合は、duty比によりアノードに流れる電流が変化する。したがって、duty比制御による消費電流を加味する必要がある。duty比が1/1の場合は、点灯率は消費電流（電力）と同一である。

【1493】

本発明では、基準電流比（あるいは基準電流の大きさ）を小さくする（たとえば、基準電流比4から1に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素16のEL素子15に流れる電流を少なくなるように制御することと同義あるいは類似である。同様に、duty比（あるいはdutyの大きさ）を小さくする（たとえば、duty比1/1から1/4に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素16のEL素子15に流れる電流を少なくなるように制御することと同義あるいは類似である。

40

【1494】

したがって、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素16のEL素子15に流れる電流が減少するように制御するあるいは増加するように制御することは、ゲートドライバ回路（IC）12を制御すること（たとえば、図14のス

50

タート信号 (ST) を制御すること) により実現できる。あるいはゲートドライバ回路 12 がゲート信号線 17b (EL 素子 15 に流れる電流を制御する信号線あるいは制御手段) の制御状態 (選択するゲート信号線 17 の本数) を変更あるいは調整あるいは動作させることにより容易に実現できる。また、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素 16 の EL 素子 15 に流れる電流が減少するように制御するあるいは増加するように制御することは、ソースドライバ回路 (IC) 14 を制御すること (たとえば、図 46、図 50、図 60 などの基準電流 I_c を制御すること) により実現できる。あるいはアノード電圧 V_{dd} を変化あるいは制御しても実現できる。

【1495】

本明細書では説明を容易にするため、基本的には図 117 などにおいては duty 比を 1/1 であるとして説明をする。つまり、点灯率とアノードに流れる電流は比例しているとする。

【1496】

なお、説明でアノード電流と点灯率は比例するとして説明をしている。しかし、図 1 などの画素構成ではアノード端子 (駆動用トランジスタ 11a のソース端子) には、ソースドライバ IC に流れ込むプログラム電流も加算されている。したがって、現実には多少異なる。また、アノード配線に流れる電流を中心に説明しているが、カソード配線に流れる電流と置き換えてもよいことは言うまでもない。

【1497】

図 117 (a) は点灯率に応じて画素 16 のアノード電圧が V_{dd} (点灯率 0%) から V_r (点灯率 100%) の電圧降下が発生することを図示している。図 117 (b) は点灯率に対する端子 155 に出力するプリチャージ電圧を示している。 V_{dd} から $D(V)$ 降下した位置に駆動用トランジスタ 11a の立ち上がり位置がある。したがって、 V_d から $D(V)$ 降下した電圧が点灯率 0% でのプリチャージ電圧となる。図 117 (b) の実線は、図 117 (a) のアノード端子の電圧降下 $V_r(V)$ をそのまま用いたものである。したがって、点灯率 100% のプリチャージ電圧は $V_{dd} - D - V_r$ である。

【1498】

図 117 (b) の点線は、点灯率 40% 以上と以下でプリチャージ電圧を変化させたものである。点灯率 40% まではプリチャージ電圧は $V_{dd} - D(V)$ とし、40% 以上ではプリチャージ電圧は $V_{dd} - D - V_r(V)$ としている。点線のように制御することにより、プリチャージ電圧の導出回路が簡単になる。

【1499】

アノード電圧 V_{dd} は、プログラム電流 I_w の大きさに左右される。図 1 の画素構成を例示して説明する。図 118 (a) に図示するように、電流プログラム時は、プログラム電流 I_w は駆動用トランジスタ 11a からソース信号線 18 に流れ込む。プログラム電流 I_w が大きい時は、駆動用トランジスタ 11a のチャンネル間電圧が大きくなる。図 118 (b) は図 118 (a) をグラフ化したものである。チャンネル間電圧 V_1 (実際には横軸の 0 が V_{dd} 電圧である) の時には、プログラム電流 I_1 が流れる。チャンネル間電圧 V_2 (実際には横軸の 0 が V_{dd} 電圧である) の時には、プログラム電流 I_2 が流れる。大きなプログラム電流 I_w を流すためには、アノード電圧 V_{dd} を高くする必要がある。

【1500】

以上の実施例は、プログラム電流 I_w が大きくなるとアノード電圧 V_{dd} を大きくする必要があるとしたが、逆に、プログラム電流 I_w が小さい時は、アノード電圧 V_{dd} は低くてよいということを意味する。アノード電圧 V_{dd} が低くなればパネルの消費電力を減少させることができ、駆動用トランジスタ 11a で消費される電力も減少させることができるので発熱を減少でき、EL 素子 15 の寿命も長くすることができる。

【1501】

プログラム電流 I_w は、基準電流の変化によっても変化する。基準電流 I_c が増加すれば、相対的にプログラム電流 I_w も大きくなる (画面の階調データが一定の場合、つまり

10

20

30

40

50

ラスト画面で論じている)。基準電流 I_c が減少すれば、相対的にプログラム電流 I_w も小さくなる。ここでは説明を容易にするため、プログラム電流 I_w の増大または減少は、基準電流 I_c の増大または減少と同義であるとして説明をする。

【1502】

図119は、本発明の電源回路の構成図である。 V_{in} は本体の電池（図示せず）からのアンレギュレータ電圧である。DCDCコンバータ1191aはGND電圧を基準とし、 V_{in} 電圧から昇圧してアノード電圧 V_{dd} を発生する。なお、説明を容易にするため、ソースドライバICの電源電圧 V_s とアノード電圧 V_{dd} とは同一であるとし説明をする。 $V_{dd} = V_s$ とすることにより、電源数が減少し、回路構成が容易となる。また、ソースドライバICに過電圧が印加されることがなくなる。DCDCコンバータ1191bはGND電圧を基準とし、 V_{in} 電圧から昇圧して基底電圧 V_{dw} を発生する。

10

【1503】

レギュレータ1193は、 V_{dd} 電圧を接地電圧として、 V_{dw} 電圧と V_{dd} 電圧からカソード電圧 V_{ss} を発生させる。以上の構成により、もし、 V_{dd} 電圧が上昇すれば、 V_{ss} 電圧も比例して上昇する。

【1504】

図1でも理解できるが、駆動用トランジスタ11aで定電流 I_w が発生させられ、EL素子15にプログラム電流 I_w が流れる。したがって、消費電力は、 V_{dd} と V_{ss} の電位差である。図119の構成では、 V_{dd} 電圧のシフトにより、 V_{ss} 電圧も同一方向にシフトする。したがって、アノード電圧が変化しても、EL素子15+駆動用トランジスタ11a間に印加される電圧は一定である。

20

【1505】

図118で説明したようにアノード電圧は、プログラム電流 I_w （基準電流 I_c ）が大きくなると高くする必要がある。GND電位が固定のためである。なお、アノード電圧の変化と同時にIC電圧の V_s も変化させる（ $V_{dd} = V_s$ ）。 $V_{dd} - V_{ss}$ が一定電圧で、 V_{dd} が高くなれば、EL素子15に印加される電圧が小さくなる。したがって、EL素子15は飽和領域で動作しなくなる。しかし、 I_w （ I_c ）が大きくしなければならぬ領域は、低点灯率の領域で、画素は高輝度制御が行われている。したがって、低点灯率で、かつ、高輝度表示の画素16の輝度が低下しても画像表示に影響はほとんどない。利点とする消費電力の方が大きい。

30

【1506】

$V_{dd} = V_s$ でない場合は、図120に図示するように、アノード電圧 V_{dd} とGND間に抵抗（ R_1 、 R_2 ）分割により発生さえればよい。 V_s 電圧は、IC内部でプリチャージ電圧の発生用として使用するためである。プリチャージ電圧は V_{dd} を基準とするため、 V_s と V_{dd} は連動している必要がある。なお、図120に図示するように、電解コンデンサCを挿入する。

【1507】

図121はゲートオフ電圧（ V_{gh} ）、ゲートオン電圧（ V_{gl} ）との関係を図示したものである（図180とその説明も参照のこと）。図121（a）は、アノード電圧 V_{dd} よりも V_{gh} 電圧を大きくしている。 V_{gl} 電圧は、 V_{ss} 電圧よりも高くしている。図121（b）は、アノード電圧 V_{dd} をシフトさせ、基準の電圧 V_{dd} よりも高くした状態である（電圧 V_{dd1} で示している）。図121（b）では、 V_{gh} 電圧は V_{dd} の変化と連動して高くしている。 V_{gl} 電圧は、図121（a）から変化させていない。図121（b）は、アノード電圧 V_{dd} をシフトさせ、基準の電圧 V_{dd} よりも高くした状態である（電圧 V_{dd1} で示している）。図121（b）では、 V_{gh} 電圧は、 V_{dd} の変化と連動させていない。 V_{gl} 電圧は、図121（a）から変化させていない。以上のように、ゲート信号線電圧 V_{gh} 、 V_{gl} 電圧はいずれでも良い。

40

【1508】

アノード電圧 V_{dd} とIC（回路）14の電源電圧 V_s （もしくは基準電圧）は同一にすることが好ましい。また、図75に図示するようにプリチャージ電圧を発生させる電子

50

ポリウム 501 の基準電圧 V_s もアノード電圧 V_{dd} にすることが好ましい。つまり、プリチャージを発生する回路電源電圧と IC (回路) 14 の電源電圧 (基準電圧) V_s とアノード電圧 V_{dd} は略一致させる。なお、略一致とは、 ± 0.2 (V) 以内の範囲を意味する。もちろん、完全に一致させることが好ましいことは言うまでもない。

【1509】

プリチャージ電圧を発生させる電子ポリウム 501 の基準電圧 V_s 、アノード電圧 V_{dd} 、回路 (IC) 14 の電源電圧 V_s は連動させる。たとえば、アノード電圧 V_{dd} が上昇すれば、プリチャージ電圧を発生させる電子ポリウム 501 の基準電圧 V_s も上昇させる。また、回路 (IC) 14 の電源電圧も上昇させる。逆に、アノード電圧 V_{dd} が降下すれば、プリチャージ電圧を発生させる電子ポリウム 501 の基準電圧 V_s も降下させる。また、回路 (IC) 14 の電源電圧も降下させる。

10

【1510】

以上のように連動させるのは、プリチャージ電圧は、駆動用トランジスタ 11a の V_{dd} (つまり、駆動用トランジスタ 11a のソース端子電位) を基準にして発生させることが好ましいからである。つまり、アノード電圧 V_{dd} が上昇すれば、プリチャージ電圧も連動して上昇させることが好ましい。したがって、電子ポリウム 501 の基準電圧 (IC (回路) 14 の電源電圧) V_s も上昇させる。一方で、電子ポリウム 501 はソースドライバ回路 (IC) 14 内に内蔵させているため、当然のことながら電子ポリウム 501 は IC の電源電圧 (耐圧) を超えることができない。

20

【1511】

実際には、ソースドライバ回路 (IC) 14 から出力できるプリチャージ電圧は、IC (回路) 14 の電源電圧 -0.2 (V) 程度となる。したがって、プリチャージ電圧が上昇すれば、IC (回路) 14 の電源電圧も上昇させなければ IC (回路) 14 から目標のプリチャージ電圧を出力することができない。

【1512】

プリチャージ電圧は図 75 に図示するように電子ポリウム 501 などのデジタル可変 (IC 外部からの可変) 構成にしているため、アノード電圧 V_{dd} の変化 (たとえば、図 123、図 125、図 124 など) を検出し、電子ポリウム 501 のスイッチ S を変更することにより、プリチャージ電圧を変更することができる。したがって、図 75 の構成は本発明の IC (回路) 14 として特長ある構成である。なお、プリチャージ電圧は、IC (回路) 14 の外部で発生させて、IC (回路) 14 を介してソース信号線 18 などに印加してもよい。なお、この場合も、プリチャージ電圧の最大値よりも IC (回路) 14 の電源電圧 V_s は 0.2 (V) 高くしておく必要がある。

30

【1513】

以上の実施例では、プリチャージ電圧について説明したが、プリチャージ電圧に限定するものではなく、図 228 などでも説明するリセット電圧についても適用できることは言うまでもない。

【1514】

アノード電圧 V_{dd} とドライバ IC (回路) 14 の電源電圧などを連動させるとしたが、図 10、図 9 などに図示するように駆動用トランジスタ 11a が N チャンネルの場合は、カソード電圧 V_{ss} が基準となる。したがって、プリチャージ電圧を発生させる電子ポリウム 501 の基準電圧 V_s 、カソード電圧 V_{ss} 、回路 (IC) 14 の電源電圧 V_s (もしくは GND レベル) は連動させる必要があることは言うまでもない。したがって、以上に説明した内容を置き換えればよい。

40

【1515】

以上の事項は本発明の他の実施例である表示パネル、表示装置、駆動方式などにも適用できることは言うまでもない。

【1516】

図 122 は、一例としての点灯率とアノード電圧の関係を示したものである。なお、 $V_{dd} + 2$ 、 $V_{dd} + 4$ は、絶対的な電圧を示しているものではなく、説明を容易にするた

50

め相対的に図示したものである。

【1517】

図122において、点灯率が25%以下で基準電流（プログラム電流）を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノード電圧も高くしている。なお、点灯率75%以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【1518】

図122は、一例としての点灯率とアノード電圧の関係を示したものである。本発明はこれに限定するものではない。たとえば、図280に図示するように、点灯率などに応じて、アノード端子電圧とカソード端子電圧との電位差を変化させてもよいことはいうまでもない。たとえば、アノード端子電圧が6（V）、カソード端子電圧が-9（V）であれば、電位差は $6 - (-9) = 15$ （V）である。つまり、アノード電圧をカソード電圧との絶対値を点灯率あるいは基準電流もしくはアノード端子に流れる電流などに応じて変化させる。

10

【1519】

図280の実線Aでは、第1の点灯率もしくは点灯率範囲において第1のアノード端子電圧とカソード端子電圧との電位差とし、第2の点灯率もしくは点灯率範囲において第2のアノード端子電圧とカソード端子電圧との電位差としており、また、第1の点灯率もしくは点灯率範囲から第2の点灯率もしくは点灯率範囲では、点灯率に応じてアノード端子電圧とカソード端子電圧を変化させている。当然ながら、アノード端子電圧またはカソード端子電圧の一方のみを変化させてもよいことは言うまでもない。

20

【1520】

図280の点線Bでは、第1の点灯率もしくは点灯率範囲において第1のアノード端子電圧とカソード端子電圧との電位差とし、第2の点灯率もしくは点灯率範囲において第2のアノード端子電圧とカソード端子電圧との電位差というようにステップ状に変化させている。

【1521】

一例として、図620～図604のように構成することにより、アノード電圧を制御信号DATAによりプログラマティックに変化あるいは制御することができる。DATAは点灯率により変化するデジタルデータである。つまり、DATAの変数は点灯率である。

30

【1522】

図602において各画素16の駆動用トランジスタ11aのアノード端子はオペアンプ502の出力端子bに接続されている。電子ポリウム501のa端子出力電圧は、DATAにより変化する。a端子電圧はオペアンプ502に印加され、アノード電圧を制御する（変化させる）。以上の構成はカソード電圧を変化させる場合であっても適用できることは言うまでもない。

【1523】

図603は、画素16がカレントミラーの画素構成である。カレントミラーの画素構成においても、図602などの方式を適用できることは言うまでもない。また、図604は、画素16内にインバータ回路を有する構成である。図604の画素構成においても、図602などの方式を適用できることは言うまでもない。

40

【1524】

なお、点灯率制御など本明細書に記載する本発明の構成あるいは方式に関しては、図1の画素構成を中心にして説明する。しかし、本発明はこれに限定するものではなく、図602、図603、図604などの他の画素構成についても適用できることは言うまでもない。

【1525】

本発明の実施例では、点灯率などに対応させてduty比を変化させることに1つの特徴がある。duty比は、表示パネルの走査線数（画像表示画素行数）を変化に対応させて変化させてもよい。図515がその実施例である。表示画素数が増加するということは

50

、表示面積が変化することになる。表示面積が小さいほど、表示パネルで消費される電力が変化する。つまり、走査線数が増大すれば、表示面積が広くなり、表示パネルで消費される電力は多くなる。逆に、走査線数が低減すれば、表示面積が狭くなり、表示パネルで消費される電力は少なくなる。

【1526】

本発明でduty比制御を実施する1つの目的は、一定以上の消費電力になる時を抑制し、消費電力を平均化することである。したがって、走査線数が増加する差異は、duty比を小さくする。走査線数が低下する時は、duty比が大きくともかまわない。走査線数の増減に関わらず、点灯率の応じてduty比を変化させる。

【1527】

図515において、実線は、走査線数が200ラインの時の場合である。点灯率40%以下で、duty比を1/1とし、40%以上でduty比を低下させている。点線は、実線と同一表示パネルにおいて、走査線数が220ライン表示させた時の場合である。点灯率40%以下で、duty比を7/8とし、40%以上でduty比を低下させている。1点鎖線は、実線と同一表示パネルにおいて、走査線数が240ライン表示させた時の場合である。点灯率40%以下で、duty比を3/4とし、40%以上でduty比を低下させている。

【1528】

以上の実施例は、走査線数に対応させてduty比を可変するとした。しかし、本発明はこれに限定するものではない。たとえば、走査線数に対応させて基準電流比を変化させてもよい。走査線数が少ない時は、基準電流比を大きくし、走査線数が相対的あるいは絶対的に大きい時は基準電流比を小さくする。

【1529】

以上の実施例では、走査線数に対応させて、duty比などを変化させる実施例であった。パネルあるいはパネルの周囲温度に応じて、duty比などを変化させてもよい。図516はその実施例である。図516において実線は、パネル温度が40℃以下の場合である。実線では、点灯率40%以下で、duty比を1/1とし、40%以上でduty比を低下させている。点線では点灯率20%以下でduty比を1/2とし、点灯率20%以上でduty比を低下させる。40℃から60℃の間では、点線と実線の間のカーブを描く。

【1530】

同様に、図517に図示するように、基準電流比を温度に応じて変化させてもよい。もちろん、duty比と基準電流比の両方を変化させてもよい。図517において実線は、パネル温度が40℃以下の場合である。実線では、点灯率40%以下で、基準電流比を1/1とし、40%以上で基準電流比を低下させている。点線は60℃の場合であり、点灯率20%以下で基準電流比を3とし、点灯率20%以上で基準電流比を低下させる。40℃から60℃の間では、点線と実線の間のカーブを描く。もちろん、点線に示すように、点灯率に応じて基準電流比などを複数の値に変化させるように形成または構成してもよい。また、図518のように点灯率に応じて、duty比×基準電流比を変化させてもよい。

【1531】

図123において、点灯率に応じて基準電流（プログラム電流）を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。

【1532】

なお、図119から図123、図280などでは、基準電流（プログラム電流）の変化によりアノード電圧を変化させるとした。しかし、これは、駆動用トランジスタ11aがPチャンネルの場合であって、Nチャンネルの場合は、カソード電圧を変化させることは言うまでもない。

【1533】

プログラム電流の大きさ（基準電流の大きさ）に対するアノード電圧は、図124に図

10

20

30

40

50

示するように変化させてもよい。図 1 2 4 の実線 a は、プログラム電流（基準電流）に比例させてアノード電圧を変化させた例である。図 1 2 4 の点線 b は、所定のプログラム電流（基準電流）以上の時に、アノード電圧を変化させた実施例である。点線 b では、基準電流に対するアノード電圧の変化点は 1 点であるので回路構成が容易となる。

【1 5 3 4】

図 1 1 9、図 1 2 0 において、D C D C コンバータあるいはレギュレータの代りに、トランス（単巻きトランス、複巻きトランス）あるいはコイルを用いて昇圧回路などを形成あるいは構成してもよいことは言うまでもない。

【1 5 3 5】

10 以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線 1 8 の電位を変化させることと同義である。図 1 などの駆動用トランジスタ 1 1 a が P チャンネルの場合は、プログラム電流 I w あるいは基準電流を増加させることは、ソース信号線 1 8 の電位を低くすることである（G N D 電位に近くなる）。逆に、プログラム電流 I w あるいは基準電流を小さくすることは、ソース信号線 1 8 の電位を高くすることである（アノード V d d に近くなる）。

【1 5 3 6】

20 以上のことから、図 1 2 5 に図示するように、制御を行っても良い。つまり、ソース信号線 1 8 の電位が 0（G N D）電位の時に、アノード電圧を最も高くする（基準電流およびプログラム電流が最大値）。ソース信号線 1 8 の電位が V d d 電位の時に、アノード電圧を最も低くする（基準電流およびプログラム電流が最小値）。以上のように構成あるいは制御することにより、E L 素子 1 5 に高電圧が印加される期間を短くすることができ、E L 素子 1 5 を長寿命化できる。

【1 5 3 7】

以下、本発明の E L 表示パネル（E L 表示装置）の電源回路（電圧発生回路）についてさらに説明をする。

【1 5 3 8】

30 本発明の有機 E L 表示装置の電源回路について説明をする。図 5 3 9 は本発明の電源回路の構成図である。5 3 9 2 は制御回路である。制御回路 5 3 9 2 は抵抗 5 3 9 5 a と 5 3 9 5 b の中点電位を制御し、トランジスタ 5 3 9 6 のゲート端子を制御する信号を出力する。トランス 5 3 9 1 の 1 次側には電源 V p c が印加され、1 次側の電流がトランジスタ 5 3 9 6 のオンオフ制御により 2 次側に伝達される。5 3 9 3 は整流ダイオードであり、5 3 9 4 は平滑化コンデンサである。

【1 5 3 9】

40 電流駆動方式の有機 E L 表示パネルは、電位的な観点から以下の特徴がある。本発明の画素構成は、図 1 などで説明したように、駆動用トランジスタ 1 1 a は P チャンネルのトランジスタである。また、プログラム電流を発生するソースドライバ回路（I C）1 4 の単位トランジスタ 1 5 4 は N チャンネルのトランジスタである。この構成により、プログラム電流は、画素 1 6 からソースドライバ回路（I C）1 4 に向かって流れる吸い込み電流（シンク電流）となっている。したがって、電位的な動作は、アノード（V d d）を原点として動作している。つまり、画素 1 6 へのプログラムは電流であるから、駆動の電圧マージンが確保されていれば、ソースドライバ回路（I C）1 4 の電位はいずれでも良い。

【1 5 4 0】

50 制御回路 5 3 9 2 の制御はコントローラ 7 6 0 のロジック回路からのロジック信号（G N D - V C C 電圧）で制御する。したがって、制御回路 5 3 9 2 とロジック回路のグラウンド（G N D）は一致させる必要がある。しかし、トランス 5 3 9 1 は入力側と出力側は切り離されている。電流プログラム方式のソースドライバ回路（I C）1 4 は出力側に作用し、アノード電位（V d d）を基準に動作する。したがって、ソースドライバ回路（I C）1 4 のグラウンド（G N D）は、制御回路 5 3 9 2、ロジック回路のグラウンドと一致させ

る必要はない。この点で、ソースドライバ IC 14 が電流プログラム方式であること、トランス 5392 を用いてアノード電圧 (V_{ss}) を発生させること (さらに加えるならば、アノード電圧 (V_{dd}) を基準としてカソード電圧 (V_{ss}) を発生させること)、画素 16 の駆動用トランジスタ 11a が P チャンネルであることの組み合わせは相乗効果を発揮する。

【1541】

有機 EL 表示パネルは、アノード (V_{dd}) とカソード (V_{ss}) との絶対値で動作する。たとえば、 $V_{dd} = 6$ (V) で、 $V_{ss} = -6$ (V) であれば、 $6 - (-6) = 12$ (V) で動作する。図 539 の本発明のトランス 5391 を用いた電源回路では、アノード (V_{dd}) を基準にしてカソード電圧 (V_{ss}) が変化する。また、アノード電圧 (V_{dd}) が、本発明の電流駆動のソースドライバ回路 (IC) 14 のプログラム電流の基準位置である。つまり、アノード電圧 (V_{dd}) を原点として動作している。

10

【1542】

逆に、カソード電圧 (V_{ss}) の電位あるいは制御はラフでよい。この理由によっても、図 539 のトランスを用いた本発明の電源回路、電流駆動の画素 16 構成を有する有機 EL パネル、電流プログラム方式のソースドライバ回路 (IC) 14 とは組み合わせによる相乗効果を発揮する。また、アノード電圧の変化によりカソード電圧がシフトする点も重要である。

【1543】

理論的には、有機 EL パネルは、アノード V_{dd} から駆動用トランジスタ 11a に流れ込む電流 I_{dd} と、EL 素子 15 からカソード V_{ss} に流れ出す電流 I_{ss} が略一致する。つまり、 $I_{dd} = I_{ss}$ の関係がある。実際は、 $I_{dd} > I_{ss}$ となるが、この差は、ソースドライバ回路 (IC) 14 のプログラム電流であるため、わずかであり無視できる。図 539、図 540 のトランス 5391 は、構成上、アノード V_{dd} から出力される電流と、カソード V_{ss} から吸い込む電流が一致する。この点においても、有機 EL パネルと本発明のトランス 5391 を用いた電源回路の組み合わせの相乗効果は大きい。

20

【1544】

画素 16 の駆動用トランジスタ 11a を N チャンネルトランジスタとする場合は、ソースドライバ回路 (IC) 14 の単位トランジスタ 154 は、P チャンネルトランジスタにするとにより同様の効果を発揮できることは言うまでもない。

30

【1545】

ゲートドライバ回路 12 の V_{gh} 電圧、 V_{gl} 電圧、ソースドライバ回路の電源電圧などは、カソード電圧 (V_{ss}) または (おおよび) アノード電圧 (V_{dd}) から発生させると効率がよい。また、トランス 5391 は入力 2 端子、出力 2 端子の 4 端子構成でもよいが、図 539 に図示するように、入力 2 端子、出力は中点といれて 3 端子とすることが望ましい。なお、トランス 5391 は単巻きトランス (コイル) でもよい。

【1546】

トランス 5391 の 1 次側には電源 V_{pc} が印加され、1 次側の電流がトランジスタ 5396 のオンオフ制御により 2 次側に伝達される。5393 は整流ダイオードであり、5394 は平滑化コンデンサである。アノード電圧 V_{dd} の大きさは、抵抗 5395b の大きさにより調整される。 V_{ss} はカソード電圧である。カソード電圧 V_{ss} は、図 541 に図示するように 2 つの電圧を選択して出力できるように構成されている。2 つの電圧の選択はスイッチ 5411で行う。カソード電圧としての 2 つの電圧 (図 541 では、 -9 (V) と -6 (V)) の発生は、トランス 5391 の出力側に中間タップを設けることにより容易に発生できる。

40

【1547】

また、トランス 5391 の出力側に -9 (V) 用と、 -6 (V) 用の 2 つの巻線を構成し、この巻線のいずれかを選択することにより容易に発生できる。この点も本発明のすぐれた点である。また、図 541 などではカソード電圧 (V_{ss}) を切り換える点も本発明の特徴である。アノードは電位の原点として変化させると回路構成が複雑となり、コスト

50

が高くなる。

【1548】

一方、カソード電圧 (V_{ss}) は10%程度の電位誤差が発生しても、画像表示に影響を与えない (鈍感である)。したがって、アノード電圧を基準としてカソード電圧を設定する点、パネルの温度特性にあわせて、カソード電圧 (V_{ss}) を変化させる点は本発明の優れた特徴である。また、トランス5391は、入力巻線数と出力巻線数との比を変化させることにより容易にカソード電圧およびアノード電圧を変化させることも利点が多い。また、トランジスタ5396のスイッチング状態を変化することにより、アノード電圧 (V_{dd}) を変化できることも利点が多い。図541では、スイッチ1781により-9 (V) が選択されている。

10

【1549】

図541では、カソード電圧 V_{ss} を2つの電圧から選択するとしたが、これに限定するものではなく、2つ以上にしてもよい。また、カソード電圧は可変レギュレータ回路を用いて、連続的に変化させてもよい。

【1550】

スイッチ5411aと5411bとの選択は温度センサ4441からの出力結果による。パネル温度が低いときは、 V_{ss} 電圧として、-9 (V) を選択する。一定以上のパネル温度の時は、-6 (V) を選択する。これは、EL素子15に温特があり、低温側でEL素子15の端子電圧が高くなるためである。なお、図541では、2つの電圧から1つの電圧を選択し、 V_{ss} (カソード電圧) とするとしたが、これに限定するものではなく、3つ以上の電圧から V_{ss} 電圧を選択できるように構成してもよい。以上の事項は、 V_{dd} についても同様に適用される。なお、本発明は一定以下の低温では、カソード電圧 (V_{ss}) を低くする点 (低温になれば、 V_{dd} と V_{ss} との差電圧を大きくする) も本発明の特徴ある構成である。

20

【1551】

図541では、温度センサ4441でカソード電圧を切り換える (変化させる) としたが、これに限定するものではない。たとえば、図540に図示するように、出力電圧を決定する抵抗5395に並列にあるいは直列に可変抵抗 (ポジスタ、サーミスタなど) 5401を形成または配置し、温度により抵抗値5401を変化できるように構成してもよい。この構成により制御回路5392のIN端子への入力電圧が変化し、 V_{dd} 電圧あるいは V_{ss} 電圧を適正な値に調整できる。

30

【1552】

図541のように、パネル温度を検出し、検出結果により複数の電圧を選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、 V_{ss} 電圧を低下させればよいからである。一般的に低温になるとEL素子15の端子間電圧は大きくなる。通常の温度の時は、電圧が低い $V_{ss} = -6$ (V) を使用することができる。

【1553】

なお、スイッチ5411は図541に図示するように構成してもよい。なお、複数のカソード電圧 V_{ss} を発生させるのは、図541のトランス5391から中間タップをとりだすことにより容易に実現できる。アノード電圧 V_{dd} の場合も同様である。実施例として、図542の構成を例示する。図542では、トランス5391の中間タップを用いて複数のカソード電圧を発生させている。

40

【1554】

図543は電位設定の説明図である。この例では説明を容易にするため、ソースドライバIC14はGNDを基準にするとして説明をする。ソースドライバIC14の電源は V_{cc} である。 V_{cc} はアノード電圧 (V_{dd}) と一致させてもよい。本発明では消費電力の観点から、 $V_{cc} < V_{dd}$ にしている。好ましくは、ソースドライバ回路 (IC) の V_{cc} 電圧は $V_{dd} - 1.5$ (V) $\leq V_{cc} \leq V_{dd}$ の関係を満足させることが好ましい。たとえば、 $V_{dd} = 7$ (V) であれば、 V_{cc} は、 $V_{dd} - 1.5 = 5.5$ (

50

V) 以上 7 (V) 以下の条件を満足させることが好ましい。

【1555】

ゲートドライバ回路 12 のオフ電圧 V_{gh} は、 V_{dd} 電圧以上にする。好ましくは、 $V_{dd} + 0.2 (V) \leq V_{gh} \leq V_{dd} + 2.5 (V)$ の関係を満足させる。たとえば、 $V_{dd} = 7 (V)$ であれば、 V_{gh} は、 $7 + 0.2 = 7.2 (V)$ 以上 $7 + 2.5 = 9.5 (V)$ 以下の条件を満足させるようにする。以上の条件は、画素選択側 (図 1 の画素構成ではトランジスタ 11b、11c) と、EL 選択側 (図 1 の画素構成ではトランジスタ 11d) の両方に適用される。

【1556】

駆動用トランジスタ 11a とのプログラム電流の経路を発生させるスイッチング用トランジスタ (図 1 の画素構成にあっては、トランジスタ 11b、11c が該当する) のオン電圧 V_{gl} は、 $V_{dd} - V_{dd}$ 以下 $V_{dd} - V_{dd} - 4 (V)$ の条件を満足させるか、もしくは、カソード電圧 V_{ss} と略一致させることが好ましい。同様に、EL 選択側 (図 1 の画素構成にあっては、トランジスタ 11d が該当する) のオン電圧も同様である。つまり、アノード電圧が 7 (V)、カソード電圧が -6 (V) であれば、オン電圧 V_{gl} は、 $7 - 7 (V) = 0 (V)$ 以下 $7 - 7 - 4 = -4 (V)$ の範囲にすることが好ましい。もしくは、オン電圧 V_{gl} はカソード電圧と略一致させ、-6 (V) あるいはその近傍とすることが好ましい。

【1557】

画素 16 の駆動用トランジスタ 11a が N チャンネルのトランジスタの場合は、 V_{gl} はオン電圧となる。この場合は、オフ電圧をオン電圧に置き換えればよいことは言うまでもない。

【1558】

本発明の電源回路の課題に、アノード電圧 V_{dd} および (または) カソード電圧 V_{ss} から V_{gh} 、 V_{gl} 電圧などを発生させている点がある。アノード電圧などはトランス 5391 で発生させ、この電圧から、DCDC コンバータ V_{gh} 、 V_{gl} 電圧などが印加されることになる。

【1559】

しかし、 V_{gh} 、 V_{gl} はゲートドライバ回路 12 の制御電圧であり、この電圧が印加されていないと、画素のトランジスタ 11 はフローティング状態になってしまう。また、 V_{cc} 電圧がないと、ソースドライバ回路 (IC) 14 もフローティング状態となり、誤動作と引き起こす。したがって、図 544 に図示するように、 V_{gh} 、 V_{gl} 、 V_{cc} 電圧をパネルに印加した後、T1 時間経過後、あるいは同時に V_{dd} 、 V_{ss} 電圧を印加する必要がある。

【1560】

この課題に対して、本発明は図 545 に図示する構成で解決している。図 545 において、5413a はトランス 5391 などから構成される電源回路である。5413b は、電源回路 5413a からの電圧を入力し、 V_{gh} 、 V_{gl} 、 V_{cc} 電圧などを発生させる電源回路であり、DCDC コンバータ回路、レギュレータ回路などで構成される。5451 はスイッチである。サイリスタ、メカニカルリレー、電子リレー、トランジスタ、アナログスイッチなどが該当する。

【1561】

図 545 (a) では、電源回路 5413a がまず、アノード電圧 (V_{dd}) およびカソード電圧 (V_{ss}) を発生する。この発生時には、スイッチ 5451a がオープン状態となっている。したがって、表示パネルにはアノード電圧 (V_{dd}) は印加されない。電源回路 5413a で発生したアノード電圧 (V_{dd}) およびカソード電圧 (V_{ss}) は電源回路 5413b に印加され、電源回路 5413b で V_{gh} 、 V_{gl} 、 V_{cc} 電圧が発生させられ、表示パネルに印加される。 V_{gh} 、 V_{gl} 、 V_{cc} 電圧を表示パネルに印加した後、スイッチ 5451a がオン (クローズ) し、表示パネルにアノード電圧 (V_{dd}) が印加される。

10

20

30

40

50

【1562】

図545(a)では、アノード電圧(V_{dd})のみをスイッチ5451aで遮断している。これは、アノード電圧(V_{dd})が印加されていなければ、EL素子15に電流を印加する経路が発生せず、また、ソースドライバ回路(IC)14に流れる経路も発生しないからである。したがって、表示パネルが誤動作あるいはフローティング動作することがない。

【1563】

もちろん、図545(b)に図示するように、スイッチ5451a、5451bの両方をオンオフ制御することにより、表示パネルに印加する電圧を制御してもよい。ただし、スイッチ5451aと5451bは同時にクローズ状態にするか、もしくは、スイッチ5451aがクローズした後、スイッチ5451bがクローズ状態となるように制御する必要がある。

【1564】

以上は、電源回路5413aのV_{dd}端子にスイッチ5451を形成または配置する構成であった。図546はスイッチ5451を形成または配置しない構成である。アノード電圧(V_{dd})とV_{gh}電圧が近似し、また、アノード電圧(V_{dd})とV_{cc}電圧が近似している点、V_{gh}電圧が印加されていればゲートドライバ12によりゲート信号線17a、17bにオフ電圧V_{gh}が印加され、トランジスタ11(図1の構成ではトランジスタ11b、トランジスタ11c、トランジスタ11d)がオフ状態になることを利用している。トランジスタ11がオフ状態であれば、駆動用トランジスタ11aからEL素子15に流れる電流経路は発生せず、また、駆動用トランジスタ11aからソースドライバ回路(IC)14に流れるプログラム電流の経路も発生しないから、表示パネルが誤動作あるいは異状動作することがない。

【1565】

アノード電圧(V_{dd})とV_{gh}電圧が近似していると、抵抗5461aでショートされていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧(V_{dd})=7(V)で、V_{gh}=8(V)とし、抵抗5461aが10(KΩ)とすれば、 $(8-7)/10=0.1$ となるから、抵抗5461aに流れる電流は、0.1(mA)である。

【1566】

V_{gh}はオフ電圧である。また、ゲートドライバ回路12から出力される電圧であるので、使用する電流は小さい。本発明はこの性質を利用している。つまり、アノード電圧(V_{dd})端子とV_{gh}端子とを短絡した抵抗5461aによって、ゲート信号線17をオフ電圧(V_{gh})あるいはその近傍の電位に保持することができる。

【1567】

したがって、アノード電圧(V_{dd})からEL素子15に流れる電流経路が発生することがなく、表示パネルに異状動作が発生しない。なお、ゲートドライバ回路12のシフトレジスタ141(図14を参照のこと)を動作させ、すべてのゲート信号線17からオフ電圧(V_{gh})が出力されるように、制御することは言うまでもない。

【1568】

その後、電源回路5413bが完全動作し、電源回路5413bから規定のV_{gh}電圧、V_{gl}電圧、V_{cc}電圧が出力される。

【1569】

同様に、アノード電圧(V_{dd})とV_{cc}電圧が近似していると、抵抗5461bでショートされていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧(V_{dd})=7(V)で、V_{cc}=6(V)とし、抵抗5461aが10(KΩ)とすれば、 $(7-6)/10=0.1$ となるから、抵抗5461bに流れる電流は、0.1(mA)である。また、V_{cc}はソースドライバ回路(IC)14で使用する電圧であるが、V_{cc}から消費される電流はソースドライバ回路(IC)14のシフトレジスタ回路などに使用される程度であり、わずかである。

【1570】

本発明はこの性質を利用している。つまり、アノード電圧（V d d）端子とV c c端子とを短絡した抵抗5461bによって、ソースドライバ回路（I C）14のスイッチ481をオフ（オープン）状態にすることにより、単位トランジスタ154には電流が流れ込まなくすることができる。したがって、アノード電圧（V d d）からソース信号線18への電流経路は発生しないから、表示パネルに異状動作が発生しない。なお、ソースドライバ回路（I C）14のシフトレジスタを動作させ、すべてのソース信号線17から単位トランジスタ154の電流経路を切り離すように制御することは言うまでもない。

【1571】

図546において、カソード電圧（V s s）端子とV g l端子間を抵抗（図示せず）で短絡しておいてもよい。この抵抗の短絡により、カソード電圧（V s s）の発生時にカソード電圧（V s s）がV g l端子に印加される。したがって、ゲートドライバ回路12が正常動作する。

【1572】

図546ではアノード電圧（V d d）でV g h端子を抵抗5461でショートするとしたが、駆動用トランジスタ11aがNチャンネルのトランジスタの場合は、アノード電圧（V d d）とV g l端子もしくは、カソード電圧（V s s）とV g l端子とをショートさせることは言うまでもない。

【1573】

アノード電圧（V d d）とV g h電圧間、アノード電圧（V d d）とV c c電圧間などは比較的の高い抵抗でショート（接続）するとしたが、これに限定するものではない。抵抗5461をリレーあるいはアナログスイッチなどのスイッチに置き換えても良い。つまり、アノード電圧（V d d）が発生した時点で、リレーがクローズ状態にしておく。したがって、アノード電圧（V d d）をV g h端子およびV c c端子に印加される。次に、電源回路5413bでV g h電圧、V g l電圧、V c c電圧などが発生した時点で、リレーをオープン状態にし、アノード電圧（V d d）とV g h端子、およびアノード電圧（V d d）とV c c端子とを切り離す。

【1574】

つぎに、図260を用いて、本発明のEL表示パネルで使用する電源（電圧）について説明をする。図14でも説明をしたが、ゲートドライバ回路12は、バッファ回路142とシフトレジスタ回路141で構成される。バッファ回路142はオフ電圧（V g h）とオン電圧（V g l）を電源電圧として使用する。一方、シフトレジスタ回路141はシフトレジスタの電源V G D Dとグラント（G N D）電圧を使用し、また、入力信号（C L K、U D、S T）の反転信号を発生させるためのV R E F電圧を使用する。また、ソースドライバ回路（I C）14は、電源電圧V sとグラント（G N D）電圧を使用する。

【1575】

ここで理解を容易にするため、電圧値を規定する。まず、アノード電圧V d dを6（V）とし、カソード電圧V s sを-9（V）とする（図1などを参照のこと）。G N D電圧は0（V）とし、ソースドライバ回路のV s電圧はV d d電圧と同一の6（V）とする。V g h 1とV g h 2電圧はV d dより0.5（V）以上3.0（V）以下とすることが好ましい。ここでは、V g h 1 = V g h 2 = 8（V）とする。

【1576】

ゲートドライバ回路12のV g h 1は、図1のトランジスタ11cのオン抵抗を十分に小さくするため、低くする必要がある。ここでは、図261の回路構成を容易にするため、V g h 1と絶対値が逆であるV g l 1 = -8（V）にする。V G D D電圧は、V g hよりも低く、G N D電圧よりも高くする必要がある。ここでは、図261のように発生電圧回路を容易にし、回路コストを低減するため、V g h電圧の1/2の4（V）にする。一方で、V g l 2電圧は、余り低くすると、トランジスタ11bのリークを発生する危険性があるため、したがって、V G D D電圧とV G L 1電圧の中間電圧にすることが好ましい。ここでは、図261のように発生電圧回路を容易にし、回路コストを低減するため、V

10

20

30

40

50

G D D 電圧と絶対値が等しく、また反対極性である -4 (V) にする。

【1577】

以上のように設定した電圧を発生する本発明の回路構成を図261に図示している。以下、図261について説明を行う。

【1578】

バッテリーからの電圧 $V_1 \sim V_2$ は、チャージポンプ回路を有するレギュレータ回路2611に入力される。具体的には $V_1 = 3.6$ (V)、 $V_2 = 4.2$ (V) である。レギュレータ回路2611は、入力された電圧をチャージポンプ回路2612aで4 (V) の定電圧 V_a に変換する。この電圧がV G D D 電圧となる。もちろん、図261に図示するように、正電圧および負電圧を発生するチャージポンプ回路（レギュレータ機能なし）2612aで $+V$ である4 (V) と $-V$ である -4 (V) とを発生させてもよい。この -4 (V) が V_{g12} 電圧となる。チャージポンプ回路2612aは V_a の正方向と負方向電圧を発生するだけなので構成が非常に容易である。したがって、低コスト化を実現できる。

10

【1579】

レギュレータ回路2611からの出力電圧 V_a はチャージポンプ回路2612bに入力される。図261に図示するように、正電圧および負電圧を発生するチャージポンプ回路（レギュレータ機能なし）2612bで $+2V$ である8 (V) と $-2V$ である -8 (V) とを発生させてもよい。この -8 (V) が V_{gh1} と V_{gh2} 電圧となる。 $-2V$ 電圧が V_{g11} 電圧となる。チャージポンプ回路2612bは V_a の2倍の正方向と2倍の負方向電圧を発生するだけなので構成が非常に容易である。したがって、低コスト化を実現できる。

20

【1580】

以上のように、本発明は、基準となる電圧 V_a を定倍（2倍、3倍など）することにより V_{gh} 電圧などを発生することに特徴を有する。

【1581】

V_{dd} および V_{ss} 電圧の発生回路を図262に図示する。 V_{dd} 電圧および V_{ss} 電圧の発生回路は、図119でも説明した。図262はトランス回路を用いる構成である。バッテリーからの電圧 $V_1 \sim V_2$ は、チャージポンプ回路を有するレギュレータ回路2611に入力される。レギュレータ回路2611は、入力された電圧をチャージポンプ回路2612aで4 (V) の定電圧 V_a に変換する。 V_a 電圧（図261と共通）は、スイッチング回路2621でスイッチングされ交流化される。この交流信号はトランス2622からなる回路で電位変換され、電位変換された電圧は平滑化回路2623で直流電圧に変換される。変換された電圧が V_{dd} と V_{ss} となる（トランスで電位シフトが行えるため）。

30

【1582】

図263は本発明の表示パネルの電源回路の出力電圧を図示したものである。プリチャージ電圧 V_{pc} は V_{ss} 電圧とGND電圧間で動作する電子ボリウム501で発生する。また、 V_{REF} 電圧は、V G D D 電圧とGND間に配置された抵抗 (R_1 、 R_2) によって発生する。なお、 V_{REF} 電圧にはコンデンサ C を配置し、安定化させる。

40

【1583】

この電圧がV G D D 電圧となる。もちろん、図261に図示するように、正電圧および負電圧を発生するチャージポンプ回路（レギュレータ機能なし）2612aで $+V$ である4 (V) と $-V$ である -4 (V) とを発生させてもよい。この -4 (V) が V_{g12} 電圧となる。チャージポンプ回路2612aは V_a の正方向と負方向電圧を発生するだけなので構成が非常に容易である。したがって、低コスト化を実現できる。

【1584】

本発明のプリチャージ駆動では所定電圧をソース信号線18に印加する。また、ソースドライバICはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線18に出力するプリ

50

チャージ電圧はプログラム電圧となる。ソースドライバ I C 内にこのプリチャージ電圧のプログラム電圧回路 1 2 7 1 を導入した回路構成が図 1 2 7 である。

【1 5 8 5】

図 1 2 7 は 1 つのソース信号線 1 8 に対応する 1 出力回路ブロック図である。階調に応じてプログラム電流を出力する電流階調回路 1 6 4 と、階調に応じたプリチャージ電圧を出力する電圧階調回路 1 2 7 1 で構成される。電流階調回路 1 6 4 と電圧階調回路 1 2 7 1 には映像データが印加される。電圧階調回路 1 2 7 1 の出力はスイッチ 1 5 1 a、1 5 1 b がオンすることによりソース信号線 1 8 に印加される。スイッチ 1 5 1 a はプリチャージイネーブル（プリチャージ E N B L）信号と、プリチャージ信号（プリチャージ S I G）で制御される。

10

【1 5 8 6】

電圧階調回路 1 2 7 1 は、サンプルホールド回路、D A 回路などで構成される（図 3 0 8 を参照のこと）。デジタルの映像データに基づいて、D A 回路によりプリチャージ電圧に変換される。この変換されたプリチャージ電圧は、サンプルホールド回路によりサンプルホールドされ、オペアンプを介してスイッチ 1 5 1 a の一端に印加される。なお、D A 回路は電圧階調回路 1 2 7 1 ごとに構成または形成する必要がなく、ソースドライバ回路（I C）1 4 の外部に D A 回路を構成し、この D A 回路の出力を電圧階調回路 1 2 7 1 内でサンプルホールドしてもよい。また、ポリシリコン技術で形成してもよい。

【1 5 8 7】

電圧階調回路 1 2 7 1 の出力は、図 1 2 8 に図示するように、1 H の最初に印加される（記号 A で示す）。その後、電流出力回路 1 6 4 によりソース信号線にプログラム電流が供給される（記号 B で示す）。つまり、プリチャージ電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタ 1 1 a は目的電流に近い値まで、高速に設定される。その後、電流階調回路 1 6 4 が出力するプログラム電流により駆動用トランジスタ 1 1 a の特性バラツキを補償する目的電流（＝プログラム電流）まで設定される。

20

【1 5 8 8】

プリチャージ電圧信号が印加される A 期間は、1 H の $1/100$ 以上 $1/5$ 以下の期間が好ましい。または、 $0.2 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以下の期間に設定することが好ましい。したがって、A 期間以外が B 期間のプログラム電流の印加期間である。A 期間が短いとソース信号線 1 8 の電荷の充放電が十分に行われなため、書き込み不足が発生する。一方、長すぎると電流印加期間（B）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ 1 1 a の電流補正不足となる。

30

【1 5 8 9】

電圧印加期間（A 期間）は、1 H の最初から実施することが好ましいが、これに限定されない。たとえば、1 H の終わりのブランキング期間から開始してもよい。また、1 H の途中に A 期間を実施してもよい。つまり、1 H のいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、1 H の最初から $1/4$ H（ 0.25 H）の期間内に実施することが好ましい。

【1 5 9 0】

図 1 2 8 の実施例では、電圧プリチャージ（A）の期間後、電流を印加（B 期間）するとしたがこれに限定するものではない。たとえば、図 1 2 9（a）に図示するように、1 H の期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（*A）期間としてもよい。

40

【1 5 9 1】

図 1 2 9（a）の *A の期間は、1 H の期間が電圧プログラムを実施している。*A の期間は、低階調の領域である。低階調の領域で電流プログラムを実施してもプログラムされる電流が微小のため、ソース信号線 1 8 の寄生容量の影響により、ソース信号線 1 8 の電位変更を実施することができない。つまり、T F T 1 1 a（駆動用トランジスタ）の特性補償を行うことができない。また、電流プログラム方式では、プログラム電流 I と輝度

50

Bとが線形の関係にある。そのため、低階調領域で1階調に対する輝度変化が大きすぎる。したがって、低階調領域で階調飛びが発生しやすい。

【1592】

この課題に対して本発明では、図129(a)に図示するように、低階調領域で1Hの期間にわたり電圧プログラムを実施している(*Aで図示している)。低階調領域における領域で電圧プログラムの電圧ステップきざみを小さくしている。画素16のTF T11aに印加する電圧を一定ステップにすると、TF T11aのEL素子15への出力電流は概略2乗特性となる。したがって、印加電圧に対する輝度B(輝度BはEL素子15への出力電流に比例する)は、人間の視感度は直線的となる(人間の視感度は、2乗特性の時に低ステップで変化していると認識するためである)。

10

【1593】

電圧プログラム方式では、TF T11aの特性補償を良好に実施することができない。しかし、低階調領域では、表示画面144の表示輝度が低いため、特性補償不足による表示ムラが発生しても視覚的に認識されることはない。一方で、電圧プログラム方式では、ソース信号線18の充放電を良好に実施することができる。そのため、低階調領域でも十分にソース信号線18の充放電を実施でき、適正な階調表示を実現できる。

【1594】

図129(a)でも理解できるように、ソース信号線18の電位がアノード電位(Vdd)に近い場合に、1Hの期間のすべてに(大半に)電圧が印加される。ソース信号線18の電位が0(V)に近くなると、電圧プログラム(A期間)と電流プログラム(B)が1Hの期間内に実施される。なお、ソース信号線18の電位が0(V)に近い場合(高階調領域)では、1Hの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

20

【1595】

図129(a)の*A以外の期間は、1Hの一定期間(Aで示す)に電圧プログラムによる電圧をソース信号線18に印加し、その後、Bの期間に電流プログラムによる電流を印加している。以上のようにA期間の電圧の印加により画素16のTF T11aのゲート電位に所定電圧を印加し、おおよそEL素子15に流す電流が所望値になるようにしている。その後、B期間のプログラム電流により、EL素子15に流れる電流が所定値となるようにしている。*A期間は、1H期間の全般にわたり電圧プログラムが実施されている(電圧が印加されている)。

30

【1596】

図129(a)は、画素16のTF T11a(駆動用トランジスタ)がPチャンネルの場合のソース信号線18への印加信号波形である。しかし、本発明はこれに限定するものではない。画素16のTF T11aがNチャンネルであってもよい(たとえば、図1を参照のこと)。この場合は、図129(b)に図示するように、ソース信号線18の電位が0(V)に近い場合に、1Hの期間のすべてに(大半に)電圧が印加される。ソース信号線18の電位がアノード電圧(Vdd)に近くなると、電圧プログラム(A期間)と電流プログラム(B)が1Hの期間に実施される。

【1597】

なお、ソース信号線18の電位がVddに近い場合(高階調領域)では、1Hの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

40

【1598】

本発明では、駆動用トランジスタ11aはPチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ11aはNチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ11aがPチャンネルトランジスタであるとして説明を行うだけである。

【1599】

図128、図129などの本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行わ

50

れる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、1 H最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧の種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

【1600】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である（図130（b）、図131などを参照のこと）。もちろん、電圧を印加してもよいことは言うまでもない。

10

【1601】

図127で電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを端子155でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することがない。

【1602】

したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたがこれに限定するものではない。電流階調回路164からプログラム電流の出力した状態で、スイッチ151（図127を参照）をオンして、電圧階調回路1271の電圧を端子155に印加してもよいことは言うまでもない。

20

【1603】

スイッチ151を閉じて端子155に電圧と印加した状態で、電流階調回路164からプログラム電流を出力してもよい。電流階調回路164は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

30

【1604】

図130に図示するように、1 H期間に印加するプログラムを電圧または電流の一方にしてもよいことは言うまでもない。図130において、*Aの期間は電圧プログラムが実施された1 H期間であり、Bの期間は電流プログラムが実施されている1 H期間である。主として低階調領域では電圧プログラムが実施され（*Aで示す）、中間調以上の領域では電流プログラムが実施される（Bで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【1605】

図127の本発明の実施例では、電圧階調回路1271と電流階調回路164には、同一の映像Dataが入力されている。したがって、映像Dataのラッチ回路は電圧階調回路1271と電流階調回路164と共通でよい。つまり、映像Dataのラッチ回路は電圧階調回路1271と電流階調回路164とに独立に設ける必要はない。共通の映像Dataラッチ回路からのデータに基づき、電流階調回路164または（および）電圧階調回路1271がデータを端子155に出力する。

40

【1606】

図132は本発明の駆動方法のタイミングチャートである。図132において、（a）のDATAは画像データである。（b）のCLKは回路クロックである。（c）のPcntlは、プリチャージのコントロール信号である。Pcntl信号がHレベルの時は、電圧駆動のみモード状態になり、Lレベルの時、電圧+電流駆動モードになる。（d）のPtcはプリチャージ電圧あるいは電圧階調回路1271からの出力の切り換え信号である

50

。P t c 信号がHレベルの時は、プリチャージ電圧などの電圧出力がソース信号線18に印加される。P t c 信号がLレベルの時は、電流階調回路164からのプログラム電流がソース信号線に出力される。

【1607】

たとえば、データD(2)、D(3)、D(8)の時は、P c n t l 信号がHレベルであるから、ソース信号線18に電圧階調回路1271から電圧が出力される(A期間)。P c n t l がLレベルの時は、ソース信号線18にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間をAで示し、電流が出力される期間をBで示す。電圧を出力する期間Aは、P t c 信号で制御される。P t c 信号は、図127のスイッチ151のオンオフを制御する信号である。

10

【1608】

P c n t l 信号がHレベルの時は、電圧駆動のみモード状態になり、Lレベルの時、電圧+電流駆動モードになると説明した。電圧を印加する期間は、点灯率あるいは階調に応じて変化させることが好ましい。低階調の時は、電流駆動では画素にプログラム電流を完全書き込むことができない。したがって、電圧駆動を実施することが好ましい。電圧を印加する期間を長くすることによって、電圧+電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。低点灯率の場合は、低階調状態の画素が多い。したがって、低階調状態(低点灯率)の場合も、電圧を印加する期間を長くすることによって、電圧+電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。

20

【1609】

以上のように、電圧+電流駆動モードであっても、点灯率あるいは画素に書き込む階調データ(映像データ)に応じて、電圧駆動状態の期間を変化させることが好ましい。つまり、EL素子15に流す電流を小さくするときは(本発明では低点灯率範囲)、電圧駆動モード期間を長くし、EL素子15に流す電流を大きくするときは(本発明では高点灯率範囲)、電圧駆動モード期間を短くするか、もしくは'なし'にするように制御あるいは調整もしくは装置を構成する。なお、点灯率の意味あるいは点灯率状態に関しては、本明細書内で詳細に説明しているので省略する。また、電圧+電流駆動モードにおいて電圧駆動モードに印加(動作)期間を、d u t y 比、基準電流比などを制御あるいは調整もしくは装置を構成してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

30

【1610】

図132において、電圧出力期間Aと電流出力期間Bとを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ151(図127を参照)をオンして、電圧階調回路1271の電圧を端子155に印加してもよいことは言うまでもない。また、スイッチ151を閉じて端子155に電圧を印加した状態で、電流階調回路164からプログラム電流を出力してもよい。A期間後にスイッチ151をオープンにする。以上のように電流階調回路164は高インピーダンスであるので電圧回路と短絡状態にしても回路的には問題がない。

【1611】

図133はP t c 信号のH期間を変化させることにより、ソース信号線18に電圧を出力する期間を可変するものである。H期間は、階調番号などにより変化させる。たとえば、D(7)では、P t c 信号は1Hの期間Lレベルである。したがって、図127のスイッチ151は1Hの期間オープン状態である。したがって、1H期間には電圧は印加されず、常時電流プログラム状態である。また、D(5)ではP t c 期間は他の1H期間よりも長くなっている。したがって、電圧を印加するA期間は長く設定されている。

【1612】

以上の実施例では、電流駆動状態と電圧駆動状態とを切り換えるものである。しかし、本発明はこれに限定されない。図134の実施例では、P t c 信号はない。したがって、P c n t l 信号で制御される。そのため、H期間は電圧駆動が実施され、L期間は電流駆

50

動が実施される。

【1613】

電圧プログラムは、RGBのEL素子15の発光効率により、ソース信号線18に出力する電圧値を変更する必要がある。図1の画素構成を例示すれば駆動用トランジスタ11aのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ11aが出力する電流により異なるからである。駆動用トランジスタ11aの出力電流はEL素子15の発光効率で異ならせる必要がある。本発明のソースドライバIC14を汎用性があるものとするためには、EL表示パネルの画素サイズが異なっている、あるいはEL素子15の発光効率が異なっている、設定あるいは調整により対応する必要がある。

【1614】

電圧階調回路1271は、アノード電圧（Vdd）を原点として電圧を出力する。この状態を図135に示す。アノード電圧（Vdd）は駆動用トランジスタ11aの動作原点である。なお、説明を容易にするため、図1に図示するような駆動用トランジスタ11aがPチャンネルの構成であるとして説明をする。駆動用トランジスタ11aがNチャンネルの場合も、原点位置が変化するだけであるので説明を省略する。したがって、説明を容易にするため、駆動用トランジスタ11aはPチャンネルの場合を例にあげて説明をする。

【1615】

図135において、横軸は階調である。本発明では電圧階調回路1271の出力階調は256（8ビット）階調であるとして説明をする。縦軸はソース信号線18への出力電圧である。図135では、階調番号に比例してソース信号線18の電位は低くなる。

【1616】

ソース信号線18の電圧は、駆動用トランジスタ11aのゲート端子電圧である。駆動用トランジスタ11aの出力電流は、ゲート端子電圧に非線形で変化する。一般的に図135のようにソース信号線18に電圧を印加すると、駆動用トランジスタ11aの出力電流は、印加電圧に対して2乗特性で変化する。つまり、図135では階調に対するソース信号線18の電位は比例しているが、駆動用トランジスタ11aの出力電流（EL素子15に流れる電流）は、ほぼ2乗特性となる。

【1617】

図135の回路構成は、回路構成などが容易である。しかし、EL素子15に流れる電流は階調番号に比例しない。駆動用トランジスタ11aに線形に変化する電圧を印加（図135の実施例の場合など）すると、トランジスタ11aの2乗特性により、出力電流は印加電圧の2乗に比例して出力されるからである。したがって、階調番号が小さい時はトランジスタ11aの出力電流の変化が小さく、階調番号が大きくなるにつれて、急激に大きくなる。したがって、階調番号に対する出力電流の精度が変化する。

【1618】

この課題を解決する構成が図136である。図136では、階調番号が小さい時には、ソース信号線18への出力電圧の変化が大きい。また、階調番号が小さくなるほどソース信号線18への電圧変化割合は大きくなる。一方、階調番号が大きく（256番目に近づく）になると、ソース信号線18への出力電圧の変化が小さくなるように構成している。したがって、階調番号に対するソース信号線出力電流の関係は非線形となる。この非線形特性は、駆動用トランジスタ11aのゲート端子電圧に対するEL素子15への出力電流特性と組合せることにより、線形になるようにしている。つまり、階調番号の変化に対する駆動用トランジスタ11aのEL素子15への出力電流は線形となるように調整している。

【1619】

電流プログラム方式は、階調番号に対するEL素子15に流れる電流は線形の関係にある。図136の構成（方式）は電圧プログラム方式である。図136では電圧プログラム方式であるが、階調番号に対するEL素子15に流れる電流は線形の関係である。したがって、図127、図128のように電流プログラム方式と電圧プログラム方式とを組み合わせ

10

20

30

40

50

わせた構成（方式）において、マッチングがよい。

【1620】

図136は階調番号に対する駆動用トランジスタ11aの出力電流 I_e がほぼリニアに変化するようにしている。したがって、階調番号に対するソース信号線出力電圧の関係は、階調番号が小さい時はあらく、大きくなるにつれて細かく変化するようにしている。階調番号を K とし、ソース信号線 V_s とした時、変化カーブ式は、図136に図示するようにソース信号線電圧 $V_s = A / (K \cdot K)$ となるようにする。なお、 A は比例定数である。もしくは、ソース信号線電圧 $V_s = A / (B \cdot K \cdot K + C \cdot K + D)$ もしくは $V_s = A / (B \cdot K \cdot K + C)$ となるようにする。なお、 D 、 B 、 C 、 A は定数である。

【1621】

以上のように、変化カーブ式を構成することにより、変化カーブ式とソース信号線電圧 V_s に対する駆動用トランジスタの出力電流 I_e を掛け合わせた時に、 V_s に対する I_e が線形の関係とすることができる。

【1622】

図136では、変化カーブ式が曲線となる。そのため、変化カーブを作成することが比較的困難である。この課題に対しては、図137に図示するように複数の直線で変化カーブ式を構成することが適切である。つまり、2つ以上の傾きの直線で変化カーブを構成する。

【1623】

図136では、階調番号が小さい範囲では、ソース信号線18の出力電圧のきざみは大きくし（ A で示す）、階調番号が大きい範囲では、ソース信号線18の出力電圧のきざみは小さくする（ B で示す）。図136の変化カーブでは、階調番号 K に対する駆動用トランジスタ11aの出力電流 I_e は非線形の関係となり、また、複数の非線形の出力を組み合わせるものとなる。しかし、階調番号 K に対する出力電流 I_e の関係は線形に近い範囲が多くなる。したがって、電流プログラム駆動との組み合わせも容易である。

【1624】

図136において、電圧階調回路1271と電流階調回路164を1つのソースドライバ回路（IC）14内に形成するように図示しているがこれに限定するものではない。本発明は、電圧階調回路1271と電流階調回路164とを有することを特徴としている。したがって、1本のソース信号線18に一端に電圧階調回路（用IC）1271を配置または形成もしくは実装し、前記ソース信号線18の他端に電流階調回路（用IC）164を配置または形成もしくは実装してもよい。つまり、本発明は、任意の画素に電流プログラムと電圧プログラムを実施できる構成もしくは方法であればいずれの構成でもよい。

【1625】

電圧プログラムを実施するドライバ回路（IC）14は逆1.5乗から3.0乗のガンマ特性とする。つまり、駆動用トランジスタ11aのゲート電圧の変化ステップに対応して等間隔の電流増加を実現できるようにする。駆動用トランジスタ11aの $V-I$ 特性は略2乗特性であるからである（電圧 V 変化に対して、出力電流 I は略2乗特性で変化するからである）。さらに、電圧プログラムを実施するドライバ回路（IC）のガンマ特性は逆1.8乗から2.4乗のガンマ特性とすることが好ましい。

【1626】

電圧プログラムを実施するドライバ回路（IC）のガンマ特性はプログラムブルに構成しておくことが好ましい。また、駆動用トランジスタ11aがPチャンネルトランジスタの場合は、ガンマ特性カーブの原点はアノード電圧 V_{dd} あるいは V_{dd} 近傍とする。駆動用トランジスタ11aがNチャンネルトランジスタの場合は、ガンマ特性カーブの原点はカソード電圧 V_{ss} または回路14のグランドもしくはこれらの近傍電位とする。

【1627】

以上の事項は、図127～図143、図293、図311、図312、図339～図344などについても適用できることは言うまでもない。つまり、プリチャージ回路であっても、プリチャージ回路（用IC）をソース信号線18の一端に形成または配置し、電流

10

20

30

40

50

プログラム方式のソースドライバ回路（IC）14を前記ソース信号線18の他端に配置または形成してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【1628】

また、電圧階調回路1271（プリチャージ回路）の変化と電流階調回路164とは同期させる。つまり、電圧階調回路1271（プリチャージ回路）の変化が電流階調回路164の変化に対応するように変化させる。電圧階調回路1271による画素16の駆動用トランジスタ11aの出力電流の目標値（期待値）が $1\mu\text{A}$ であれば、電流階調回路164による画素16の駆動用トランジスタ11aの目標値（期待値）が $1\mu\text{A}$ となるように階調制御する。したがって、電流階調回路164の階調データの値と電圧階調回路（プリチャージ回路）1271の階調データとが一致するように構成することが好ましい。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。また、同期をさせることが好ましい。

10

【1629】

本発明はすべてのソース信号線18に電圧プログラム（プリチャージ）と電流プログラムの両方を実施することに限定するものではない。いずれか一方を実施できるものでもよい。たとえば、奇数画素列に電圧プログラム（プリチャージ）を実施し、偶数画素列に電流プログラムを実施できるものでもよい。このような構成であっても画質の低下はほとんどない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【1630】

図135の実施例では、階調番号が0の時は、ソース信号線18の電位がアノード電位（Vdd）となっていない。駆動用トランジスタ11aは立ち上がり電圧までは出力電流が0またはほぼ0である。この立ち上がり電圧までの範囲がCの領域である。したがって、Cの領域はブランクとなるので、階調番号数が一定の場合、図135などに比較して相対的にソース信号線の出力電圧きざみを細かくすることができる。

20

【1631】

図138の関係（階調番号0の時、ソース信号線18の電位は原点（アノード電位）でない関係）と、図136の非直線の関係、図137の複数の関係式を組合せる関係、図135の直線の関係などは、相互に組合せても良いことは言うまでもない。

【1632】

電圧プログラムは、R、G、BのEL素子15の発光効率により、ソース信号線18に出力する電圧値を変更する必要がある。図1の画素構成を例示すれば駆動用トランジスタ11aのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ11aが出力する電流により異なるからである。駆動用トランジスタ11aの出力電流はEL素子15の発光効率で異ならせる必要がある。本発明のソースドライバIC14を汎用性があるものとするためには、EL表示パネルの画素サイズが異なっている、あるいはEL素子15の発光効率が異なっている、設定あるいは調整により対応する必要がある。

30

【1633】

図131は、電圧駆動において、電圧の基準はVddであるという点を利用した回路構成である。図135から図138の縦軸である電圧の大きさVddを固定して変化させる。したがって、階調番号の範囲（256階調＝256きざみ）を一定とした場合でも、縦軸の電圧の大きさを調整することができ、ソースドライバ回路（IC）14を汎用的にすることができる。

40

【1634】

図131は電子ポリウム501の電圧範囲は、VddからVbvである。したがって、オペアンプ502aの出力電圧VadはVddからVbvの値が出力される。Vbvはソースドライバ回路（IC）14の外部より入力される。また、IC（回路）14内部で発生させてもよい。電子ポリウム501のスイッチSは8ビットの制御データ（階調番号）をデコーダ回路532でデコードされ該当のスイッチSが閉じ、電圧VddからVbv間の電圧がVadから出力される。電圧Vadが図135から図138の縦軸である電圧と

50

なる。

【1635】

したがって、 V_{bv} を変化させることにより容易に V_{ad} を変化あるいは調整できる。つまり、図139に図示するように、縦軸は、 V_{dd} 電圧を V_{bv} 電圧の範囲となる。以上の図131の回路構成は、図140に図示するようにRGBごとに設けられる。なお、RGBのEL素子15の発光効率のバランスがとれ、RGB電流 I_c が $I_{cr} : I_{cg} : I_{cb} = 1 : 1 : 1$ の時、ホワイトバランスが取れる場合は、RGBで共通で1つの回路構成（図131）でもよいことは言うまでもない。また、RとG、GとB、BとRというように複数の I_c 電流発生回路を共通にしてよい。なお、 V_{bv} などは点灯率、基準電流比、 $duty$ 比に応じて変化させてもよいことは言うまでもない。

10

【1636】

図77、図78などは電流プログラム回路用に2段のラッチ回路771を有している。本発明のソースドライバ回路（IC）14は電流プログラム回路と、電圧プログラム回路の両方を具備している。

【1637】

図131などはアノード電圧 V_{dd} を原点とするものであった。図141はアノード電位に該当する電圧も調整できるようにするものである。電子ポリウム501の端子 V_{dd} にオペアンプ502cからの電圧を印加している。印加する電圧は V_{bvh} である。電子ポリウム501の下限電圧は、 V_{bvl} である。したがって、ソース信号線18に印加される電圧範囲は、図142に図示するように V_{bvh} 以下 V_{bvl} 以上となる。他の事項は他の実施例と同一あるいは類似であるので説明を省略する。

20

【1638】

図138でも説明したが、駆動用トランジスタ11aなどにはCで示す立ち上がり電圧がある。立ち上がり電圧以下は黒表示（駆動用トランジスタ11aがEL素子15に電流を供給しない）である。図143は、図138のCブランクを発生させる回路である。Cブランクの電圧範囲は、Pkデータで調整する。Pkデータは8ビットである。このPkデータと階調番号データDataとが加算回路3731で加算される。加算されたデータは9ビットとなり、デコーダ回路532に入力され、出コードされて電子ポリウム501の該当スイッチSを閉じさせる。

【1639】

図293はプリチャージ電圧（プログラム電圧と同義あるいは類似）を発生する回路の他の実施例である。抵抗は拡散抵抗あるいはポリシリ抵抗で構成する。ただし、抵抗値もばらつきが発生する場合は、所定抵抗値が得られるようにトリミングなどを実施する。トリミングに関しては図162から図173で説明をしたので説明を省略する。

30

【1640】

実施例では抵抗アレイ2931の内蔵抵抗はR1～R6の6個としているがこれに限定するものではなく、6個以上でも6個以下でもよい。ただし、抵抗などにより発生するプリチャージ電圧（プログラム電圧と同義あるいは類似） V_{pc} の個数は、2の乗数-1あるいは2の乗数-2とすることが好ましい。この-1とは図293に図示するように、オープン状態（プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加しないモード）を指定するためである。

40

【1641】

たとえば、図296においてプリチャージ電圧（プログラム電圧と同義あるいは類似）を指定するVSELデータが0の時は、 V_{pc0} （オープン：プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加しない）とする。 V_{pc0} が指定されることにより、図128のBの期間（Aに示す電圧が印加されない期間がない）のみの駆動を実現できる。つまり、該当画素16（該当ソース信号線18）にはプリチャージ電圧（プログラム電圧と同義あるいは類似）（プログラム電圧と同義）が印加されず（電圧プログラムは実施されない）、電流プログラムのみが実施される）。

【1642】

50

2の2乗-2のうち、-1は先に説明したV_{p c 0}（オープンモード）である。もう1通りは、ソースドライバ回路（IC）14の外部で発生したプリチャージ電圧（プログラム電圧と同義あるいは類似）をソースドライバ回路（IC）14の端子から取り込んで使用するモードである。

【1643】

なお、外部入力プリチャージ電圧（プログラム電圧と同義あるいは類似）は固定に限定するものでない。パネルの回路のドットクロックに同期して（各画素16に対応して）変化するものでもよいことは言うまでもない。また、内部のプリチャージ電圧（プログラム電圧と同義あるいは類似）においても同様である。たとえば、プリチャージ電圧（プログラム電圧と同義あるいは類似）V_{p c 1}が、パネルの回路のドットクロックに同期して（各画素16に対応して）変化するものでもよいことは言うまでもない。

10

【1644】

たとえば、VSELが4ビットであれば、指定できる数は8通りである。したがって、2の乗数-1構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は7通りを指定でき、残りの1通りはオープンモードである。2の乗数-2構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は6通りを指定でき、残りの1通りはオープンモードであり、他の1通りは外部入力プリチャージ電圧（プログラム電圧と同義あるいは類似）を指定できる。また、プリチャージ電圧指定（電圧プログラム駆動）するVSELが8ビットであれば、指定できる数は256通りである。

【1645】

したがって、2の乗数-1構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は255通りを指定でき、残りの1通りはオープンモードである。2の乗数-2構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は254通りを指定でき、残りの1通りはオープンモードであり、他の1通りは外部入力プリチャージ電圧（プログラム電圧と同義あるいは類似）を指定できる。

20

【1646】

以上の実施例において、2の乗数-1構成であれば、-1はオープンモードであるとしたがこれに限定するものではなく、-1を外部入力プリチャージ電圧（プログラム電圧と同義あるいは類似）を指定モードとしてもよい。また、外部入力プリチャージ電圧（プログラム電圧と同義あるいは類似）は1種類に限定するものではなく、複数であってもよい。その場合は、内部で発生するプリチャージ電圧（プログラム電圧と同義あるいは類似）は減少する。また、-1あるいは-2以外のすべての指定に対して異なるプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{p c}が指定されることに限定するものでない。

30

【1647】

複数の指定データで同一のプリチャージ電圧（プログラム電圧と同義あるいは類似）が出力されるように構成あるいは形成もしくは作製してもよいことは言うまでもない。また、複数の指定データでオープンモードあるいは外部入力モードのプリチャージ電圧（プログラム電圧と同義あるいは類似）が出力されるように構成あるいは形成もしくは作製してもよいことは言うまでもない。以上の実施例は図127から図143の実施例にも適用できることは言うまでもない。また、本明細書の他の実施例にも適用できることは言うまでもない。

40

【1648】

以上の実施例において、2の乗数-3構成としてもよい。1つはオープンモードであり、他の1つは外部入力プリチャージ電圧（プログラム電圧と同義あるいは類似）を指定モードとし、残りの1つをアノード電圧としてもよい。アノード電圧V_{d d}の印加により良好な黒表示を実現できる。

【1649】

図293においてプリチャージ電圧（プログラム電圧と同義あるいは類似）の印加期間を長く（最大1H期間）することにより、図129、図130に図示するように電圧プロ

50

グラムを実現できる（電圧データのみをソース信号線 18 あるいは画素 16 に印加し、電流データを印加しない状態）。つまり、VSEL（図 296 を参照のこと）の選択期間あるいは選択タイミングを制御することにより、電圧プログラム方法と電流プログラム方法とのいずれか一方を選択したり、両方のプログラム方法を所定の比率期間で組み合わせたりすることができる。

【1650】

また、画素 16 に印加する映像データ（階調データ）の大きさに応じて、両方のプログラム方法を組み合わせる比率を変化することも容易である。また、画素 16 列方法に連続する映像データ（階調データ）の大きさあるいは変化状態に応じて、両方のプログラム方法を組み合わせる比率を変化することも容易である。また、いずれか一方のプログラム方法のみを実施することもできる。なお、両方のプログラム方法を組み合わせる時は、電圧プログラム方法を先に実施する。

10

【1651】

階調データの大きさに応じてプリチャージ期間（電圧階調回路 1271 の電圧印加期間）を変化させてもよい。低階調の時はプリチャージ期間（電圧階調回路 1271 の電圧印加期間）を長くし、中間階調になるにしたがって、プリチャージ期間（電圧階調回路 1271 の電圧印加期間）を短くする。

【1652】

以上のように本発明は、デジタル信号によりプリチャージ電圧（プログラム電圧と同義あるいは類似）を設定でき、かつ少なくとも 1 つ指定は、プリチャージ電圧（プログラム電圧と同義あるいは類似）は外部から入力できるか、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加しないモードを選択できることを特徴としている。

20

【1653】

プリチャージ回路（電子ボリウム 501 などから構成される。あるいは図 136 の電圧階調回路 1271）の変化と電流階調回路 431c の変化とは同期させる。つまり、プリチャージ回路の変化が電流階調回路 431c の変化に対応するように変化させる。プリチャージ回路による画素 16 の駆動用トランジスタ 11a の出力電流の目標値（期待値）が $1\mu\text{A}$ であれば、プリチャージ回路による画素 16 の駆動用トランジスタ 11a の目標値（期待値）が $1\mu\text{A}$ となるように階調制御する。

【1654】

したがって、プリチャージ回路の階調データの値と電流階調回路 431c の階調データとが一致するように構成することが好ましい。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。また、プリチャージ回路と電流階調回路 431c とは同期をさせることが好ましい。

30

【1655】

プログラム電圧を印加するかしないかの判定は、1 画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、64 階調で、63 階調目が最大白表示、0 階調目を完全黒表示とした場合、あるソース信号線 18 に印加される画像データが 63 階調目→10 階調目→10 階調目であれば、63 階調目から 10 階調目になる時は、プログラム電圧を印加する。低階調目は書込みにくいからである。

40

【1656】

基本動作としては、プログラム電圧を印加した後、プログラム電流を印加し電流補正を行う。同一階調から同一階調目（たとえば、10 階調目から 10 階調目）あるいはある階調目から近傍の階調目（たとえば、10 階調目から 9 階調目）に変化する時は、プログラム電圧を印加せずに、プログラム電流のみを印加する。プログラム電圧を印加すると、駆動用トランジスタ 11a の特性バラツキにより、レーザーショットムラが発生するからである。プログラム電流のみの駆動であれば、階調変化が少ないため、微小なプログラム電流であっても、駆動用トランジスタ 11a の特性バラツキに追従できるからである。

【1657】

50

本発明の駆動方法または表示パネル（表示装置）において、エキシマレーザーによるアニール（E L A）のショットの長辺方向は、ソース信号線 1 8 の形成方向に一致させてアレイ 3 0 を形成または構成する（レーザーのスキャン方向をソース信号線 1 8 の形成方向に直交させる）ことが好ましいことは言うまでもない。画素 1 6 の駆動用トランジスタ 1 1 a の特性変化が、レーザーアニール（E L A）の 1 ショット内において特性が一致しているからである（つまり、ソース信号線 1 8 の形成方向の画素列内では、駆動用トランジスタ 1 1 a の特性（モビリティ（ μ ）、S 値など）が一致している）。

【1 6 5 8】

本発明の実施例ではプログラム電圧を印加するとして説明するが、プログラム電圧をプリチャージ電圧に置き換えてもよい。つまり、プリチャージ電圧が複数種類の電圧を有する場合は、プログラム電圧を同義の動作となるからである。

10

【1 6 5 9】

つぎの画素行（画素）に印加する画像（映像）データは、先の画素行（画素）に印加した画像（映像）データと同一あるいは変化量が小さいときは、プログラム電圧を印加せず、プログラム電流のみを印加する。先の画素行に印加したプログラム電流でソース信号線 1 8 の電位が次に書き込むプログラム電流の電位となっているからである（ずれ量は駆動用トランジスタ 1 1 a の特性バラツキのみである）。したがって、ラスター表示の場合は、プログラム電圧は印加されない（印加してもよいが）。以上の動作は、コントローラ回路（I C）7 6 0 に 1 画素行分（F I F O のため 2 ラインのメモリが必要）のラインメモリを形成（配置）することのより容易に実現できる。ただし、1 画素行目は、垂直ブランキング期間の問題もあるので、プログラム電圧を印加することが好ましい。

20

【1 6 6 0】

本発明において、プログラム電圧＋プログラム電流駆動では、プログラム電圧を印加するとして説明をするが、これに限定するものではない。1 水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線 1 8 に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線 1 8 に書き込み、その後にプログラム電流をソース信号線 1 8 に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。

【1 6 6 1】

以上のように、プログラム電圧印加という動作をプリチャージ電流あるいはプリチャージ電圧で行う方式も本発明のプログラム電圧＋プログラム電流駆動の範疇である。たとえば、図 1 3 1、図 1 4 0、図 1 4 1、図 1 4 3、図 2 9 3、図 2 9 7、図 3 1 1、図 3 1 2、図 3 3 9～図 3 4 4 では電子ポリウム 5 0 1 を切り換えることによりプログラム電圧が変化する。この電子ポリウム 5 0 1 を電流出力の電子ポリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせるにより容易に実現できる。本発明では説明を容易にするため、プログラム電圧＋プログラム電流駆動のプログラム電圧印加は電圧で行うとして説明をする。

30

【1 6 6 2】

プログラム電圧印加は、一定のプログラム電圧を印加することには限定するものではない。たとえば、複数のプログラム電圧をソース信号線に印加してもよい。たとえば、第 1 のプログラム電圧 5（V）を 5（ μ s e c）印加した後、第 2 のプログラム電圧 4. 5（V）を 5（ μ s e c）印加する方法である。その後に、プログラム電流 I w をソース信号線 1 8 に印加する。また、プログラム電圧を鋸波状に変化させたものでもよい。また、矩形波状、三角波状、サインカーブ状の電圧などを印加してもよい。また、正規のプログラム電流（電圧）にプログラム電圧（電流）を重畳させてもよい。また、プログラム電圧（電流）の大きさ、プログラム電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。また、画像データの値などに応じて、印加波形の種類、プログラム電圧の値などを変化させてもよい。

40

【1 6 6 3】

プログラム電圧はソース信号線 1 8 の上辺の一端から印加し、プログラム電流を前記ソ

50

ース信号線 18 の下辺の一端から印加してもよい。また、このように表示パネルのドライバ回路 14 を配置あるいは構成してもよい。

【1664】

プログラム電流とプログラム電圧は同時に印加してもよい。プログラム電流を発生する定電流（可変電流）回路は高インピーダンス回路であるので、プログラム電圧を発生する電圧回路とショート（短絡）しても動作に問題が発生しないからである。ただし、プログラム電圧とプログラム電流の両方をソース信号線 18 に印加する場合は、プログラム電圧の印加を終了したのちに、プログラム電流の印加を終了させる。つまり、1H（水平走査期間）もしくは複数Hあるいは所定の期間での最後はプログラム電流の印加状態で終了させる。また、図 390 などに図示する過電流駆動（プリチャージ電流駆動）と組み合わせ

10

【1665】

本発明は電流駆動方式において、所定の電圧のプログラム電圧を印加した後、プログラム電流を印加するとして説明をする。しかし、本発明の技術的思想は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、EL素子 15 を駆動する駆動用トランジスタサイズが大きいと、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。

【1666】

この課題に対して、正規のプログラム電圧を印加する前に、所定電圧の電圧を印加するという動作を実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書込みを実現できる（印加する電圧はトランジスタ 11a がオフ状態あるいはその近傍となる電圧にすることが好ましい）。したがって、本発明のプログラム電圧＋プログラム電流駆動方式は、電流プログラム駆動に限定されるものではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図 1 などを参照のこと）を例示して説明をする。

20

【1667】

本発明の実施例において、プログラム電圧＋プログラム電流駆動方式（図 127～図 143 など参照のこと）は、駆動用トランジスタ 11a のみに作用するものではない。たとえば、図 11、図 12、図 13 などの画素構成において、カレントミラー回路を構成するトランジスタ 11a にも作用して効果を発揮する。本発明のプログラム電圧＋プログラム電流駆動方式は、ソースドライバ回路（IC）14 からみたソース信号線 18 の寄生容量を充放電することを 1 つの目的としているが、当然のことながらソースドライバ回路（IC）14 内の寄生容量も充放電されることも目的としている。

30

【1668】

プログラム電圧を印加するという動作は、黒表示を良好にすることを 1 つの目的としているが、これに限定されるものではない。白表示を書込み易くする白書込みプログラム電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプログラム電圧＋プログラム電流駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書込み易くするための、（画素 16 に書き込む階調データに応じた）所定の電圧を印加し、ソース信号線 18 などを予備充電するものである。また、階調に応じたプログラム電流を書き込みやすくするために、プログラム電圧を事前に印加するものである。したがって、ソース信号線 18 などの電位が所定電位あるいは所定範囲内に維持されていれば、プログラム電圧を印加する必要はない。

40

【1669】

ただし、画素 16 の駆動用トランジスタ 11a は白表示状態（高階調表示状態）から黒表示状態（低階調表示状態）に変化する動作は比較的高速である。しかし、駆動用トランジスタ 11a は黒表示状態から白表示状態に変化する動作は比較的遅い。したがって、プログラム電圧は、映像（画像）データの値よりも大きくし（高階調表示方向）で印加し、プログラム電流で黒表示方向に補正するように動作させることが好ましい。したがって、プログラム電圧を指定する映像データ＞プログラム電流を指定する映像データの関係を満

50

足させることが好ましい。

【1670】

画素16の駆動用トランジスタ11aがPチャンネルトランジスタで、かつ吸い込み電流（ソースドライバ回路（IC）14に吸い込む電流）で電流プログラムを実施する場合である。画素16の駆動用トランジスタ11aがNチャンネルトランジスタの場合あるいは駆動用トランジスタ11aを吐き出し電流（ソースドライバIC14から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。つまり、画素16の駆動用トランジスタ11aがNチャンネルの場合は黒表示状態（低階調表示状態）から白表示状態（高階調表示状態）に変化する動作は比較的高速である。

【1671】

しかし、駆動用トランジスタ11aは白表示状態から黒表示状態に変化する動作は比較的遅い。したがって、プログラム電圧は、映像（画像）データの値よりも小さくし（低階調表示方向）で印加し、プログラム電流で白表示方向に補正するように動作させることが好ましい。したがって、プログラム電圧を指定する映像データ<プログラム電流を指定する映像データの関係を満足させることが好ましい。以上の事項は本発明の他の実施例においても適用（読み替え）できることは言うまでもない。

【1672】

本発明は説明を容易にするため、駆動用トランジスタ（EL素子15に電流を供給するトランジスタ）がPチャンネルであり、ソースドライバ回路（IC）14が吸い込み（シンク）電流で動作している表示パネル（表示装置）を例示して説明をする。

【1673】

プログラム電圧印加タイミングは、プログラム電流を書き込む画素行を選択した状態でプログラム電圧を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態、ソース信号線18にプログラム電圧を印加して予備充電を行ない、その後、プログラム電流を書き込む画素行を選択してもよい。

【1674】

プログラム電圧は、ソース信号線18に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（V_{dd}）またはカソード端子への印加電圧（V_{ss}）を変化させてもよい（プログラム電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ11aの書き込み能力が拡大される。したがって、プログラム電圧印加（ディスチャージ）効果が発揮される。特に、アノード電圧（V_{dd}）をパルス的に変化させる方式を実施する効果が高い。つまり、プログラム電圧の印加は、駆動用トランジスタ11aをオフ状態にする動作あるいは構成であればいずれの信号線あるいは端子（アノード端子、カソード端子、ソース信号線など）に作用させてもよいことは言うまでもない。

【1675】

図332（a）は階調0のみでプログラム電圧を印加した時の説明図である。階調0のみのプログラム電圧印加は階調飛びがなく、良好な黒表示を実現できるので好ましい方法である。図332において、行番号は、画素行の番号を示している。画素行は、第1画素行からn画素行まで順次画像データが書き換えられ、最終画素行nまで電流プログラムがされると、また、第1画素行から電流プログラムが開始される。

【1676】

一例として画像データは、64階調の画像データとする。画像データは0から63の値をとる。当然ながら、256階調の時は、0から255までの値をとる。PSLはプログラム電圧印加セレクト信号であり、Hレベル（記号H）のとき、プログラム電圧の出力が許可させる。Lレベルの時は、プログラム電圧は出力されない。PENはプログラム電圧印加イネーブル信号である。このPENはコントローラ81の判断により出力される信号である。つまり、コントローラは画像データに基づいて、PEN信号をHまたはLレベルにする。PENがHレベルの時は、プログラム電圧印加をするという判断信号であり、Lレベルの時は、プログラム電圧印加しないという判断信号である。プログラム電圧も好ま

10

20

30

40

50

しくは映像データにより変化させることは言うまでもない。なお、具体的な構成方法は、図127から図143、図293から図297などで説明をする。

【1677】

図332では、階調0の時にのみ、PEN信号はHレベルとなっている。P出力は、スイッチ151aのオンオフ状態である（図16、図75、図308のSiなどを参照のこと）。表では、○はスイッチ151aがオン状態（ソース信号線18にプログラム電圧Vpが印加された状態）である。×はスイッチ151aがオフ状態（ソース信号線18にプログラム電圧が印加されていない状態）である。

【1678】

図332（a）では、画素行番号3と画素行番号8に該当する箇所で、PEN信号がHとなっている。同時に画素行番号3と画素行番号8では、PSL信号もHレベルであるので、P出力は○（プログラム電圧Vpが出力された状態となっている。図332（b）では、PEN信号は図332（a）と同一であるが、PSL信号がLレベルである。したがって、P出力はたえず、×（プログラム電圧Vpが出力されていない）の状態となっている。基本的にはPEN信号もコントローラ81から出力される。しかし、PEN信号はユーザーが調整できるようにすることが好ましい。

【1679】

プログラム電圧Vpが出力されている期間は、図16のカウンタ162で設定することができる。このカウンタはプログラマブルカウンタであり、コントローラからの設定値、あるいはユーザーの設定値に基づき動作する。カウンタ651はメインクロック（CLK）に同期して動作するように構成されている。

【1680】

図333（a）は階調0から階調7のみをプログラム電圧印加した時の説明図である。低階調領域のみにプログラム電圧印加する方法は、電流駆動が黒表示領域を書込みにくいという課題を解決する方策として有効である。なお、いずれの範囲までプログラム電圧印加するかはコントローラ81により設定できる。

【1681】

図333では、階調0～7の時にのみ、PEN信号はHレベルとなっている。P出力は、スイッチ151aのオンオフ状態である。図333（a）では、画素行番号3、5、6、7、11、12、13に該当する箇所で、画像データは7以下であるので、PEN信号がHとなっている。同時に以上の箇所で、PSL信号もHレベルであるので、P出力は○（プログラム電圧Vpが出力された状態）となっている。図333（b）では、PSL信号がLレベルであるので、P出力はすべて×（プログラム電圧が印加されていない状態）となっている。

【1682】

図334は画素16の輝度が低くなる時にプログラム電圧印加を実施する駆動方式の説明図である。電流プログラム方式では、画素16の輝度を高くするとき（白表示）のプログラム電流Iwが大きい。したがって、ソース信号線18に寄生容量があっても十分寄生容量を充放電することができる。しかし、画素16を黒表示となるようにプログラム電圧を印加するときは、プログラム電流は小さくソース信号線18の寄生容量などを十分に充放電することができない。したがって、画素16に書き込むプログラム電流が大きくなる時は、プログラム電圧印加をする必要がない場合が多い。逆に画素16に書き込む電流が小さくなる時（黒表示となる時）はプログラム電圧印加する必要が発生する。

【1683】

図334は画素16の輝度が低くなる時にプログラム電圧印加を実施する駆動方式の説明図である。第1画素行目の画像データが39である。したがって、ソース信号線18には、画素16を画像データ39に電流プログラムする電位が保持されている。第2画素行目の画像データは12である。したがって、ソース信号線18は画像データ12に対応する電位になるようにする必要がある。しかし、プログラム電流は階調39から階調12と小さくなる。そのため、ソース信号線18を十分に充放電できない状態が発生する場合が

10

20

30

40

50

ある。この課題に対応するため、プログラム電圧印加する（PEN信号はHレベルとなる）。画素行3、5、6、8、11、12、13、15においても同様の判定結果となる。

【1684】

第3画素行目の画像データは0である。したがって、ソース信号線18には、画素16を画像データ0に電流プログラムする電位が保持されている。第4画素行目の画像データは21である。したがって、ソース信号線18は画像データ21に対応する電位になるようにする必要がある。プログラム電流は階調0から階調21と大きくなる。そのため、ソース信号線18を十分に充放電可能である。したがって、第4画素行ではプログラム電圧印加する必要はない。

【1685】

以上の判断を、コントローラ81で実施する。実施の結果、図334（a）に図示するように、PEN信号は、画素行2、3、5、6、8、11、12、13、15でHレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。図334（a）では、PSL信号もHレベルであるから、P出力の欄でわかるように、P出力は、画素行2、3、5、6、8、11、12、13、15で○（プログラム電圧印加すること）になる。なお、他の画素行ではプログラム電圧印加は行われない。

【1686】

図334（b）では、PEN信号は図334（a）と同一であるが、PSL信号がLレベルである。したがって、P出力はたえず、×（プログラム電圧V_pが出力されていない）の状態となっている。基本的にはPEN信号もコントローラ81から出力される。しかし、PEN信号はユーザーが調整できるようにすることが好ましい。

【1687】

図335は、図333と図334のプログラム電圧印加方法を組み合わせた方式である。画素16の輝度が低くなる時にプログラム電圧印加を実施し、かつ、画素16のプログラム電流が0〜7階調の低輝度となる場合にプログラム電圧印加する方法である。どの階調以下でプログラム電圧印加するか否かは、コントローラIC81の設定値で変更可能である。また、ユーザーが変更することも可能である。変更は、コントローラ内部のテーブルにマイコンからシリアルインターフェースを介して行う。

【1688】

画像データは図334の実施例と同一である。しかし、図335では、第2画素行では画像データが12であり、第15画素行では、画像データが12であるため、PEN信号はLレベルの判定結果となっている。先にも説明したように、一定以上のプログラム電流I_wの大きさがあれば、ソース信号線18の寄生容量を充放電できる。したがって、プログラム電圧印加する必要はない。逆にプログラム電圧印加するとソース信号線18の電位が黒表示電位まで変化し、中間調表示の電位に復帰するのに時間を要する。

【1689】

以上の判断を、コントローラ81で実施する。実施の結果、図335（a）に図示するように、PEN信号は、画素行3、5、6、8、11、12、13でHレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。図335（a）では、PSL信号もHレベルであるから、P出力の欄でわかるように、P出力は、画素行3、5、6、8、11、12、13で○（プログラム電圧印加すること）になる。なお、他の画素行ではプログラム電圧印加は行われない。図335（b）では、PEN信号は図335（a）と同一であるが、PSL信号がLレベルである。したがって、P出力はたえず、×（プログラム電圧V_pが出力されていない）の状態となっている。

【1690】

以上の実施例は、各RGBのプログラム電圧印加について説明をしていないが、図336のように各RGBでプログラム電圧印加判定を行うことが好ましいことは言うまでもない。各RGBで画像データがことなっているからである。

【1691】

図336は、図333と同様に階調0〜7の範囲でプログラム電圧印加を実施する駆動

10

20

30

40

50

方法である。各RGBでのプログラム電圧印加の判断をコントローラ81で実施する。実施の結果、図336に図示するように、R画像データでは、PEN信号は、画素行3、5、6、7、8、11、12、13でHレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。G画像データでは、PEN信号は、画素行3、7、9、11、12、13、14でHレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。B画像データでは、PEN信号は、画素行1、2、3、6、7、8、9、15でHレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。

【1692】

以上の実施例では、画素行に対応してプログラム電圧印加をするか否かを判断した。しかし、本発明はこれに限定するものではない。フレーム（フィールド）単位で各画素に印加される画像データの大きさ、変化などを判定し、プログラム電圧印加するか否かを判断してもよいことは言うまでもない。図337はその実施例である。

【1693】

図337はある画素16に着目した画像データの変化を示している。図337の表の第1行目はフレーム番号を示している。表の2行目はある画素16にプログラムされる画像データの変化を示している。また、図337は、図332と同様に階調0でプログラム電圧印加する駆動方式の変形例である。図332では、階調0で必ずプログラム電圧印加する方法であった。図337では、階調0が一定フレーム連続する時にプログラム電圧印加する方法である。連続は、カウンタで示す。

【1694】

図337(a)では、フレーム3、4、5、6、11、12で階調0である。そのため、カウント値は、第3フレームから第6フレームまで順次カウントされる。また、フレーム11、12でカウントされる。図337(a)では、階調0が3フレーム連続する時に、プログラム電圧印加を実施するように制御されている。したがって、フレーム5、6でP出力が○（プログラム電圧が出力される）となる。フレーム11、12では2フレームしか階調0が連続しないため、プログラム電圧印加はされない。

【1695】

図337(b)では、PSL信号によりカウント制御を実施している。PSL信号がHレベルの時に、カウント値はアップされる。図337(b)では、フレーム5、12でPSL信号がLレベルため、カウントアップされない。そのため、プログラム電圧は、フレーム6でしか出力されない。

【1696】

図337では階調0が一定フレーム連続する時にプログラム電圧印加するとしたが、本発明はこれに限定するものではなく、図333で説明したように、一定の階調範囲（たとえば、階調0〜7）が連続する時にプログラム電圧印加するように制御してもよい。また、連続したフレームに限定するものではなく、離散的であってもよい。また、連続した画素行で一定の階調範囲（たとえば、階調0のみ、階調0〜7など）が連続する時にプログラム電圧印加するように制御してもよい。

【1697】

以上のように本発明のプログラム電圧+プログラム電流駆動方式では、画像データの値あるいは画像データの変化状態あるいはプログラム電圧印加する画素の近傍の画像データ値とその変化などにより、プログラム電圧印加するか否かを判定し、プログラム電圧（電流）を印加する。また、プログラム電圧印加を印加するか否かの情報は、ソースドライバ回路（IC）に保持される。したがって、ソースドライバ回路（IC）14はプログラム電圧印加信号をラッチするラッチ回路2361（保持回路あるいは記憶手段（メモリ））を具備するだけであるから構成は容易である。また、いずれのプログラム電圧印加方式でもコントローラ回路（IC）760（図83、図85、図181、図319、図320、図327などを参照のこと）のプログラムを変更あるいは設定値を変更するだけで対応できるため汎用性がある。

10

20

30

40

50

【1698】

以上は、プログラム電圧印加により画素を黒表示あるいは黒表示に近い状態にする方法の場合である。しかし、プログラム電圧を印加することにより、白表示にする場合もある。したがって、プログラム電圧印加とは、黒表示電圧だけではない。ソース信号線18に電圧印加により、ソース信号線18に一定電位にする方法である。

【1699】

なお、図1など、画素16の駆動用トランジスタ11aがPチャンネルの場合は、スイッチング用トランジスタ11bもPチャンネルで形成することが重要である。スイッチング素子11bがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。したがって、画素16の駆動用トランジスタ11aがNチャンネルの場合は、スイッチング用トランジスタ11bもNチャンネルで形成することが重要である。スイッチング素子11bがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。

【1700】

下段は、ソース信号線18にプログラム電圧(PRV)を印加した時にソース信号線電位を図示している。矢印の箇所がプログラム電圧(PRV)の印加位置を示している。なお、プログラム電圧印加位置は、1Hの最初に限定するものではない。1/2Hまでの期間にプログラム電圧を印加すればよい。なお、ソース信号線18にプログラム電圧を印加するときは、選択側のゲートドライバ12aのOEV端子を操作し、いずれのゲート信号線17aも選択されていない状態にすることが好ましい。

【1701】

なお、プログラム電圧を印加するかしないかの判定は、1画素行前の画像データ(あるいは、直前にソース信号線に印加された画像データ)にもとづいて行っても良い。あるソース信号線18に印加される画像データにおいて、第1画素行目の直前の画素行(画素)(最終画素行)の印加データが63階調目で、第1画素行(画素)目が10階調目であり、以降の画像データの変化がない場合(10階調目が連続する)、第1画素行(画素)に10階調目あるいはその近傍に該当するプログラム電圧が印加さえる。しかし、第2画素行目から最終画素行目にはプログラム電圧は印加されない。

【1702】

図338はプログラム電流データ(赤用IR、緑用IG、青用IB)とプログラム電圧データ(赤用VR、緑用VG、青用VB)との関係を示している。プログラム電流データ、プログラム電圧データは映像(画像)データにもとづき、コントローラIC(回路)760により発生させられる(図127から図143などを参照のこと)。

【1703】

図338(a)はプログラム電流データ(赤用IR、緑用IG、青用IB)とプログラム電圧データ(赤用VR、緑用VG、青用VB)が同一数を有する例である。つまり、任意のプログラム電流データ(赤用IR、緑用IG、青用IB)に対応するプログラム電圧データ(赤用VR、緑用VG、青用VB)を有する場合である。したがって、プログラム電圧を印加すれば、それに対応するプログラム電流を印加することができる。

【1704】

図338(b)はプログラム電流データ(赤用IR、緑用IG、青用IB)よりもプログラム電圧データ(赤用VR、緑用VG、青用VB)が少ない実施例である。プログラム電圧データ(赤用VR、緑用VG、青用VB)の下位2ビットがない。一般的に低階調では階調表示がラフでよい。図338(b)の実施例では、たとえば、階調0~3のプログラム電流データを印加する前に、階調0のプログラム電圧データを印加する。階調4~7のプログラム電流データを印加する前に、階調1(実際は下位2ビットがないので階調4)のプログラム電圧データを印加する。

【1705】

図338(c)もプログラム電流データ(赤用IR、緑用IG、青用IB)よりもプログラム電圧データ(赤用VR、緑用VG、青用VB)が少ない実施例である。プログラム

10

20

30

40

50

電圧データ（赤用 V R、緑用 V G、青用 V B）の上位および下位 2 ビットがない。一般的に低階調では階調表示がラフでよい。図 3 3 8（c）の実施例では、たとえば、階調 0～3 のプログラム電流データを印加する前に、階調 0 のプログラム電圧データを印加する。階調 4～7 のプログラム電流データを印加する前に、階調 1（実際は下位 2 ビットがないので階調 4）のプログラム電圧データを印加する。また、高階調領域では、プログラム電流が優勢のため、プログラム電圧を印加する必要がない。したがって、高階調領域でプログラム電圧を印加するときは、プログラム電圧データ（赤用 V R、緑用 V G、青用 V B）の最大値をソース信号線 1 8 などに印加する。

【1706】

図 2 9 3 において、抵抗アレイ 2 9 3 1 の c 電位は電子ボリウム 5 0 1 a の出力により決定される。抵抗アレイ 2 9 3 1 の d 電位は電子ボリウム 5 0 1 b の出力により決定される。抵抗アレイ 2 9 3 1 は抵抗値が 1、3、5、7、・・・（ $2n-1$ ）の比率で形成されている。c 点から加算すると、1、4、9、16、25、・・・（ $n \cdot n$ ）となる。つまり、2 乗特性となっている。したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）V p c は抵抗アレイ 2 9 3 1 の c 点と d 点との電位差が略 2 乗特性きざみとなる。

【1707】

なお、2 乗きざみに限定するものではなく、1.5 乗から 3 乗の範囲であればよい。また、この範囲は変更できるように構成することが好ましい。変更は、抵抗アレイ 2 9 3 1 の抵抗 R*（*は該当抵抗の番号）を複数抵抗値で形成し、目的に応じて切り換えるように構成すればよい。なお、1.5 乗から 3 乗の範囲で変化させるのは、ガンマ特性を画像により変化させることにより良好な画像表示を実現できるからである。また、ガンマの変化によりプリチャージ電圧（プログラム電圧と同義あるいは類似）も変化する必要があるのである。以上のことは、図 1 0 6、図 1 0 8（a）（b）などで説明をしたので省略する。

【1708】

図 2 9 3 のように構成することにより、プリチャージ電圧（プログラム電圧と同義あるいは類似）の原点（c 点 = V c p 1）と、プリチャージ電圧（プログラム電圧と同義あるいは類似）の最終点（d 点 = V p c 7）を変化させることができる。また、V c p 1 と V c p 7 の電圧を略 2 乗きざみで出力することにより、階調に応じて最適なプリチャージ電圧（プログラム電圧と同義あるいは類似）を出力することができる（図 1 3 5 から図 1 4 2 の説明も参照のこと）。なお、階調の出力方式がリニアの場合は、抵抗アレイ 2 9 3 の抵抗も等抵抗間隔にしてもよいことは言うまでもない。特に電流プログラム方式と組み合わせる場合は、図 2 9 3 のプリチャージ駆動（電圧プログラム方式）も等間隔にすることが好ましい。

【1709】

図 2 9 3 の V p c 0 はオープンしている。つまり、V p c 0 が選択された時は、電圧無印加状態となる。したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）はソース信号線 1 8 には印加されない。

【1710】

図 2 9 3 は c 点、d 点の両方の電圧を変化させる構成であったが、図 2 9 7 に図示するように d 点のみを変化させるように構成してもよい。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）は図 2 9 3 に図示するように 8 つに限定するものではなく、複数であればいずれでもよい。また、図 2 9 7 は D A 回路 5 0 3 を用いた構成であるが、図 3 1 1 に図示するように d 電圧はボリウム（V R）などを用いてアナログ的に変更あるいは可変してよい。

【1711】

図 2 9 7 などのプリチャージ電圧（プログラム電圧と同義あるいは類似）の原点とする V s 電圧は、ソースドライバ回路（I C）1 4 の外部で発生させて電圧であってもよい。図 3 2 4 では、ボリウム V R で V 0 電圧を発生し、各ソースドライバ回路（I C）1 4 に

10

20

30

40

50

共通の電圧として電子ボリウム 501 に印加している。つまり、V0 電圧を図 131、図 143、図 308、図 311、図 312 などの Vs 電圧として用いている。Vs 電圧は、アノード電圧 Vdd と同一にすることにより電源数を減少させることができる。

【1712】

以上の実施例では、プリチャージ電圧（プログラム電圧と同義あるいは類似）はアノード電圧に近い電圧であるとして説明をした、しかし、画素構成によっては、プリチャージ電圧（プログラム電圧と同義あるいは類似）がカソード電圧に近い場合がある。たとえば、駆動用トランジスタ 11a が N チャンネルトランジスタで形成している場合、駆動用トランジスタ 11a が、P チャンネルトランジスタで吐き出し電流（図 1 の画素構成は吸い込み（シンク）電流）で電流プログラムが実施される場合である。

10

【1713】

この場合は、プリチャージ電圧（プログラム電圧と同義あるいは類似）はカソード電圧に近い電圧とする必要がある。たとえば、図 297 では d 点を基準位置とする必要がある。図 293 ではオペアンプ 502b の出力電圧を基準とする必要がある。また、図 131 の Vbv 電圧を基準とする必要があり、図 141、図 143 では Vbvl を基準とする必要がある。以上のように画素構成などが変化すると基準位置を変更する必要があることは言うまでもない。

【1714】

図 312 に図示するように電圧セクタ回路 2951 を用いて構成してもよい。電圧セクタ回路の a 端子には電子ボリウム 501 によりプリチャージ電圧（プログラム電圧と同義あるいは類似）Vpc が変化（変更）されたものが印加され、b 端子には固定のプリチャージ電圧（プログラム電圧と同義あるいは類似）Vc が印加される。

20

【1715】

図 339 は本発明の他の実施例である。電子ボリウムの 0 階調目に該当するプリチャージ電圧（プログラム電圧）V0 は図 324 に図示するように RGB で固定電圧を印加する。もちろん、RGB で変化させてもよい。CCM 方式では一般的に RGB で共通でよい。また、抵抗 R は図に示すように電子ボリウム 501 の外づけとしてもよい。抵抗 R を変化あるいは取り替えることにより自由に各 Vpc 電圧を変化できる。

【1716】

なお、抵抗値 $R_1 > R_2 > \dots > R_n$ の関係を維持するように構成する。また、少なくとも $R_1 > R_n$ の関係を維持させる（ R_n は最後のスイッチから出力される Vpc 電圧を決定する抵抗である。また、 R_1 は低階調側であり R_n は高階調側である。また、 R_1 は駆動用トランジスタ 11a の立ち上がり電圧近傍の電圧発生用であり、 R_n は白表示電圧を発生するものである）。特に、 $R_1 > R_2$ （ R_1 の端子間電圧 $>$ R_2 の端子間電圧）の関係は維持することが好ましい。駆動用トランジスタ 11a の特性から、V0 電圧の次の 1 階調目の電圧との差が、1 階調目と 2 階調目の電圧との差が大きいからである。

30

【1717】

スイッチ S は VDATA をデコードすることにより指定される。なお、選択できる Vpc の電圧の個数は、表示装置が 6 インチ以上の場合、表示装置の階調数の $1/8$ 以上にすることが好ましい（256 階調の場合は、32 階調以上）。特に、 $1/4$ 以上とすることが好ましい（256 階調の場合は、64 階調以上）。比較的高階調領域までプログラム電流の書き込み不足が発生するからである。6 インチ以下の比較的小型の表示パネル（表示装置）では、選択できる Vpc の電圧の個数は、2 以上とすることが好ましい。Vpc が V0 の 1 つであっても良好な黒表示を実現できるが、低階調領域で階調表示することが困難な場合があるからである。Vpc が 2 以上であれば、FRC 制御により複数の階調を発生することができ、良好な画像表示を実現できる。

40

【1718】

b 点の電位を決定する SDATA は基準電流 Ic に相関する。好ましくは Ic の $1/1.5$ 乗以上 $1/3$ 乗に比例するように制御される。基準電流 Ic が大きい時は、b 点電位

50

が降下するように制御され、基準電流 I_c が小さい時は b 点電位が高くなる。したがって、基準電流 I_c が大きい時は、各抵抗 R 間の電位差が大きくなり、各 V_{pc} の差が大きくなる（プログラム電圧のステップ変化が大きくなる）。逆に、基準電流 I_c が小さい時は、各抵抗 R 間の電位差が小さくなり、各 V_{pc} の差が小さくなる。たとえば、図 3 4 4 に図示するように基準電流 I_c により b 端子の電位を変化させ、電圧 V_0 との電位差により電子ポリウム 5 0 1 の各抵抗端子間の電位差と比例的に変化させる。

【1719】

図 3 4 4 は基準電流 I_c により直接 b 端子の電位を変化させるとしたがこれに限定するものではない。図 1 8 8 の基準電流 I_c (I_{cr} 、 I_{cg} 、 I_{cb}) を電流分流回路あるいは変換回路で変換などした電流を用いてもよい。変換などにより得られる電流は基準電流の $1/2$ 乗近傍になるように構成する。また、各 RGB の電子ポリウム 5 0 1 における基準電流 I_c は、 RGB ごとに異ならすことができるように構成することが好ましいことは言うまでもない。

【1720】

たとえば、図 3 4 3 は、基準電流 I_c (あるいは基準電流に比例または相関する電流) をトランジスタ 1 5 8 b、1 5 8 c からなるカレントミラー回路に導入し、抵抗 R_0 の一端に発生する電圧 V_1 をオペアンプ 5 0 2 a を介して、 b 端子に印加する構成である。このように構成することにより、基準電流（本発明の点灯率制御では、基準電流を変化させることにより表示輝度あるいは消費電流制御などを実施する）の変化に応じてあるいは相関してプリチャージ電圧（プログラム電圧）を変化させることができる。なお、 b 端子の電圧変化は緩やかにしないと画像にフリッカが発生する。この対策のために、図 3 4 3 の実施例では b 端子にコンデンサ C を配置または形成している。

【1721】

本発明の実施例において、オペアンプ 5 0 2 は増幅回路などのアナログ処理回路として用いる場合もあるが、バッファとして使用する場合もある。

【1722】

以上のように、基準電流変化（点灯率制御による変化）における b 端子の電圧変化（プリチャージ電圧（プログラム電圧） V_{pc} の変化は緩やかになるように実施する。以上のことは本発明の他の実施例においての同様に適用されることは言うまでもない（図 3 4 3、図 3 3 9 など参照のこと）。

【1723】

基準電流 I_c に応じてあるいは相関してプリチャージ電圧（プログラム電圧）を変化あるいは変更する構成として、図 3 4 5 にあげる実施例も例示される。図 3 4 5 の実施例では、基準電流 I_c (あるいは基準電流 I_c に比例または相関する電流) がカレントミラー回路（トランジスタ 1 5 8 b、トランジスタ 1 5 8 c など構成）が構成されている。抵抗 R_0 はソースドライバ回路（ IC ）1 4 の外部に取り付け（配置あるいは形成）されたものである。抵抗 R_0 を取り替えるあるいは変更することにより電子ポリウム 5 0 1 a、5 0 1 b の端子 b の電圧を変更あるいは可変することができる。

【1724】

抵抗 R_0 は固定抵抗、ポリウムなどに限定するものでない。ツェナーダイオード、トランジスタ、サイリスタなどの非線形素子であってもよい。また、定電圧レギュレータ、スイッチング電源などの回路あるいは素子であってもよい。また、抵抗 R_0 の代わりにポジスタ、サーミスタなどの素子でもよい。端子 b の電位調整とともに、温度補償も同時に実施することができる。ソースドライバ回路（ IC ）1 4 の抵抗に関しても同様に置き換えることができる。

【1725】

以上の事項は本発明の他の実施例にも適用できることは言うまでもない。たとえば、図 1 8 8、図 2 0 9 の抵抗 R_1 、図 1 9 7、図 3 4 6 の抵抗 $R_1 \sim R_3$ 、図 3 1 1 の V_R 、図 3 2 4 の V_R 、図 3 3 9 の $R_1 \sim R_8$ 、図 3 4 1 の R_1 、 R_2 、図 3 4 3 の R_0 、図 3 5 1 の R_a 、 R_b 、 R_c 、図 3 5 4 の R_a 、 R_b などが例示される。図 3 5 1、図 3 5 2

10

20

30

40

50

、図 3 5 3 などの内蔵抵抗などにも適用できることはいうまでもない。

【1 7 2 6】

図 3 4 5 の構成は、電子ポリウム 5 0 1 a は $VDA TA 1$ の値により第 1 のプリチャージ電圧（プログラム電圧） $V a$ が選択され、電子ポリウム 5 0 1 b は $VDA TA 2$ の値により第 2 のプリチャージ電圧（プログラム電圧） $V b$ が選択される。表示パネル（表示装置）に印加される $V p c$ は $V a$ 電圧と $V b$ 電圧をオペアンプなどから構成される加算回路 3 4 5 1 で加算されたものとなる。以上のように複数の電子ポリウム 5 0 1（操作手段）を用いることにより柔軟にかつ目的に対応した $V p c$ 電圧を発生させることができる。

【1 7 2 7】

図 3 4 5 の実施例は、 $V a$ 電圧と $V b$ 電圧を加算して $V p c$ 電圧を発生させるとしたがこれに限定するものではない。 $V a$ 電圧と $V b$ 電圧を減算してもよい。また、掛算してもよい。また、 $V a$ 電圧と $V b$ 電圧の 2 電圧に限定するものではなく、3 つ以上の電圧で $V p c$ 電圧を発生させてもよい。また、電圧に限定するものではなく、 $I a$ 電流と $I b$ 電流のように発生する対象が電流などであってもよい。この電流などを最終的に電圧である $V p c$ に変更するものであればいずれでもよい。

【1 7 2 8】

以上のようにプリチャージ電圧（プログラム電圧）は複数の電圧を変換あるいは合成もしくは操作することにより発生させてもよい。以上の事項は本発明の他の実施例（たとえば、図 1 2 7 から図 1 4 3、図 2 9 3 ～図 2 9 7、図 3 0 8 ～図 3 1 3、図 3 3 8 ～図 3 4 5、図 3 4 9 ～図 3 5 4 が例示される）にも適用できることは言うまでもない。

【1 7 2 9】

図 3 4 2 は電子ポリウム 5 0 1 の抵抗 $R a$ あるいは $R b$ の大きさを変化させている。 $R a 1 > R a 2$ 、 $R a > R b$ としている。図 3 4 2 のように構成することにより、プリチャージ電圧の最初のステップは電圧差が大きく、高階調になるにしたがって（高階調側では）、プリチャージ電圧のステップが小さくなるようにしている。高階調側では、駆動用トランジスタ 1 1 a のゲート端子電圧を少し変化させるだけで大きな出力電流（＝プログラム電流）を得ることができるからである。

【1 7 3 0】

中間部以上の抵抗 $R b$ は同一抵抗（ $R b 1 = R b 2$ ）値としてもよい。また、 $R a > R b$ とし、 $R a 1 = R a 2 = \dots$ 、 $R b 1 = R b 2 = \dots$ と構成してもよい。つまり、 $VDA TA$ に対するプリチャージ電圧 $V p c$ の変化は 1 点折れ線カーブになる。もちろん、図 3 3 9 などに図示するように、すべての抵抗 R は同一の抵抗値でもよい。この場合は、 $VDA TA$ に対するプリチャージ電圧 $V p c$ の変化はリニアになる。なお、リニアの場合であっても、 $R a 1 > R a 2$ なる関係を保持しておくことが好ましい。立ち上がり電圧 $V 0$ と次のプリチャージ電圧 $V p c = V 1$ 電圧とのステップが大きいためである。

【1 7 3 1】

ソースドライバ回路（ IC ）1 4 に内蔵する抵抗の抵抗値はトリミングにより、あるいは加熱により抵抗値を所定値となるように調整あるいは加工してもよいことはいうまでもない。

【1 7 3 2】

$SDATA$ の値は、 DA 回路 5 0 3 により電圧に変換され、電子ポリウム 5 0 1 の端子 b に印加される。なお、 $SDATA$ の発生の替わりに図 3 1 1 に図示するようにアナログ的に変化させてもよいことはいうまでもない。また、図 3 3 9 などでは、基準電流の大きさなどにより b 端子電圧を変化させるとしたが、これに限定するものではなく、固定電圧でもよい。

【1 7 3 3】

$V p c$ の電圧の発生は電子ポリウム 5 0 1 により発生することに限定するものではない。たとえば、オペアンプからなる加算回路でも発生させることができる。また、複数の電圧をスイッチで選択するスイッチ回路でも構成できる。

10

20

30

40

50

【1734】

図348は、b端子の電位をソースドライバ回路（IC）14の外部で発生した電圧（ V_{1c} 、 V_{c2} 、 V_{c3} ）をスイッチSの操作により選択できるように構成した実施例である。

【1735】

本発明において、V0端子（0階調目の電圧を印加する端子あるいはトランジスタ11aの立ち上がり電圧以下の電圧を印加する端子）は、RGBのプリチャージ回路（プログラム電圧発生回路）で共通でもよい。しかし、b端子の電圧は、RGBで独立に設定できるように構成することが好ましい。この実施例を図349に示す。

【1736】

本発明の実施例において、オペアンプ502は増幅回路などのアナログ処理回路として用いる場合もあるが、バッファとして使用する場合もある。

【1737】

図349では、Rのプリチャージ回路（プログラム電圧発生回路）501R、Gのプリチャージ回路（プログラム電圧発生回路）501G、Bのプリチャージ回路（プログラム電圧発生回路）501Bで、a端子のV0電圧を共通に印加している。しかし、b端子では、Rのプリチャージ回路（プログラム電圧発生回路）501Rには V_{1R} 電圧を印加できるように構成している。同様に、Gのプリチャージ回路（プログラム電圧発生回路）501Gには V_{1G} 電圧を印加できるように構成している。また、Bのプリチャージ回路（プログラム電圧発生回路）501Bには V_{1B} 電圧を印加できるように構成している。

【1738】

図340の実施例は、電子ボリウム501内に少なくとも1つ以上のDA回路503を形成または構成もしくは配置した実施例である。各DA回路503は2つの電圧（たとえば、DA回路503aは電圧V0とV1、DA回路503bは電圧V1とV2、DA回路503cは電圧V2とV3、DA回路503dは電圧V3とV4）と、DAデータを設定するVDATA（5：0）およびどのDA回路503を動作させるかを選択する選択ビットSにより制御される。

【1739】

各DA回路503はVDATA（5：0）とS端子により制御され、それぞれ2つの電圧間の電圧を出力する。たとえば、DA回路503aは、S1端子が選択されることにより、 V_{pc} 電圧を発生する。なお、S1端子を選択する信号はスイッチS1のオンを制御する。また、DA回路503aはVDATA（5：0）の値により、V0電圧とV1電圧間において、VDATA（5：0）の値に対応した電圧を出力する。図340の実施例では、VDATAは6ビットであるから、V0－V1電圧を64分割し、この分割された単位電圧×VDATA（5：0）の値＋V1電圧が出力されることになる。

【1740】

同様に、DA回路503bは、S2端子が選択されることにより、 V_{pc} 電圧を発生する。S2端子を選択する信号はスイッチS2のオンを制御する。また、DA回路503bはVDATA（5：0）の値により、V1電圧とV2電圧間において、VDATA（5：0）の値に対応した電圧を出力する。図340の実施例では、V1－V2電圧を64分割し、この分割された単位電圧×VDATA（5：0）の値＋V2電圧が出力されることになる。以上の事項は、DA回路503c、503dについても同様である。

【1741】

図340のように構成すれば、V0、V1・・・V4電圧を変更するだけで発生する V_{pc} のカーブを変更することを容易に実現できる。つまり、図340のV1、V2、V3電圧は、階調データ（VDATA（5：0）、S1、S2、S3、S4）に対する V_{pc} の折れ曲がり位置を制御している（図340の構成では、3点折れガンマカーブである）。V1、V2、V3電圧を変化させることにより、階調データに対するプリチャージ電圧（プログラム電圧）の大きさあるいは傾きを変更することが容易に実現できる。また、V0電圧を変更することにより、0階調目で印加するプリチャージ電圧（プログラム

10

20

30

40

50

電圧)位置を変化できる。また、V4電圧を変更することによりプリチャージ電圧(プログラム電圧)を印加する最大値を変化させることができる。また、DA回路503の個数を増加させること、入力電圧(V0~V4)数を増加させることにより、より柔軟なプリチャージ電圧(プログラム電圧)またはガンマカーブを設定することが可能になる。

【1742】

図340の実施例では、電圧V1~V4はソースドライバ回路(IC)14の外部から供給するとしたがこれに限定するものではない。ソースドライバ回路(IC)14の内部で発生させてもよい。また、図341に図示するように、2つの電圧(V0電圧、V2電圧)を抵抗(R1、R2)で分圧してV1電圧を発生させてもよい。

【1743】

DA回路503bは、S1端子が選択されることにより、Vpc電圧を発生する。S1端子を選択する信号はスイッチS1のオンを制御する。また、DA回路503bはVDATA(2:0)の値により、V0電圧とV1電圧間において、VDATA(2:0)の値に対応した電圧を出力する。図341の実施例では、V0-V1電圧を8分割し、この分割された単位電圧×VDATA(2:0)の値+V1電圧が出力されることになる。

【1744】

DA回路503cは、S2端子が選択されることにより、Vpc電圧を発生する。S2端子を選択する信号はスイッチS2のオンを制御する。また、DA回路503cはVDATA(4:0)の値により、V1電圧とV2電圧間において、VDATA(4:0)の値に対応した電圧を出力する。図341の実施例では、V1-V2電圧を32分割し、この分割された単位電圧×VDATA(4:0)の値+V2電圧が出力されることになる。

【1745】

抵抗R1あるいは抵抗R2もしくは両方の抵抗Rは、ソースドライバ回路(IC)14に内蔵させてもよい。また、一方もしくは両方の抵抗を可変抵抗としてもよい。また、抵抗R1、R2に対してトリミング加工などを実施することにより調整などをしてよいことは言うまでもない。以上の事項は本発明の他の実施例においても適用されることは言うまでもない。

【1746】

図351は、ソースドライバ回路(IC)14の外部に3つの抵抗(Ra、Rb、Rc)を用いて、V0電圧およびV1電圧を発生させた実施例である。抵抗はソースドライバ回路(IC)14の端子2883に接続する。アノード電圧とグラウンド(GND)間に抵抗Ra、Rb、Rcを直列接続している。抵抗Raの両端にはVa電圧(Vdd-Va=V0)、抵抗Rb間にVb電圧、抵抗Rc間にVc電圧(Vc=V1)が発生する。

【1747】

以上のように構成することにより、抵抗Ra、Rb、Rcを調整することにより電圧V0、V1を自由に設定することができる。また、図351の構成ではアノード端子電圧Vddを基準でV0電圧、V1電圧などを発生させる構成である。したがって、アノード電圧Vddが変動した場合、あるいは電源モジュールで発生するVdd電圧の電圧バラツキが発生した場合でも、V0電圧、V1電圧は連動して変化する。この変化は画素16の駆動用トランジスタ11aの動作原点(アノード端子)と一致しているため、良好な動作を実現できる。

【1748】

図487に図示するように構成することも好ましい。図487は図340の変形例(簡略化した実施例でもある)である。図487は4点折れガンマの実施例であるが、これは説明を容易にするためであって、4点折れガンマ以下であっても、4点折れガンマ以上であってもよい。

【1749】

図487の特徴は、V0~V1、V1~V2、V2~V4間のプリチャージ電圧Vpc数が一定でないことである。一例としてV0~V1はVpc0とVpc1の2個、V1~V2は $32-1=31$ 個のプリチャージ電圧Vpc、V2~V3は $128-32=96$ 個

10

20

30

40

50

のプリチャージ電圧 V_{pc} 、 $V_3 \sim V_4$ は $255 - 32 = 223$ 個のプリチャージ電圧 V_{pc} としている。つまり、高階調になるにしたがって、プリチャージ電圧数を多くしている。

【1750】

図356に図示するように、階調0対応するプリチャージ電圧 V_0 はRGBで共通であり（図349などを参照のこと）、アノード電圧 V_{dd} に近い。また、階調1対応するプリチャージ電圧 V_1 はRGBで異なり、 V_1 と V_0 電圧の電位差は大きい（図356を参照のこと）。また、 V_1 電圧は低階調であるため、電流プログラム方法において書き込み不足が発生しやすく、EL素子の発光効率も低いため、電圧駆動を支配的にする必要がある。この理由から、図487では、 V_0 電圧と V_1 電圧とをソースドライバ回路（IC）14の外部より入力している。

10

【1751】

一方、 V_3 電圧から V_4 電圧の範囲は、グラウンド（GND）電圧に近い。また、プログラム電流も大きいため、電流駆動が支配的となるため、基本的には、プリチャージ電圧 V_{pc} の印加は必要でない。また、図356で図示するため、高階調側では、ソース信号線電位（駆動用トランジスタ11aのゲート電位）に対する出力電流は直線的な関係になり、少しの電位変化で出力電流は大きくなる。また、電流値も大きい。したがって、プリチャージ電圧 V_{pc} の精度は必要ない。この理由から、 V_3 電圧と V_4 電圧の間に対応する階調数を多くしても問題ない。

【1752】

20

好ましくは、 $V_0 \sim V_1$ の電位差、 $V_1 \sim V_2$ の電位差、 $V_2 \sim V_3$ の電位差、 $V_3 \sim V_4$ の電位差は同一あるいは近傍の電圧差にすることが好ましい。近傍の電位差とは、1V以内である。このように近傍の電位差にすることにより、電圧 $V_0 \sim V_4$ の発生回路が容易になり、電子ボリウム501の構成も簡略化することができる。

【1753】

以上のように、本発明は、外部から（内部で発生してもよいことは言うまでもない）印加する電圧 $V_0 \sim V_4$ のそれぞれ間に対応するプリチャージ電圧数が異なっていることに特徴がある。

【1754】

V_0 電圧は、基準電流比が変化しても固定でよい。しかし、 V_1 電圧位置は、基準電流比の変化に大きく依存する。画素16の駆動用トランジスタ11aの立ち上がり電流が小さいため、基準電流比に対応して駆動用トランジスタ11aのゲート端子電位（プログラム時のソース信号線18電位）を大きく変化させる必要があるからである。駆動用トランジスタ11aがPチャンネルトランジスタの場合は、基準電流比が大きくするにしたがって、ソース信号線18電位を低下させる必要がある。また、基準電流比による電圧の変化は、 V_2 電圧よりも V_4 電圧の方を大きくする必要がある。

30

【1755】

以上のように本発明は、基準電流比を変化させる駆動を実施する場合は、 V_0 電圧を固定または、所定電圧近傍の電位を維持したまま、 V_1 電圧以降あるいは V_2 電圧以降の電位を変化させることに特徴がある。なお、駆動用トランジスタ11aがNチャンネルトランジスタの場合は、GND電位側に V_0 電圧（立ち上がり電圧）が位置する。

40

【1756】

したがって、図487の電位関係をNチャンネル用に変更すればよい。変更は当業者であれば容易であるので説明を省略する。以上のように、本発明は、駆動用トランジスタ11aがPチャンネルトランジスタであるとして説明をするがこれに限定するものではない。Nチャンネルトランジスタであってもよいことは言うまでもない。

【1757】

図487は V_0 と V_1 電圧間にソースドライバ回路（IC）14の内蔵抵抗を形成または配置した構成である。もちろん、抵抗Rは外づけ抵抗であってもよい。また、抵抗Rの抵抗値はトリミングにより調整してもよい。

50

【1758】

V0電圧は固定であり、V1あるいはV2電圧と連動しないのであれば、図491に図示するように、抵抗Rを形成する必要がない。また、V0電圧とV1電圧とは比較的電位差が大きいため、V0電圧とV1電圧間には大きな抵抗を形成する必要がある。大きな抵抗は、抵抗のパーツ数が増大し、ソースドライバ回路(IC)14チップのサイズ拡大に直結する。

【1759】

図491はこの課題を解決するため、V0電圧とV1電圧とを独立させている。つまり、V0電圧端子とV1電圧端子間に抵抗を形成していない。また、V1電圧端子とV2電圧端子間にも抵抗を形成していない。一方、V2電圧端子とV8電圧端子間には抵抗Rを配置し、Vpc2とVpc3間、Vpc3とVpc4間、Vpc4とVpc5間など1つのプリチャージ電圧端子間には、抵抗Rの8倍の抵抗(8R)を形成している。これは、V2電圧端子とV3電圧端子間は比較的電位差が大きく、抵抗Rの形成数が少ないと貫通電流が多く流れ消費電力が大きくなるからである。

【1760】

V8電圧端子とV32電圧端子間には抵抗Rを配置し、Vpc8とVpc9間、Vpc9とVpc10間、Vpc10とVpc11間など1つのプリチャージ電圧端子間には、抵抗Rの4倍の抵抗(8R)を形成している。これは、V8電圧端子とV32電圧端子間も比較的電位差が大きく、抵抗Rの形成数が少ないと貫通電流が多く流れ消費電力が大きくなるからである。V32電圧端子とV128電圧端子間のVpc端子間には抵抗Rを配置している。1パーツの抵抗で構成できるのは、V32電圧端子とV128電圧端子間に形成されるプリチャージ電圧端子数が多いため、抵抗Rの構成数も多く、貫通電流が流れないからである。以上の事項は、V128電圧端子とV255電圧端子間も同様である。

【1761】

図491の実施例のように、V2電圧、V8電圧、V32電圧、V128電圧と、4倍の階調に対応するように電圧端子を構成すると、図492に図示するように、折れ線ガンマのプリチャージ電圧回路を構成することができる。V2電圧とV8電圧との電位差、V8電圧とV32電圧との電位差、V32電圧とV128電圧との電位差、V128電圧とV255電圧との電位差はほぼ等しくなる。また、図492の折れ線ガンマは駆動用トランジスタ11aのV-I特性と一致する。

【1762】

以上のことから、図491、図492の実施例のように、構成することにより良好なプリチャージ駆動(プリチャージ電圧+プログラム電流駆動など)を実現することができる。図491の回路構成から出力されるプリチャージ電圧により、目標のソース信号線18電位近傍に変化し、わずかなずれ量をプログラム電流により補正できるから、均一性が非常に良好な画像表示を実現できる(図127~図142などを参照のこと)。

【1763】

図491の構成は、電圧端子はV0、V1、V2、V8、V32、V128、V255の7端子の実施例である。しかし、本発明はこれに限定されるものではない。たとえば、図493は512階調の実施例であり、電圧端子位置を示している。図493(a)は、端子位置を0、1、2、4、8、32、128、512と記載している。つまり、V0電圧端子、V1電圧端子、V2電圧端子、V8電圧端子、V32電圧端子、V128電圧端子、V512電圧端子を形成した実施例である。

【1764】

図493(b)は、端子位置を0、1、8、32、128、512と記載している。つまり、V0電圧端子、V8電圧端子、V32電圧端子、V128電圧端子、V512電圧端子を形成した実施例である。図493(c)は、端子位置を0、1、2、8、32、128と記載している。つまり、V0電圧端子、V1電圧端子、V2電圧端子、V8電圧端子、V32電圧端子、V128電圧端子を形成した実施例である。もちろん、近傍であればよく、たとえば、V0電圧端子、V1電圧端子、V3電圧端子、V7電圧端子、V31

電圧端子、V 1 2 7 電圧端子などであってもよい。

【1765】

以上のように、本発明は、少なくとも電圧端子の1組が4の倍数あるいはその近傍にしたものが本発明である。なお、4倍といっても、0階調から開始されるか、1階調から開始されるかにより異なる。たとえば、図493は、V 0、V 1、V 2、V 8、V 3 2、V 1 2 8としているが、V 1、V 2、V 7、V 3 1、V 1 2 7などであってもよい。つまり、 V_n/V_{n-1} が4近傍になればよい。たとえば、 $V 1 2 7/V 3 1$ も4近傍であるので本発明の技術的範疇である。V 1、V 3、V 1 2、V 3 1、V 2 5 5などであっても1つの組み合わせであるV 1 2とV 3の関係、つまり $V 1 2/V 3$ が4であるから本発明の技術的範疇である。

10

【1766】

各電圧端子間の電位差は、基準電流比などにより変化できるように構成することが好ましい。図494は各電圧端子間をポリウムVRで可変できるように構成した実施例である。もちろん、VRの替わりにDAコンバータ501で可変してもよい。電圧VddとGND間に抵抗R0～R6が配置されている。基準電流比の変化に伴い、抵抗R6の端子電圧は、ポリウムVRで変化させる。ポリウムVRによりR0～R6の各抵抗端子の電圧は変化し、この変化は、電圧端子V1～V256の電圧を変化させる。V0電圧は階調0の電圧であるため、所定電圧Vaに固定している。電圧端子V1～V256の電位は、複数のソースドライバ回路(IC)14に共通に印加される。

【1767】

以上の実施例は、電圧端子V1～V256基準電流比に対応して変化させるとしたが、点灯率など他の変動により変化させてもよいことは言うまでもない。

20

【1768】

図494の実施例は、ソースドライバ回路(IC)14の外づけ抵抗Rにより電圧端子に印加する電圧を変化させる構成である。しかし、本発明はこれに限定するものではない。たとえば、図495に図示するように、ソースドライバ回路(IC)14の内蔵抵抗Raにより、電圧端子間(V2電圧とV8電圧間、V8電圧とV32電圧間、V32電圧とV128電圧間)に所定電圧が印加されるように構成してもよい。

【1769】

図495などでは、V1電圧とV2電圧とを分離しているが、図496に図示するように、V1電圧をプリチャージ電圧Vpc1とし、また、オペアンプ502cを介してプリチャージ電圧Vpc2以降を発生するように構成してもよいことは言うまでもない。

30

【1770】

図487などでは、電子ポリウム501の抵抗Rは同一として説明している。抵抗Rの抵抗値を同一にすることによりICチップを小サイズ化できる。しかし、本発明はこれに限定するものではない。抵抗Rは変化させてもよい。たとえば、低階調側の抵抗値を大きくし(図356に図示するように、V0～低階調領域では、階調に対応する電位の電位差が大きいからである)、高階調側の抵抗値を相対的にあるいは絶対的に小さくしてもよい。また、抵抗の抵抗値は、低階調側と高階調側の2種類あるいは複数種類で構成してもよい。以上の事項は、図136、図137、図341、図342などでも説明を行っているので説明を省略する。

40

【1771】

たとえば、図492に図示するガンマカーブを発生するためには、プリチャージ電圧Vpc端子間に配置する抵抗値を2乗特性にする。この実施例を図497に図示する。プリチャージ電圧Vpc端子間電圧は、1、3、5、7、9・・・と抵抗値を変化させている。

【1772】

図497などにおいて、V1電圧、V2電圧などを変化させることにより、適切なプリチャージ電圧を発生することができる。電圧の変化は、図498に図示するようにDA回路501aを用いてもよい。DA回路501aは、コントローラ回路(IC)760が出

50

力する 8 ビットデータ I D で制御する。

【1773】

図 503 に図示するように、トランジスタ 158、オペアンプ 502 からなる定電流回路で定電流 I r を発生し、この I r を電子ポリウムの抵抗 R に流すことによりプリチャージ電圧 V p c を可変することができる。抵抗 I r はポリウム V R などに変化させる。

【1774】

以上の実施例は、プリチャージ駆動方式の実施例として説明したが、本発明はこれに限定されるものではない。電圧駆動方式（たとえば、図 2 などの画素構成を有する E L 表示パネルの駆動方法）にも適用できることは言うまでもない。電圧駆動では、R G B の E L 素子のガンマカーブが異なるため、R G B 独立のガンマ回路が必要である。

10

【1775】

図 491 の構成と、図 497 の構成とを組み合わせ、図 527 のように構成してもよい。図 527 は、たとえば、V 1 電圧と V 2 電圧間のタップ間の抵抗値を一定の抵抗ではなく、4 R、2 R、R など変化させている。変化することにより、図 492 のカーブが、曲線状となり、よりトランジスタ 11a の V I 特性と一致するようになる。なお、図 131 から図 142 などの実施例と組み合わせても良いことは言うまでもない。

【1776】

図 525 は、電圧入力端子（電圧入力タップ）に、デジタルデータを入力し、D A 変換器 501 a で電圧を発生させた構成である。図 525 は一例として、V 2 電圧を入力する端子に、8 ビットの V 2 D A T A からなるデジタルデータを印加した構成である。また、V 3 電圧を入力する端子に、8 ビットの V 3 D A T A からなるデジタルデータを印加した構成である。端子に印加するデータをデジタルデータとし、可変できるように構成することにより、図 492 のカーブを自由に設定あるいは可変することができる。また、点灯率などに対応して、あるいは温度など、または動画と静止画の比率に応じて対応して、図 492 のカーブを可変あるいは設定することができる。

20

【1777】

以上のように、本発明のソースドライバ回路（I C）14において、プリチャージ電圧を発生する回路構成は、多種多様な構成が含まれる。また、以上の事項は、プリチャージ電圧あるいは過電圧 I d を発生する回路構成にも適用できることは言うまでもない。

【1778】

図 499 は、以前に説明した本発明のプリチャージ電圧回路を電圧駆動方式に適用した実施例である。R G B の V 0 電圧は共通である。電子ポリウム 501 R は R の電圧発生回路である。また、電子ポリウム 501 G は G の電圧発生回路である。電子ポリウム 501 B は B の電圧発生回路である。図 499 に構成することにより R G B 独立ガンマカーブを発生することができ、良好なホワイトバランスを実現することができる。

30

【1779】

以上のように、プリチャージ電圧を発生する本発明の回路構成、駆動方式は電圧駆動方式にも適用できることは言うまでもない。つまり、電圧＋電流駆動に限定されるものではない。

【1780】

図 487 では、全階調範囲において、プリチャージ電圧 V p c を対応させるとしているが、本発明はこれに限定するものではない。書き込み電圧あるいは書き込み電圧が不足する領域に限定してプリチャージ電圧 V p c 発生回路を構成または配置してもよい。たとえば、図 487 では、電流駆動であり、低階調領域で書き込み不足が発生する（と想定する）。したがって、低階調の該当する V 0 ～ V 128 までプリチャージ電圧発生回路を構成し、それ以上は、省略してもよいことは言うまでもない。また、0 階調目と偶数階調目のみにプリチャージ発生回路を構成したりするように、対応する階調を間欠にしてもよいことは言うまでもない。また、階調 128 以上のプリチャージ電圧は V p c 255 のみであってもよい。プログラム電流が支配的に動作するからである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

40

50

【1781】

図339、図341ではb点電位は可変することができる構成である。b点電位を可変する必要があるの本発明の駆動方法では基準電流を可変するからである（基準電流を変化あるいは制御する方式として図61、図63、図64、図93～図97、図111～図116、図122、図145～図153、図188、図252、図254、図267、図269、図277、図278、図279などとその説明を参照のこと）。図350は駆動用トランジスタ11aのゲート端子電圧（横軸）と出力電流（縦軸）の関係を図示している。縦軸はプログラム電流 I_w を示す。プログラム電流 I_w は基準電流と比例する。また、横軸のゲート端子電圧はソース信号線18の電位を示す。また、ソース信号線18の電位はプリチャージ電圧（プログラム電圧）と同一である。

10

【1782】

以上のことから、図350は、基準電流 I_c が I_1 で、ソース信号線18から最大プログラム電流（最高階調時）の時は、ソース信号線18の電位が V_1 となるようにプリチャージ電圧（プログラム電圧）を印加する必要があることを示している。同様に、基準電流 I_c が I_2 で、ソース信号線18から最大プログラム電流（最高階調時）の時は、ソース信号線18の電位が V_2 となるようにプリチャージ電圧（プログラム電圧）を印加する必要があることを示している。また、基準電流 I_c が I_3 で、ソース信号線18から最大プログラム電流（最高階調時）の時は、ソース信号線18の電位が V_3 となるようにプリチャージ電圧（プログラム電圧）を印加する必要があることを示している。

【1783】

20

ここで、基準電流 I_c が I_1 から I_3 まで3倍変化するとする。つまり、 $I_3 : I_2 : I_1 = 3 : 2 : 1$ とする。この時、 V_3 、 V_2 、 V_1 は、検討の結果によれば最適値は、 $V_3 : V_2 : V_1 = 11.5 : 11 : 10$ である。つまり、基準電流の変化が3倍あっても、プリチャージ電圧 V_{pc} の変化はわずかである。以上のことから、 V_{pc} の変化は小さくてよい。プリチャージ電圧の変化 K_v （図350では V_3 / V_1 ）は、基準電流の変化 K_i （図350では I_3 / I_1 ）の関係は、 $2 < K_i / K_v < 3.5$ の関係を維持させることが好ましい。

【1784】

図350から、基準電流 I の値が大きく変化させる場合であっても、プリチャージ電圧の変化は小さい。したがって、図339、図341などにおける V_1 電圧は、基準電流が大きく変化しても変化量は小さくてすむ。そのため、DA回路503の出力変化は小さくて十分である。図339、図341では V_1 電圧を基準電流に合わせて変化させるとしたが、図351の実施例のように端子2883cの電圧は固定でも実用上は問題が発生しない。逆に、最大プリチャージ電圧（プログラム電圧）の可変範囲が少なくて済み回路構成を簡略化できる。また、高精度の出力が可能になる。

30

【1785】

電流駆動方式において、電流書き込み不足が発生するのは、低階調領域である。また、書き込み不足が発生する領域は、図350の V_0 電圧（0階調目：駆動用トランジスタ11aの立ち上がり電圧）から、 V_x までのA区間である。この範囲は点線に記載しているように直線的な変化を示す。図350ではAで示す区間は傾きを小さく表現している。実用上はこのような傾きが実線の曲線よりも小さくて十分である。図127～図143などで説明した電圧印加（プリチャージ電圧（プログラム電圧）印加）を実施した後、プログラム電流を印加する方法では、完全な補正がされたソース信号線18電位とプリチャージ電圧印加によるソース信号線の電位との差（図350では実線と点線との電流差として現れる）があっても、プログラム電流により完全な補正が実現できるからである。

40

【1786】

重要なのはプリチャージ電圧（プログラム電圧）をソース信号線18に印加し、理想的はソース信号線18の電位（駆動用トランジスタ11aがプログラム電流により実現されるゲート端子電位）の近傍まで短時間（1Hの $1/200$ 以上 $1/20$ 以下の時間）で設定または調整することである。この動作により理想（補償された）ソース信号線18電位

50

からプログラム電流により実現するソース信号線18までに变化させる電位差が小さくなっている。したがって、比較的小さなプログラム電流（低階調領域でのプログラム電流）でも理想状態を実現できる（駆動用トランジスタ11aの特性を補償した電流プログラムを実現できる）。高階調領域ではプログラム電流の大きさが大きいいためプリチャージ電圧（プログラム電圧）を印加せずとも、プログラム電流のみで理想状態を達成（実現）できる。

【1787】

以上のことから、書き込み不足が発生する範囲は低階調領域に限定される。また、高階調領域でプリチャージ電圧（プログラム電圧）は必要ない（もちろん、プリチャージ電圧を印加してもよい）。プリチャージ電圧（プログラム電圧）を印加すべき領域は全階調範囲に必要ではなく、中間調以下の領域で十分である。プリチャージ電圧を印加する領域を中間階調以下と範囲を限定することにより、図131、図135～図142、図339～図341、図351、図353などの電子ボリウム501のタップ数を削減できる。したがって、回路の簡略化が可能であり、低コスト化を実現できる。

10

【1788】

図350に図示する点線に対応してプリチャージ電圧（プログラム電圧）を発生する（出力する）ように構成すると、電子ボリウム501の各抵抗は同一の抵抗値のものを配置して構成することができる。したがって、電子ボリウム501の回路構成がシンプルになり好ましい。

【1789】

しかし、図359に図示するように、理想的には、プリチャージ電圧（プログラム電圧）の印加による出力電流Iは等間隔（等ステップ）となるようにすることが好ましい。電圧0から電圧V0、電圧V0から電圧V1の差は大きい。電圧V4と電圧V5の差は小さい。このようなステップ（きざみ）を実現するには、電子ボリウム501の抵抗の大きさを変化させればよい。

20

【1790】

プリチャージ電圧（プログラム電圧）を設定（指定）する電圧階調データと、プログラム電流を設定（指定）する電流階調データとは一致させることが好ましい。映像データが階調128であれば、電圧階調データも128とし、電流階調データも128とする。つまり、ガンマ変換などを行った後の映像データの番号＝電圧階調データの番号＝電流階調データとする（映像データの番号で図131、図339、図351などの電子ボリウム501のスイッチSを決定して動作させてプリチャージ電圧（プログラム電圧）Vpcをソース信号線18に印加する。また、映像データの番号で図15などのスイッチ151のオンオフ状態を決定し、電流回路164あるいは単位トランジスタ群431cを操作させる。

30

【1791】

各映像データに対して、プリチャージ電圧（プログラム電圧）を印加するか否かは、コントロールIC760で制御し、プリチャージビットにより制御する（図75～図79およびその説明を参照のこと）。ソース信号線18の電位状態（各画素に書き込む1つ前のプリチャージ電圧（プログラム電圧）の印加状態）により、あるいは映像データの大きさ（低階調領域ではプリチャージ電圧（プログラム電圧）を印加する）により、プリチャージ電圧（プログラム電圧）を印加するか否かが判断される。したがって、低階調領域の映像データであっても、プリチャージ電圧（プログラム電圧）を印加しないこともある。

40

【1792】

また、高階調領域の映像データであっても、プリチャージ電圧（プログラム電圧）が印加されることもある。本発明は、プリチャージ電圧（プログラム電圧）を判定するビットをソースドライバに内蔵する点、プリチャージ電圧（プログラム電圧）を印加するか否かを判定あるいはプリチャージ電圧（プログラム電圧）を映像データ（階調）に対応して制御方法あるいは技術的思想を有する点に特徴がある。

【1793】

50

以上のように構成あるいは制御することにより、ソースドライバ回路（IC）14の構成が容易になり、また、コントローラIC（回路）760からソースドライバ回路（IC）14に伝送するデータが少なくなる（電圧階調データの番号、電流階調データが必要でなく、映像データのみでよい）ため、伝送データの周波数を低減できる。

【1794】

選択できるV_{pc}の電圧の個数は、表示装置が6インチ以上の場合、表示装置の階調数の1/8以上にすることが好ましい（256階調の場合は、32階調以上）。特に、1/4以上にすることが好ましい（256階調の場合は、64階調以上）。比較的高階調領域までプログラム電流の書き込み不足が発生するからである。しかし、先に説明したように全階調範囲でプリチャージ電圧（プログラム電圧）を印加できるように構成あるいは形成することは必要ではない。

10

【1795】

6インチ以下の比較的小型の表示パネル（表示装置）では、選択できるV_{pc}の電圧の個数は、2以上にすることが好ましい。V_{pc}がV₀の1つであっても良好な黒表示を実現できるが、低階調領域で階調表示することが困難な場合があるからである。V_{pc}が2以上であれば、FRC制御により複数の階調が発生することができ、良好な画像表示を実現できる。

【1796】

プリチャージ電圧（プログラム電圧）はゲート信号線17aを制御する電圧（V_{gh1}、V_{gl1}）により変化させることが好ましい。特にV_{gl1}電圧によりプリチャージ電圧（プログラム電圧）を変化させる。駆動用トランジスタ11aのゲート端子の寄生容量とV_{gl1}電圧の振幅により駆動用トランジスタ11aのゲート端子電位が変化してしまうからである。

20

【1797】

図355に図示するように、V_{gl1}電圧が低くなるほど駆動用トランジスタ11aの立ち上がり電圧が変化する。たとえば、V_{gl1}=0Vの時は、立ち上がり電圧（0階調目として印加するプリチャージ電圧（プログラム電圧））はV₂であるが、V_{gl1}=-4Vの時は、立ち上がり電圧（0階調目として印加するプリチャージ電圧（プログラム電圧））はV₁、V_{gl1}=-9Vの時は、立ち上がり電圧（0階調目として印加するプリチャージ電圧（プログラム電圧））はV₀とアノード電位（図355ではV_{dd}）に近づく。したがって、図339などのV₀電圧をV_{gl1}電圧と連動させて変化させることが好ましい。また、V₁電圧も変化させることが好ましい。

30

【1798】

以上の事項は、本発明の他の実施例に適用できることは言うまでもない。また、以上の技術的思想を本発明の表示装置、表示パネル、表示方法などに適用できることも言うまでもない。

【1799】

図352は図351の変形例である。図352では、抵抗R_a、抵抗R_bをソースドライバ回路（IC）14に内蔵している。端子2883bにV_{dd}電圧を印加し、端子2883cとグランド間に抵抗R_cを接続する。図352のように構成することにより外づけ抵抗が1つになる。ただし、抵抗R_cの値はRGBごとに個別に設定できるように構成することが好ましい。なお、端子2883cには電圧を直接入力してもよいことは言うまでもない。また、抵抗R_cもソースドライバ回路（IC）14に内蔵させてもよい。

40

【1800】

抵抗R_aはトリミングなどにより調整してもよい。また、抵抗が拡散抵抗で形成されている場合は加熱により抵抗値調整をすることも可能である。また、電子ポリウムあるいは抵抗スイッチ回路に構成することにより所定の抵抗値に設定あるいは調整してもよい。以上の事項は図352、図353などの他の実施例にも適用できることは言うまでもない。図352では抵抗R_aを調整することを実施例として記載している。図353は抵抗R_bを調整することを実施例として記載している。

50

【1801】

図353は、端子2883bにV_{dd}電圧を印加し、端子2883cに外づけ抵抗R_cを接続している。a点の電位とb点の電位との電位差は抵抗R_bを調整することにより設定する。また、抵抗R_cの値を調整することによりb端子の電位を調整する。

【1802】

基準電流I_cによりV₁電圧を調整する実施例として、図354の構成が例示される。図354では基準電流I_c（もしくは基準電流I_cに相関あるいは比例する電流I_c）が外づけ抵抗R_bに流れ込むように構成されている。したがって、端子2883bの電圧V_bは、抵抗R_b×I_cとなる。この電圧がトランジスタ158bのゲート端子電圧となる。トランジスタ158bは電圧V_bによりチャンネル間電圧（SD電圧）が発生し、I_b電流が外づけ抵抗R_aに流れる。端子2883aの電圧V₁はV_{dd}−R_a×I_bとなる。したがって、基準電流I_cの大きさの変化がV₁電圧の変化となる。電子ボリウム501の動作は以前に説明したので省略する。

【1803】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図127から図143、図293～図297、図308～図313、図338～図345、図349～図354が例示される。また、各実施例で説明した内容は、それぞれの実施例と選択してあるいは複合してもしくは組み合わせて実施例を構成することができることは言うまでもない。

【1804】

ソースドライバ回路（IC）14に内蔵する抵抗の抵抗値はトリミングにより、あるいは加熱により抵抗値を所定値となるように調整あるいは加工してもよいことは言うまでもない。また、外づけ抵抗についても同様である。

【1805】

図293など（他の実施例でもよい）において、抵抗アレイ2931（抵抗R）などはICチップ14またはソースドライバ回路（IC）14内に内蔵するとしたが、これに限定するものではない。IC（回路）14にディスクリット部品で外づけしてもよいことは言うまでもない。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc}は抵抗Rなどを用い発生することに限定するものではなく、オペアンプあるいはトランジスタなど他の部品で構成してもよいことは言うまでもない。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc}は一定の電圧をPWM変調などによりパルス状に発生し、コンデンサなどにより平滑化して所定のプログラム電圧を得るように構成あるいは形成もしくは作製してもよいことは言うまでもない。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc}はIC（回路）14内で発生することに限定するものではない。IC（回路）14の外部で発生し、IC（回路）14の端子から入力して、IC（回路）14ではスイッチなどで適応するプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc}を選択するように構成してもよい。

【1806】

また、コントローラ回路（IC）760の制御データにより、プリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc}はIC（回路）14の外部で発生し、IC（回路）14の内部に取り込んでソース信号線18などに印加するように構成してもよいことは言うまでもない。以上に記載した事項は、図127から図143、図293～図297、図308～図313、図338～図345、図349～図354などの本発明の他の実施例にも適用できることは言うまでもない。

【1807】

図127から図143、図293～図297、図308～図313、図338～図345、図349～図354などで説明したように、本発明では、プリチャージ電圧（プログラム電圧と同義あるいは類似）（電圧データ）を印加し、その後、プログラム電流を印加する。プログラム電流I_wはより階調性を増加させるためにFRC技術を用いる。一般的に10ビットのデータを4FRCの8ビットで表現する。

【1808】

本発明では、図313で図示するようにプリチャージ電圧もFRC化している。たとえば、図313(b)は4FRCの駆動方法である。図313(b)において、白○(白丸)はプリチャージ電圧(プログラム電圧と同義あるいは類似)が印加(出力)されたことを示しており、黒○(黒丸)はプリチャージ電圧(プログラム電圧と同義あるいは類似)が印加されていないことを示している。つまり、図313(b)(1)では、4フレーム(フィールド)で1回しかプリチャージ電圧(プログラム電圧と同義あるいは類似)が印加されないことを示している。

【1809】

同様に図313(b)(2)では、4フレーム(フィールド)で2回しかプリチャージ電圧(プログラム電圧と同義あるいは類似)が印加されないことを示しており、図313(b)(3)では、4フレーム(フィールド)で3回プリチャージ電圧(プログラム電圧と同義あるいは類似)が印加されることを示している。図313(b)(4)では、4フレーム(フィールド)ともプリチャージ電圧(プログラム電圧と同義あるいは類似)が印加されることを示している。

【1810】

以上の動作(方法)を実施することによりプリチャージ電圧(プログラム電圧と同義あるいは類似)で階調表示を増大することができる。したがって、階調数が増加しより良好な画像表示を実現できる。つまり、低階調領域では主としてプリチャージ電圧(プログラム電圧と同義あるいは類似)で階調表示を実現し、高階調領域ではプログラム電流により階調表示を実現する。

【1811】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図127から図143、図293～図297、図308～図313、図338～図345、図349～図354が例示される。

【1812】

なお、プリチャージ電圧(プログラム電圧と同義あるいは類似)の印加はフリッカの発生を防止するため、図313(c)に図示(4FRCで2回プリチャージ電圧(プログラム電圧と同義あるいは類似)を印加する実施例)するように、プリチャージ電圧(プログラム電圧と同義あるいは類似)を印加するタイミングを変化させることが好ましい。

【1813】

低階調領域においては、プリチャージ電圧(プログラム電圧と同義あるいは類似)などの電圧データ(VDATA)は短時間でソース信号線18を充放電することができる。一方、プログラム電流Iwなどの電流データ(IDATA)は、目的の電圧(電流)までソース信号線18を充放電するのに時間を必要とする。したがって、同一の目標であるEL素子15の電流にするための動作は、電流プログラムの方が強くする必要がある。

【1814】

そこで、図313(a)に図示するように、階調1では電流データ(IDATA)は階調を高め(たとえば、階調1ではIDATA=1とするのが本来であるが、4とし、4倍の電流を流す)。プリチャージ電圧(プログラム電圧と同義あるいは類似)(VDATA)は1としている(本来の値である)。同様に階調2では電流データ(IDATA)は階調を高め(たとえば、階調2ではIDATA=2とするのが本来であるが、6とし、3倍の電流を流す)。プリチャージ電圧(プログラム電圧と同義あるいは類似)(VDATA)は2としている(本来の値である)。

【1815】

以上のように電流データを大きな値とすることにより精度のよりプログラムを実現できる。なお、中間調以上では、電流データと電圧データは同一(階調kでは、IDATA=VDATA=k)にするか、もしくは電圧データの印加をしない。

【1816】

なお、c電位あるいはd電位は、点灯率、アノード電流、duty比などによって変化

させてもよいことは言うまでもない。また、図 3 1 3 に図示する F R C の技術思想に対しても同様に適用できることは言うまでもない。また、以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図 1 2 7 から図 1 4 3、図 2 9 3 ~ 図 2 9 7、図 3 0 8 ~ 図 3 1 3、図 3 3 8 ~ 図 3 4 5、図 3 4 9 ~ 図 3 5 4 が例示される。

【1817】

図 2 9 4 はプリチャージ電圧（プログラム電圧と同義あるいは類似） V_{pc} を選択する回路部を中心とした説明図である。抵抗アレイ 2 9 3 1 の出力は電圧セクタ回路 2 9 4 1 に入力される。電圧セクタ回路 2 9 4 1 はアナログスイッチとデコーダ回路から構成され、選択信号 $VSEL$ の 3 ビット信号により 1 つのプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加される（図 2 9 6 を参照のこと）。選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）は配線 1 5 0 を介して端子 1 5 5 から出力される。

10

【1818】

端子 1 5 5 から出力されたプリチャージ電圧（プログラム電圧と同義あるいは類似）は、ソース信号線 1 8 の寄生容量である C_s に保持される。したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）の出力は点順次動作を行ってもよい。しかし、点順次動作では端子 1 と端子 n （最終端子）ではプリチャージ電圧（プログラム電圧と同義あるいは類似）の印加時間が異なる。

【1819】

この課題に対しては、図 2 9 5 に図示するように電圧セクタ回路 2 9 4 1 を 2 つ形成または構成する。第 1 H 期間では、電圧セクタ回路 2 9 4 1 a が出力し、 C_1 に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）が、セクタ回路 2 9 5 1 のスイッチ S_1 が選択されることにより、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似） V_{pc} が端子 1 5 5 から出力される。この期間（第 1 H 期間）は、電圧セクタ回路 2 9 4 1 a 2 が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似） V_{pc} が C_2 に保持されていく。また、セクタ回路 2 9 5 1 のスイッチ S_2 はオープンである。

20

【1820】

第 1 H 期間の次の第 2 H 期間では電圧セクタ回路 2 9 4 1 b が出力し、 C_2 に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）がセクタ回路 2 9 5 1 のスイッチ S_1 を介して端子 1 5 5 から出力される。この期間（第 2 H 期間）は、電圧セクタ回路 2 9 4 1 a 1 が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似） V_{pc} が C_1 に保持されていく。また、セクタ回路 2 9 5 1 のスイッチ S_1 はオープンである。

30

【1821】

図 3 5 1 など、電子ポリウム 5 0 1 にオープン端子を設けている。しかし、これは説明を容易にするためであって、必ずしも電子ポリウム 5 0 1 内に構成あるいは形成することに限定するものではない。たとえば、図 3 8 7 に図示するように、プログラム電圧（プリチャージ電圧）の電圧出力回路 1 2 7 1 の出力側にスイッチ 1 5 1 b（セクタ回路）を配置または形成し、プリチャージ電圧などを端子 1 5 5 から出力するモード（駆動方式）の場合は、スイッチ 1 5 1 b を a 端子側にし、他のモードではスイッチ 1 5 1 b を b 端子側に設定（a 端子を選択しない）するように構成してもよい。

40

【1822】

同様に、第 2 H 期間の次の第 3 H 期間では電圧セクタ回路 2 9 4 1 a が出力し、 C_1 に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）が、セクタ回路 2 9 5 1 のスイッチ S_1 が選択されることにより、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似） V_{pc} が端子 1 5 5 から出力される。この期間（第 3 H 期間）は、電圧セクタ回路 2 9 4 1 a 2 が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似） V_{pc} が C_2 に保持されていく。また、セクタ回路 2 9 5 1 のスイッチ S_2 はオープンである。第 3 H 期間の次の第 4 H 期間では電圧セクタ

50

タ回路 2941b が出力し、C2 に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）がセクタ回路 2951 のスイッチ S1 を介して端子 155 から出力される。この期間（第 4H 期間）は、電圧セクタ回路 2941a1 が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc} が C1 に保持されていく。また、セクタ回路 2951 のスイッチ S1 はオープンである。以上の動作を順次繰り返す。

【1823】

図 308 はプリチャージ電圧（プログラム電圧と同義あるいは類似）を出力する本発明の他の実施例である。プリチャージ電圧（プログラム電圧と同義あるいは類似）を選択あるいは決定する VDATA により電子ボリウム 501 のスイッチが動作し、該当するプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc} がコンデンサ C_c に保持される。保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc} はサンプリング回路 862 により保持され、出力するソース信号線 18 のアドレスデータ PADDRS により選択された出力の C_a ~ C_n に保持される。なお、PADDRS の指定データはドットクロック CLK に同期して変化する。また、VDATA は、映像データに対応して変化させる（図 127 から図 143 などの説明を参照のこと）。

【1824】

したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc} は 1H の期間で各出力端子に対応する保持用コンデンサ C_a ~ C_n に保持される。ソース信号線 18 にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するときは、スイッチ S_p が一斉に一定期間クローズする。この時、スイッチ S_i はオープン状態にされ、プリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc} が電流回路 431c に逆流することを抑制する。図 295 の電圧セクタ回路 2941 でプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc} を選択する。選択データはラッチ回路 771 で行ってもよい。このことは図 308 の実施例においても同様である。なお、図 308 においても図 295 に図示するように 2 段構成にすることが好ましいことは言うまでもない。

【1825】

図 308 はプリチャージ電圧（プログラム電圧と同義あるいは類似）をサンプルホールドする回路構成であったが、本発明はこれに限定するものではない。図 309 に図示するように複数のプリチャージ電圧（プログラム電圧と同義あるいは類似）を発生しておき、選択してもよい。

【1826】

図 309 ではプリチャージ電圧（プログラム電圧と同義あるいは類似）として固定の V_{pa}、V_{pb} と、ボリウム（VR）などで任意に変化できる V_{pc} が選択できる。プリチャージ電圧（プログラム電圧と同義あるいは類似）は 2 ビットのセクタ信号（SEL）により選択される。SEL 信号によりプリチャージ電圧（プログラム電圧と同義あるいは類似）を選択するスイッチ S_p が選択される。図 309 の表に示すように、SEL が 0 の時、いずれのプリチャージ電圧（プログラム電圧と同義あるいは類似）も選択されない。つまり、ソース信号線 18 にはプリチャージ電圧（プログラム電圧と同義あるいは類似）は印加されない。SEL が 1 の時は、スイッチ S_{p1} が選択されプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pa} がソース信号線 18 に印加される。SEL が 2 の時は、スイッチ S_{p2} が選択されプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pb} がソース信号線 18 に印加される。また、SEL が 3 の時は、スイッチ S_{p3} が選択されプリチャージ電圧（プログラム電圧と同義あるいは類似）V_{pc} がソース信号線 18 に印加される。

【1827】

図 309 において、電流出力回路の電流プログラムデータ（DATAa、DATAb）は、ラッチ回路 771 で保持され、1H ごとに切り換えられる。つまり、第 1H ではラッチ回路 771a が選択され、この期間はラッチ回路 771b にはドットクロックに同期して順次データが保持される。第 2H ではラッチ回路 771b が選択され、この期間はラッ

チ回路 771a にはドットクロックに同期して順次データが保持される。保持されたデータは水平同期信号に同期してスイッチ Sa (Saa、Sab) で切り換えられトランジスタ群 431c の出力電流 (プログラム電流など) が確定される。

【1828】

図 310 は主として図 309 の構成をより具体的に図示したものである。プリチャージ電圧 (プログラム電圧と同義あるいは類似) Vp (Vpa、Vpb、Vpc、open) を伝達するプリチャージ電圧 (プログラム電圧と同義あるいは類似) 配線 PS (PSa、PSb、PSc、PSd) がソース信号線 18 に直交するように配線される。プリチャージ電圧 (プログラム電圧と同義あるいは類似) 配線 PS と内部配線 150 とは直交し、各交点にスイッチ Sp が配置されている。スイッチ Sp は図 309 に図示するように SEL 10 信号で切り換えられる。なお、プリチャージ電圧 (プログラム電圧と同義あるいは類似) は 1H の最初の期間に全ソース信号線 18 一斉に印加される。したがって、SEL 信号もラッチして保持しておく必要がある。

【1829】

以上の実施例は、ソースドライバ IC 14 を介して、プリチャージ電圧 (プログラム電圧と同義あるいは類似) を印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ 30 基板に形成したプリチャージ電圧 (プログラム電圧と同義あるいは類似) 用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧 (プログラム電圧と同義あるいは類似) 線に印加されたプリチャージ電圧 (プログラム電圧と同義あるいは類似) をソース信号線 18 に印加するように 20 構成してもよいことは言うまでもない。

【1830】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図 127 から図 143、図 293 ~ 図 297、図 308 ~ 図 313、図 338 ~ 図 345、図 349 ~ 図 354 が例示される。

【1831】

図 77、図 78 はソースドライバ回路 (IC) 14 (プログラム電流を出力する回路あるいは IC) などにプリチャージビットをラッチするラッチ回路 771 を構成あるいは形成したものであったが、本発明はこれに限定するものではない。たとえば、プログラム電圧を出力するソースドライバ回路あるいは IC にも適用できる。 30

【1832】

前記ソースドライバ回路 (IC) 14 にプリチャージ機能あるいはプリチャージ信号をラッチするラッチ回路あるいはプリチャージの選択信号線を配置または構成することにより、プログラム電圧をソース信号線 18 に書き込む前に、ソース信号線の電位を所定値にすることができ、書き込み安定度を向上できる。

【1833】

図 77、図 78 などでは、プリチャージ信号線 (RPC、GPC、BPC) は 1 本とし、また、それに対応するラッチ回路は 2 段で各 1 ビットとして説明したが、本発明はこれに限定するものではない。たとえば、図 75 に図示するようにプリチャージ信号が 4 ビットから構成される場合は、プリチャージ信号線は 4 本が必要である。したがって、プリチャージ信号のラッチ回路も 2 段で 4 ビット分が必要となることは言うまでもない。また、ラッチ回路 771 は図 77 に図示するように 2 段に限定するものではない。3 段以上で構成してもよいことは言うまでもない。たとえば、4 段に構成すれば、ソース信号線 18 に書き込む電流信号は 2 倍の時間確保できるようになり好ましい。また、プリチャージ信号線は R、G、B で個別に設ける必要はないことは言うまでもない。RGB で共通の信号線としてもよい。 40

【1834】

以上のように、本発明のソースドライバ回路 (IC) 14 などは、ソースドライバ回路に、ソース信号線 18 にプログラム電流あるいはプログラム電圧を書き込む時に、プリチャージ信号を印加するかしないかを選択する判定ビットを保持する回路を有すること、ま 50

た、判定ビットに保持する信号あるいは想定される信号を伝達する信号入力端子を有するものである。

【1835】

点灯率に応じて、ソース信号線に印加するプリチャージ電圧（プログラム電圧と同義あるいは類似）を変化あるいは変更してもよい。たとえば、点灯率に対して図75における選択信号Dの値を変化し、電子ポリウム501を制御して端子155から出力されるプリチャージ信号を変化させる。点灯率に応じて駆動用トランジスタ11aに流れる電流が変化するため、最適なプリチャージ電圧（プログラム電圧と同義あるいは類似）の大きさ（とくに電圧駆動で階調表示をする場合）が変化する。点灯率により、最適な階調表示になるように電子ポリウム501を制御することにより階調表示などが実現できる。

10

【1836】

以上の実施例では、点灯率に応じて、プリチャージ電圧（プログラム電圧と同義あるいは類似）を変化させるとしたが、本発明はこれに限定するものではない。基準電流比に応じてプリチャージ電圧（プログラム電圧と同義あるいは類似）を変化させてもよい。基準電流の大きさによっても、駆動用トランジスタ11aに流れる電流が変化し、最適なプリチャージ電圧（プログラム電圧と同義あるいは類似）（駆動用トランジスタ11aのゲート端子に印加する電圧）が変化するからである。また、アノード（カソード）端子の電流の大きさによってもプリチャージ電圧（プログラム電圧と同義あるいは類似）を変化させてもよい。

【1837】

図127～図143、図293、図311、図312、図339～図344などでは、画素行ごとに順次プリチャージ電圧（プログラム電圧）を印加するか否かを判断するように説明したが、本発明はこれに限定されるものでない。例えば、インターレース駆動の場合は、第1フィールドで奇数画素行にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、第2フィールドで偶数画素行にプリチャージ電圧（プログラム電圧と同義あるいは類似）するように駆動してもよい。

20

【1838】

また、任意のフレームで、プリチャージ電圧（プログラム電圧と同義あるいは類似）を各画素行に印加し、次のフレームでは、プリチャージ電圧（プログラム電圧と同義あるいは類似）を全く印加しない駆動方法も例示される。また、各画素行にランダムにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、複数フレームで平均的に各画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されるように駆動してもよい。

30

【1839】

また、特定の低階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する駆動方式が例示される。また、特定の高階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する駆動方式が例示される。また、特定の中間階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する構成も例示される。また、1Hまたは複数H前のソース信号線電位（画像データ）から、特定階調範囲の画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する構成も例示される。

40

【1840】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図127から図143、図293～図297、図308～図313、図338～図345、図349～図354が例示される。

【1841】

以下、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。EL表示パネルは特にBの色度が悪いという課題があり、一方でRの色度が非常によいという事実がある。そのため、画像を表示した場合、表示色が本来の画像と異なってしまう場合がある。図144の色度のXY座標

50

において、実線がNTSCの色範囲である。点線が有機ELの色範囲である。NTSCの色再現範囲と有機ELの色再現範囲とがずれているために、特に樹木の緑が多い画像表示において葉が枯葉色になるという課題が発生する。

【1842】

この課題を解決する方策が、カラーマネージメント処理である。これは、信号処理により画像の色補正を行うものである。また、色フィルタ5861により画像の色度を改善する方策も例示される（図586を参照のこと）。

【1843】

色フィルタ5861によりEL表示パネルの色純度を改善するためには、図586に図示するように、表示パネル71の光出射側に色フィルタ5861を配置または構成あるいは形成すればよい。色フィルタ5861は図360(a)に図示するように、偏光フィルム109とパネル71間に配置または形成してもよい。色フィルタ5861は、シアン色をカットするものを用いることによりBの色度を改善することができる。色フィルタ5861は、樹脂からなるフィルタの他、光学的干渉多層膜からなる干渉フィルタを用いても良い。なお、色フィルタ5861は、図586(b)に図示するように偏光フィルム（円偏光フィルムを含む）109上または下に形成または配置してもよい。また、色フィルタ5861または偏光フィルム109に光拡散剤あるいは光を拡散させる構成を付加することにより、視野角が良好になり、色ビートを低減させることができる。

【1844】

回路的にカラーマネージメント（色補正処理）を実現するためには、各トランジスタ群431から出力されるRGBの単位トランジスタ154出力割合を変化させるとよい。有機ELでBの色度が悪く（一方でRの色度がよい）、樹木の葉が枯葉になる現象を抑制するためには、Bの電流を大きくするか、Rの電流を小さくすればよい。また、Gの電流を大きくする方策の有効である。つまり、表示画像のR、G、B電流の比率から表示画像の色度位置を判断し、R、G、Bのうち少なくとも1つの出力電流の大きさを変化させる（本発明のカラーマネージメント処理方法）。

【1845】

トランジスタ群431cの出力電流を調整するためには、図46などにおける電流Icを調整すればよい（RGBで）。なお、本発明の実施例において本明細書で説明した事項、構成、方法、装置は適用できることは言うまでもない。

【1846】

電流Icを調整する構成は、図145に例示している。図145(a)は8ビットのデータをDA回路661でアナログ信号に変換し、オペアンプ502aに inputs し、電流Icを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗R1で行う。

【1847】

図145(b)は8ビットのデータをDA回路661でアナログ信号に変換し、電流Icを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗R1で行う。ただし、図145(b)の構成はDA回路661の出力電圧に対する電流Ic変化は非線形となる。

【1848】

図145(c)は8ビットのデータをDA回路661でアナログ信号に変換し、トランジスタ157bを介して、電流Icを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗R1で行う。ただし、図145(b)の構成はDA回路661の出力電圧に対する電流Ic変化は非線形となる。

【1849】

図146は電子ポリウム回路501を用いた回路構成である。図60の電子ポリウム回路501の端子電圧VsにDA回路661の出力を接続した構成である。他の構成は図60、図50、図46などと同様あるいは類似であるので説明を省略する。つまり、電流Icは電子ポリウム501により切り換えられるとともに、カラーマネージメント処理のD

10

20

30

40

50

A回路661の出力によっても調整することができる。

【1850】

なお、図145と図146の構成を組み合わせても良いことは言うまでも無い。また、図146において電子ボリウム501を制御することによりカラーマネージメント処理を実施してもよいことは言うまでのない。

【1851】

図147は図146の変形例である。オペアンプ502aの入力端子cに直接電圧Vcを入力できるように構成している。なお、Vcを入力する時は、電子ボリウム501はいずれのスイッチSも選択されずオープンになるように制御される。IC14外部からのVc電圧の印加により、容易に電流Icを制御あるいは調整することができる。

10

【1852】

図148は、DA回路661aの電源電圧VdaをDA回路661bで変化させることにより、オペアンプ502aの入力端子電圧を変化させるものである。入力端子電圧により出力電流Icはリニアに変化する。

【1853】

図148において、DA回路661aの出力電圧は8ビットのデジタルデータによりリニアに変化し、さらにDA回路661aの出力電圧は、DA回路661bの出力電圧によりリニアに変化する。図148に回路構成では電流Icの変化の幅が大きく、かつ変化はリニアであるので構成として好ましい。

【1854】

カラーマネージメント処理は、各RGBの電流により制御する。なお、RGBの電流とは点灯率で表現することができる(duty比は1/1とする)。duty比が1/1のとき、点灯率は画像データの総和と最大値から算出することができる。カラーマネージメント処理を実施するときは、点灯率はRGB個別で求める。つまり、Rの点灯率、Gの点灯率、Bの点灯率を求め(Rの消費電流、Gの消費電流、Bの消費電流を求めていることになる)、一定の割合の範囲、大きさでカラーマネージメント処理を実施する。画面に白表示が多い状態では、ホワイトバランスがとれているため、カラーマネージメント処理は不要だからである。

20

【1855】

図149(a)(b)はカラーマネージメント処理方法の説明図である。duty比制御は以前にも説明したようにEL表示パネルの消費電流を平均化するために実施している。カラーマネージメント処理は、基準電流Icの調整により実施している。図149(a)(b)では点灯率が高い範囲で、Rの基準電流Icrを低下させるとともに、Bの基準電流Icbを増加させている。また、Bの基準電流Icbは点灯率が中間レベル(30%~60%)の範囲でも増加させて調整を行っている。以上の処理によりEL表示装置のカラーマネージメント処理を良好に実現できる。

30

【1856】

図150は、点灯率が低い領域でRGBの基準電流Icを増加させている。これは、低点灯率で画像のダイナミックレンジを増大させるためである。Bの点灯率が高い領域でBの基準電流Icbを増大させている点がカラーマネージメント処理である。以上のように、本発明は画像のダイナミック処理とカラーマネージメント処理の両方を、基準電流制御により実現できる。

40

【1857】

図151はRの基準電流Icrを複数のレベルに制御する方式である。以上のように本発明は基準電流を自由に調整することによりカラーマネージメント処理を実施することができる。

【1858】

図152はRGBの点灯率から基準電流を制御する方式であった。しかし、EL表示パネルのカラーマネージメント処理は、RとBの電流(Icr、Icb)の割合により制御してもよい。図152はその実施例の説明図である。図149(a)(b)の横軸の点灯

50

率の替わりにB点灯率／R点灯率（B消費電流／R消費電流）としている。B点灯率／R点灯率（B消費電流／R消費電流）が一定以上になった時に、B基準電流 I_{cr} を変化させている。

【1859】

同様に、図152は図149（a）（b）横軸の点灯率の替わりにB点灯率／R点灯率（B消費電流／R消費電流）としている。また、図153では、B点灯率／（R点灯率＋G点灯率）（B消費電流／（R消費電流＋G点灯率））が一定以上になった時に、B基準電流 I_{cr} を変化させている。

【1860】

以上の図145から図148の構成は、電流 I_c の調整あるいは制御する構成である。電流 I_c を変化させることによりトランジスタ群431cの出力電流を変化させることができる。したがって、この構成はカラーマネージメント処理だけでなく、階調制御あるいは、トランジスタ431cなどの出力電流制御、ホワイトバランス調整回路として用いることができることは言うまでもない。

【1861】

以上の実施例では、基準電流 I_c の調整により、カラーマネージメント処理を実施するとしたが、これに限定するものではない。duty比の調整あるいは、各RGBの非表示領域51の割合を変化あるいは制御もしくは調整することにより、RGBの輝度を個別に調整することができる。したがって、これらの構成あるいは方法を用いてカラーマネージメント処理を実施してもよいことは言うまでもない。

【1862】

以上の実施例は、主としてRGBのEL素子15の色度がNTSCの色度と異なるために、カラーマネージメントを実施する方法または構成（装置）であった。しかし、カラーマネージメントの必要性はこれらの実施例だけでなく、EL素子15の発光効率によっても必要である。

【1863】

図321は、RGBのEL素子のEL電流と輝度の関係を示すグラフである。図321に図示するように、GはEL電流が大きくなっても輝度は比例的に増加する関係にある。しかし、RはEL電流 I_0 以上で輝度の増加が緩やかになる（比例しない＝発光効率が低下する）。また、BはEL電流 I_1 以上で輝度の増加が緩やかになる（比例しない＝発光効率が低下する）。

【1864】

以上のことから、EL電流が I_1 以上でBの輝度が相対的に低下しホワイトバランスが取れなくなる。さらに I_0 以上のRの輝度も相対的に低下しホワイトバランスが取れなくなる。以上の課題を解決し、EL電流の変化に対するホワイトバランスを維持するためには、図322の点線（R'、B'）に図示するように、階調に対するEL電流の関係を非線形性にする必要がある。図322では、階調K2以上でRのEL電流を増加させている（R'）。また、階調K1以上でRのEL電流を増加させている（B'）。

【1865】

以上の制御は、階調に応じて、RGBの基準電流を変化させることにより容易に実現することができる。たとえば、Rに対しては、図323に図示するように基準電流を変化させてよい。つまり、階調K2以上でRの基準電流比を1からRのEL素子の効率に逆比例させて増加させる。また、Bに対しては、図323に図示するように基準電流を変化させる。つまり、階調K1以上でBの基準電流比を1からBのEL素子の効率に逆比例させて増加させる。

【1866】

有機EL表示パネルのように、自己発光デバイスは固定パターン表示時での画像焼付けが課題となる。焼付けとは、有機ELの材料などが発光などで劣化し、発光強度が低下する現象などをいう。この焼付けを防止するためには、固定パターンの表示時に表示画像の表示位置を時間的に移動させるのが得策である。たとえば、1分間隔で画面位置を移動さ

10

20

30

40

50

せる。移動は1画素あるいは2画素程度にすることが好ましい。3画素以上では、表示画像が移動したこと視覚的に認識されてしまう。

【1867】

表示画像1264の移動とは、図177に図示するように、位置193aに移動させたり、位置193bの位置に移動させたりすることである。移動が上下、左右に1画素あるいは2画素の移動を行う。

【1868】

移動タイミングは、点灯率で判断する。点灯率が急変するときに画面移動制御を行う。点灯率が急変の状態とは、画面が暗い状態から明るい状態（たとえば、夜のシーンから、昼の海のシーンへの変化など）、画面が明るい状態から暗い状態の変化、ドラマのシーンからCMのシーンの変更などである。

10

【1869】

点灯率が急変する状態では、シーン（画面）が急変する状態である。画面の状態が急変するため、画像の表示位置が変化しても視覚的に認識されることはない。画像の内容（画像の表示状態）が全く変化する場合がほとんどだからである。この点灯率の急変を利用して画像の表示位置を変化させ固定パターンの焼付けを抑制することができる。

【1870】

点灯率が急変とは、変化が2倍あるいは $1/2$ 以上変化した場合である。たとえば、ある時刻での点灯率が10%であれば、点灯率が20%以上あるいは点灯率が5%以下に変化する状態である。以上のように、点灯率が変化した場合に、画面の表示位置を変化させる。画面の表示位置の変化は水平あるいは垂直方向のスタートパルスで1クロックあるいは2クロック分遅延させることにより行う。この動作はカウンタの比較値を変化させることにより実現できる。

20

【1871】

点灯率が急変する時とは、アノード電流あるいはカソード電流が急変する時と同義である。したがって、点灯率の急変とは、アノード電流あるいはカソード電流が2倍あるいは $1/2$ 以上変化する状態である。この場合に画面位置を変化させる。たとえば、アノード電流またはカソード電流が50mAであれば、アノード電流またはカソード電流が100mA以上あるいは25mA以下に変化した場合に、画面位置を変化させる。

【1872】

本発明では、点灯率、アノード電流あるいはカソード電流は、duty比と連動させる。したがって、点灯率の急変とは、duty比が2倍あるいは $1/2$ 以上変化した状態と同義である。つまり、duty比が変化したあるいは変化させた場合に、duty比と連動させて画面位置を変化させる。たとえば、図178に図示するように、点灯率1~25%の時（duty比1.0）に、矢印のようにduty比が0.5に変化させた場合に、画面の表示位置を変化させる。

30

【1873】

以上の実施例では、点灯率などが変化するとき、画面の表示位置を変化させるとしたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態になるとき（たとえば、電源がオンされたとき）に、画面表示位置が前回の表示位置と変化させるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させる。

40

【1874】

焼きつきを防止するには、画像のエッジをぼかすことも有効である。つまり、画像データを積分（ローパスフィルタ）することにより、画像のエッジがぼける（微分を反対の処理である）。特に点灯率が低いときは、黒表示に画像が表示され、また、点灯率が低い時はduty比を低くするので画素の輝度が高い。したがって、焼付けがし易いなる。つまり、低点灯率の時に、画像のエッジをぼやかす（積分処理）をする。つまり、本発明は、点灯率に応じて、画像の積分処理を変化させる。点灯率が低いときは積分処理を大きくし、点灯率が高い時は積分処理を小さくする（通常の表示にする）。

【1875】

50

以上の実施例を図 179 に図示する。積分処理比が 1 とは、積分処理をしない状態である。この比率が大きくなるにつれ、積分処理が強くなり、画素エッジがぼける。図 179 では、点灯率 50 % 以上で通常表示であり、点灯率 25 ~ 50 % で積分処理比 4 ~ 1 に変化させる。点灯率 25 % 以下では積分処理比 4 に固定する。以上のように制御することにより画素エッジの焼きつきを緩和することができる。

【1876】

本発明の実施例において、点灯率は、基本的にはアノード電流あるいはカソード電流の大きさと同義あるいは類似である。したがって、アノード電流あるいはカソード電流の大きさに対応して積分処理比を変化させてもよい。また、アノード電流あるいはカソード電流は、 $duty$ 比と連動させる。したがって、 $duty$ 比に連動させて、積分処理比を変化させてもよい。

10

【1877】

以上の実施例では、点灯率などが変化するとき、画面の表示位置を変化させるとしたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態になるとき（たとえば、電源がオンされたとき）に、画面表示位置が前回の表示位置と変化させるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させる。

【1878】

図 192 に図示するように、4 : 3 の画面に 16 : 9 などのワイド表示を行う場合は、図 192 (a) と図 192 (b) で図示するように 1 画素行あるいは 2 画素行をずらせてもよい。この制御は、以上に説明したように、点灯率制御、基準電流制御、 $duty$ 比制御、アノード（カソード）電流制御、オンオフ制御に同期して実施するとよい。

20

【1879】

本明細書において、基準電流を変化させるとして説明をした。基準電流を変化させることは、ソース信号線に流れるプログラム電流 I_w を変化させることである。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線 18 に流れるプログラム電流 I_w を可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。

【1880】

本発明は、基準電流を変化することによりソースドライバ回路（IC）14 の端子 15 から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できることを特徴としている。

30

【1881】

本発明の駆動方法において、プログラム電流 I_w と EL 素子 15 に流れる電流 I_e は略一致する。したがって、基準電流を可変あるいは制御もしくは調整するとは、駆動用トランジスタあるいは EL 素子 15 に流れる電流 I_e (I_w) を可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。ただし、図 31、図 36 などの画素構成では、EL 素子 15 に流れる電流 I_e と I_w とは一致しない。しかし、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線 18 に流れるプログラム電流 I_w を可変あるいは制御もしくは調整するといふことはでき、略比例的に EL 素子 15 に流れる電流を可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。

40

【1882】

図 128、図 129、図 130 などで説明したように、基準電流を変化させることは、ソース信号線 18 の電位を変化させることである。たとえば、基準電流を増大させるとプログラム電流 I_w は比例して（相関して）大きくなり、ソース信号線 18 の電位を低下させる（駆動用トランジスタが P チャンネルの時）。逆に、基準電流を小さくするとプログラム電流 I_w は比例して（相関して）小さくなり、ソース信号線 18 の電位を上昇させる（駆動用トランジスタが P チャンネルの時）。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線 18 の電位を、比例的に、あるいは一定の割合で、あるいは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できること

50

同義である。

【1883】

図271から図276で説明した本発明の駆動方法では、複数の画素行を同時に選択し、プログラム電流 I_w を選択した画素行に分割して（平均して）印加する。たとえば、4画素行を同時に選択し、プログラム電流が I_w とすると、理想的には1画素行に書き込まれるプログラム電流 I_p は $I_w/4$ となる。また、2画素行を同時に選択し、プログラム電流が I_w とすると、理想的には1画素行に書き込まれるプログラム電流 I_p は $I_w/2$ となる。

【1884】

以上のように駆動すると、1画素行には選択された画素数で分割されたプログラム電流 I_p が書き込まれる。したがって、画素16の表示輝度は分割された画素行分の1になる。したがって、表示輝度は暗くなる。これを防止するためには、基準電流を増加させればよい。たとえば、図171のように、2画素行を同時に選択した場合は、基準電流を2倍にすることにより輝度低下することはなくなる。つまり、本発明の駆動方法は、選択した画素数倍に基準電流を増加させて駆動するものである。

【1885】

増加させる基準電流は、完全に選択した画素数倍にする必要はない。評価結果によれば、選択した画素数を N とし、増加させる基準電流の倍率を C とした時、 $N \cdot C$ は0.8以上1.2以下に制御すればよい。この範囲であればフリッカなどは発生せず、良好な画像表示を実現できる。

【1886】

本発明は以上の実施例に限定されない。選択する画素行数（選択信号線数：図277（a）（b）～図279（a）（b）の縦軸）を点灯率により変化させてもよい。図277（a）（b）では、点灯率25%以下で選択信号線数（画素行数）を2画素行とし（図271の駆動方法となる）、点灯率25%以上では、選択信号線数（画素行数）を1画素行とし（図23の駆動方法となる）としている。また、点灯率25%以下では、画素16の輝度が低下することがないように、基準電流（基準電流比）も2倍としている（点灯率25%以上の範囲に対して）。

【1887】

以上のように、点灯率に応じて選択する画素行数を変化させ、また、基準電流比を変化させるのは、低点灯率領域において画面144に黒表示領域が多く、クロストークが目立ちやすいためである。クロストークはプログラム電流 I_w を大きくするほど、解消する。プログラム電流 I_w は基準電流 I_c の大きさに比例する。したがって、基準電流 I_c （基準電流比）を大きくすることにより、プログラム電流 I_w が大きくなり、クロストークが解消する。しかし、プログラム電流 I_w が大きくなると画素の輝度も比例して高くなってしまふ。これを解消するために図271で説明した駆動法を実施して選択本数を多くし、プログラム電流 I_w を選択した画素行分の1の I_p とすることにより輝度が高くなることを防止する。

【1888】

図277（a）（b）では、点灯率25%以下で選択信号線数（画素行数）を2画素行とし、基準電流比を2倍とする。したがって、画素16の輝度は、選択信号線数（画素行数）を1画素行とし、基準電流比を1倍とした場合と同一になる。点灯率25%以上では、図23と同一の駆動方法であり、選択信号線数（画素行数）を1画素行とし、基準電流（基準電流比）も1倍としている。

【1889】

本発明はこれに限定するものではない。図278（a）（b）のように駆動してもよい。図278（a）（b）では、点灯率25%以下で選択信号線数（画素行数）を2画素行とし、基準電流比を4倍とする。したがって、画素16の輝度は従来に対して2倍となる。しかし、基準電流比が4倍となっているので、クロストークの発生は完全に防止できる。なお、輝度が2倍になることを抑制するためには、点灯率25%以下の領域において、

10

20

30

40

50

d u t y 比を $1/2$ とすればよい。つまり、選択信号線数（画素行数）と、基準電流比と、d u t y 比を連動させればよい。

【1890】

図278(a)(b)では、点灯率25%以上75%以下では、選択信号線数（画素行数）を1画素行とし、基準電流比を2倍とする。したがって、画素16の輝度は従来に対して2倍となる。輝度が2倍になることを抑制するためには、d u t y 比を $1/2$ とすればよい。同様に、点灯率75%以上では、選択信号線数（画素行数）を1画素行とし、基準電流比を1倍とする。したがって、画素16の輝度は、d u t y 比を $1/1$ とすれば従来と同一である。なお、この点灯率領域などにおいて、d u t y 比を $1/1$ 未満とすることにより画面144の輝度を抑制でき、パネルの消費電力を抑制できる。

10

【1891】

図279(a)(b)は本発明の他の実施例である。図279(a)(b)では、点灯率25%以下で選択信号線数（画素行数）を4画素行とし、基準電流比を4倍とする。したがって、画素16の輝度は従来と同一である。基準電流比が4倍となっているので、クロストークの発生は完全に防止できる。点灯率25%以上50%以下では、選択信号線数（画素行数）を2画素行とし、基準電流比を2倍とする。したがって、画素16の輝度は従来と同様である。点灯率50%以上75%以下では選択信号線数（画素行数）を1画素行とし、基準電流比を2倍とする。したがって、画素16の輝度は従来との2倍となる。点灯率75%以上では、選択信号線数（画素行数）を1画素行とし、基準電流比を1倍とする。したがって、画素16の輝度は従来と同様である。

20

【1892】

図277～図279などで説明したように、たとえば、選択信号線数を2倍にする時は、基準電流比を2倍にする。つまり、選択信号線数をN倍にする時は、基準電流比をN倍にすることにより、理論上、表示輝度は一定に保たれる。しかし、実際には、ゲート信号線12aから駆動用トランジスタ11aのゲート端子への突き抜け電圧状態が変化し、選択信号線数を変化した時に、多少ではあるが輝度変化が発生する場合がある。輝度変化が発生するとフリッカとして認識される。

【1893】

この課題に対しては、選択信号線数を変化させる時は、点灯率が急変する時に実施する。点灯率が急変する時とは、画面のシーンが変化した時、チャンネルを切り換えた時などが例示される。より具体的には、ある画面（シーン）の点灯率に対して100%以上変化した時に選択信号線数を変化させ、同時にあるいは一定の遅延あるいは進みをもたせて基準電流比を連動させる。たとえば、点灯率10%であれば、点灯率20%あるいは5%に変化した時に選択信号線数を変化させ、同時にあるいは一定の遅延あるいは進みをもたせて基準電流比を連動させる。

30

【1894】

以上のように、本発明は、特に低点灯率の時（低階調表示が多い画面）に、選択信号線数を増加すると共に、基準電流を増加させ、ソース信号線18の寄生容量の充放電を高速にして書き込み不足を解消することの特徴とする。また、選択信号線数の変更は、点灯率が変化した時に実施する。

40

【1895】

以上のように、本発明の駆動方法は、選択信号線数（画素行数）と、基準電流比と、d u t y 比あるいはこれらの組み合わせにより制御を実施し、クロストークなどの発生を抑制するものである。

【1896】

以上のように、点灯率に基づいて、基準電流を変化させると説明しているが、点灯率に基づいて、ソース信号線に流れるプログラム電流 I_w を変化させることであり、また、ソース信号線18に流れるプログラム電流 I_w を可変あるいは制御もしくは調整することである。また、ソースドライバ回路（IC）14の端子155から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変も

50

しくは制御することである。また、点灯率もしくはデータ和に基づいて、ソース信号線 18 の電位あるいは駆動用トランジスタのゲート端子電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。

【1897】

点灯率に基づいてとは、映像信号のデータ和に基づいてとも置き換えることができることは言うまでもない。特に電流駆動の場合は、映像信号の大きさが画素 16 に流れる電流に比例するからである。また、点灯率はアノード端子（カソード端子）に流れる電流に比例あるいは相関する。したがって、点灯率に基づいてとはアノード端子（カソード端子）に流れる電流の大きさにもとづいてと置き換えることができることは言うまでもない。もちろん、EL 素子 15 に流れる電流として置き換えることもできる。

10

【1898】

点灯率は連続量でなくともよい。例えば、第 1 のアノード電流の時を点灯率 1 とし、第 2 のアノード電流の時と点灯率 2 とし、点灯率 1 と時と、点灯率 2 の時で制御を変化させるという制御を実施してもよい。つまり、本発明の点灯率による制御とは、複数の点灯率状態で変化あるいは制御するものである。

【1899】

本発明は第 1 の点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい。また、データの総和などであってもよい。）において、第 1 の FRC あるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは duty 比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

20

【1900】

また、第 2 の点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい。また、データの総和などであってもよい。）において、第 2 の FRC あるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは duty 比あるいはパネル温度などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい。また、データの総和などであってもよい。）に応じて（適応して）、FRC あるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは duty 比あるいはパネル温度などもしくはこれらの組合せとして変化させるものである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

30

【1901】

図 375 では、コンデンサ信号線 3751 を操作することにより、駆動用トランジスタ 11a のゲート端子電位を制御し、良好な黒表示を実現するとした。この黒表示を点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）によって、制御を実施してもよい。点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）が高いときは、点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）が高いときは、白表示部分が画像の大半を占める。また、ハレーションが発生するため黒表示を良好にする必要はない。点灯率が低い場合は、黒表示部分の画像が大半を占める。したがって、良好な黒表示を実現する必要がある。しかし、突き抜け電圧を高くし、駆動用トランジスタ 11a のゲート端子の電位シフト量を大きくすることは、駆動電圧のマージンを高くすることになり、結局、EL 素子 15 の負荷を大きくすることになる。

40

【1902】

以上の課題を解決するため、図 379 に図示するように、点灯率により、コンデンサ信号線 3751 の電位シフト量を変化させている。コンデンサ信号線 3751 の電位シフト量を大きくすると、駆動用トランジスタ 11a のゲート端子の電位シフト量が大きくなる

50

。なお、以下の実施例ではコンデンサ信号線 3751 の電位シフトを変化させるとするが、本発明はこれに限定するものではない。本発明の動作（制御方式など）は、点灯率に対応して駆動用トランジスタ 11a のゲート端子の電位をシフトさせることである。また、点灯率が小さい時に、電位シフト量を大きくする（駆動用トランジスタ 11a に電流が流れにくいように操作（制御）する）ものである。

【1903】

低点灯率では、コンデンサ信号線 3751 の電位シフト量を大きくする。電位シフト量を大きくすることより、駆動用トランジスタ 11a のゲート端子の電位シフト量が大きくなり、良好な黒表示を実現できる。点灯率が 25～50% の範囲では電位シフト量は一定に保持されている。この点灯率の範囲は画像表示でよく出現する範囲であり、点灯率に応じて変化させるとフリッカが発生する。

10

【1904】

なお、点灯率による電位シフトの変化は、遅延させて（ゆっくりと）実施する。高点灯率では、コンデンサ信号線 3751 の電位シフト量を小さくする。電位シフト量を小さくすることより、EL 素子 15 の負荷が軽減されて長寿命化を実現できる。

【1905】

電流駆動方式では、低階調領域においてプログラム電流が小さくなり、書き込み不足が発生することが課題である。この課題の対策のために本発明では、プリチャージ駆動、電圧＋電流駆動、基準電流制御などを実施する。

【1906】

電流駆動で書き込み不足が発生する原因は、図 380 に図示するようにソース信号線 18 の寄生容量 C_s による影響が大きい。寄生容量 C_s はゲート信号線 17 とソース信号線 18 との交差部などで発生する。

20

【1907】

以下の説明は説明を容易にするために、画素 16 の駆動用トランジスタ 11a が P チャンネルトランジスタで、かつ吸い込み電流（ソースドライバ回路（IC）14 に吸い込む電流）で電流プログラムを実施する場合であるとして説明をする。画素 16 の駆動用トランジスタ 11a が N チャンネルトランジスタの場合あるいは駆動用トランジスタ 11a を吐き出し電流（ソースドライバ IC 14 から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。逆の関係に変更あるいは読み変えることは当業者であれば容易であるので説明を省略する。

30

【1908】

以下の説明は画素 16 の駆動用トランジスタ 11a が P チャンネルに限定されるものではない。また、画素構成は図 1 の画素構成を例示して説明をするが、これに限定するものではなく、図 12 などの他の電流駆動の画素構成であればいずれでもよいことも言うまでもない。なお、以上の事項は、以前あるいはこれ以降に記載する本発明に適用されることはいうまでもない。

【1909】

図 380（a）に図示するように、黒表示（低階調表示）から白表示（高階調表示）に変化する時は、ソースドライバ回路（IC）14 がシンク電流で駆動することが主体である。ソースドライバ回路（IC）14 がプログラム電流 I_{d1} （ I_w ）で寄生容量 C_s の電荷を吸い込む。電流を吸い込むことにより、寄生容量 C_s の電荷を放電し、ソース信号線 18 の電位が低下する。したがって、画素 16 の駆動用トランジスタ 11a のゲート端子電位が低下し、プログラム電流 I_w を流すように電流プログラムが行われる。

40

【1910】

白表示（高階調表示）から黒表示（低階調表示）に変化する時は、画素 16 の駆動用トランジスタ 11a の動作が主体である。ソースドライバ回路（IC）14 は黒表示の電流を出力するが、微小であるため実効的に動作しない。駆動用トランジスタ 11a が動作し、プログラム電流 I_{d2} （ I_w ）の電位に一致するように寄生容量 C_s を充電する。寄生容量 C_s に電荷を充電することにより、ソース信号線 18 の電位が上昇する。したがって

50

、画素 16 の駆動用トランジスタ 11 a のゲート端子電位が上昇し、プログラム電流 I_w を流すように電流プログラムが行われる。

【1911】

しかし、図 380 (a) の駆動は低階調領域では電流 I_{d1} が小さく、また、定電流動作のため、寄生容量 C_s の電荷の放電に非常に長時間を必要とする。特に白輝度に到達するまでの時間が長いため白ウインドウ表示で上辺の輝度が所定輝度より低い。そのため、視覚的にめだつ。図 380 (b) は駆動用トランジスタ 11 a が非線形動作するため、比較的電流 I_{d2} が大きい。そのため、 C_s の受電時間が比較的是やい。また、特に黒輝度に到達するまでの時間が短いため白ウインドウ表示で下辺の輝度が低下しやすく、視覚的にめだたない。

10

【1912】

プログラム電流の書き込み不足の課題を解決するために、電圧＋電流駆動、突き抜け電圧駆動、 $duty$ 駆動、プリチャージ駆動を実施する。しかし、この方法だけでは、パネルが大型になれば、図 380 (a) の黒から白表示の実現が困難になる場合がある。この対策として、本発明では、1 H の前半にソースドライバ回路 (IC) 14 からのプログラム電流を増加させる。なお、後半は正規のプログラム電流 I_w を出力する。つまり、所定条件の時は、1 H の最初に所定のプログラム電流よりも大きな電流をソース信号線 18 に流し、後半に正規のプログラム電流をソース信号線 18 に流す。以下この実施例について説明をする。

【1913】

20

以下に説明する駆動方法 (駆動装置あるいは駆動方式) を過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動と呼ぶ。また、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動は本発明の他の駆動方式あるいは駆動装置 (電圧＋電流駆動、突き抜け電圧駆動、 $duty$ 駆動、プリチャージ駆動など) と組み合わせることができることは言うまでもない。また、図 81 などの差動信号 I_F などの他の実施例と組み合わせることができることも言うまでもない。

【1914】

図 381 は本発明の過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動方式を実施したソースドライバ回路 (IC) 14 の説明図である。基本構成は図 15、図 58、図 59 の構成である。ただし、図示を容易とするため、単位トランジスタ 154 が 1 個の電流回路はトランジスタ群 164 a とし、' 1 ' で図示している。以下同様に、単位トランジスタ 154 が 2 個の電流回路はトランジスタ群 164 b とし、' 2 ' で図示している。また、単位トランジスタ 154 が 4 個の電流回路はトランジスタ群 164 c とし、' 4 ' で図示している。単位トランジスタ 154 が 8 個の電流回路はトランジスタ群 164 d とし、' 8 ' で図示している。以下同様である。なお、説明を容易にするため、RGB は、各 6 ビットとしている。

30

【1915】

図 381 の構成は、過電流 (プリチャージ電流もしくはディスチャージ電流) のプログラム電流を流すトランジスタ群はトランジスタ群 164 f としている。つまり、階調データの最上位ビットのスイッチ D5 をオンオフ制御することにより、過電流 (プリチャージ電流もしくはディスチャージ電流) をソース信号線 18 に流す。過電流 (プリチャージ電流もしくはディスチャージ電流) を流すことにより寄生容量 C_s の電荷を短時間で放電させることができる。

40

【1916】

最上位ビットを過電流 (プリチャージ電流もしくはディスチャージ電流) 制御に使用するの、以下の理由による。まず、説明を容易にするため、1 階調から 4 階調に変化させるとする。また、階調数は 256 階調 (RGB 各 6 ビット) とする。

【1917】

1 階調から白階調に変化させる場合であっても、1 階調から中間調以上 (128 階調以上) に変化させる場合は、プログラム電流の書き込み不足は発生しない。プログラム電流

50

が比較的大きく、寄生容量 C_s の充放電が比較的早いからである。

【1918】

しかし、1 階調から中間調以下に変化する場合は、プログラム電流が小さく、1 H 期間に寄生容量 C_s を十分に充放電させることができない。したがって、1 階調から 4 階調などのように、中間調以下に階調変化させることを改善させる必要がある。この場合に、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【1919】

以上のように変化する階調が中間調以下であるから、プログラム電流の指定に最上位ビットは使用しない。つまり、1 階調から変化させる場合、目標の階調は、' 0 1 1 1 1 1 ' 以下である（最上位ビットのスイッチ D 5 は絶えずオフ状態である。本発明はたえず、オフ状態の最上位ビットを制御して過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【1920】

最初の階調（変化前の階調）が 1 であれば、スイッチ D 0 がオンで単位トランジスタ 1 5 4 c が 1 個動作する。目標の階調が 4 であれば、スイッチ D 2 が動作し、単位トランジスタ 1 5 4 c が 4 個動作する。しかし、単位トランジスタ 1 5 4 c が 4 個では十分に寄生容量 C_s の電荷を目標値まで放電させることができない。そこで、スイッチ D 5 を閉じトランジスタ群 1 6 4 f を動作させる。なお、D 5 スwitch の動作は、D 2 スwitch の動作に加えて実施してもよいし（1 H の前半を D 5 と D 2 スwitch をオンさせ、後半は D 2 スwitch のみをオンさせる）、1 H の前半はスイッチ D 5 のみをオンさせ、後半はスイッチ D 2 のみをオンさせてもよい。

【1921】

スイッチ D 5 がオンすれば、単位トランジスタ 1 5 4 c が 3 2 個動作する。したがって、D 2 スwitch のみの動作に比較して $32 / 4 = 8$ であるから 8 倍の速度で寄生容量 C_s の電荷を放電させることができる。したがって、プログラム電流の書き込み改善が可能である。

【1922】

スイッチ D 5 をオンさせるか否かは、RGB の映像データごとにコントローラ回路（IC）7 6 0 で判断する。コントローラ回路（IC）7 6 0 からは判断ビット K D A T A がソースドライバ回路（IC）1 4 に印加される。K D A T A は一例として 4 ビットである。K D A T A = 0 の時は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。K D A T A = 1 の時はプリチャージ駆動（電圧＋電流駆動）を実施する。K D A T A = 2 ~ 1 5 が過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施し、K D A T A の大きさは、D 5 ビットをオンさせる時間を示す。

【1923】

K D A T A はラッチ回路 1 6 1 で 1 H 期間保持される。カウンタ回路 1 6 2 は H D（1 H の同期信号）でリセットされ、クロック C L K でカウントされる。カウンタ回路 1 6 2 とラッチ回路 1 6 1 のデータが比較され、カウンタ回路 1 6 2 のカウント値が、ラッチ回路 1 6 1 のデータ値（K D A T A）よりも小さいとき、AND 回路 1 6 3 は内部配線 1 5 0 b にオン電圧を出力しつづけ、スイッチ D 5 のオン状態が維持される。したがって、トランジスタ群 1 6 4 f の単位トランジスタ 1 5 4 c の電流が内部配線 1 5 0 a およびソース信号線 1 8 に流れる。なお、電流プログラム時はスイッチ 1 5 0 b が閉じ、プリチャージ駆動時は、スイッチ 1 5 1 a が閉じ、スイッチ 1 5 1 b がオープン状態となる。図 3 8 8 はコントローラ IC（回路）7 6 0 の動作の説明図である。ただし、1 画素列（RGB の組）の処理の説明図である。映像データ D A T A（8 ビット×RGB）は内部クロックに同期してラッチ回路 7 7 1 a と 7 7 1 b に 2 段ラッチされる。したがって、ラッチ回路 7 7 1 b には、1 H 前の映像データが保持され、ラッチ回路 7 7 1 a には現在の映像データが保持される。

【1924】

比較回路 3 8 8 1 は 1 H 前の映像データと現在の映像データを比較し、K D A T A の値

10

20

30

40

50

を導出する。また、映像データDATAはソースドライバ回路（IC）14に転送される。また、コントローラ回路（IC）760はカウンタ162の上限カウント値CNTをソースドライバ回路（IC）14に転送する。

【1925】

KDATAは比較回路3881で決定される。決定は、変化前の映像データ（1H前のデータ）と変化後の映像データ（現在のデータ）から決定される。1H前のデータとは、現在のソース信号線18の電位を示す。現在のデータとは、変化させるソース信号線18の目標電位を示す。

【1926】

図380に図示して説明したように、プログラム電流の書き込みは、ソース信号線18の電位を考慮して行うことが重要である。書き込み時間 t は、 $T = ACV / I$ （A：比例定数、C：寄生容量の大きさ、V：変化する電位差、I：プログラム電流）で表すことができる。したがって、変化する電位差Vが大きければ書き込み時間が長くなる。一方、プログラム電流 $I = I_w$ が大きくすれば書き込み時間は短くなる。

【1927】

本発明では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動でIを大きくする。しかし、いずれの場合でもIを大きくすると、目標のソース信号線18電位を越える場合が発生する。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する場合には、電位差Vを考慮する必要がある。現在のソース信号線18の電位と、次の映像データ（現在の映像データ（次に印加する映像データ＝（変化後：図389の縦方向））から決定される目標のソース信号線18電位から、KDATAを求める。

【1928】

KDATAはD5スイッチをオンさせる時間の場合もあるが、過電流（プリチャージ電流もしくはディスチャージ電流）駆動での電流の大きさでもよい。また、D5スイッチのオン時間（時間が長いほどソース信号線18に印加する過電流（プリチャージ電流もしくはディスチャージ電流）印加時間が長くなり、過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）と、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ（大きさが大きいほどソース信号線18に印加する過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）の両方を組み合わせてもよい。説明を容易にするため、最初、KDATAはD5スイッチのオン時間であるとして説明をする。

【1929】

比較回路3881は1H前と変化後（図389を参照のこと）の映像データを比較してKDATAの大きさを決定する。KDATAに0以上のデータが設定される場合は以下の条件に合致する場合である。

【1930】

1H前の映像データが低階調領域である場合（0階調以上全階調の1/8以下の領域であることが好ましい。たとえば、64階調の場合は、0階調以上8階調以下である。）で、かつ、変化後の映像データが中間調領域以下である場合（1階調以上全階調の1/2以下の領域であることが好ましい。

【1931】

たとえば、64階調の場合は、1階調以上32階調以下の領域である。）にKDATAを設定する。設定するデータは、図356の駆動用トランジスタ11aのVI特性カーブを考慮して決定する。図356において、ソース信号線18のV_{dd}電圧から、0階調目の電圧であるV₀（完全黒表示）までの電位差は大きい。また、V₀電圧から、1階調目のV₁までの電位差は大きい。次の2階調目であるV₂電圧とV₁電圧までの電位差は、V₀電圧からV₁電圧までの電位差よりかなり小さい。以降、V₃とV₂、V₄とV₃になるにつれて電位差は小さくなる。以上のように高階調側になるにしたがって、電位差が小さくなるのは、駆動用トランジスタ11aのVI特性が非線形であることにほかなら

ない。

【1932】

階調間の電位差は、寄生容量 C_s の電荷の放電量に比例する。したがって、プログラム電流の印加時間つまり、過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流） I_d の印加時間と大きさに連動する。たとえば、1 H 前の V_0 （階調 0）と変化後の V_1 （階調 1）の階調差が小さいからといって、過電流（プリチャージ電流もしくはディスチャージ電流） I_d の印加時間を短くすることはできない。図 356 に図示するように電位差が大きいからである。

【1933】

逆に、階調差が大きくとも過電流（プリチャージ電流もしくはディスチャージ電流）を大きくする必要がない場合もある。たとえば、階調 10 と階調 32 では、階調 10 の電位 V_{10} と階調 32 の電位 V_{32} の電位差も小さく（図 356 より推定）、階調 32 のプログラム電流 I_w も大きいため、寄生容量 C_s を短時間で充放電できるからである。

【1934】

図 389 は横軸に 1 H 前（変化前、つまり現在のソース信号線 18 電位を示す）の映像データの階調番号を示している。また、縦軸に現在の映像データの階調番号（変化後、つまり変化させる目標のソース信号線 18 電位を示す）を示している。

【1935】

0 階調目（1 H 前）から 0 階調目（変化後）に変化させるのは、電位変化がないため、 $KDATA$ は 0 でよい。ソース信号線 18 の電位変化がないからである。0 階調目（1 H 前）から 1 階調目（変化後）に変化させるのは、図 356 に図示するように V_0 電位から V_1 電位に変化させる必要がある。 $V_1 - V_0$ 電圧は大きいから、 $KDATA$ は最高値の 15（例である）に設定する。ソース信号線 18 の電位変化が大きいからである。1 階調目（1 H 前）から 2 階調目（変化後）に変化させるのは、図 356 に図示するように V_1 電位から V_2 電位に変化させる必要があり、 $V_2 - V_1$ 電圧は比較的大きいから、 $KDATA$ は最高値近傍の 12（一例である）に設定する。ソース信号線 18 の電位変化が大きいからである。3 階調目（1 H 前）から 4 階調目（変化後）に変化させるのは、図 356 に図示するように V_3 電位から V_4 電位に変化させる必要がある。しかし、 $V_4 - V_3$ 電圧は比較的小さいため、 $KDATA$ は小さい値の 2 に設定する。ソース信号線 18 の電位変化が小さくてすみ、寄生容量 C_s の充放電が短時間で実施でき、目標のプログラム電流を画素 16 に書き込むことができるからである。

【1936】

変化前が低階調領域であっても、変化後の階調が中間調以上の場合は、 $KDATA$ の値は 0 である。変化後の階調に対応するプログラム電流が大きく、1 H 期間内にソース信号線 18 の電位を目標電位または近傍の電位まで変化させることができるからである。たとえば、2 階調から 38 階調目に変化させる場合は、 $KDATA = 0$ である。

【1937】

変化後が変化前より低階調の場合において、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。38 階調から 2 階調目に変化させる場合は、 $KDATA = 0$ である。この場合は、図 380（b）が該当し、主として画素 16 の駆動用トランジスタからプログラム電流 I_d が寄生容量 C_s に供給されるからである。図 380（b）の場合は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式は実施せず、電圧＋電流駆動方式あるいはプリチャージ電圧駆動を実施することが好ましい。

【1938】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式において、図 116 などでも説明した基準電流を増加させる駆動方式あるいは基準電流比と $duty$ を制御する駆動方式と組み合わせることは効果がある。基準電流の増加により、図 381 の構成では過電流（プリチャージ電流もしくはディスチャージ電流）も増加させることができるからである。したがって、寄生容量 C_s の充放電時間も短くなる。基準電流の大きさあるいは基準電流比の制御により、過電流（プリチャージ電流もしくはディスチャージ電

10

20

30

40

50

流) 駆動方式の過電流(プリチャージ電流もしくはディスチャージ電流)の大きさを制御することができる点も本発明の特徴ある構成である。

【1939】

以上のように、K D A T Aがコントロール I C (回路) 7 6 0で決定され、K D A T Aがソースドライバ回路 (I C) 1 4に差動信号 (図 3 1 9、図 3 2 0などを参照のこと) で伝送される。伝送された K D A T Aは図 3 8 1のラッチ回路 1 6 1で保持され、D 5スイッチが制御される。

【1940】

図 3 8 9の表の関係は、マトリックス R O Mテーブルを用いて K D A T Aを設定してもよいが、計算式を用いてコントローラ回路 (I C) 7 6 0の乗算器を用いて K D A T Aの算出(導出)を行ってもよい。その他、コントローラ回路 (I C) 7 6 0の外部電圧の変化により K D A T Aを定めてもよい。また、コントローラ回路 (I C) 7 6 0で実施することに限定されるものではなく、ソースドライバ回路 (I C) 1 4で実施してもよいことは言うまでもない。

【1941】

本発明は、基準電流の大きさによりプログラム電流 I wの大きさが基準電流に比例して変化する。したがって、図 3 8 1などの過電流(プリチャージ電流もしくはディスチャージ電流)駆動の過電流(プリチャージ電流もしくはディスチャージ電流)の大きさも基準電流の大きさに比例して変化する。図 3 8 9で説明した K D A T Aの大きさも基準電流の大きさの変化に連動させる必要があることは言うまでもない。つまり、K D A T Aの大きさは、基準電流の大きさに連動させるあるいは基準電流の大きさを考慮することが好ましい。

【1942】

本発明の過電流(プリチャージ電流もしくはディスチャージ電流)駆動方式の技術的思想は、プログラム電流の大きさ、駆動用トランジスタ 1 1 aからの出力電流などに対応して過電流(プリチャージ電流もしくはディスチャージ電流)の大きさ、印加時間、実効値を設定するものである。

【1943】

比較回路 3 8 8 1または比較手段などでは R G Bの映像データごとに比較を実施するが、R G Bデータから輝度 (Y 値) を求めて、K D A T Aを算出してもよいことは言うまでもない。つまり、単に、各 R G Bで比較するのではなく、色度変化、輝度変化を考慮し、また、階調データの連続性、周期性、変化割合を考慮して K D A T Aを算出あるいは決定もしくは演算する。また、1画素単位でなく、周辺の画素の映像データもしくは映像データに類するデータを考慮して K D A T Aを導出してもよいことは言うまでもない。たとえば、画面 1 4 4を複数のブロックに分割し、各ブロック内の映像データなどを考慮して K D A T Aを決定する方式が例示される。

【1944】

また、以上の事項は、本発明の表示装置、表示パネルなど他の実施例にも組み合わせて適用できることは言うまでもない。また、N倍パルス駆動方式(たとえば、図 1 9～図 2 7など)、N倍電流駆動画素方式(たとえば、図 3 1～図 3 6など)、非表示領域分割駆動方式(たとえば、図 5 4 (b) (c) など)、フィールドシーケンシャル駆動方式(たとえば、図 3 7～図 3 8など)、電圧+電流駆動方式(たとえば、図 1 2 7～図 1 4 2など)、突き抜け電圧駆動方式(明細書の突き抜け電圧に関する事項を参照のこと)、プリチャージ駆動方式(たとえば、図 2 9 3～図 2 9 7、図 3 0 8～図 3 1 2など)、複数ライン同時選択駆動方式(たとえば、図 2 7 1～図 2 7 6など)など他の駆動方式と組み合わせて実施できることは言うまでもない。

【1945】

以上の実施例は、説明を容易にするため基本構成は図 1 5、図 5 8、図 5 9の構成としたが、本発明はこれに限定するものではない。たとえば、図 8 6、図 1 6 1～図 1 7 4、図 1 8 8～図 1 8 9、図 1 9 8～図 2 0 0、図 2 0 8～図 2 1 0、図 2 2 1～図 2 2 2、

10

20

30

40

50

図 2 2 8、図 2 3 0、図 2 3 1、図 2 4 0、図 2 4 1～図 2 5 0 などのドライバ回路 (IC) 1 4 にも適用できることは言うまでもない。以上の事項は、本発明の表示装置、表示パネル、駆動方式、検査方法など他の実施例にも組み合わせて適用できることは言うまでもない。

【1946】

図 3 8 1 などにおいて、D 5 スイッチが選択される時間は、1 H (1 水平走査期間) の $3/4$ 期間以下 $1/3$ 2 期間以上に設定することが好ましい。さらに好ましくは 1 H (1 水平走査期間) の $1/2$ 期間以下 $1/16$ 期間以上に設定することが好ましい。過電流 (プリチャージ電流もしくはディスチャージ電流) を印加する期間が長いと、正規のプログラム電流を印加する期間が短くなり、電流補償が良好にならない場合がある。

10

【1947】

過電流 (プリチャージ電流もしくはディスチャージ電流) を印加する期間が短いと、目標のソース信号線 1 8 の電位まで到達することができない。過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動では、目標の階調のソース信号線 1 8 電位まで行うことが好ましいのは言うまでもない。しかし、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動のみで完全に目標のソース信号線電位にする必要はない。1 H の前半の過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動後に、正規の電流駆動を実施し、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動により生じた誤差は、正規の電流駆動によるプログラム電流で補償されるからである。

【1948】

図 3 8 2 は、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動方式を実施した場合の、ソース信号線 1 8 の電位変化を図示している。図 3 8 2 (a) は D 5 スイッチを $1/(2H)$ 期間オン状態にした場合である。1 水平走査期間 (1 H) の最初である t_1 より D 5 スイッチをオンし、3 2 個分の単位トランジスタ 1 5 4 c の単位電流が端子 1 5 5 から吸い込まれる。D 5 スイッチは $1/(2H)$ の t_2 期間までの間、オン状態が維持され、過電流 (プリチャージ電流もしくはディスチャージ電流) I_{d2} がソース信号線 1 8 に流れる。したがって、ソース信号線 1 8 の電位は目標電位の V_n 電位近傍の V_m 電位まで低下する。その後 (t_2 後)、D 5 スイッチはオフ状態となり、正規のプログラム電流 I_w が 1 H の終了 (t_3) まで、ソース信号線 1 8 に流れて、ソース信号線 1 8 電位は目標の V_n 電位となる。

20

【1949】

ソースドライバ回路 (IC) 1 4 は定電流動作する。したがって、 $t_2 \sim t_3$ 期間には定電流のプログラム電流 I_w が流れる。このプログラム電流 I_w により、寄生容量 C_s が目標電位になるまで充放電されると、画素 1 6 の駆動用トランジスタ 1 1 a から電流 I が流れ、ソース信号線 1 8 の電位は目標プログラム電流 I_w が流れるように保持される。したがって、駆動用トランジスタ 1 1 a は所定プログラム電流 I_w が流れるように保持される。以上のように、過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動の過電流 (プリチャージ電流もしくはディスチャージ電流) の精度は必要ない。精度がなくとも、画素 1 6 の駆動用トランジスタ 1 1 a により補正される。

30

【1950】

図 3 8 2 (b) は D 5 スイッチを $1/(4H)$ 期間オン状態にした場合である。1 水平走査期間 (1 H) の最初である t_1 より D 5 スイッチをオンし、3 2 個分の単位トランジスタ 1 5 4 c の単位電流が端子 1 5 5 から吸い込まれる。D 5 スイッチは $1/(4H)$ の t_4 期間までの間、オン状態が維持され、過電流 (プリチャージ電流もしくはディスチャージ電流) I_{d2} がソース信号線 1 8 に流れる。したがって、ソース信号線 1 8 の電位は目標電位の V_n 電位近傍の V_m 電位まで低下する。その後 (t_4 後)、D 5 スイッチはオフ状態となり、正規のプログラム電流 I_w が 1 H の終了 (t_3) まで、ソース信号線 1 8 に流れて、ソース信号線 1 8 電位は目標の V_n 電位となる。

40

【1951】

ソースドライバ回路 (IC) 1 4 は定電流動作する。したがって、 $t_4 \sim t_3$ 期間には

50

定電流のプログラム電流 I_w が流れる。このプログラム電流 I_w により、寄生容量 C_s が目標電位になるまで充放電されると、画素 16 の駆動用トランジスタ 11 a から電流 I が流れ、ソース信号線 18 の電位は目標プログラム電流 I_w が流れるように保持される。したがって、駆動用トランジスタ 11 a は所定プログラム電流 I_w が流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも、画素 16 の駆動用トランジスタ 11 a により補正される。

【1952】

図 382 (c) は D5 スイッチを $1/(8H)$ 期間オン状態にした場合である。1 水平走査期間 (1H) の最初である t_1 より D5 スイッチをオンし、32 個分の単位トランジスタ 154 c の単位電流が端子 155 から吸い込まれる。D5 スイッチは $1/(8H)$ の t_5 期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流） I_{d2} がソース信号線 18 に流れる。したがって、ソース信号線 18 の電位は目標電位の V_n 電位近傍の V_m 電位まで低下する。その後 (t_5 後)、D5 スイッチはオフ状態となり、正規のプログラム電流 I_w が 1H の終了 (t_3) まで、ソース信号線 18 に流れて、ソース信号線 18 電位は目標の V_n 電位となる。

【1953】

以上のように、単位トランジスタ 154 c の動作個数と、1 つの単位トランジスタ 154 c の単位電流の大きさが固定値である。したがって、D5 スイッチのオン時間により、比例して寄生容量 C_s の充放電時間を操作することができ、ソース信号線 18 の電位を操作することができる。なお、説明を容易にするため、寄生容量 C_s を過電流（プリチャージ電流もしくはディスチャージ電流）により充放電させるとしているが、画素 16 のスイッチトランジスタなどのリークもあるから、 C_s の充放電に限定されるものではない。

【1954】

以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさが単位トランジスタ 154 の動作個数により把握できる点が図 381 の本発明の特徴ある構成である。書き込み時間 t は、 $T = ACV/I$ (A : 比例定数、 C : 寄生容量の大きさ、 V : 変化する電位差、 I : プログラム電流) で表すことができるから、 $KDATA$ も値も、寄生容量（アレイ設計時に把握できる）、駆動用トランジスタ 11 a の VI 特性（アレイ設計時に把握できる）などから理論値に $KDATA$ の値を決定できる。

【1955】

図 382 の実施例は、最上位ビット D5 スイッチを操作することにより、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさ、印加時間を制御するものであった。本発明はこれに限定するものではない。最上位ビット以外のスイッチを操作あるいは制御してもよいことは言うまでもない。

【1956】

図 383 は、ソースドライバ回路 (IC) 14 が各 RGB 8 ビット構成である場合において、最上位ビットのスイッチ D7 と最上位ビットから 2 番目のスイッチ D6 を $KDATA$ により制御した構成である。なお、説明を容易にするため、D7 ビットには 128 個の単位トランジスタ 154 c が形成または配置されているとし、D6 ビットには 64 個の単位トランジスタ 154 c が形成または配置されているとする。

【1957】

図 383 (a1) は D7 スイッチの動作を示している。図 383 (a2) は D6 スイッチの動作を示している。図 383 (a3) はソース信号線 18 の電位変化を示している。図 383 (a) では D7、D6 のスイッチを同時に動作するため、単位トランジスタ 154 c は $128 + 64$ 個が同時に動作し、端子 155 からソースドライバ回路 (IC) 14 に流れ込む。したがって、階調 0 の V_0 電圧から階調 3 の V_3 電圧まで高速にソース信号線 18 電位を変化させることができる。なお、 t_2 後は、正規のスイッチ D が閉じ、正規のプログラム電流 I_w が端子 155 からソースドライバ回路 (IC) 14 に吸い込まれる

10

20

30

40

50

。

【1958】

同様に、図383(b1)はD7スイッチの動作を示している。図383(b2)はD6スイッチの動作を示している。図383(b3)はソース信号線18の電位変化を示している。図383(b)ではD7スイッチのみが動作するため、単位トランジスタ154cは128個が同時に動作し、端子155からソースドライバ回路(IC)14に流れ込む。したがって、階調0のV0電圧から階調2のV2電圧まで高速にソース信号線18電位を変化させることができる。図383(a)より変化速度は小さい。しかし、変化する電位がV0からV2であるから、適正である。なお、t2後は、正規のスイッチDが閉じ、正規のプログラム電流Iwが端子155からソースドライバ回路(IC)14に吸い込まれる。

10

【1959】

同様に、図383(c1)はD7スイッチの動作を示している。図383(c2)はD6スイッチの動作を示している。図383(c3)はソース信号線18の電位変化を示している。図383(c)ではD6スイッチのみが動作するため、単位トランジスタ154cは64個が同時に動作し、端子155からソースドライバ回路(IC)14に流れ込む。したがって、階調0のV0電圧から階調1のV1電圧まで高速にソース信号線18電位を変化させることができる。図383(b)より変化速度は小さい。しかし、変化する電位がV0からV1であるから、適正である。なお、t2後は、正規のスイッチDが閉じ、正規のプログラム電流Iwが端子155からソースドライバ回路(IC)14に吸い込まれる。

20

【1960】

以上のようにKDATAにより、スイッチのオン期間だけでなく、複数のスイッチを操作あるいは動作させ、動作させる単位トランジスタ154c個数を変化させることにより、適正なソース信号線電位を達成できる。

【1961】

図383では、過電流(プリチャージ電流もしくはディスチャージ電流)駆動によるスイッチD(D6、D7)をt1からt2の期間に動作させるとしたが、これに限定するものではなく、図382に図示あるいは説明したように、t2、t3、t4などのようにKDATAの値によって変化あるいは変更してもよいことは言うまでもない。また、過電流(プリチャージ電流もしくはディスチャージ電流)を印加している期間に基準電流あるいは基準電流の大きさを制御あるいは変更し、過電流(プリチャージ電流もしくはディスチャージ電流)の大きさを調整してもよい。なお、正規のプログラム電流を印加している期間は基準電流あるいは基準電流の大きさは正規の値にする。

30

【1962】

操作するスイッチはD7、D6に限定するものではなく、D5など他のスイッチも同時にあるいは選択して動作あるいは制御してもよいことは言うまでもない。たとえば、図385が実施例である。a期間の例では、過電流(プリチャージ電流もしくはディスチャージ電流)駆動として1/(2H)の期間D7スイッチをオン状態にして、128個の単位電流からなる過電流(プリチャージ電流もしくはディスチャージ電流)をソース信号線18に印加している。

40

【1963】

b期間の例では、過電流(プリチャージ電流もしくはディスチャージ電流)駆動として1/(2H)の期間D7、D6スイッチをオン状態にして、128+64個の単位電流からなる過電流(プリチャージ電流もしくはディスチャージ電流)をソース信号線18に印加している。

【1964】

c期間の例では、過電流(プリチャージ電流もしくはディスチャージ電流)駆動として1/(2H)の期間D7、D6、D5スイッチをオン状態にして、128+64+32個の単位電流からなる過電流(プリチャージ電流もしくはディスチャージ電流)をソース信

50

号線 18 に印加している。

【1965】

d 期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として $1/(2H)$ の期間 D7、D6、D5 スイッチと前記スイッチに該当しない映像データのスイッチ（たとえば、映像データが 4 であれば、D2 スイッチ）をオン状態にして、 $128 + 64 + 32 + \alpha$ 個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線 18 に印加している。

【1966】

以上の実施例は、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間が 1 H の最初からとしたが、本発明はこれに限定するものではない。図 384 で (a1) (a2) では、スイッチを 1 H の最初の t1 から $1/(2H)$ の t2 まで動作させる方法である。図 384 で (b1) (b2) では、スイッチを t4 から $1/(2H)$ の t5 まで動作させる方法である。過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間は図 384 (a) と同一である。ソース信号線 18 の電位は、寄生容量 Cs の充放電で規定されるから、過電流（プリチャージ電流もしくはディスチャージ電流）の印加期間がいずれにあっても実効値は等しくなる。ただし、1 H の最後は、正規のプログラム電流の印加期間にする必要がある。正規のプログラム電流の印加により、正確な目標電位（駆動用トランジスタ 11a が精度のよいプログラム電流を流せる）に設定できるからである。

【1967】

図 384 (c1) (c2) では、スイッチを 1 H の最初の t1 から $1/(4H)$ の t4 まで動作させ、スイッチを 1 H の t2 から $1/(4H)$ の t5 まで動作させている。過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間の実効値は図 384 (a) と同一になる。以上のように、本発明は、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間は複数に分散してもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）の印加開始時間は 1 H の最初からに限定するものではない。

【1968】

以上のように本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方法は、過電流（プリチャージ電流もしくはディスチャージ電流）の印加タイミングに限定されるものではない。ただし、該当画素 16 の電流プログラムが終了する時点で、プログラム電流が印加されている期間にする必要がある。ただし、画素 16 の電流プログラムに精度を必要としない時は、これに限定されることがないことは言うまでもない。つまり、過電流（プリチャージ電流もしくはディスチャージ電流）印加状態で 1 H 期間が終了してもよい。

【1969】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線 18 に流す動作が重要であって、過電流（プリチャージ電流もしくはディスチャージ電流）を発生するものが単位トランジスタ 154c に限定されるものではない。たとえば、端子 155 に接続されて定電流回路、可変電流回路を形成または構成し、これらの電流回路を動作させて過電流（プリチャージ電流もしくはディスチャージ電流）を発生させてもよいことは言うまでもない。

【1970】

図 381 はソースドライバ回路 (IC) 14 の階調表示に用いる（電流プログラム駆動に用いる）構成物あるいは構造を過電流（プリチャージ電流もしくはディスチャージ電流）駆動に用いるものであった。本発明はこれに限定するものではない。図 386 に図示するように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動に用いる過電流（プリチャージ電流もしくはディスチャージ電流）発生用の過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ 3811 を別途形成または構成してもよい。過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ 3861 は、単位トランジスタ 154c と同一サイズにし、この単位トランジスタ 154 を複数個形成して

構成してもよい。また、単位トランジスタ154cとサイズあるいはWL比、WLの形状を異ならせてもよい。ただし、すべての出力段で同一にする。

【1971】

図386では過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861のゲート端子電位は、単位トランジスタ154cのゲート端子電位と同一にした。同一にすることにより、基準電流制御により、過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861から出力する過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを容易に制御することができる。また、過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861のサイズなどの出力過電流（プリチャージ電流もしくはディスチャージ電流）が予測できるため設計が容易になる。しかし、本発明はこれに限定するものではない。過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861のゲート端子電位は単位トランジスタ154cと別の端子電位となるように構成してもよい。別になるように構成した過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861のゲート端子電位を操作することにより、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを制御することができる。

10

【1972】

過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861のドレイン端子（D）を単位トランジスタ154cのドレイン（D）端子と分離して、印加する電圧を制御あるいは調整してもよい。ドレイン端子電位の調整あるいは制御によっても過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861から出力される過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整あるいは制御することができる。

20

【1973】

以上のことは、本発明の他の実施例においても適用できる。たとえば、図381においても、ドレイン端子の電位を制御あるいは調整することにより過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整あるいは制御することができる。

【1974】

図386では、150bに印加する信号によりスイッチDcをオンオフ制御し、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実現する。図386の構成を採用することにより、映像データの大きさに左右されずに、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施することができる。他の構成動作については、図380～図390で説明するあるいは説明しているので説明を省略する。

30

【1975】

図381、図386などの事項は、本発明の表示装置、表示パネルなど他の実施例にも組み合わせて適用できることは言うまでもない。また、N倍パルス駆動方式（たとえば、図19～図27など）、N倍電流駆動画素方式（たとえば、図31～図36など）、非表示領域分割駆動方式（たとえば、図54（b）（c）など）、フィールドシーケンシャル駆動方式（たとえば、図37～図38など）、電圧+電流駆動方式（たとえば、図127～図142など）、突き抜け電圧駆動方式（明細書の突き抜け電圧に関する事項を参照のこと）、プリチャージ駆動方式（たとえば、図293～図297、図308～図312など）、複数ライン同時選択駆動方式（たとえば、図271～図276など）など他の駆動方式と組み合わせて実施できることは言うまでもない。

40

【1976】

特に、図381、図386で説明した過電流（プリチャージ電流もしくはディスチャージ電流）駆動は、電圧+電流駆動（プリチャージ駆動）と組み合わせて実施することが好ましい。図390はその実施例の説明図である。図390において、映像データとは画素16に書き込まれる階調の変化（映像データの変化）を示している。ソース信号線電位とはソース信号線18の電位変化を示している。また、階調数は256階調の場合である。映像データが255（白）階調から0階調に変化する場合は、図380（b）の状態であ

50

る。この場合は、まず、ソース信号線 18 にプリチャージ電圧が印加される。画素 16 の駆動用トランジスタ 11a のプログラム電流 I_w が 0 であるから、電流が流れないように、ゲート端子電位が V_{dd} 電圧方向に上昇する。なお、0 階調では突き抜け電圧駆動により、完全に黒表示状態にする。過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。

【1977】

映像データが 0（黒）階調から 2 階調に変化する場合は、図 380（a）の状態である。この場合は、まず、ソース信号線 18 に過電流（プリチャージ電流もしくはディスチャージ電流）が t_3 から t_4 の期間印加される。画素 16 の駆動用トランジスタ 11a は、一般的に動作しない。 t_4 から t_5 の期間ではプログラム電流駆動が行われる。過電流（プリチャージ電流もしくはディスチャージ電流）駆動により、ソース信号線 18 の電位が低下しすぎている場合は、画素 16 の駆動用トランジスタ 11a が動作し、図 390 に示すようにソース信号線 18 の電位をアノード電圧側に上昇させて V_2 電圧になる。

10

【1978】

以上の動作により駆動用トランジスタ 11a のゲート端子電圧は V_2 電圧になり、精度のよいプログラム電流を EL 素子 15 に流すことができる。

【1979】

映像データが 2 階調から 16 階調に変化する場合の比較的低階調領域でプログラム電流が小さい。動作は図 380（a）の状態である。この場合は、まず、ソース信号線 18 に過電流（プリチャージ電流もしくはディスチャージ電流）が t_5 から t_6 の期間印加される。画素 16 の駆動用トランジスタ 11a は、一般的に動作しない。 t_6 から t_7 の期間ではプログラム電流駆動が行われる。過電流（プリチャージ電流もしくはディスチャージ電流）駆動により、ソース信号線 18 の電位が適正な場合は、図 390 に図示するようにソース信号線 18 の電位は変化しない。つまり、画素 16 の駆動用トランジスタ 11a も動作しない。ソース信号線 18 の電位が目標値よりも低い場合は、 t_6 から t_7 の期間にソースドライバ回路（IC）14 がプログラム電流を引き込み、目標のソース信号線 18 電位になる。

20

【1980】

以上の動作により、図 390 に示すようにソース信号線 18 の電位を駆動用トランジスタ 11a のゲート端子電圧は V_{16} 電圧になり、精度のよいプログラム電流を EL 素子 15 に流すことができる。

30

【1981】

映像データが 16 階調から 90 階調に変化する場合はプログラム電流が大きい。動作は図 380（a）の状態である。この場合は、 t_7 から t_8 の全期間に渡り、プログラム電流駆動が行われる。つまり、プリチャージ電圧駆動、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施されない。以上のように、本発明は、階調データの変化割合、変化前の大きさにより K D A T A 値が変化させ、また、駆動方法を変更する。

【1982】

図 435 は、図 390 などに示す駆動方法の他の実施例（変形例）である。図 435（a）は、一定以下の低階調では 0 階調電圧（ V_0 ）の電圧プリチャージを実施する駆動方法である。図 435（a）では、画素 16 に書き込む階調が 5 階調以下で、0 階調電圧（ V_0 ）の電圧プリチャージを実施している。図 435（a）では、 $t_0 - t_1$ 、 $t_3 - t_4$ 、 $t_5 - t_6$ の 1H 期間で V_0 電圧を印加している。 $t_0 - t_1$ の 1H で書き込むのは階調データ 5 であり、 $t_3 - t_4$ の 1H で書き込むのは階調データ 3 であり、 $t_5 - t_6$ の 1H で書き込むのは階調データ 4 である。したがって、すべて階調番号が 5 階調以下である。これらの低階調領域では、プログラム電流が小さいため、書き込みにくい。したがって、 V_0 電圧を印加し、まず、黒レベルを確保してから、電流プログラムを実施する。階調番号が 6 階調以上では、比較的十分なプログラム電流をソース信号線 18 に印加する。6 階調以上では、電圧プリチャージは実施せず、プログラム電流駆動のみを実施する。

40

【1983】

50

図435(b)は、一定以下の低階調では対応する電圧で電圧プリチャージを実施する駆動方法である。図435(b)では、画素16に書き込む階調が5階調以下で、電圧プリチャージを実施している。図435(b)では、 t_0-t_1 、 t_3-t_4 、 t_5-t_6 の1H期間で電圧を印加している。 t_0-t_1 の1Hで書き込むのは階調データ5であるため、階調5に対応する電圧 V_5 を印加する。 t_3-t_4 の1Hで書き込むのは階調データ3であるため、階調3に対応する電圧 V_3 を印加する。あり、 t_5-t_6 の1Hで書き込むのは階調データ4であるため、階調4に対応する電圧 V_4 を印加する。る。したがって、すべて階調番号が5階調以下で電圧プリチャージを実施している。これらの低階調領域では、プログラム電流が小さいため、書き込みにくい。したがって、所定の低階調では、対応する電圧を印加し、まず、所定の黒レベルを確保してから、電流プログラムを実施する。階調番号が6階調以上では、比較的十分なプログラム電流をソース信号線18に印加する。6階調以上では、電圧プリチャージは実施せず、プログラム電流駆動のみを実施する。

10

【1984】

以下、図面を参照しながら、本発明の他の実施例について説明をする。図393は、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の他の実施例である。図386では過電流トランジスタ3861は1つであった。図393では、過電流トランジスタ3861は複数個形成または配置しており、過電流トランジスタ3861のゲート端子はトランジスタ431cと別のゲート配線と接続をしている。

20

【1985】

図393のように構成することにより、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを基準電流 I_c の大きさに制約されず、自由に設定あるいは調整することができる。また、複数の過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ3861から構成することにより、スイッチDCにより過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを自由に設定できる。

【1986】

過電流トランジスタ3861は、RGB回路で共通にしている。図397に図示するように、Rの基準電流 I_{cr} であり、 I_{cr} はR（赤）の基準電流の設定値 I_{RDATA} で変更あるいは調整される。同様にGの基準電流 I_{cg} であり、 I_{cg} はG（緑）の基準電流の設定値 I_{GDATA} で変更あるいは調整される。また、Bの基準電流 I_{cb} であり、 I_{cb} はB（青）の基準電流の設定値 I_{BDATA} で変更あるいは調整される。

30

【1987】

一方、過電流（プリチャージ電流もしくはディスチャージ電流） I_d は、図397に図示するように、RGBで共通である。つまり、Rの出力段回路の I_d （図393などを参照のこと）と、Gの出力段回路の I_d 、Bの出力段回路の I_d は同一である。 I_d の大きさおよび／または I_d の変化タイミングは過電流（プリチャージ電流もしくはディスチャージ電流）の設定データ I_{KDATA} 4ビットによりコントローラ回路（IC）760で設定される。この I_d が図393に図示するように1つのトランジスタ158dまたは複数のトランジスタ158dから構成されるトランジスタ群からなるカレントミラーの親回路に流れる。なお、図393では、トランジスタ158dは1つとして図示しているが、複数のトランジスタ158dで構成あるいは形成してもよいことは言うまでもない。

40

【1988】

図386では、RGB回路で個別にプログラム電流の大きさを設定することができる。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）はRGB個別に設定することは好ましくない。図380で説明したように、過電流（プリチャージ電流もしくはディスチャージ電流）は寄生容量 C_s の充放電を制御するものだからである。寄生容量 C_s はRGBにおいてソース信号線18では同一である。したがって、RGBの過電流（プリチャージ電流もしくはディスチャージ電流）が異なっていれば、図395に図示するように、過電流（プリチャージ電流もしくはディスチャージ電流）の書き込み速度がことなり、1H終了時のソース信号線電位が異なってしまう。

50

【1989】

図395では、一点鎖線のBの過電流（プリチャージ電流もしくはディスチャージ電流）が最も大きい。したがって、1Hの期間で階調0に相当するV0電圧から階調2に相当するV2電圧に達している。点線のGの過電流（プリチャージ電流もしくはディスチャージ電流）が最も小さい。したがって、1Hの期間では、階調0に相当するV0電圧から階調2に相当するV2電圧には到達しない。Rは実線で示す。図395に図示するように、GとBの中間状態である。以上のような状態では、1H後は、ホワイトバランスがずれていることになる。ただし、図395は低階調の領域であるので、ホワイトバランスがずれていても実用上は問題ない。

【1990】

寄生容量をRGBで異ならせれば、図395で説明した課題を解決できることは言うまでもない。つまり、図395の状態では、Rのソース信号線18の寄生容量Csを、Gのソース信号線18の寄生容量Csよりも大きくする。また、Bのソース信号線18の寄生容量Csを、Rのソース信号線18の寄生容量Csよりも大きくする。寄生容量Csを大きくする方法として、RGBごとにソース信号線18端にコンデンサをポリシリコン回路で形成あるいは構成する方式が例示される。

【1991】

また、RGBでソース信号線18の寄生容量を小さくする構成も例示される。Gのソース信号線18の寄生容量Csを、Rのソース信号線18の寄生容量Csよりも小さくする。また、Rのソース信号線18の寄生容量Csを、Bのソース信号線18の寄生容量Csよりも小さくする。寄生容量Csを小さくする方式として、RGBごとにソース信号線18の配線幅を変化させる構成が例示される。

【1992】

ソース信号線18の幅が狭くなれば、寄生容量Csの大きさは小さくなる。電流駆動方式では、ソース信号線18に流れる電流は μA オーダーである。したがって、ソース信号線18幅が細く、ソース信号線18の抵抗値が高くとも電流駆動方法を実現することに支障はない。

【1993】

以上のように、本発明では、RGBのソース信号線18のうち1つ以上の寄生容量Csを、他のソース信号線18の寄生容量Csと異ならせたものである。また、その実現には、ソース信号線18の線幅を変化させる構成が例示される。容量となるコンデンサを作製あるいは配置し、該当ソース信号線18に電氣的に接続させる構成が例示される。

【1994】

0階調に該当するV0電圧は、画素16の駆動用トランジスタ11aによって決定される。通常、駆動用トランジスタ11aは、RGBで共通のサイズあるいは大きさである。したがって、RGBではV0電圧は一致している。寄生容量Csの充放電はV0電圧を基準になる場合が多い。

【1995】

図397に図示するように、RGB回路で過電流（プリチャージ電流もしくはディスチャージ電流）Idを共通にすることにより、図395に図示ように各RGBでソース信号線18の充放電曲線が異なることはない。つまり、過電流（プリチャージ電流もしくはディスチャージ電流）IdはRGBで同一にすることが好ましい。

【1996】

過電流（プリチャージ電流もしくはディスチャージ電流）Idの調整回路は、図397の電子ポリウム回路501bで行う。電子ポリウム501bはIKDATAにより、フレームごとあるいは画素行ごとに変化あるいは変更できる。また、画面144を複数領域に分割し、分割した領域ごとに電子ポリウム501bを配置し、分割した領域ごとに電流Idを変化あるいは調整する構成も例示される。以上の事項は、基準電流Icの電子ポリウム回路501aなどにも適用できることは言うまでもない。

【1997】

図397は電子ポリウム501で過電流（プリチャージ電流もしくはディスチャージ電流） I_d を調整などする構成であった。しかし、本発明はこれに限定されるものではない。図396（a）に図示するように半固定ポリウム V_r で調整してもよい。また、端子2883bに調整用電圧を印加してもよい。なお、内蔵抵抗 R_2 はトリミングなどを行い、規定値となるように調整しておくことが好ましい。

【1998】

図396（b）に図示するように内蔵抵抗 R_a 、 R_b により過電流（プリチャージ電流もしくはディスチャージ電流） I_d を調整してもよい。内蔵抵抗 R_a 、 R_b のうち少なくとも一方の抵抗はトリミングなどを行い、規定値となるように調整しておくことが好ましい。抵抗 R_2 は図に示すように外づけにしてもよいし、ソースドライバ回路（ I_C ）14に内蔵させてもよい。また、 R_2 は半固定ポリウム V_r で調整してもよい。また、端子2883aに調整用電圧を印加してもよい。

【1999】

図372、図396などにおいて、抵抗 R はソースドライバ回路（ I_C ）18などに内蔵させるとしたが、これに限定するものではない。ソースドライバ I_C の外部に終端抵抗として配置してもよいことは言うまでもない。

【2000】

以上のように構成あるいは形成することにより、 R_{GB} の過電流（プリチャージ電流もしくはディスチャージ電流） I_d を設定あるいは調整もしくは変更を容易に実現することができる。

【2001】

図398はプログラム電流 I_w を出力する出力段431cと過電流（プリチャージ電流もしくはディスチャージ電流）を出力する出力段431eとの配置関係を図示したものである。出力段431cは、 R_{GB} で異なる（もちろん、同一でもよいことは言うまでもない）基準電流によりプログラム電流の大きさは変化する。出力段431cから出力されるプログラム電流 I_w は端子155より出力される。過電流（プリチャージ電流もしくはディスチャージ電流）を出力する出力段431eは、 R_{GB} で同一（もちろん、 R_{GB} で異なってもよいことは言うまでもない）である。

【2002】

基準電流 I_d で過電流（プリチャージ電流もしくはディスチャージ電流）の大きさは変化する。出力段431eから出力される過電流（プリチャージ電流もしくはディスチャージ電流）はプログラム電流 I_w を出力する端子155より出力される。なお、端子155にはプリチャージ電圧 V_{pc} の出力回路も接続される。

【2003】

図399は過電流（プリチャージ電流もしくはディスチャージ電流）回路の基準電流 I_d を発生させる他の実施例である。電子ポリウム501bへのデータ I_{KDATA} と抵抗 R_2 からなる定電流回路により基本的な電流 I_e が発生する。この電流 I_e がトランジスタ158a、158bに流れる。トランジスタ158bとトランジスタ158eは所定のカレントミラー比のカレントミラー回路を構成する。トランジスタ158bに対して複数のトランジスタ158eが形成または配置されている。図399ではトランジスタ158eは出力段数形成されている。たとえば、160 R_{GB} であれば、 $160 \times 3 = 480$ のトランジスタ158eが形成または配置される。

【2004】

各トランジスタ158eは電流接続でトランジスタ158bに基準電流 I_d を伝送する。この伝送された電流 I_d により過電流トランジスタ3861aの出力電流の大きさ、変化タイミングあるいは制御状態が決定される。

【2005】

図249、図250、図299～図305などでは、基準電流のカスケード接続について説明をした。過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流 I_d についても図400に図示するようにソースドライバ回路（ I_C ）間で電流 I_d の受け渡

10

20

30

40

50

しを行うことが好ましい。

【2006】

図400では、ソースドライバ回路(IC) 14aに外づけ抵抗Rが接続されている。Rの基準電流 I_{cr} は抵抗 R_{1r} により大きさが設定あるいは調整される。Gの基準電流 I_{cg} は抵抗 R_{1g} により大きさが設定あるいは調整される。また、Bの基準電流 I_{cb} は抵抗 R_{1b} により大きさが設定あるいは調整される。

【2007】

同様に、過電流(プリチャージ電流もしくはディスチャージ電流) I_d は抵抗 R_2 により大きさが設定あるいは調整される。以上の構成により発生した基準電流 I_{cr} 、 I_{cg} 、 I_{cb} 、 I_d は配線2081で隣接したソースドライバ回路(IC) 14に受け渡される。なお、各基準電流は、図396、図397などの構成により発生あるいは調整してもよいことは言うまでもない。

【2008】

以上の実施例は過電流トランジスタ3861、基準電流 I_d をソースドライバ回路(IC) 14で発生させるものであった。しかし、本発明はこれに限定するものでない。たとえば、図401に図示するように構成してもよい。図401ではアレイ基板30に過電流トランジスタ3861を形成または配置した構成である。ソースドライバ回路(IC) 14からゲート配線4011に出力される電圧により過電流トランジスタ3861が動作し、ソース信号線18に過電流(プリチャージ電流もしくはディスチャージ電流)を流す。

【2009】

以上のように過電流(プリチャージ電流もしくはディスチャージ電流)回路は、ポリシリコン技術などを用いて構成あるいは形成してもよい。また、過電流(プリチャージ電流もしくはディスチャージ電流)回路は、ドライバ回路(IC) で構成し、アレイ基板30のソース信号線18端子に実装してもよい。

【2010】

なお、図401ではゲート配線4011に印加した電圧で過電流トランジスタ3861が流す過電流(プリチャージ電流もしくはディスチャージ電流)を調整するものであった。しかし、本発明はこれに限定するものではない。たとえば、図399に図示するトランジスタ158dと過電流トランジスタ3861からなるカレントミラー回路をアレイ基板30に低温ポリシリコン技術で形成し、図396、図397、図399などで説明した基準電流 I_d は過電流トランジスタ3861を構成するカレントミラー回路に印加してもよい。つまり、ソースドライバ回路(IC) 14で過電流(プリチャージ電流もしくはディスチャージ電流)の基準電流 I_d を発生させる。

【2011】

図392(a)は、本発明のソースドライバ回路(IC) 14における過電流(プリチャージ電流もしくはディスチャージ電流)回路の構成例である。トランジスタ158dと過電流トランジスタ3861とはカレントミラー回路を構成している。過電流(プリチャージ電流もしくはディスチャージ電流) I_k の大きさは2つのスイッチ D_c で制御される。スイッチ D_{c0} は1個の過電流トランジスタ3861が接続されており、スイッチ D_{c1} は2個の過電流トランジスタ3861が接続されている。

【2012】

過電流トランジスタ3861は図15などで説明した単位トランジスタ154と同一の構成である(同一の技術思想で形成あるいは構成されている)。したがって、過電流トランジスタ3861の構成あるいは説明は、単位トランジスタ154で説明した事項がそのままあるいは準用される。したがって、説明を省略する。

【2013】

プリチャージ電圧 V_{pc} を端子155に印加するスイッチ D_p の制御と、過電流(プリチャージ電流もしくはディスチャージ電流)を端子155に印加するスイッチ D_c の制御は2ビットで制御される。このビットをKビット(1ビット目)、Pビット(0ビット目:LSB)とする。したがって、4つの状態を制御できる。

10

20

30

40

50

【2014】

4つの状態を図392(b)の表に図示している。(K、P) = 0の時、(Dp、Dc0、Dc1) = (0、0、0)に制御される。なお、0はスイッチがオープン状態、1はスイッチがクローズ状態を示す。

【2015】

(K、P) = 0の時、プリチャージ電圧(プログラム電圧)制御スイッチDpはオープンであり、過電流制御スイッチDcもオープンである。したがって、端子155からはプリチャージ電圧も過電流(プリチャージ電流もしくはディスチャージ電流)も出力(印加)されない。

【2016】

(K、P) = 1の時、(Dp、Dc0、Dc1) = (1、0、0)に制御される。プリチャージ電圧(プログラム電圧)制御スイッチDpはクローズ(close)状態であり、過電流制御スイッチDcは両方ともオープン状態である。したがって、端子155からはプリチャージ電圧Vpcが出力されるが、過電流(プリチャージ電流もしくはディスチャージ電流)は出力(印加)されない。

【2017】

(K、P) = 2の時、(Dp、Dc0、Dc1) = (0、1、0)に制御される。プリチャージ電圧(プログラム電圧)制御スイッチDpはオープン(open)状態であり、過電流制御スイッチDcはDc0がクローズ状態であり、Dc1はオープン状態である。したがって、端子155からはプリチャージ電圧Vpcは出力されない。また、過電流(プリチャージ電流もしくはディスチャージ電流)は1つ分の過電流トランジスタ3861の出力電流がソース信号線18に印加される。

【2018】

(K、P) = 3の時、(Dp、Dc0、Dc1) = (0、0、1)に制御される。プリチャージ電圧(プログラム電圧)制御スイッチDpはオープン(open)状態であり、過電流制御スイッチDcはDc0、Dc1がクローズ状態である。したがって、端子155からはプリチャージ電圧Vpcは出力されない。また、過電流(プリチャージ電流もしくはディスチャージ電流)は2つ分の過電流トランジスタ3861の出力電流がソース信号線18に印加される。

【2019】

以上のように、2ビットの信号(K、P)により、プリチャージ電圧、過電流(プリチャージ電流もしくはディスチャージ電流)を制御することができる。

【2020】

図392(b)では、(K、P)のデコード回路が必要である。デコード回路を不要にした構成表を図391に図示する。図391において、K0、K1は過電流(プリチャージ電流もしくはディスチャージ電流)を制御するスイッチの信号である。K0はDc0をオープン、クローズを制御するビットである。K1はDc1をオープン、クローズを制御するビットである(図392(a)を参照のこと)。図391において、Pはプリチャージ電圧を制御するスイッチの信号である。Dpをオープン、クローズを制御するビットである(図392(a)を参照のこと)。

【2021】

(P、K0、K1) = (0、0、0)の時、(Dp、Dc0、Dc1) = (0、0、0)に制御される。プリチャージ電圧(プログラム電圧)制御スイッチDpはオープン(open)状態であり、過電流制御スイッチはDc0、Dc1もオープン状態である。したがって、端子155からはプリチャージ電圧Vpcは出力されない。また、過電流(プリチャージ電流もしくはディスチャージ電流)も出力されない。

【2022】

(P、K0、K1) = (1、0、0)の時、(Dp、Dc0、Dc1) = (1、0、0)に制御される。プリチャージ電圧(プログラム電圧)制御スイッチDpはクローズ(close)状態であり、過電流制御スイッチはDc0、Dc1もオープン状態である。し

10

20

30

40

50

たがって、端子155からはプリチャージ電圧 V_{pc} が出力されるが、過電流（プリチャージ電流もしくはディスチャージ電流）は出力されない。

【2023】

たとえば、 $(P, K0, K1) = (1, 1, 1)$ の時、 $(Dp, Dc0, Dc1) = (1, 1, 1)$ に制御される。プリチャージ電圧（プログラム電圧）制御スイッチ Dp はクローズ（close）状態であり、過電流制御スイッチは $Dc0$ 、 $Dc1$ もクローズ状態である。したがって、端子155からはプリチャージ電圧 V_{pc} と過電流（プリチャージ電流もしくはディスチャージ電流）が出力される。

【2024】

以下、同様に $(P, K0, K1)$ の値に応じて、プリチャージ電圧（プログラム電圧）制御スイッチ Dp と、過電流制御スイッチは $Dc0$ 、 $Dc1$ が独立に制御される。したがって、プリチャージ電圧印加と過電流（プリチャージ電流もしくはディスチャージ電流）印加を同時に実施できる。

【2025】

図391、図392において、スイッチ（ Dp 、 $Dc0$ 、 $Dc1$ ）をクローズさせるビットを付加することによりさらに精度のよい過電流（プリチャージ電流もしくはディスチャージ電流）、プリチャージ電圧の制御を実施することができることは言うまでもない。

【2026】

図393は、過電流（プリチャージ電流もしくはディスチャージ電流）を制御するスイッチを3ビットにした実施例である。 $Dc0$ スイッチのオン（クローズ）により、1つの過電流トランジスタ3861の電流がソース信号線18に印加される。 $Dc1$ スイッチのオン（クローズ）により、2つの過電流トランジスタ3861の電流がソース信号線18に印加される。 $Dc2$ スイッチのオン（クローズ）により、4つの過電流トランジスタ3861の電流がソース信号線18に印加される。同様に、 $Dc0$ 、 $Dc1$ 、 $Dc2$ スイッチのオン（クローズ）により、7つの過電流トランジスタ3861の電流がソース信号線18に印加される。

【2027】

図393において、端子155に過電流（プリチャージ電流もしくはディスチャージ電流）を印加している期間は、ソースドライバ回路（IC）14の端子2883に印加する信号の t_d 期間により制御する。 t_d 期間とはスイッチ151cをオン（クローズ）させる期間である。

【2028】

d 期間の制御は、ソースドライバ回路（IC）14内部に構成あるいは形成したカウンタ回路（図示せず）により実施してもよい。 t_d 期間の設定コマンドは、図360、図361、図362、図357などで説明したコマンド信号などでコントローラ回路（IC）760からソースドライバ回路（IC）14に伝送させる。もちろん、 t_d は1Hの $1/2$ など固定値であってもよいことは言うまでもない。また、スイッチ151bと151cとは同期を取って制御することが好ましい。

【2029】

図402は、図424、図425などの映像データDATAの下位3ビットをスイッチ Dc のオンオフ制御時間として用いたものである。つまり、 $D2 \sim D0$ ビットを所定の規則でデコードして時間制御ビット $T2 \sim T0$ として用いている。 $T2 \sim T0$ ビットは、プリチャージ電圧制御ビット（P）と過電流制御ビット（K）のデータ内容により意味を変化させる。

【2030】

プリチャージ電圧制御ビット（P）が1の時、電圧プリチャージが実施される。0の時は、電圧プリチャージが実施されない。過電流制御ビット（K）が1の時、過電流（電流プリチャージ）が実施される。0の時は、電流プリチャージが実施されない。プリチャージ電圧制御ビット（P）が1で、過電流制御ビット（K）が1の時、電圧プリチャージが実施されるとともに、過電流（電流プリチャージ）が実施される。

10

20

30

40

50

【2031】

電圧プリチャージが実施されると、ソース信号線18の電位が所定電圧に強制的に変更される。過電流（電流プリチャージ）は、電圧プリチャージされたソース信号線18電位からの動作になる。したがって、図402（b）の $P=1$ 、 $K=1$ における電流プリチャージは絶対値動作になる。電圧プリチャージによりソース信号線18の電位が所定電圧なり、この電位から変化が発生するからである。そのため、 $T_2 \sim T_0$ は絶対的なDcスイッチのオン時間制御になる。また、絶対的なオン時間制御することが目標ソース信号線18電位に調整でき好ましい。

【2032】

プリチャージ電圧制御ビット（P）が0で、過電流制御ビット（K）が1の時、電圧プリチャージが実施されない。過電流（電流プリチャージ）は実施される。電圧プリチャージが実施されないと、ソース信号線18の電位が1H前の状態が保持される。したがって、過電流（電流プリチャージ）は、前のソース信号線18電位からの相対動作になる。図402（c）の $P=1$ 、 $K=1$ における電流プリチャージは相対値動作になる。そのため、 $T_2 \sim T_0$ は相対的なDcスイッチのオン時間制御になる。

【2033】

図402では、映像データDATAの下位3ビットをデコードしてスイッチDcのオンオフ制御時間として用いたものである。デコードの変換テーブルは、PとKの値により変化させる。402（b）では、 $D_2 \sim D_0$ の値が大きいほど、 $T_2 \sim T_0$ の大きさを大きくしている。所定のプリチャージ電圧が印加された後に、過電流（プリチャージ電流もしくはディスチャージ電流） I_d を印加するからである。402（c）では、 $D_2 \sim D_0$ の値が大きいほど、 $T_2 \sim T_0$ の大きさを小さくしている。プリチャージ電圧が印加されず、過電流（プリチャージ電流もしくはディスチャージ電流）印加前のソース信号線18電位から、過電流（プリチャージ電流もしくはディスチャージ電流） I_d を印加し、ソース信号線18電位を変化させるからである。

【2034】

図402において $T_2 \sim T_0$ は時間であるとしたが、本発明はこれに限定するものではなく、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさに置き換えてもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間制御と、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ制御の両方を組み合わせてもよいことは言うまでもない。

【2035】

図393ではスイッチ151cを形成または配置したが、図394（a）に図示するように151cを形成または配置しなくともよい。定電流回路（431cと3861など）は、短絡してもインピーダンスが高いため問題が発生しないからである。

【2036】

図392、図393、図386では、各スイッチDcに単位過電流（プリチャージ電流もしくはディスチャージ電流）を流す複数の過電流トランジスタなどで構成するとしたが、本発明はこれに限定するものではない。たとえば、図394（b）に図示するように、各スイッチDcに1つの過電流トランジスタ3861を形成または配置してもよいことは言うまでもない。図394（b）において、スイッチDc0には1つの過電流トランジスタ3861aが配置または形成されている。スイッチDc1にも1つの過電流トランジスタ3861bが配置または形成されている。また、スイッチDc2には1つの過電流トランジスタ3861cが配置または形成されている。過電流トランジスタ3861a～3861cは出力する過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを異ならせている。過電流（プリチャージ電流もしくはディスチャージ電流）の大きさは、過電流トランジスタ3861のWL比あるいはサイズ、形状によって容易に調整あるいは設計できる。

【2037】

図399は過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流 I_d を

1つのトランジスタ158eに流す構成である。しかし、図47などで説明したようにトランジスタ158bを複数個形成し、トランジスタ群431bと構成することにより、I_dのバラツキを減少させることができる。図405はその実施例である。過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流I_dは4つのトランジスタ158eで発生させる。

【2038】

図405では、基準電流I_cと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流I_dは、電子ボリウム501に入力されるIDATAにより変化する。基準電流I_cと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流I_dの大きさの比率は、基準電流I_cを流すトランジスタ158aと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流I_dを流すトランジスタ158cの形状などを異ならせることにより実現する。

10

【2039】

図405では、基準電流I_cを流すトランジスタ158aは1個であり、過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流I_dを流すトランジスタ158cは4個であるから、トランジスタ158aとトランジスタ158cが同一形状の場合でも、基準電流I_c×4＝基準電流I_dの関係を構成できる。

【2040】

図405では、スイッチD_cに対応する過電流トランジスタ3861を4つ形成または配置されている。小さい過電流（プリチャージ電流もしくはディスチャージ電流）を流す複数の過電流トランジスタ3861で出力段を構成することにより出力バラツキが減少させることができる。以上のことは図15などでも説明をしているので説明を省略する。

20

【2041】

図405では図393に図示するように内部配線150bに印加するオンオフ信号によりスイッチD_cを時間制御し、端子155から出力する実効電流を制御している。また、スイッチ151aと151bはオンオフ状態を反対の関係としている。したがって、プリチャージ電圧V_pcが端子155に印加されている時は、過電流（プリチャージ電流もしくはディスチャージ電流）が端子155に印加されないように制御されている。

【2042】

図127～図143、図405、図308～図313などは、電圧駆動と電流駆動とを組み合わせる実施例である。しかし、電圧駆動のデータVDATAと、電流駆動のデータIDATAは同一のビット数にする必要はない。たとえば、プログラム電流駆動のデータIDATAを8ビット（256階調）とし、プリチャージ電圧駆動のデータVDATAを6ビット（64段階）としてもよい。

30

【2043】

図434は、その実施例である。図434では、階調の番号（段回数）に対応して、プログラム電流データIDATAが出力できるようにソースドライバ回路（IC）14が構成されている。しかし、プリチャージ電圧VDATAはIDATA 4つに対し、1つしか対応させていない。つまり、プログラム電流駆動のデータIDATAを8ビット（256階調）とするならば、プリチャージ電圧駆動のデータVDATAは6ビット（64段階）である。

40

【2044】

図434では、VDATAはIDATA 4つに対し、等間隔で1つを対応させている。しかし、本発明はこれに限定するものではない。低階調領域では、VDATAの間隔を狭くし、高階調領域ではVDATAの間隔を広くしてもよい。

【2045】

以上の事項は本明細書の他の実施例にも適用することができることは言うまでもない。また、組み合わせる実施例を構成することができることも言うまでもない。

【2046】

図406は8ビットのソースドライバ回路（IC）14において、プログラム電流I_w

50

(D0～D7のスイッチのオンオフ状態により発生する)と、過電流(プリチャージ電流もしくはディスチャージ電流) I_d (説明を容易するため、トランジスタ158dと過電流トランジスタ3861はカレントミラー比1のカレントミラー回路を構成しているとし、過電流(プリチャージ電流もしくはディスチャージ電流)の基準電流 I_d と同一の過電流(プリチャージ電流もしくはディスチャージ電流)が端子155に印加されるとする)との発生関係あるいはその状態もしくは駆動方法を説明するための説明図である。

【2047】

図406(a)は過電流(プリチャージ電流もしくはディスチャージ電流) I_d の印加している状態である。過電流(プリチャージ電流もしくはディスチャージ電流) I_d は、1Hの1/(2H)期間など一定の期間印加される。ただし、1Hの1/(2H)期間というのは一実施例であり、これに限定するものではない。制御信号などにより1Hの1/(2H)期間、1Hの1/(4H)期間、1Hの2/(3H)期間、1Hの1/(8H)期間など切り替えできるように構成することが好ましいことは言うまでもない。図406(b)は過電流(プリチャージ電流もしくはディスチャージ電流)印加時間後の状態である。図406(b)は一例として、データD(D7～D0)が"10000001"つまり、D7ビットとD0ビットがオン(クローズ)状態でのプログラム電流 I_w の出力状態を示している。

10

【2048】

以上のように、図406の実施例では、過電流(プリチャージ電流もしくはディスチャージ電流) I_d を印加している状態と、プログラム電流 I_w の出力状態とは独立している。

20

【2049】

図407(a)は過電流(プリチャージ電流もしくはディスチャージ電流) I_d の印加している状態である。過電流(プリチャージ電流もしくはディスチャージ電流) I_d は、1Hの1/(2H)期間など一定の期間印加される。

【2050】

ただし、図406で説明したように、1Hの1/(2H)期間というのは一実施例であり、これに限定するものではない。制御信号などにより1Hの1/(2H)期間、1Hの1/(4H)期間、1Hの2/(3H)期間、1Hの1/(8H)期間など切り替えできるように構成することが好ましいことは言うまでもない。

30

【2051】

また、映像データの大きさ、1画面の映像データの総和の大きさ、1H前のソース信号線18電位の大きさ、各フレームの画像状態の変化、静止画あるいは動画などの画像の性質などにより、過電流(プリチャージ電流もしくはディスチャージ電流) I_d の印加時間などは変化あるいは変更もしくは制御してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【2052】

図407(a)ではプログラム電流 I_w を発生させるスイッチD0～D7がすべてオン(クローズ)状態にしている。そのため、端子155から出力される過電流(プリチャージ電流もしくはディスチャージ電流)は、本来の過電流(プリチャージ電流もしくはディスチャージ電流) I_d に、最大のプログラム電流 I_w を加えたものとなる。以上のように図407(a)のようにスイッチD0～D7、Dcを制御することにより、大きな過電流(プリチャージ電流もしくはディスチャージ電流) I_d をソース信号線18に印加することができる。そのため、寄生容量Csの電荷放電時間を短くすることができる。

40

【2053】

図407(b)は過電流(プリチャージ電流もしくはディスチャージ電流)印加時間後の状態である。図407(b)は図406(b)と同様に一例として、データD(D7～D0)が"10000001"つまり、D7ビットとD0ビットがオン(クローズ)状態でのプログラム電流 I_w の出力状態を示している。

【2054】

50

以上のように、図４０７の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図４０７（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【２０５５】

図４０６、図４０７では過電流トランジスタ３８６１を制御し、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）を印加するとした。しかし、本発明はこれに限定するものではない。この実施例を図４０８に図示する。

10

【２０５６】

図４０８（ａ）ではプログラム電流Ｉｗを発生させるスイッチＤ０～Ｄ７がすべてオン（クローズ）状態にしている。しかし、過電流トランジスタ３８６１を制御するスイッチＤｃはオープン状態である。したがって、端子１５５には過電流（プリチャージ電流もしくはディスチャージ電流）であるＩｄは印加されない。図４０８（ａ）では、映像データに基づくプログラム電流Ｉｗ以上の電流とスイッチＤ７～Ｄ０を制御することにより発生させた実施例である。一般的に書き込み不足が発生するのは、映像データが小さい領域（低階調領域）である。したがって、この領域ではＤ７ビットなどのスイッチがオンすることがない。この映像データではオンすることがないスイッチ（Ｄ７など）をオンさせて、大きなプログラム電流（＝過電流（プリチャージ電流もしくはディスチャージ電流））を発生させて、この電流でソース信号線１８の電位を制御あるいは操作する。

20

【２０５７】

以上のように、端子１５５から出力される過電流（プリチャージ電流もしくはディスチャージ電流）は、最大のプログラム電流Ｉｗである。以上のように図４０８（ａ）のようにスイッチＤ０～Ｄ７、Ｄｃを制御することにより、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加することができる。そのため、寄生容量Ｃｓの電荷放電時間を短くすることができる。

【２０５８】

図４０８（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図４０８（ｂ）は図４０６（ｂ）、図４０７（ｂ）と同様に一例として、データＤ（Ｄ７～Ｄ０）が”１００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗ（正規の映像データの大きさに対応する）の出力状態を示している。

30

【２０５９】

以上のように、図４０８の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図４０８（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

40

【２０６０】

図４０７では、過電流トランジスタ３８６１を設けているが本発明はこれに限定するものではない。図４７０に図示するように、過電流トランジスタ３８６１を形成または配置しなくともよい。図４７０では、プリチャージ電流を印加するときは、スイッチＤ０～Ｄ７などをすべてオンさせ、最大単位電流を流すようにする（図４７０（ａ））。正規の電流を出力する時は、図４７０（ｂ）に図示するように、映像データに該当するスイッチＤ（図４７０ではスイッチＤ１は少なくともオンし、スイッチＤ０、Ｄ２、Ｄ７はオープンである）をオンさせる。他の構成は、本発明の他の実施例で説明しているので説明を省略する。

【２０６１】

50

図407、図470などにおいて、プリチャージ電流を印加するときは、すべてのスイッチD0～D7をクローズさせるとしたが、本発明はこれに限定するものではない。プリチャージ電流を印加するときは、上位ビットのD7ビットのみをオンさせてもよい。また、上位ビットに該当するD4～D7ビットをオンさせてもよい。つまり、本発明は、所定の映像データに該当するときよりも、大きい出力電流となるようにスイッチDnを操作するものである。

【2062】

図408(a)、図470(a)ではプログラム電流Iwを発生させるスイッチD0～D7がすべてオン(クローズ)状態にしている。しかし、過電流トランジスタ3861を制御するスイッチDcはオープン状態である。したがって、端子155には過電流(プリチャージ電流もしくはディスチャージ電流)であるIdは印加されない。

10

【2063】

図408(a)では、映像データに基づくプログラム電流Iw以上の電流とスイッチD7～D0を制御することにより発生させた実施例である。一般的に書き込み不足が発生するのは、映像データが小さい領域(低階調領域)である。したがって、この領域ではD7ビットなどのスイッチがオンすることがない。この映像データではオンすることがないスイッチ(D7など)をオンさせて、大きなプログラム電流(＝過電流(プリチャージ電流もしくはディスチャージ電流))を発生させて、この電流でソース信号線18の電位を制御あるいは操作する。

【2064】

20

以上のように、端子155から出力される過電流(プリチャージ電流もしくはディスチャージ電流)は、最大のプログラム電流Iwである。以上のように図408(a)のようにスイッチD0～D7、Dcを制御することにより、大きな過電流(プリチャージ電流もしくはディスチャージ電流)Idをソース信号線18に印加することができる。そのため、寄生容量Csの電荷放電時間を短くすることができる。

【2065】

図408(b)は過電流(プリチャージ電流もしくはディスチャージ電流)印加時間後の状態である。図408(b)は図406(b)、図407(b)と同様に一例として、データD(D7～D0)が"10000001"つまり、D7ビットとD0ビットがオン(クローズ)状態でのプログラム電流Iw(正規の映像データの大きさに対応する)の出力状態を示している。

30

【2066】

以上のように、図408の実施例では、過電流(プリチャージ電流もしくはディスチャージ電流)を流す期間に大きな過電流(プリチャージ電流もしくはディスチャージ電流)を印加することができる。なお、図408(a)において、すべてのスイッチD0～D7をオン(クローズ)することに限定するものではない。ソース信号線18の電位、水平走査期間の長さ、寄生容量Csの大きさなどに対応してスイッチD0～D7のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【2067】

図399、図405～図408などは、端子155から吸い込む方向の過電流(プリチャージ電流もしくはディスチャージ電流)Idを発生させる構成あるいは方法である。しかし、本発明はこれに限定するものではない。端子155から過電流(プリチャージ電流もしくはディスチャージ電流)を吐き出す構成であってもよい。

40

【2068】

また、端子155から過電流(プリチャージ電流もしくはディスチャージ電流)を吸い込む回路と、端子155から過電流(プリチャージ電流もしくはディスチャージ電流)を吐き出す回路の両方を形成または構成もしくは配置してもよいことは言うまでもない。

【2069】

図414は、端子155から過電流(プリチャージ電流もしくはディスチャージ電流)を吸い込む回路と、端子155から過電流(プリチャージ電流もしくはディスチャージ電

50

流)を吐き出す回路の両方を具備する本発明のソースドライバ回路(IC) 14の実施例である。

【2070】

図399、図405～図408などとの差異は、過電流(プリチャージ電流もしくはディスチャージ電流)を吐き出す回路を有する点である。過電流(プリチャージ電流もしくはディスチャージ電流)の吐き出し回路は、トランジスタ158d2と過電流トランジスタ3861からなるカレントミラー回路で構成される。このカレントミラー回路で過電流(プリチャージ電流もしくはディスチャージ電流) Id2(カレントミラー比が1の時)を端子155に印加する。

【2071】

図414において、吐き出し方向の過電流(プリチャージ電流もしくはディスチャージ電流) Id2を端子155に印加する場合は、スイッチDc2をオンする。吸い込み方向の過電流(プリチャージ電流もしくはディスチャージ電流) Id1を端子155に印加する場合は、スイッチDc1をオンする。なお、スイッチDc1とDc2とを同時にオンさせてもよい。過電流(プリチャージ電流もしくはディスチャージ電流) Id2と過電流(プリチャージ電流もしくはディスチャージ電流) Id1の差が端子155に印加される。他の構成は、図399、図405～図408などと同様であるので説明を省略する。

図407、図408、図470などにおいて、D0～D7スイッチ(Dnスイッチと呼ぶ)を制御するとした。Dnスイッチをオンさせる期間(プリチャージ電流印加期間)を制御することにより、より良好な画像表示を実現できる。プリチャージ電流の印加期間は図471に図示するように、スイッチDnを制御あるいは操作することにより実現する。すべてのスイッチDnをオンする期間は、1H以下の期間であり、その期間であるオン期間データ値は、コントローラ回路(IC) 760によりRAM4712に保持されている。カウンタ回路4682は1Hの最初のメインクロックCLKでリセットされ、以降、CLKによりカウントアップされる。

【2072】

カウンタ回路4682のカウント値と、RAM4712に保持されたオン期間データは一致回路4711で比較され、一致するするまで、すべてのスイッチDnをオンするロジックがスイッチDnの制御回路(図示せず)に印加され、スイッチDnがオンする。カウンタ回路4682のカウント値と、RAM4712に保持されたオン期間データが一致すると、一致回路4711は、以降はオフ電圧を出力し、スイッチDnは映像データに対応するスイッチのみがオンされる。スイッチDnの操作は、ロジック回路でマスキングすることにより容易に実現できる。

【2073】

なお、すべてのスイッチDnを操作してプリチャージ電流を発生するという動作は、すべての画素に対して行われるものではない。映像信号の電位変化、映像データに大きさなどで実施したり、しなかったり操作されることはいうまでもない(適応型プリチャージ駆動と呼ぶ。図417～図422、図463などで説明しているので参照のこと)。以上の事項は本発明の他の実施例で説明しているので説明を省略する。

【2074】

図407、図408、図470、図471などの構成では、1H(1水平走査期間)の最初の期間に、映像データなどから判断され、必要な時はスイッチ151aがクローズされ、プリチャージ電圧Vpcが端子155に印加されて、ソース信号線18に印加される。基本的には、プリチャージ電圧Vpcが印加されている時は、スイッチ151bはオープン状態に制御される。

【2075】

また、1Hの最初あるいはプリチャージ電圧の印加した後に、映像データなどから判断され、必要な時はスイッチDnがクローズされ、プリチャージ電流が端子155に印加されて、ソース信号線18に印加される。プリチャージ電流の印加後、正規の映像データに該当するスイッチDがクローズされてプログラム電流Iwがソース信号線18に印加され

10

20

30

40

50

る。

【2076】

図407、図408、図470、図471などにおいて、プリチャージ電流 I_d を印加する期間を長くするほど、ソース信号線18の電位変化を大きくすることができる。つまり、プリチャージ電流が印加される期間を制御することにより、ソース信号線18の電位変化を大きくすることができる。

【2077】

プリチャージ電流 I_d を印加する期間は、図471に図示するように、カウンタの値だけで制御することができる。プリチャージ電流 I_d は基本的に温特がない。また、図380(a)で説明したように寄生容量を充放電する期間は線形である。したがって、ロジックで容易に制御が可能である。

10

【2078】

図472は、印加されているソース信号線電位が階調0電圧あるいは階調0電流（電圧で代表して V_0 とする）の場合において、次の階調 n に変化する場合は、すべてのスイッチ D_n のオン時間を示している。たとえば、1階調目に変化させる時（0階調目から1階調目の変化）は、すべてのスイッチ D_n を2 (μsec) オンさせればよい。同様に、たとえば、5階調目に変化させる時（0階調目から5階調目の変化）は、すべてのスイッチ D_n を4 (μsec) オンさせればよい。また、同様に、たとえば、10階調目に変化させる時（0階調目から10階調目の変化）は、すべてのスイッチ D_n を6 (μsec) オンさせればよい。20階調目以降は、一定であり、すべてのスイッチ D_n を8 (μsec) オンさせればよい。20階調目以降は、正規のプログラム電流で目標のソース信号線18電位に到達できるからである。

20

【2079】

図472に印加時間を、コントローラ回路（IC）760に各階調に応じてマトリックステーブル（たとえば、 V_0 に対する階調 n のスイッチ D_n のオン時間、 V_1 に対する階調 n のスイッチ D_n のオン時間、 V_2 に対する階調 n のスイッチ D_n のオン時間、・・・など、図463なども参照のこと）に記憶させておき、このテーブルに応じてスイッチ D_n を制御するようにすればよい。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【2080】

図407、図408、図470、図471では、吸い込み電流方向のプリチャージ電流を発生する構成であった。本発明はこれに限定するものではない。たとえば、図473に図示するように、ソースドライバ回路（IC）14内にシンク電流のプログラム電流出力段431caと、吐き出し電流を出力するプログラム電流出力段431cbを形成または構成してよい。シンク電流のプリチャージ電流を発生する場合は、出力段431caのスイッチ D_n を制御あるいは操作する。吐き出し電流を発生する場合は、出力段431cbのスイッチ D_n を制御あるいは操作する。いずれかのプリチャージ電流は、スイッチ151b1とスイッチ151b2を制御することにより実現する。

30

【2081】

本発明の実施例において、プリチャージ電圧 V_{pc} は、主としてアノード電圧に近い電圧を印加するとしたが、これに限定するものではない。たとえば、図474のようにプリチャージ電圧 V_{pc} を印加してもよい。図474(a)は、低階調時に、1Hの最初の t_a 期間に階調0に対応するプリチャージ電圧 $V_{pc} = V_0$ 電圧を印加する実施例である。図474(b)は、高階調時に、1Hの最初の t_a 期間に階調255に対応するプリチャージ電圧 $V_{pc} = V_{255}$ 電圧を印加する実施例である。いずれも場合も、プリチャージ電圧 V_{pc} の印加後、プログラム電流を印加する。

40

【2082】

なお、プリチャージ電圧 V_{pc} は1Hの所定期間だけでなく、1H期間の間印加しつづけてもよいことは言うまでもない。図475はその実施例である。

【2083】

50

図 4 7 5 (a) は、低階調時に、1 H 期間に階調 0 に対応するプリチャージ電圧 $V_{pc} = V_0$ 電圧を印加する実施例である。(g) に示す期間にプリチャージ電圧として V_0 電圧を印加しつづけている。なお、他の期間は、プリチャージ電圧 V_{pc} を印加せず、プログラム電流のみで駆動している。プログラム電流は相対動作（現階調から次の階調に変化する）する。

【2084】

図 4 7 5 (b) は、低階調時に、1 H 期間に階調 0 に対応するプリチャージ電圧 $V_{pc} = V_0$ 電圧を印加し、高階調時に、1 H 期間に階調 2 5 5 に対応するプリチャージ電圧 $V_{pc} = V_{255}$ 電圧を印加する実施例である。(e) に示す期間にプリチャージ電圧として V_{255} を印加し続けている。また、(g) に示す期間にプリチャージ電圧として V_0 電圧を印加しつづけている。なお、他の期間は、プリチャージ電圧 V_{pc} を印加せず、プログラム電流のみで駆動している。

10

【2085】

図 4 0 3 は、本発明の表示パネル（表示装置）の駆動方法（駆動方式）を説明するための説明図である。電圧プリチャージおよびプログラム電流によるソース信号線 1 8 に電位状態を示している。図 4 0 3 の実施例では、ソースドライバ回路（IC）1 4 が発生するプリチャージ電圧は、階調 0 の電位 V_0 （黒電圧プリチャージ）と、最大の階調 2 5 5 の電位 V_{255} （白電圧プリチャージ）とを発生する。

【2086】

表示パネルが 5 インチ以下と小型の場合は、プリチャージ電圧の発生回路を簡略化することが可能である。図 4 2 7 はプリチャージ電圧の発生数を 3 つ（0 階调用： V_0 、1 階调用： V_1 、2 階调用： V_2 ）としている。また、図 4 2 7 は、図 3 5 1 ～ 3 5 3 と図 3 0 9、図 3 1 0 とを組み合わせた構成もしくは類似の構成である。

20

【2087】

図 4 2 7 において、ソースドライバ回路（IC）1 4 の端子 2 8 3 b には、 V_0 電圧が印加されている。 V_0 電圧はボリウムなどにより自由に設定あるいは調整できるように構成されている。 V_0 電圧の調整により、本発明の EL 表示パネルが最適な黒表示となるようにすることができる。また、L 端子 2 8 3 c には V_2 電圧が印加される。 V_2 電圧もボリウムなどにより、ソースドライバ回路（IC）1 4 外部で自由に設定あるいは調整できるように構成されている。 V_0 、 V_2 電圧の調整により、本発明の EL 表示パネルが最適な黒表示と 2 階調目の表示を得ることができる。なお、 V_0 電圧、 V_2 電圧は、ソースドライバ回路（IC）1 4 内部に DA 回路を形成または構成し、デジタル的に変更あるいは調整してもよいことは言うまでもない。

30

【2088】

1 階調目のプリチャージ電圧 V_1 は、 V_0 、 V_2 電圧と内蔵あるいは外づけ抵抗 R_a 、 R_b で発生させる。 V_2 電圧を変化させれば、 V_1 電圧も相対的に変化する。本発明では、基準電流比制御を実施する。基準電流比を変化あるいは変更すれば、図 3 5 5、図 3 5 6、図 3 5 0 などの説明したように、各階調での動作点（プログラム電流の大きさ）が変化する。したがって、同一の 2 階調目であっても基準電流を変化させればプログラム電流の大きさが異なり、ソース信号線 1 8 電位も異なる。

40

【2089】

図 4 2 7 の構成では、基準電流あるいは基準電流比に連動して、 V_2 電圧を変化させる。したがって、 V_1 電圧も変化する。一方で 0 階調目である V_0 電圧は動作原点であるから、基準電流を変化させても調整する必要はない。つまり、本発明は、0 階調目（完全黒表示）に対応する V_0 電圧を固定し、必要に応じて、 V_0 電圧よりも高階調（図 4 2 7 の実施例では V_2 電圧）を調整できる構成あるいは方法である。

【2090】

V_0 電圧は、RGB で共通であっても実用上十分である。ただし、 V_2 電圧は、EL 素子 1 5 が RGB で効率が異なるため、R 用の V_2 電圧、G 用の V_2 電圧、B 用の V_2 電圧というように個別に設定できるように構成する必要がある。

50

【2091】

V0などのプリチャージ電圧V_{pc}はアノード電圧V_{dd}と連動させることが好ましい。この実施例を図521に図示する。プリチャージ電圧V_{pc}は、基本的には、駆動用トランジスタ11aの立ち上がり電圧である。立ち上がり電圧は、アノード電圧V_{dd}は、駆動用トランジスタ11aの一端子の電圧である。したがって、アノード電圧V_{dd}が高くなれば、プリチャージ電圧V_{pc}も高くする必要がある。アノード電圧V_{dd}が低くなれば、プリチャージ電圧V_{pc}も低くする必要がある。

【2092】

以上の課題に対して、図521に図示するように、電子ポリウム501の電源電圧をアノード電圧V_{dd}とすることにより、V_{dd}電圧が変動しても、V_{pc}電圧が連動して変化する。したがって、良好なプリチャージを実現できる。

10

【2093】

以上の実施例では、プリチャージ電圧V_{pc}をアノード電圧V_{dd}に連動させるとしたが、本発明はこれに限定するものではない。駆動用トランジスタ11aの画素構成配置あるいは極性（PチャンネルまたはNチャンネル）によっては、カソード電圧に連動させてもよい。以上のように本発明の特徴は、カソード電圧またはアノード電圧とプリチャージ電圧V_{pc}を連動させることである。

【2094】

プリチャージ電圧であるV0、V1、V2電圧は、内部配線でソースドライバ回路（IC）14内を長手方向に伝送（伝達）される。電流出力段771の出力配線150とプリチャージ電圧が印加された配線の交点にはスイッチS_pが形成または配置されている。各スイッチはSSEL信号（2ビット）によりオンオフ制御される。たとえば、スイッチS_{p1a}がオンすればV0電圧が端子2884aから出力される。また、スイッチS_{p2b}がオンすればV1電圧が端子2884bから出力される。他の構成は、図351～353、図309、図310などと同様あるいは類似であるので説明を省略する。なお、SSEL信号は、コントローラIC（回路）760で発生し、ソースドライバ回路（IC）14に伝送する。また、SSEL信号は、映像信号ごとに判定し、発生する。

20

【2095】

図350に図示するように、V0電圧がトランジスタ11aの立ち上がり電圧である。したがって、プリチャージ電圧としては、V0電圧よりもV_{dd}電圧に近い電圧を印加する必要がある。しかし、V0電圧は、アレイのプロセスによりバラツキがある。一般的には、ポリウムなどを用いてアレイまたはパネルごとに調整すればよい。しかし、個々に調整することはコストアップになる。この課題を解決する方式が図519の構成である。

30

【2096】

図519において、ソースドライバ回路（IC）14と表示領域間のソース信号線18上にコンデンサ電極5191が形成されている。なお、コンデンサ電極5191はソース信号線18と絶縁膜を介して配置または形成されており、直流的には接続はされていない（図523を参照のこと）。また、本発明の実施例において、コンデンサ電極5191はソース信号線18上に形成または配置するとするが、これに限定するものではない。ソース信号線18の下層に形成または配置してもよい。さらには、コンデンサ電極5191は、ソース信号線18と電磁結合をするものであればいずれの構成でもよい。たとえば、隣接したソース信号線18間に電極を形成または配置し、ソース信号線18と電磁結合させた構成でもよい。

40

【2097】

図350でも説明したように、Pチャンネルのトランジスタ11aのゲート電位がアノード電位V_{dd}に近くなれば、良好な黒表示を実現できる。トランジスタ11aのゲート電位は、プログラム電流I_wの書き込み時のソース信号線18である。したがって、黒表示時（黒書き込み時）のソース信号線18電位をアレイごとに測定（計測または入手）できればよい。測定する電圧は、V0電圧あるいはその近傍電圧である。この電圧がアレイまたは表示パネルで変化する。

50

【2098】

図519のように、構成し、ソースドライバ回路（IC）14の出力を0にする。つまり、プログラム電流 $I_w = 0$ であるから、黒表示である。すると、ソース信号線18の電位も黒表示を実現するための電位となる。ソース信号線18とコンデンサ電極5191は交流的（電磁的）に結合しているから、全ソース信号線（コンデンサ電極5191と重なっている（電磁結合している）ソース信号線18）の電位を平均した電位が、コンデンサ電極5191に誘起される。この誘起された電位を V_n とする。この電位を安定されるため、図519に図示するようにコンデンサCを接続しておいてもよい。

【2099】

コンデンサ電極5191の電位 V_n はバッファ502を介してアナログーデジタル変換回路（ADコンバータ）5193でデジタル信号に変換される。デジタル信号に変換された V_n データは、加算回路5192に入力される。

【2100】

この V_n データは黒表示時でのソース信号線18電位を平均したものであるから、 V_0 電圧近傍であり、 V_n 電圧では完全な黒表示は期待できない。そのため、 V_n 電圧よりも所定の値分だけ V_{dd} 電圧に高くする必要がある（駆動用トランジスタ11aがPチャンネルの場合である。駆動用トランジスタ11aがNチャンネルの場合は逆になる）。そのため、図519に図示するように、加算回路5192に一定の電圧 $ADDV$ となる、8ビットデータを加算する。 $ADDV$ データの大きさは、0.05以上0.2V以下の範囲に設定することが好ましい。また、図519に図示するように可変できるように構成することが好ましい。可変は、たとえば、点灯率に応じて実施する。

【2101】

$ADDV$ と V_n データを加算した電圧が、プリチャージ電圧 V_{pc} となる。 V_{pc} データはソースドライバ回路（IC）14の電子ボリウム501などでアナログデータとなり、画素にプリチャージ電圧として印加される。

【2102】

図519の実施例は、ソース信号線18の電位を検出する方法であった。図520の方式は、表示領域144または、表示パネルの特定箇所に V_0 電圧を検出するダミー画素5201を形成または配置した構成である。

【2103】

図520（a）に図示するように、ダミー画素5201には、画素16と同一のサイズ、形状の駆動用トランジスタ11aが形成されている。図520（b）に図示するようにダミー画素11aは表示領域144の一部の領域に形成されている。ダミー画素5201の駆動用トランジスタ11aはゲートとドレイン端子が短絡されており、黒表示状態となっている。

【2104】

トランジスタ11cがクローズすることにより、駆動用トランジスタ11aのゲート端子電圧が出力される。出力された電圧 V_n はアナログーデジタル変換回路（ADコンバータ）5193でデジタル信号に変換される。デジタル信号に変換された V_n データは、加算回路5192に入力される。

【2105】

この V_n データは黒表示時で駆動用トランジスタ11aのゲート端子電位であるから、 V_0 電圧近傍である。しかし、 V_n 電圧では完全な黒表示は期待できない。そのため、 V_n 電圧よりも所定の値分だけ V_{dd} 電圧に高くする必要がある（駆動用トランジスタ11aがPチャンネルの場合である。駆動用トランジスタ11aがNチャンネルの場合は逆になる）。そのため、図519と同様に図520に図示するように、加算回路5192に一定の電圧 $ADDV$ となる、8ビットデータを加算する。 $ADDV$ データの大きさは、0.05以上0.2V以下の範囲に設定することが好ましい。また、図520に図示するように可変できるように構成することが好ましい。可変は、たとえば、点灯率に応じて実施する。

10

20

30

40

50

【2106】

ADDVとVnデータを加算した電圧が、プリチャージ電圧Vpcとなる。Vpcデータはソースドライバ回路(IC)14の電子ボリウム501などでアナログデータとなり、画素にプリチャージ電圧として印加される。

【2107】

なお、図519の実施例では、Vn電圧などをデジタル化して処理するとしたが、本発明はこれに限定するものではない。アナログ信号のまま、加算処理などを実施してもよいことは言うまでもない。

【2108】

図428は、SSEL信号の説明図である。図428に図示するように、SSEL=0では、スイッチSPは選択されない。つまり、プリチャージ電圧Vpc(図427ではV0、V1、V2)は印加されない。したがって、プリチャージ電圧駆動は該当ソース信号線18には実施されない。SSEL=1では、スイッチSP1が選択され、該当ソース信号線18にV0電圧が所定の期間印加される。プリチャージ電圧Vpc=V0が印加された後、電流駆動が実施される。ただし、V0では階調0であるので、プログラム電流Iwも0である。この場合は、画素16の駆動用トランジスタ11aは、電流が流れないように、ゲート端子電位が変化する。そのため、V0電圧印加後もソース信号線18電位は変化する。

【2109】

SSEL=2では、スイッチSP2が選択され、該当ソース信号線18にV1電圧が所定の期間印加される。プリチャージ電圧Vpc=V1が印加された後、電流駆動が実施される。同様にSSEL=3では、スイッチSP3が選択され、該当ソース信号線18にV2電圧が所定の期間印加される。プリチャージ電圧Vpc=V2が印加された後、電流駆動が実施される。

【2110】

以上の実施例は、プリチャージ電圧回路の実施例であった。図429はプリチャージ電流回路の実施例である。IDATAにより電子ボリウム501bからの出力電圧Vaが変化する。Va電圧は、オペアンプ502の正極性の端子に印加される。オペアンプ502およびトランジスタ158aと抵抗Rで定電流回路を構成している。各定電流回路の出力電流(プリチャージ電流)は抵抗R(Ra、Rb、Rc)の値により変化させる(調整する)ことができる。

【2111】

トランジスタ158a1には、プリチャージ電流I0が流れる。トランジスタ158a2には、プリチャージ電流I1が流れる。同様に、トランジスタ158a3は、プリチャージ電流I2が流れる。どのプリチャージ電流が端子2884に出力されるかは、SSEL信号によりスイッチSPが制御されることにより実施される。

【2112】

図430は、図429におけるSSEL信号の説明図である。図430に図示するように、SSEL=0では、スイッチSPは選択されない。つまり、プリチャージ電流Ic(図429ではI0、I1、I2)は印加されない。したがって、プリチャージ電流駆動は該当ソース信号線18には実施されない。SSEL=1では、スイッチSP1が選択され、該当ソース信号線18にI0電流が所定の期間印加される。プリチャージ電流I0が印加された後、電流駆動が実施される。ただし、階調0であるので、プログラム電流Iwも0である。この場合は、画素16の駆動用トランジスタ11aは、電流が流れないように、ゲート端子電位が変化する。

【2113】

SSEL=2では、スイッチSP2が選択され、該当ソース信号線18にI1電流が所定の期間印加される。プリチャージ電流Ic=I1が印加された後、プログラム電流駆動が実施される。同様にSSEL=3では、スイッチSP3が選択され、該当ソース信号線18にI2電流が所定の期間印加される。プリチャージ電流Ic=I1が印加された後、

プログラム電流駆動が実施される。

【2114】

なお、図427のプリチャージ電圧回路と、図429のプリチャージ電流回路とを組み合わせてもよいことは言うまでもない。

【2115】

図403では、プリチャージ電圧を印加する期間は一例として1 μ secとしている。したがって、1H時間-1 μ secが電流プログラム期間である。しかし、本発明はこれに限定するものではない。他の構成あるいは状態あるいは時間などでもよいことは言うまでもない（図471の実施例を参照のこと）。また、電圧駆動あるいはプリチャージ電圧駆動および電流駆動に関する事項は、図16、図75～図79、図127～図142、図213、図238、図257～図258、図263、図293～図297、図308～図313、図331～図349、図351～図354などに説明している。これらの図面などで説明あるいは記載した事項が適用あるいは準用もしくは類似であるので省略する。

【2116】

過電流（プリチャージ電流もしくはディスチャージ電流）駆動に関する事項は、図381～図422で説明している。これらの図面などで説明あるいは記載した事項が適用あるいは準用もしくは類似であるので省略する。以上の事項は本発明の他の実施例にも適用される。また、相互に組み合わせることができる。

【2117】

図403などの実施例は、RGBが各8ビット（256階調表示）として説明をする。なお、本発明は、以前にも説明したようにRGBに限定されるものではない。単色でもよく、また、シアン、イエロー、マゼンダなどでもよく、RGBに加えて、白色（W）の4色などでもよい。図403（a）は階調0から階調255に変化させる実施例である。階調0と階調255などの電位差が大きい時は、白電圧プリチャージ（V255電圧を印加）が実施される。図403（a）に図示するように1Hの最初の期間（なお、1Hの最初の期間に限定するものではない）から1 μ secの期間に白電圧プリチャージが実施される。白電圧プリチャージの実施により、ソース信号線18に電圧が印加されて、ソース信号線18電位はV255となる。その後、電流プログラムが実施され、画素16の駆動用トランジスタ11aの特性に応じてソース信号線18電位が補正される。一例として図403（a）では、ソース信号線18電位がアノード電位Vddの方向に上昇する。

【2118】

図403（b）は階調255から階調0に変化させる実施例である。階調255と階調0などの電位差が大きい時は、黒電圧プリチャージ（V0電圧を印加）が実施される。図403（b）に図示するように1Hの最初の期間（なお、1Hの最初の期間に限定するものではない）から1 μ secの期間に黒電圧プリチャージが実施される。黒電圧プリチャージの実施により、ソース信号線18に電圧V0が印加されて、ソース信号線18電位はGND電圧に近いV0となる。その後、電流プログラムが実施され、画素16の駆動用トランジスタ11aの特性に応じてソース信号線18電位が目標のプログラム電流に等しい電流が流れるように補正される。一例として図403（b）では、ソース信号線18電位がグランド（GND）電位の方向に下降する。

【2119】

図403（c）は階調0から階調200に変化させる実施例である。階調0と階調200などの比較的電位差が大きい時は、白電圧プリチャージ（V255電圧を印加）が実施される。なお、黒電圧プリチャージは、全階調の1/4より低階調領域に変化する時に実施される。白電圧プリチャージは、全階調の1/2より高階調領域に変化する時に実施される。図403（c）に図示するように1Hの最初の期間（なお、1Hの最初の期間に限定するものではない）から1 μ secの期間に白電圧プリチャージが実施される。白電圧プリチャージの実施により、ソース信号線18に電圧が印加されて、ソース信号線18電位はV255となる。その後、電流プログラムが実施され、画素16の駆動用トランジスタ11aが主に動作して、目標の階調電流200に相当するソース信号線18電位に補正

10

20

30

40

50

される。

【2120】

図404は過電流駆動（プリチャージ電流駆動）と電圧駆動（プリチャージ電圧駆動）の両方を実施する駆動方法の説明図である。なお、回路構成は一例として図405の構成であるとする。スイッチ151はONでクローズ状態、OFFでオープン状態とする。スイッチ151aがONでプリチャージ電圧 V_{pc} が端子155に印加される（ソース信号線18に印加される）。スイッチ151bがONでプログラム電流 I_w が端子155に印加される（ソース信号線18に印加される）。また、スイッチDcがONで過電流（プリチャージ電流もしくはディスチャージ電流） I_w が端子155に印加される（ソース信号線18に印加される）。

10

【2121】

図404（a）に図示するように、スイッチ151aがONでプリチャージ電圧 V_{pc} が端子155に印加される状態と、スイッチ151bがONでプログラム電流 I_w が端子155に印加される状態が同時に発生しても動作上は問題がない。定電流回路431cなどは内部インピーダンスが高く、定電圧回路（プリチャージ電圧回路）と短絡しても正常動作を実施できるからである。ただし、図404（b）（c）に図示するように、スイッチDcがON状態の時は、スイッチ151aはOFF状態にすることが好ましい。過電流（プリチャージ電流もしくはディスチャージ電流）回路からの電流が定電圧回路に突入電流として流れる場合があるからである。図404（a）に図示するように、スイッチDcがOFF状態の時は、スイッチ151aがON状態であっても問題はない。

20

【2122】

図404（b）（c）に図示するように、スイッチDcがONする期間を制御することにより、端子155に過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間を調整することができる。図404（b）では、過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間は $1/(3H)$ であり、図404（c）では、過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間は $1/(4H)$ である。図404（c）の方が、図404（b）よりもソース信号線18の電位変化を大きくすることができる。

【2123】

図407、図408では、プログラム電流 I_w を制御するD0～D7スイッチを操作する構成を説明した。図409はさらに詳しい実施例あるいは他の実施例である。

30

【2124】

過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチDcは内部配線150bに印加するオンオフ信号によりオンする期間を制御することができる。図409の実施例では、 $1H$ の0、 $1/4$ 、 $2/4$ 、 $3/4$ の4つの期間で制御できる。同様に、強制的にプログラム電流 I_w を制御するスイッチD0～Dを操作（制御）する期間（強制制御と記載する）も、図409の実施例では、 $1H$ の0、 $1/4$ 、 $2/4$ 、 $3/4$ の4つの期間で制御できる。なお、図409では正規のプログラム電流を流す期間はデータ制御として記載し階調4から階調5（ $4 \rightarrow 5$ と記載）などと記載している。図409の実施例では、少なくとも $1H$ の $1/2$ の期間は、正規のプログラム電流を流す期間である。

40

【2125】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチD0～D7が設定（操作あるいは制御）されている状態）は、 $1H$ のすべての期間であってもよい。つまり、 $1H$ 以下 $1/(4H)$ 以上の期間であればいずれでもよい。

【2126】

Dcスイッチと強制性によるD7～D0スイッチの操作（制御）は、階調の変化に応じて実施される。Dcスイッチと強制性によるD7～D0スイッチの操作（制御）は、コントローラIC（回路）760で、 $1H$ ごとの映像信号変化あるいは1F（1フレーム）内の映像信号変化あるいは変化割合などに基づいて判断される。判断されたデータあるいは

50

制御信号は差動信号などに変換されてソースドライバ回路（IC）14に伝送される。

図409（a）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチDcは1Hの最初から $1/(4H)$ の期間オン（クローズ）される。したがって、1Hの最初から $1/(4H)$ 期間、ソース信号線18には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチD0～D7は1Hの最初から $1/(2H)$ の期間、強制的に（クローズ）される。したがって、Dcスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Idに加算されて、1Hの最初から $1/(2H)$ 期間、ソース信号線18にはスイッチD0～D7によるプリチャージ電流が印加される。

【2127】

10

過電流（プリチャージ電流もしくはディスチャージ電流）Idと加算される期間は、1Hの最初から $1/(4H)$ 期間であり、比較的短い。正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチD0～D7が設定（操作あるいは制御）されている状態）は、1Hの後半 $1/(2H)$ 期間に実施される。以上の動作により、ソース信号線18の電位が1Hの最初から $1/(2H)$ 期間に階調4から階調5レベルに変化し、1Hの後半の $1/(2H)$ 期間に、正規のプログラム電流により補正されて画素16の駆動用トランジスタ11aが目標のプログラム電流Iwを流すように電流プログラムが実施される。

【2128】

図409（b）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチDcは1Hの最初から $1/(2H)$ の期間オン（クローズ）される。したがって、1Hの最初から $1/(2H)$ 期間、ソース信号線18には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチD0～D7は1Hの最初から $1/(2H)$ の期間、強制的に（クローズ）される。したがって、Dcスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Idに加算されて、1Hの最初から $1/(2H)$ 期間、ソース信号線18にはスイッチD0～D7によるプリチャージ電流が印加される。

20

【2129】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチD0～D7が設定（操作あるいは制御）されている状態）は、1Hの後半 $1/(2H)$ 期間に実施される。

30

【2130】

以上の動作により、ソース信号線18の電位が1Hの最初から $1/(2H)$ 期間に階調1から階調2レベルに変化し、1Hの後半の $1/(2H)$ 期間に、正規のプログラム電流により補正されて画素16の駆動用トランジスタ11aが目標のプログラム電流Iwを流すように電流プログラムが実施される。以上のように、動作開始のソース信号線18の電位が階調1レベルである時は、Dcスイッチをオンする期間を長くし、過電流（プリチャージ電流もしくはディスチャージ電流）Idを長時間、ソース信号線18に印加する必要がある。

【2131】

40

図409（c）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチDcは1Hの最初から $3/(4H)$ の期間オン（クローズ）される。したがって、1Hの最初から $3/(4H)$ 期間、ソース信号線18には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチD0～D7は1Hの最初から $1/(4H)$ の期間、強制的に（クローズ）される。したがって、Dcスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Idに加算されて、1Hの最初から $1/(4H)$ 期間、ソース信号線18にはスイッチD0～D7によるプリチャージ電流が印加される。

【2132】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当

50

するスイッチD0～D7が設定（操作あるいは制御）されている状態）は、1Hの後半1／（4H）期間に実施される。

【2133】

以上の動作により、ソース信号線18の電位が1Hの最初から3／（4H）期間に階調0から階調1レベルに変化し、1Hの後半の1／（4H）期間に、正規のプログラム電流により補正されて画素16の駆動用トランジスタ11aが目標のプログラム電流Iwを流すように電流プログラムが実施される。以上のように、動作開始のソース信号線18の電位が階調0レベルである時は、Dcスイッチをオンする期間を最も長くし、過電流（プリチャージ電流もしくはディスチャージ電流）Idを長時間、ソース信号線18に印加する必要がある。

10

【2134】

図409（d）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチDcは動作しない。プログラム電流を流すスイッチD0～D7は1Hの最初から1／（2H）の期間、強制的に（クローズ）される。したがって、Dcスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Idに加算されて、1Hの最初から1／（2H）期間、ソース信号線18にはスイッチD0～D7によるプリチャージ電流が印加される。

【2135】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチD0～D7が設定（操作あるいは制御）されている状態）は、1Hの後半1／（2H）期間に実施される。以上の動作により、ソース信号線18の電位が1Hの最初から1／（2H）期間に階調0から階調1レベルにほぼ変化し、1Hの後半の1／（2H）期間に、正規のプログラム電流により補正されて画素16の駆動用トランジスタ11aが目標のプログラム電流Iwを流すように電流プログラムが実施される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）を流すDcスイッチを動作させないのは、階調変化が16階調目から18階調目のように、変化前の階調が比較的大きく（ソース信号線18電位が高く）、16から18階調目と比較的変化が小さいためである。

20

【2136】

以上の実施例では、Dcスイッチは連続してオン状態を維持させるとしたが、本発明はこれに限定するものではない。図409（e）は、Dcスイッチを1H期間は連続してオン状態を維持させるとしたが、本発明はこれに限定するものではない。図409（e）は、Dcスイッチを1H期間で複数回（2回）オンさせた実施例である。図409（e）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチDcは1Hの最初から1／（4H）の期間と、1／（2H）経過後の1／（4H）の期間にオン（クローズ）される。したがって、全体として1Hの1／（2H）期間、ソース信号線18には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチD0～D7は1Hの最初から1／（2H）の期間、強制的に（クローズ）される。

30

したがって、Dcスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Idに加算されて、1Hの最初から1／（4H）期間に、ソース信号線18にはスイッチD0～D7によるプリチャージ電流が印加される。正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチD0～D7が設定（操作あるいは制御）されている状態）は、1Hの後半1／（4H）期間に実施される。

40

【2137】

以上の動作により、ソース信号線18の電位が1Hの最初から3／（4H）期間に階調2から階調3レベルに変化し、1Hの後半の1／（4H）期間に、正規のプログラム電流により補正されて画素16の駆動用トランジスタ11aが目標のプログラム電流Iwを流すように電流プログラムが実施される。以上のように、電流駆動では、定電流は加算することができる。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）I

50

dは1Hの後半以外（最終以外）のいずれの期間に印加してもよい。また、複数回に分割して印加してもよい。以上の事項は、D0～D7スイッチの強制制御に対しても適用できることは言うまでもない。

【2138】

以上の実施例では、Dcスイッチは1Hの最初からオン状態にするとしたが、本発明はこれに限定するものではない。図409（f）は、Dcスイッチを最初から1／（4H）期間経過後にオンさせた実施例である。また、プログラム電流を流すスイッチD0～D7は1Hの最初から3／（4H）の期間、強制的に（クローズ）される。

【2139】

したがって、Dcスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Idに加算されて、1Hの最初から1／（4H）期間に、ソース信号線18にはスイッチD0～D7によるプリチャージ電流が印加される。

【2140】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチD0～D7が設定（操作あるいは制御）されている状態）は、1Hの後半1／（4H）期間に実施される。以上の動作により、ソース信号線18の電位が1Hの最初から3／（4H）期間に階調5から階調6レベルに変化し、1Hの後半の1／（4H）期間に、正規のプログラム電流により補正されて画素16の駆動用トランジスタ11aが目標のプログラム電流Iwを流すように電流プログラムが実施される。以上のように、電流駆動では、定電流は加算することができる。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）Idは、1Hの最初から印加することに限定されるものではない。1Hの後半以外（最終以外）のいずれの期間に印加してもよい。また、複数回に分割して印加してもよい。以上の事項は、D0～D7スイッチの強制制御に対しても適用できることは言うまでもない。

【2141】

なお、以上の実施例の制御期間あるいは操作期間は1Hとしたが、本発明はこれに限定するものではない。1H以上の特定の期間内に実施してもよいことは言うまでもない。また、過電流（プリチャージ電流もしくはディスチャージ電流）駆動とプリチャージ電圧（プログラム電圧）駆動とを組み合わせる実施してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【2142】

図410は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動とプリチャージ電圧（プログラム電圧）駆動とを組み合わせる実施例である。また、過電流（プリチャージ電流もしくはディスチャージ電流）Id印加期間も変化させた実施例である。

図410は、プリチャージ電圧は0階調に対応するV0電圧の場合である。まず、図410（a1）（a2）（a3）について説明をする。図410（a1）では、プリチャージ電圧を1Hの最初に1μsec印加している。また、図410（a2）に示すように1Hの最初から1／（2H）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Idをソース信号線18に印加している。したがって、図410（a3）に示すように、t1～t0の期間は、ソース信号線18の電位は0階調の電圧電位V0である。また、t0～t3の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Id（吸い込み電流方向）により、ソース信号線電位18は降下する。t3～t2（1Hの最後）までの期間は、映像データによる電流プログラムが実施される。

【2143】

したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。以上の図410（a）の実施例では、プリチャージ電圧V0を印加することによりソース信号線18の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Idによる電流プリチャージを実施する。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Idの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を

理論的に予測し、コントローラ IC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【2144】

次に、本発明の他の実施例における駆動方法について図410（b1）（b2）（b3）をもちいて説明をする。図410（b1）では、プリチャージ電圧を1Hの最初から $t_x \mu sec$ の時間印加している。また、図410（b2）に示すように1Hの最初から $1/(2H)$ の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_d をソース信号線18に印加している。したがって、図410（b3）に示すように、 $t_1 \sim t_0$ の期間は、ソース信号線18の電位は0階調の電圧電位 V_0 である。また、 $t_0 \sim t_3$ の期間は、過電流（プリチャージ電流もしくはディスチャージ電流） I_d （吸い込み電流方向）により、ソース信号線電位18は降下する。 $t_3 \sim t_2$ （1Hの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。

10

【2145】

以上の図410（b）の実施例では、プリチャージ電圧 V_0 を印加する期間 t_x を制御することにより、過電流（プリチャージ電流もしくはディスチャージ電流） I_d による電流プリチャージの印加期間を調整することができる。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラ IC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

20

【2146】

図410（a）（b）はプリチャージ電圧を印加する回数は1回の場合であった。しかし、本発明は、プリチャージ電圧を印加する期間は、1回に限定するものではない。プリチャージ電圧を印加することにより、ソース信号線18電位をリセットすることができ、リセットにより過電流（プリチャージ電流もしくはディスチャージ電流） I_d 駆動によるソース信号線18の電位制御（調整）が容易になるからである。また、プリチャージ電圧 V_{pc} は V_0 電圧に限定されるものでない。図127～図143、図293、図311、図312、図339～図344などで説明するようにプリチャージ電圧（プログラム電圧と同義あるいは類似）は多種多様な電圧を設定することができる。

30

【2147】

図410（c1）（c2）（c3）は、1H期間（所定の時間間隔）に複数回、ソース信号線18にプリチャージ電圧を印加した実施例である。図410（c1）では、プリチャージ電圧を1Hの最初からと、 t_3 時間からの2回 $1 \mu sec$ 印加している。また、図410（c2）に示すように1Hの最初から $4/(5H)$ の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_d をソース信号線18に印加している。したがって、図410（c3）に示すように、 $t_1 \sim t_0$ の期間は、ソース信号線18の電位は0階調の電圧電位 V_0 である。 $t_0 \sim t_3$ の期間は過電流（プリチャージ電流もしくはディスチャージ電流） I_d によりソース信号線18の電位は降下する。しかし、 $t_3 \sim t_4$ の期間に、プリチャージ電圧を印加するために、ソース信号線18の電位は V_0 にリセットされる。 $t_4 \sim t_5$ の期間は過電流（プリチャージ電流もしくはディスチャージ電流） I_d によりソース信号線18の電位は再び降下する。 $t_5 \sim t_2$ （1Hの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。

40

【2148】

以上の図410（c）の実施例では、プリチャージ電圧 V_0 を印加することによりソース信号線18の電位を所定値にリセットし、最終のプリチャージ電圧印加した時点から電

50

流プログラムの動作が開始される。したがって、プリチャージ電圧を印加するタイミングを制御あるいは調整することにより、適切な過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に制御することが可能である。そのため、コントローラ IC（回路）760（図示せず）で制御あるいは設定することが容易であり、良好で精度のよい電流プログラムを実施することができる。

【2149】

図410は、一定のプリチャージ電圧（プログラム電圧）を印加した実施例であった。図411はプリチャージ電圧を変化させた実施例である。なお、一例として図411における過電流（プリチャージ電流もしくはディスチャージ電流） I_d は1Hの最初から1/（2H）の期間印加しているとする（ $t_1 \sim t_3$ 期間）。

10

【2150】

図411（a1）は、プリチャージ電圧は0階調に対応する V_0 電圧の場合である。図411（b1）は、プリチャージ電圧は1階調に対応する V_1 電圧の場合である。図411（c1）は、プリチャージ電圧は2階調に対応する V_2 電圧の場合である。

【2151】

図411（a1）（a2）（a3）について説明をする。図411（a1）では、プリチャージ電圧 V_0 を1Hの最初に $1 \mu s e c$ 印加している。また、図411（a2）に示すように1Hの最初から1/（2H）の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_d をソース信号線18に印加している。したがって、図411（a3）に示すように、 $t_1 \sim t_0$ の期間は、ソース信号線18の電位は0階調の電圧電位 V_0 である。

20

【2152】

また、 $t_0 \sim t_3$ の期間は、過電流（プリチャージ電流もしくはディスチャージ電流） I_d （吸い込み電流方向）により、ソース信号線電位18は降下する。 $t_3 \sim t_2$ （1Hの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。

【2153】

図411（a）の実施例では、プリチャージ電圧 V_0 を印加することによりソース信号線18の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流） I_d による電流プリチャージを実施する。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラ IC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

30

【2154】

次に、図411（b1）（b2）（b3）について説明をする。図411（b1）では、1階調目に該当するプリチャージ電圧 V_1 を1Hの最初に $1 \mu s e c$ 印加している。また、図411（b2）に示すように1Hの最初から1/（2H）の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_d をソース信号線18に印加している。したがって、図411（b3）に示すように、 $t_1 \sim t_0$ の期間は、ソース信号線18の電位は1階調の電圧電位 V_1 である。また、 $t_0 \sim t_3$ の期間は、過電流（プリチャージ電流もしくはディスチャージ電流） I_d （吸い込み電流方向）により、ソース信号線電位18は降下する。 $t_3 \sim t_2$ （1Hの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。

40

【2155】

図411（b）の実施例では、プリチャージ電圧 V_1 を印加することによりソース信号線18の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流

50

） I_d による電流プリチャージを実施する。プリチャージ電圧 V_1 は V_0 よりもソース信号線18に書き込む電位が低い。一方、過電流（プリチャージ電流）の印加時間は一定で、かつ過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさも I_{d0} と一定である。したがって、図411（a）よりソース信号線18の電位を低くすることができるから、より高輝度表示を実現できる。

【2156】

また、適切な過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラIC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

10

【2157】

さらに、図411（c1）（c2）（c3）について説明をする。図411（c1）では、2階調目に該当するプリチャージ電圧 V_2 を1Hの最初に $1\mu\text{sec}$ 印加している。また、図411（c2）に示すように1Hの最初から $1/(2H)$ の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_d をソース信号線18に印加している。したがって、図411（c3）に示すように、 $t_1\sim t_0$ の期間は、ソース信号線18の電位は2階調目の電圧電位 V_2 である。

【2158】

また、 $t_0\sim t_3$ の期間は、過電流（プリチャージ電流もしくはディスチャージ電流） I_d （吸い込み電流方向）により、ソース信号線電位18は降下する。 $t_3\sim t_2$ （1Hの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。

20

【2159】

図411（c）の実施例では、プリチャージ電圧 V_2 を印加することによりソース信号線18の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流） I_d による電流プリチャージを実施する。プリチャージ電圧 V_2 は V_1 よりもさらにソース信号線18に書き込む電位が低い。一方、過電流（プリチャージ電流）の印加時間は一定で、かつ過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさも I_{d0} と一定である。したがって、図411（b）よりソース信号線18の電位を低くすることができるから、より高輝度表示を実現できる。

30

【2160】

また、適切な過電流（プリチャージ電流もしくはディスチャージ電流） I_d の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラIC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【2161】

以上のように、プリチャージ電圧 V_{pc} の大きさあるいは電位を変化させることにより、1H経過した時の、ソース信号線18電位を容易に制御することができる。

【2162】

図411は、一定のプリチャージ電圧（プログラム電圧）と変化させた実施例であった。図412は、過電流（プリチャージ電流）を変化させた実施例である。なお、プリチャージ電流を変化させることは、図392、図393、図394の $Dc0$ 、 $Dc1$ スイッチなどを制御することにより実現することができる。図412（a1）（b1）では、プリチャージ電圧は V_0 と固定している。図412（c1）ではプリチャージ電圧を印加していない実施例である。

40

【2163】

図412（a1）（a2）（a3）について説明をする。図412（a1）では、プリチャージ電圧 V_0 を1Hの最初に $1\mu\text{sec}$ （ $t_1\sim t_0$ の期間）印加している。また、図412（a2）に示すように1Hの最初（ t_1 ）～ t_4 の期間に過電流（プリチャージ

50

電流もしくはディスチャージ電流) I_{d0} をソース信号線18に印加している。 $t_4 \sim t_3$ の期間に過電流(プリチャージ電流もしくはディスチャージ電流) I_{d1} をソース信号線18に印加している。

【2164】

図412(a3)に示すように、 $t_1 \sim t_0$ の期間は、ソース信号線18の電位は0階調の電圧電位 V_0 である。また、 $t_0 \sim t_4$ の期間は、大きな過電流(プリチャージ電流もしくはディスチャージ電流) I_{d0} (吸い込み電流方向)により、ソース信号線電位18は急激に降下する。 $t_4 \sim t_3$ の期間は、過電流(プリチャージ電流もしくはディスチャージ電流) I_{d0} よりも小さい過電流(プリチャージ電流もしくはディスチャージ電流) I_{d1} (吸い込み電流方向)により、ソース信号線電位18は比較的緩やかに降下する。 $t_3 \sim t_2$ (1Hの最後)までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。

【2165】

図412(a)の実施例では、プリチャージ電圧 V_0 を印加することによりソース信号線18の電位を所定値にした後、まず、第1の過電流(プリチャージ電流もしくはディスチャージ電流) I_{d0} による電流プリチャージを実施してソース信号線の電位を急変させる。次に第2の過電流(プリチャージ電流もしくはディスチャージ電流) I_{d1} による電流プリチャージを実施してソース信号線の電位を目標電位近くまでさせる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ11aが所定電流を流すように電流プログラムを行う。以上のように複数の過電流(プリチャージ電流もしくはディスチャージ電流) I_d を制御に用い、これらの過電流(プリチャージ電流もしくはディスチャージ電流)の大きさ、過電流(プリチャージ電流もしくはディスチャージ電流)の印加時間を調整することにより精度のよい電流プログラムを実現できる。

【2166】

また、ソース信号線18の電位変化を理論的に予測あるいは推測することができるから、コントローラIC(回路)760(図示せず)で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【2167】

次に、図412(b1)(b2)(b3)について説明をする。図412(b1)では、プリチャージ電圧 V_0 を1Hの最初に $1\mu\text{sec}$ ($t_1 \sim t_0$ の期間)印加している。また、図412(b2)に示すように1Hの最初(t_1) $\sim t_3$ の期間に過電流(プリチャージ電流もしくはディスチャージ電流) I_{d1} をソース信号線18に印加している。

【2168】

図412(b3)に示すように、 $t_1 \sim t_0$ の期間は、ソース信号線18の電位は0階調の電圧電位 V_0 である。また、 $t_0 \sim t_3$ の期間は、過電流(プリチャージ電流もしくはディスチャージ電流) I_{d1} (吸い込み電流方向)により、ソース信号線電位18は降下する。 $t_3 \sim t_2$ の期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線18の電位は、画素16の駆動用トランジスタ11aがプログラム電流に一致する電流が流れるように低下する。

【2169】

図412(b)の実施例では、プリチャージ電圧 V_0 を印加することによりソース信号線18の電位を所定値にした後、比較的小さな過電流(プリチャージ電流もしくはディスチャージ電流) I_{d1} による電流プリチャージを実施してソース信号線の電位を変化させる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ11aが所定電流を流すように電流プログラムを行う。

【2170】

以上のように、目標プログラム電流あるいはソース信号線18電位から適切な大きさの過電流(プリチャージ電流もしくはディスチャージ電流) I_d を制御に用い、過電流(プリチャージ電流もしくはディスチャージ電流)の印加時間を調整することにより精度のよ

10

20

30

40

50

い電流プログラムを実現できる。また、ソース信号線 18 の電位変化を理論的に予測あるいは推測することができるから、コントローラ IC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【2171】

さらに、図 412（c1）（c2）（c3）について説明をする。図 412（c1）では、プリチャージ電圧を印加していない。したがって、ソース信号線 18 の電位は 1H 前の電位である。また、図 412（c2）に示すように 1H の最初（t1）～t4 の期間に第 2 の過電流（プリチャージ電流もしくはディスチャージ電流）Id1 をソース信号線 18 に印加している。t4～t3 の期間に第 2 の過電流（プリチャージ電流もしくはディス

10

【2172】

図 412（c3）に示すように、t0～t4 の期間は、比較的小さな過電流（プリチャージ電流もしくはディスチャージ電流）Id1（吸い込み電流方向）により、ソース信号線電位 18 は変化する。t4～t3 の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Id1 よりも大きな過電流（プリチャージ電流もしくはディスチャージ電流）Id0（吸い込み電流方向）により、ソース信号線電位 18 は急激に降下する。t3～t2（1H の最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線 18 の電位は、画素 16 の駆動用トランジスタ 11a がプログラム電流に一致する電流が流れるように低下する。

20

【2173】

図 412（c）の実施例では、まず、第 2 の過電流（プリチャージ電流もしくはディスチャージ電流）Id1 による電流プリチャージを実施してソース信号線の電位を変化させる。次に第 1 の過電流（プリチャージ電流もしくはディスチャージ電流）Id0 による電流プリチャージを実施してソース信号線の電位を目標電位近くまでさせる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ 11a が所定電流を流すように電流プログラムを行う。

【2174】

以上のように複数の過電流（プリチャージ電流もしくはディスチャージ電流）Id を制御に用い、これらの過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を調整することにより精度のよい電流プログラムを実現できる。また、プリチャージ電圧を印加しないため、前画素行に印加した電位から相対的に電位を変化させることができる。前画素行に印加したソース信号線 18 の電位は理論的に予測あるいは推測することができる。コントローラ IC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

30

【2175】

図 412 では過電流（プリチャージ電流もしくはディスチャージ電流）（プリチャージ電流）を 1H 期間（所定期間）で変化させるとしたが、本発明はこれに限定するものではない。たとえば、1H 期間（所定期間）にプリチャージ電圧を変化してもよい。また、プリチャージ電流とプリチャージ電圧の両方の大きさを変化させてもよいことは言うまでもない。また、プリチャージ電流とプリチャージ電圧の両方の印加時間を変化させてもよいことは言うまでもない。

40

【2176】

図 413 はプリチャージ電圧の印加タイミングを変化させた実施例である。過電流（プリチャージ電流）は同一であるとしている。図 412（a1）（b1）（c1）では、プリチャージ電圧は V0 と固定している。

【2177】

図 413（a1）（a2）（a3）について説明をする。図 413（a1）では、プリチャージ電圧 V0 を 1H の最初に 1 μ sec（t1～t0 の期間）印加している。また、

50

図４１３（ａ２）に示すように１Ｈの最初（ t_1 ）～ t_5 の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_{d0} をソース信号線１８に印加している。

【２１７８】

図４１３（ａ３）に示すように、 t_1 ～ t_0 の期間は、ソース信号線１８の電位は０階調の電圧電位 V_0 である。また、 t_0 ～ t_5 の期間は、 I_{d0} （一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。 t_5 ～ t_2 （１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１７９】

以上のように、目標プログラム電流あるいはソース信号線１８電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流） I_d を制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１８０】

同様に、図４１３（ｂ１）（ｂ２）（ｂ３）について説明をする。図４１３（ｂ１）では、プリチャージ電圧 V_0 を t_0 から $1\mu\text{sec}$ （ t_0 ～ t_3 の期間）印加している。また、図４１３（ｂ２）に示すように１Ｈの最初（ t_1 ）～ t_5 の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_{d0} をソース信号線１８に印加している。図４１３（ｂ３）に示すように、 t_1 ～ t_0 の期間は、ソース信号線１８の電位は１Ｈ前の電位（前画素行に電流プログラムを行うために印加したソース信号線１８電位）から変化が開始する。その後、 t_0 時にプリチャージ電圧 V_0 を t_0 から $1\mu\text{sec}$ （ t_0 ～ t_1 期間）印加している。したがって、ソース信号線１８電位は、 V_0 電圧にリセットされる。

【２１８１】

t_3 ～ t_5 の期間は、 I_{d0} （一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。 t_5 ～ t_2 （１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１８２】

以上のように、任意の時間にプリチャージ電圧を印加することにより、任意のタイミングで規定されたソース信号線１８電位（図４１３では V_0 電圧）から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流） I_d を制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１８３】

図４１３（ｃ）も図４１３（ｂ）と同様である。図４１３（ｃ１）では、プリチャージ電圧 V_0 を t_3 から $1\mu\text{sec}$ （ t_3 ～ t_4 の期間）印加している。また、図４１３（ｂ２）に示すように１Ｈの最初（ t_1 ）～ t_5 の期間に過電流（プリチャージ電流もしくはディスチャージ電流） I_{d0} をソース信号線１８に印加している。

【２１８４】

図４１３（ｃ３）に示すように、 t_1 ～ t_3 の期間は、ソース信号線１８の電位は１Ｈ前の電位（前画素行に電流プログラムを行うために印加したソース信号線１８電位）から変化が開始する。その後、 t_3 時にプリチャージ電圧 V_0 を t_3 から $1\mu\text{sec}$ （ t_3 ～

10

20

30

40

50

t 4 期間) 印加している。したがって、ソース信号線 1 8 電位は、V 0 電圧にリセットされる。

【2 1 8 5】

t 4 ~ t 5 の期間は、I d 0 (一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である) により、ソース信号線電位 1 8 は急激に降下する。t 5 ~ t 2 (1 H の最後) までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線 1 8 の電位は、画素 1 6 の駆動用トランジスタ 1 1 a がプログラム電流に一致する電流が流れるように低下する。

【2 1 8 6】

以上のように、任意の時間にプリチャージ電圧を印加することにより、ソース信号線 1 8 電位は一定の値に変更することができる。また、過電流 (プリチャージ電流もしくはディスチャージ電流) I d の大きさは同一である。したがって、過電流 (プリチャージ電流もしくはディスチャージ電流) I d による変化カーブは一定の傾斜角度となる。任意のタイミングで規定されたソース信号線 1 8 電位 (図 4 1 3 では V 0 電圧) から、規定された適切な大きさの過電流 (プリチャージ電流もしくはディスチャージ電流) I d を制御に用い、過電流 (プリチャージ電流もしくはディスチャージ電流) の印加時間あるいは大きさを調整することによりソース信号線 1 8 電位を目標電位近傍まで変化することができる。電位が近傍になった以降は、プログラム電流により補正するだけであるので精度のよい電流プログラムを実現できる。また、ソース信号線 1 8 の電位変化を理論的に予測あるいは推測することができるから、コントローラ I C (回路) 7 6 0 (図示せず) で制御あるいは設定することが容易である。

【2 1 8 7】

図 4 1 0 ~ 図 4 1 3 などは、過電流 (プリチャージ電流) の方向は、ソースドライバ回路 (I C) 1 4 に吸い込む方向の電流 (シンク電流) を例示して説明をした。しかし、本発明はこれに限定するものではなく、過電流 (プリチャージ電流) は吐き出し方向であってもよい。また、過電流 (プリチャージ電流もしくはディスチャージ電流) は吐き出し電流と吸い込み電流の両方を有してもよい。

【2 1 8 8】

図 4 1 5 は、過電流 (プリチャージ電流もしくはディスチャージ電流) が吐き出し電流と吸い込み電流の両方を用いる場合の駆動方法の説明図である。回路構成としては図 4 1 4 の構成が例示される。図 4 1 5 において、スイッチ 1 5 1 a はプリチャージ電圧のオンオフ制御に用いる。オンの時、端子 1 5 5 にプリチャージ電圧が印加される。スイッチ D c 2 は吐き出し方向のプリチャージ電流のオンオフ制御に用いる。オンの時、端子 1 5 5 に吐き出し方向のプリチャージ電流が印加される。また、スイッチ D c 1 は吸い込み方向のプリチャージ電流のオンオフ制御に用いる。オンの時、端子 1 5 5 に吸い込み方向のプリチャージ電流が印加される。

【2 1 8 9】

図 4 1 5 の a の期間では、プリチャージ電圧 V 0 を 1 H の最初に 1 μ s e c 印加している。また、図 4 1 5 の D c 1 スイッチは t 1 ~ t a 期間オンしている。したがって、吸い込み方向の過電流 I d 1 が流れる。t 1 から 1 μ s e c の期間は、ソース信号線 1 8 の電位は 0 階調の電圧電位 V 0 である。以降 t a までの期間は、過電流 (プリチャージ電流) I d 0 により、ソース信号線電位 1 8 は急激に降下する。t a ~ t 2 までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線 1 8 の電位は、画素 1 6 の駆動用トランジスタ 1 1 a がプログラム電流に一致する電流が流れるように低下する。

【2 1 9 0】

図 4 1 5 の b の期間では、プリチャージ電圧は印加していない。また、図 4 1 5 の D c 2 スイッチは t 2 ~ t b 期間オンしている。したがって、吐き出し方向の過電流 I d 2 が流れる。過電流 (プリチャージ電流) I d 2 により、ソース信号線電位 1 8 は急激に上昇する。t b ~ t 3 までの期間は、映像データによる電流プログラムが実施される。したが

って、ソース信号線 18 の電位は、画素 16 の駆動用トランジスタ 11a がプログラム電流に一致する電流が流れるように低下する。

【2191】

図 415 の c の期間は低階調領域の書き込みのため、プリチャージ電圧 V_0 を 1H の最初に $1\mu\text{sec}$ 印加している。図 415 の $Dc1$ 、 $Dc2$ スイッチはオフ状態である。t3 から $1\mu\text{sec}$ の期間は、ソース信号線 18 の電位は 0 階調の電圧電位 V_0 である。以降 t4 までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線 18 の電位は、画素 16 の駆動用トランジスタ 11a がプログラム電流に一致する電流が流れるように低下する。

【2192】

図 415 の d の期間では、プリチャージ電圧 V_0 を 1H の最初に $1\mu\text{sec}$ 印加している。また、図 415 の $Dc1$ スイッチは t4 ~ t d 期間オンしている。したがって、吸い込み方向の過電流 I_{d1} が流れる。t4 から $1\mu\text{sec}$ の期間は、ソース信号線 18 の電位は 0 階調の電圧電位 V_0 である。

【2193】

以降 t d までの期間は、過電流（プリチャージ電流） I_{d0} により、ソース信号線電位 18 は急激に降下する。t d ~ t 5 までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線 18 の電位は、画素 16 の駆動用トランジスタ 11a がプログラム電流に一致する電流が流れるように低下する。

【2194】

図 415 の e の期間では、プリチャージ電圧は印加していない。また、図 415 の $Dc2$ スイッチは t 5 ~ t e 期間オンしている。したがって、吐き出し方向の過電流 I_{d2} が流れる。過電流（プリチャージ電流） I_{d2} により、ソース信号線電位 18 は急激に上昇する。t e ~ t 6 までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線 18 の電位は、画素 16 の駆動用トランジスタ 11a がプログラム電流に一致する電流が流れるように低下する。

【2195】

以上のように、目標プログラム電流あるいはソース信号線 18 電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流） I_d を制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線 18 の電位変化を理論的に予測あるいは推測することができるから、コントローラ IC（回路）760（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【2196】

以上の実施例は、1H 期間内の過電流（プリチャージ電流もしくはディスチャージ電流）駆動または／およびプリチャージ電圧駆動の実施例であった。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）駆動または／およびプリチャージ電圧駆動は 1H 期間内だけではなく、1 フレームあるいは複数水平走査期間のソース信号線 18 の電位状態を考慮して行うことが好ましい。図 416 はその実施例である。

【2197】

図 416 などにおいて説明を容易にするため、階調数は 64 階調とする。また、P はプリチャージ電圧駆動を意味し、 $P=1$ で、プリチャージ電圧をソース信号線 18 に印加することを意味し、 $P=0$ で、プリチャージ電圧はソース信号線 18 に印加しないことを意味するものとする。また、K は過電流（プリチャージ電流）駆動を意味し、 $K=1$ で、プリチャージ電流をソース信号線 18 に印加することを意味し、 $K=0$ で、プリチャージ電流はソース信号線 18 に印加しないことを意味するものとする。

【2198】

また、図 416 などにおいて、表の 1 ますは 1H 期間あるいは 1 画素行の選択期間を示すものとする。また、表の最上部に記載する数字は画素行番号を示す。映像データ欄の数

10

20

30

40

50

字は映像データの大きさ（0～63）を示す。また、図416などではP、Kの符号変化のみを記載しているが、実際の制御タイミング、印加電流あるいは印加電圧の大きさなどは、図403～図415などで説明した実施例が適用される。

【2199】

図416において、第3画素行目から第4画素行目に、映像データが36から0に変化している。したがって、黒書き込みを完全に行うため第4画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。

【2200】

第5画素行目から第6画素行目では、映像データが0から1に変化している。図356に図示したように、 V_0 電圧から V_1 電圧には電位差が大きい。したがって、階調1の電流書き込みを完全に行うために、第6画素行目に $K=1$ とし、ソース信号線18にプリチャージ電流（ I_1 ）を印加している。なお、 I_1 などで示す添え字は、目標とする階調を示すものとする。

【2201】

第6画素行目から第7画素行目では、映像データが1から8に変化している。階調差が $8-1=7$ あり、比較的low階調領域である。そのため、階調8の電流書き込みを完全に行うために、第7画素行目に $K=1$ とし、ソース信号線18にプリチャージ電流（ I_8 ）を印加している。

【2202】

第8画素行目から第9画素行目に、映像データが8から0に変化している。したがって、黒書き込みを完全に行うため第9画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。

【2203】

また、第9画素行目から第10画素行目では、映像データが0から4に変化している。階調差が $4-0=4$ あり、比較的low階調領域である。また、 V_0 電圧はアノード電圧 V_{dd} に近く、電位が高い。そのため、階調4の電流書き込みを完全に行うために、第10画素行目に $K=1$ とし、ソース信号線18にプリチャージ電流（ I_4 ）を印加している。

【2204】

第11画素行目から第12画素行目では、映像データが60から1に変化している。したがって、電位差が大きい。また、 V_1 電圧はアノード電圧 V_{dd} に近く、電位が高い。そのため、階調1の電流書き込みを完全に行うために、第12画素行目で、 $P=1$ とし、まず、プリチャージ電圧（ V_0 ）を書き込み、ソース信号線18の電位をリセット状態とし、さらに、 $K=1$ とし、ソース信号線18にプリチャージ電流（ I_1 ）を印加している。

【2205】

また、第12画素行目から第13画素行目では、映像データが1から2に変化している。階調差は小さい。しかし、low階調領域である。また、 V_1 電圧はアノード電圧 V_{dd} に近く電位が高い。図356に図示するように、 V_2 電位と V_1 電位とは電位差が大きい。そのため、階調2の電流書き込みを完全に行うために、第13画素行目に $K=1$ とし、ソース信号線18にプリチャージ電流（ I_2 ）を印加している。

【2206】

さらに、第13画素行目から第14画素行目に、映像データが2から0に変化している。階調0はプログラム電流が0に状態である。したがって、ソース信号線18電位を変化させることができない。そのため、黒書き込みを完全に行うため第14画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。

【2207】

図417は本発明の他の実施例である。図417において、第1画素行目から第2画素行目に、映像データが38から0に変化している。したがって、黒書き込みを完全に行うため第2画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。第2画素行目から第6画素行目までは階調0が連続する。したがって、ソース信

10

20

30

40

50

号線 18 に電位は V_0 電圧が維持されるため、第 2 画素行目から第 6 画素行目まではプリチャージ電圧の印加は不要である。

【2208】

逆に、プリチャージ電圧を印加すると、電圧駆動の表示状態となり、レーザーショットによる駆動用トランジスタ 11a の特性ムラが表示され、画質を低下させることになり好ましくない。以上のように本発明は、0 階調などの低階調の領域において、階調の変化がないときは、プリチャージ電圧を印加しないことを特徴とする。低階調の領域とは全階調の $1/8$ 以下の階調である。たとえば、64 階調であれば、0 階調から 7 階調目が該当する。また、ある階調から 0 階調に変化する時（階調差が発生する時）は、 V_0 電圧のプリチャージ電圧を印加することを特徴とする。

10

【2209】

第 6 画素行目から第 7 画素行目では、映像データが 0 から 1 に変化している。図 356 に図示したように、 V_0 電圧から V_1 電圧には電位差が大きい。したがって、階調 1 の電流書き込みを完全に行うために、第 6 画素行目に $K=1$ とし、ソース信号線 18 にプリチャージ電流 (I_1) を印加している。なお、 I_1 などで示す添え字は、目標とする階調を示すものとする。

【2210】

以上のように本発明は、0 階調などから低階調の領域への階調の変化が発生する時は、プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。特に 0 階調から 1 階調に変化する時は必須である。

20

【2211】

図 417 は、プリチャージ電圧、プリチャージ電流を独立して印加する本発明の実施例である。しかし、本発明はこれに限定するものではない。図 418 はプリチャージ電圧とプリチャージ電流を同時に印加する本発明の駆動方法の説明図である。

【2212】

図 418 において、第 1 画素行目から第 2 画素行目に、映像データが 38 から 1 に変化している。したがって、黒書き込みを完全に行うため第 2 画素行目に $P=1$ とし、ソース信号線 18 にプリチャージ電圧 (V_0) を印加している。同時に、 $K=1$ とし、ソース信号線 18 にプリチャージ電流 (I_1) を印加している。第 2 画素行目では、プリチャージ電圧の印加により、ソース信号線 18 電位は、一旦 V_0 電圧に上昇する。その後、過電流（プリチャージ電流）により、ソース信号線 18 電位が急速に低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線 18 に印加される。

30

【2213】

同様に、第 6 画素行目から第 7 画素行目に、映像データが 0 から 1 に変化している。したがって、黒書き込みを完全に行うため第 7 画素行目に $P=1$ とし、ソース信号線 18 にプリチャージ電圧 (V_0) を印加している。同時に、 $K=1$ とし、ソース信号線 18 にプリチャージ電流 (I_1) を印加している。第 2 画素行目では、プリチャージ電圧の印加により、ソース信号線 18 電位は、一旦 V_0 電圧に上昇する。その後、過電流（プリチャージ電流）により、ソース信号線 18 電位が急速に低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線 18 に印加される。

40

【2214】

なお、第 2 画素行目、第 7 画素行目に印加するプリチャージ電圧は V_0 に限定するものではない。 V_1 電圧であってもよい。この場合は、プリチャージ電圧 V_1 の印加により、ソース信号線 18 電位は、変化し、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線 18 に印加される。

【2215】

第 2 画素行目から第 3 画素行目に、映像データが 1 から 0 に変化している。したがって、黒書き込みを完全に行うため第 7 画素行目に $P=1$ とし、ソース信号線 18 にプリチャージ電圧 (V_0) を印加している。第 3 画素行目から第 6 画素行目までは階調 0 が連続する。したがって、ソース信号線 18 に電位は V_0 電圧が維持されるため、第 2 画素行目か

50

ら第6画素行目まではプリチャージ電圧の印加は不要である。逆に、プリチャージ電圧を印加すると、電圧駆動の表示状態となり、レーザーショットによる駆動用トランジスタ11aの特性ムラが表示され、画質を低下させることになり好ましくない。

【2216】

以上のように本発明は、0階調などの低階調の領域において、階調の変化がないときは、プリチャージ電圧を印加しないことを特徴とする。低階調の領域とは全階調の $1/8$ 以下の階調である。たとえば、64階調であれば、0階調から7階調目が該当する。また、ある階調から0階調に変化する時（階調差が発生する時）は、 V_0 電圧のプリチャージ電圧を印加することを特徴とする。

【2217】

第10画素行目から第11画素行目では、映像データが1から2に変化している。図356に図示したように、 V_1 電圧から V_2 電圧には電位差が大きい。したがって、階調2の電流書き込みを完全に行うために、第6画素行目に $K=1$ とし、ソース信号線18にプリチャージ電流（ I_2 ）を印加している。

【2218】

以上のように本発明は、0階調などから低階調の領域への階調の変化が発生する時は、プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。特に0階調から1階調に変化する時は必須である。また、0階調などから低階調の領域から階調差が1または2程度と小さい場合であっても、プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。特に0階調から1階調に変化する時は必須である。

【2219】

図419も本発明の他の実施例における本発明の駆動方法の説明図である。図419では、0階調に変化する時、プリチャージ電圧を印加し、0階調から1階調もしくは低階調に変化する時は、プリチャージ電流を印加する。

【2220】

図419において、第1画素行目から第2画素行目に、映像データが38から1に変化している。したがって、黒書き込みを完全に行うため第2画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。

【2221】

また、第2画素行目から第3画素行目に、映像データが0から1に変化している。第3画素行目に $K=1$ とし、ソース信号線18にプリチャージ電流（ I_1 ）を印加している。同様に、第237画素行目から第238画素行目に、映像データが12から0に変化している。したがって、黒書き込みを完全に行うため第238画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。

【2222】

図420も本発明の他の実施例における本発明の駆動方法の説明図である。図420では、低階調領域の低階調に対応する複数のプリチャージ電圧を印加している。以上のように、階調に対応して電圧を印加することにより良好な階調表示を実現できる。

【2223】

図420において、第3画素行目から第4画素行目に、映像データが34から0に変化している。したがって、黒書き込みを完全に行うため第2画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。

【2224】

第4画素行目から第5画素行目に、映像データが0から1に変化している。したがって、1階調の黒書き込みを完全に行うため第2画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_1 ）を印加している。

【2225】

第5画素行目から第6画素行目に、映像データが1から2に変化している。したがって、階調2の黒書き込みを完全に行うため第2画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_1 ）を印加している。同時に、 $K=1$ とし、ソース信号線18にプ

10

20

30

40

50

リチャージ電流（ I_2 ）を印加している。第6画素行目では、プリチャージ電圧の印加により、ソース信号線18電位は、一旦 V_1 電圧に低下する。その後、過電流（プリチャージ電流） I_2 により、ソース信号線18電位がさらに低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線18に印加され、目標階調表示が実現する。

【2226】

図421も本発明の他の実施例における本発明の駆動方法の説明図である。図421では、図414に図示した構成の駆動回路の制御方法である。低階調領域の低階調に対応する吸い込み方向のプリチャージ電流（制御符号を K_L で示す。また、電流を I_L で示す）と、高階調に対応する吐き出し方向のプリチャージ電流（制御符号を K_H で示す。また、電流を I_H で示す）を制御する。

10

【2227】

図421において、第1画素行目から第2画素行目に、映像データが38から0に変化している。したがって、黒書き込みを完全に行うため第2画素行目に $P=1$ とし、ソース信号線18にプリチャージ電圧（ V_0 ）を印加している。

【2228】

第6画素行目から第7画素行目に、映像データが0から2に変化している。したがって、 $K=1$ とし、ソース信号線18にプリチャージ電流（ I_L ）を印加している。過電流（プリチャージ電流） I_L により、ソース信号線18電位がさらに低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線18に印加され、目標階調表示が実現する。

20

【2229】

第9画素行目から第10画素行目に、映像データが2から63に変化している。したがって、 $K=1$ とし、ソース信号線18にプリチャージ電流（ I_H ）を印加している。過電流（プリチャージ電流） I_H により、ソース信号線18電位がさらに上昇し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線18に印加され、目標階調表示が実現する。

【2230】

本発明は同一階調が連続する場合、1H前の階調と次の階調の階調差を判断し、 P 、 K 符号を判断する。プリチャージ電圧、プリチャージ電流の大きさ、印加タイミング、印加時間を制御する。このような制御を実現するためには、コンロトル回路（ IC ）760などに画素行の映像データを保持するラインメモリが必要である。しかし、映像データが8ビットとすると、8ビット×横方法画素数×3（ RGB ）のメモリが必要になる。ラインメモリはコストアップに直結するため、ラインメモリのビット数は極力少ない方がよい。

30

【2231】

図422はラインメモリを減少させる方式の説明図である。図422は2つの設定値（設定1、設定2）を保持できるようになっている。設定値は、コントローラ回路（ IC ）760の外部よりマイコンにより設定できるように構成されている。設定値は、映像データの大きさの判断に用いる。映像データが設定1よりも大きければ b_0 ビットに1がセットされる。

40

【2232】

なお、設定値が小さければ b_0 ビットは0である。映像データが設定2よりも大きければ b_1 ビットに1がセットされる。もちろん判断が1つであれば、設定値は1つでよく、保持ビット b も1つでよい。

【2233】

たとえば、映像データが、“00010100”とする。設定1が“00010000”とする。設定2が“00000100”とする。映像データが、“000001100”であり、設定1が“00010000”であるから、映像データは設定1よりも小さい。したがって、 b_0 ビットは0となる。また、映像データが、“000001100”であり

50

、設定 2 が " 0 0 0 0 0 1 0 0 " であるから、映像データは設定 2 よりも大きい。したがって、b 1 ビットは 1 となる。

【 2 2 3 4 】

以上の結果から、映像データは、設定 1 よりも小さく、設定 2 よりも大きいことが、b 0、b 1 の 2 ビットで示せることになる。この 2 ビットをメモリで保持する。以上のように、各映像データは 2 ビットで大きさを示せる。

【 2 2 3 5 】

以上の b 0、b 1 信号は、コントローラ回路 (I C) 7 6 0 で発生し、ソースドライバ回路 (I C) 1 4 に伝送される。伝送された b 0、b 1 符合は、図 4 3 1 に図示するように、ソースドライバ回路 (I C) 1 4 内でデコードされる。もちろん、テーブル変換してもよい。図 4 3 1 は図 4 2 7 のように、プリチャージ電圧が 3 つの場合である。

10

【 2 2 3 6 】

図 4 3 1 の実施例では、(b 0、b 1) = (0、0) の時、a l l o p e n 状態つまり、プリチャージ電圧駆動 (電流) は実施されない。(b 0、b 1) = (0、1) の時は、プリチャージ電圧 V 0 が出力される。また、同様に (b 0、b 1) = (1、0) の時は、プリチャージ電圧 V 1 が出力され、(b 0、b 1) = (1、1) の時は、プリチャージ電圧 V 2 が出力される。

【 2 2 3 7 】

本発明の駆動方式で重要なのは、0 階調であるのか、低階調領域であるのか、1 H 前の映像データと次の映像データの階調差がどの程度はなれているかである。これらの判断は、設定 1、設定 2 の判断ビット b (b 0、b 1) で入手することができる。したがって、映像データのラインメモリは必要なく、各映像データの大きさの判断ビット b を保持するだけでよい。そのため、コストを低減させることができる。

20

【 2 2 3 8 】

図 3 8 1 ~ 図 4 2 2 などでは、過電流駆動 (プリチャージ電流駆動) により、ソース信号線 1 8 の寄生容量 C s の電荷を充放電する実施例を説明した。過電流 (プリチャージ電流もしくはディスチャージ電流) 駆動の課題は、ソース信号線 1 8 の電位を目標電位で停止できない点である。スイッチ D c がオン (クローズ) している期間、過電流 (プリチャージ電流もしくはディスチャージ電流) I d がソース信号線 1 8 に流れる。

【 2 2 3 9 】

30

この課題に対しては、ソース信号線 1 8 の電位を監視するコンパレータ回路を付加することにより解決できる。つまり、コンパレータにより、ソース信号線 1 8 の電位変化を監視し、ソース信号線 1 8 の電位が目標階調電位に到達したら、コンパレータ回路から O F F 信号を発生させ、D c スイッチをオフ (オープン) させればよい。以上の回路は、オペアンプにより容易に構成できる。また、オペアンプは、低温ポリシリコン技術、C G S 技術、高温ポリシリコン技術のより容易に形成または構成できる。また、ソースドライバ回路 (I C) 1 4 内にコンパレータ回路を形成することも容易である。

【 2 2 4 0 】

0 階調の電圧プリチャージ (V 0) を実施し、0 階調が連続する場合は該当画素に対する (ソース信号線 1 8 に対する) 電圧プリチャージ (0 階調電圧) は不要である。しかし、0 階調電圧プリチャージと実施した後、1 階調以上に変化する場合は、1 階調以上に該当する電圧プリチャージ (V 1 以上の電圧) を実施することが好ましい。図 3 5 6 でも説明したように V 0 電圧と V 1 電圧との電位差が大きいからである。電位差が大きいと階調 1 程度のプログラム電流では目標ソース信号線 1 8 電位に 1 H 期間では到達することができないからである (はるかに遠い電位でとどまってしまう) 。

40

【 2 2 4 1 】

本発明の電流駆動方式では、0 階調表示で電圧プリチャージを実施し、1 階調以上に変化する時は、1 階調以上の電圧プリチャージを実施する。1 階調以上の電圧プリチャージを実施することにより、画素 1 6 の駆動用トランジスタ 1 1 a を目標プログラム電流が流れるようにプログラムすることができる。

50

【2242】

なお、1階調表示で電圧プリチャージを実施し（実施しなくとも1階調表示のソース信号線18電位にあるとき）、2階調以上に変化する時は、2階調以上の電圧プリチャージを実施することが好ましい。2階調以上の電圧プリチャージを実施することにより、画素16の駆動用トランジスタ11aを目標プログラム電流が流れるようにプログラムすることができる。1あるいは2階調表示でも電位差が比較的大きい。階調2程度のプログラム電流では目標ソース信号線18電位に1H期間では到達することができない場合があるからである。

【2243】

本発明の電流駆動方式では、0階調表示で電圧プリチャージを実施し、1階調以上に変化する時は、1階調以上の電圧プリチャージを実施するとした。しかし、本発明はこれに限定するものではない。1階調以上の電圧プリチャージを図381～図422で説明した過電流（プリチャージ電流もしくはディスチャージ電流）駆動に置き換えてもよいことは言うまでもない。また、電圧プリチャージと過電流（プリチャージ電流もしくはディスチャージ電流）駆動の両方を実施してもよい。

【2244】

1階調表示で電圧プリチャージを実施し、2階調以上に変化する時は、2階調以上の電圧プリチャージを実施することが好ましいと説明した。この場合も2階調以上の過電流駆動（電流プリチャージ駆動）を実施することにより、画素16の駆動用トランジスタ11aを目標プログラム電流が流れるようにプログラムすることができることは言うまでもない。

【2245】

また、プリチャージ電圧の最大値が、階調kであり、その電圧が V_k の時、階調k以下から、階調k以上に変化する時は、プリチャージ電圧 V_k を印加してから、プリチャージ電流を印加し、プログラム電流を印加してもよい。また、プリチャージ電圧 V_k を印加してから、プログラム電流を印加してもよい。つまり、まず、プリチャージ電圧 V_k を印加することにより、電位の嵩上げを行う。この動作により、目標電位に到達する期間を短縮することができる。

【2246】

以上の実施例は、ソースドライバ回路（IC）14から、過電流（プリチャージ電流もしくはディスチャージ電流）もしくはプリチャージ電圧をソース信号線18に印加する構成であった。本発明はこれに限定するものではない。図445は、アレイに過電流（プリチャージ電流もしくはディスチャージ電流）を供給する手段を形成または配置した構成である。

【2247】

図445において、画素16pが過電流を供給する手段である。ただし、画素16pと表現しているが、重要なのは図446に図示するように、過電流駆動用トランジスタ11apであり、画素16構成である必要はない。

【2248】

図445において、画素16apはソースドライバ回路（IC）14が配置された逆側のソース信号線18端に形成または配置されている。ただし、本発明はこれに限定するものではない。ソースドライバ回路（IC）14側に形成または配置されていてもよいし、ソース信号線18の両側に配置されていてもよい。たとえば、図453は、ソースドライバ回路（IC）14側に過電流画素16p1を配置し、ソース信号線18端に第2の過電流画素16p2を配置した構成である。図453に図示するように、ソース信号線18の両端に過電流画素16pを配置することによりプリチャージ駆動時にソース信号線18の電位がソース信号線18の両端で平均的に変化し、画面144に輝度傾斜が発生することがなく、均一な画像表示を実現できる。

【2249】

過電流駆動用トランジスタ11apは、シリコンチップとして構成し、アレイ30に実

10

20

30

40

50

装してもよい。このましくは、過電流駆動用トランジスタ11apは、ポリシリコン技術により画素16aあるいはゲートドライバ回路12などを同時に形成する。

【2250】

過電流駆動用トランジスタ11apは、画素16aの駆動用トランジスタ11aとは、出力電流を異ならせる。画素16a（画像表示する画素）の駆動用トランジスタ11aのゲート端子に印加する電圧 V_{g1} と、画素16p（過電流を供給あるいは出力する画素）の画素過電流駆動用トランジスタ11apのゲート端子に印加する電圧 V_{g2} とを同一（ $V_{g1} = V_{g2}$ ）にした時、駆動用トランジスタ11aが出力する電流 I_1 と、過電流駆動用トランジスタ11apが出力する電流 I_2 とは、 $I_2 = b I_1$ （ただし、 b は1以上）の関係を満足するようにする。 $I_2 = b I_1$ （ただし、 b は1以上）の関係は、過電流駆動用トランジスタ11apおよび駆動用トランジスタ11aのWLの大きさあるいはWL比を設計することにより設定が容易に実現できる。

10

【2251】

好ましくは、画素16pの過電流駆動用トランジスタ11apは、駆動用トランジスタ11aの形状と同一し、複数の駆動用トランジスタ11aを並列に形成または配置することにより、 $I_2 = b I_1$ なる関係を構成することが好ましい。

【2252】

たとえば、駆動用トランジスタ11aのチャンネル幅 $W = 20 \mu m$ 、チャンネル長 $L = 12 \mu m$ とし、この駆動用トランジスタ11aのゲート端子Gに V_{g1} の電圧を印加したときの出力電流と I_1 とすれば、1つの過電流駆動用トランジスタ11apのチャンネル幅 $W = 20 \mu m$ 、チャンネル長 $L = 12 \mu m$ とし、この過電流駆動用トランジスタ11apを6個並列に連結して過電流画素16pを構成し、この複数の過電流駆動用トランジスタ11apのゲート端子Gに V_{g1} の電圧を印加したとき加算した出力電流と I_2 とすれば、 $I_2 = 6 I_1$ （ $b = 6$ ）なる関係を構成できる。過電流駆動用トランジスタ11apと駆動用トランジスタ11aの形状などを同一にすることにより、 b の値を精度よく設定あるいは設計することが可能になる。したがって、図446において、過電流駆動用トランジスタ11apは、画素16pに1つの構成であるが、これに限定するものではない。その他の、構成として、図450に図示するように、複数の過電流駆動用トランジスタ11apを直列に連結し、また、並列に連結して構成してもよいことは言うまでもない。これらの過電流駆動用トランジスタ11apは選択手段としてのトランジスタ11cpを介してソース信号線18に接続される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）を供給するトランジスタ11apを複数個で形成あるいは構成することにより、過電流（プリチャージ電流もしくはディスチャージ電流）のバラツキを低減することが可能である。

20

30

【2253】

過電流駆動用トランジスタ11apを（低温）ポリシリコン技術などで形成する場合は、特性バラツキが大きいので、アレイ30上で分散させて形成することが好ましい。したがって、図450のように過電流駆動用トランジスタ11apを形成する場合であっても、極力広い範囲に過電流駆動用トランジスタ11apを配置することが好ましい。さらに好ましくは、図451に図示するように、複数の過電流画素16pを形成し（16pa、16pb、16pc、16pd）、広い範囲の過電流画素16pを連結して構成することが好ましい。

40

【2254】

図451において、斜線で示した過電流画素16pは、どのソース信号線18とも連結されない（使用されない）。しかし、斜線で示した過電流画素16pがないと、斜線で示した過電流画素16pに隣接して形成された過電流画素16p（16pa、16pb、16pc、16pd）が他の過電流画素16pと特性が異なる。これは、パターンを規則正しく形成しないと、トランジスタを形成した周辺部がエッチングなどの状態が異なり、特性が変化するからである。図451のように斜線で示した過電流画素16pを形成することにより、特性バラツキがなくなり均一にすることができる。以上の事項は、本発明の他

50

の実施例にも適用できることは言うまでもない。

【2255】

過電流画素16pの特性バラツキの影響を少なくするためには、図452に示すようにスイッチ回路Sで選択する過電流画素16pを切り替える方式も例示される。スイッチ回路Sはポリシリコン技術により画素16aあるいはゲートドライバ回路12などを同時に形成する。スイッチ回路Sは、低温ポリシリコン技術、CGS技術、高温ポリシリコン技術のより容易に形成または構成できる。また、ソースドライバ回路(IC)14内に形成することも容易である。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【2256】

スイッチ回路は、1Hごとに選択する過電流画素(16p1、16p2)を交互に切り替える。また、1F(1フレームまたは1フィールド)ごとに切り換えてもよい。その他、ランダムに切り換え、平均して過電流画素16p1と過電流画素16p2とを選択する回数が一致するように制御してもよい。また、奇数フィールドと偶数フィールドで選択する過電流画素16pを変更してもよい。

【2257】

図446の過電流画素16pの過電流駆動用トランジスタ11apはPチャンネルトランジスタとして図示している。しかし、本発明はこれに限定するものではない。過電流駆動用トランジスタ11apはNチャンネルトランジスタで構成あるいは形成してもよい。なお、画素16aの駆動用トランジスタ11aがPチャンネルの場合は、過電流駆動用トランジスタ11apもPチャンネルで形成または構成することが好ましい。画素16aの駆動用トランジスタ11aがNチャンネルの場合は、過電流駆動用トランジスタ11apもNチャンネルで形成または構成することが好ましい。

【2258】

図448に図示するように、Pチャンネルの過電流駆動用トランジスタ11apを有する過電流画素16pと、Nチャンネルの過電流駆動用トランジスタ11anを有する過電流画素16nの両方を形成または配置してもよい。ソース信号線18に過電流を吐き出すときはゲート信号線17ppにオン電圧を印加して、スイッチ用トランジスタ11cppをオン状態にする。ソース信号線18から過電流を吸い込むときはゲート信号線17pnにオン電圧を印加して、スイッチ用トランジスタ11cpnをオン状態にする。また、ゲート信号線17ppとゲート信号線17pnの両方を選択し、吐き出し方向の過電流と吸い込み方向の過電流との差をソース信号線18に印加してもよい。

【2259】

図446では、過電流画素16pの過電流駆動用トランジスタ11apのソース端子はVct電圧に接続されている。Vct電圧=Vdd電圧(アノード電圧)とすることにより、電源数を削減することができる。

【2260】

過電流駆動用トランジスタ11apが出力する電流の大きさを調整あるいは変更するためには、図446のVct電圧を変更できることが好ましい。その実施例を図449に図示している。図449では、Vct電圧よりも高い電圧Vtt電圧とGND間にポリウムVRが配置されている。このポリウムVRによりVct電圧を調整することができる。Vct電圧を高くすることにより、過電流の大きさを大きくすることができる。

【2261】

図447では、Vct電圧を電子ポリウム501に印加するVPDATAにより変更できるようにした構成である。VPDATAにより、過電流の大きさを調整あるいは変更もしくは変化させることができる。また、過電流印加中であっても、VPDATAを変更することにより、過電流の大きさを調整あるいは変更もしくは変化させることができる。また、VPDATAを変更することにより、1画素行ごとあるいは複数画素行ごともしくはフレームごともしくは複数フレームごとに過電流の大きさを調整あるいは変更することができる。

10

20

30

40

50

【2262】

図448では、Pチャンネルの過電流駆動用トランジスタ11apの過電流の大きさは、Vctp電圧を変化することにより実施できる。Nチャンネルの過電流駆動用トランジスタ11anの過電流の大きさは、Vctn電圧を変化することにより実施できる。

【2263】

図446の過電流画素16pには、過電流駆動用トランジスタ11apのゲート端子電位を保持するコンデンサを形成していない。しかし、本発明はこれに限定するものではない。図447に図示するように過電流画素16pにコンデンサ19pを形成または配置してもよい。コンデンサ19pの配置により、保持特性が向上する。

【2264】

図445などは、各ソース信号線18に1つの過電流画素16pを配置した構成である。本発明はこれに限定するものではない。図454は、1ソース信号線18に複数の過電流画素16pを配置し、選択する過電流画素16pの個数を変化あるいは調整できるようにした構成である。

【2265】

図445は、選択する過電流画素16pの個数は0から3である。選択する過電流画素16pの個数は、ゲートドライバ回路(IC)12pにより実施する。ゲートドライバ回路(IC)12pが3つの過電流駆動用トランジスタ11apを選択する場合は、ゲート信号線17p1、17p2、17p3にオン電圧を印加する。ゲートドライバ回路12pは、低温ポリシリコン技術、CGS技術、高温ポリシリコン技術のより容易に形成または構成できる。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。ゲート信号線17p1にオン電圧を印加することによりソース信号線18に過電流駆動用トランジスタ11ap1の吐き出し電流が印加される。ゲート信号線17p2にオン電圧を印加することによりソース信号線18に過電流駆動用トランジスタ11ap2の吐き出し電流が印加される。また、ゲート信号線17p3にオン電圧を印加することによりソース信号線18に過電流駆動用トランジスタ11ap3の吐き出し電流が印加される。

【2266】

たとえば、過電流駆動用トランジスタ11ap1～11ap3の出力電流が同一の場合は、2本のゲート信号線17pの選択により1本のゲート信号線17pの選択に比較して2倍の過電流出力を得ることができる。また、3本のゲート信号線17pの選択により1本のゲート信号線17pの選択に比較して3倍の過電流出力を得ることができる。

【2267】

図454において、画素16pにはコンデンサ19は配置していない。コンデンサ19は複数の画素16pに1つあるいは1画素16p行に1つ配置している。

【2268】

図454において、過電流画素16p1の吐き出し電流I21、過電流画素16p2の吐き出し電流I22、過電流画素16p3の吐き出し電流I23は同一として説明しているがこれに限定するものではない。画素16p1～16p3の過電流駆動用トランジスタ11apの大きさあるいは過電流駆動用トランジスタ11apの形成個数を異ならせてもよいことは言うまでもない。この場合は、過電流画素16p1の吐き出し電流I21、過電流画素16p2の吐き出し電流I22、過電流画素16p3の吐き出し電流I23を異ならせることができる。したがって、ゲートドライバ回路12pが選択するゲート信号線17pが1ゲート信号線であっても、過電流の大きさを異ならせることができる。

【2269】

図446はゲート信号線17pにオン電圧を印加することにより、1画素16p行を選択するものであった。しかし、本発明はこれに限定するものでない。たとえば、図449に図示するように、選択ドライバ回路(IC)4491は、各過電流画素16pを選択し、選択した画素16pのスイッチ用トランジスタ11cpをオンさせる。したがって、各ソース信号線18に過電流を印加するしないを選択することができる。

【2270】

どのソース信号線 18 に過電流を印加するかはコントローラ回路 (IC) 760 により制御する。もちろん、ソースドライバ回路 (IC) 14 によって実施してもよい。選択ドライバ回路 4491 は、低温ポリシリコン技術、CGS 技術、高温ポリシリコン技術のより容易に形成または構成できる。また、ソースドライバ回路 (IC) 14 に内蔵させてもよい。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【2271】

ゲート信号線 17p のオンオフ制御はコントローラ回路 (IC) 760 の制御により実施する。コントローラ回路 (IC) 760 は、映像信号の処理により、duty 比制御、基準電流比制御などを実施する。この実施などに対応して過電流制御を実施する。過電流制御は、コントローラ回路 (IC) 760 に特定されるものではなく、他の回路でおこなってもよい。たとえば、ソースドライバ回路 (IC) 14 が例示される。

10

【2272】

ゲート信号線 17p に印加される電圧は、Vgh、Vgl である。コントローラ回路 (IC) 760 から出力電圧は、0 (GND)、3.3 (V) である。この電圧を Vgh、Vgl にレベルシフトする必要がある。レベルシフトは、ゲートドライバ回路 12a で実施している。

【2273】

図 445 から図 454 で説明した構成は、単独であるいは組み合わせて構成あるいは形成することができることは言うまでもない。たとえば、図 445 の構成と図 454 の構成と置き換えることができる。差異は、1 つのゲート信号線 17p を制御するか、3 つのゲート信号線 17p1 ~ 17p3 を制御するかの違いである。この動作は当業者であれば容易に実施あるいは変更して採用できる。図 448 の P チャンネルの過電流駆動用トランジスタ 11ap と N チャンネルの過電流駆動用トランジスタ 11an の両方を有する構成でも当業者であれば容易に実施あるいは変更して採用できる。ここでは説明を容易にするため、図 445、図 446 の構成を例示して以降を説明する。

20

【2274】

まず、説明を容易にするため、過電流 (プリチャージ電流) の印加時間を 1 水平走査期間 (1H) の $1/2 (= 1/(2H))$ とし、残りの $1/(2H)$ の期間に正規のプログラム電流を印加する期間とする駆動方法について説明する。ただし、過電流の印加時間は $1/(2H)$ の期間に限定するものではない。 $1/(4H)$ や $3/(4H)$ などの他の期間 (時間) であってもよいことは言うまでもない。

30

【2275】

図 445 の構成において過電流を印加する期間は、ゲート信号線 17p にスイッチ用トランジスタ 11cp をオン状態にするオン電圧 (Vgl) が印加される。この期間は、ゲート信号線 17p にオン電圧を印加することにより過電流 I2 がソース信号線 18 に印加される。過電流を印加している期間は、映像信号であるプログラム電流 Iw を書き込む画素行に対応するゲート信号線 17a にはオフ電圧を印加した状態でもよい。もちろん、映像信号であるプログラム電流 Iw を書き込む画素行に対応するゲート信号線 17a にはオン電圧を印加してもよい。電流プログラム方式では、1 つのソース信号線 18 に複数の電流源が接続されていても動作に障害が発生しないからである。プログラム電流 Iw と過電流 I2 とを同時にソース信号線 18 に印加することにより、状態によっては所定のソース信号線電位の早く到達する。

40

【2276】

過電流 I2 の印加期間にソースドライバ回路 (IC) 14 を動作させる。この時、ソースドライバ回路 (IC) 14 の基準電流比を大きくする。なお、基準電流比を制御する構成、方法については以前に説明しているので説明を省略する。図 455 では、 $t1 \sim ta$ の $1/(2H)$ 期間では、基準電流比を 2 (倍) としている。1H の後半 ($ta \sim t2$ 期間) の正規のプログラム電流 Iw を印加する期間では、基準電流比は 1 (倍) とする。前半の $1/(2H)$ 期間では基準電流比は、映像信号の大きさ、1H 前の映像信号の大きさにより変化させる。(a) 期間では、前の 1H の映像信号が 0 (完全黒表示) から 1 への

50

変化である。したがって、映像信号の変化は $1 - 0 = 1$ と比較的小さい。しかし、図 3 5 6 で説明したように、映像信号 0 に対応する電圧 V_0 と、映像信号 1 に対応する電圧 V_1 との電位差は大きい。この要因を考慮し、(a) 期間の前半の $1 / (2H)$ 期間では、基準電流比を 2 としている。したがって、前半の $1 / (2H)$ 期間では、ソースドライバ回路 (IC) 1 4 に正規のプログラム電流 I_w の 2 倍の電流がソース信号線 1 8 から吸い込まれる。そのため、ソース信号線 1 8 の電位変化は、正規のプログラム電流 I_w を印加している場合に比較して 2 倍の速度で電荷が放電され、電位変化が生じる。なお、(a) 期間の後半の $1 / (2H)$ 期間では、基準電流比を 1 とし、所定のプログラム電流 I_w が画素 1 6 a に書き込まれる。この期間は、ゲート信号線 1 7 p にはオフ電圧が印加され、スイッチ用トランジスタ 1 1 c p はオフ状態とされる。したがって、過電流 (プリチャージ電流) はソース信号線 1 8 には印加されない。

10

【2277】

本発明の実施例において、画素 1 6 p から過電流 (プリチャージ電流) が印加されるとして説明をするが、ソース信号線 1 8 の電位を降下させる動作は、図 3 8 0 (a) で説明したようにソースドライバ回路 (IC) 1 4 の動作が支配的である。したがって、画素 1 6 p の動作よりは、ソースドライバ回路 (IC) 1 4 から過電流が印加されるという方が適切である。しかし、図 3 8 0 (b) で説明したようにソース信号線 1 8 の電位を上昇させる動作は画素 1 6 p の動作が支配的となる。また、動作は、駆動用トランジスタ 1 1 a、過電流駆動用トランジスタ 1 1 a p (1 1 a n : 図 4 4 8 を参照のこと) によって反対動作となる。ここでは説明を容易にするため、ソースドライバ回路 (IC) 1 4 の基準電流比を増加させることにより、過電流が画素 1 6 p から供給されるとして説明する。

20

【2278】

実際の動作では、過電流画素 1 6 p から過電流が供給しない動作もあるし、ソースドライバ回路 (IC) 1 4 から過電流 (プリチャージ電流) を印加されない場合もある。しかし、動作を場合に分けて説明することは煩雑であり、過電流画素 1 6 p とソースドライバ回路 (IC) 1 4 が同時に動作して所定のソース信号線 1 8 電位に到達し、画素 1 6 a (画素 1 6) の駆動用トランジスタ 1 1 a に目的のプログラム電流が流れるように制御 (駆動) される。

【2279】

以上のように本発明は、所定の期間に少なくとも過電流 (プリチャージ電流) をソース信号線 1 8 から吸い込むあるいはソース信号線に吐き出す動作させるという点が技術的範疇である。また、所定の期間に少なくとも過電流をソース信号線 1 8 から吸い込むあるいはソース信号線に吐き出す動作させるという点が技術的範疇である。したがって、画素 1 6 p の動作、ソースドライバ回路 (IC) 1 4 の動作に本発明の技術的範疇 (技術的範囲あるいは請求の範囲) が限定されるものではない。

30

【2280】

以上の事項は、図 1 2 7 ~ 図 1 4 2、図 2 2 8 ~ 図 2 3 1、図 3 0 8 ~ 図 3 1 3、図 3 2 4、図 3 2 8 ~ 図 3 5 4、図 3 8 0 ~ 図 4 3 5、図 4 4 5 ~ 図 4 6 7 などの回路構成、駆動方法、表示パネル (表示装置) についても適用できることは言うまでもない。

【2281】

図 4 5 5 において、(b) 期間は、(a) 期間の映像信号 1 から映像信号 6 への変化である。つまり、(b) 期間では、映像信号 1 に対応するソース信号線 1 8 の電位から、映像信号 6 に対応するソース信号線 1 8 の電位に変化させる必要がある。したがって、映像信号の変化は $6 - 1 = 5$ と比較的大きい。したがって、ソース信号線 1 8 の電位変化も比較的大きい。この要因を考慮し、(b) 期間の前半の $1 / (2H)$ 期間では、基準電流比を 3 としている。(b) 期間の前半の $1 / (2H)$ 期間では、ゲート信号線 1 7 p にオン電圧が印加される。前半の $1 / (2H)$ 期間では、ソースドライバ回路 (IC) 1 4 に正規のプログラム電流 I_w の 3 倍の電流がソース信号線 1 8 から吸い込まれる。そのため、ソース信号線 1 8 の電位変化は、正規のプログラム電流 I_w を印加している場合に比較して 3 倍の速度で電荷が放電され、電位変化が生じる。後半の $1 / (2H)$ 期間では、ソー

40

50

ストライバ回路（IC）14に正規のプログラム電流 I_w の1倍の電流がソース信号線18から吸い込まれる。このプログラム電流に対応するように画素16aの駆動用トランジスタ11aのゲート電位が変化し、プログラム電流 I_w が画素にプログラムされる。

【2282】

図455（c）においては、基準電流比は1で固定する。（b）期間では、映像信号が6である。（c）では映像信号が1である。したがって、映像信号の変化は $1 - 6 = -5$ と小さくなっている。したがって、ソース信号線電位は、アノード電位 V_{dd} 側に上昇させる必要がある。この場合は、図380（b）で説明した画素16の駆動用トランジスタ11aの動作が主となるため、ソースドライバ回路（IC）14の基準電流比が1でよい。画素16の駆動用トランジスタ11aのドレインゲート端子間は短絡され、ソース信号線18に電荷が充電されて電位が上昇する。

10

【2283】

図455（d）では、1H前のソース信号線18の電位が、映像信号1に対応する電位（ V_1 ）である。（d）では、映像信号10である。したがって、 $10 - 1 = 9$ と映像信号差は大きい。つまり、ソース信号線18の電位も大きく降下させる必要がある。この要因を考慮し、（d）期間の前半の $1 / (2H)$ 期間では、基準電流比を4としている。したがって、前半の $1 / (2H)$ 期間では、ソースドライバ回路（IC）14に正規のプログラム電流 I_w の4倍の電流がソース信号線18から吸い込まれる。そのため、ソース信号線18の電位変化は、正規のプログラム電流 I_w を印加している場合に比較して4倍の速度で電荷が放電され、電位変化が生じる。（d）期間の後半の $1 / (2H)$ 期間では、基準電流比を1とし、所定のプログラム電流 I_w が画素16aに書き込まれる。この期間は、ゲート信号線17pにはオフ電圧が印加され、スイッチ用トランジスタ11cpはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線18には印加されない。

20

【2284】

図455（e）の期間（ $t_5 \sim t_6$ ）は、1H前の期間（ $t_4 \sim t_5$ ）が映像信号10であり、（d）の期間（ $t_5 \sim t_6$ ）も映像信号が10であり、変化がない。したがって、図455（e）においては、基準電流比は1で固定する。画素16は、駆動用トランジスタ11aの V_t バラツキ（特性バラツキ）に応じて動作する。ソース信号線18には、駆動用トランジスタ11aから電流が供給され、ソース信号線18に流れ込むプログラム電流 I_w と平衡状態になる電位にソース信号線18電位は設定される。

30

【2285】

以上のように、過電流画素16pの過電流駆動用トランジスタ11apの動作と、ソースドライバ回路（IC）14の基準電流比の増大により、ソース信号線18の電位変化を早くし、所定のプログラム電流 I_w を画素16に書き込む。

【2286】

なお、先にも述べたが、以上の事項は、図127～図142、図228～図231、図308～図313、図324、図328～図354、図380～図435、図445～図467などの回路構成、駆動方法、表示パネル（表示装置）についても適用できることは言うまでもない。また、duty比制御などの本発明の他の駆動方法と組み合わせることができることも言うまでもない。以上の事項は、以降に説明する本発明の他の実施例においても同様である。

40

【2287】

図457は、図455の実施例の変形例である。図455との差異は、（c）期間（ $t_3 \sim t_4$ ）にプリチャージ電圧を印加したものである。プリチャージ電圧は V_0 電圧（階調0）あるいは、 V_1 電圧（階調1）のいずれでもよい。重要なのは、映像信号が大きい値から小さい値になる時（（c）では、映像信号6から映像信号1に変化する）には、プリチャージ電圧により電圧を印加して、ソース信号線18電位をアノード電圧（ V_{dd} ）側に上昇させることである。

【2288】

50

つまり、本発明は、ソースドライバ回路（IC）14が吸い込み電流（シンク電流）方向で動作し、映像信号が小さい方向に変化する時（EL素子15に流す電流を小さくする方向に変化させる時）、プリチャージ電圧により、ソース信号線18の電位を高くする（駆動用トランジスタ11aに電流が流さないようにゲート端子電位を変化させる）。さらに好ましくは、図445～図458などで説明した実施例を実施する。つまり、過電流画素16pを操作し、過電流をソース信号線18に印加する。また、本発明は、ソースドライバ回路（IC）14が吐き出し電流方向で動作し、映像信号が小さい方向に変化する時（EL素子15に流す電流を小さくする方向に変化させる時）、プリチャージ電圧により、ソース信号線18の電位を低くする（駆動用トランジスタ11aに電流が流さないようにゲート端子電位を変化させる）。

10

【2289】

プリチャージ電圧を印加するか否かは、1H前の映像データと、次の映像データにより決定する。たとえば、（b）の期間（1H前の映像データ）と（c）の期間（次の映像データ）のより決定する。この関係を図463の表に一例として示している。また、図389の表のように制御する。図463の表において、1は次の1H期間においてプリチャージ電圧を印加することを示し、0は次の1H期間においてプリチャージ電圧は印加しないことを示している。たとえば、次の1Hの映像データが0の時は、1H前の映像データが1以上の場合にプリチャージ電圧を印加する。また、次の1Hの映像データが1の時は、1H前の映像データが4以上の場合にプリチャージ電圧を印加する。同様に次の1Hの映像データが2の時は、1H前の映像データが5以上の場合にプリチャージ電圧を印加する。他の場合は、プリチャージ電圧を印加しない。

20

【2290】

以上のように本発明は、映像データの変化によりプリチャージ電圧の印加の有無を決定する。したがって、良好な画像表示を実現できる。

【2291】

図457において、（b）期間（ $t_2 \sim t_3$ ）は、映像信号6である。（c）期間（ $t_3 \sim t_4$ ）は映像信号が1であるから、ソース信号線18電位は、アノード電位側に上昇させる必要がある。しかし、ソースドライバ回路（IC）14は、吸い込み電流方式（図414の場合は除く。図414の場合は、図457の方法を用いずともソース信号線18の電位を良好に上昇させることができる）であるから、ソースドライバ回路（IC）14では、ソース信号線18の電位を上昇させることができない。

30

【2292】

この課題を解決するため、以前に説明した電圧駆動を実施する。図457では、 $t_3 \sim t_f$ の期間にプリチャージ電圧をソース信号線18に印加し、ソース信号線18電位を上昇させている。この時の基準電流比は1でよい。また、映像信号1に該当するプログラム電流 I_w をソース信号線18にソースドライバ回路（IC）14から印加する。他の構成あるいは動作は図455と同一あるいは類似であるので説明を省略する。

【2293】

図455、図457の実施例では、前半の $1/(2H)$ 期間に、ソースドライバ回路（IC）14に過電流となる電流を吸い込み、後半の $1/(2H)$ 期間では、基準電流比を1とし、所定のプログラム電流 I_w が画素16aに書き込むものであった。つまり、過電流の印加期間は $1/(2H)$ 期間と固定であった。しかし、本発明はこれに限定するものではない。過電流の印加期間を変化させてもよい。

40

【2294】

図458は過電流の印加期間を変化させた実施例である。図458（1）は図455と同一であり、過電流の印加期間は $1/(2H)$ 期間と固定の実施例である。ただし、基準電流比は4と固定している。以上のように過電流の印加期間では、基準電流比を固定にしてもよい。固定にすることにより回路構成が簡単になり、低コスト化を実現できる。

【2295】

図458（2）は、過電流の印加期間を映像データあるいは映像データの変化（ソース

50

信号線 18 の電位またはソース信号線 18 の電位変化) により、変化させた実施例である。

【2296】

図 458 (2) の方法において過電流を印加する期間は、ゲート信号線 17 p にスイッチ用トランジスタ 11 c p をオン状態にするオン電圧 (V_{gl}) が印加される。この期間は、ゲート信号線 17 p にオン電圧を印加することにより過電流 I_2 がソース信号線 18 に印加される。過電流を印加している期間は、映像信号であるプログラム電流 I_w を書き込む画素行に対応するゲート信号線 17 a にはオフ電圧を印加した状態でもよい。もちろん、映像信号であるプログラム電流 I_w を書き込む画素行に対応するゲート信号線 17 a にはオン電圧を印加してもよい。以下、図 458 (2) の実施例について説明をする。

10

【2297】

過電流 I_2 の印加期間にソースドライバ回路 (IC) 14 を動作させる。この時、ソースドライバ回路 (IC) 14 の基準電流比を大きくする。なお、基準電流比を制御する構成、方法については以前に説明しているので説明を省略する。図 455 では、基準電流比を 4 (倍) としている。過電流に印加期間の経過後は、つま正規のプログラム電流 I_w を印加する期間では、基準電流比は 1 (倍) とする。

【2298】

図 458 (2) の (a) 期間では、前の 1 H の映像信号が 0 (完全黒表示) から 1 への変化である。したがって、映像信号の変化は $1 - 0 = 1$ と比較的小さい。しかし、図 356 で説明したように、映像信号 0 に対応する電圧 V_0 と、映像信号 1 に対応する電圧 V_1 との電位差は大きい。この要因を考慮し、(a) 期間の前半の $1 / (4 H)$ 期間に基準電流比 4 の電流を印加している。したがって、前半の $1 / (4 H)$ 期間では、ソースドライバ回路 (IC) 14 に正規のプログラム電流 I_w の 4 倍の電流がソース信号線 18 から吸い込まれる。そのため、ソース信号線 18 の電位変化は、正規のプログラム電流 I_w を印加している場合に比較して 4 倍の速度で電荷が放電され、電位変化が生じる。

20

【2299】

(a) 期間の後半の $3 / (4 H)$ 期間では、基準電流比を 1 とし、所定のプログラム電流 I_w が画素 16 a に書き込まれる。この期間は、ゲート信号線 17 p にはオフ電圧が印加され、スイッチ用トランジスタ 11 c p はオフ状態とされる。したがって、過電流 (プリチャージ電流) はソース信号線 18 には印加されない。

30

【2300】

図 458 において、(b) 期間は、(a) 期間の映像信号 1 から映像信号 6 への変化である。つまり、(b) 期間では、映像信号 1 に対応するソース信号線 18 の電位から、映像信号 6 に対応するソース信号線 18 の電位に変化させる必要がある。したがって、映像信号の変化は $6 - 1 = 5$ と比較的大きい。したがって、ソース信号線 18 の電位変化も比較的大きい。

【2301】

この要因を考慮し、(b) 期間の前半の $1 / (2 H)$ 期間では、基準電流比 4 の電流を印加している。(b) 期間の前半の $1 / (2 H)$ 期間では、ゲート信号線 17 p にオン電圧が印加される。前半の $1 / (2 H)$ 期間では、ソースドライバ回路 (IC) 14 に正規のプログラム電流 I_w の 4 倍の電流がソース信号線 18 から吸い込まれる。そのため、ソース信号線 18 の電位変化は、正規のプログラム電流 I_w を印加している場合に比較して 4 倍の速度で電荷が放電され、電位変化が生じる。後半の $1 / (2 H)$ 期間では、ソースドライバ回路 (IC) 14 に正規のプログラム電流 I_w の 1 倍の電流がソース信号線 18 から吸い込まれる。このプログラム電流に対応するように画素 16 a の駆動用トランジスタ 11 a のゲート電位が変化し、プログラム電流 I_w が画素にプログラムされる。

40

【2302】

図 458 (c) においては、基準電流比は 1 で固定する。(b) 期間では、映像信号が 6 である。(c) では映像信号が 1 である。したがって、映像信号の変化は $1 - 6 = -5$ と小さくなっている。したがって、ソース信号線電位は、アノード電位 V_{dd} 側に上昇さ

50

せる必要がある。この場合は、図 380 (b) で説明した画素 16 の駆動用トランジスタ 11 a の動作が主となるため、ソースドライバ回路 (IC) 14 の基準電流比が 1 でよい。画素 16 の駆動用トランジスタ 11 a のドレインゲート端子間は短絡され、ソース信号線 18 に電荷が充電されて電位が上昇する。また、図 457 の (c) 期間 ($t_3 \sim t_4$) のように、プリチャージ電圧を印加してもよいことは言うまでもない。

【2303】

図 458 (d) では、1 H 前のソース信号線 18 の電位が、映像信号 1 に対応する電位 (V_1) である。(d) では、映像信号 10 である。したがって、 $10 - 1 = 9$ と映像信号差は大きい。つまり、ソース信号線 18 の電位も大きく降下させる必要がある。

【2304】

この要因を考慮し、(d) 期間の前半の $3/4$ (4 H) 期間でプリチャージ電流を印加する。したがって、前半の $3/4$ (4 H) 期間では、ソースドライバ回路 (IC) 14 に正規のプログラム電流 I_w の 4 倍の電流がソース信号線 18 から吸い込まれる。そのため、ソース信号線 18 の電位変化は、正規のプログラム電流 I_w を印加している場合に比較して 4 倍の速度で電荷が放電され、電位変化が生じる。(d) 期間の後半の $1/4$ (4 H) 期間では、基準電流比を 1 とし、所定のプログラム電流 I_w が画素 16 a に書き込まれる。この期間は、ゲート信号線 17 p にはオフ電圧が印加され、スイッチ用トランジスタ 11 c p はオフ状態とされる。したがって、過電流 (プリチャージ電流) はソース信号線 18 には印加されない。

【2305】

図 458 における (e) の期間 ($t_5 \sim t_6$) は、1 H 前の期間 ($t_4 \sim t_5$) が映像信号 10 であり、(d) の期間 ($t_5 \sim t_6$) も映像信号が 10 であり、変化がない。したがって、図 455 (e) においては、基準電流比は 1 で固定する。画素 16 は、駆動用トランジスタ 11 a の V_t バラツキ (特性バラツキ) に応じて動作する。ソース信号線 18 には、駆動用トランジスタ 11 a から電流が供給され、ソース信号線 18 に流れ込むプログラム電流 I_w と平衡状態になる電位にソース信号線 18 電位は設定される。

【2306】

以上のように、過電流画素 16 p の過電流駆動用トランジスタ 11 a p の動作と、ソースドライバ回路 (IC) 14 の基準電流比の増大により、ソース信号線 18 の電位変化を早くし、所定のプログラム電流 I_w を画素 16 に書き込む。

【2307】

なお、以上の事項は、図 127 ~ 図 142、図 228 ~ 図 231、図 308 ~ 図 313、図 324、図 328 ~ 図 354、図 380 ~ 図 435、図 445 ~ 図 467 などの回路構成、駆動方法、表示パネル (表示装置) についても適用できることは言うまでもない。また、duty 比制御などの本発明の他の駆動方法と組み合わせることができることも言うまでもない。以上の事項は、以降に説明する本発明の他の実施例においても同様である。

【2308】

以上の実施例は、基準電流比を変化させて過電流をソース信号線 18 に印加する実施例であった。つまり、過電流を印加している期間において、映像信号の大きさを変化させるものではなかった。しかし、本発明はこれに限定するものでない。

【2309】

図 459 は過電流を印加している期間において、映像信号の大きさを変化させた実施例である。図 459 において説明を容易にするため、一例として、過電流印加期間において、映像データは 2 ビットシフト (4 倍) にするとし、基準電流比は 1 倍にするとする。ただし、過電流印加期間において基準電流比を 1 より大きくしてもよいことは言うまでもない。

【2310】

図 459 (1) において、(a) 期間の映像データは 1 とする。映像データは 2 ビットシフトすると、映像信号は 4 となる。この映像データに基づくプログラム電流を前半の (

10

20

30

40

50

1 / (2H)) 期間に印加する。したがって、プログラム電流が1であったも、映像信号4であるから、基準電流を4倍にしたのと同様の効果が発揮される。(a) 期間の後半の1 / (2H) 期間では、基準電流比を1とし、所定のプログラム電流 I_w が画素 16a に書き込まれる。この期間は、ゲート信号線 17p にはオフ電圧が印加され、スイッチ用トランジスタ 11cp はオフ状態とされる。したがって、過電流 (プリチャージ電流) はソース信号線 18 には印加されない。

【2311】

同様に、(b) 期間の映像データは6とする。映像データは2ビットシフトすると、映像信号は24となる。したがって、映像信号4であるから、基準電流を4倍にしたのと同様の効果が発揮される。この映像データに基づくプログラム電流を前半の (1 / (2H)) 10
(b) 期間の後半の1 / (2H) 期間では、基準電流比を1とし、所定のプログラム電流 I_w が画素 16a に書き込まれる。この期間は、ゲート信号線 17p にはオフ電圧が印加され、スイッチ用トランジスタ 11cp はオフ状態とされる。したがって、過電流 (プリチャージ電流) はソース信号線 18 には印加されない。

【2312】

(c) 期間の映像データは1とする。映像データは2ビットシフトしてもよいが、実施例ではシフトしていない。(b) 期間では、映像信号が6である。(c) では映像信号が1である。したがって、映像信号の変化は $1 - 6 = -5$ と小さくなっている。そのため、ソース信号線電位は、アノード電位 V_{dd} 側に上昇させる必要がある。この場合は、プログラム電流を増加させることは逆効果である。したがって、映像データのビットシフトは 20
実施しない。以上の動作は (e) 期間においても適用される。

【2313】

(d) 期間の映像データは10とする。映像データは2ビットシフトすると、映像信号は40となる。したがって、映像信号4であるから、基準電流を4倍にしたのと同様の効果が発揮される。この映像データに基づくプログラム電流を前半の (1 / (2H)) 期間に印加する。(d) 期間の後半の1 / (2H) 期間では、基準電流比を1とし、所定のプログラム電流 I_w が画素 16a に書き込まれる。この期間は、ゲート信号線 17p にはオフ電圧が印加され、スイッチ用トランジスタ 11cp はオフ状態とされる。したがって、過電流 (プリチャージ電流) はソース信号線 18 には印加されない。

【2314】

以上のように、制御あるいは動作させることにより、基準電流比を変化させることなく、ソース信号線 18 に過電流を印加することができる。したがって、ソース信号線 18 の電位変化を短時間で実施でき、所定のプログラム電流を画素 16a (16) にプログラムすることができる。

【2315】

なお、図459(2)は過電流 (プリチャージ電流) を印加する期間を1 / (4H) とした実施例である。他の構成あるいは動作は、図459(1)と同様あるいは類似であるので説明を省略する。また、図459の実施例においても、図457のプリチャージ電圧 (プログラム電圧) を印加すること ((c) 期間)、図458の過電流印加期間を変化することなどと組み合わせてもよいことは言うまでもない。

【2316】

また、図459において、映像データをビットシフトさせてプログラム電流 I_w を増大させるとしたが、本発明はこれに限定するものではない。たとえば、映像信号に一定の定数をかけること、あるいは、一定の定数を加算することなどによりプログラム電流を増大させて過電流 (プリチャージ電流) としてもよいことは言うまでもない。

【2317】

以上のように、過電流画素 16p の過電流駆動用トランジスタ 11ap の動作と、ソースドライバ回路 (IC) 14の映像データのビットシフトなどによるプログラム電流の増大により、ソース信号線 18 の電位変化を早くし、所定のプログラム電流 I_w を画素 16に書き込む。

10

20

30

40

50

【2318】

なお、以上の事項は、図127～図142、図228～図231、図308～図313、図324、図328～図354、図380～図435、図445～図467などの回路構成、駆動方法、表示パネル（表示装置）についても適用できることは言うまでもない。また、duty比制御などの本発明の他の駆動方法と組み合わせることができることも言うまでもない。以上の事項は、以降に説明する本発明の他の実施例においても同様である。

【2319】

以上の実施例では、点灯率を考慮していないが、点灯率も考慮して基準電流比の大きさあるいは基準電流比を増大させる期間を変化あるいは制御することにより、さらに良好な画像表示を実現できる。点灯率が低い時は、低階調の画素が多く、電流駆動方式において書き込み不足が発生しやすいからである。逆に、点灯率が高いときは、プログラム電流 I_w が大きく、書き込み不足が発生しない。したがって、基準電流比を変化させる必要はない。

【2320】

図460は、点灯率に対応して基準電流比の増大期間（過電流印加期間）を変化させた実施例である。なお、基準電流比の変化は、遅延させてあるいはゆっくりとあるいはヒステリシスをもたせて実施する。フリッカが発生するからである。以上の事項は、duty比制御あるいは基準電流比制御の説明でおこなっているため説明を省略する（図93～図116などの説明を参照のこと）。

【2321】

図460において、点灯率0～10%では、過電流の印加期間を1Hの最初から7/8H期間としている。したがって、過電流により急速にソース信号線18電位が上昇し、所定のソース信号線電位に到達する。点灯率10～25%では、過電流の印加期間を1Hの最初から3/4H期間としている。また、点灯率75%以上では、過電流の印加期間を0としている。

【2322】

図461は、点灯率に応じてプリチャージ電流を発生する基準電流比の倍率を変化させた実施例である。図461において、点灯率0～10%では、基準電流比の倍率を20としている。したがって、過電流により急速にソース信号線18電位が上昇し、所定のソース信号線電位に到達する。点灯率50～75%では、基準電流比の倍率を10としている。点灯率75%以上では、基準電流比の倍率を少しずつ低下させ、点灯率100%では、倍率5としている。

【2323】

以上の実施例では、1H期間あるいは所定の期間内では、基準電流比の大きさを固定（一定）としたが、本発明はこれに限定するものではない。なお、基準電流比などを変化させることにより出力電流（プログラム電流 I_w ）が変化する。本発明は、基準電流比を変化あるいは制御することが主目的ではなく、出力電流を変化させることに目的がある。図462に図示するように、ソースドライバ回路（IC）14の出力電流（プログラム電流） I_w は1H期間内に变化させてもよい。図462（a）では、1Hの前半の1/2H期間に出力電流 I_w を変化させている。出力電流は、I32（プログラム電流では階調32に該当する電流）から、I10（プログラム電流では階調10に該当する電流）に変化させている。また、次の1H期間では出力電流は、I20（プログラム電流では階調20に該当する電流）から、I5（プログラム電流では階調5に該当する電流）に変化させている。出力電流 I_w の変化は、基準電流比の変更などにより実現できることは以前に説明したとおりである。

【2324】

図462（b）では、1Hの前半の1/4H期間に出力電流 I_w を固定し、その後の1/4H期間に出力電流 I_w を変化させている。出力電流は、I32（プログラム電流では階調32に該当する電流）から、I10（プログラム電流では階調10に該当す

る電流)に変化させている。また、次の1H期間では出力電流は、 I_{20} (プログラム電流では階調20に該当する電流)から、 I_5 (プログラム電流では階調5に該当する電流)に変化させている。出力電流 I_w の変化は、基準電流比の変更などにより実現できることは以前に説明したとおりである。

【2325】

以上の図460、図461、図462の実施例は、プリチャージ電流の印加に関する実施例であるが、プリチャージ電流をプリチャージ電圧に置きかえて実施例としてもよいことは言うまでもない。たとえば、図460において、低点灯率の場合は、プリチャージ電圧の印加期間を長くし、高点灯率の場合は、プリチャージ電圧の印加期間を短くあるいはプリチャージ電圧を印加しない実施例が例示される。また、図461では、低点灯率の場合は、プリチャージ電圧のアノード電圧に近くし、高点灯率の場合は、プリチャージ電圧の低く(GNDに近づける)する実施例が例示される。

【2326】

以上の実施例は、過電流画素16pの過電流駆動用トランジスタ11apの動作により、過電流(プリチャージ電流)を印加するものであった。しかし、本発明はこれに限定するものではない。図465は本発明の他の実施例である。図464は、1Hの前半の所定の期間にN本の画素行を選択し(過電流印加期間)、1Hの後半の所定の期間に本来のプログラム電流を書き込む1本の画素行を選択して、プログラム電流 I_w を書き込み、順次保持する駆動方法である。

【2327】

以降の実施例では、過電流をソース信号線18に印加する期間は、説明を容易にするため、 $1/(2H)$ とする。しかし、図458などで説明したようにこれに限定するものではない。また、基準電流比の制御、印加波形などに関する事項は、図445～図462などを適用できることは言うまでもない。また、プリチャージ電圧あるいはプリチャージ電流に関する事項あるいは装置の構成もしくは動作などは図127～図142、図228～図231、図308～図313、図324、図328～図354、図380～図435で説明した事項が適用される。したがって、以上に記載している事項は以降において説明を省略する。

【2328】

図464(a1)は、複数のゲート信号線17aを選択し、前記ゲート信号線17aに接続した画素行の駆動用トランジスタ11aからの電流をソース信号線18に印加した状態を示している。なお、以前に説明したが、駆動用トランジスタ11aがソース信号線18に電流を供給する場合もあるが、実際の動作は、ソースドライバ回路(IC)14からの電流により動作する場合もある。

【2329】

図464(a2)は画面144の表示状態を図示している。図464(a2)より選択された画素行に該当する表示領域は非点灯領域192とされる。なお、以上の動作も図19～図27、図54、図271～図279の実施例が適用できることは言うまでもない。また、あるいは組み合わせて実施することができることは言うまでもない。

【2330】

図464(a1)において、ソースドライバ回路(IC)14は基準電流比 K (K は1以上の値) $\times N$ (N は同時に選択した画素行数で整数)で動作する。したがって、出力電流 I_2 は映像信号に対応するプログラム電流 $I_w \times N \times K$ としている。そのため、 I_2 は大きく、ソース信号線18の寄生容量の電荷を短期間で充放電することができる。

【2331】

図464(b2)は画面144の表示状態を図示している。図464(a2)と同様に、1Hの前半で選択された画素行に該当する表示領域は非点灯領域192とされる。なお、以上の動作も図19～図27、図54、図271～図279の実施例が適用できることは言うまでもない。また、あるいは組み合わせて実施することができることは言うまでもない。

【2332】

図464(b1)は1Hの後半の所定の期間の動作を示している。1Hの後半期間では、本来のプログラム電流を書き込む1本の画素行を選択して、プログラム電流 I_w を書き込む。ソースドライバ回路(IC)14はプログラム電流 I_w をソース信号線18に印加する。

【2333】

図465は図464の駆動方法のタイミングチャートである。図465では、同時に選択する画素行数は4画素行の例である。ゲート信号線17aの括弧内の添え字はゲート信号線17aの順番を示している(画面144の一番上の画素行に該当するゲート信号線17aは17a(1)である)。

10

【2334】

図465に図示するように最初の1H期間である(a)期間において、前半の1/(2H)期間には、ゲート信号線17a(1)(2)(3)(4)が選択され、該当の4画素行から電流がソース信号線18に流れ込む(図465(a1)の状態)。(a)期間の後半の1/(2H)期間には、ゲート信号線17a(1)のみが選択され、該当の1画素行にプログラム電流 I_w が供給された電流プログラムが実施される(図465(b1)の状態)。

【2335】

次の1H期間は(b)である。(b)期間では、図465に図示するように、選択する画素行は1画素行シフトされる。最初の1H期間である(b)期間において、前半の1/(2H)期間には、ゲート信号線17a(2)(3)(4)(5)が選択され、該当の4画素行から電流がソース信号線18に流れ込む(図465(a1)の状態)。(b)期間の後半の1/(2H)期間には、ゲート信号線17a(2)のみが選択され、該当の1画素行にプログラム電流 I_w が供給された電流プログラムが実施される(図465(b1)の状態)。

20

【2336】

同様に、次の1H期間は(c)である。(c)期間では、図465に図示するように、選択する画素行は1画素行シフトされる。最初の1H期間である(c)期間において、前半の1/(2H)期間には、ゲート信号線17a(3)(4)(5)(6)が選択され、該当の4画素行から電流がソース信号線18に流れ込む(図465(a1)の状態)。

30

(c)期間の後半の1/(2H)期間には、ゲート信号線17a(3)のみが選択され、該当の1画素行にプログラム電流 I_w が供給された電流プログラムが実施される(図465(b1)の状態)。以上の動作が順次選択する画素行がシフトされ実施される。他の構成動作は、以前に説明した実施例と同様あるいは類似であるので説明を省略する。図464から図465の実施例において、図460と同様に、点灯率に対応して複数画素行を選択する期間を制御することにより良好な画像表示を実現できる。図466はその実施例である。

【2337】

図466は、点灯率に対応して複数画素行を選択する期間(過電流印加期間)を変化させた実施例である。なお、期間の変化は、遅延させてあるいはゆっくりとあるいはヒステリシスをもたせて実施する。フリッカが発生するからである。以上の事項は、duty比制御あるいは基準電流比制御の説明でおこなっているため説明を省略する(図93~図116などの説明を参照のこと)。図460、図461で説明しているので説明を省略する。

40

【2338】

以上の実施例は、選択する画素行数を変化させることにより、過電流(プリチャージ電流)をソース信号線18に印加するものであった。しかし、選択する画素行が1画素行であっても、過電流(プリチャージ電流)を実現できる。図467はその実施例における画素構成である。なお、図467の画素構成の主要な事項は、図31~図34などで説明をしている。したがって、差異を中心に説明する。また、図467などで説明する駆動方式

50

は、図 3 5～図 3 6 などの画素構成においても適用できることは言うまでもない。

【2 3 3 9】

図 4 6 7 の画素構成では、トランジスタ 1 1 a 2 が過電流 ($I_{w1} + I_{w2}$ もしくは I_{w2}) を受け持つトランジスタである。駆動用トランジスタ 1 1 a 1 が E L 素子 1 5 に電流を流すトランジスタである。トランジスタ 1 1 a 1 はトランジスタ 1 1 a 1 より W を大きくし、出力電流を大きくなるように構成している ($I_{w2} > I_{w1}$)。

【2 3 4 0】

過電流を流す時は、ゲート信号線 1 7 a 1、1 7 a 2、1 7 a 3 にオン電圧を印加して、 $I_{w2} + I_{w1}$ の電流をソース信号線 1 8 に印加する。もしくは、ゲート信号線 1 7 a 1、1 7 a 3 にオン電圧を印加して、 I_{w2} の電流をソース信号線 1 8 に印加する。プログラム電流を駆動用トランジスタ 1 1 a 1 に書き込むときは、ゲート信号線 1 7 a 1 にオフ電圧を印加し、ゲート信号線 1 7 a 2、1 7 a 3 にオン電圧を印加して、 I_{w1} の電流をソース信号線 1 8 に印加する (ソースドライバ回路 (I C) 1 4 からプログラム電流 I_w をソース信号線 1 8 に印加する)。

【2 3 4 1】

1 H の前半の $1 / (2 H)$ 期間 ($1 / (2 H)$ 期間に限定するものではない) に、 $I_{w1} + I_{w2}$ もしくは I_{w2} の電流で駆動し、後半の $1 / (2 H)$ 期間には、該当の 1 画素行にプログラム電流 I_{w1} が供給され、電流プログラムが実施される。以上の動作が順次選択する画素行がシフトされ実施される。他の構成動作は、以前に説明した実施例と同様あるいは類似であるので説明を省略する。

【2 3 4 2】

図 4 5 6 が図 4 6 7 の動作のタイミングチャートである。図 4 5 6 に図示するように、1 H の前半の $1 / (2 H)$ 期間 ($1 / (2 H)$ 期間に限定するものではない) に、一例として基準電流比を 4 とし、 $4 \times (I_{w1} + I_{w2})$ もしくは $4 \times I_{w2}$ の電流で駆動される。この際、ゲート信号線 1 7 a 1、1 7 a 2、1 7 a 3 にオン電圧を印加される。後半の $1 / (2 H)$ 期間には、基準電流比は 1 とされ、該当の 1 画素行にプログラム電流 I_{w1} が供給され、電流プログラムが実施される。以上の動作が順次選択する画素行がシフトされ実施される。他の構成動作は、以前に説明した実施例と同様あるいは類似であるので説明を省略する。

【2 3 4 3】

以上の実施例は、プリチャージ電流あるいは電圧駆動に関する実施例であった。この駆動方式を用いることにより、低階調時における E L 素子 1 5 の発光効率の変化によるホワイトバランスずれを補正することができる。しかし、技術的には、以前に説明したプリチャージ駆動と同様であるので、特に差異を中心として説明する。したがって、他の構成、動作、方式、形式などは以前に説明した内容が適用される。また、以前に説明した本発明の明細書の内容と組み合わせて実施することができる。

【2 3 4 4】

E L 素子 1 5 は、印加電流と発光輝度とは直線の関係がある。しかし、印加電流が小さい時は、発光効率が低下する。R G B の E L 素子 1 5 の発光効率が同一比率で低下するのであれば、低階調時においてもホワイトバランスずれは発生しない。しかし、図 4 7 6 に図示するように、R G B の E L 素子 1 5 は特に低階調時に発光効率のバランスずれが発生する。

【2 3 4 5】

図 4 7 6 では、緑 (G) で、3 1 階調以下の発光効率の低下が著しい例である。図 4 7 6 では、赤 (R) の発光効率の変化が小さく、また、青 (B) の発光効率の変化も低階調側で比較的小さい。しかし、緑 (G) の発光効率の低下は大きいため、3 1 階調以下、特に 1 5 階調以下で、大きなホワイトバランスずれが発生し、白ラスタ表示であっても、マゼンダ色になる。

【2 3 4 6】

この課題に対して、低階調側で電圧駆動を実施するか、過電流あるいは嵩上げ電流を印

10

20

30

40

50

加すればよい。つまり、低階調領域において、プリチャージ電圧またはプリチャージ電流駆動を実施する（EL素子15に流す電流が小さい階調でプリチャージ電圧またはプリチャージ電流駆動を実施する）。

【2347】

図477は、低階調領域で、嵩上げ電流 I_k を印加する構成である。なお、嵩上げ電流の構成については、図84とその説明を参照されたい。嵩上げ電流 I_k の制御はスイッチ $K_0 \sim K_3$ で実施する。図477の実施例では、嵩上げ電流は $K_0 \sim K_3$ であるから、4ビットであり、0（なし）から15までの16段階で変化あるいは変更することが可能である。

【2348】

プログラム電流 I_w を発生するトランジスタ群は164ah、164bh、164ch、164dh、164eh、164fh、164gh、164hhで構成され、これらは、スイッチ $D_0 \sim D_7$ で制御される。嵩上げ電流 I_k を発生するトランジスタ群は164ak、164bk、164ck、164dkで構成され、これらは、スイッチ $K_0 \sim K_3$ で制御される。

【2349】

たとえば、階調0では、 K_0 スイッチをクローズし、1単位の嵩上げ電流をプログラム電流に加算する。階調1では、 K_1 スイッチをクローズし、2単位の嵩上げ電流をプログラム電流に加算する。階調2では、 K_0 と K_1 スイッチをクローズし、3単位の嵩上げ電流をプログラム電流に加算する。同様に、階調7は、すべての K スイッチをクローズし、15単位の嵩上げ電流をプログラム電流に加算する。

【2350】

以上の実施例は、階調に応じて規則正しく、 K スイッチを動作させる実施例であったが、本発明はこれに限定するものではない。たとえば、階調0では、すべての K スイッチをクローズし、嵩上げ電流をプログラム電流に加算しない実施例もありえる。階調1では、 K_0 、 K_1 スイッチをクローズし、3単位の嵩上げ電流をプログラム電流に加算し、階調2以上では、すべての K スイッチをクローズし、15単位の嵩上げ電流をプログラム電流に加算する実施例も例示される。なお、嵩上げ電流を加算するか否かは、スイッチ151b2を制御することにより容易に実現できる。他の構成については、以前の実施例で説明しているので省略する。

【2351】

図477では、プリチャージ電圧 V_{pc} は、 V_0 電圧などの低階調用のプリチャージ電圧 $V_{pc} = V_{pL}$ と、 V_{255} 電圧などの高階調用のプリチャージ電圧 $V_{pc} = V_{pH}$ を具備し、スイッチ151aの接点をa接点とb接点で切り換えて駆動できるように構成されている（（図475（b）およびその説明を参照のこと）。また、以前に説明した過電流駆動などを組み合わせて実施できることも言うまでもない。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【2352】

図477では、RGBのうち、1色の回路を図示している。実際には、RGBが独立に構成されている。また、RGBで、嵩上げ電流の大きさ、個数、ビット数を変化あるいは変更してもよいことは言うまでもない。嵩上げ電流の大きさは、基準電流 I_{c2} を変化させることにより容易に実現できる。また、基準電流 I_{c1} と I_{c2} とを共通にすることにより回路構成を容易にできることは言うまでもない。また、嵩上げ電流を出力するトランジスタは単位トランジスタとする必要はなく、階調ごとに対応した嵩上げ電流を出力できるように変化あるいは変更してもよい。RGBに階調に応じて嵩上げ電流を印加することによりホワイトバランスずれが補正（補償あるいは調整）することが容易に実現できる。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【2353】

図477の実施例は、単位トランジスタで嵩上げ電流の出力段を構成した実施例であった。しかし、本発明は、これに限定するものではない。たとえば、図478に図示するよ

10

20

30

40

50

うに、嵩上げ電流 I_k を出力する 1 つまたは複数のトランジスタ 164k で構成してもよい。図 478 の構成で階調に応じた嵩上げ電流を出力するには、基準電流 I_{c2} を変化させればよい。

【2354】

また、図 478 で、階調に応じて嵩上げ電流の大きさを変化させるには、図 479 に図示するようにスイッチ 151b2 のクローズ時間を制御する方法もある。嵩上げ電流用トランジスタ 164k は、比較的大きな嵩上げ電流を出力できるように構成する。スイッチ 151b2 を短期間のクローズでは嵩上げ電流の印加の影響は小さい。スイッチ 151b2 を長時間クローズさせると、ソース信号線 18 の電位変化に対する影響は大きくなる。図 479 では、カウンタ回路 4682 は 1H のスタートパルスでリセットされ、メインクロック CLK でカウントアップされる（図 471 を参照のこと）。カウンタ回路 4782 は RAM に保持された階調あるいは階調変化に対するデータで制御される。カウンタ回路 4682R はソースドライバ回路（IC）14 の赤色のスイッチ（R-SW151b2）を制御する。カウンタ回路 4682G はソースドライバ回路（IC）14 の緑色のスイッチ（G-SW151b2）を制御する。また、同様にカウンタ回路 4682B はソースドライバ回路（IC）14 の青色のスイッチ（B-SW151b2）を制御する。

10

【2355】

図 479 では、G 回路のスイッチ 151b2 がクローズされている期間が最も長く、次に R 回路のスイッチ 151b2 がクローズされている期間が長く、B 回路のスイッチ 151b2 がクローズされている期間が最も短い例である。したがって、嵩上げ電流は、G が最も大きく、次に R が大きく、B が最も短い。そのため、G のホワイトバランスずれ補正が最も大きく、B のホワイトバランスずれ補正が最も小さい。以上のスイッチ 151b2 のクローズ時間を階調あるいは階調差に対応して制御することにより、ホワイトバランスずれを良好に補正することができる。

20

【2356】

以上のように、嵩上げ電流の印加期間で、ソース信号線 18 の電位を制御できるのは、低階調領域でプログラム電流が小さいため、プリチャージ電流駆動あるいはプリチャージ電圧駆動によるソース信号線 18 電位変化が支配的なためである。つまり、低階調における嵩上げ電流駆動は、以前に説明したプリチャージ電流駆動と同様の動作である（図 471、図 472 など参照のこと）。

30

【2357】

図 479 の実施例は、図 477 のスイッチ 151b2 制御にも適用できることは言うまでもない。また、図 477、図 478 の実施例では、プリチャージ電流あるいは嵩上げ電流駆動でホワイトバランスずれを補正するものであったが、プリチャージ電圧駆動でもホワイトバランスずれを補正できることは言うまでもない。プリチャージ電圧駆動によるホワイトバランスずれの補正は、以前に説明したプリチャージ電圧駆動と同様であるので説明を省略する。

【2358】

図 478 などにおいて、スイッチ 151b2 などは 1H の最初からクローズさせるとしたがこれに限定するものではない。1H 期間のいずれの期間にクローズさせても実用上は十分な補正を実現することができる。また、1H 期間に複数回クローズあるいはオープンにしてもよいことは言うまでもない。以上の事項は、本発明の他のスイッチ制御においても適用できることは言うまでもない。

40

【2359】

図 477、図 478 などは、嵩上げ電流をプログラム電流 I_w に加算することにより低階調領域のホワイトバランスずれを補正するものであった。しかし、本発明はこれに限定するものではない。たとえば、図 480 に図示するように、低階調補正用の単位トランジスタ群 164（164a1～164h1 と別途構成してもよい）。

【2360】

図 480 では、低階調補正用の単位トランジスタ群 164 はプログラム電流 I_w を発生

50

する単位トランジスタ群と同期を取って動作する。なお、低階調補正用の単位トランジスタ群 164 は単位トランジスタで構成することには限定するものではなく、図 478 で説明したように大きさが異なるトランジスタで構成してもよい。

【2361】

図 480 の低階調補正用トランジスタ群は、L0～L4 の 5 ビットで制御される。したがって、1 階調目から、31 階調目まで補正することができる。1 階調目の場合は、スイッチ D0 がクローズし、同時にスイッチ L0 もクローズする。したがって、端子 155 には、トランジスタ群 164 a h の単位電流と、トランジスタ 164 a l の単位電流が加算されたものが出力される。同様に、2 階調目の場合は、スイッチ D1 がクローズし、同時にスイッチ L1 もクローズする。したがって、端子 155 には、トランジスタ群 164 b h の 2 単位電流と、トランジスタ 164 b l の 2 単位電流が加算されたものが出力される。また、同様に、4 階調目の場合は、スイッチ D2 がクローズし、同時にスイッチ L2 もクローズする。したがって、端子 155 には、トランジスタ群 164 c h の 4 単位電流と、トランジスタ 164 c l の 4 単位電流が加算されたものが出力される。以下、同様である。しかし、32 階調目の場合は、スイッチ D0～D4 がクローズし、プログラム電流に対応する 32 単位電流が端子 155 に出力されるが、低階調側の単位トランジスタ群 164 は動作しない。図 476 に図示するように 32 階調以上ではホワイトバランスずれを補正する必要がないからである。また、RGB の低階調電流の大きさは、RGB で基準電流 Id1 を異ならせるあるいは調整することにより実現できることは言うまでもない。他の構成は、本発明の他の実施例と同様であるので説明を省略する。

【2362】

以上の実施例と図 479 の実施例とを組み合わせてもよいことは、言うまでもでもない。また、図 480 の実施例では、低階調で、Dn スイッチと Ln スイッチとを同期させて動作させるとしたが、これに限定するものではなく、低階調では、Ln スイッチ（図 480 では、L0～L4）のみを動作させるように構成してもよいことは言うまでもない。32 階調以上の中間階調以上では、すべての 1N スイッチをクローズさせ、Dn スイッチを階調にあわせてクローズさせる。この場合は、図 481 に図示するように、1 点折れ線ガンマとなる。また、図 481 では、青（B）のみに 1 点折れガンマを実施している。赤（R）と青（B）には実施していない。もちろん、RGB に 1 点折れガンマを実施してもよい。また、1 点折れガンマに限定するものではなく、2 点以上の多点折れガンマとしてもよい。なお、この構成は、図 84 でも説明しているので説明を省略する。

【2363】

低階調のホワイトバランスずれは、過電流駆動あるいは図 477～図 480 などの嵩上げ電流駆動などだけでなく、プリチャージ電圧駆動でも補償（補正）することができる。図 482 はその実施例である。図 482 では、階調 3 以下で電圧駆動を実施している。したがって、(b) (c) (d) (e)、(g) の期間が階調 3 以下であるので、1H の期間の間、プリチャージ電圧を印加している。なお、1H の期間すべてにプリチャージ電圧を印加することには限定されるものではない。1H の期間の一部の期間にプリチャージ電圧（プログラム電圧）を実施するものであってもよいことは言うまでもない。

【2364】

図 483 は、過電流駆動（プリチャージ電流駆動）により低階調のホワイトバランスずれを補正するものである。図 483 では、階調 3 以下で過電流駆動を実施している。ただし、過電流の方向は吐き出し電流方向である例である。したがって、(b) (c) (d) (e)、(g) の期間が階調 3 以下であるので、1H の期間の間、プリチャージ電流を印加している。したがって、ソース信号線 18 の電位は直線的にアノード電圧 Vdd の方向に上昇する。なお、1H の期間すべてにプリチャージ電流を印加することには限定されるものではない。1H の期間の一部の期間にプリチャージ電流（+プログラム電流）を実施するものであってもよいことは言うまでもない。

【2365】

図 484 は、プリチャージ電圧を印加した後、過電流駆動（プリチャージ電流駆動）に

より低階調のホワイトバランスずれを補正するものである。図 4 8 4 では、階調 3 以下で本発明の駆動方法を実施している。したがって、(b) (c) (d) (e)、(g) の期間が階調 3 以下であるので、1 H 最初の期間に、階調に対応する V 0 電圧を印加し（プリチャージ電圧を印加し）、同時にあるいは、プリチャージ電圧の印加後に、プリチャージ電流を印加している。ただし、プリチャージ電流の方向はシンク電流（吸い込み電流）の方向である。したがって、(b) (c) (d) (e)、(g) の期間では、1 H の最初にソース信号線 1 8 電位は V 0 電圧になり、プリチャージ電流によりソース信号線 1 8 電位は低下する。ソース信号線 1 8 の電位は直線的に G N D 方向に低下する。なお、1 H の期間すべてにプリチャージ電流を印加することに限定されるものではない。1 H の期間の一部の期間にプリチャージ電流（+プログラム電流）を実施するものであってもよいことは言うまでもない。

10

【2 3 6 6】

以上のように、低階調のホワイトバランスずれの補正にあっても、本発明の過電流駆動、プリチャージ電圧（プログラム電圧）駆動、嵩上げ電流駆動など、あるいは組合せにより改善することができ、全階調範囲で良好なホワイトバランスを実現することができる。なお、以上の実施例は本発明の他の実施例に適用できることは言うまでもない。

【2 3 6 7】

図 3 8 1 ~ 図 4 2 2、図 4 4 5 ~ 図 4 6 7、図 4 7 7 ~ 図 4 8 4 などでは、順次過電流（プリチャージ電流もしくはディスチャージ電流）、嵩上げ電流などを印加するか否かを判断するように説明したが、本発明はこれに限定されるものでない。例えば、インターレース駆動の場合は、第 1 フィールドで奇数画素行に過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、第 2 フィールドで偶数画素行に過電流（プリチャージ電流もしくはディスチャージ電流）するように駆動してもよい。

20

【2 3 6 8】

また、任意のフレームで、過電流（プリチャージ電流もしくはディスチャージ電流）を各画素行に印加し、次のフレームでは、過電流（プリチャージ電流もしくはディスチャージ電流）を全く印加しない駆動方法も例示される。また、各画素行にランダムに過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、複数フレームで平均的に各画素に過電流（プリチャージ電流もしくはディスチャージ電流）が印加されるように駆動してもよい。

30

【2 3 6 9】

また、特定の低階調の画素のみに過電流（プリチャージ電流もしくはディスチャージ電流）を印加する駆動方式が例示される。また、特定の高階調の画素のみに過電流（プリチャージ電流もしくはディスチャージ電流）を印加する駆動方式が例示される。また、特定の中間階調の画素のみに過電流（プリチャージ電流もしくはディスチャージ電流）を印加する構成も例示される。また、1 H または複数 H 前のソース信号線電位（画像データ）から、特定階調範囲の画素に過電流（プリチャージ電流もしくはディスチャージ電流）を印加する構成も例示される。

【2 3 7 0】

図 3 8 1 ~ 図 4 2 2、図 4 7 7 ~ 図 4 8 4 の過電流駆動（電流プリチャージ駆動）などにおける過電流（プリチャージ電流）は、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、d u t y 比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変するとしたが、これに限定するものではない。たとえば、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、基準電流、d u t y 比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。また、フレームレートなどを変更あるいは変化させてもよいことは言うまでもない。

40

【2 3 7 1】

50

たとえば、過電流（プリチャージ電流）の大きさ、印加時間、印加回数などは、図 9 3 から図 1 1 6、図 2 5 2、図 2 6 9 の点灯率、d u t y 比、基準電流と連動あるいは組み合わせてもよい。また、図 1 1 7、図 2 3 6、図 2 3 8、図 2 5 7 のプリチャージ電圧制御と連動あるいは組み合わせてもよい。また、図 1 2 2、図 1 2 3、図 1 2 4、図 1 2 5、図 2 8 0 のアノード電圧制御と連動あるいは組み合わせてもよい。もちろん、図 1 2 7 ～図 1 4 2、図 3 0 8 ～図 3 1 3、図 3 3 2 ～図 3 5 4 で説明した電圧駆動（電圧プリチャージ A）と組み合わせてもよい。また、図 1 4 9、図 1 5 0、図 1 5 1、図 1 5 2、図 1 5 3 の R G B の基準電流制御と連動あるいは組み合わせてもよい。また、図 2 5 3、図 2 5 4 の温度制御の概念を組み合わせてもよい。また、図 2 5 6 のガンマ制御と連動あるいは組み合わせてもよい。また、図 2 5 9、図 3 1 3 などでも説明したフレームレートコントロール（F R C）と連動あるいは組み合わせてもよい。また、図 2 7 7 ～図 2 7 6 の選択ゲート信号線数と連動あるいは組み合わせてもよい。また、図 3 1 5、図 3 1 8 のゲート電圧制御（V g h、V g l）と連動あるいは組み合わせてもよい。また、図 3 1 7 の分割数制御と連動させてもよい。

10

【2 3 7 2】

本発明では、プリチャージ電流あるいはプリチャージ電圧駆動を実施するとした。たとえば、8 ビット（2 5 6 階調）のソースドライバ回路（I C）1 4 で 1 0 2 4 階調を実現するためには、図 3 1 3 で説明したように 4 F R C と組み合わせる。したがって、1 0 2 4 階調で、2 階調目は、2 5 6 階調のソースドライバ回路（I C）1 4 では、0 階調目の出力と 1 階調目の出力とを組み合わせる表示する。したがって、F R C 駆動ではソース信号線 1 8 には、1 H ごとに 0 階調目の電圧（プリチャージ電圧と 1 階調目のプログラム電圧またはプログラム電流）が交互に印加される。この領域は低階調領域であるから、1 階調目は必ずプリチャージ駆動が実施される。プリチャージ駆動はラスター表示でも実施される。プリチャージ駆動すると、電流駆動であっても電圧駆動状態となり表示の均一性が低下する。一方ラスター表示では、たとえ低階調領域であっても書き込み不足は発生しないため、プログラム電流のみで均一表示を実現できる。プリチャージ駆動を実施することにより均一性が低下することは好ましくない。

20

【2 3 7 3】

この課題を解決するため、本発明は、F R C 駆動を実施する場合は、隣接した階調出力の場合（2 5 6 階調のソースドライバ回路（I C）1 4 では、0 階調目の出力と 1 階調目が隣接出力である。また、1 階調目の出力と 2 階調目が隣接出力である）は、プリチャージ駆動は実施しない。つまり、ソース信号線 1 8 に印加される出力が、1 階調分しか差がないときはプリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施しない。F R C によるラスター表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。1 階調差は F R C を実施するため、プリチャージ駆動を実施すると、画面全体に電圧駆動が実施されることになり、各画素 1 6 の駆動用トランジスタ 1 1 a の特性ばらつきが画面 1 4 4 に表示される可能性が高いからである。

30

【2 3 7 4】

なお、F R C とは、隣接した階調を組み合わせる間の階調表示を実現する技術である。たとえば、6 ビット表示（6 4 階調）で 4 F R C を実施すると、約 2 5 6 階調表示を実現できる。この表示方法では、たとえば、1 階調目と 2 階調目（隣接した階調）を組み合わせ、1 階調目と 2 階調目間に 7 階調の表示を実現できる。同様に、2 階調目と 3 階調目（隣接した階調）を組み合わせ、1 階調目と 2 階調目間に 7 階調の表示を実現できる。

40

【2 3 7 5】

2 階調以上の差があるときは、プリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施する（特に低階調領域では実施する）。たとえば、2 5 6 階調のソースドライバ回路（I C）1 4 では、ソース信号線 1 8 に印加する出力が 0 階調目から 2 階調目に変化する時である。また、1 階調目の出力から 3 階調目に変化する時である。2 階調以上変化する時は、F R C 以上の階調変化として判断し、書き込み不足をプリチャージ駆動で解決する。以上の判断は、コントローラ回路（I C）7 6 0 で行う。つまり、2 階調

50

差以上では、F R C 駆動は実施されないからである。

【2376】

さらに実施例を記載すれば、1024階調の6階調目は、256階調のソースドライバ回路（IC）14では、1階調目の出力と2階調目の出力で表示する。ソース信号線18には256階調のソースドライバ回路（IC）14から、1階調目の出力と2階調目の出力が交互にあるいは一定周期で印加される。

【2377】

このように、ソース信号線18に印加する映像データが1階調分の時は、プリチャージ駆動は実施しない。つまり、ソース信号線18に印加される出力が、F R Cを考慮しない階調（本実施例では256階調）で1階調分しか差がないときはプリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施しない。F R Cによるラスタ表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。

【2378】

2階調以上の差があるときは、プリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施する。特に低階調領域で実施する。たとえば、256階調のソースドライバ回路（IC）14では、ソース信号線18に印加する出力が1階調目から3階調目以上に変化する場合は例示される。なお、高階調領域ではプリチャージ駆動を実施する必要がない。書き込み電流が大きいためである。

【2379】

以上はF R Cを実施するときに、本階調（実施例では256階調）で、ソース信号線18に印加する階調数が2階調以上変化する時に、必要に応じてプリチャージ駆動を実施するとした。しかし、本発明はこれに限定するものではない。F R Cを実施しない場合においても、ソース信号線18に印加する階調数が2階調以上変化する時に、必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。

【2380】

ただし、隣接した画素行での変化（ソース信号線18に印加する信号レベルの変化）が1階調差の場合であっても、プリチャージ駆動を実施してもよい。たとえば、自然画を表示する場合は、プリチャージ駆動を実施しても、各画素16の駆動用トランジスタ11aの特性ばらつきはめだたない（白らすたーなどのパターン表示の場合は、駆動用トランジスタ11aの特性ばらつきがめだつ）。したがって、表示画像をコントローラ回路（IC）760で判断して、プリチャージ駆動の実施の有無を決定すればよい。

【2381】

また、 n F R C後の階調で変化する階調数が C とした場合に、 C/n が1よりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。たとえば、4 F R Cで、1024階調表示をする場合、1024階調で変化する階調数が4（ $C=4$ ）であれば、 $4/4=1$ で、プリチャージ駆動は実施しない。1024階調で変化する階調数が5以上（ $C=5$ 以上）であれば、 $5/4>1$ で、必要に応じてプリチャージ駆動を実施する。

【2382】

以上の実施例では、 C/n が1よりも大きい場合に必要に応じてプリチャージ駆動を実施するとして説明したが、 C/n が K よりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよい。 K の値は、点灯率により変化させる。たとえば、4 F R Cで、1024階調表示をする場合、点灯率が70%以上の場合は $K=4$ とし、1024階調で変化する階調数が16（ $C=16$ ）以上であれば、 $16/4=4=K$ で、プリチャージ駆動を実施するとしてもよい。 $C=16$ 未満の場合はプリチャージ駆動を実施しない。また、4 F R Cで、1024階調表示をする場合、点灯率が20%以上の場合は $K=2$ とし、1024階調で変化する階調数が8（ $C=8$ ）以上であれば、 $8/4=2=K$ で、プリチャージ駆動を実施するとしてもよい。 $C=8$ 未満の場合はプリチャージ駆動を実施しない。

【2383】

10

20

30

40

50

前述の実施例では、ソース信号線 18 に印加する出力が 1 階調目から 3 階調目以上に変化する場合など、低階調から高階調に変化する時、3 階調目から 1 階調目以下、10 階調目から 8 階調目以下などのように、高階調から低階調に変化する時に、プリチャージ駆動してもよいことは言うまでもない。なお、所定階調以上の高階調領域ではプリチャージ駆動を実施する必要がない。書き込み電流が大きいためである。

【2384】

以上の事項は、本発明の他の実施例にも適用することができる。また、本発明の他の実施例と組み合わせる実施することができることは言うまでもない。

また、図 127～図 143、図 293、図 311、図 312、図 339～図 344、図 477～図 484 などでも説明したプリチャージ電圧（プログラム電圧と同義あるいは類似）駆動と、図 381～図 422 などでも説明した過電流（プリチャージ電流もしくはディスチャージ電流）とを組み合わせてもよいことは言うまでもない。たとえば、所定画素に印加する映像データが所定の条件を満足する場合に、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、その後、順次過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、さらに 1 H の残りの期間にプログラム電流を印加する方式である）例示される。

【2385】

また、インターレース駆動の場合は、第 1 フィールドで奇数画素行にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、第 2 フィールドで偶数画素行に過電流（プリチャージ電流もしくはディスチャージ電流）を印加する駆動方式が例示される。任意のフレームで、プリチャージ電圧（プログラム電圧と同義あるいは類似）もしくは過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、次のフレームでは、プリチャージ電圧（プログラム電圧と同義あるいは類似）および過電流（プリチャージ電流もしくはディスチャージ電流）を全く印加しない駆動方式も例示される。

【2386】

また、各画素行にランダムにプリチャージ電圧（プログラム電圧と同義あるいは類似）または／および過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、複数フレームで平均的に各画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）または過電流（プリチャージ電流もしくはディスチャージ電流）が印加されるように駆動してもよい。

【2387】

また、特定の低階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、中間階調には過電流（プリチャージ電流もしくはディスチャージ電流）を印加する駆動方式が例示される。

【2388】

また、特定の高階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、低階調の画素には、プリチャージ電圧（プログラム電圧と同義あるいは類似）と過電流（プリチャージ電流もしくはディスチャージ電流）とを適時判断して印加する駆動方式が例示される。

【2389】

また、特定の 1 H 前または複数 H 前の画像データとの差が大きい場合に、過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、0 階調または低階調の場合にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する構成（方式）も例示される。

【2390】

また、1 H または複数 H 前のソース信号線電位（画像データ）から、特定階調範囲の画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）あるいは過電流（プリチャージ電流もしくはディスチャージ電流）を印加する構成（方式）も例示される。

【2391】

以上のように、本発明の駆動方式は、本明細書に記載した駆動方式を組み合わせる用い

10

20

30

40

50

ることができることは言うまでもない。たとえば、図 1 2 7～図 1 4 3、図 2 9 3、図 3 1 1、図 3 1 2、図 3 3 9～図 3 4 4 で説明したプリチャージ電圧（プログラム電圧と同義あるいは類似）駆動などと、図 3 8 1～図 4 2 2、図 4 7 7～図 4 8 4 などでも説明した過電流（プリチャージ電流もしくはディスチャージ電流）駆動などは組み合わせることができる。

【2 3 9 2】

電流プリグラム方式では、ソース信号線 1 8 の寄生容量が課題となる。ソース信号線の寄生容量は、表示画面 1 4 4 内で均一ではない。一般的に画面に周辺部で寄生容量は大きく、中央部で小さい。これは、図 5 2 4 に図示するように、ソースドライバ回路（I C）1 4 から表示領域 1 4 4 に配線するソース信号線 1 8 の配置により寄生容量が変化して形成されるためと思われる。ソースドライバ回路（I C）1 4 から表示領域 1 4 4 間（図 5 2 4 では A の領域）では、ソース信号線 1 8 が斜めに配置されるものがある。

10

【2 3 9 3】

表示領域 1 4 4 の中央部のソース信号線 1 8 f、1 8 g はソースドライバ回路（I C）1 4 から直線的に配置される。したがって、ソース信号線 1 8 f、1 8 g の寄生容量は比較的小さくなる。表示領域 1 4 4 の周辺部のソース信号線 1 8 a、1 8 b、1 8 m、1 8 n はソースドライバ回路（I C）1 4 から斜めに配置される。したがって、ソース信号線 1 8 a、1 8 b、1 8 m、1 8 n の寄生容量は、ソース信号線 1 8 f、1 8 g の寄生容量より大きくなる。

20

【2 3 9 4】

ソース信号線 1 8 の寄生容量が異なると、電流プログラム時のプログラム電流 I w がソース信号線位置に対応して変化する。特に、この現象は低階調領域で発生する。つまり、画面中央部（線対称）から画面周辺部にかけて、輝度傾斜が発生する。

【2 3 9 5】

この課題に対して本発明は、図 5 2 4 のように、ソース信号線 1 8 に絶縁膜 3 2 を形成し、この絶縁膜 3 2 上にコンデンサ電極 5 1 9 1（図 5 1 9 も参照のこと）が形成されている。図 5 1 9 でも説明したが、コンデンサ電極 5 1 9 1 はソース信号線 1 8 の下層などに形成してもよいことは言うまでもない。

【2 3 9 6】

図 5 2 2 は図 5 2 4 の A 箇所の平面図である。図 5 2 2（a）の k 箇所が表示パネルの中央部である（図 5 2 4 の k 位置を参照のこと）。k 箇所の断面図（k k'）を図 5 2 3（b）に示す。図 5 2 2（a）の j 箇所が表示パネルの周辺部である（図 5 2 4 の j 位置を参照のこと）。j 箇所の断面図（j j'）を図 5 2 3（a）に示す。

30

【2 3 9 7】

図 5 2 3 でも明らかなように、図 5 2 3（b）のコンデンサ電極 5 1 9 1 とソース信号線 1 8 とのオーバーラップは、図 5 2 3（a）のコンデンサ電極 5 1 9 1 とソース信号線 1 8 とのオーバーラップよりも大きい。したがって、図 5 2 3（b）のコンデンサ容量の方が、図 5 2 3（a）のコンデンサ容量よりも大きい。したがって、図 5 2 2（a）における k 点のコンデンサ容量の方が、j 点のコンデンサ容量よりも大きい。以上の構成を採用あるいは実現することにより図 5 2 4 の k 点のコンデンサ容量と j 点のコンデンサ容量とを一致させることができる。したがって、低階調での電流プログラム駆動時であっても、画面 1 4 4 に輝度傾斜が発生することはない。

40

【2 3 9 8】

以上の実施例は、コンデンサ電極 5 1 9 1 の電位を一定にする構成であった。コンデンサ容量をソース信号線 1 8 位置によって変化させることが、以上の実施例だけでなく、図 5 2 2（b）の構成によっても実現できる。図 5 2 2（b）は図 5 2 2（a）の等価回路図である。図 5 2 2（a）の L 部が細く作製されているため、等価的に抵抗 R が接続された状態になる（図 5 2 2（b））。

【2 3 9 9】

したがって、図 5 2 2（b）の B 点に電圧を印加すると、B 点から A 点、B 点から C 点

50

にかけて電位傾斜が発生する。したがって、B点付近ではコンデンサ容量が増加し、A点およびC点では、B点に対して相対的にコンデンサ容量が低下する。したがって、図524におけるj点（ソース信号線18の寄生容量が大きい）とk点（ソース信号線18の寄生容量が小さい）とのトータルのコンデンサ容量が一致する。

【2400】

図522（b）のA点、C点、B点など電圧を印加する位置に応じてソースドライバ回路（IC）14から各ソース信号線18をみたコンデンサ容量を変化あるいは変更することができる。したがって、画面の輝度傾斜を補正することができ、また、意図的に輝度傾斜が発生させることもできる。

【2401】

図522では、ソース信号線18上にコンデンサ電極5191を形成するとした。しかし、本発明はこれに限定するものではない。本発明の意図は、ソースドライバ回路（IC）14から各ソース信号線18を見た時、寄生容量（寄生容量に限定するものではない。コンデンサ成分であればよい）が各ソース信号線18で略一致あるいは極力等しくなるように構成するものである。

【2402】

したがって、図522のように、ソース信号線18上にコンデンサ電極5191を形成または配置する構成が一例である。他に、隣接したソース信号線18間に第1の電極を形成し、形成した第1の電極を所定電位とすることによりソース信号線18とこの第1の電極の間に電磁結合させて、コンデンサを構成してよい。第1の電極の形状、位置を画面144の中央部と周辺部で変化させることにより、ソース信号線18のコンデンサ容量を均一化させることができる。

【2403】

隣接したソース信号線18間に溝を形成し、基板30を介して隣接したソース信号線18が電磁結合することを変化あるいは調整することができる。溝を長くすることにより、隣接したソース信号線間の電磁結合は小さくなり、該当ソース信号線18間にコンデンサ容量は小さくなる。また、溝を深くすることにより、隣接したソース信号線間の電磁結合は小さくなり、該当ソース信号線18間にコンデンサ容量は小さくなる。逆に基板30に形成する溝を短くすることにより、隣接したソース信号線間の電磁結合は相対的に大きくなり、該当ソース信号線18間にコンデンサ容量は大きくなる。また、溝を浅くすることにより、隣接したソース信号線間の電磁結合は相対的に大きくなり、該当ソース信号線18間にコンデンサ容量は相対的に大きくなる。

【2404】

図519、図512において、コンデンサ電極5191を形成するとしたが、これに限定するものではない。たとえば、カソード電極36でコンデンサ電極5191を形成してもよい。もしくは、カソード電極36の形成プロセスで、コンデンサ電極5191を形成してもよい。

【2405】

以上のように、電流駆動方式などにおいて、ソース信号線18の寄生容量が、略均一になるように表示パネル（アレイ）を構成したことに特徴を有する。また、寄生容量を制御または可変できることに特徴と有する。また、これらの表示パネル（アレイ）の駆動方法に特徴を有する。

【2406】

以下、本発明のEL表示パネルまたはEL表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図126は情報端末装置の一例としての携帯電話の平面図である。筐体1263にアンテナ1261、テンキー1262などが取り付けられている。1262などが表示色切替キーあるいは電源オンオフ、フレームレート切り替えキーである。

【2407】

キー1262を1度押さえると表示色は8色モードに、つづいて同一キー1262を押

10

20

30

40

50

さえると表示色は4096色モード、さらにキー1262を押さえると表示色は26万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー1262は3つ（以上）となる。

【2408】

キー1262はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「4096色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面144に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。表示色の切り換えは、FRC、プリチャージ駆動などによっても実施できる。FRCあるいはプリチャージ駆動の実施例は以前に説明しているため省略する。

10

【2409】

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部144に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【2410】

1262は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

20

【2411】

本発明の表示パネル（表示装置）において、ブライトネス調整は、duty比制御（図19～図27、図54などを参照のこと）あるいは基準電流比制御（図60、図61、図64、図65などを参照のこと）などにより実施する。特に、図65で説明した基準電流比制御回路の構成では、スイッチ642を切り換えることにより、ホワイトバランスを維持したまま、表示画面144の明るさをリニアに制御あるいは調整することができるので好ましい。ブライトネス調整はコントローラ回路（IC）760によるソフト的制御でもよく、表示パネルの表示部144に表示させたメニューを触れることにより選択するタッチスイッチなどによる調整でもよい。また、外光の強さをホトセンサで検出し、オートマチックに調整する方式でもよい。以上の事項は、コントラスト調整などにも適用できることは言うまでもない。また、duty比制御にも適用できることは言うまでもない。

30

【2412】

表示パネルに重要な機能は、複数のフォーマットの画像を表示できることである。たとえば、デジタルビデオカメラ（DVC）では、NTSCとPAL画像を表示できるようにする必要がある。以下、1つのパネルに複数フォーマットの画像を表示する方法について説明をする。なお、説明を容易にするため、表示パネルは横320RGB×縦240ドットのQVGAパネルであるとし、NTSC画像とPAL画像をこのQVGAの画素数のパネルで表示するとして説明をする。

40

【2413】

図624はNTSCとPAL画像を表示するための説明図である。NTSC画像は横720RGB×縦480ドットとする。また、PAL画像は横720RGB×576ドットであるとする。

【2414】

50

まず、図 6 2 4 (a) に図示するように、NTSC 画面を表示する場合について説明をする。横は NTSC 画像の映像信号は、720 ドットである。QVGA パネルでは、横 320 ドットであるので 720 ドットを 320 ドットに画素間引きを行う必要がある。したがって、9 画素を 8 画素にする画素間引き処理が必要である。この処理方法は後に説明をする。縦は、NTSC 画像の映像信号は有効画素数が 480 ドットである。QVGA パネルでは、240 ドットであるので、2 画素行を 1 画素行に画素間引きをするだけであるから、処理は容易である。つまり、インターレース画像では、第 1 フィールドでは、第 1 フィールドの 240 画素行をそのまま表示する。第 2 フィールドでは第 2 フィールドの 240 画素行をそのまま表示する。

【2415】

図 6 2 4 (b) は、PAL 画面を表示する場合の説明図である。PAL 画像の映像信号は、720 ドットである。一方、縦は、有効走査線数が 576 本である。したがって、インターレース信号の場合では、各フィールドで $576 / 2 = 288$ 画素行となる。NTSC 画面と PAL 画面を QVGA パネルで表示する場合は、NTSC と PAL では、あまりにも各フィールドの画素行数がことなる。つまり、NTSC では 240 画素行であるのに対して、PAL では 288 画素行である。したがって、兼用するため、PAL では画面の一部を表示させる。つまり、横 720 ドット中 640 ドットを表示する ($1 / 2$ では、 $720 / 2$ ドット中 320 ドット (QVGA の横画素数) を表示する。横ドットを削除した割合で、縦方向も削除する。 $288 \times (640 / 720) = 256$ ドットとなる。さらに QVGA の縦ドット数 240 におさめるため、256 ドットを画素間引きし、240 ドットにする。240 ドットにすることのより、真円率が確保される。256 ドットを 240 ドットにするためには、16 ドットを 15 ドットにする必要がある。

【2416】

以上のことから、NTSC では、横画素において、9 ドットを 8 ドットに画素間引きをする方法が重要であり、PAL では縦画素において、16 ドットを 15 ドットに画素間引きをする方法の確立が重要である。

【2417】

本発明は、隣接した画素データを一定の割合で、加算することのより画像データを作成することを特徴とする。また、加算は、 $1 / 2$ 、 $1 / 4$ 、 $1 / 8$ 、 $1 / 16$ など少なくとも分母が 2 の倍数となるようにする (ただし、精度は落ちないようにすること) ものである。また、掛け算をおこなう係数の和を 1 になるようにする。たとえば、第 1 画素に対する係数が $1 / 2$ 倍、 $1 / 4$ 倍、 $1 / 8$ 倍であり、第 2 画素に対する係数が $1 / 8$ 倍であれば、 $1 / 2 + 1 / 4 + 1 / 8 + 1 / 8 = 1$ となる。演算は、各画素の輝度位置を保つようにして行うことがこのましく、また、画面の両端あるいは一方の端は、その他の画素と異なる演算をすることが好ましい。

【2418】

まず、NTSC の横画素の間引き方法について図 6 2 5 を用いて説明をする。説明を容易にするため、NTSC 映像信号の 720 ドットを 2 ドットごとにあらかじめ間引き 360 ドットにし、この 360 ドットに関して、320 ドットに画素間引きをする方法を説明するものである。したがって、9 画素を 8 画素に画素間引きする。なお、720 ドットから 320 ドットに直接に画素間引きしてもよいことは言うまでもない。この場合は、18 ドットを 16 ドットに画素間引きを行う。また、画素間引きの演算は、フィールドで変化させてもよい。

【2419】

図 6 2 5 は、RGB の画素の組を 1 画素として演算を実施したものである。図 6 2 5 において 9 画素とは、360 ドットを 9 画素ずつ分割し、演算を行ったものである。なお、変換前を 9 画素組の第 1 画素、第 2 画素、第 3 画素・・・と呼ぶ。また変換後を 8 画素組の第 1 画素、第 2 画素、第 3 画素・・・と呼ぶ。

【2420】

8 画素組の第 1 画素は、9 画素組の第 1 画素のデータの $1 / 2$ 倍 + $1 / 4$ 倍 + $1 / 8$ 倍

と、9画素組の第2画素データの $1/8$ 倍とを加算する演算を行い、演算結果を8画素組の第1画素とする。なお、演算はビット落ちがないようにする。つまり、 $1/8$ 倍するとは、データを3ビットシフトするのではなく、データを一定の倍数で加えて、加算したデータをビットシフトして結果とする。

【2421】

たとえば、8画素組の第5画素は、9画素組の第5画素のデータの $1/4$ 倍+ $1/8$ 倍と、9画素組の第6画素データの $1/2$ + $1/8$ 倍とを加算する演算を行い、演算結果を8画素組の第5画素とする。この時、9画素組の第5画素データを $250 = B'11111010'$ 、 $117 = B'01110101'$ とすれば、 $250 \times 2 + 250 + 117 \times 4 + 117 = 1335$ となる。この結果 1335 を $1/8$ 倍すると、 $1335/8 = 166$ となる（結果は小数点以下を切捨てる）。以上のように演算すれば、ビット落ちがなく、9画素組の第5画素のデータの $1/4$ 倍+ $1/8$ 倍と、9画素組の第6画素データの $1/2$ + $1/8$ 倍とを加算する演算を行うことができる。以上のように、本発明は、 $1/4$ 倍+ $1/8$ 倍などと表現するが、等価的にデータを $1/4$ 倍+ $1/8$ 倍なるようにする意味である。したがって、演算方法はいずれの方法を用いてもよい。

【2422】

9画素組の第5画素のデータの $1/4$ 倍+ $1/8$ 倍と、9画素組の第6画素データの $1/2$ + $1/8$ 倍である。したがって、使用する係数は、 $1/4$ 、 $1/8$ と $1/2$ と $1/8$ である。係数 $1/4 + 1/8 + 1/2 + 1/8 = 1/1$ となる。本発明は演算の係数の加算値が $1/1$ になるようにしているところにも特徴がある。 $1/1$ になるようにすることにより演算が容易になる。

【2423】

本発明で演算するときは、演算の係数のより倍数を変化させている。9画素組の第5画素のデータの $1/4$ 倍+ $1/8$ 倍と、9画素組の第6画素データの $1/2$ + $1/8$ 倍とを加算する演算を行う場合は、最大の係数が8である。この場合は、 $1/4$ 倍のときは画像データを2倍、 $1/2$ 倍の時は画像データを4倍、 $1/8$ 倍の時は画像データを1倍にして加算する。つまり、最大係数（この実施例では8）の場合を1倍に置き換え、その半分（4である）の場合は2倍、さらにその半分（2である）の場合は4倍にする。そして、加算したデータを最大係数（8である）で割り算する（具体的には3ビット右シフトさせる）。

【2424】

また、最大係数が16の場合は、 $1/16$ を1倍に置き換え、その半分（8である）の場合は2倍、さらにその半分（4である）の場合は4倍にする。さらにその半分（2である）の場合は8倍にする。そして、加算したデータを最大係数（16である）で割り算する（具体的には4ビット右シフトさせる）。

【2425】

以上のように、本発明の演算方法では、 $1/m$ の係数 m を2の倍数とし、演算する係数の加算値を1となるようにすることのより、少ないビット数で演算でき、演算速度も速くすることができる。

【2426】

脱線したが、さらに、図625を用いて説明をする。8画素組の第2画素は、9画素組の第2画素のデータの $1/2$ 倍+ $1/4$ 倍と、9画素組の第3画素データの $1/4$ 倍とを加算する演算を行い、演算結果を8画素組の第2画素とする。

【2427】

同様に、8画素組の第3画素は、9画素組の第3画素のデータの $1/2$ 倍+ $1/8$ 倍と、9画素組の第3画素データの $1/4$ 倍+ $1/8$ 倍とを加算する演算を行い、演算結果を8画素組の第3画素とする。

【2428】

同様に、8画素組の第3画素は、9画素組の第3画素のデータの $1/2$ 倍+ $1/8$ 倍と、9画素組の第3画素データの $1/4$ 倍+ $1/8$ 倍とを加算する演算を行い、演算結果を

10

20

30

40

50

8画素組の第3画素とする。

【2429】

8画素組の第4画素は、9画素組の第4画素のデータの $1/2$ 倍と、9画素組の第5画素データの $1/2$ 倍とを加算する演算を行い、演算結果を8画素組の第4画素とする。

【2430】

8画素組の第5画素は、9画素組の第5画素のデータの $1/4$ 倍+ $1/8$ 倍と、9画素組の第6画素データの $1/2$ 倍+ $1/8$ 倍とを加算する演算を行い、演算結果を8画素組の第5画素とする。

【2431】

8画素組の第6画素は、9画素組の第6画素のデータの $1/4$ 倍と、9画素組の第7画素データの $1/2$ 倍+ $1/4$ 倍とを加算する演算を行い、演算結果を8画素組の第6画素とする。

【2432】

8画素組の第7画素は、9画素組の第7画素のデータの $1/8$ 倍と、9画素組の第8画素データの $1/2$ 倍+ $1/4$ 倍+ $1/8$ 倍とを加算する演算を行い、演算結果を8画素組の第7画素とする。

【2433】

8画素組の第8画素は、9画素組の第8画素のデータの $0/1$ 倍と、9画素組の第9画素データの $1/1$ 倍とを加算する演算を行い、演算結果を8画素組の第8画素とする。

【2434】

なお、演算は第1フィールドと第2フィールドで図625の表を1枠ずらせて行うとよい。画素場引きの境目が目立たなくなる。

【2435】

以上は、9画素を8画素に画素間引きをする方法である。図625の方法は、これに限定するものではなく、他の画素間引きにも適用できる。図626は5画素行を4画素行に画素間引きする方法の実施例である。この場合も、9画素を8画素に間引く方法と同様である。

【2436】

5画素組の第1画素は、5画素組の第1画素のデータの $1/2$ 倍+ $1/4$ 倍と、5画素組の第2画素データの $1/4$ 倍とを加算する演算を行い、演算結果を4画素組の第1画素とする。

【2437】

同様に、4画素組の第2画素は、5画素組の第2画素のデータの $1/2$ 倍と、5画素組の第3画素データの $1/2$ 倍とを加算する演算を行い、演算結果を4画素組の第2画素とする。

【2438】

同様に、4画素組の第3画素は、5画素組の第3画素のデータの $1/4$ 倍と、5画素組の第4画素データの $1/2$ 倍+ $1/4$ 倍とを加算する演算を行い、演算結果を4画素組の第3画素とする。

【2439】

4画素組の第4画素は、5画素組の第4画素のデータの $0/1$ 倍と、5画素組の第5画素データの $1/1$ 倍とを加算する演算を行い、演算結果を4画素組の第4画素とする。

【2440】

以上のように、本発明の演算方法では、 $1/m$ の係数 m を2の倍数とし、演算する係数の加算値を1となるようにすることにより、少ないビット数で演算でき、演算速度も速くすることができる。

【2441】

以上の図625、図626の実施例は、RGBの画素の組を1ドットとして演算を実施したものである。しかし、RGBの画素の組を1ドット単位として実施すると、解像度の低下が発生する。以下の実施例は、この課題を解決するため、変換するパネルの画素位置

10

20

30

40

50

を考慮し、R、G、B個別に行うものである。以下の実施例を実施することにより、QVGAパネルで良好な解像度を実現することができる。

【2442】

図627において、 R_x 、 G_x 、 B_x （ x はドット番号を示す）は、変換前の原映像信号である。原映像信号は、R、G、Bを1組として、720ドット分送られてくる（輝度信号は720ドット分ある）。 X_x 、 Y_x 、 Z_x （ x は画素番号を示す）はパネルの画素を示す。本来は、 R_x 、 G_x 、 B_x と表現するほうが理解しやすいが、原映像信号（画素間引き前の映像信号）と判別ができないので、 X 、 Y 、 Z とした。理解を容易にするには、 $X=R$ 、 $Y=G$ 、 $Z=B$ と考えるとよい。

【2443】

図627において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は720ドットであるから、画素番号は1から720になる。なお、表示方法（演算方向）は左から右とする。下段は、パネルの画素位置を示している。パネルのドット数は、320ドットであるから、画素番号は1から320になる。なお、図627は720ドットを320ドットに画素間引きする実施例である。

【2444】

図627で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。 R_1 、 G_1 、 B_1 から R_3 、 G_3 、 B_3 ドットは、 X_1 、 Y_1 、 Z_1 、 X_2 画素の組と一致する。同様に R_4 、 G_4 、 B_4 から R_6 、 G_6 、 B_6 ドットは、 Y_2 、 Z_2 、 X_3 、 Y_3 画素の組と一致する。以下、同様である。

【2445】

以上のように、原映像信号の3ドットの組（RGBを1ドットと考えて、3ドット分）と、パネルの4画素が一致する。したがって、画素間引きの演算は図628のように行うとよい。なお、図628でも図示しているが、パネルの最初の画素 X_1 と、最後の画素 Z_{320} は、イレギュラー処理を行う（図628（a）（d）を参照のこと）。演算対象の画素がないからである。それ以外は規則正しく演算される。

【2446】

なお、以降の実施例においても、図625と同様に、画像データの1/8倍するなど記載する。1/8倍などを演算する処理方法は図625とその説明で説明したので省略する。

【2447】

図628（a）では、

$$X_1 = R_1 \times 8 / 8$$

$$Y_1 = G_1 \times 3 / 8 + G_2 \times 5 / 8$$

$$Z_1 = B_2 \times 5 / 8 + B_3 \times 3 / 8$$

$$X_2 = R_3 \times 7 / 8 + R_4 \times 1 / 8$$

と演算する。 X_1 は本来、 $R_0 \times 1 / 8 + R_1 \times 7 / 8$ と演算を実施したいところだが、 R_0 データは存在しないので $R_1 \times 8 / 8$ としている。

【2448】

なお、計算の都合上、存在しない R_0 を発生させて演算を行っても良いことはいうまでもない。この場合は、 $X_1 = R_0 \times 1 / 8 + R_1 \times 7 / 8$ と演算を実施することができる。

【2449】

次のブロックは図628（b）で示すように、

$$Y_2 = G_3 \times 1 / 8 + G_4 \times 7 / 8$$

$$Z_2 = B_4 \times 3 / 8 + B_5 \times 5 / 8$$

$$X_3 = R_5 \times 5 / 8 + R_6 \times 3 / 8$$

$$Y_3 = G_6 \times 7 / 8 + G_7 \times 1 / 8$$

と演算する。つまり、第1式の計算の第1の係数は1/8であり、第2の係数は7/8である。この2つの係数を加えると1になる。同様に第2式の計算の第1の係数は3/8で

あり、第2の係数は $5/8$ である。この2つの係数を加えると1になる。また、第3式の計算の第1の係数は $5/8$ であり、第2の係数は $3/8$ である。この2つの係数を加えると1になる。また、第4式の計算の第1の係数は $7/8$ であり、第2の係数は $1/8$ である。この2つの係数を加えると1になるようにしている。

【2450】

さらに、4つの式の第1の係数 $1/8$ 、 $3/8$ 、 $5/8$ 、 $1/8$ を加えると2となる。つまり、2つの式の係数を加えると1となる。式が4つであるから、加算値は2となるようにしている。同様に4つの式の第2の係数 $7/8$ 、 $5/8$ 、 $3/8$ 、 $1/8$ を加えると2となる。つまり、2つの式の係数を加えると1となり、式が4つであるから、加算値は2となるようにしている。

10

【2451】

さらに、1つのブロック内において少なくとも2つに式の係数は、入れ替えるようにしている。たとえば、図628(b)において、2番目の式の第1の係数は、 $3/8$ であり、第2係数が $5/8$ である。3番目の式の第1の係数は、逆に $5/8$ であり、第2係数が $3/8$ である。1番目の式の第1の係数は、 $1/8$ であり、第2係数が $7/8$ である。3番目の式の第1の係数は、逆に $7/8$ であり、第2係数が $1/8$ である。

【2452】

また、組となる式の第1の係数どうしを加算すると1になるようにしている。たとえば、図628(b)において、2番目の式の第1の係数は、 $3/8$ であり、3番目の式の第1係数が $5/8$ である。したがって、 $3/8 + 5/8 = 1/1$ となる。同様に、2番目の式の第2の係数は、 $5/8$ であり、3番目の第2係数が $3/8$ である。したがって、 $5/8 + 3/8 = 8/8 = 1/1 = 1$ となる。

20

【2453】

また、各式の係数の分母は、1、2、1516などというように結果的に2の乗数となるようにしている。なお、分母が2の乗数にしているのは、加算演算をする際に、2の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいふまでもない。図628のように表現した時に、2の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせたことによっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。

30

【2454】

以上のように本発明の方法あるいは方式を実施することにより、解像度が高い画素間引きを実現できる。

【2455】

同様に次のブロックは図628(c)で示すように、

$$Z2 = B6 \times 1/8 + B7 \times 7/8$$

$$X2 = R7 \times 3/8 + R8 \times 5/8$$

$$Y3 = G8 \times 5/8 + G9 \times 3/8$$

$$Z3 = B9 \times 7/8 + B10 \times 1/8$$

40

と演算する。当然先のブロックの演算と同様に、第1式の計算の第1の係数は $1/8$ であり、第2の係数は $7/8$ である。この2つの係数を加えると1になる。同様に第2式の計算の第1の係数は $3/8$ であり、第2の係数は $5/8$ である。この2つの係数を加えると1になる。また、第3式の計算の第1の係数は $5/8$ であり、第2の係数は $3/8$ である。この2つの係数を加えると1になる。また、第4式の計算の第1の係数は $7/8$ であり、第2の係数は $1/8$ である。この2つの係数を加えると1になるようにしている。

【2456】

さらに、4つの式の第1の係数 $1/8$ 、 $3/8$ 、 $5/8$ 、 $1/8$ を加えると2となる。つまり、2つの式の係数を加えると1となり、式が4つであるから、加算値は、2となる

50

ようにしている。同様に4つの式の第2の係数 $7/8$ 、 $5/8$ 、 $3/8$ 、 $1/8$ を加えると2となる。つまり、2つの式の係数を加えると1となり、式が4つであるから、加算値は2となるようにしている。

【2457】

最後の次のブロックは図628(d)で示すように、

・ ・ ・ ・
・ ・ ・ ・

$$Y320 = G719 \times 5/8 + G720 \times 3/8$$

$$Z320 = B720 \times 8/8$$

と演算する。

10

【2458】

Z320は本来、 $B720 \times 7/8 + B721 \times 1/8$ と演算を実施したいところだが、B721データは存在しないので $B720 \times 8/8$ としている。

【2459】

なお、計算の都合上、存在しないB721を発生させて演算を行っても良いことはいうまでもない。この場合は、 $X360 = B720 \times 7/8 + B721 \times 1/8$ と演算を実施することができる。

【2460】

以上の実施例は、720ドットの映像信号を横ドット数320のQVGAパネルの画像表示するための画素間引き方法であった。本発明はこれに限定されるものではなく、他のドット数に変換することに用いることができる。図629は、720ドットの映像信号を360ドットに変換する画素間引き方法である。

20

【2461】

図629においても図627と同様に、 R_x 、 G_x 、 B_x （ x はドット番号を示す）は、変換前の原映像信号である。原映像信号は、R、G、Bを1組として、720ドット分送られてくる（輝度信号は720ドット分ある）。 X_x 、 Y_x 、 Z_x （ x は画素番号を示す）はパネルの画素を示す。

【2462】

図629において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は720ドットであるから、画素番号は1から720になる。なお、表示方法（演算方向）は左から右とする。下段は、パネルの画素位置を示している。パネルのドット数は、360ドットとしているから、画素番号は1から360になる。

30

【2463】

図629で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。R1、G1、B1からR2、G2、B2ドットは、X1、Y1、Z1画素の組と一致する。同様にR3、G3、B3からR4、G4、B4ドットは、X2、Y2、Z3画素の組と一致する。以下、同様である。

【2464】

図630は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図628では式のブロックは4式で構成され、図630では式のブロックは3式で構成される。

40

【2465】

以上のように、原映像信号の2ドットの組（RGBを1ドットと考えて、2ドット分）と、パネルの3画素が一致する。したがって、画素間引きの演算は図630のように行くとよい。なお、図630でも図示しているが、パネルの最初の画素X1と、最後の画素Z360は、イレギュラー処理を行う（図630(a)(f)を参照のこと）。演算対象の画素がないからである。それ以外は規則正しく演算される。

【2466】

なお、以降の実施例においても、図625と同様に、画像データの $1/8$ 倍するなど記載する。図628(a)では、

50

$$X1 = R1 \times 8 / 8$$

$$Y1 = G1 \times 1 / 2 + G2 \times 1 / 2$$

$$Z1 = B2 \times 7 / 8 + B3 \times 1 / 8$$

と演算する（計算あるいは処理をする）。X1は本来、 $R0 \times 1 / 8 + R1 \times 7 / 8$ と演算を実施したいところだか、R0データは存在しないので $X1 = R1 \times 8 / 8$ としている。

【2467】

なお、計算の都合上、存在しないR0を発生させて演算を行っても良いことはいうまでもない。この場合は、 $X1 = R0 \times 1 / 8 + R1 \times 7 / 8$ と演算を実施することができる。

10

【2468】

次のブロックは図630（b）で示すように、

$$X2 = R2 \times 1 / 8 + R3 \times 7 / 8$$

$$Y2 = G3 \times 1 / 2 + G4 \times 1 / 2$$

$$Z2 = B4 \times 7 / 8 + B5 \times 1 / 8$$

と演算する。つまり、第1式の計算の第1の係数は $1 / 8$ であり、第2の係数は $7 / 8$ である。この2つの係数を加えると1になる。同様に第2式の計算の第1の係数は $1 / 2$ であり、第2の係数は $1 / 2$ である。この2つの係数を加えると1になる。また、第3式の計算の第1の係数は $7 / 8$ であり、第2の係数は $1 / 8$ である。この2つの係数を加えると1になる。

20

【2469】

さらに、3つの式の係数 $1 / 8$ 、 $7 / 8$ 、 $1 / 2$ 、 $1 / 2$ 、 $7 / 8$ 、 $1 / 8$ を加えると3となる。つまり、3つの式の係数を加えると3となる。1式あたりの係数の加算値は1となるようにしている。

【2470】

さらに、1つのブロック内において少なくとも2つに式の係数は、入れ替えるようにしている。たとえば、図630（b）において、1番目の式の第1の係数は、 $1 / 8$ であり、第2係数が $7 / 8$ である。3番目の式の第1の係数は、逆に $7 / 8$ であり、第2係数が $1 / 8$ である。

【2471】

また、先の入れ替えの関係にない2番目の式は、第1番目の式の第1の係数は、 $1 / 2$ であり、第2係数も $1 / 2$ である。式の係数は $1 / 2$ と同一にしている。したがって、対応する式は必要がないように構成している。

30

【2472】

また、組となる式の第1の係数どうしを加算すると1になるようにしている。たとえば、図630（b）において、1番目の式の第1の係数は、 $1 / 8$ であり、3番目の式の第1係数が $7 / 8$ である。したがって、 $1 / 8 + 7 / 8 = 8 / 8 = 1 / 1$ となる。

【2473】

また、各式の係数の分母は、1、2、1516などというように結果的に2の乗数となるようにしている。なお、分母が2の乗数にしているのは、加算演算をする際に、2の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図630のように表現した時に、2の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。

40

【2474】

同様に次のブロックは図630（c）で示すように、

$$X3 = R4 \times 1 / 8 + R5 \times 7 / 8$$

50

$$Y\ 3 = G\ 5 \times 1 / 2 + G\ 6 \times 1 / 2$$

$$Z\ 3 = B\ 6 \times 7 / 8 + B\ 7 \times 1 / 8$$

であり、

同様に次のブロックは図 6 3 0 (d) で示すように、

$$X\ 4 = R\ 6 \times 1 / 8 + R\ 7 \times 7 / 8$$

$$Y\ 4 = G\ 7 \times 1 / 2 + G\ 8 \times 1 / 2$$

$$Z\ 4 = B\ 8 \times 7 / 8 + B\ 9 \times 1 / 8$$

とする。

【2 4 7 5】

最後の次のブロックは図 6 3 0 (d) で示すように、 $X\ 3\ 6\ 0 = R\ 7\ 1\ 8 \times 1 / 8 + R\ 7\ 1\ 9 \times 7 / 8$ 10

$$Y\ 3\ 6\ 0 = G\ 7\ 1\ 9 \times 1 / 2 + G\ 7\ 2\ 0 \times 1 / 2$$

$$Z\ 3\ 6\ 0 = B\ 7\ 2\ 0 \times 8 / 8$$

と演算する。

【2 4 7 6】

$Z\ 3\ 6\ 0$ は本来、 $B\ 7\ 2\ 0 \times 7 / 8 + B\ 7\ 2\ 1 \times 1 / 8$ と演算を実施したいところだが、 $B\ 7\ 2\ 1$ データは存在しないので $B\ 7\ 2\ 0 \times 8 / 8$ としている。

【2 4 7 7】

なお、計算の都合上、存在しない $B\ 7\ 2\ 1$ を発生させて演算を行っても良いことはいうまでもない。この場合は、 $X\ 3\ 6\ 0 = B\ 7\ 2\ 0 \times 7 / 8 + B\ 7\ 2\ 1 \times 1 / 8$ と演算を実施 20

【2 4 7 8】

以上の実施例は、正方格子の画素構成の表示パネルの画像を表示する方法であった。本発明の画素間引き方法は、デルタ配置の画素構造にも適用できる。

【2 4 7 9】

図 6 3 1 は 7 2 0 ドットの映像信号を 1 6 0 ドットのデルタ配置に変換する画素間引き方法である。図 6 3 1 においても図 6 2 7 と同様に、 $R\ x$ 、 $G\ x$ 、 $B\ x$ (x はドット番号を示す) は、変換前の原映像信号である。原映像信号は、 R 、 G 、 B を 1 組として、7 2 0 ドット分送られてくる (輝度信号は 7 2 0 ドット分ある)。 $X\ x$ 、 $Y\ x$ 、 $Z\ x$ (x は画素番号を示す) はパネルの画素を示す。また、デルタ配置では 1 画素行ごとに 1 / 2 画素分、画素位置がずれる。したがって、奇数画素行には a の係数をつけ、 $X\ a\ x$ 、 $Y\ a\ x$ 、 $Z\ a\ x$ (x は画素番号を示す) と示し、偶数画素行には b の係数をつけ、 $X\ b\ x$ 、 $Y\ b\ x$ 、 $Z\ b\ x$ (x は画素番号を示す) と示している。 30

【2 4 8 0】

図 6 3 1 において、上段は、原映像信号 (画素間引き前の映像信号) である。したがって、ドット数は 7 2 0 ドットであるから、画素番号は 1 から 7 2 0 になる。なお、表示方法 (演算方向) は左から右とする。ただし、この事項は先の実施例も同様であるが限定されるものではない。また、デルタ配置の位置関係も限定されるものではない。デルタ配置はパネルの種類によって異なるからである。ただし、デルタ配置は、 $R\ G\ B$ をデルタ配置の組として形成または構成されていることはどのパネルでも同様である。 2 段目は、パネルの奇数画素行の画素位置を示している。パネルのドット数は、1 6 0 ドットとしているから、画素番号は 1 から 1 6 0 になる。 3 段目は、パネルの偶数画素行の画素位置を示している。パネルのドット数は、1 6 0 ドットとし、デルタ配置であるから、画素番号は 1 から 1 6 1 になる。 40

【2 4 8 1】

図 6 3 1 で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。 $R\ 1$ 、 $G\ 1$ 、 $B\ 1$ から $R\ 3$ 、 $G\ 3$ 、 $B\ 3$ ドットは、 $X\ a\ 1$ 、 $Y\ a\ 1$ 画素の組と一致する。同様に $R\ 4$ 、 $G\ 4$ 、 $B\ 4$ から $R\ 6$ 、 $G\ 6$ 、 $B\ 6$ ドットは、 $Z\ a\ 1$ 、 $X\ a\ 2$ 画素の組と一致する。以下、同様である。また、偶数画素行は、奇数画素行に対して 1 / 2 画素ずれて配置されている。 50

【2482】

図632(1)は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図631では式のブロックは2式で構成される。まず、説明を容易にするため、図632(1)を用いて奇数画素行の処理方法を先に説明をする。

【2483】

以上のように、原映像信号の3ドットの組(RGBを1ドットと考えて、3ドット分)と、パネルの2画素が一致する。なお、以降の実施例においても、図625などと同様に、画像データの3/4倍するなど記載する。

【2484】

図632(1)(a)では、

$$Xa1 = R1 \times 3/4 + R2 \times 1/4$$

$$Ya1 = G2 \times 1/4 + G3 \times 3/4$$

と演算する(計算あるいは処理をする)。

【2485】

つまり、第1式の計算の第1の係数は3/4であり、第2の係数は1/4である。この2つの係数を加えると1になる。同様に第2式の計算の第1の係数は1/4であり、第2の係数は3/4である。この2つの係数を加えると1になる。

【2486】

さらに、3つの式の係数3/4、1/4、1/4、3/4を加えると2となる。つまり、2つの式の係数を加えると2となる。1式あたりの係数の加算値は1となるようにしている。

【2487】

さらに、1つのブロック内において2つに式の係数は、入れ替えるようにしている。たとえば、図632(1)において、1番目の式の第1の係数は、3/4であり、第2係数が1/4である。2番目の式の第1の係数は、逆に1/4であり、第2係数が3/4である。

【2488】

また、組となる式の第1の係数どうしを加算すると1になるようにしている。たとえば、図632(1)において、1番目の式の第1の係数は、3/4であり、2番目の式の第1係数が1/4である。したがって、 $3/4 + 1/4 = 4/4 = 1/1$ となる。

【2489】

また、各式の係数の分母は、1、2、4などというように結果的に2の乗数となるようにしている。なお、分母が2の乗数にしているのは、加算演算をする際に、2の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図632のように表現した時に、2の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。

【2490】

次のブロックは図632(1)(b)で示すように、

$$Za1 = B4 \times 3/4 + B5 \times 1/4$$

$$Xa2 = R5 \times 1/4 + R6 \times 3/4$$

と演算する。

【2491】

同様に次のブロックは図632(1)(c)で示すように、

$$Ya2 = G7 \times 3/4 + G8 \times 1/4$$

$$Za2 = B8 \times 1/4 + B9 \times 3/4$$

とする。以下同様である。

【2492】

次に、図632(2)を用いて偶数画素行の処理方法について説明をする。なお、説明を容易にするため、奇数画素行が左位置から画素が配置され、偶数画素行が0.5画素奇数画素行右にずれて配置されているとするが、これに限定されるものではない。したがって、パネルの画素配置によっては図632(1)と図632(2)は入れ替わるし、また、計算は1式あるいは2式分以上シフトして開始される場合がある。

【2493】

図632(2)(a)では、

$$Zb1 = B2 \times 1 / 1 \quad Xb2 = R3 \times 1 / 2 + R4 \times 1 / 2$$

10

と演算する(計算あるいは処理をする)。

【2494】

第1式の係数は1つしかない。しかし、係数は1/1である。1つの係数で1式あたりの係数の加算値は1となるから、本発明の処理方法を満足する。したがって、第2の係数は不要である。

【2495】

第2式の計算の第1の係数は1/2であり、第2の係数は1/2である。この2つの係数を加えると1になる。

【2496】

さらに、2つの式の係数1/1、1/2、1/2を加えると2となる。つまり、2つの式の係数を加えると2となる。1式あたりの係数の加算値は1となるようにしている。

20

【2497】

次のブロックは図632(2)(b)で示すように、

$$Yb2 = G5 \times 1 / 1$$

$$Zb2 = B6 \times 1 / 2 + B7 \times 1 / 2$$

と演算する。

【2498】

同様に次のブロックは図632(2)(c)で示すように、

$$Xb3 = G8 \times 1 / 1$$

$$Yb3 = G8 \times 1 / 2 + G9 \times 1 / 2$$

30

とする。以下同様である。

【2499】

なお、最後のブロックは図632(2)(h)で示すように、イレギュラー処理をする必要がある。図632(2)(a)で示しているように画素の開始位置がZから始まっているためである。したがって、最後のブロックは、

$$Xb161 = R719 \times 1 / 1$$

とする必要がある。

【2500】

以上の実施例は、160ドットのデルタ配置に画素間引きをする方法であった。本発明は他の画素構成のデルタ配置の画素構造にも適用できる。

40

【2501】

図633は720ドットの映像信号を180ドットのデルタ配置に変換する画素間引き方法である。図633においても図627と同様に、Rx、Gx、Bx(xはドット番号を示す)は、変換前の原映像信号である。原映像信号は、R、G、Bを1組として、720ドット分送られてくる(輝度信号は720ドット分ある)。Xx、Yx、Zx(xは画素番号を示す)はパネルの画素を示す。また、デルタ配置では1画素行ごとに1/2画素分、画素位置がずれる。したがって、奇数画素行にはaの係数をつけ、Xax、Yax、Zax(xは画素番号を示す)と示し、偶数画素行にはbの係数をつけ、Xbx、Ybx、Zbx(xは画素番号を示す)と示している。

【2502】

50

図 6 3 3 において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は 7 2 0 ドットであるから、画素番号は 1 から 7 2 0 になる。なお、表示方法（演算方向）は左から右とする。ただし、この事項は先の実施例も同様であるが限定されるものではない。また、デルタ配置の位置関係も限定されるものではない。デルタ配置はパネルの種類によって異なるからである。ただし、デルタ配置は、R G B をデルタ配置の組として形成または構成されていることはどのパネルでも同様である。2 段目は、パネルの奇数画素行の画素位置を示している。パネルのドット数は、1 8 0 ドットとしているから、画素番号は 1 から 1 8 0 になる。3 段目は、パネルの偶数画素行の画素位置を示している。パネルのドット数は、1 8 0 ドットとし、デルタ配置であるから、画素番号は 1 から 1 8 1 になる。

10

【2 5 0 3】

図 6 3 3 で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。R 1、G 1、B 1 から R 4、G 4、B 4 ドットは、X a 1、Y a 1、Z a 1 画素の組と一致する。同様に R 5、G 5、B 5 から R 8、G 8、B 8 ドットは、X a 2、Y a 2、Z a 2 画素の組と一致する。以下、同様である。また、偶数画素行は、奇数画素行に対して 1 / 2 画素ずれて配置されている。

【2 5 0 4】

図 6 3 4 (1) は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図 6 3 4 では式のブロックは 3 式で構成される。まず、説明を容易にするため、図 6 3 4 (1) を用いて奇数画素行の処理方法を先に説明をする。

20

【2 5 0 5】

以上のように、原映像信号の 4 ドットの組（R G B を 1 ドットと考えて、4 ドット分）と、パネルの 3 画素が一致する。なお、以降の実施例においても、図 6 2 5 などと同様に、画像データの 7 / 8 倍するなど記載する。

【2 5 0 6】

図 6 3 4 (1) (a) では、

$$X a 1 = R 1 \times 7 / 8 + R 2 \times 1 / 8$$

$$Y a 1 = G 2 \times 1 / 2 + G 3 \times 1 / 2$$

$$Z a 1 = R 3 \times 1 / 8 + R 4 \times 7 / 8$$

30

と演算する（計算あるいは処理をする）。

【2 5 0 7】

つまり、第 1 式の計算の第 1 の係数は 7 / 8 であり、第 2 の係数は 1 / 8 である。この 2 つの係数を加えると 1 になる。同様に第 2 式の計算の第 1 の係数は 1 / 2 であり、第 2 の係数は 1 / 2 である。この 2 つの係数を加えると 1 になる。同様に第 3 式の計算の第 1 の係数は 1 / 8 であり、第 2 の係数は 7 / 8 である。この 2 つの係数を加えると 1 になる。

【2 5 0 8】

さらに、3 つの式の係数 7 / 8、1 / 8、1 / 2、1 / 2、1 / 8、7 / 8 を加えると 3 となる。つまり、3 つの式の係数を加えると 3 となる。1 式あたりの係数の加算値は 1 となるようにしている。

40

【2 5 0 9】

さらに、1 つのブロック内において 2 つに式の係数は、入れ替えるようにしている。たとえば、図 6 3 4 (1) において、1 番目の式の第 1 の係数は、7 / 8 であり、第 2 係数が 1 / 8 である。3 番目の式の第 1 の係数は、逆に 1 / 8 であり、第 2 係数が 7 / 8 である。

【2 5 1 0】

また、各式の係数の分母は、1、2、4 などというように結果的に 2 の乗数となるようにしている。なお、分母が 2 の乗数にしているのは、加算演算をする際に、2 の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは

50

変更して行っても良いことはいうまでもない。図 6 3 4 のように表現した時に、2 の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよって行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。つまり、本発明は、何らかの手段を用いて図 6 3 4 の処理が行うことができればいずれの方法あるいは方式であってもよい。

【2 5 1 1】

次のブロックは図 6 3 4 (1) (b) で示すように、

$$X a 2 = R 5 \times 7 / 8 + R 6 \times 1 / 8$$

$$Y a 2 = G 6 \times 1 / 2 + G 7 \times 1 / 2$$

$$Z a 2 = B 7 \times 1 / 8 + B 8 \times 7 / 8$$

と演算する。

【2 5 1 2】

同様に次のブロックは図 6 3 4 (1) (c) で示すように、

$$X a 3 = R 9 \times 7 / 8 + R 10 \times 1 / 8$$

$$Y a 3 = G 10 \times 1 / 2 + G 11 \times 1 / 2$$

$$Z a 3 = B 11 \times 1 / 8 + B 12 \times 7 / 8$$

とする。以下同様である。

【2 5 1 3】

次に、図 6 3 4 (2) を用いて偶数画素行の処理方法について説明をする。なお、説明を容易にするため、奇数画素行が左位置から画素が配置され、偶数画素行が 0.5 画素奇数画素行右にずれて配置されているとするが、これに限定されるものではない。したがって、パネルの画素配置によっては図 6 3 4 (1) と図 6 3 4 (2) は入れ替わるし、また、計算は 1 式あるいは 2 式分以上シフトして開始される場合がある。

【2 5 1 4】

図 6 3 4 (2) (a) では、

$$Z b 1 = B 1 \times 1 / 8 + B 2 \times 7 / 8$$

と演算する（計算あるいは処理をする）。

【2 5 1 5】

また、図 6 3 4 (2) (b) では、

$$X b 181 = B 719 \times 7 / 8 + B 720 \times 7 / 8$$

と演算する（計算あるいは処理をする）。

【2 5 1 6】

以上の (a) (h) ではイレギュラーのブロックである。これはデルタ配置の画素配置からくるものであり、計算処理として差異はない。

【2 5 1 7】

つまり、第 1 の係数は $1/8$ または $7/8$ であり、第 2 の係数は $7/8$ または $1/8$ である。この 2 つの係数を加えると 1 になる。

【2 5 1 8】

図 6 3 4 (1) (b) では、

$$X b 2 = R 3 \times 7 / 8 + R 4 \times 1 / 8$$

$$Y b 2 = G 4 \times 1 / 2 + G 5 \times 1 / 2$$

$$Z b 2 = R 5 \times 1 / 8 + R 6 \times 7 / 8$$

と演算する（計算あるいは処理をする）。

【2 5 1 9】

つまり、第 1 式の計算の第 1 の係数は $7/8$ であり、第 2 の係数は $1/8$ である。この 2 つの係数を加えると 1 になる。同様に第 2 式の計算の第 1 の係数は $1/2$ であり、第 2 の係数は $1/2$ である。この 2 つの係数を加えると 1 になる。同様に第 3 式の計算の第 1

10

20

30

40

50

の係数は $1/8$ であり、第 2 の係数は $7/8$ である。この 2 つの係数を加えると 1 になる。

【2520】

さらに、3 つの式の係数 $7/8$ 、 $1/8$ 、 $1/2$ 、 $1/2$ 、 $1/8$ 、 $7/8$ を加えると 3 となる。つまり、3 つの式の係数を加えると 3 となる。1 式あたりの係数の加算値は 1 となるようにしている。

【2521】

さらに、1 つのブロック内において 2 つに式の係数は、入れ替えるようにしている。たとえば、図 634 (2) (b) において、1 番目の式の第 1 の係数は、 $7/8$ であり、第 2 係数が $1/8$ である。3 番目の式の第 1 の係数は、逆に $1/8$ であり、第 2 係数が $7/8$ である。

10

【2522】

次のブロックは図 634 (2) (c) で示すように、

$$Xb3 = R7 \times 7/8 + R8 \times 1/8$$

$$Yb3 = G8 \times 1/2 + G9 \times 1/2$$

$$Zb3 = B9 \times 1/8 + B10 \times 7/8$$

と演算する。

【2523】

同様に次のブロックは図 634 (2) (d) で示すように、

$$Xb4 = R11 \times 7/8 + R12 \times 1/8$$

$$Yb4 = G12 \times 1/2 + G13 \times 1/2$$

$$Zb4 = B13 \times 1/8 + B14 \times 7/8$$

とする。以下同様である。

20

【2524】

以上の実施例は、横方向の画素間引き処理であった。以下、縦方向の画素間引き処理方法について説明をする。先にも説明したように、PAL 画像の映像信号は、720 ドットである。一方、縦は、有効走査線数が 576 本である。したがって、インターレース信号の場合では、各フィールドで $576/2 = 288$ 画素行となる。NTSC 画面と PAL 画面を QVGA パネルで表示する場合は、NTSC と PAL では、あまりにも各フィールドの画素行数が異なる。つまり、NTSC では 240 画素行であるのに対して、PAL では 288 画素行である。したがって、兼用するため、PAL では画面の一部を表示させる。つまり、横 720 ドット中 640 ドットを表示する ($1/2$ では、 $720/2$ ドット中 320 ドット (QVGA の横画素数) を表示する。横ドットを削除した割合で、縦方向も削除する。 $288 \times (640/720) = 256$ ドットとなる。さらに QVGA の縦ドット数 240 におさめるため、256 ドットを画素間引きし、240 ドットにする。240 ドットにすることにより、真円率が確保される。256 ドットを 240 ドットにするためには、16 ドットを 15 ドットにする必要がある。以上のことから、PAL では縦画素において、16 ドットを 15 ドットに画素間引きをする方法の確立が重要である。

30

【2525】

PAL 画像では、16 画素行を 15 画素行に画素間引きする方法を実現する必要がある。図 635 は、16 画素行を 15 画素行に画素間引きする方法の説明図である。なお、図 635 において、(1) は第 1 フィールドの処理方法であり、(2) は第 2 フィールドの処理方法である。したがって、処理は (1) (2) が逆であってもよい。

40

【2526】

図 635 は 256 画素行の映像信号を 240 画素行に変換する画素間引き方法である。図 635 において、 R_x 、 G_x 、 B_x (x は画素行番号を示す) は、変換前の原映像信号である。 X_x 、 Y_x 、 Z_x の x は画素行番号を示す。

【2527】

処理は上下の画素において $1/16$ ずつ変化させる。図 635 (1) (a) において、

$$X1 = R1 \times 15/16 + R2 \times 1/16$$

50

$$Y1 = G1 \times 15 / 16 + G2 \times 1 / 16$$

$$Z1 = R1 \times 15 / 16 + R2 \times 1 / 16$$

と演算する（計算あるいは処理をする）。

【2528】

第1式から第3式の計算の第1の係数は15/16であり、第2の係数は1/16である。この2つの係数を加えると1になる。

【2529】

また、各式の係数の分母は、1、2、15/16などというように結果的に2の乗数となるようにしている。なお、分母が2の乗数にしているのは、加算演算をする際に、2の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図634のように表現した時に、2の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。つまり、本発明は、何らかの手段を用いて図634の処理が行うことができればいずれの方法あるいは方式であってもよい。

【2530】

次のブロックは図635(1)(b)で示すように、

$$X2 = R2 \times 14 / 16 + R3 \times 2 / 16$$

$$Y2 = G2 \times 14 / 16 + G3 \times 2 / 16$$

$$Z2 = R2 \times 14 / 16 + R3 \times 2 / 16$$

と演算する（計算あるいは処理をする）。

【2531】

第1式から第3式の計算の第1の係数は14/16であり、第2の係数は2/16である。この2つの係数を加えると1になる。

【2532】

同様に次のブロックは図635(1)(c)で示すように、

$$X3 = R3 \times 13 / 16 + R4 \times 3 / 16$$

$$Y3 = G3 \times 13 / 16 + G4 \times 3 / 16$$

$$Z3 = R3 \times 13 / 16 + R4 \times 3 / 16$$

と演算する（計算あるいは処理をする）。

【2533】

第1式から第3式の計算の第1の係数は13/16であり、第2の係数は3/16である。この2つの係数を加えると1になる。

【2534】

以下、同様に第1の係数の分子を1ずつ少なくし、第2の係数を1ずつ多くする。以上の処理を行い15番目のブロックは、図635(1)(e)で示すように、

$$X15 = R15 \times 1 / 16 + R16 \times 15 / 16$$

$$Y15 = G15 \times 1 / 16 + G16 \times 15 / 16$$

$$Z15 = R15 \times 1 / 16 + R16 \times 15 / 16$$

と演算する（計算あるいは処理をする）。

【2535】

15のブロックは繰り返され、図635(1)(a)と同様に、図635(1)(f)で示すように、

$$X16 = R16 \times 15 / 16 + R17 \times 1 / 16$$

$$Y16 = G16 \times 15 / 16 + G17 \times 1 / 16$$

$$Z16 = R16 \times 15 / 16 + R17 \times 1 / 16$$

と演算する（計算あるいは処理をする）。

【2536】

ブロックの繰り返しは、図636に図示している。図636は256画素行を240画素行に画素間引きする概念図である。256画素行は、16画素行ずつブロックに分割される。つまり、1～16画素行、17～32画素行、33～48画素行、・・・・・・・251～256画素行である。各ブロックの16画素行が15画素行に画素間引きされる。

【2537】

図635(1)の処理が第1フィールドと第2フィールドで、同一に行うと15画素行ごとにブロックすじが発生する。したがって、第2フィールドでは第1フィールドと処理を変化させる。具体的には、1ブロックの係数をずらせる。なお、図635(2)は下方

10

【2538】

処理は上下の画素において1/16ずつ変化させ点において、図635(1)と同様である。第2フィールドでは、図635(2)(a)に示すように、

$$X1 = R1 \times 16 / 16$$

$$Y1 = G1 \times 16 / 16$$

$$Z1 = R1 \times 16 / 16$$

と演算する(計算あるいは処理をする)。

【2539】

第1式から第3式の計算の第1の係数は16/16であるから1である。

20

【2540】

次のブロックでは、図635(2)(b)に示すように、

$$X2 = R2 \times 15 / 16 + R3 \times 1 / 16$$

$$Y2 = G2 \times 15 / 16 + G3 \times 1 / 16$$

$$Z2 = R2 \times 15 / 16 + R3 \times 1 / 16$$

と演算する(計算あるいは処理をする)。

【2541】

第1式から第3式の計算の第1の係数は15/16であり、第2の係数は1/16である。この2つの係数を加えると1になる。

【2542】

次のブロックは図635(2)(c)で示すように、

$$X3 = R3 \times 14 / 16 + R4 \times 2 / 16$$

$$Y3 = G3 \times 14 / 16 + G4 \times 2 / 16$$

$$Z3 = R3 \times 14 / 16 + R4 \times 2 / 16$$

と演算する(計算あるいは処理をする)。

【2543】

第1式から第3式の計算の第1の係数は14/16であり、第2の係数は2/16である。この2つの係数を加えると1になる。

【2544】

同様に次のブロックは図635(2)(d)で示すように、

$$X4 = R4 \times 13 / 16 + R5 \times 3 / 16$$

$$Y4 = G4 \times 13 / 16 + G5 \times 3 / 16$$

$$Z4 = R4 \times 13 / 16 + R5 \times 3 / 16$$

と演算する(計算あるいは処理をする)。

【2545】

第1式から第3式の計算の第1の係数は13/16であり、第2の係数は3/16である。この2つの係数を加えると1になる。

【2546】

以下、同様に第1の係数の分子を1ずつ少なくし、第2の係数を1ずつ多くする。以上の処理を行い15番目のブロックは、図635(1)(e)で示すように、

50

$$X15 = R15 \times 2 / 16 + R16 \times 14 / 16$$

$$Y15 = G15 \times 2 / 16 + G16 \times 14 / 16$$

$$Z15 = R15 \times 2 / 16 + R16 \times 14 / 16$$

と演算する（計算あるいは処理をする）。

【2547】

15のブロックは繰り返され、図635(2)(b)と同様に、図635(2)(f)で示すように、

$$X16 = R16 \times 1 / 16 + R17 \times 15 / 16$$

$$Y16 = G16 \times 1 / 16 + G17 \times 15 / 16 \quad Z16 = R16 \times 1 / 16 + R17 \times 15 / 16$$

と演算する（計算あるいは処理をする）。

【2548】

以上の方法を採用することにより、高精細の画像表示を実現することができる。

【2549】

図154は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図154において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【2550】

ボデー1263の裏面は暗色あるいは黒色にされている。これは、EL表示パネル（表示装置）1264から出射した迷光がボデー1263の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）38、偏光板39などが配置されている。このことは図3、図4でも説明している。

【2551】

接眼リング1541には拡大レンズ1542が取り付けられている。観察者は接眼リング1541をボデー1263内での挿入位置を可変して、表示パネル1264の表示画面144にピントがあうように調整する。

【2552】

また、必要に応じて表示パネル1264の光出射側に正レンズ1543を配置すれば、拡大レンズ1542に入射する主光線を収束させることができる。そのため、拡大レンズ1542のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【2553】

図155はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部1552とビデオカメラ本体1263と具備し、撮影レンズ部1552とビューファインダ部1263とは背中合わせとなっている。また、ビューファインダ（図154も参照）1263には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル1264の表示画面144を観察する。

【2554】

一方、本発明のEL表示パネルは表示モニターとしても使用されている。表示部144は支点1551で角度を自由に調整できる。表示部144を使用しない時は、格納部1553に格納される。

【2555】

スイッチ1554は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ1554は表示モード切り替えスイッチである。スイッチ1554は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ1554について説明をする。

【2556】

本発明の駆動方法の1つにN倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル

10

20

30

40

50

的に変更することができる。たとえば、 $N = 4$ として、EL素子15には4倍の電流を流す。点灯期間を $1/M$ とし、 $M = 1, 2, 3, 4$ と切り替えれば、1倍から4倍までの明るさ切り替えが可能となる。なお、 $M = 1, 1.5, 2, 3, 4, 5, 6$ などと変更できるように構成してもよい。

【2557】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面144を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとEL素子15は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるような構成しておく。

【2558】

したがって、ユーザーがボタン1554で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【2559】

なお、表示画面144はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明ければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの $1/M$ の期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【2560】

具体的には、画面の上部と下部ではMの値と大きくし、中央部でMの値を小さくする。これは、ゲートドライバ回路12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角 0.9° ）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角 0.9° ）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

【2561】

ガウス分布は、基準電流を変化させること（たとえば、画面の中央部で基準電流比を大きくし、画面の上下部で基準電流比を小さくする）、duty比を変化させること（たとえば、画面の中央部でduty比を大きくし、画面の上下部でduty比を小さくする）、プリチャージ電流あるいはプリチャージ電圧などを変化させることによっても実現できることはいうまでもない。

【2562】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことがこのましい。

【2563】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光

10

20

30

40

50

型の表示デバイス特有の効果である。

【2564】

図3で説明したように、カソード電極36はアルミからなる薄膜で形成または構成される。アルミからなる薄膜は鏡面性を有し、反射率が高いため鏡として利用できる。したがって、EL表示パネルは、表面は画面144として画像表示に利用し、裏面は鏡として利用することができる。ただし、乾燥剤37はカソード36から鏡面を遮光しないように、使用領域の周辺部に配置する。

【2565】

図325は本発明の表示装置の断面図である。図325は表面を画像表示画面144として利用（B方向からみる）し、A方向から見ることににより鏡として利用できるように構成した本発明の表示装置である。表示パネル1264は支点1551で回転できるように構成されている。したがって、パネル1264の保持角度によって、鏡として利用したり、モニターとして利用したりすることを容易に実現できる。

【2566】

また、図326は鏡として利用したり、モニターとして利用したりできる表示装置の第2の実施例である。図326（a）がEL表示パネルをモニターとして使用している状態であり、図326（c）が鏡として利用している状態である。図326（b）はモニター使用状態から鏡使用状態もしくは鏡使用状態からモニター使用状態への変更状態である。

【2567】

図326（a）ではパネル1264の格納部1561にパネル1264が格納されている。鏡として使用する時には、図326（b）に図示するように、パネル1264を格納部1561から取り出し、支点1551で回転させてパネル1264の表と裏とをひっくり返す。その後、表示パネル1264の鏡面（カソード36面）を上にして格納部1564内に格納する（図326（c））。モニターとして使用する時には、図326（b）に図示するように、パネル1264を格納部1561から取り出し、支点1551で回転させてパネル1264の表と裏とをひっくり返す。その後、表示パネル1264の画素電極35を上にして格納部1564内に格納する（図326（a））。なお、以上の実施例は、図3に図示するように、光をB方向から取り出す構成の場合である。図4のようにA側から光を取り出す場合は、逆の関係になることは言うまでもない。

【2568】

フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している（図23、図54（a）～（c）なども参照のこと）。

【2569】

また、図317に図示するようにフレームレートに応じて画面の分割数を可変できるように構成することが好ましい。フレームレートが低い時は、図54（c）に図示するように分割数（非点灯領域192を複数に分割して画面144を構成する）を多くする。フレームレートが高い時は、図54（a）に図示するように、非点灯領域192は一括して画面144に挿入する。

【2570】

たとえば、地上波のデジタルモバイルテレビの伝送フレームレートは15Hzである。この時は、フレームレートが低いため、図54（c）に図示するように非点灯領域192を複数に分割する必要がある。しかし、現在の地上波のアナログテレビの伝送フレームレートは60Hzである。この時は、フレームレートが高いため、図54（a）に図示するように非点灯領域192を一括して挿入し、動画表示性能を確保することが好ましい。つ

10

20

30

40

50

まり、用途あるいは受信信号により分割数を変更あるいは可変させる。

【2571】

図317では、フレームレート60～45Hzでは分割数1（非表示領域192は1つ（図54（a）の状態））である。フレームレート45以下では分割数10（非表示領域192は10つの状態））である実施例である。なお、分割数はフレームレートだけでなく、周囲の輝度（明るさ）、画像の内容（静止画、動画など）、装置の用途（モバイル、据え置きなど）などに応じて、自動であるいは手動であるいはプログラムブルに変更あるいは可変もしくは設定できるように構成することが好ましい。以上の事項は本発明の他の実施例においても適用されることは言うまでもない。

【2572】

以上の機能をスイッチ1554で実現できるようにする。スイッチ1554は表示画面144のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【2573】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【2574】

本実施の形態のEL表示装置などはビデオカメラだけでなく、図156に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体1561に付属されたモニター144として用いる。カメラ本体1561にはシャッタ1563の他、スイッチ1554が取り付けられている。

【2575】

本発明のEL表示パネルは、3D（立体）表示装置にも採用できる。図605、図606は本発明の3D表示装置の説明図である。図605に図示するように、2枚のEL表示パネル（EL表示アレイ）30a、30bは対面して配置されている。また、表示パネル30aの画素電極15aと、表示パネル30bの画素電極15bとは対面する位置に配置されている。2枚のEL表示パネルの間隔は隔離柱6161で保持されている。隔離柱6161は表示領域144の周囲に配置され、リング状の形状をしている。ガラスなどの無機材料で構成されている。隔離柱6161は圧膜技術、塗布技術、印刷技術などで形成または構成してもよい。また、アレイ基板30をエッチング技術あるいは研磨技術を用いて表示領域144などを掘り下げることにより形成してもよい。

【2576】

隔離柱6161は1mm以上8mm以下の厚みである。特に、隔離柱6161は3mm以上7mm以下の厚みにすることが好ましい。隔離柱6161は封止樹脂6162でパネル30a、30bに貼り付けられている。空間6163には必要に応じて乾燥剤が配置あるいは形成または構成される。

【2577】

表示パネル30aの画素電極15aと、表示パネル30bの画素電極15bとは、異なる画像あるいは同一の画像を表示する。画像はA方向から観察する。したがって、EL表示パネル30aは透過型である必要がある。画素電極15aを介して表示パネル30bの画素電極15bに表示される画像を観察する必要があるからである。表示パネル30bは透過型であっても、反射型であってもよい。

【2578】

表示パネル30aの表示画像144aは、表示パネル30bの表示画層144bよりも明るく（輝度を高く）表示させる。表示画像144aと表示画像144bとの輝度差を発生させることにより、A側から見た画像が立体的に見える。輝度差は、10%以上80%以下にするとよい。特に、20%以上60%以下にするとよい。

【2579】

図606は、2つの表示パネル30の画像表示状態の説明図である。コントローラ回路(IC)760は表示パネル30aのソースドライバ回路(IC)14aなどと、表示パネル30bのソースドライバ回路(IC)14bなどを制御して画像を制御し、表示画像144aと144bとで3D表示を実現する。

【2580】

前述の実施例にも関係するが、複数の画面144の輝度を変化させるには、図622に図示するように、EL側を選択するゲートドライバ12bを画面144ごとに分離する。ゲートドライバ12b1と12b2ではCLK信号線は共通にする(図14のCLKを参照のこと)。したがって、画面144aと画面144bのゲートドライバ12bが1画素行を選択する時間は同一である(ゲートドライバ12bのシフト時間は同一である(1水平走査期間は同一である))。

10

【2581】

一方、スタート信号線(ST)は、ゲートドライバ12b1とゲートドライバ12b2は個別である(図14のSTを参照のこと)。つまり、ゲートドライバ12b1にはスタート信号線ST1が入力され、ゲートドライバ12b2にはスタート信号線ST2が入力されている。スタート信号線STに印加されるスタートパルスの個数が多いほどduty比が大きくなる(1に近づく)から、画面144の輝度は高くなる。逆に、スタート信号線STに印加されるスタートパルスの個数が少ないduty比が小さくなる(0に近づく)から、画面144の輝度は低くなる。

【2582】

以上のことから、ゲートドライバ12b1と12b2のクロック(CLK)信号線を共通にすることにより、信号線数を削減できる。ゲートドライバ12b1とゲートドライバ12b2のスタート信号線を分離することにより、画面144の輝度制御が容易になる。したがって、画面144aと画面144bの輝度調整が容易になる。

20

【2583】

図623では、EL選択側ゲートドライバ12bが2つ形成(配置または構成)されている。ゲートドライバ12b1は奇数番目のゲート信号線17bをオンオフ制御する。ゲートドライバ12b2は偶数番目のゲート信号線17bをオンオフ制御する。ゲートドライバ12b1と12b2のスタートパルス(ST)を同時に印加すれば、奇数番目のゲート信号線17bと偶数番目のゲート信号線17bに同時にオン電圧(Lレベル)を印加することができる。したがって、連続したゲート信号線17bを同時に選択し、オン電圧を印加することを実現できる。

30

【2584】

なお、図623はEL側選択側のゲートドライバ回路12bを複数構成するとしたが、これに限定するものではない。画素選択側のゲートドライバ回路12aを複数構成してもよい。図75(b)の2画素行同時選択駆動を実現できる。この構成を図359に図示する。画素選択側のゲートドライバ回路は12a、12bが形成あるいは構成されている。

【2585】

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面144がたわみやすい。その対策のため、本発明では図157に示すように表示パネルに外枠1571をつけ、外枠1571をつりさげられるように固定部材1574で取り付けている。この固定部材1574を用いて、壁などに取り付ける。

40

【2586】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部1573を配置し、複数の脚1572で表示パネルの重量を保持できるようにしている。

【2587】

脚1572はAに示すように左右に移動でき、また、脚1572はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

50

【2588】

図157のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはA I Rコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【2589】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

10

【2590】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【2591】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

20

【2592】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【2593】

以上の実施例は、本発明の表示パネルなどを表示装置として用いるものであった。しかし、本発明はこれに限定するものではない。図573は、情報発生装置として用いるものである。図14などで説明したように、ゲートドライバ回路12に入力する信号（特にST信号）により、図54、図439、図469で説明したように、非点灯領域192と点灯領域193を発生することができる。点灯領域193は該当画素16のEL素子15が発光している領域である。つまり、ゲート信号線17bにオン電圧が印加され、図1の画素構成では、トランジスタ11dがオン状態となっている領域である。非点灯領域192は該当画素16のEL素子15に電流が流れていない領域である。つまり、ゲート信号線17bにオフ電圧が印加され、図1の画素構成では、トランジスタ11dがオフ状態となっている領域である。

30

【2594】

ソースドライバ回路（IC）14から表示領域144に白ラスタ表示の信号が印加されるとする。ゲートドライバ12bを制御することにより、表示領域144にストライプ状（画素行単位で点灯、非点灯制御されるため）に点灯領域193と非点灯領域192を発生させることができる。図573に図示するように、ゲートドライバ回路12bの制御によりバーコード表示を実現できる。

40

【2595】

ゲートドライバ回路12aのST1端子には、1フレームに1回のスタートパルスが印加される。ゲートドライバ回路12bのST2端子には、バーコード表示に対応させてスタートパルスが印加される。通常の印刷物のバーコードと異なる点は、表示領域144の各バーコード表示位置が水平走査信号に同期して移動する点である。

【2596】

50

したがって、図 5 7 2 に図示するように、E L 表示パネル 5 7 2 3 の表示領域 1 4 4 に、1 画素行の点灯状態を検出できるホトセンサ 5 7 2 1 を配置または形成すれば、ホトセンサ 5 7 2 1 を固定した状態で、 $1 / (1 \text{ 秒間のフレーム数} \cdot \text{画素行数})$ のレートでバーコードの表示状態を検出できる。ホトセンサ 5 7 2 1 で検出したデータはデコーダ（バーコード解読器）5 7 2 2 により電気信号に変換され解読されて情報になる。

【2 5 9 7】

表示パネルが大型になるとソース信号線 1 8 の寄生容量も大きくなる。したがって、電流プログラムが困難になりやすい。この課題に対しては、図 2 6 4 に図示するように、ソースドライバ回路 1 2 を画面 1 4 4 の上下に配置する。また、ソース信号線 1 8 の本数も 2 倍（1 8 a、1 8 b）とする。以上のように構成することにより、ソースドライバ回路（I C）1 4 a が奇数画素行にプログラム電流を印加し、ソースドライバ回路（I C）1 4 b が偶数画素行にプログラム電流を印加するように構成することができる。

【2 5 9 8】

したがって、従来は 1 画素を選択し、プログラム電流を印加する期間は 1 H 期間であったが、図 2 6 4 の構成では、2 画素行を同時に選択し、プログラム電流を印加することができるため、各画素行にプログラム電流 I w を印加できる期間は 2 H 期間にすることができる。そのため、十分なプログラム電流の書き込み期間を確保することができ、パネルサイズが大型になっても良好な電流プログラムを実現できる。なお、以上の事項は電圧プログラム方式にも適用できることはいうまでもない。

【2 5 9 9】

図 2 6 4 のように駆動しても、本発明の d u t y 比制御などを適用できる。たとえば、図 2 6 5 であれば、画素書き込み側のゲートドライバ回路 1 2 a は 2 本のゲート信号線 1 7 a を選択し、2 本ずつ選択位置を走査していく。一方、E L 選択側のゲートドライバ回路 1 2 b は 1 画素行を順次（つまり、1 本のゲート信号線 1 7 b を順次選択する）選択する。

【2 6 0 0】

したがって、電流プログラム側は複数ゲート信号線 1 7 a を選択して電流プログラムを実施し、d u t y 制御側は従来と同様に 1 本のゲート信号線 1 7 b を制御して d u t y 比制御を実現する。なお、以上の事項は基準電流比制御などにも適用できることは言うまでもない。

【2 6 0 1】

画面は分割してもよい。2 分割には、画面の中央部で上下に分割する構成と、図 2 6 4、図 5 5 9 に図示するように一画素列ごと（複数画素列でもよい）に分割する構成がある。図 5 5 9 では、ソースドライバ回路（I C）1 4 a にはソース信号線 1 8 a が接続されている。ソース信号線 1 8 a は偶数画素行の画素が接続されている。また、ソースドライバ回路（I C）1 4 b にはソース信号線 1 8 b が接続されている。ソース信号線 1 8 b は奇数画素行の画素が接続されている。

【2 6 0 2】

電流駆動の特徴として、複数の出力端子を短絡するだけでプログラム電流を加算できるという特徴がある。たとえば、第 1 の端子が $10 \mu\text{A}$ を出力しており、第 2 の端子が $20 \mu\text{A}$ を出力している場合、第 1 の端子と第 2 の端子を短絡した出力は、 $10 + 20 = 30 \mu\text{A}$ となる。電圧駆動では複数の出力端子を短絡することができない。たとえば、第 1 の端子が 1 V を出力しており、第 2 の端子が 2 V を出力している場合、第 1 の端子と第 2 の端子を短絡した出力は、ショート状態になり破壊されるだけである。

【2 6 0 3】

以上のように、電流駆動（電流制御方式）の場合は、出力端子をショートしても問題が発生しない。この特徴ある効果を応用することにより容易に階調数を増大させることができる。図 5 6 0 はその実施例である。以下、図面を参照しながら、本発明の実施例について説明をする。

【2 6 0 4】

図560は、本発明のソースドライバ回路（IC）の構成図である。図560において、431cはトランジスタ群である。トランジスタ群431cの1は単位トランジスタ153が1個で形成されていることを示している。また、1は1階調分のプログラム電流を出力し、最下位ビットが該当する。

【2605】

図560のトランジスタ群431cに示す2は単位トランジスタ153が2個で形成されていることを示している。また、2階調分のプログラム電流を出力し、第2ビットが該当する。同様に4は単位トランジスタ153が4個で形成されていることを示している。また、4階調分のプログラム電流を出力し、第3ビットが該当する。同様に8は単位トランジスタ153が8個で形成されていることを示している。8階調分のプログラム電流を出力し、第5ビットが該当する。16は単位トランジスタ153が16個で形成されていることを示している。また、16は階調分のプログラム電流を出力し、第5ビット目が該当する。

【2606】

同様に32は単位トランジスタ153が32個で形成されていることを示している。また、32は階調分のプログラム電流を出力し、第6ビット目が該当する。したがって、トランジスタ群431cで64階調のプログラム電流出力を行うことができる。

【2607】

本発明のソースドライバ回路（IC）は、1つの出力端子155ごとに1つのトランジスタ群431cが形成（構成）されている。電流駆動の特徴として、複数の出力端子を短絡するだけでプログラム電流を加算できるという特徴がある。したがって、複数の出力端子からの出力を組み合わせることにより、階調数を増加させることが容易である。たとえば、1出力が64階調であれば、2つの出力を組み合わせると $64 + 64 - 1 = 127$ 階調を実現できる。なお、-1するのは、0階調目があるからである。なお、説明を容易にするため、本発明のソースドライバ回路（IC）は基本的には64階調で128出力であるとして説明をする。

【2608】

したがって、128出力の64階調のドライバIC14は、64出力の127階調のドライバICとして用いることができる。図560はその実施例である。2つの出力間にスイッチ（SW）5601が配置されている。ドライバIC14を64階調として用いる時は、スイッチ5601はオープン状態として用いる。127階調として用いる時は、スイッチ5601はクローズ状態で用いる。スイッチは、アナログスイッチである。また、スイッチ5601はIC14のコントロール端子のロジック信号によりオープン、クローズ制御できるように構成されている。

【2609】

図560ではスイッチ5602a、5602bをクローズ状態として用いれば、128出力の64階調ドライバとして用いることができる。スイッチ5601をクローズにする。かつ、スイッチ5602aをクローズにし、スイッチ5602bをオープンにすれば、端子155aより127階調のプログラム電流を出力することができる。したがって、ソース信号線18aに接続された画素16（図示せず）にプログラム電流を印加することができる。この時、ソース信号線18bにはプログラム電流を印加することはできない。しかし、スイッチ5602aとスイッチ5602bを交互にクローズとオープンを制御すれば、隣接した出力端子155a、155bに交互にプログラム電流を出力することができる。交互に切り換えるとともに、ゲート信号線17の走査と同期をとる。したがって、ソース信号線18aと18bにプログラム電流を印加することができる。ビット入力である。

【2610】

なお、ソース信号線18aと18bを切り換える必要がない時（当初から127階調のソースドライバ回路（IC）として使用する時など）は、図562のように使用する。このときは、スイッチ5602は不要である。

10

20

30

40

50

【2611】

各トランジスタ群431cは6ビット入力である。したがって、64階調あるいは63階調目までは、トランジスタ群431c1には階調数に応じて6ビット入力し、トランジスタ431c2への入力6ビットはすべて0とする。64階調あるいは65階調目からは、トランジスタ群431c1には階調数に応じて6ビット入力し、トランジスタ431c2への入力6ビットはすべて1とする（63階調分のプログラム電流を加算する）。なお、トランジスタ群431c2は63個の単位トランジスタ153を一括動作させる。

【2612】

図560では、2つの電流出力段（431cなど）を組み合わせることにより、127階調の電流出力を行う。しかし、128階調には1階調分不足している。これは、トランジスタ群431cを構成する単位トランジスタ153が63個しかいないためである。したがって、2つのトランジスタ群431cを組み合わせても単位トランジスタ153は126個となる。したがって、階調0の時は、単位トランジスタ153の動作数を0としても、127階調までしか表現できない。

【2613】

図561はこの課題を解決する構成である。トランジスタ群431c2に、1単位分の選択単位トランジスタ5611を付加（形成または配置）している。128階調として用いる場合（64階調以上で用いる場合）は、この選択単位トランジスタ5611を動作させる。トランジスタ群431c2は64個の単位トランジスタ153で構成されることになる。トランジスタ群431c2は64個の単位トランジスタ153を一括動作させる。128階調以下（未満）の場合は、トランジスタ群431c2の単位トランジスタ153はすべて非動作状態であり、128階調以上の場合は、トランジスタ群431c2の単位トランジスタ153を動作させる。したがって、トランジスタ群431c2は最初から単位トランジスタ153が64個から構成されているものを用いても良い。トランジスタ群431c1の単位トランジスタ153は階調数に応じてビットに対応して変化させる。

【2614】

ソースドライバ回路（IC）14は、64階調を表現する63個の単位トランジスタ153あるいは63個の単位トランジスタ153と1個の選択単位トランジスタ5611からなる標準トランジスタ群431を、スタンダードセルとして構成しておく。このスタンダードセルを複数個レイアウトすることにより、容易に任意の階調のソースドライバ回路（IC）を形成（構成）することができる。なお、スタンダードセルは、単位トランジスタ153が63個に限定するものではなく、127個、255個の単位トランジスタ153から構成されるものであっても良いことはいうまでもない。

【2615】

以上の実施例は、64階調および128階調の場合である。本発明はこれに限定するものではない。たとえば、256階調の場合は、図563のように構成すればよい。2つの出力間にスイッチ（SW）5601が配置されている。ドライバIC14を64階調として用いる時は、スイッチ5601はオープン状態として用いる。256階調として用いる時は、スイッチ5601はクローズ状態で用いる。スイッチ5601はIC14のコントロール端子のロジック信号によりオープン、クローズ制御できるように構成されている。

【2616】

以上の実施例では、14はソースドライバ回路（IC）であるとして説明したが、これに限定するものではない。たとえば、ソースドライバ回路（IC）14は低温ポリシリコン技術、高温ポリシリコン技術、CGS技術などで形成したソースドライバ回路（IC）14であってもよい。つまり、ソースドライバ回路（IC）14は基板30に直接形成したものをを用いてもよい。以上の事項は、以下の実施例に対しても同様である。

【2617】

図560から図563は、1つのソースドライバ回路（IC）（回路）14を各ソース信号線18に対応して接続する構成である。しかし、本発明はこれに限定するものではない。たとえば、図564に図示するように、1つのソース信号線の両端に本発明のソース

10

20

30

40

50

ドライバ回路（IC）（回路）14を接続してもよい。

【2618】

各ソース信号線18には、一端にはソースドライバ回路（IC）14aが接続されており、他端にはソースドライバ回路（IC）14bが接続されている。ソースドライバ回路（IC）14aのトランジスタ群431c1は単位トランジスタ153が63個で構成されている。ソースドライバ回路（IC）14bのトランジスタ群431c2は単位トランジスタ153が63個と選択単位トランジスタ5611が1個で構成されている。

【2619】

なお、トランジスタ群431c2は、64個の単位トランジスタ153で構成してもよい。また、トランジスタ群431c2は64個の単位トランジスタ153がすべて動作するか、もしくは非動作状態の2モードしかない。したがって、単位トランジスタ153の64倍の大きさのトランジスタで形成してもよい。

【2620】

以上のように構成すれば、トランジスタ群431c1は64階調まで入力データに応じて対応する単位トランジスタ153が動作し、トランジスタ431c2は64階調以上で一括して動作する。

【2621】

つまり、図564の構成では、64階調を表現できるソースドライバ回路（IC）14aをソース信号線18の一端に接続し、ソース信号線他端に、ソースドライバ回路（IC）14aのトランジスタ群431c1を構成する単位トランジスタ153数+1の単位トランジスタ153からなるトランジスタ群431c2を接続している。ソースドライバ回路（IC）14bは単位トランジスタ153の64倍のトランジスタで構成してもよい。

【2622】

つまり、単位トランジスタ153が63個からなるソースドライバ回路（IC）14aと単位トランジスタ153が64個からなるソースドライバ回路（IC）14bを用いることにより容易に128階調を実現できる。なお、単位トランジスタ153が63個からなるソースドライバ回路（IC）14aを2個用いる場合は、127階調を表現できる。画像表示としては127階調でも128階調でも実用上は差がない。したがって、単位トランジスタ153が63個からなるソースドライバ回路（IC）14aを2個用いても良い。

【2623】

64階調以下（未満）の場合は、トランジスタ群431c2の単位トランジスタ153はすべて非動作状態であり、64階調以上の場合は、トランジスタ群431c2の単位トランジスタ153を動作させる。したがって、トランジスタ群431c2は最初から単位トランジスタ153が64個から構成されているものを用いても良い。トランジスタ群431c1の単位トランジスタ153は階調数に応じてビットに対応して変化させる。したがって、64階調のソースドライバ回路（IC）14を複数個用いることにより、多階調表示を実現することができる。

【2624】

128階調以上の場合は、ソースドライバ回路（IC）14のトランジスタ群431cの単位トランジスタ153を64個以上で構成すればよい。図564の構成により、階調数が少ないソースドライバ回路（IC）（回路）14を用いて、容易に多階調表示を実現できる。このことは、複数の出力端子を短絡するだけで、出力電流を加算できるという電流駆動方式の特徴ある効果を応用したものである。

【2625】

なお、図564の実施例は、1つのソース信号線18に2つのソースドライバ回路（IC）14の出力端子を接続した実施例であった。しかし、本発明はこれに限定するものではない。1つのソース信号線18に3つ以上のソースドライバ回路（IC）14の出力端子を接続してもよいことは言うまでもない。また、図564の構成に図560のスイッチ

10

20

30

40

50

5601の技術的思想を導入してもよいことは言うまでもない。

【2626】

表示パネルが16:9のワイドタイプの画面144に4:3の画面を表示する時は、図270(a)のように16:9の画面の端に4:3の画面144aを表示する。残りの画面144bにはOSD(オンスクリーンディスプレイ)の表示を行う。オンスクリーンディスプレイの表示144bと画面144aの表示とはあらかじめ映像信号として合成しておくことが好ましい。

【2627】

また、図270(b)のように16:9の画面の中央部に4:3の画面144aを表示する。残りの画面144b1、144b2にはOSD(オンスクリーンディスプレイ)の表示を行う。オンスクリーンディスプレイの表示144bと画面144aの表示とはあらかじめ映像信号として合成しておくことが好ましい。

【2628】

図327に図示するように、コントローラIC(回路)760はパネルモジュール内に配置または構成された電源モジュール3272とソースドライバ回路(IC)14などを制御する。なお、電源モジュール3272の構成、動作などは図119、図120、図121、図122、図123、図124、図125、図251、図262、図263、図268、図280などで説明したので説明を省略する。また、パネルなどの構成、動作についても以前に説明したので説明を省略する。

【2629】

電源モジュール3272はリチウムバッテリー3271から電力が供給される。電源モジュール3272はV_{gh}電圧、V_{gl}電圧、V_{dd}電圧、V_{ss}電圧など(以降、これらの電圧をパネル電圧と呼ぶ)を発生する。パネル電圧の発生タイミングはコントローラ回路(IC)760のON/OFF信号で制御される。一方、コントロール回路760の電源は、本体回路から供給される。したがって、本発明の表示装置を有する機器は、まず、コントロールIC760に電源電圧が供給されて動作し、コントロールIC760の起動後、電源モジュール3272はコントロールIC760からのON/OFF信号により、パネル電圧を発生する。発生したパネル電圧は、ゲートドライバ回路12、ソースドライバ回路(IC)14、パネルのV_{dd}、V_{ss}電圧として印加される。以上のように構成することにより、本体回路とパネルモジュール間の配線数を少なくすることができる。

【2630】

本発明の機器は、本体回路には、少なくともコントローラ回路(IC)760とバッテリー3271を有している。したがって、パネルモジュールと本体回路とは、RGBの映像信号などを伝送する差動信号の配線2本、パネルモジュール3272の電圧を供給するV_{cc}、GND配線の2本、電源モジュール3272をオンオフ制御する信号線の1本の計5本(以上)を有している。

【2631】

図367は図327の変形例である。コントロールIC760はPLL回路3611aを有しており、差動信号の同期をとる。赤緑青(RGB)と制御データ(D)であるRGBDは差動信号として1対のペア信号線で伝送される(図80~図82、図292、図327~図331などを参照のこと)。RGBD信号の同期信号も同様にCLK差動信号として1対のペア信号線で伝送される。また、RGBD信号にスタート(1組の最初位置)を示すために差動信号のSt信号が1対のペア信号線で伝送される。なお、St信号は差動信号とする必要はなく、CMOSやTTLのロジック信号として伝送してもよい。

【2632】

電源回路3271にはバッテリー(図示せず)からV_{cc}電圧をGNDの2ラインにより電力が印加され、コントローラ回路(IC)760からは電源回路3271のオンオフ信号(ON/OFF)が印加される。

【2633】

図367はRGBDを1対の差動信号として伝送する構成であったが、本発明はこれに

10

20

30

40

50

限定するものではなく、図 3 6 1 に図示するように、赤の映像データ (R D A T A) を 1 対の差動信号とし、緑の映像データ (G D A T A) を 1 対の差動信号とし、青の映像データ (B D A T A) を 1 対の差動信号としてもよい。各 R G B の差動信号には、プリチャージビットを付加する。つまり、赤の R D A T A は赤の該当データをプリチャージするか否かのビット P r R ビットを付加 (R D A T A 8 ビット + P r R 1 ビット) する。緑の G D A T A は赤の該当データをプリチャージするか否かのビット P r G ビットを付加 (G D A T A 8 ビット + P r G 1 ビット) する。青の B D A T A は青の該当データをプリチャージするか否かのビット P r B ビットを付加 (B D A T A 8 ビット + P r B 1 ビット) する。

【2 6 3 4】

図 3 7 1 に図示するように、D A T A (R D A T A、G D A T A など) と同期をとる C L K は同一の周波数になるようにしている。つまり、C L K の立ち上がりと立下りで D A T A 内容を識別する。このような D A T A と C L K の関係を保つことにより周波数を定常的にし、不要輻射を低減している。

【2 6 3 5】

図 3 5 7 は、図 3 7 1 に加えて、S t 信号との関係を記載したものである。C L K、S T、映像信号の R G B もしくは (R G B D) (図 8 0 ~ 図 8 2、図 2 9 2、図 3 2 7 ~ 図 3 3 1 など) を参照のこと) も 0 V (G N D) を中心に D i f f 電圧の振幅で送出 (伝送) される。なお、振幅としての D i f f 電圧は図 3 6 8 ~ 図 3 7 0 の回路構成で設定あるいは可変もしくは調整される。

【2 6 3 6】

図 3 5 7 に図示するように、映像信号としての R G B と同期をとる C L K は同一の周波数になるようにしている。つまり、C L K の立ち上がりと立下りで D A T A 内容を識別する。このような D A T A と C L K の関係を保つことにより周波数を定常的にし、不要輻射を低減している。一方、S t 信号は、C L K の 2 倍の幅を持ち、C L K の立ち上がりまたは立下りで検出する。C L K は P L L 回路 3 6 1 1 で位相制御される。以上のように差動信号は送出され、送受信が行われる。

【2 6 3 7】

本発明の差動信号あるいは信号の伝送で特徴的なのは、R G B の映像信号に加えて、プリチャージの判断ビットを有している点である。このことは、図 7 6 ~ 図 7 8 などでも説明している。したがって、図 3 5 9 に図示するように、R、G、B データにプリチャージのビット (P r) を有している。

【2 6 3 8】

図 3 5 9 (a) は映像データが 1 0 ビットの場合である。映像データの 1 0 ビット (D 9 ~ D 0) に加えてプリチャージビット (R r) がある。また、最上位ビットにコマンドか映像データかを識別する D / C ビットを有している。D / C ビットが 1 の時、以下のデータ領域のビットはコマンドであることを示す。コマンドについては、通常水平ブランキング期間あるいは垂直ブランキング期間に伝送される。このコマンドなどについては、図 3 2 9、図 3 3 1 などでも説明をしているので説明を省略する。D / C ビットが 0 の時、映像データであることを示し、映像データ (8 ビットまたは 1 0 ビット) とプリチャージ電圧 (プログラム電圧) の判断ビット (P r) がデータとして伝送される。

【2 6 3 9】

図 3 5 9 (b) は映像データの 8 ビット (D 7 ~ D 0) の場合である。図 3 5 9 (a) と同様に映像データに加えてプリチャージビット (R r) がある。また、最上位ビットにコマンドか映像データかを識別する D / C ビットを有している点は図 3 5 9 (a) と同様である。D / C ビットが 0 の時、映像データであることを示し、映像データ (8 ビット) とプリチャージ電圧 (プログラム電圧) の判断ビット (P r) がデータとして伝送される。

【2 6 4 0】

図 3 5 9 のデータが図 3 5 7 の C L K に同期して伝送される。また、1 画素に対応する R G B の映像データあるいは 1 画素に対応する R G B の映像データ + 制御データ D を周期

10

20

30

40

50

として、S T 信号が伝送される。

【2641】

図364は、R画素Prビット+R映像データ、G画素Prビット+G映像データ、B画素Prビット+B映像データ、制御データを1組としてS T 信号を伝送する実施例である。

【2642】

図365は11ビットの制御データごとにS T 信号を伝送する実施例である。制御データは2ビットのアドレスデータ(A1、A2)とプリチャージビット(Pr)と8ビットデータ(D7~D0)から構成されている。アドレスデータ(A1、A2)であるA(1:0)が0の時は、データ(7:0)は制御データ(図329、図331などで説明をしているので説明を省略する)であることを示す。また、A(1:0)が1の時は、データ(7:0)はRの映像データであることを示す。A(1:0)が2の時は、データ(7:0)はGの映像データであることを示す。A(1:0)が3の時は、データ(7:0)はBの映像データであることを示す。なお、Prビットは制御データあるいは映像データの一部として伝送してもよいことは言うまでもない。

【2643】

図366は、図364に類似する。図366(b)は、映像データ(プリチャージビットを含む)RGBを、R、G、B、R、G、B、R、G、B・・・と伝送する構成である。図366(a)は、必要に応じて制御データDを伝送する構成である。したがって、図366(b)のように画像伝送期間にちょうど画像データが伝送されている場合は、図366(a)のように制御データが挿入されることにより、水平ブランキング期間まで画像データなどが伝送されることになる。しかし、図364のように制御データの期間をあらかじめ確保する必要が無い点、水平ブランキング期間を有効に利用している点から、図366(a)の伝送効率が高い。

【2644】

図362は映像データをビット展開して伝送する方式である(図364などは1画素単位で映像データを伝送している)。図362において、データの開始位置Aで示すように、RのプリチャージビットPr R、GのプリチャージビットPr G、BのプリチャージビットPr B、Rの映像データの7ビット目(最上位ビット)、Gの映像データの7ビット目(最上位ビット)、Bの映像データの7ビット目(最上位ビット)、Rの映像データの6ビット目、Gの映像データの6ビット目、Bの映像データの6ビット目、Rの映像データの5ビット目、Gの映像データの5ビット目、Bの映像データの5ビット目、・・・Rの映像データの0ビット目(最下位ビット)、Gの映像データの0ビット目(最下位ビット)、Bの映像データの0ビット目(最下位ビット)、次の画素のRのプリチャージビットPr R、GのプリチャージビットPr G、BのプリチャージビットPr B、Rの映像データの7ビット目(最上位ビット)、Gの映像データの7ビット目(最上位ビット)、Bの映像データの7ビット目(最上位ビット)、・・・と伝送される。

【2645】

図363は映像データを制御データDと画像データとを順次伝送する方式である。RGBのプリチャージビットPrと画像データ、制御データを伝送している。まず、RのPrと8ビットの画像データ(R(7:0))、GのPrと8ビットの画像データ(G(7:0))、BのPrと8ビットの画像データ(B(7:0))、制御データD(9:0)を1周期として伝送する。次は、次の画素のRのPrと8ビットの画像データ(R(7:0))、GのPrと8ビットの画像データ(G(7:0))、BのPrと8ビットの画像データ(B(7:0))、制御データD(9:0)を1周期として伝送する。

【2646】

以上のように本発明は、多種多様な実施例がある。共通している点は、Prデータを伝送している点である。なお、Prデータは制御コマンド内にビットとして含めてもよいことは言うまでもない。

10

20

30

40

50

【2647】

以上の実施例は、プリチャージ電圧を制御するビットを差動信号など（差動信号に限定するものではない）でソースドライバ回路（IC）14などに伝送する実施例であった。しかし、本発明はこれに限定するものではない。図381～図422では、過電流駆動の実施例について説明した。図389、図391、図392（b）、図402などでは、過電流の大きさ、過電流に印加期間を制御する信号あるいは符号について説明した。

【2648】

図423などは、図389、図391、図392（b）、図402などで説明した過電流の大きさ、過電流に印加期間を制御する信号あるいは符号を伝送するインターフェース仕様、フォーマットである。なお、過電流のデータあるいは制御符号の伝送以外の事項は、図80～図82、図296、図319、図320、図327～図337、図357、図359～図372に説明しているので、省略をする。これらの図面で説明した事項が図423～図426、図477～図484に適用される。また、図423～図426で説明した事項は本発明の他の実施例にも適用されることは言うまでもない。

【2649】

図423では、過電流の制御符号Kが伝送されている。基本的には図362に過電流の制御符号K（赤画素用はK_r、緑画素用はK_g、青画素用はK_b）である。なお、Kについては、図391、図392などで説明をしているので省略する。ただし、伝送する符号あるいはデータはKに限定されるものではない。例えば、図402のTなどでもよい。つまり、過電流駆動に関係するデータあるいは符号もしくは制御信号を、差動信号などで伝送するのが本発明の技術思想である。以上の事項は図424～図426に対しても同様に適用される。

【2650】

図424は、基本は図361の伝送方法あるいは伝送形式もしくは伝送方式に、過電流の制御符号K（赤画素用はK_r、緑画素用はK_g、青画素用はK_bなど）を付加した構成である。なお、Kについては、図391、図392などで説明をしているので省略する。ただし、伝送する符号あるいはデータはKに限定されるものではない。例えば、図402のTなどでもよい。つまり、過電流駆動に関係するデータあるいは符号もしくは制御信号を、差動信号などで伝送するのが本発明の技術思想である。図424では、過電流に関するデータなどをツイストペアの差動信号で伝送している。また、DDATAに示すように、プリチャージ電圧などの制御信号なども伝送している。

【2651】

図425は、CLK、RデータとRの過電流制御信号（R+K_r）、GデータとGの過電流制御信号（G+K_g）、BデータとBの過電流制御信号（B+K_b）、ゲートドライバ回路などの制御データ（D）をツイストペアの差動信号で伝送した実施例である。ソースドライバ回路（IC）14の右シフトのスタートパルス（STHR）、ソースドライバ回路（IC）14の左シフトのスタートパルス（STHL）、ゲートドライバ回路（IC）12の上下反転制御信号（RL）、映像データなどのロード信号（LD）をTTLあるいはCMOSレベル信号で伝送した実施例である。

【2652】

図426は、CLK、映像データ、制御データと過電流制御信号（RGBD+）をツイストペアの差動信号で伝送した実施例である。ソースドライバ回路（IC）14の右シフトのスタートパルス（STHR）、ソースドライバ回路（IC）14の左シフトのスタートパルス（STHL）、ゲートドライバ回路（IC）12の上下反転制御信号（RL）、映像データなどのロード信号（LD）をTTLあるいはCMOSレベル信号で伝送した実施例である。

【2653】

図432も本発明の表示装置における伝送フォーマットである。図432（a）は、RGB各8ビットのデータにそれぞれプリチャージビットPを付加した構成である。R画素のプリチャージをするかしないかの判定ビットP_rに連続して、Rの第1画素データR1

10

20

30

40

50

(7:0)を伝送し、G画素のプリチャージをするかしないかの判定ビットPgに連続して、Gの第1画素データG1(7:0)を伝送し、B画素のプリチャージをするかしないかの判定ビットPbに連続して、Bの第1画素データB1(7:0)を伝送する。以下、同様に、R画素のプリチャージをするかしないかの判定ビットPrに連続して、Rの第2素データR2(7:0)を伝送し、G画素のプリチャージをするかしないかの判定ビットPgに連続して、Gの第2素データG2(7:0)を伝送し、B画素のプリチャージをするかしないかの判定ビットPbに連続して、Bの第2素データB2(7:0)を伝送する。

【2654】

つまり、Pr、R1(7:0)、Pg、G1(7:0)、Pb、B1(7:0)、Pr、R2(7:0)、Pg、G2(7:0)、Pb、B2(7:0)、Pr、R3(7:0)、Pg、G3(7:0)、Pb、B3(7:0)、Pr、R4(7:0)、Pg、G4(7:0)、Pb、B4(7:0)、Pr、R5(7:0)、Pg、G5(7:0)、Pb、B5(7:0)・・・と伝送する。

【2655】

図432(b)は、RGB各8ビットのデータ内にそれぞれプリチャージビットPを多重した構成である。R画素のプリチャージをするかしないかの判定ビットPrは、R1(7:0)ビット内に多重される。プリチャージビットは、R1データのMSBなどを使用する。プリチャージ電圧などを印加する画像データは、低階調の場合であり、MSBは使用していないからである(0である)。したがって、プリチャージを行う時は、MSBビットを1にして、該当映像データはプリチャージを実施することを示すようにする。ソースドライバIC内で、プリチャージビットを抜き出し、プリチャージ動作を実施する。

【2656】

以下、同様にG画素のプリチャージをするかしないかの判定ビットPgは、G1(7:0)ビット内に多重され、B画素のプリチャージをするかしないかの判定ビットPbは、B1(7:0)ビット内に多重化される。つまり、R1(7:0)、G1(7:0)、B1(7:0)、R2(7:0)、G2(7:0)、B2(7:0)、R3(7:0)、G3(7:0)、B3(7:0)、R4(7:0)、G4(7:0)、B4(7:0)、R5(7:0)、G5(7:0)、B5(7:0)・・・Rn(7:0)、Gn(7:0)、Bn(7:0)と伝送する。

【2657】

R、G、Bの映像データは、それぞれ独立したツイストペアー線で伝送することに限定するものでもない。図433はその実施例である。図433(a)、(b)、(c)、(d)はそれぞれ差動信号におけるツイストペアー線を示している。ツイストペアー線(a)は、Rデータの上位8ビット(R(9:2))を伝送している。ツイストペアー線(b)は、Rデータの上位8ビット(G(9:2))を伝送している。また、ツイストペアー線(c)は、Bデータの上位8ビット(B(9:2))を伝送している。ツイストペアー線(d)は、コマンドデータCMと、Rデータの下位2ビット(R(1:0))、Gデータの下位2ビット(G(1:0))、Bデータの下位2ビット(B(1:0))を伝送している。

【2658】

図367、図361の実施例では、差動信号を送出する側にPLL回路3611を配置または構成した実施例であった。しかし、本発明はこれに限定するものではない。図360に図示するように、受信側(図360ではソースドライバ回路(IC)14)にもPLL回路3611bを配置または形成してもよい。送信側と受信側にPLL回路3611を配置し、差動信号としてのDATAの周期数(1組の個数)を送受信側で設定しておけば、より少ない信号線で、高速の差動信号データを伝送することができる。

【2659】

図360において、PLL3611bはDATAの周期(開始位置)を示すCLKを用いて、差動信号DATAの1周期内にデータ数の発振を行い、差動信号としてのDATA

10

20

30

40

50

をデコードしてパラレル信号に変換する。

【2660】

本発明では、差動信号の送出側と受信側でインピーダンスを変化あるいは調整できるように公正している。差動信号は振幅が大きいほど、伝送距離を長くすることができる。しかし、振幅が大きいと伝送電力が大きくなる。差動信号を定電流で出力する場合は、差動信号を受信する方でインピーダンスを高くすれば、振幅を高くすることができる。したがって、伝送する電流が小さくとも差動信号を受信することが可能になる。しかし、ノイズに弱くなる。

【2661】

以上のことから、差動信号を伝送する距離、伝送に要する電力から差動信号の振幅、インピーダンスを設定あるいは調整することができることが好ましい。図368～図370はその実施例である。

【2662】

図368は差動信号の受信側の回路構成である。ソースドライバ回路（IC）14内にインピーダンス設定回路3682を有している。インピーダンス設定回路3682は抵抗値（インピーダンス値）が異なるR（図368ではR1、R2、R3、R4）と前記Rを選択するスイッチS（図368ではS1、S2、S3、S4）で構成されている。ソースドライバ回路（IC）14の信号入力端子RSELに印加された信号あるいは電圧により、1つ以上のスイッチSがオンし、抵抗Rが選択される。差動信号の入力端子2883には選択された抵抗Rが接続されることになる。

【2663】

本発明では差動信号配線には定電流を流す。したがって、抵抗Rの値により、端子2883aと2883b間に発生する差動信号の振幅値を変更することができる。つまり、伝送距離などに応じて差動信号の振幅調整をすることが可能である。

【2664】

図369は他の実施例である。内蔵抵抗Rxは可変できるように構成されている。可変を行う構成として、以前に説明した電子ポリウム501などが例示される。その他、トリミングによっても調整することができる。

【2665】

図370は送信側の構成例である。端子2884cと端子2884d間に可変電圧源あるいは固定電圧を入力するように構成している。端子2884c、2884dに入力する電圧により、コントローラ回路（IC）760内部の定電流回路の電流出力を変化できるように構成している。この操作により、端子2884a、2884bから出力される差動信号の電流を変更できる。

【2666】

なお、図368などにおいて、ソースドライバ回路（IC）14内の抵抗RをRSEL信号などで選択する（切り換える）としたが本発明はこれに限定するものではない。たとえば、図372のように、ICマスクで接続を変更してもよい。

【2667】

図372は、ソースドライバIC14に抵抗R1、R2、R3をあらかじめ形成あるいは構成しておき、IC14を製造する際に、最終マスク（アルミ配線形成用）を変更することにより、端子2883に接続される抵抗を変化させた実施例である。つまり、抵抗Rと端子2883とを接続するアルミ配線を変更することにより、端子2883（2883a、2883b）に接続されるインピーダンスを切り換えている。

【2668】

図372（a）は抵抗R1とR3からなる並列インピーダンスを端子2883に接続した構成である。図372（b）は抵抗R3からなる並列インピーダンスを端子2883に接続した構成である。

【2669】

なお、以上の事項は、図370の実施例にも適用できることは言うまでもない。コント

10

20

30

40

50

ローラ回路（IC）760に複数の定電流源をあらかじめ形成あるいは構成しておき、IC760を製造する際に、最終マスク（アルミ配線形成用）を変更することにより、端子2884から出力される定電流を変更する。

【2670】

差動信号は図328に図示するように、本体回路のA信号（判別信号）のHとLに同期して出力される。A信号がLの時は、プログラム電圧（VR、VG、VB）が出力され、A信号がHの時は、プログラム電流（IR、IG、IB）が出力される。なお、プログラム電圧、プログラム電流の出力動作などに関しては、図127～図143、図293、図338などで説明をしているので説明を省略する。

【2671】

また、映像信号としてのプログラム電流（IR、IG、IB）およびプログラム電圧（VR、VG、VB）と、データ信号DM、DSが伝送される。つまり、差動信号は、R映像信号、G映像信号、B映像信号、Dデータ信号の4相が多重される（VR、IR、VG、IG、VB、IB、DM、DS、VR、IR、・・・）。なお、映像のブランキング期間は、図330に図示するように、DMとDS信号が連続して伝送される。

【2672】

データであるDMの8または10ビットデータはコマンドである。データであるDSの8または10ビットデータは制御データである。図329はDMの一例である。DMは水平同期信号（HD）、垂直同期信号（VD）などを表す。一例として、DM=1ではHD信号である。DM=2ではVD信号である。DM=3は画面の映像の上下を反転させるUD信号である。また、DM=4は画面144の映像の左右を反転させるRL信号である。

【2673】

同様に、DM=5は、Rのプリチャージ時間（PR-time）を示し、DM=6は、Gのプリチャージ時間（PG-time）を示し、DM=7は、Bのプリチャージ時間（PB-time）を示す。DM=8は、Rの基準電流（基準I-R）を示し、DM=9は、Rの基準電流（基準I-G）を示し、DM=10は、Rの基準電流（基準I-B）を示す。また、DM=10は、ゲートドライバ回路12のスタートパルスなどの出力タイミングを示している。以上のように、DMはコマンドとして指定するデータである。

【2674】

なお、プリチャージ時間は、TTLあるいはCMOSのロジックの波形信号などで、コントローラ回路（IC）760などからソースドライバ回路（IC）14に印加してもよいことは言うまでもない。例えば、ロジックの波形信号のHレベルの期間に、プリチャージ電圧（プリチャージ電流）がソース信号線18に印加され、ロジックの波形信号のLレベルの期間は、プリチャージ電圧（プリチャージ電流）がソース信号線18に出力されないように制御あるいは構成される。また、プリチャージ時間は点灯率により制御（可変）してもよいことは言うまでもない。点灯率が低い時は、低階調の画素が多いことを意味している。したがって、プリチャージ時間を長くする。逆に点灯率が高い時は、高階調の画素が多いことを意味している。この場合は、プログラム電流の書き込み不足は発生しないか、もしくは目立たない（認識されない）。したがって、プリチャージ時間は短くてもよい。

【2675】

図331はDS信号の内容例を図示している。DM=9の時は、ゲートドライバ回路12の制御信号である。DSの8ビットは、ex. 1のように各ビットの配置が決められている。bit0は、ゲートドライバ回路12aのイネーブル信号（ENBL1）である。bit1は、ゲートドライバ回路12aのクロック信号（CLK1）である。bit2は、ゲートドライバ回路12aのスタート信号（ST1）である。また、bit4は、ゲートドライバ回路12bのイネーブル信号（ENBL2）である。bit5は、ゲートドライバ回路12bのクロック信号（CLK2）である。bit6は、ゲートドライバ回路12bのスタート信号（ST2）である。また、ex. 3に示すように、DM=8の時は、DS信号は、Rの基準電流の大きさをデータとして示す。上のように、DSはDMで指定

10

20

30

40

50

されたデータである。

【2676】

以上の実施例は、信号を差動信号として伝送するとして説明した。もちろん、差動信号の標準フォーマットであるRSDSで伝送してもよいことは言うまでもない。図505は、一例としてプリチャージ信号、映像信号などをRSDS信号フォーマットで伝送している例である。なお、RSDSフォーマットであっても、本発明は、伝送するデータの手順、形式に新規性を有している。また、いかに説明する事項は、以前に説明した本発明においても適用できることは言うまでもない。たとえば、図360～図366、図389～図394、図432、図433などに適用できる。

【2677】

また、以下の実施例では、電流プリチャージを3ビットとし、電流プリチャージ期間を6種類としているが、これに限定するものではない。6以上でも6以下でもよい。また、プリチャージ信号(RP0～2、GP0～2、BP0～2)は、電流プリチャージに限定するものではなく、電圧プリチャージでもよい。

【2678】

なお、以下の実施例において、データなどはツイストペア線などを用いて差動信号(RSDS、LVDS、ミニLVDSなど)として転送するとして説明するがこれに限定するものではない。ロジック信号であるCMOSレベルあるいはTTLレベルの信号で転送してもよい。この場合は、ツイストペア線を用いる必要がないことはいうまでもない。本発明は、データなどをシリアルで伝送し、シリアルーパラレル変換部3681などでパラレル信号に変換する点に特徴がある。したがって、データなどの転送(伝送)は、差動信号に限定するものでないことは言うまでもない。もちろん、電流信号だけでなく、電圧信号でもよいことは言うまでもない。また、有線信号だけでなく、無線信号(電波、赤外線などの光信号)で転送してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用される。

【2679】

図505、図506などにおいて、クロックは、データを立ち上がりおよび立下りでラッチする。したがって、クロックの周波数は、データ転送速度の1/2である。Rデータは、2つの差動のツイストペア線を用いる。GデータおよびBデータも、2つの差動のツイストペア線を用いる。図505はデータ転送時を示した図面であり、図506はコマンド転送時を説明する図面である。

【2680】

図505の実施例では、過電流などの電流プリチャージを指定するビットを3ビットとしている。映像データは、RGB各8ビットの例である。Rデータは、B期間に、3つのプリチャージ指定データ(RP0、RP1、RP2)と、C/Dデータ(なお、C/D=Hとしている。)を伝送する。C/Dデータは、コマンドとデータとの切り替え符号である。C/D=Lの時は、ツイストペア線(伝送線)で伝送される信号が、コマンド信号(制御信号)であることを示す。C/D=Hの時は、ツイストペア線(伝送線)で伝送される信号が、データ信号(映像信号、プリチャージ指定信号)であることを示す。したがって、図505では、データを転送している状態であるから、C/D=Hとしている。

【2681】

プリチャージ指定信号は、3ビットであるから、8通りを表現できる。この8通りの指定信号の一例を図514に図示している。図514の表において、IPCは電流プリチャージを示している。VPCは電圧プリチャージを示している。電流プリチャージIPCは、指定信号IS=0および7の時、IPCは常にLレベルである。つまり、電流プリチャージ期間は0であるため、結果として電流プリチャージは実施されない。

【2682】

指定信号IS=0の時は、電圧プリチャージVPCも常にLレベルである。つまり、電圧プリチャージ期間は0であるため、結果として電圧プリチャージは実施されない。したがって、指定信号IS=0の時は、電流プリチャージも電圧プリチャージも実施されない

10

20

30

40

50

。結果として指定信号 $IS = 0$ の時は、通常の電流プログラム駆動が実施される（図 1 3 0 などの B 期間の説明を参照のこと）。

【2683】

指定信号 $IS = 7$ の時は、電流プリチャージ IPC は常に L レベルであるが、電圧プリチャージ VPC は実施される。つまり、電圧プリチャージのみが実施される。結果として電圧プリチャージは実施された後、通常の電流プログラム駆動が実施される（図 1 2 9 などの 1 H に A 期間と B 期間が実施する実施例の説明を参照のこと）。

【2684】

指定期間 $IS = 1$ の時は、電圧プリチャージ VPC が実施された後、電流プリチャージ IPC として、電流プリチャージパルス 1 が選択され実施される。各電流プリチャージパルスの長さは、図 5 0 6 のコマンド転送時に設定される（図 5 0 7 も参照のこと）。電流プリチャージパルス 1 では設定された期間の間、過電流駆動が実施される。つまり、大きな書き込み電流がソース信号線 1 8 に印加される。この実施例としては、図 4 1 0 (a 1) (a 2) (a 3) が該当する。つまり、プリチャージ電圧 $V0$ がソース信号線 1 8 に印加されて、ソース信号線 1 8 に電位が $V0$ 電圧にリセット（初期化電圧：一定電位あるいは固定電位）される（図 4 1 0 (a 1)）。次にあるいはプリチャージ電圧と同時に、過電流電圧 Id がソース信号線 1 8 に印加される（図 4 1 0 (a 2)）。なお、図 4 8 4 などとその説明も参照されたい。

【2685】

図 4 1 0 (a 2) のように、プリチャージ電圧 $V0$ と同時に、プリチャージ電流 Id を印加してもよいし、プリチャージ電圧印加期間とプリチャージ電流印加期間が重ならないように（プリチャージ電圧印加期間が完了（終了）してから、プリチャージ電流を印加する）駆動してもよいことは言うまでもない。また、図 4 1 0 (b 1) ~ 図 4 1 0 (b 3)、図 4 1 0 (c 1) ~ 図 4 1 0 (c 3) のように駆動しても良いことはいうまでもない。

【2686】

図 4 1 1 ~ 図 4 1 3 の駆動方法、図 4 1 4 ~ 図 4 2 2 などの駆動方法と図 5 0 5、図 5 0 6、図 5 0 7、図 5 1 4、図 5 0 8 ~ 図 5 1 3 などの駆動方法を組み合わせてもよいことは言うまでもない。ただし、電圧プリチャージ期間、電圧プリチャージ電圧値を変化させる（指定する）場合は、指定あるいは変化のためのビット数が必要である。つまり、プリチャージビットが 3 ビットでなく、4 ビット以上として、図 5 1 4 の指定信号 IS 数と拡張する必要がある。

【2687】

図 1 2 7 ~ 図 1 4 2、図 3 3 1 ~ 図 3 3 6 の実施例などと図 5 0 5、図 5 0 6、図 5 0 7、図 5 1 4、図 5 0 8 ~ 5 1 3 などの駆動方法を組み合わせてもよいことは言うまでもない。その他、本発明のソースドライバ回路（構成）、表示パネルあるいは表示装置、駆動方法、検査方法などと、図 4 1 1 ~ 図 4 1 3、図 4 1 4 ~ 図 4 2 2、図 5 0 5、図 5 0 6、図 5 0 7、図 5 1 4、図 5 0 8 ~ 図 5 1 3、図 1 2 7 ~ 図 1 4 2、図 3 3 1 ~ 図 3 3 6 の実施例などを相互に組み合わせてもよいことは言うまでもない。

【2688】

指定期間 $IS = 2$ の時は、電圧プリチャージ VPC が実施された後、電流プリチャージ IPC として、電流プリチャージパルス 2 が選択され、過電流駆動が実施される。つまり、電流プリチャージパルス 2 の期間に過電流 Id がソース信号線 1 8 に印加される。

【2689】

以下同様に、指定期間 $IS = 3$ の時は、電圧プリチャージ VPC が実施された後、電流プリチャージ IPC として、電流プリチャージパルス 3 が選択される。指定期間 $IS = 4$ の時は、電圧プリチャージ VPC が実施された後、電流プリチャージ IPC として、電流プリチャージパルス 4 が実施される。指定期間 $IS = 5$ の時は、電圧プリチャージ VPC が実施された後、電流プリチャージ IPC として、電流プリチャージパルス 5 が選択される。指定期間 $IS = 6$ の時は、電圧プリチャージ VPC が実施された後、電流プリチャージ IPC として、電流プリチャージパルス 6 が実施される。

【2690】

本発明では、電流プリチャージパルス*の*数が大きくなるほど、過電流I_d（電流プリチャージの電流）がソース信号線18に印加される期間が長いとして説明をする。なお、本発明では、電流プリチャージ期間を変化させるとして説明するが、これに限定するものではなく、指定信号ISにより電流プリチャージ電流の大きさを変化（指定）してもよい。また、電圧プリチャージ期間あるいは電圧プリチャージの印加電圧を変化（指定）してもよいことは言うまでもない。

【2691】

Rデータと同様に、Gデータは、B期間に、3つのプリチャージ指定データ（GP0、GP1、GP2）と、GSIG7データ（図508とその説明を参照のこと）を送送する。また、Bデータは、B期間に、3つのプリチャージ指定データ（BP0、BP1、BP2）と、GSIG8データ（図508とその説明を参照のこと）を送送する。

10

【2692】

以上のように、B期間には、電流プリチャージを指定する信号と、C/Dなどの他の信号が転送される。なお、転送は、コントローラ回路（IC）760からソースドライバ回路（IC）14に対して行われる。

【2693】

RデータのC期間は、映像信号としてのRデータが転送される。つまり、RD0[0]～RD0[7]が転送される。なお、RD0[*]の括弧[]の添え字は、映像データのビット位置を示す。つまり、RD0[0]とは、Rデータの0番目の最下位ビットを示し、RD0[7]とは、Rデータの0番目の最上位ビットを示す。また、RD*[]の*は、映像データの順番を示す。たとえば、RD0[]とは、Rの第0画素番目のデータを示し、RD7[]とは、Rの第7画素番目のデータを示す。同様に、RD18[]とは、Rの第18画素番目のデータを示す。以上の事項は、映像Gデータ、映像Bデータに対しても同様である。

20

【2694】

GデータのC期間は、映像信号としてのGデータが転送される。つまり、GD0[0]～GD0[7]が転送される。BデータのC期間は、映像信号としてのBデータが転送される。つまり、BD0[0]～BD0[7]が転送される。

【2695】

B期間+C期間はA期間である。A期間で各RGBの1画素のデータが転送される。つまり、各RGBの各8ビットの映像データを、各映像データをプリチャージするかしないかおよびプリチャージする場合は、どのようなプリチャージを実施するかの指定データが転送される。加えて、ゲートドライバ回路12の制御データが転送される。以上の事項は、映像Gデータ、映像Bデータに対しても同様である。つまり、A期間には、6ビットのシリアルデータが並列に7ツイストペアの信号線で転送される。

30

【2696】

以上の実施例では、A期間には、6ビットのシリアルデータが並列に7ツイストペアの信号線で転送されたとしたが、本発明は、これに限定されるものではない。A期間に、7ビットのシリアルデータが並列に6ツイストペアの信号線で転送してもよい。また、他の方式でもよいことは言うまでもない。

40

【2697】

ゲートドライバ回路12の制御データもシリアルデータにして転送される（図505のゲートデータ）。このことは、図292などを説明している。コントローラ回路（IC）760からシリアルデータとして、ソースドライバ回路（IC）14に転送されたデータは、ソースドライバ回路（IC）14でパラレルデータに変換されて、ゲートドライバ回路12に印加される。

【2698】

図505では、1つのツイストペア線でA期間に、6データ（GSIG1～GSIG6）が転送される。ゲートドライバ回路12の制御データは、ゲートデータのペア線だけ

50

でなく、GデータとBデータにも配置されている。つまり、ツイストペアで転送されるGデータのG S I G 7、ツイストペアで転送されるBデータのG S I G 8の2つを加えて、A期間に計8つの制御信号が転送される。

【2699】

シリアル信号としてソースドライバ回路（IC）14に印加されたゲートデータなどは、図508に図示するように、ソースドライバ回路（IC）14のシリアルーパラレル変換部3681でパラレル信号に変換される。ゲートドライバ回路12の制御データとして、8ビットが転送される。なお、図508はゲートドライバ回路12の制御のみに限定した図面としている（ソースドライバ回路の映像信号のシリアルーパラレル展開は省略している）。また、図292とその説明も参照されたい。シリアルーパラレル変換部は、GOE端子を有している。GOE端子にLレベル信号が印加されると、OGSIG端子は、すべてハイインピーダンス状態になる。つまり、3ステート端子である。ハイインピーダンスにすることにより、OGSIG端子はソースドライバ回路（IC）14から切り離された状態となる。したがって、OGSIG端子に外部からの信号を接続することができる。つまり、ゲートデータなどのシリアル信号を使用しない状態となり、直接にパラレル信号のゲートドライバ回路12の制御信号を接続することができる。

【2700】

図508の構成は、図282～図284、図288～図292、図316、図319、図320、図327、図347、図358、図365、図367、図373、図374などの構成を詳細に示した構成あるいは、類似の構成である。したがって、図282～図284、図288～図292、図316、図319、図320、図327、図347、図358、図365、図367、図373、図374で説明した内容あるいは構成を図508と組み合わせることができることは言うまでもない。

【2701】

8つの制御信号の指定は任意であるが、本発明では、GSIG1はゲートドライバ回路12aのスタートパルス（ST1）信号、GSIG2はゲートドライバ回路12aのクロック（CLK1）信号、GSIG3はゲートドライバ回路12aのイネーブル（OE V1：図40などを参照のこと）信号である。GSIG1は端子OGSIG1端子から出力され、ゲートドライバ回路12aに印加される。GSIG2は端子OGSIG2端子から出力され、ゲートドライバ回路12aに印加される。同様に、GSIG3は端子OGSIG3端子から出力され、ゲートドライバ回路12aに印加される。

【2702】

GSIG4はゲートドライバ回路12bのスタートパルス（ST2）信号、GSIG5はゲートドライバ回路12bのクロック（CLK2）信号、GSIG6はゲートドライバ回路12bのイネーブル（OE V2：図40などを参照のこと）信号である。GSIG4はOGSIG4端子から出力され、ゲートドライバ回路12bに印加される。GSIG5はOGSIG5端子から出力され、ゲートドライバ回路12bに印加される。同様に、GSIG6はOGSIG6端子から出力され、ゲートドライバ回路12bに印加される。

【2703】

以上のように、本発明は、複数のゲートドライバ回路12に共通の制御信号を具備する点に特徴がある。また、OGSIG端子をハイインピーダンス状態に制御することができ、OGSIG端子に他の制御信号を接続することができる点にも特徴がある。

【2704】

GSIG7はゲートドライバ回路12aとゲートドライバ回路12bとの共通信号である。具体的には、GSIG7は表示画面の表示方向を上下に切り替えるUD（アップダウン）信号である。GSIG7はOGSIG7L端子から出力され、ゲートドライバ回路12aに印加される。同時に、GSIG7はOGSIG7R端子から出力され、ゲートドライバ回路12bに印加させる。

【2705】

GSIG8もゲートドライバ回路12aとゲートドライバ回路12bとの共通信号であ

る。具体的には、G S I G 8はゲートドライバ回路1 2 aと1 2 bの共通のイネーブル信号（O E V 3）である。G S I G 8はO G S I G 8 L端子から出力され、ゲートドライバ回路1 2 aに印加される。同時に、G S I G 8はO G S I G 8 R端子から出力され、ゲートドライバ回路1 2 bに印加される。

【2706】

図509はゲートドライバ回路1 2の制御信号G S I Gの説明図である。ゲートドライバ回路1 2の制御信号は、D Y[1]、D Z[1]とゲートデータである。ゲートドライバ回路1 2の制御データで8ビットは、3クロックで確定する（クロックは立ち上がりエッジと立下りエッジでラッチする）。したがって、A1期間の3クロックが終了した時点で、G S I G 1～8のデータがO G S I G 1～O G S I G 8端子から出力される。この出力は、A1期間の次のA2期間の間、保持される。A2期間では、A2期間の3クロックが終了した時点で、G S I G 1～8のデータがO G S I G 1～O G S I G 8端子から出力される。この出力は、A2期間の次のA3期間の間、保持される。

【2707】

図508のG O E信号が、Hレベルの時は、G S I G 1～8のデータがO G S I G 1～O G S I G 8として端子から出力される。G O E信号が、Lレベルの時は、O G S I G 1～O G S I G 8端子はハイインピーダンス状態となる（図509にH i - Zと記載している）。

【2708】

ゲートデータは、ゲートドライバ回路1 2の制御信号として説明したが、これに限定するものではない。たとえば、ソースドライバ回路（I C）14の制御データあるいはパネルの温度制御データであってもよい。A期間の映像データも映像データに限定されるものではない。輝度（Y）信号、色差（C）信号であってもよいし、ソースドライバ回路の制御データ信号であってもよい。

【2709】

本発明は、シリアルデータは映像信号を発生するソースドライバ回路（I C）14に印加し、ソースドライバ回路（I C）14で印加されたシリアルデータをパラレルデータなどに展開し、ソースドライバ回路（I C）14の出力信号により、ゲートドライバ1 2などを制御することに特徴がある。以上のように構成することにより、表示パネルとコントローラ回路（I C）760などとの接続信号線本数を削減でき、接続フレキシ面積の縮小と低コスト化などを実現することができる。

【2710】

A期間は、1水平走査期間（1H）に1画素行の画素数分のデータ数が発生する。たとえば、1画素行の画素数が320ドットであれば、A期間は320回ある。図505のようにデータ転送が実施される。

【2711】

図506は、コマンド転送時である。コマンド転送時は、具体的には1H期間のブランキング期間である。ブランキング期間に、ソースドライバ回路の基準電流設定値、プリチャージ電圧の設定値などの設定データ（コマンド）を転送する。

【2712】

コマンドは6つのツイストペアで転送する。D X[0]、D X[1]、D Y[0]、D Y[1]、D Z[0]、D Z[1]である。ブランキング期間もゲートドライバ回路1 2の制御は必要であるから、ゲートデータは、ツイストペア線で伝送される。また、G S I G 7およびG S I G 8信号も転送される。

【2713】

コマンド転送時はC/DデータをHレベルとして転送する。ソースドライバ回路（I C）14のシリアル-パラレル変換部3681は、C/Dデータのロジックレベルを判定し、データ転送状態か、コマンド転送状態かを判断する。つまり、C/Dデータ=Hの時は、映像データが転送されているとして処理を行い、C/Dデータ=Lの時は、コマンドデータが転送されているとして処理を行う。なお、C/Dデータ位置は、水平同期信号と、

10

20

30

40

50

画素数のカウンタにより位置検出を行う。

【2714】

図506において、B期間は3ビットのアドレスデータ（ADDR）が転送される。C期間は、設定コマンドデータ（CMD）が転送される。コマンドデータは、CMD1～CMD5からなり、各コマンド（CMD）は6ビットである。また、コマンドCMD1～5において、DX[1]が最上位ビット（MSB）であり、DZ[0]が最下位ビットである。つまり、CMD1[*]、CMD2[*]、CMD3[*]、CMD4[*]、CMD5[*]の括弧[]の添え字は、ビット位置を示す。

【2715】

図506において、B期間は3ビットのアドレスデータが転送される。アドレスデータ（ADDR）とは、図507の表に示すように、コマンド（CMD）データの内容を示す。たとえば、ADDR[2]～[0]が'000'の時は、コマンドCMD5～CMD1は基準電流（Ic）設定（DATAまたはIDATAなど）を行う。なお、基準電流Icおよび基準電流設定データに関しては、図50、図60、図61、図64～図66、図131、図140、図141、図145、図188、図196～図200、図346、図377～図379、図397などを用いて説明しているので説明を省略する。CMD0がHレベルにすると、ソースドライバ回路（IC）14の外部の端子によりプリチャージ制御されるモードとなる。

【2716】

ADDR[2]～[0]が'001'を'010'の時は、コマンドCMD5～CMD1は電流プリチャージパルスの長さの設定を行う。パルスの長さは、図513の回路構成で行う。CMD1は電流プリチャージパルス1の長さ設定である。同様に、CMD2は電流プリチャージパルス2の長さ設定、CMD3は電流プリチャージパルス3の長さ設定、CMD4は電流プリチャージパルス4の長さ設定、CMD5は電流プリチャージパルス5の長さ設定である。

【2717】

電圧プリチャージの電圧値の設定は、図507に図示するように、ADDR[2]～[0]が'010'の時のコマンドCMD2の6ビットで設定する。図16、図75～図79、図127～図142、図410～図413などで説明しているので説明を省略する。

【2718】

各電流プリチャージパルスの長さ設定は、設定された6ビットのカウンタ値が一致するまでカウントし行う。カウンタのカウントクロックは、ADDR[2]～[0]が'010'の時の、CMD4のプリチャージパルス発生クロック設定（PpS）の3ビットにより行う。プリチャージパルス発生クロック設定が大きくするほど、つまり、分周回路5132でCLKを分周しカウンタ4682のカウントアップ速度を変化する。プリチャージパルス発生クロック設定（PpS）が大きくするほど、分周回路5132がおおきくなる。したがって、カウンタ4682のカウントアップ速度は遅くなり、結果として、電流プリチャージパルスが印加される期間の長さは長くなる。

【2719】

図513に図示するようにプリチャージパルス生成部5131は主としてカウンタ4682、パルス生成部5133から構成される。プリチャージパルス生成部5131のカウンタ回路4682には、分周回路5132は、PpS信号により、CLKを分周したクロックが印加される。また、カウンタ4682はロード信号（LD）により動作が制御される。なお、ロード信号（LD）は基本的には水平同期信号である。

【2720】

パルス生成部5133は、図514で示すように指定信号ISに応じて、6種類の電流プリチャージパルス期間TIpを発生する。また、設定に応じて、電圧プリチャージパルス期間VIPを発生する。TIpおよびTVpの期間は、分周回路5132の設定値で変化する。したがって、本発明のソースドライバ回路（IC）14は、対象のパネルサイズが変化しても対応することが可能である。

10

20

30

40

50

【2721】

図513に図示するように、ADDR、CMD（図506などを参照のこと）に応じて指定信号IS（ISは、3ビットとする）が抽出される。このIS信号は、ラッチ回路（保持回路）5134でラッチされて1Hの期間保持される。各画素に対応したIS信号は、各ソース信号線18に配置または形成されたセクタ回路5135に入力される。入力されたIS信号はセクタ回路5135で出コードさら、6つの電流プリチャージパルス期間Tipから1つの電流プリチャージパルス期間（なお、IS=0、7の時はいずれのパルス期間も選択されない）が選択される。また、IS=7の時は、電圧プリチャージパルス期間が選択され、電圧プリチャージのみが実施される。IS=1～6の時は、電圧プリチャージが実施された後、電流プリチャージが実施される。

10

【2722】

図510は電圧プリチャージと電流プリチャージとのタイミングチャートである。水平同期信号であるLDパルスの立下りで電圧プリチャージ期間が開始される。電圧プリチャージパルスがHレベルの時、プリチャージ電圧がソースドライバ回路（IC）14から出力される。図510では電圧プリチャージ期間をCで示している。また、水平同期信号であるLDパルスの立下りで電流プリチャージ期間が開始される。電流プリチャージパルス1の時は、C+Aの期間が電流プリチャージされる期間である。電流プリチャージパルス2の時は、電流プリチャージパルス1の期間よりも長く、C+Bの期間が電流プリチャージされる期間である。以下、電流プリチャージパルス3は電流プリチャージパルス2の期間よりも長く、電流プリチャージパルス4は電流プリチャージパルス3の期間よりも長い。以上の関係が、電流プリチャージパルス6まで図513の回路構成と、図507の設定値により設定あるいは構成されている。

20

【2723】

図511、図512はソースドライバ回路（IC）14内に構成あるいは形成された電流プリチャージ出力段の構成図である。図511、図512の構成は、以前に説明した図381～図394、図398～図399、図402～図421、図432～図435、図457～図462、図470～図484など構成と同一あるいは類似もしくは変形あるいは機能を具体的に記載したもしくは機能を付加した構成である。したがって、相互に組み合わせることができる。また、重複する点が多いため、主として差異を中心に説明する。

【2724】

図511は、8ビットの映像電流信号の1出力段である。映像データD[0]～D[7]はスイッチD*a（*は0～7で、ビット位置を示す）がクローズすることにより端子155から出力される。スイッチD*aは、映像データに応じて該当スイッチがクローズする。一方、スイッチD*b（*は0～7で、ビット位置を示す）は、電流プリチャージ期間の間クローズする。スイッチD*bのクローズにより、単位電流出力段431cから最大電流（過電流Id）が端子155から出力される。

30

【2725】

プリチャージ電圧Vpはスイッチ151aがクローズすることにより端子155から出力される。プリチャージ電流Idおよびプログラム電流Iwはスイッチ151bがクローズすることにより端子155から出力される。スイッチ151aとスイッチ151bとは同時にクローズしないようにインバータ142により制御されている。

40

【2726】

インバータ142へのロジックデータは、プリチャージ期間判定部5112により印加される。つまり、プリチャージ期間判定部5112は、図507の電流プリチャージパルスの長さ設定値によりインバータ142を制御する。

【2727】

図512はスイッチD*a、D*bをORゲートに置き換えた構成である。プリチャージ期間判定部5112からの出力信号により、単位電流出力段431cから最大電流（過電流Id）が端子155から出力される。

【2728】

50

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、基準電流比制御、duty比制御、ダミー画素駆動（図271など）などを実施することが好ましい。つまり、本発明におけるトランジスタ11などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【2729】

本発明の表示パネルにおいて画素16を構成するトランジスタ11などはアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路12、ソースドライバ回路（IC）14もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。また、トランジスタなどは有機トランジスタであってもよいことは言うまでもない。また、図251のスピーカ2512などの駆動回路もポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【2730】

本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30、図271、図274など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図22、図24、図30、図271、図274などのN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成においても有効である）。

【2731】

本明細書に記載した、画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくはその技術的思想、ソースドライバ回路（IC）、ゲートドライバIC（回路）などの駆動回路あるいはコントローラIC（回路）もしくはそれらの制御回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成あるいは方法として適用できることはいうまでもない。

【2732】

本発明の検査装置と検査方法もしくは調整方法の技術的思想などは、本発明の表示パネルもしくは表示装置あるいは方法などに適用できることは言うまでもない。これらの構成あるいは方法もしくは装置などは、低温ポリシリコンの表示パネルだけでなく、アモルファスシリコンの表示パネル、CGS技術で構成した表示パネルにも適用できることは言うまでもない。

【2733】

また、基板30の一部（たとえば、表示144領域など）がアモルファスシリコン技術で構成あるいは形成され、他の部分（ドライバ回路12、14など）が低温ポリシリコン技術、CGS技術などで形成または構成された表示パネルあるいは表示装置も本発明の技術的範疇である。

【2734】

duty比制御駆動、基準電流制御、N倍パルス駆動、ソースドライバ回路（IC）、ゲートドライバ構成など本明細書で記載した本発明の駆動方法および駆動回路などは、有機EL表示パネルの駆動方法および駆動回路などに限定されるものではない。図159に図示するようにフィールドエミッションディスプレイ（FED）、SED（キャノンと東芝が開発したディスプレイ）などの他のディスプレイにも適用できることは言うまでもな

い。

【2735】

図158のFEDでは基板30上にマトリックス状に電子を放出する電子放出突起1583（図3では画素電極35が該当する）が形成されている。画素には映像信号回路1582（図1ではソースドライバ回路（IC）14が該当する）からの映像データを保持する保持回路1584が形成されている（図1ではコンデンサが該当する）。また、電子放出突起1583の前面には制御電極1581が配置されている。制御電極1581にはオンオフ制御回路1585（図1ではゲートドライバ回路12が該当する）により電圧信号が印加される。

【2736】

図158の画素構成で、図174に図示するように周辺回路を構成すれば、duty比制御駆動あるいはN倍パルス駆動などを実施できる。映像信号回路1582からソース信号線18に画像データ信号が印加される。オンオフ制御回路1585aから選択信号線2173に画素16選択信号が印加され順次画素16が選択され、画像データが書き込まれる。また、オンオフ制御回路1585bからオンオフ信号線1742にオンオフ信号が印加され、画素のFEDがオンオフ制御（duty比制御）される。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2737】

図158などの構成にも、本発明のduty比制御、基準電流制御、プリチャージ制御、点灯率制御、AI制御、ピーク電流抑制制御、パネルの配線引き回し、ソースドライバ回路（IC）14の構成あるいは駆動方法、ゲートドライバ回路構成あるいは制御方法、トリミング方法、プログラム電圧＋プログラム電流駆動方法、検査方法など、本発明の明細書で記載した各種の構成あるいは方法、構成、方式、装置構成、表示方法などが適用できることは言うまでもない。以上の事項は本発明の他の実施例においても同様に適用できることは言うまでもない。

【2738】

また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。以上の事項は、特にFED、SEDなどの自己発光デバイスあるいは装置に適用できることは言うまでもない。

【2739】

本発明のドライバ回路（IC）14の出力段（たとえば、トランジスタ群431cなど）は電流出力（プログラム電流を出力）するものを主として説明しているが、これに限定するものではない。出力段がプログラム電圧を出力するものであってもよい（画素構成としては図2などが該当する）。電圧出力段は、基準電流Icに対応するようにオペアンプなどで電圧に変換して出力するものが例示される。

【2740】

出力電流Idをオペアンプなどで電圧に変換して出力するものが例示される。その他、映像データを電圧データに変換し、この電圧データにガンマ処理などを実施し、出力端子155から出力するものが例示される。以上のように本発明のソースドライバ回路（IC）14の出力はプログラム電流に限定するものではなく、プログラム電圧でもよい。

【2741】

また、図77、図78、図75などではソース信号線18に印加するプリチャージ信号は電圧であるとして説明したが、これに限定するものではなく、電流であってもよい。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2742】

本発明は、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、duty比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ゲート信号線電圧（Vgh、Vgl）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変するとしたが、これに限定するものではない。たとえば

10

20

30

40

50

、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、基準電流、d u t y比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ソース信号線18の出力電流、ゲート信号線電圧（V g h、V g l）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。また、フレームレートなどを変更あるいは変化させてもよいことは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2743】

本発明は第1の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第1のF R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

10

【2744】

また、第2の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第2のF R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、F R Cあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはd u t y比あるいはパネル温度など、もしくはこれらの組合せとして変化させるものである。

20

【2745】

また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっくりと変化させる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2746】

本発明のドライバ回路（I C）で説明する事項は、ゲートドライバ回路（I C）12、ソースドライバ回路（I C）14に適用することができ、また、有機（無機）E L表示パネル（表示装置）だけでなく、液晶表示パネル（表示装置）にも適用することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

30

【2747】

本発明の表示装置において、F R Cを実施する場合は、図504に図示するように、赤の映像データ（R D A T A）、緑の映像データ（G D A T A）、青の映像データ（B D A T A）を必要に応じてフレーム（フィールド）メモリ5041に格納する。なお、映像データは各6ビットとする。メモリ5041に格納された映像データは読み出され、ガンマ回路764に入力されガンマ変換されて10ビットデータとなる。10ビット化された映像データはF R C回路765で8ビット化にされて、4 F R Cでソースドライバ回路（I C）14に印加される。

【2748】

このように映像データをメモリ5041には6ビットで格納してメモリサイズを小さくし、ガンマ回路764で10ビットに変換し、F R C処理により8ビットに変換してソースドライバ回路（I C）14に入力する構成は、回路構成が容易でかつ回路規模を小さくするため好ましい。以上の実施例は、携帯電話のように1画面あるいは一部の画面用としてメモリ5041を有する構成に最適である。

40

【2749】

なお、本発明の表示装置（表示パネル）、検査装置、駆動方法、表示方法などにおいて、画素構成は図1を中心に説明した。しかし、本発明はこれに限定するものではない。たとえば、図2、図6～図13、図28、図31、図33～図36、図158、図193～図194、図574、図576、図578～図581、図595、図598、図602～

50

図 604、図 607 (a) (b) (c) の方式も適用できることは言うまでもない。

【2750】

本発明の実施例（構成、動作、駆動方法、制御方法、検査方法、形成または配置、表示パネルとそれを用いた表示装置など）は主として図 1 の画素構成を例示して説明をした。しかし、図 1 の画素構成など説明した事項は、図 1 に限定されるものではない。たとえば、図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 13、図 28、図 31、図 36、図 193、図 194、図 215、図 314、図 607 (a) (b) (c) の画素構成にも適用できることは言うまでもない。

【2751】

また、画素構成に限定されるものではなく、図 231 などで説明した保持回路 2280 についても適用できることは言うまでもない。構成が同一あるいは類似であり、技術的思想が同一であるからである。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2752】

図 1～14、図 22、図 31、図 32、図 33、図 34、図 35、図 36、図 39、図 83、図 85、図 119、図 120、図 121、図 126、図 154～158、図 180、図 181、図 187、図 190、図 191、図 192、図 193、図 194、図 195、図 208、図 248、図 249、図 250、図 251、図 258、図 260～図 265、図 270、図 319、図 320、図 324、図 325、図 326、図 327、図 373、図 374、図 391～図 404、図 409～図 413、図 415～図 422、図 423～図 426、図 444～図 454、図 467、図 519～図 524、図 539～図 549、図 559～図 564、図 574～図 588、図 595～図 601、図 602～図 606 などで説明したあるいは記載した本発明の画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2753】

図 18、図 19、図 20、図 21、図 23、図 24、図 25、図 26、図 27、図 28、図 37、図 38、図 40、図 41、図 42、図 54、図 89～図 118、図 122～図 125、図 128、図 129、図 130、図 132、図 133、図 134、図 149～153、図 177、図 178、図 179、図 211～図 222、図 227、図 252、図 253、図 257、図 259、図 266～図 269、図 280、図 281、図 282、図 289、図 290、図 291、図 307、図 313、図 314、図 315、図 316、図 317、図 318、図 321、図 322、図 333、図 328、図 329、図 330、図 331、図 332～図 337、図 355～図 371、図 375、図 376、図 380、図 382～図 385、図 389、図 390、図 391～図 404、図 409～図 413、図 415～図 422、図 432～図 435、図 442、図 443、図 455～図 466、図 468、図 469、図 477～図 484、図 504、図 505～図 510、図 515～図 518、図 532～図 538、図 565～図 573、図 605～図 608 などで説明あるいは記載した本発明の表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成をすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2754】

図 15、図 16、図 17、図 29、図 30、図 43～53、図 55、図 56、図 57、図 58、図 59、図 60、図 61、図 62、図 63～82、図 84、図 86、図 87、図 88、図 127、図 131、図 135～148、図 159～176、図 182～185、図 186、図 188、図 196、図 197、図 198、図 199、図 200、図 201、図 209、図 210、図 228～245、図 246、図 247、図 283～図 288、図

292～図305、図308～図313、図338～図354、図372、図375、図377～図379、図381、図386、図387～図388、図391～図402、図405～図408、図414、図427～図431、図470～図473、図471～図480、図487、図491～図503、図511～図515、図525～図527、図528～図531、図547～図558、図589～図590などに記載あるいは説明した本発明のソースドライバ回路（IC）もしくはドライバ回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想は相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2755】

図202～図207、図223～226、図306、図436～図441、図485～図486、図488～図490、図591～図594などに記載あるいは説明した本発明の検査装置と検査方法もしくは調整方法あるいは製造方法、製造装置などの技術的思想は、相互に組み合わせることができる。また、本発明の表示パネル（表示装置）、ソースドライバ回路（IC）、駆動方法などに対して相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2756】

さらに、以上に記載した、画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくはその技術的思想、ソースドライバ回路（IC）、ゲートドライバIC（回路）などの駆動回路あるいはコントローラIC（回路）もしくはそれらの制御回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができることはいうまでもない。また、本発明の検査装置と検査方法もしくは調整方法の技術的思想などは、本発明の表示パネルもしくは表示装置などに適用できることはいうまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2757】

なお、本発明の表示パネルは、表示装置を意味することがあることはいうまでもない。また、表示装置とは、撮影レンズなど他の構成物を有するものを意味する場合も含まれる。つまり、表示パネルあるいは表示装置とは、何らかの表示手段をもつ装置である。

【2758】

本発明の実施例で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビ、FED、SED（キャノンと東芝が開発したディスプレイ）などに適用できる。

【2759】

また、ビューファインダ、携帯電話のメインモニターおよびサブモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。

【2760】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。

【2761】

また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置などにも適用できる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2762】

さらに、本発明は、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用

10

20

30

40

50

あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、R G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。

【2763】

また、広告あるいはポスターなどの表示装置、R G Bの信号器、警報表示灯などにも応用できる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2764】

また、スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機E L表示パネルは有効である。R G Bのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2765】

また、本発明は、液晶表示装置のバックライトにも有機E L表示装置は有効である。E L表示装置（バックライト）のR G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。

【2766】

また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。もちろん、画素16などを形成せず、白色あるいは単色のバックライトもしくはフロンとライトとして本発明の技術的思想を用いてもよいことは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2767】

また、アクティブマトリックス表示パネルだけでなく、単純マトリックス表示パネルに本発明の技術的思想を用いてもよい。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。また、本発明の装置あるいは方法により、白色発光を実現し、液晶表示装置などのバックライトとしても用いることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【2768】

なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせて実施されてもよく、その場合組み合わせによる効果が得られる。

【産業上の利用可能性】

【2769】

本発明は、たとえば、有機E L表示パネルを利用してより良好な画像表示を得ることができ、有用である。

【図面の簡単な説明】

【2770】

【図1】本発明の表示パネルの構成図である。

【図2】本発明の表示パネルの構成図である。

【図3】本発明の表示パネルの説明図である。

【図4】本発明の表示パネルの説明図である。

【図5】本発明の表示装置の駆動方法の説明図である。

【図6】本発明の表示パネルの説明図である。

【図7】本発明の表示パネルの説明図である。

50

[illegible]

[illegible]

- [illegible]

[illegible]

- [illegible]

- [illegible]

【図 5 5 8】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 5 9】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 6 0】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 6 1】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 6 2】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 6 3】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 6 4】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 6 5】	本発明の表示装置の駆動方法の説明図である。	
【図 5 6 6】	本発明の表示装置の駆動方法の説明図である。	
【図 5 6 7】	本発明の表示装置の駆動方法の説明図である。	10
【図 5 6 8】	本発明の表示装置の駆動方法の説明図である。	
【図 5 6 9】	本発明の表示装置の駆動方法の説明図である。	
【図 5 7 0】	本発明の表示装置の駆動方法の説明図である。	
【図 5 7 1】	本発明の表示装置の駆動方法の説明図である。	
【図 5 7 2】	本発明の表示装置の説明図である。	
【図 5 7 3】	本発明の表示装置の説明図である。	
【図 5 7 4】	本発明の表示パネルの説明図である。	
【図 5 7 5】	本発明の表示パネルの説明図である。	
【図 5 7 6】	本発明の表示パネルの説明図である。	
【図 5 7 7】	本発明の表示パネルの説明図である。	20
【図 5 7 8】	本発明の表示パネルの説明図である。	
【図 5 7 9】	本発明の表示パネルの説明図である。	
【図 5 8 0】	本発明の表示パネルの説明図である。	
【図 5 8 1】	本発明の表示パネルの説明図である。	
【図 5 8 2】	本発明の表示装置の説明図である。	
【図 5 8 3】	本発明の表示装置の説明図である。	
【図 5 8 4】	本発明の表示装置の説明図である。	
【図 5 8 5】	本発明の表示装置の説明図である。	
【図 5 8 6】	本発明の表示装置の説明図である。	
【図 5 8 7】	本発明の表示装置の説明図である。	30
【図 5 8 8】	本発明の表示装置の説明図である。	
【図 5 8 9】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 9 0】	本発明のソースドライバ回路（ I C ）の説明図である。	
【図 5 9 1】	本発明の表示パネルの製造方法の説明図である。	
【図 5 9 2】	本発明の表示パネルの製造方法の説明図である。	
【図 5 9 3】	本発明の表示パネルの製造方法の説明図である。	
【図 5 9 4】	本発明の表示パネルの製造方法の説明図である。	
【図 5 9 5】	本発明の表示パネルの説明図である。	
【図 5 9 6】	本発明の表示パネルの説明図である。	
【図 5 9 7】	本発明の表示パネルの説明図である。	40
【図 5 9 8】	本発明の表示パネルの説明図である。	
【図 5 9 9】	本発明の表示パネルの説明図である。	
【図 6 0 0】	本発明の表示パネルの説明図である。	
【図 6 0 1】	本発明の表示装置の説明図である。	
【図 6 0 2】	本発明の表示装置の説明図である。	
【図 6 0 3】	本発明の表示装置の説明図である。	
【図 6 0 4】	本発明の表示装置の説明図である。	
【図 6 0 5】	本発明の表示装置の説明図である。	
【図 6 0 6】	本発明の表示装置の説明図である。	
【図 6 0 7】	本発明の表示パネルの説明図である。	50

- 【図 6 0 8】本発明の表示装置の駆動方法の説明図である。
- 【図 6 0 9】本発明の表示装置の駆動方法の説明図である。
- 【図 6 1 0】本発明の表示装置の駆動方法の説明図である。
- 【図 6 1 1】本発明の表示装置の駆動方法の説明図である。
- 【図 6 1 2】本発明の表示装置の駆動方法の説明図である。
- 【図 6 1 3】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 1 4】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 1 5】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 1 6】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 1 7】本発明のソースドライバ回路（I C）の説明図である。 10
- 【図 6 1 8】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 1 9】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 2 0】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 2 1】本発明のソースドライバ回路（I C）の説明図である。
- 【図 6 2 2】本発明の表示パネルの説明図である。
- 【図 6 2 3】本発明の表示パネルの説明図である。
- 【図 6 2 4】本発明の表示装置の駆動方法の説明図である。
- 【図 6 2 5】本発明の表示装置の駆動方法の説明図である。
- 【図 6 2 6】本発明の表示装置の駆動方法の説明図である。
- 【図 6 2 7】本発明の表示装置の駆動方法の説明図である。 20
- 【図 6 2 8】本発明の表示装置の駆動方法の説明図である。
- 【図 6 2 9】本発明の表示装置の駆動方法の説明図である。
- 【図 6 3 0】本発明の表示装置の駆動方法の説明図である。
- 【図 6 3 1】本発明の表示装置の駆動方法の説明図である。
- 【図 6 3 2】本発明の表示装置の駆動方法の説明図である。
- 【図 6 3 3】本発明の表示装置の駆動方法の説明図である。
- 【図 6 3 4】本発明の表示装置の駆動方法の説明図である。
- 【図 6 3 5】本発明の表示装置の駆動方法の説明図である。
- 【図 6 3 6】本発明の表示装置の駆動方法の説明図である。
- 【符号の説明】 30
- 【 2 7 7 1】
- 1 1 トランジスタ（T F T、薄膜トランジスタ）
- 1 2 ゲートドライバ I C（回路）
- 1 4 ソースドライバ回路（I C）
- 1 5 E L（素子）（発光素子）
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量（付加コンデンサ、付加容量）
- 2 9 E L 膜 40
- 3 0 アレイ基板
- 3 1 土手（リブ）
- 3 2 層間絶縁膜
- 3 4 コンタクト
- 3 5 画素電極
- 3 6 カソード電極
- 3 7 乾燥剤
- 3 8 $\lambda/4$ 板（ $\lambda/4$ フィルム、位相板、位相フィルム）
- 3 9 偏光板
- 4 0 封止フタ 50

4 1	薄膜封止膜	
7 1	切り換え回路（アナログスイッチ）	
1 4 1	シフトレジスタ	
1 4 2	インバータ	
1 4 3	出力バッファ	
1 4 4	表示領域（表示画面）	
1 5 0	内部配線（出力配線）	
1 5 1	スイッチ（オンオフ手段）	
1 5 3	ゲート配線	
1 5 4	電流源（単位トランジスタ）	
1 5 7、1 5 8	トランジスタ	10
1 6 1	一致回路	
1 6 2	カウンタ	
1 6 3	A N D	
1 6 4	電流出力回路	
1 7 1	保護ダイオード	
1 7 2	サージ低減抵抗	
1 9 1	書き込み画素行	
1 9 2	非表示（非点灯）領域	
1 9 3	表示（点灯）領域	
4 3 1	トランジスタ群	20
5 0 1	電子ポリウム（電圧可変手段）	
5 0 2	オペアンプ	
6 0 1	基準電流回路	
6 4 1	ラダー抵抗	
6 4 2	スイッチ回路	
6 4 3	電圧入出力回路	
6 6 1	D A 変換回路	
7 6 0	コントロール回路（I C）（制御手段）	
7 6 1	プリチャージ制御回路	
7 6 4	ガンマ変換回路	30
7 6 5	フレームレートコントロール（F R C）回路	
7 7 1	ラッチ回路（保持回路、保持手段、データ格納回路）	
7 7 2	セレクト回路（選択手段、切り換え手段）	
7 7 3	プリチャージ回路	
8 1 1	差動回路	
8 2 1	シリアルーパラレル変換回路（コントロール I C）	
8 3 1	コントロール I C（回路）（制御手段）	
8 4 2	嵩上げ回路	
8 5 1	スイッチ回路（切り換え手段）	
8 5 2	デコーダ回路	40
8 5 3	A I 処理回路（ピーク電流抑制、ダイナミックレンジ拡大処理など）	
8 5 4	動画検出処理（I D 処理）	
8 5 6	カラーマネージメント処理回路（色補償／補正、色温度補正回路）	
8 5 9	演算回路（M P U、C P U）	
8 6 1	可変増幅器	
8 6 7	サンプリング回路（データ保持回路、信号ラッチ回路）	
8 8 1、8 8 2	乗算器	
8 8 3	加算器	
8 8 4	総和回路（S U M 回路、データ処理回路、総電流演算回路）	
1 1 9 1	D C D C コンバータ（電圧値変換回路、D C 電源回路）	50

1 1 9 3	レギュレータ	
1 2 6 1	アンテナ	
1 2 6 2	キー	
1 2 6 3	筐体	
1 2 6 4	表示パネル	
1 2 7 1	電圧階調回路（プログラム電圧発生回路）	
1 3 1 1	デコーダ	
1 4 3 1	加算回路 1 5 4 1 接眼リング	
1 5 4 2	拡大レンズ（正レンズ）	
1 5 4 3	凸レンズ（正レンズ）	10
1 5 5 1	支点（回転部）	
1 5 5 2	撮影レンズ（撮影手段）	
1 5 5 3	格納部	
1 5 5 4	スイッチ	
1 5 6 1	本体	
1 5 6 2	撮影部	
1 5 6 3	シャッタスイッチ	
1 5 7 1	取り付け枠	
1 5 7 2	脚	
1 5 7 3	取り付け台	20
1 5 7 4	固定部	
1 5 8 1	制御電極	
1 5 8 2	映像信号回路	
1 5 8 3	電子放出突起	
1 5 8 4	保持回路	
1 5 8 5	オンオフ制御回路	
1 6 2 1	トリミング装置（トリミング手段、調整手段）	
1 6 2 2	レーザー光	
1 6 2 3	抵抗（調整部）	
1 6 8 1	補正（調整）トランジスタ	30
1 6 9 1	ソース端子	
1 6 9 2	ゲート端子	
1 6 9 3	ドレイン端子	
1 6 9 4	トランジスタ	
1 7 3 1	選択スイッチ（選択手段）	
1 7 3 2	共通線	
1 7 3 3	電流計（電流測定手段）	
1 7 3 4	端子電極	
1 8 0 1	コネクタ端子（接続端子）	
1 8 0 2	フレキ基板	40
1 8 1 1	カソード配線	
1 8 1 2	カソード接続位置	
1 8 1 3	ゲートドライバ信号	
1 8 1 4	ソースドライバ信号	
1 8 1 5	アノード配線	
1 8 8 1	電流保持回路	
1 8 8 2	階調電流配線	
1 8 8 3	出力制御端子	
1 9 0 1	差動信号	
1 9 0 2	信号配線	50

1 9 1 2	電源モジュール	
1 9 1 3	コイル（トランス回路、昇圧回路）	
1 9 1 4	接続端子	
2 0 3 1	アノード端子配線	
2 0 3 2	ショートチップ（ショート手段）	
2 0 3 3	チップ端子	
2 0 3 4	ソース信号線端子 2 0 4 1 ショート液（ショートゲル、ショート樹脂）	
2 0 8 1	カスケード配線	
2 1 9 1	スイッチ（オンオフ手段）	
2 2 3 1	オンオフ制御手段	10
2 2 3 2	検査スイッチ	
2 2 5 1	保護ダイオード	
2 2 5 2	電圧配線	
2 2 6 1	電圧源（検査信号発生手段、検査信号発生部）	
2 2 8 0	出力回路（出力段、電流出力回路、電流保持回路）	
2 2 8 1	トランジスタ	
2 2 8 2	ゲート信号線	
2 2 8 3	電流信号線	
2 2 8 4	ゲート信号線	
2 2 8 9	コンデンサ	20
2 3 0 1	リセット回路	
2 3 1 1	スイッチトランジスタ	
2 2 8 5	ゲート信号線	
2 3 0 1	I－V変換回路	
2 5 0 1	トリミング調整部	
2 5 1 1	封止樹脂	
2 5 1 2	スピーカ	
2 5 1 3	封止膜	
2 6 1 1	レギュレータ	
2 6 1 2	チャージポンプ	30
2 6 2 1	スイッチング回路（交流化回路）	
2 6 2 2	トランス	
2 6 2 3	平滑化回路	
2 7 4 1	ダミー画素行	
2 8 3 1	反転出力発生回路	
2 8 4 1	FF（フリップフロップ回路、遅延回路）	
2 8 5 1	タイミング発生回路	
2 8 5 2	配線	
2 8 7 1	補正データ演算回路	
2 8 7 2	電流測定回路	40
2 8 7 3	プローブ	
2 8 7 4	補正回路（データ変換回路）	
2 8 8 1	ゲート用配線パッド	
2 8 8 2	ゲート用配線パッド	
2 8 8 3	入力信号線パッド	
2 8 8 4	出力信号線パッド	
2 8 8 5	配線	
2 9 0 1	入力信号線	
2 9 0 2	端子電極	
2 9 0 3	アノード配線	50

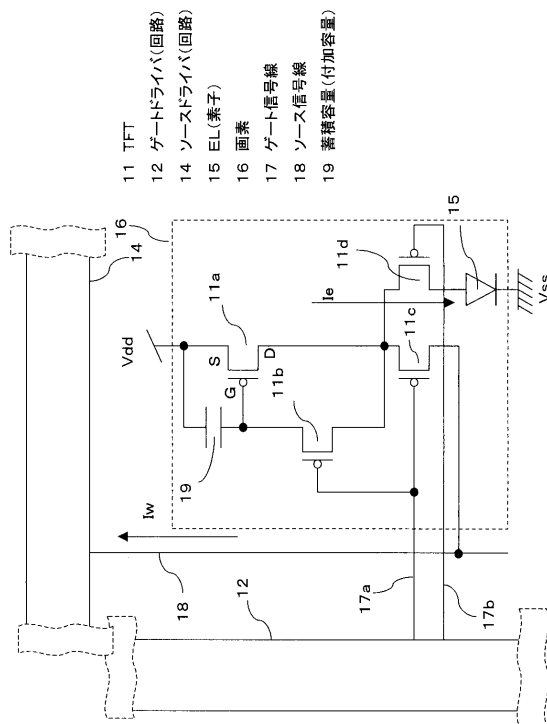
2 9 0 4	金バンプ	
2 9 1 1	フレキシブル基板	
2 9 2 1	差動－パラレル信号変換回路	
2 9 4 1	電圧セレクト回路	
2 9 5 1	セレクト回路	
3 0 3 1	フラッシュメモリ 3 0 5 1	輝度計
3 0 5 2	演算器	
3 0 5 3	制御回路	
3 1 4 1	遮光膜	
3 2 7 1	バッテリー（電池、電力供給手段）	10
3 2 7 2	電源モジュール（電圧発生手段）	
3 4 5 1	加算回路	
3 6 1 1	P L L 回路	
3 6 8 1	差動信号－パラレル信号変換回路	
3 7 5 1	コンデンサ信号線	
3 7 5 2	コンデンサドライバ回路（I C）	
3 8 6 1	過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ	
3 8 8 1	比較回路（データ比較手段、演算手段、制御手段）	
4 0 1 1	ゲート配線	
4 3 7 1	電流計（電流検出手段、電流測定手段）	20
4 4 1 1	検査ドライバ（検査制御手段、ソース信号線選択手段）	
4 4 4 1	温度センサ（温度変化検出手段、温度測定手段、温度検査手段）	
4 4 9 1	選択ドライバ回路	
4 6 8 1	比較回路（比較手段）	
4 6 8 2	カウンタ回路	
4 7 1 1	一致回路	
4 7 1 2	カウンタ回路	
4 8 8 1	ガラス基板	
4 8 9 1	信号配線	
5 1 1 1	電流出力段（プログラム電流出力回路）	30
5 1 1 2	プリチャージ期間判定部	
5 1 3 1	プリチャージパルス生成部	
5 1 3 2	分周回路（クロック周波数変換回路、タイミング変更回路）	
5 1 3 3	パルス生成部（プリチャージパルス発生回路、タイミング回路）	
5 1 3 4	デコーダ	
5 1 3 5	セレクト	
5 1 9 1	コンデンサ電極	
5 1 9 2	加算回路	
5 1 9 3	A D 変換回路（アナログ－デジタル変換手段）	
5 2 0 1	ダミー画素（電位検出手段、電圧検出回路）	40
5 2 8 1	コンパレータ（信号レベル判定手段）	
5 2 9 1	駆動回路（制御回路、信号処理回路）	
5 3 0 1	処理回路（信号処理回路）	
5 3 1 1	モード変換回路（I C）（信号レベル変換回路）	
5 3 9 1	コイル（トランス）	
5 3 9 2	制御回路	
5 3 9 3	ダイオード（整流手段）	
5 3 9 4	コンデンサ（平滑手段）	
5 3 9 5	抵抗	
5 3 9 6	トランジスタ	50

- 5 4 0 1 可変抵抗
- 5 4 1 1 スイッチ
- 5 4 1 3 電源回路
- 5 4 5 1 スイッチ
- 5 4 7 1 サブトランジスタ 5 6 0 2 (アナログ) スイッチ (切り換え手段)
- 5 6 1 1 選択単位トランジスタ
- 5 7 2 1 ホトセンサ
- 5 7 2 2 デコーダ (バーコード解読器)
- 5 7 2 3 EL表示パネル (自発光表示パネル (装置))
- 5 8 6 1 色フィルタ (色改善手段、波長狭帯域手段)
- 5 8 7 1 画素アノード配線
- 5 8 8 1 金属薄膜 (導電材料)
- 5 8 9 1 ウエハ
- 5 8 9 2 特性分布
- 5 9 1 1 ドーピングヘッド
- 5 9 1 2 レーザーヘッド
- 6 0 2 1 アノード配線
- 6 1 6 1 隔離柱 (隔離壁 (リング))
- 6 1 6 2 封止樹脂 (封止手段)
- 6 1 6 3 空間
- 6 2 0 1 切断点

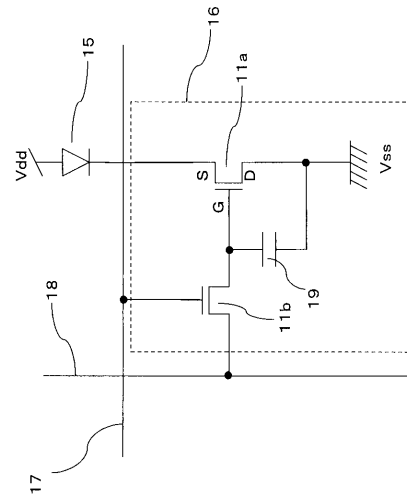
10

20

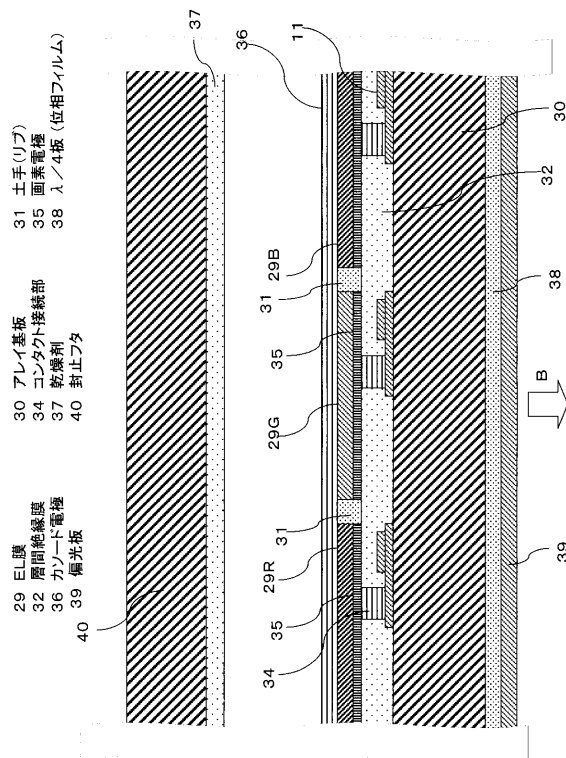
【図 1】



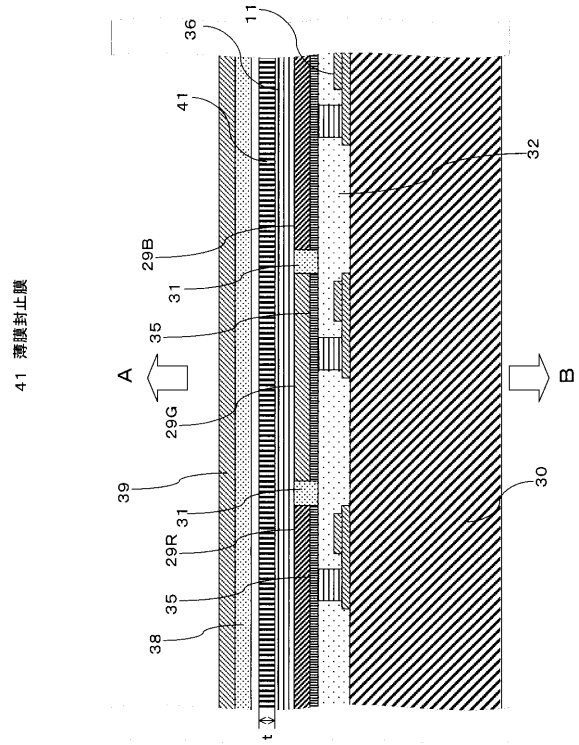
【図 2】



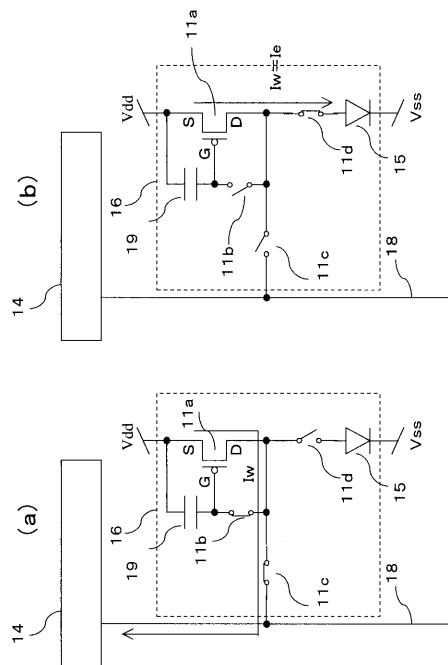
【 図 3 】



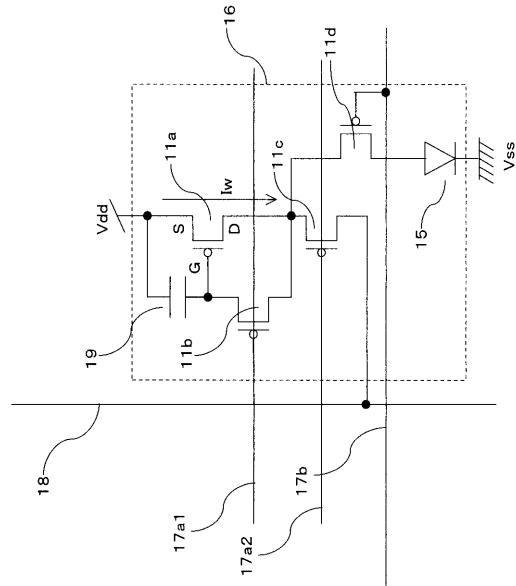
【 図 4 】



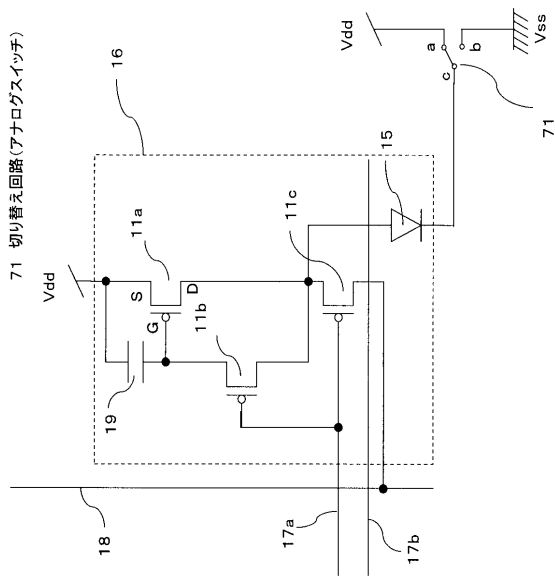
【図 5】



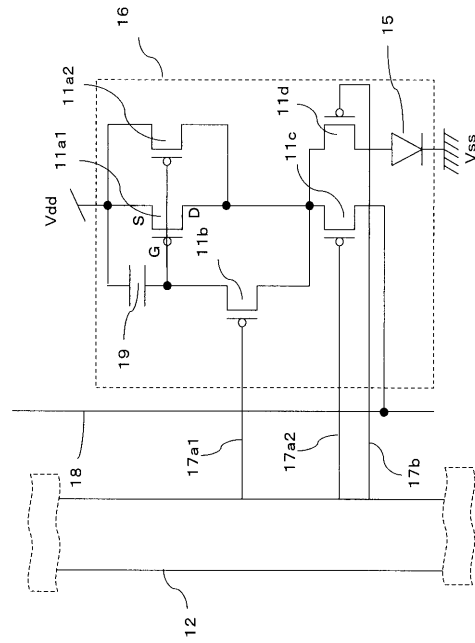
【图 6】



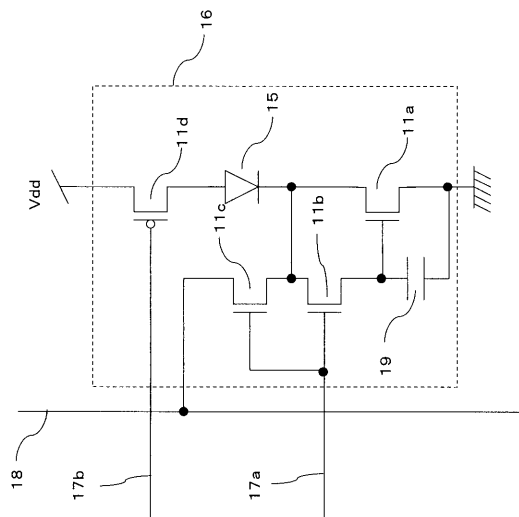
【図 7】



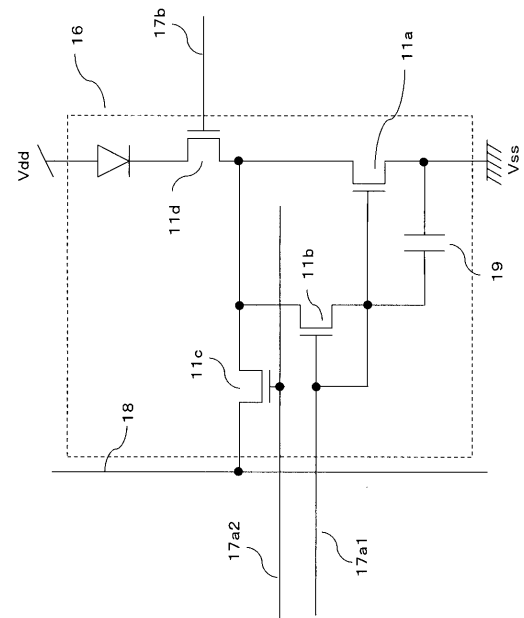
【図 8】



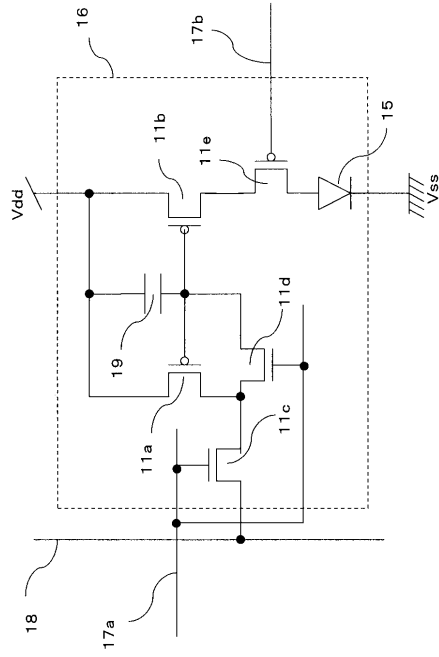
【図 9】



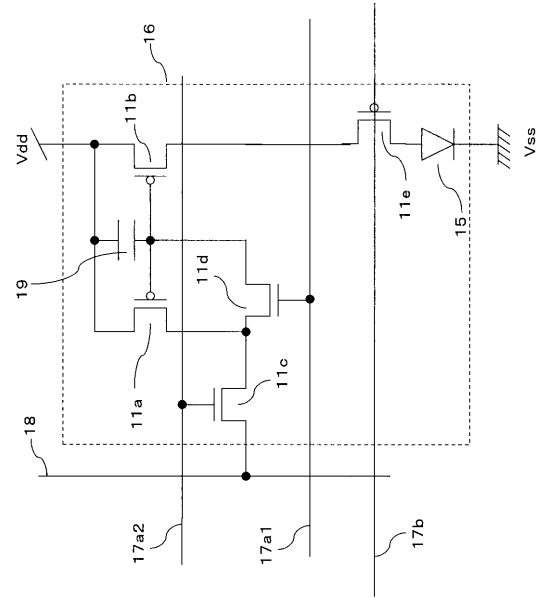
【図 10】



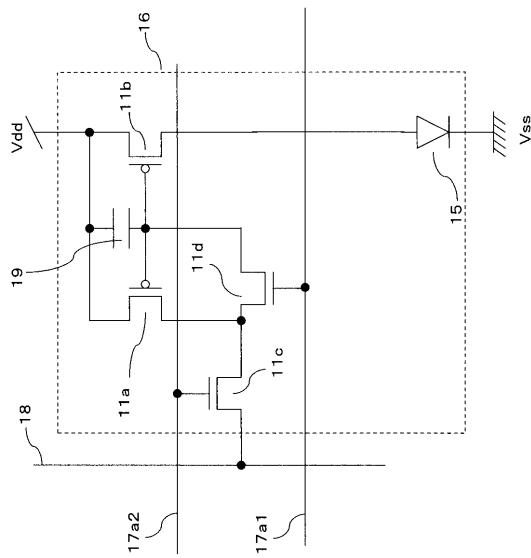
【 図 1 1 】



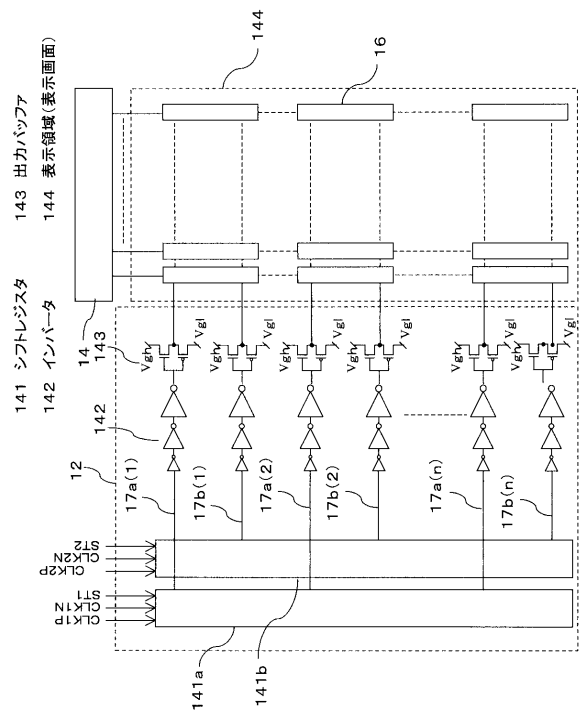
【図 1 2】



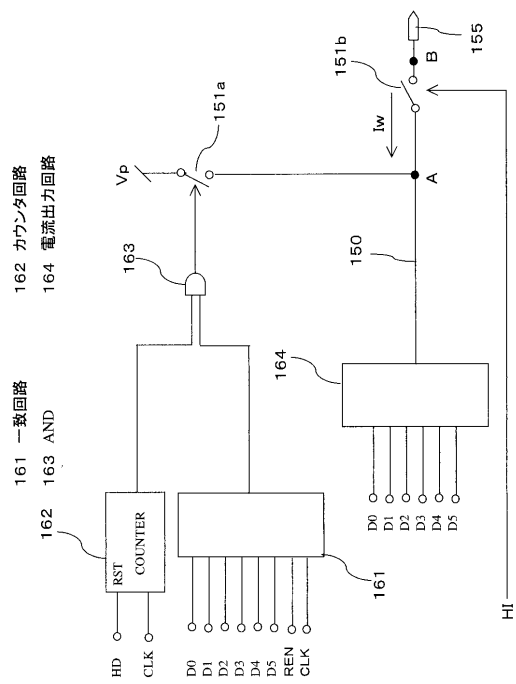
【图 1 3】



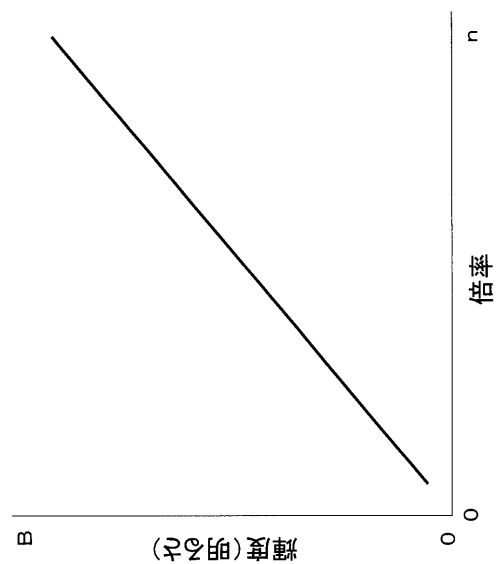
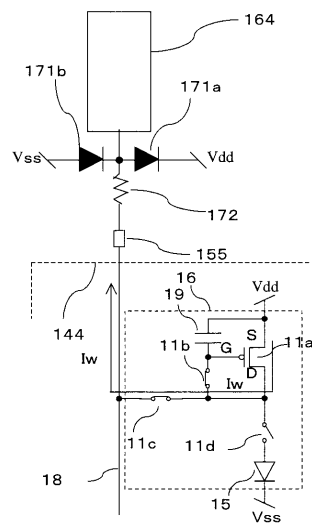
【 図 1 4 】



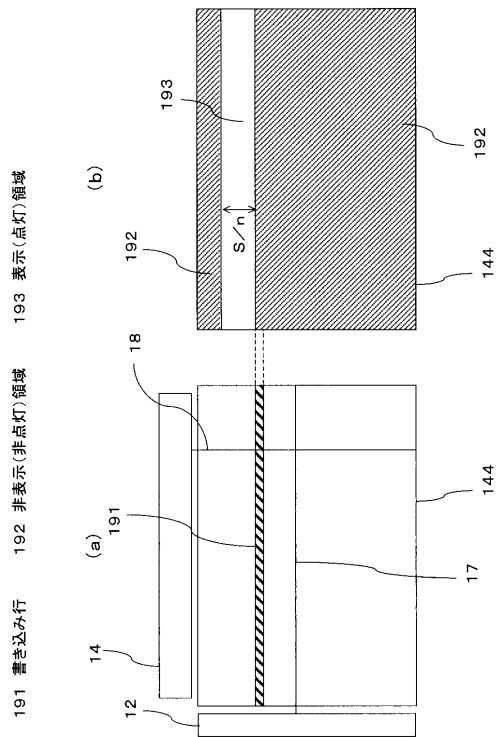
【 図 1 6 】



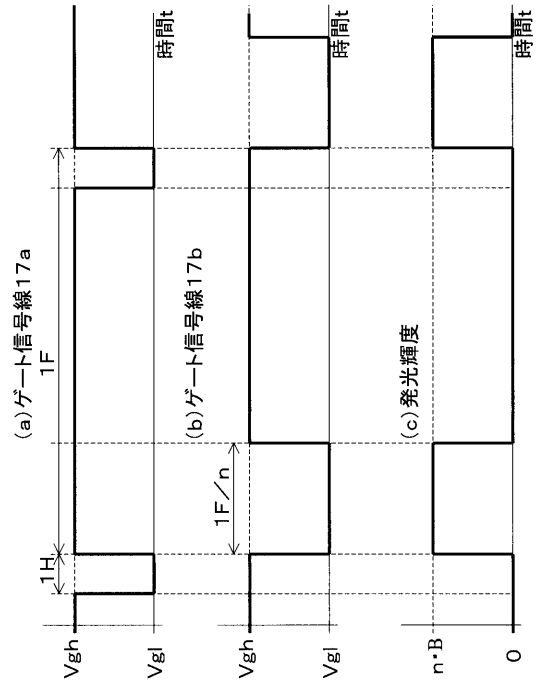
【 図 1 8 】



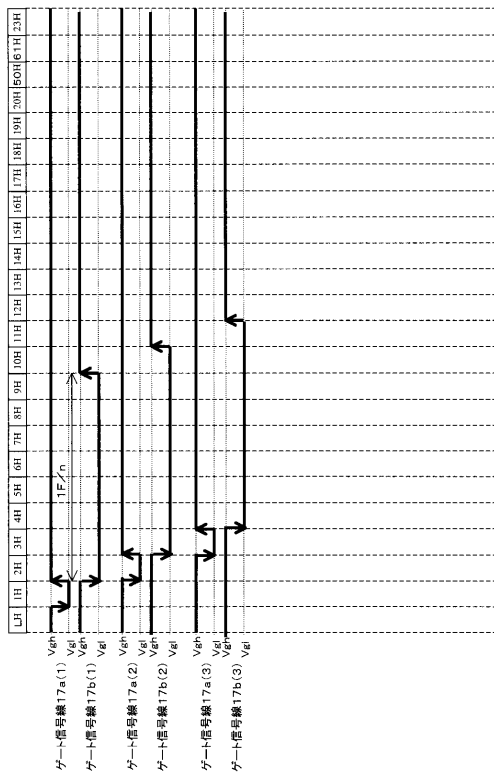
【 図 1 9 】



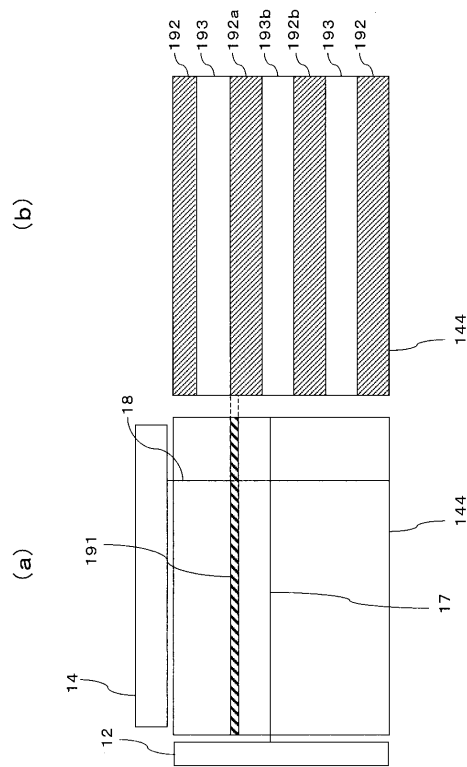
【 図 2 0 】



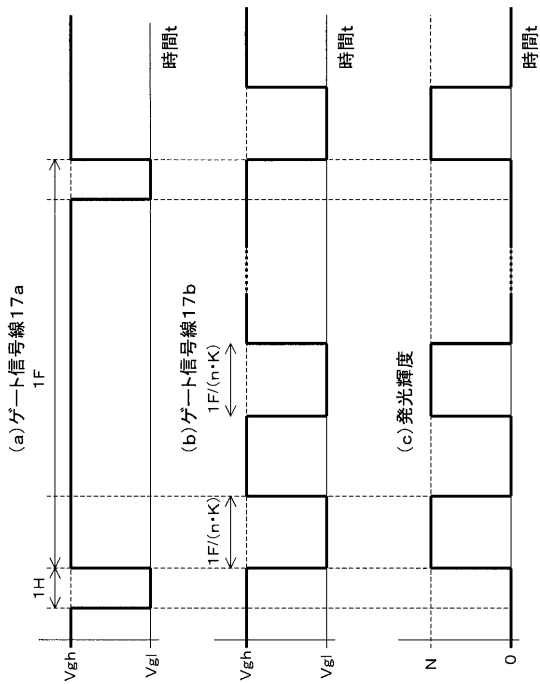
【図 2 1】



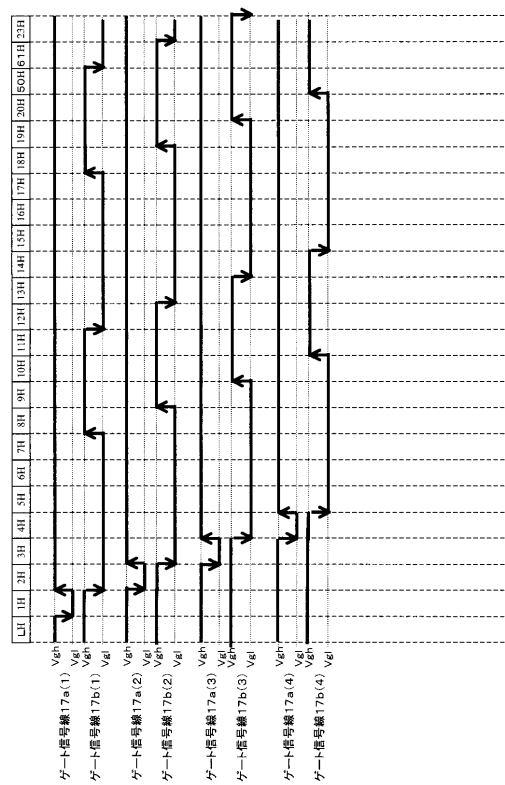
【図 2 3】



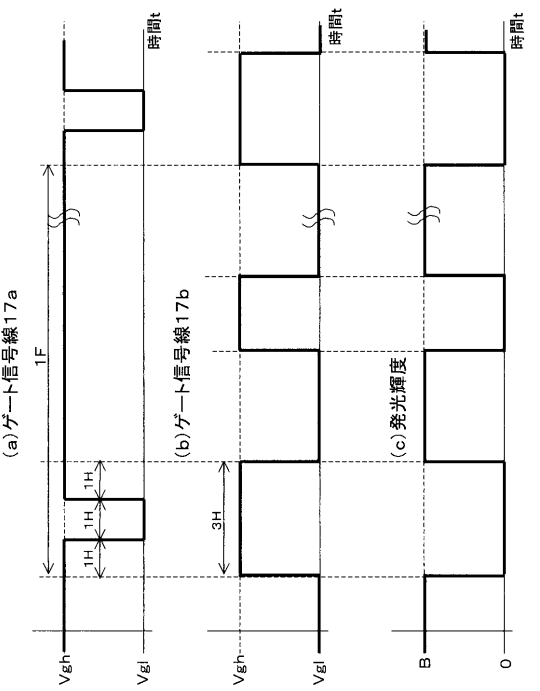
【図 2 4】



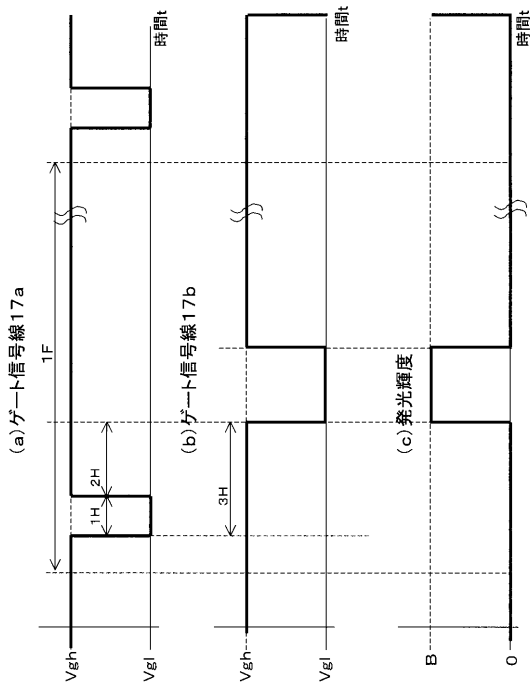
【図 2 5】



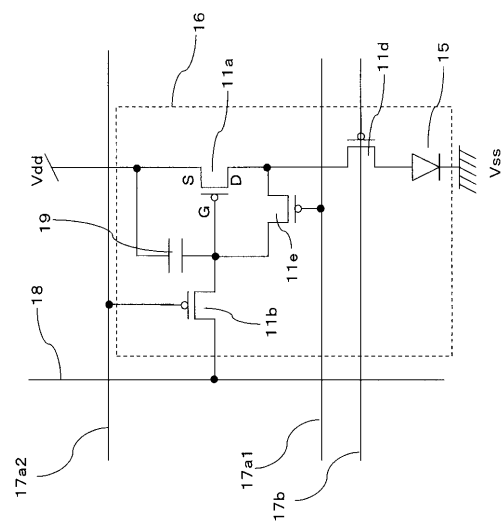
【図 2 6】



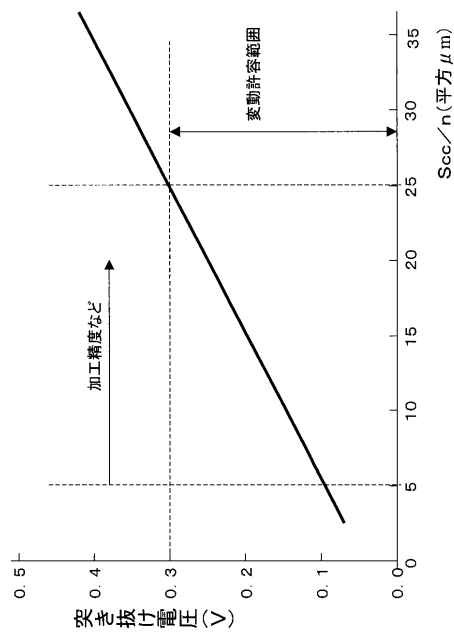
【図 27】



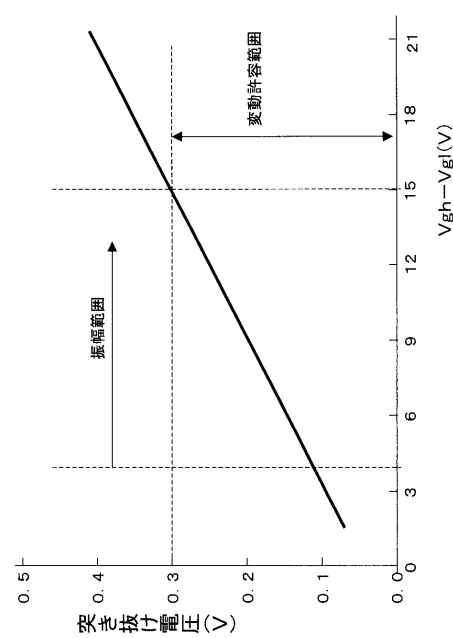
【図 28】



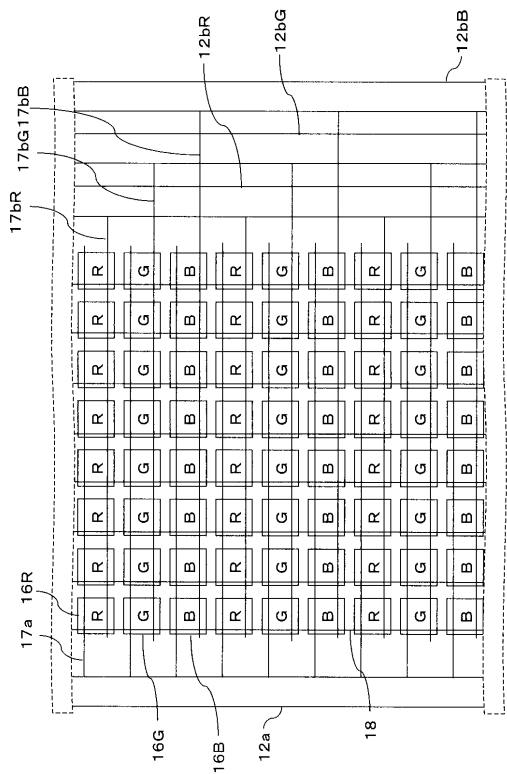
【図 29】



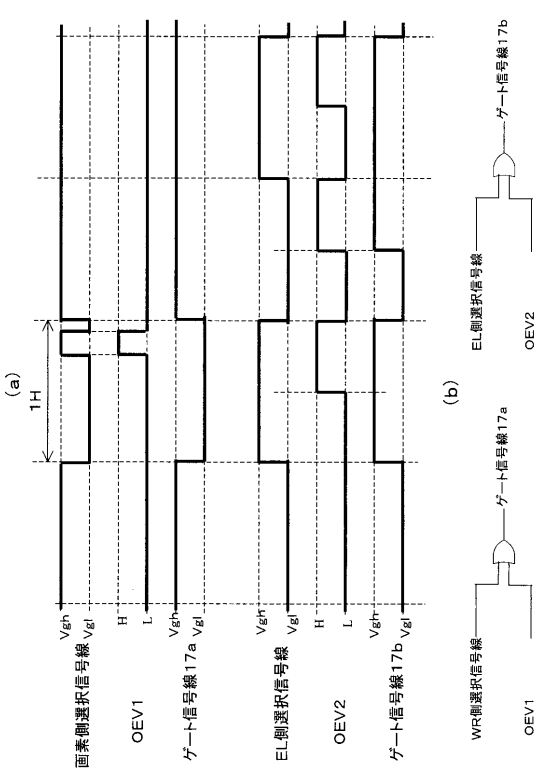
【図 30】



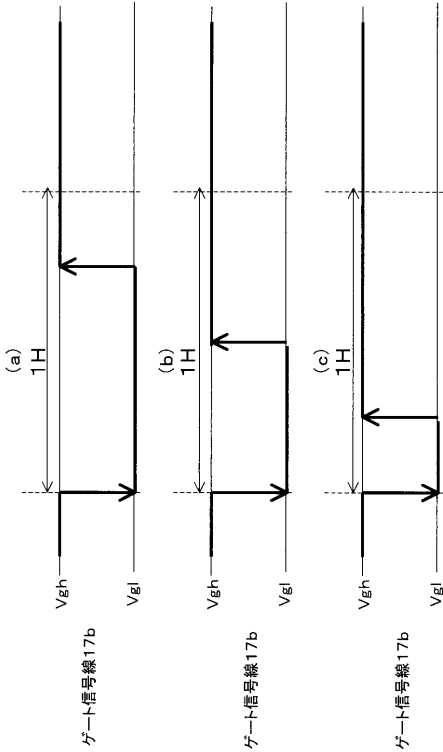
【図 39】



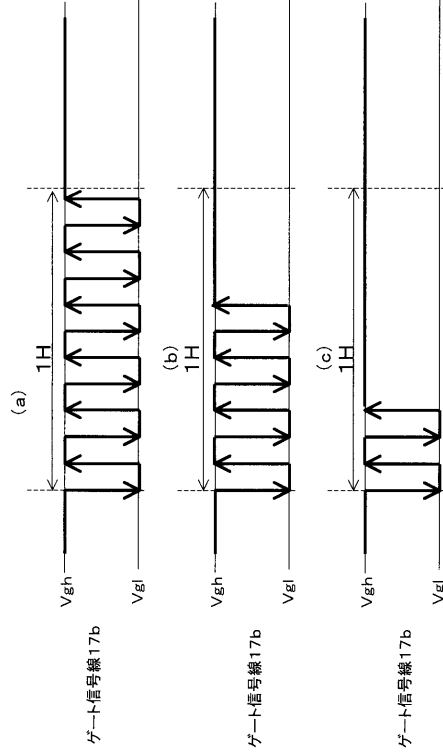
【図 40】



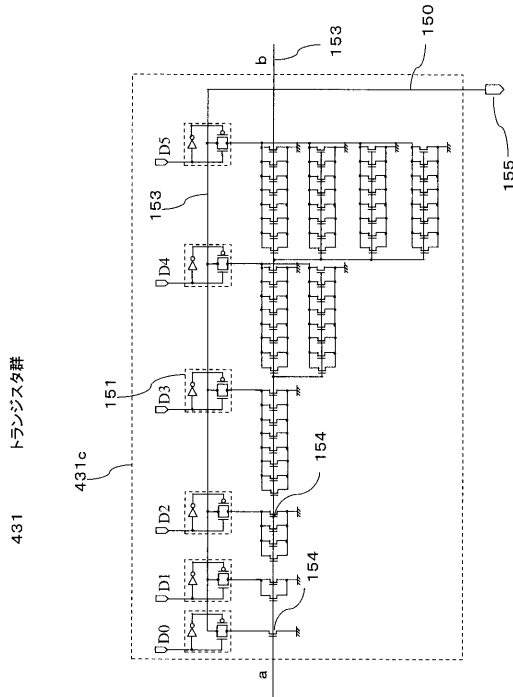
【図 41】



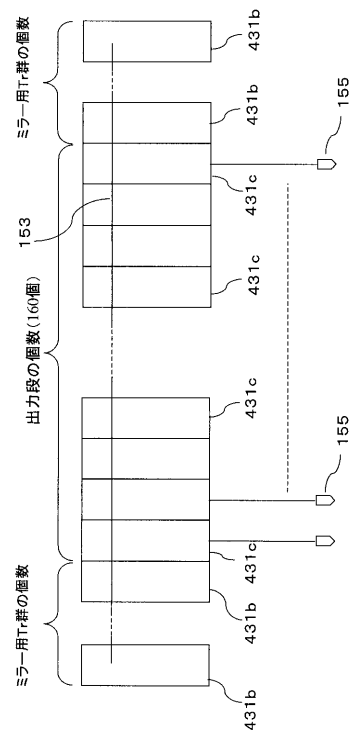
【図 42】



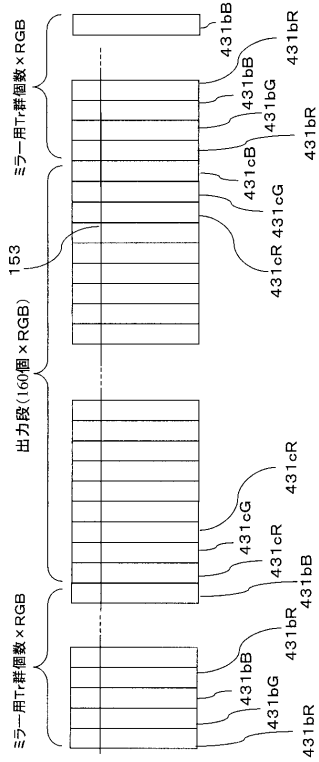
【图 4 3】



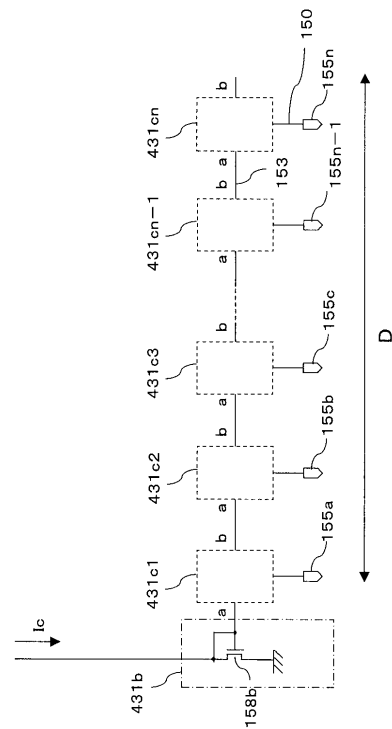
【図 4 4】



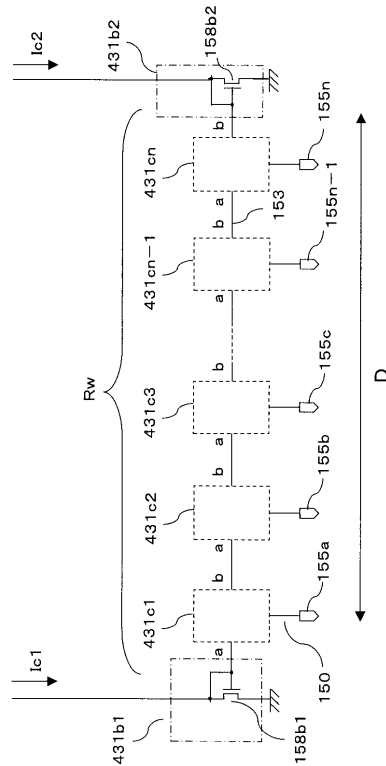
【図 4 5】



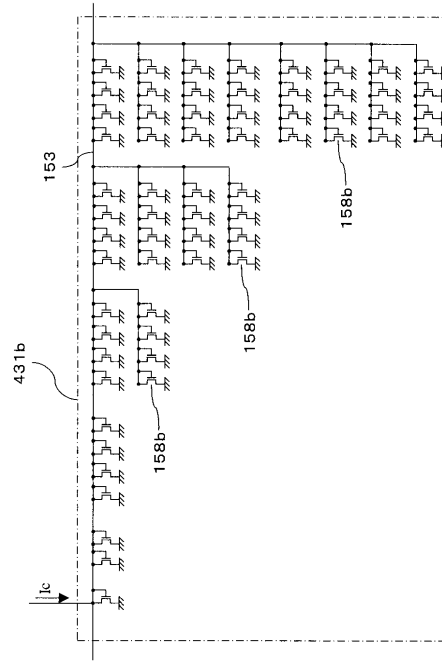
【図 4 6】



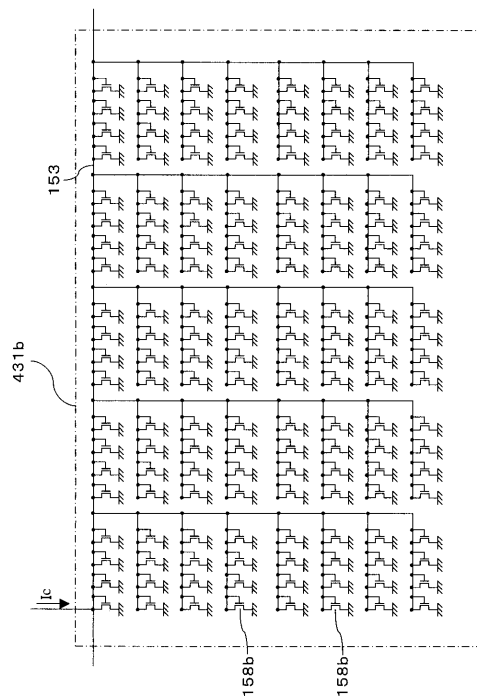
【図 47】



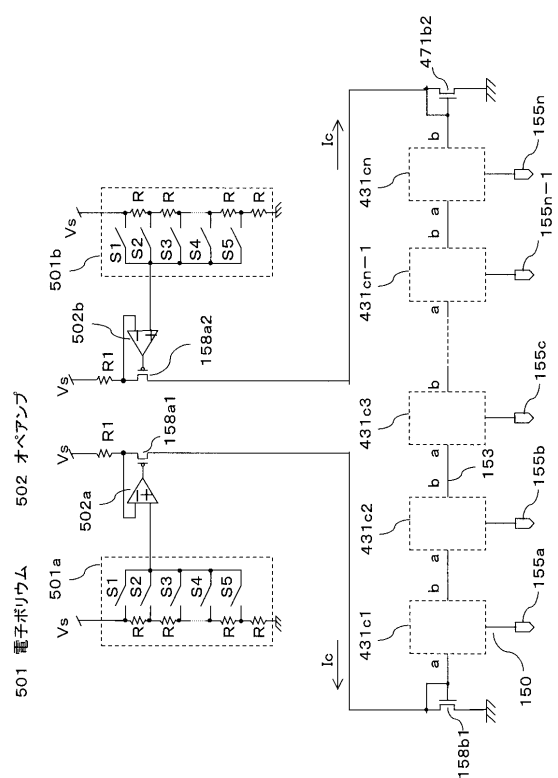
【図 48】



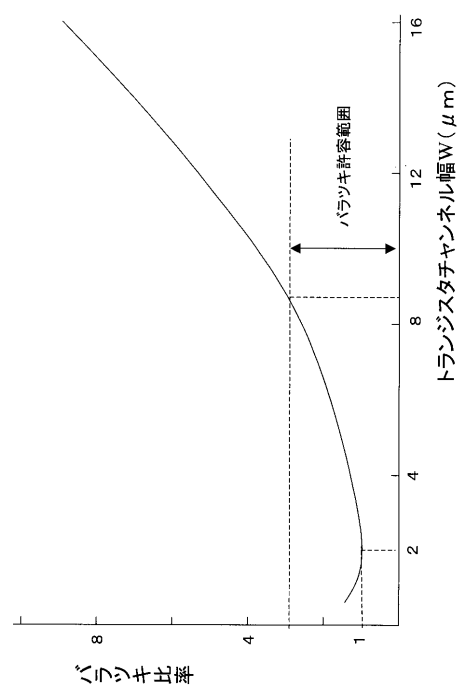
【図 49】



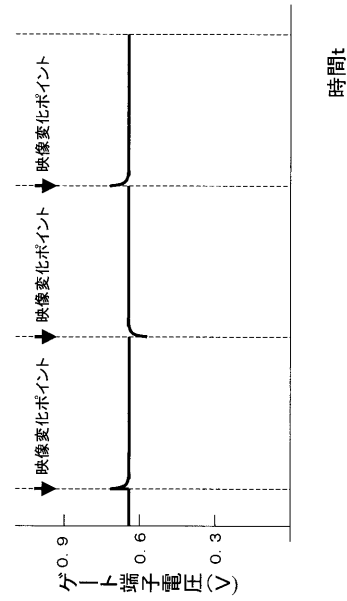
【図 50】



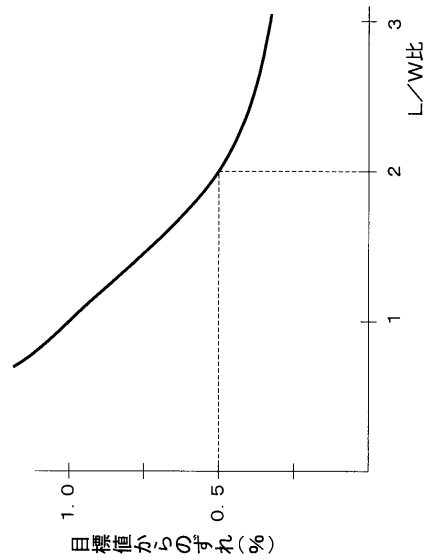
【図 5 1】



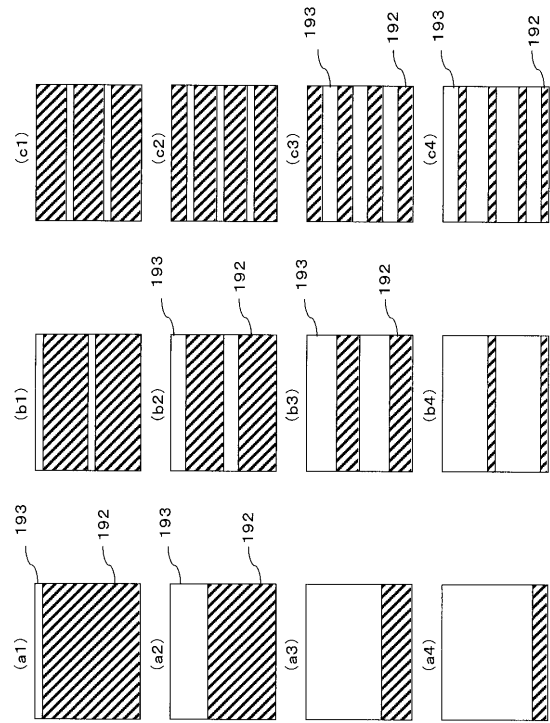
【図 5 2】



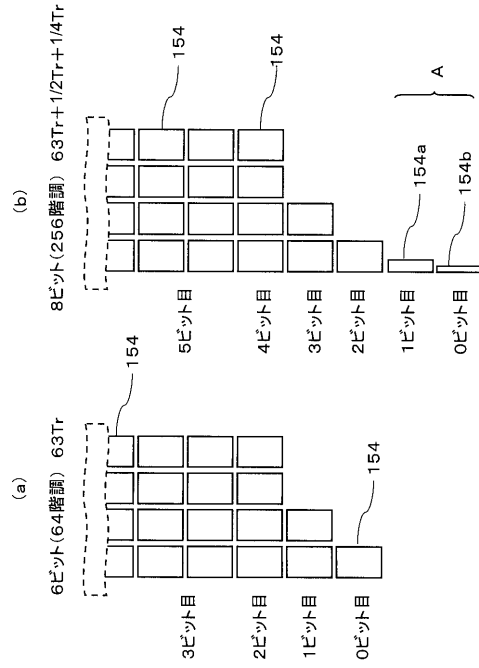
【図 5 3】



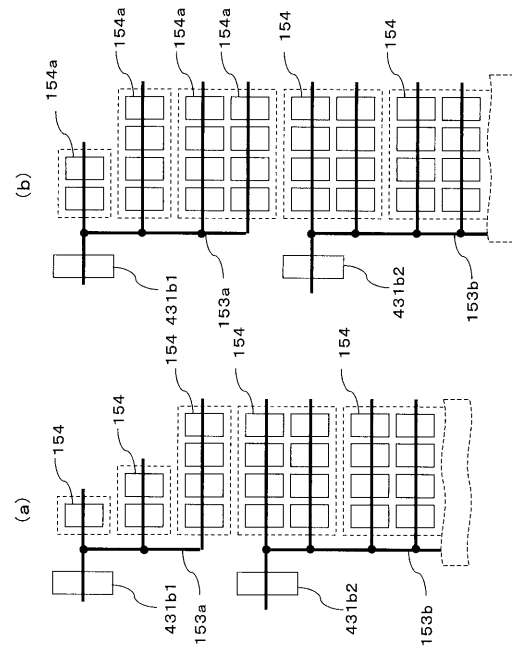
【図 5 4】



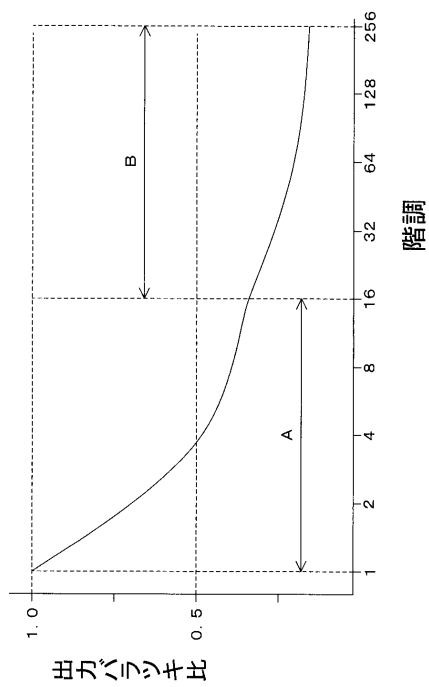
【図 5 5】



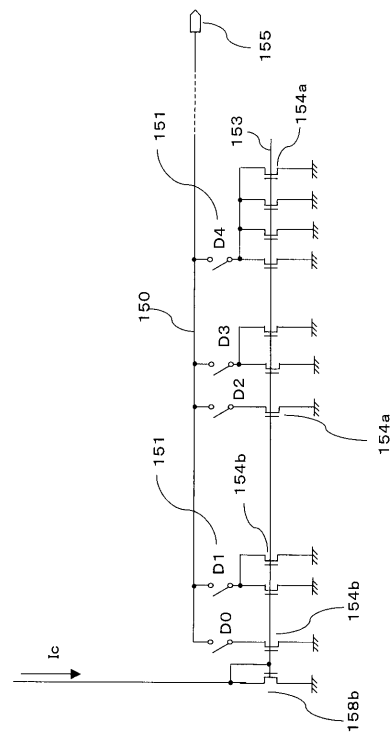
【図 5 6】



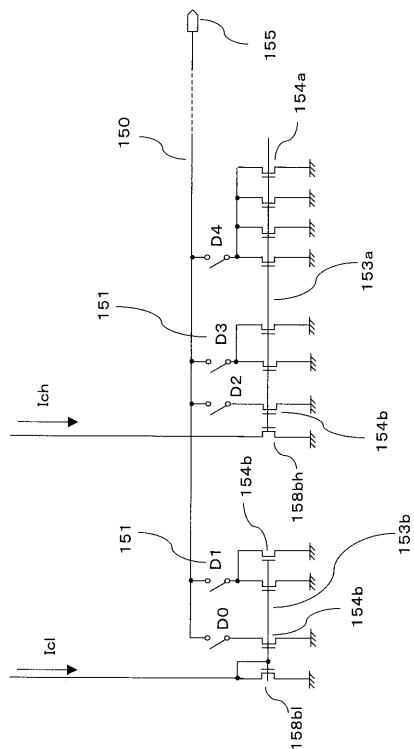
【図 5 7】



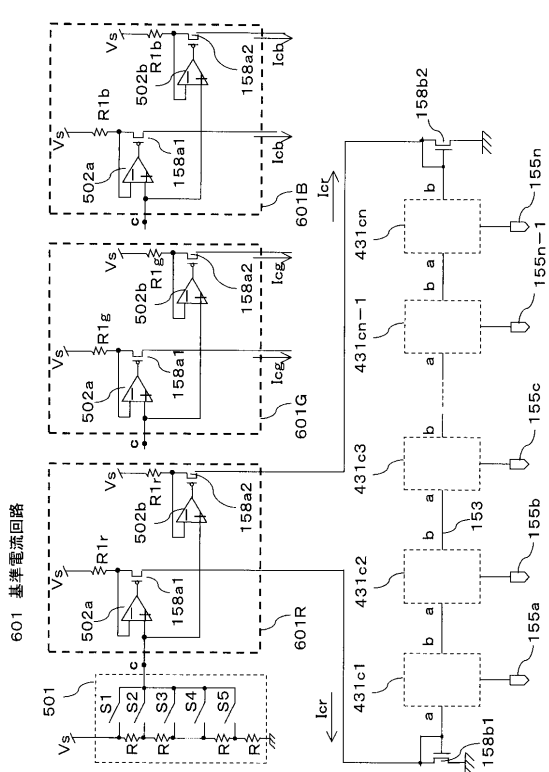
【図 5 8】



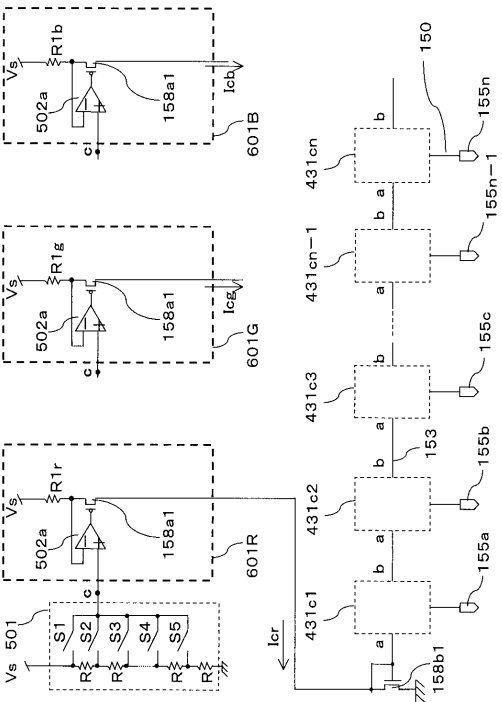
【図 59】



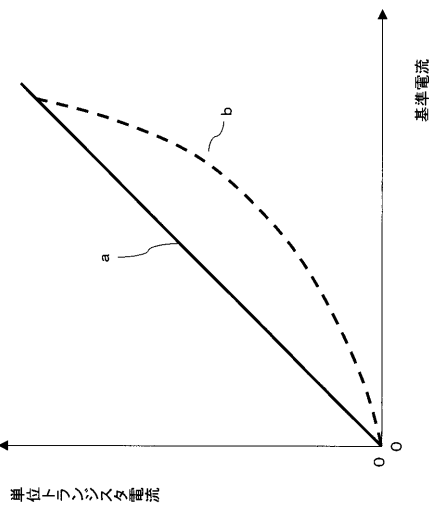
【図 60】



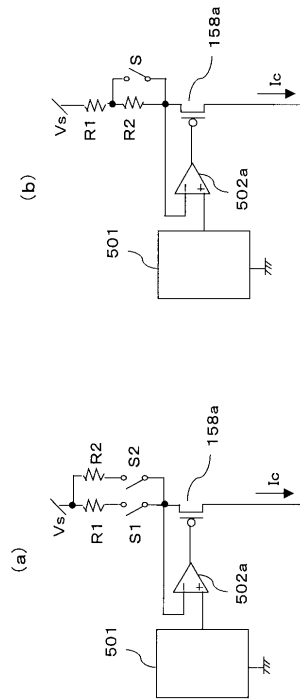
【図 61】



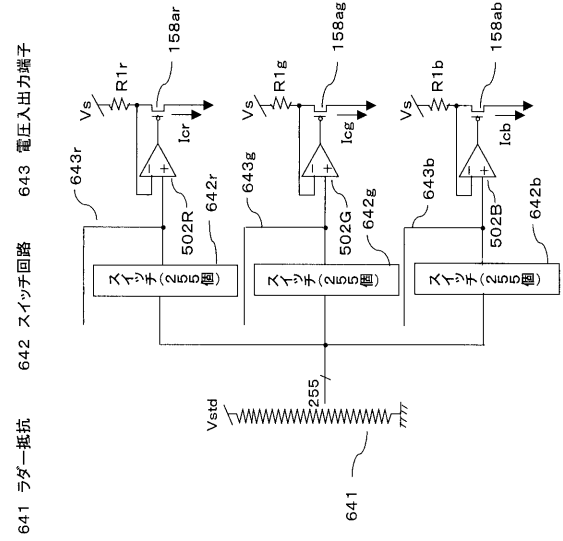
【図 62】



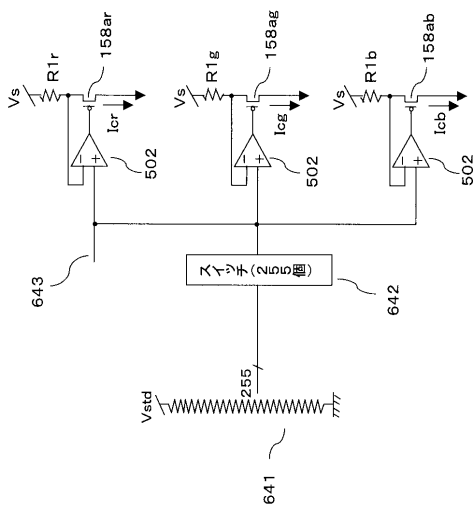
【図 6 3】



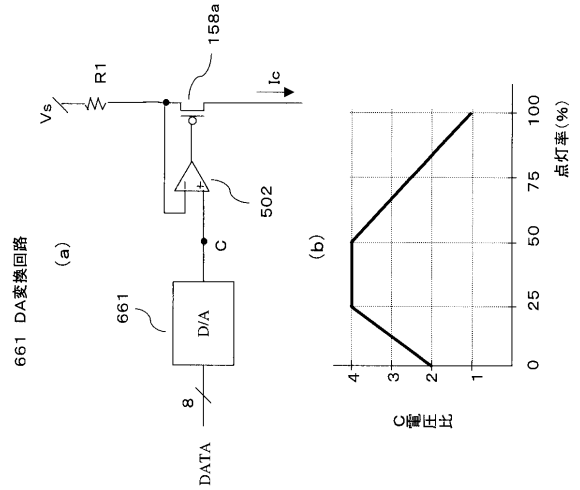
【図 6 4】



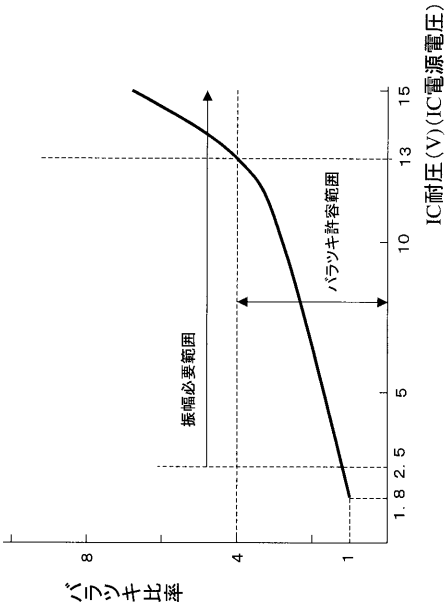
【図 6 5】



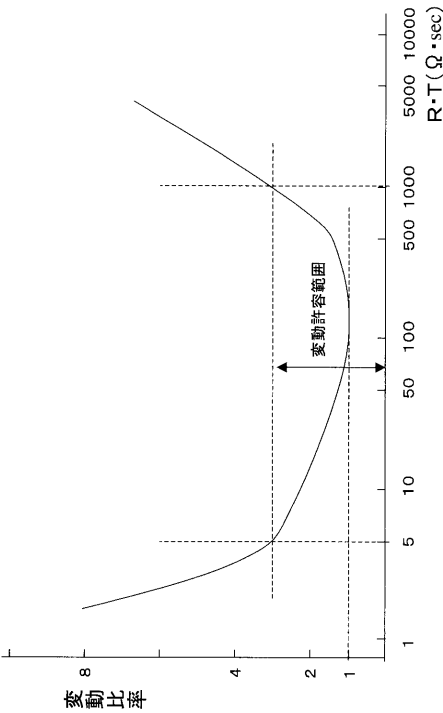
【図 6 6】



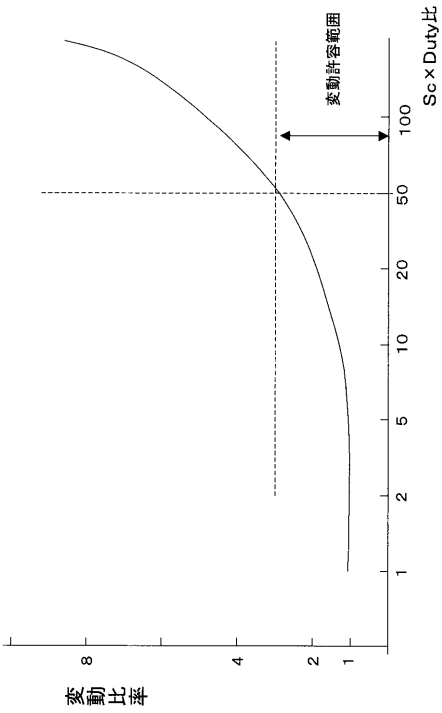
【図 6 7】



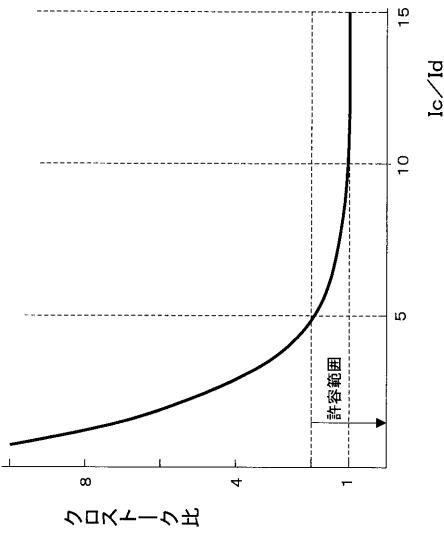
【図 6 8】



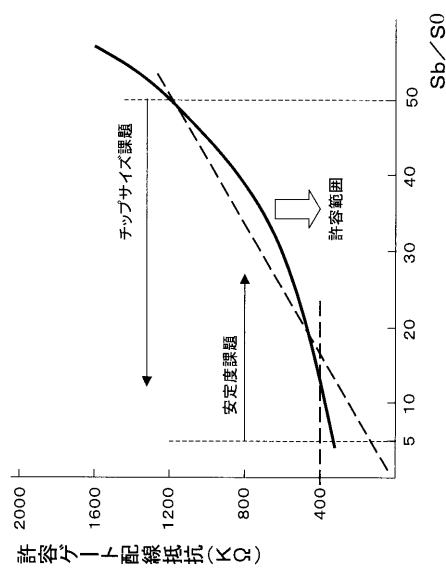
【図 6 9】



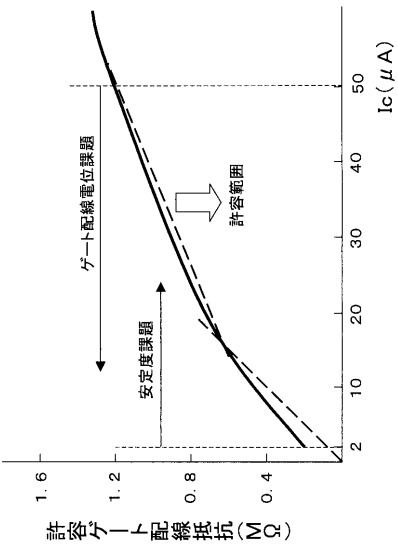
【図 7 0】



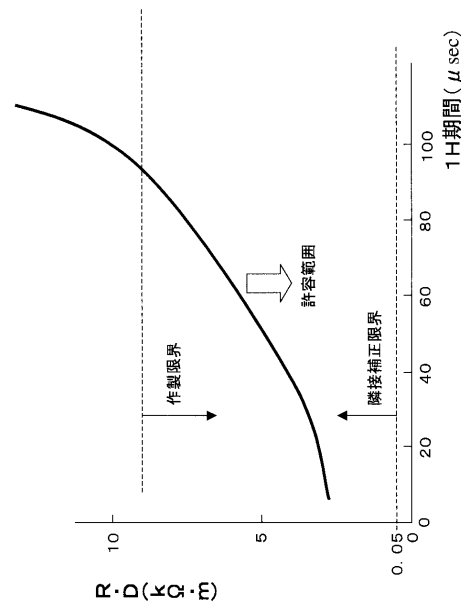
【図 7 1】



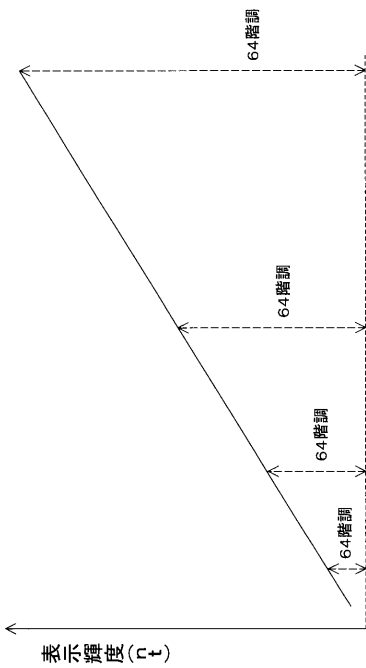
【図 7 2】



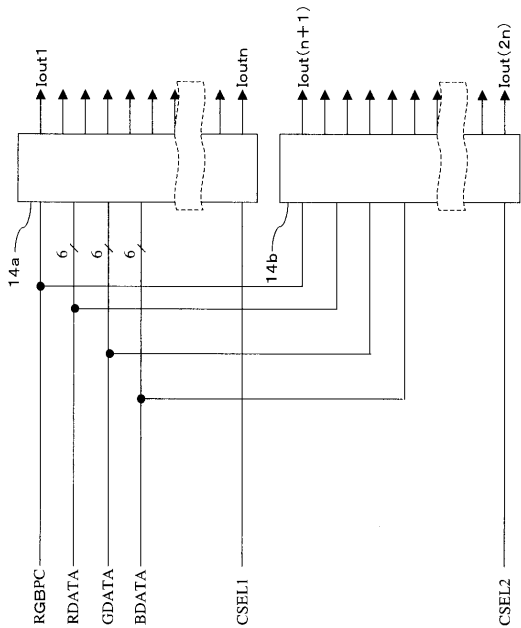
【図 7 3】



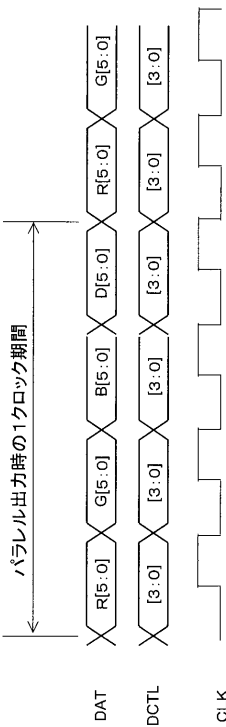
【図 7 4】



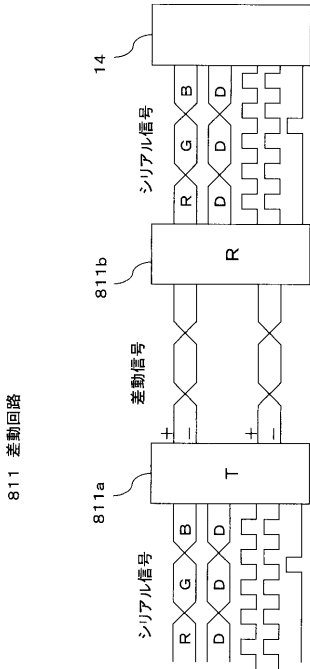
【図 79】



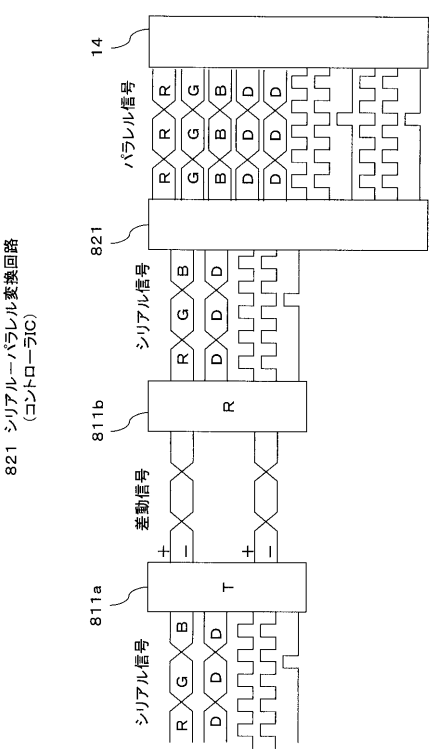
【図 80】



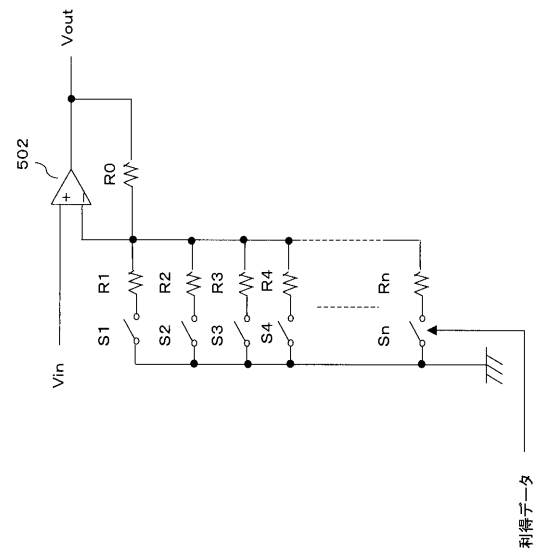
【図 81】



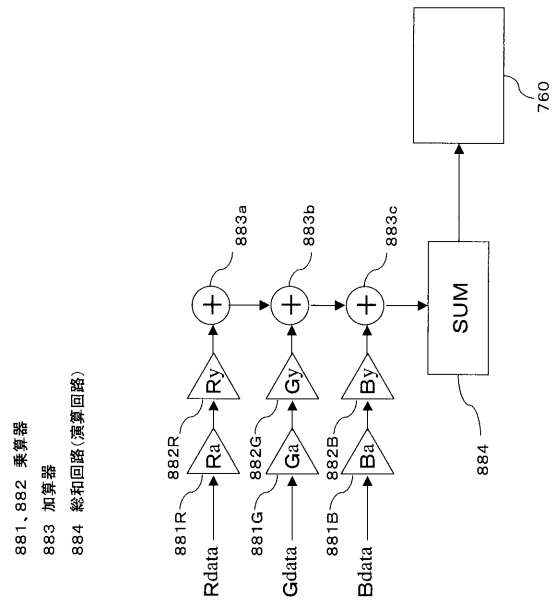
【図 82】



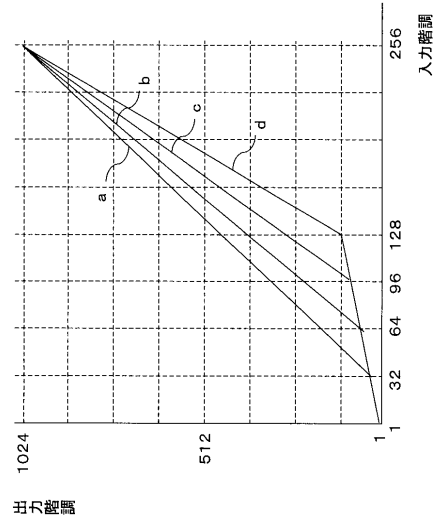
【図 8 7】



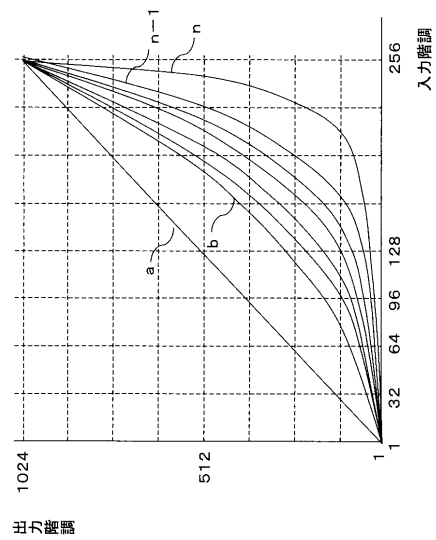
【図 8 8】



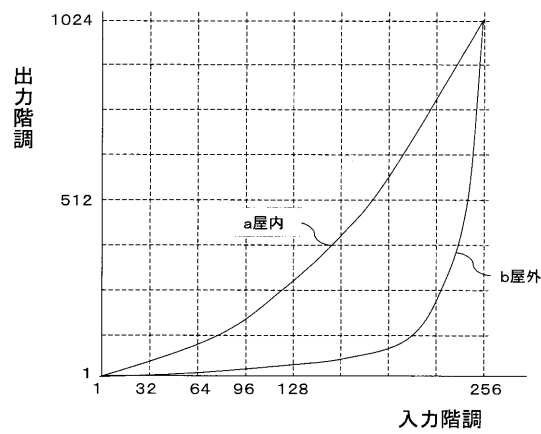
【図 8 9】



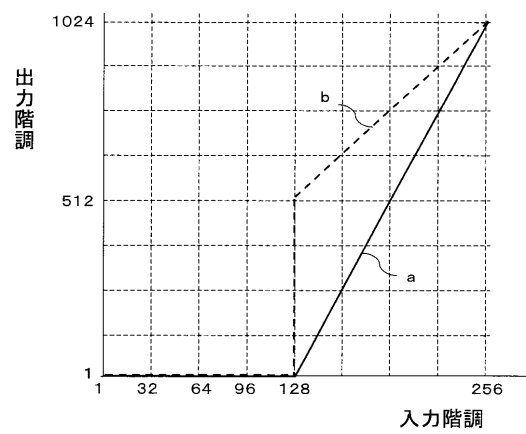
【図 9 0】



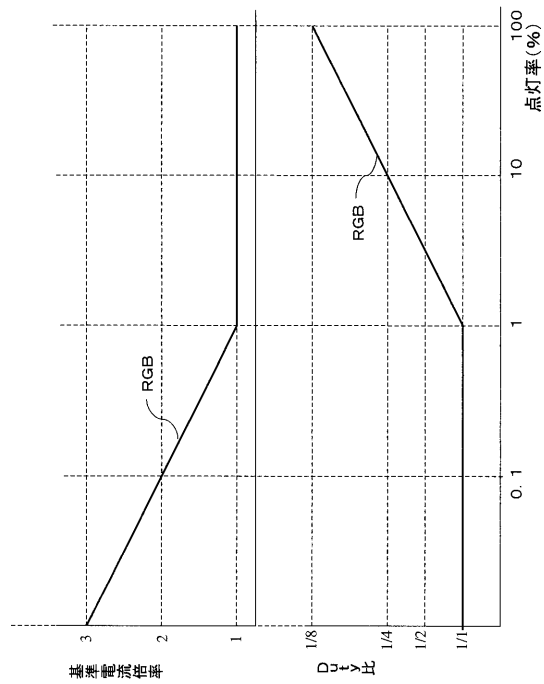
【図 9 1】



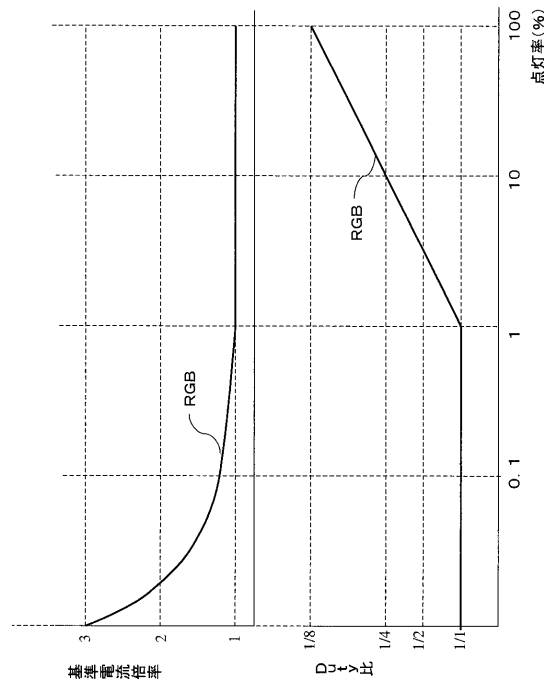
【図 9 2】



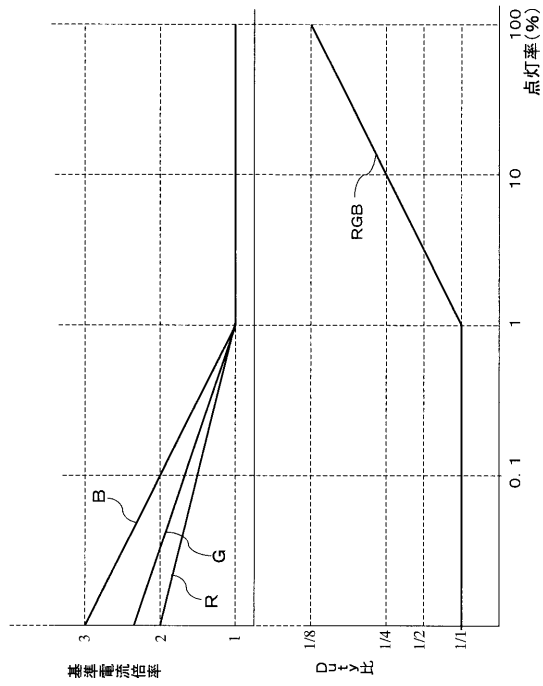
【図 9 3】



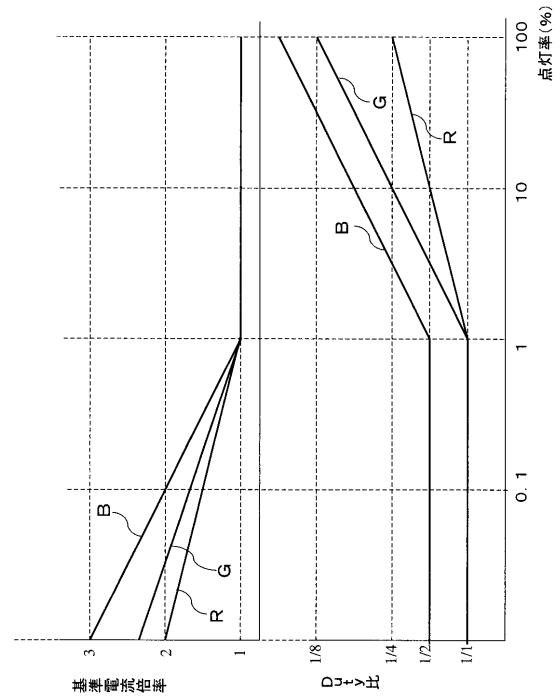
【図 9 4】



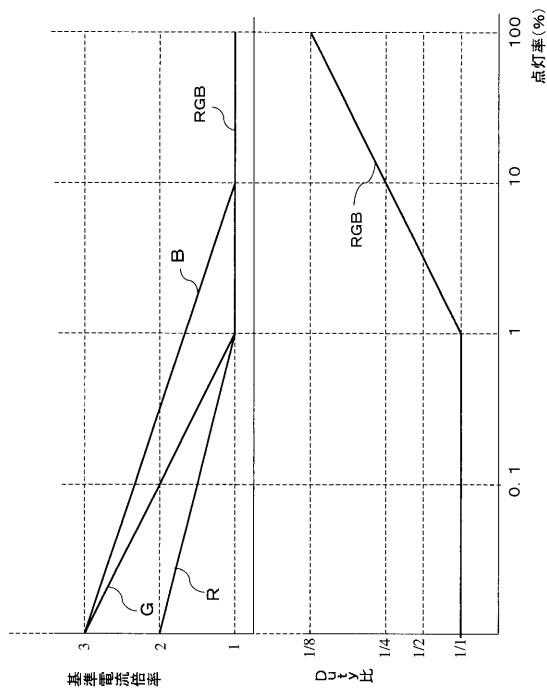
【図 9 5】



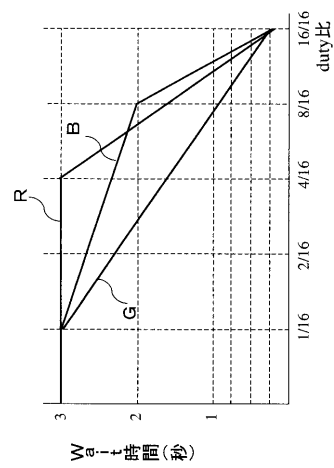
【図 9 6】



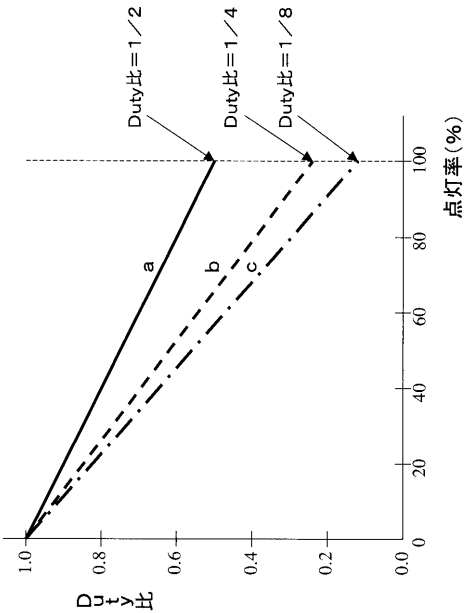
【図 9 7】



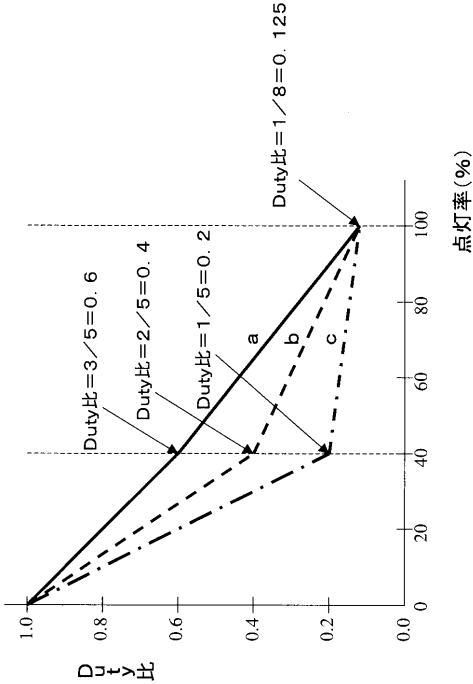
【図 9 8】



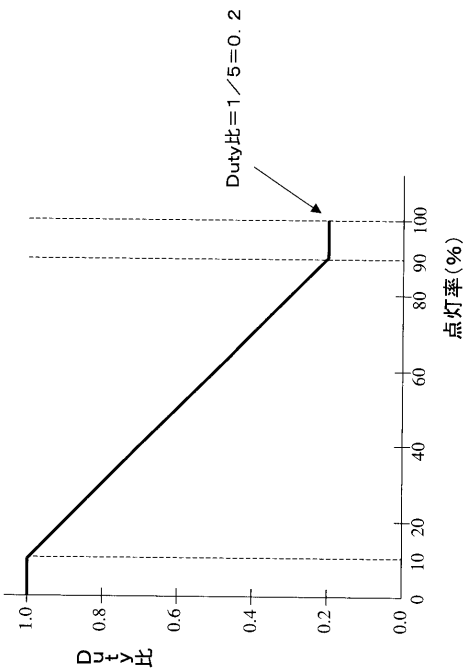
【図 99】



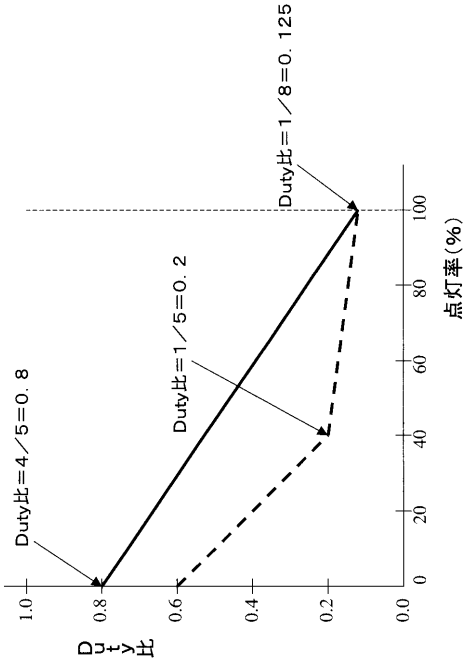
【図 100】



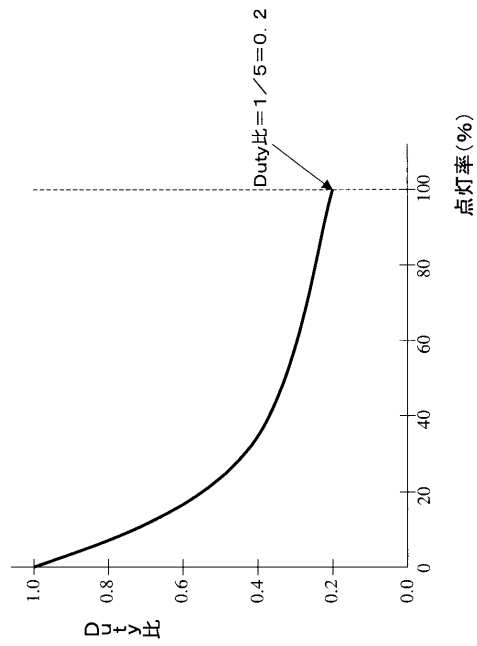
【図 101】



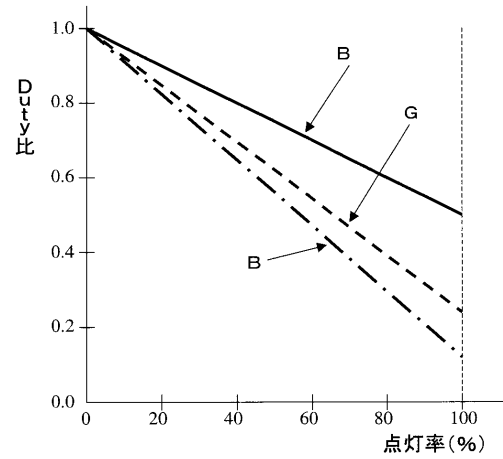
【図 102】



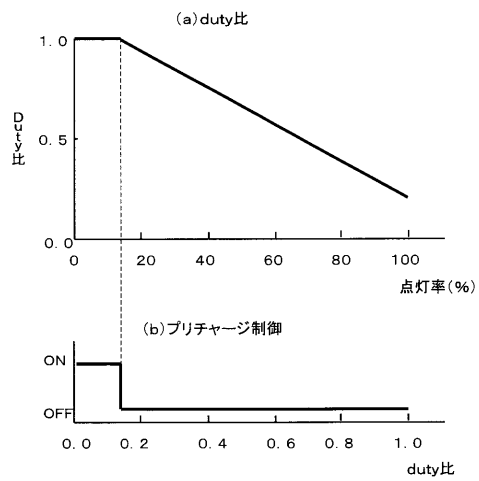
【図 103】



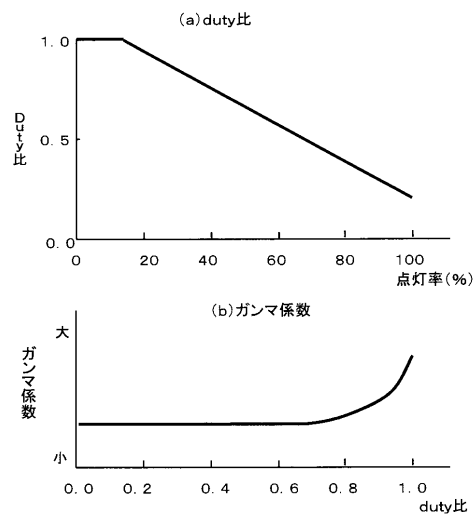
【図 104】



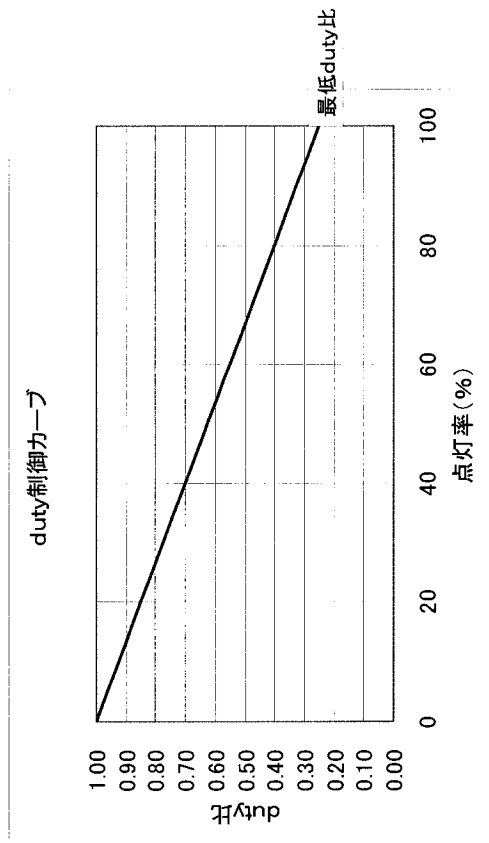
【図 105】



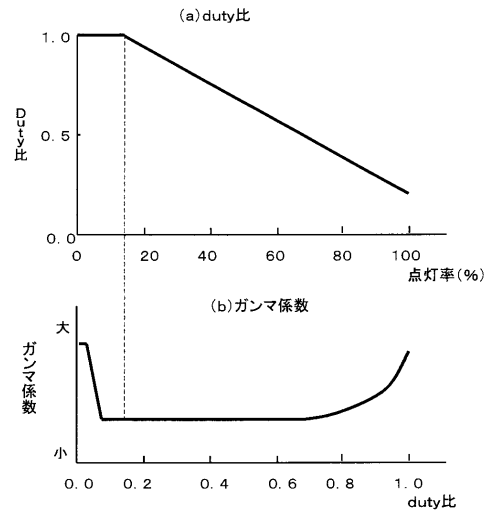
【図 106】



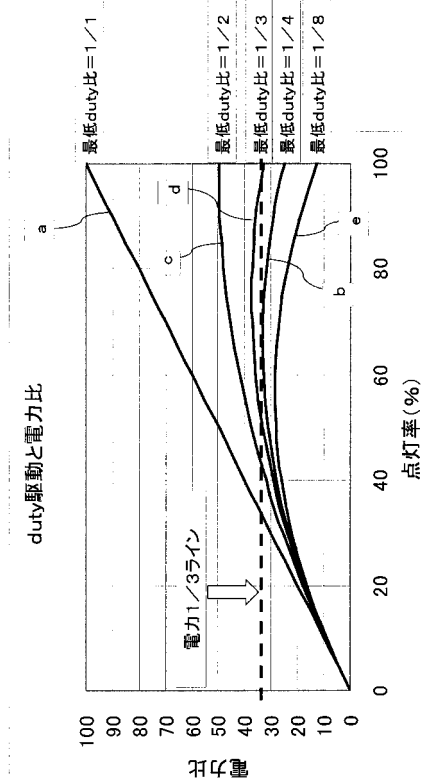
【図107】



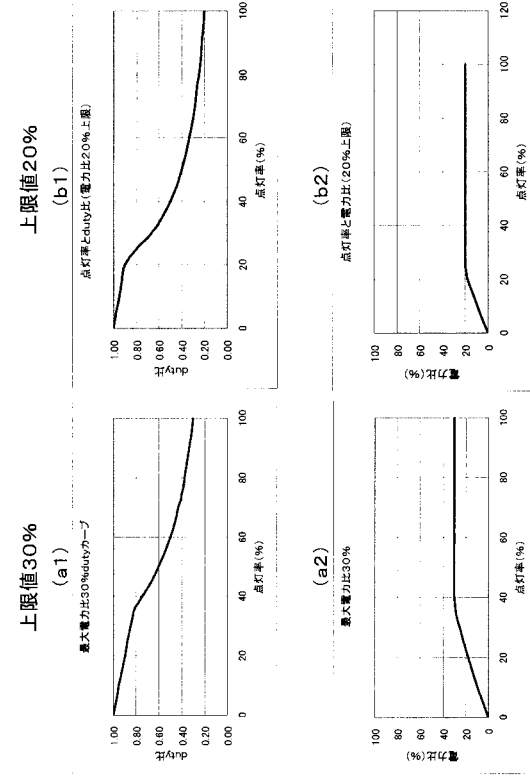
【図108】



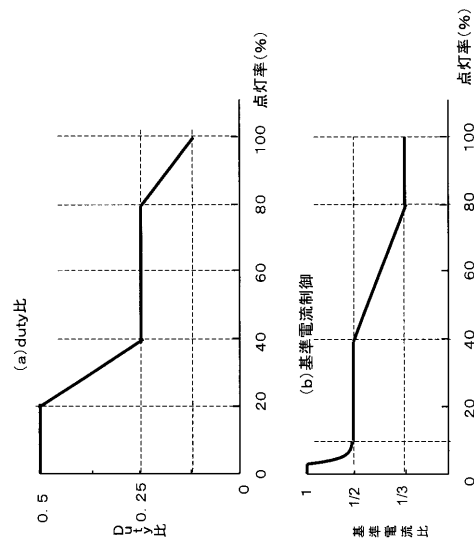
【図109】



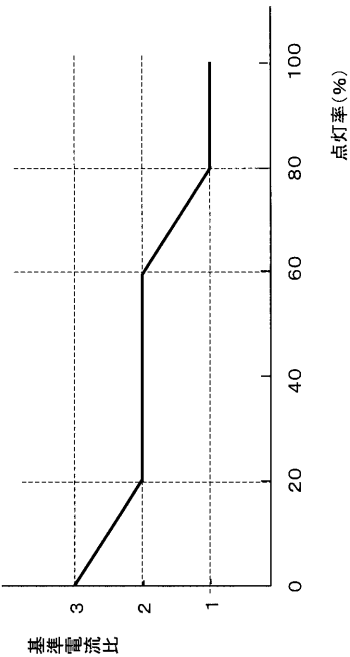
【図110】



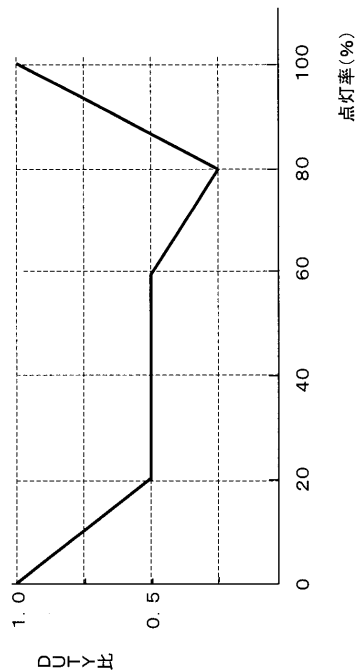
【図 1 1 1】



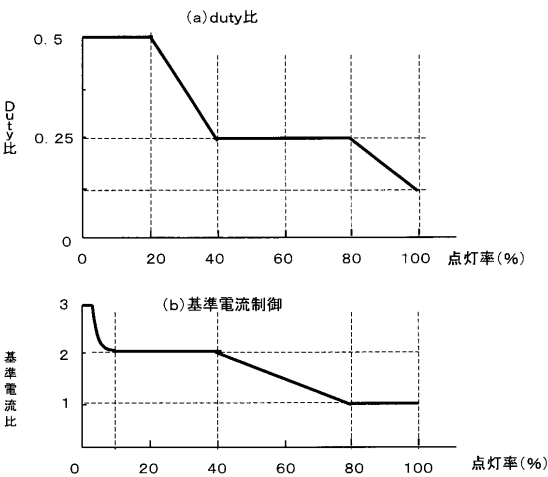
【図 1 1 2】



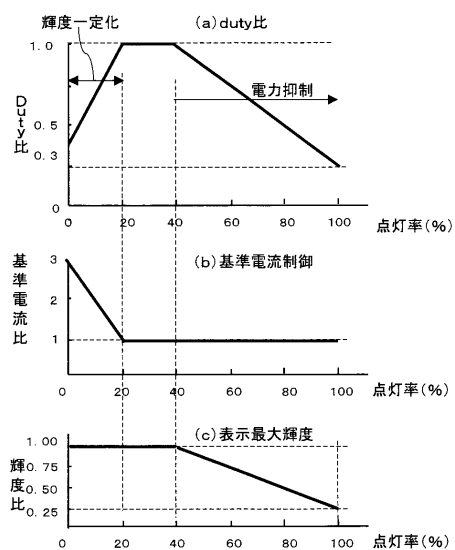
【図 1 1 3】



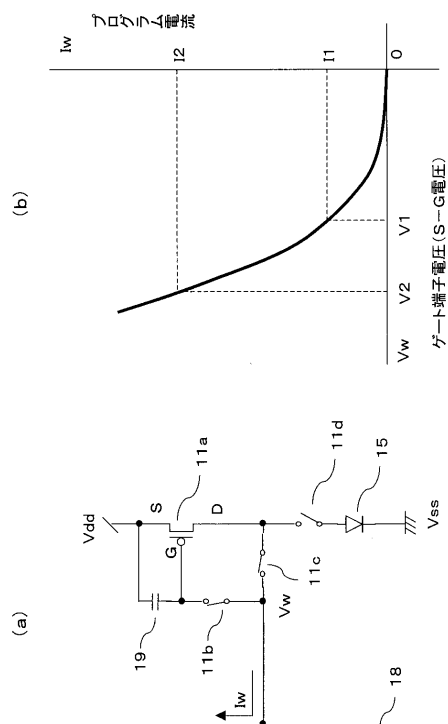
【図 1 1 4】



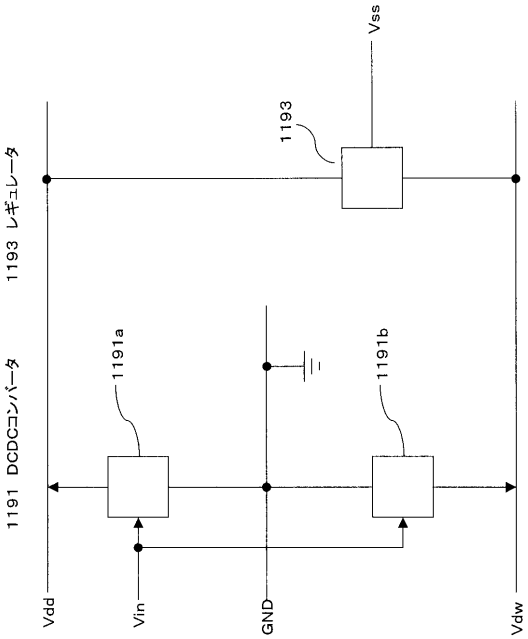
【図 1 1 6】



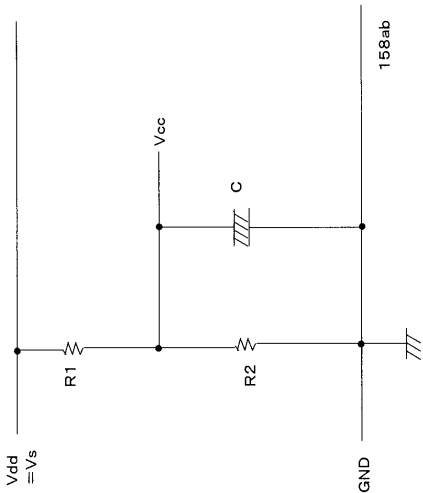
【図 1 1 8】



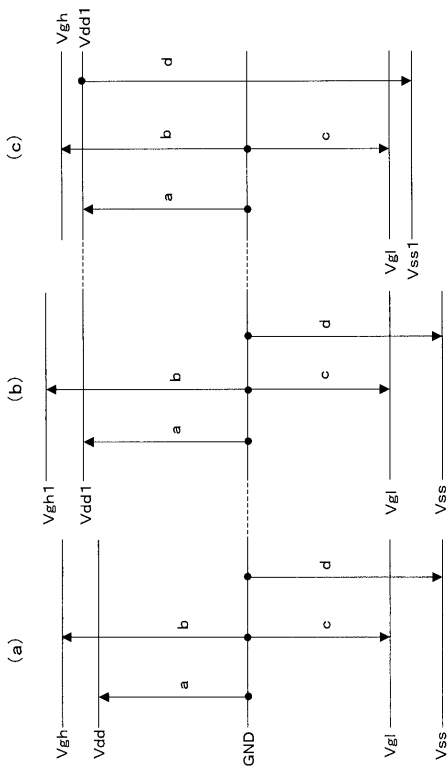
【図 1 1 9】



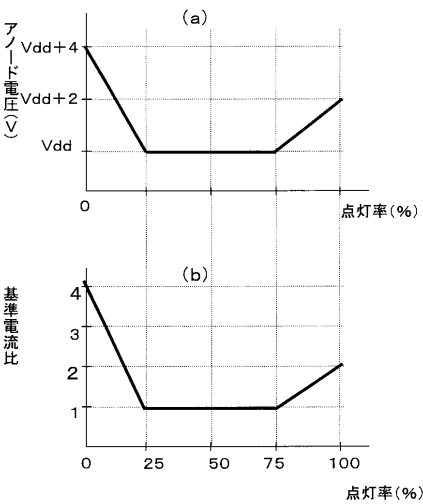
【図 1 2 0】



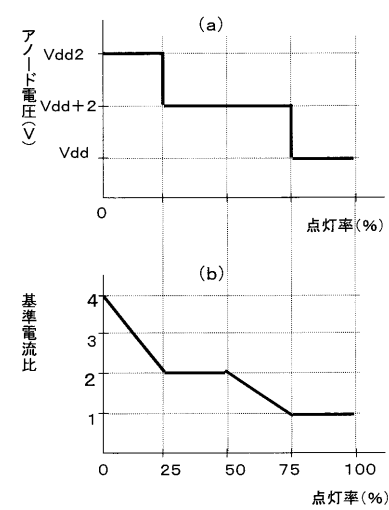
【図 1 2 1】



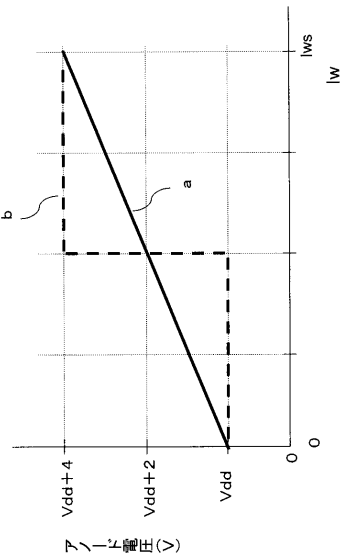
【図 1 2 2】



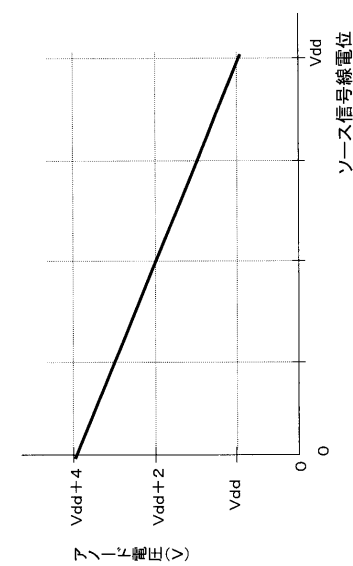
【図 1 2 3】



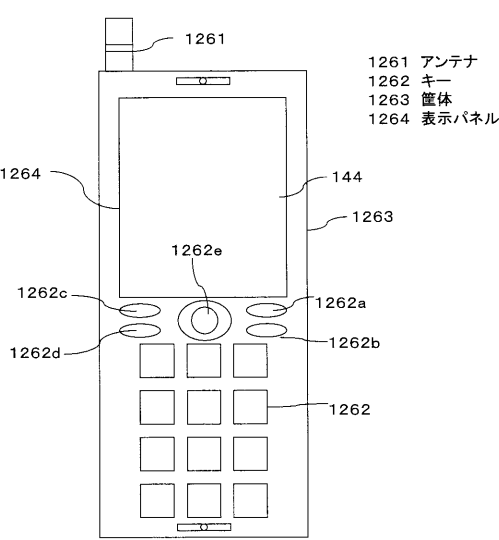
【図 1 2 4】



【図 1 2 5】

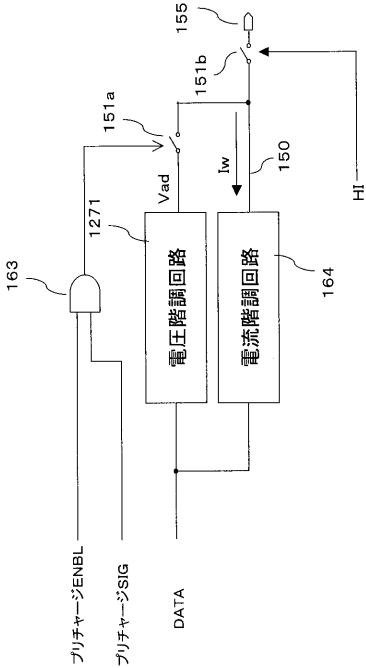


【図 1 2 6】

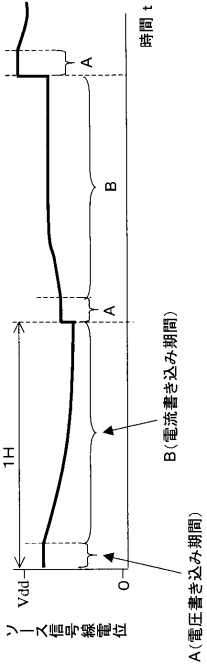


【図 1 2 7】

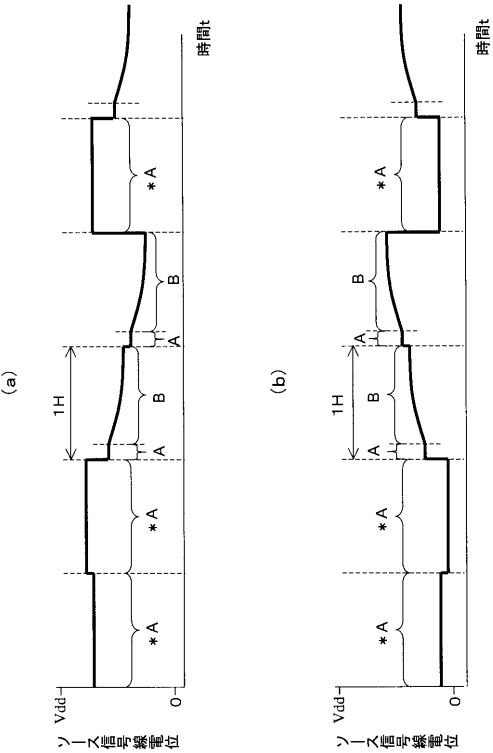
1271 電圧階調回路



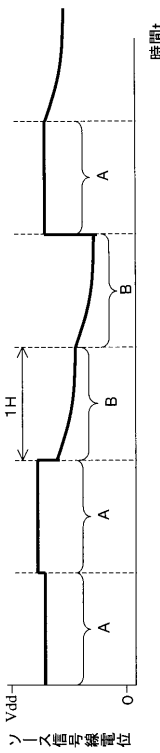
【図 1 2 8】



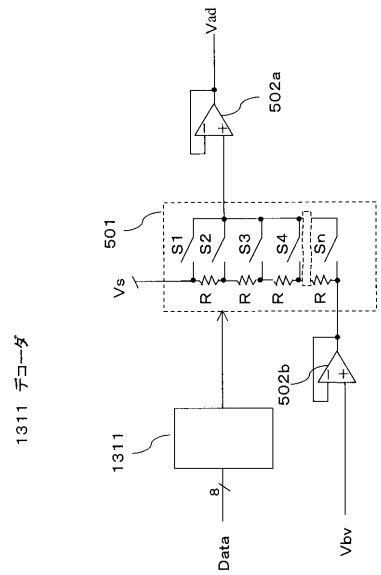
【図 1 2 9】



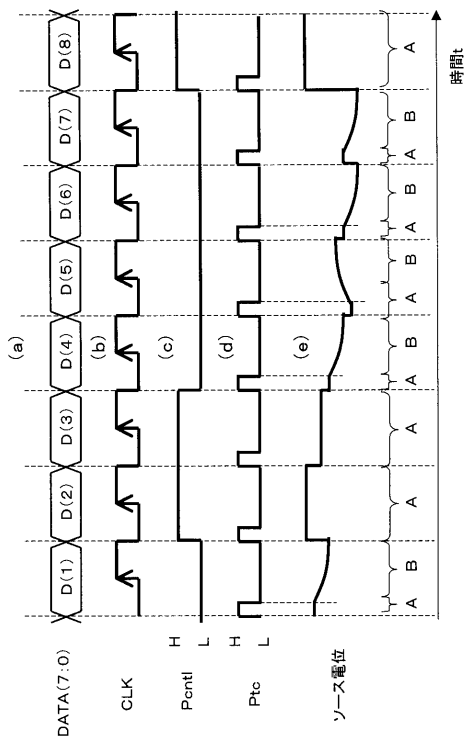
【図 1 3 0】



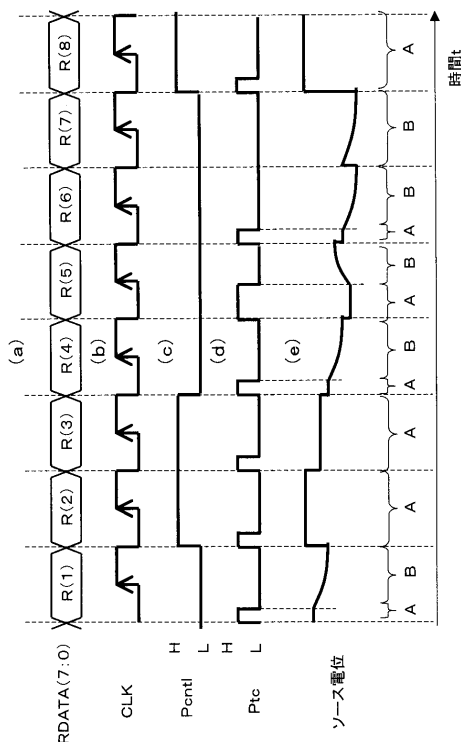
【図 1 3 1】



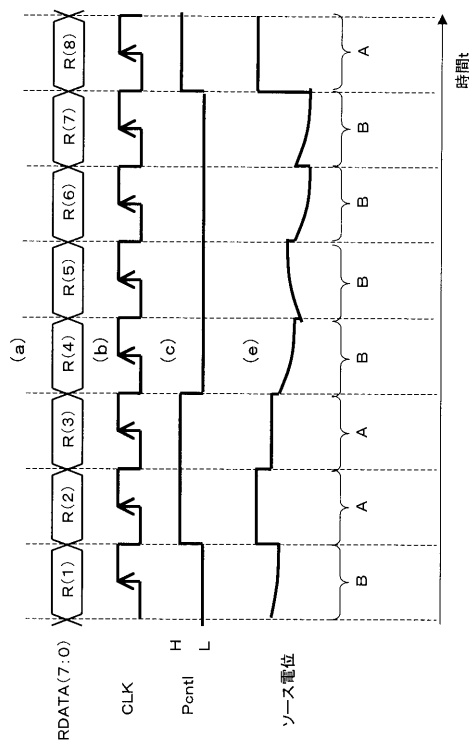
【図 1 3 2】



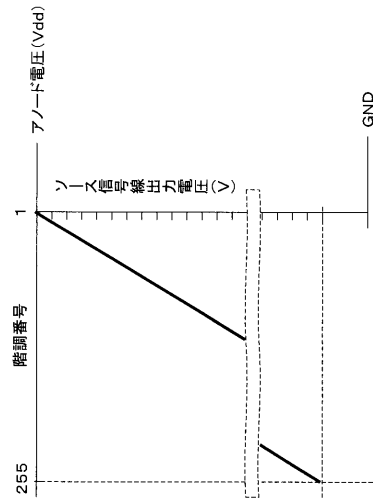
【図 1 3 3】



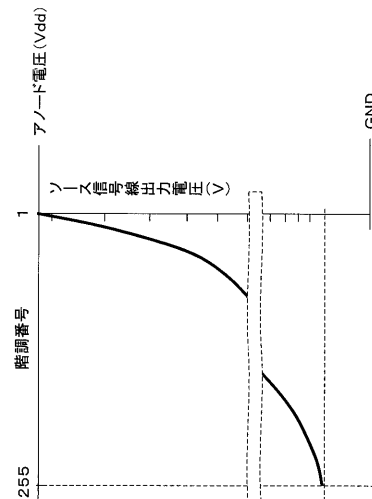
【図 1 3 4】



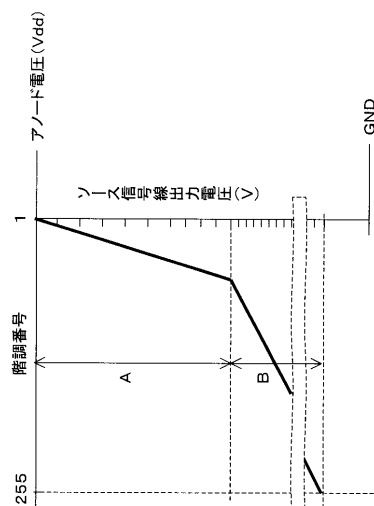
【図 1 3 5】



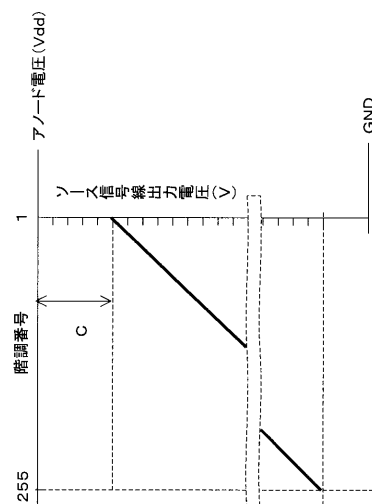
【図 1 3 6】



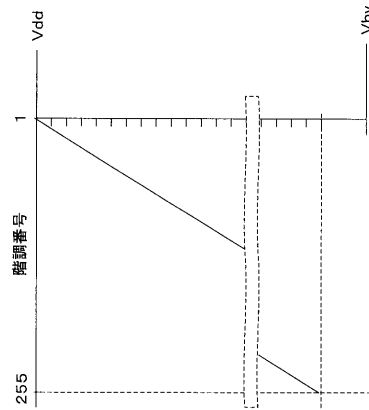
【図 1 3 7】



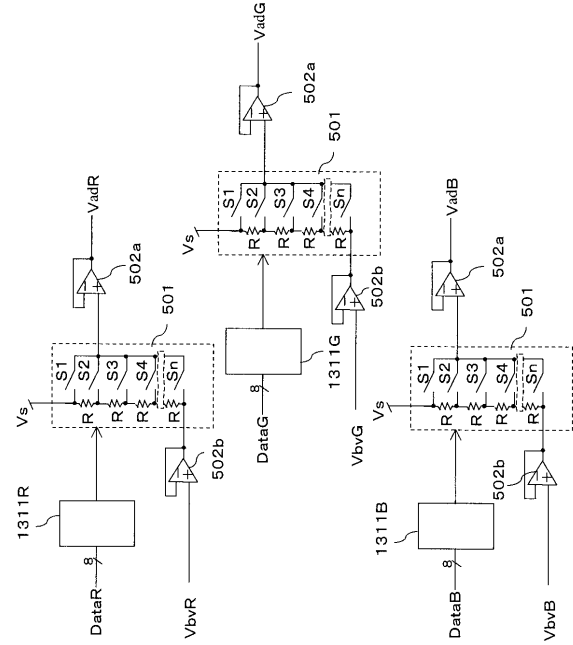
【図 1 3 8】



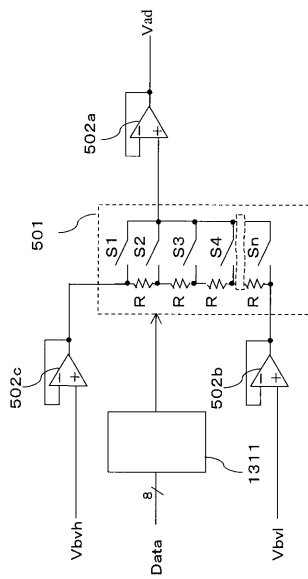
【図 1 3 9】



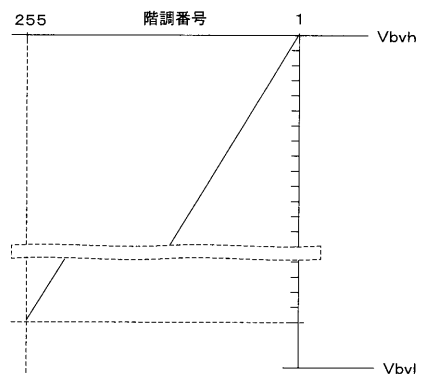
【図 1 4 0】



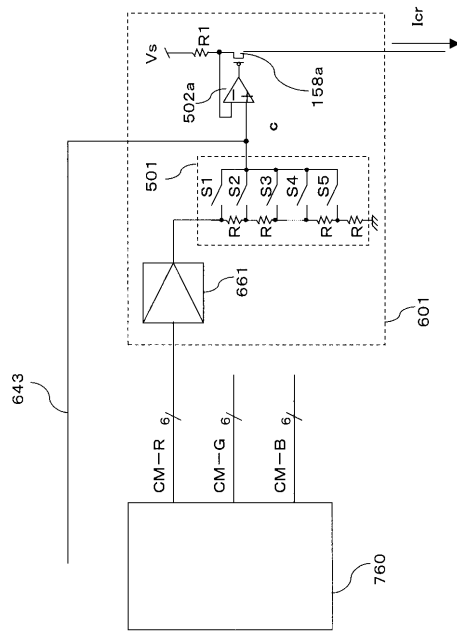
【図 1 4 1】



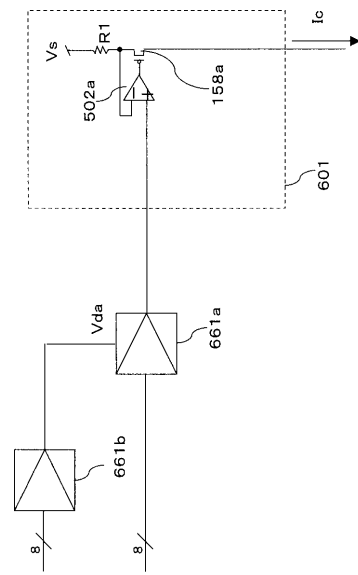
【図 1 4 2】



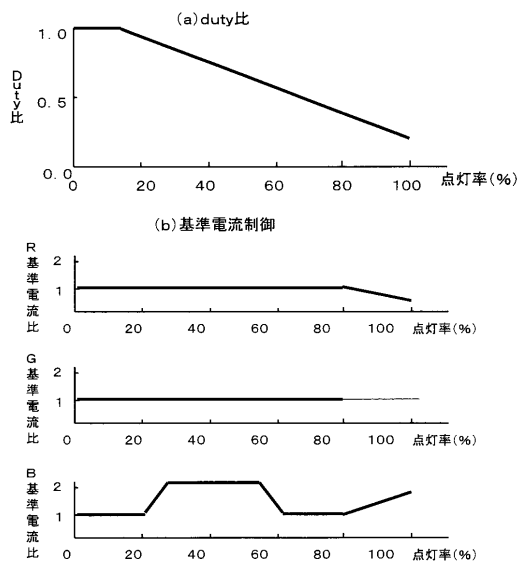
【図 1 4 7】



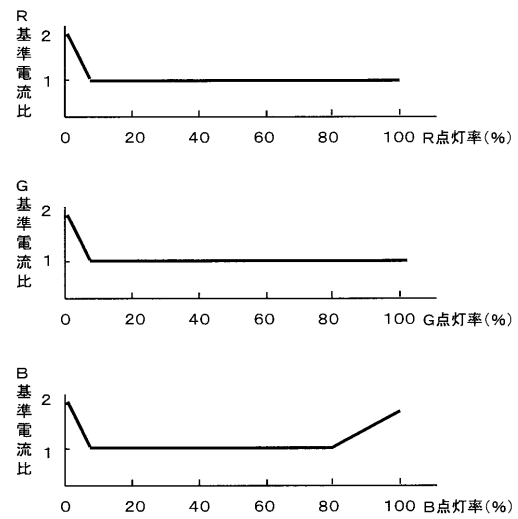
【図 1 4 8】



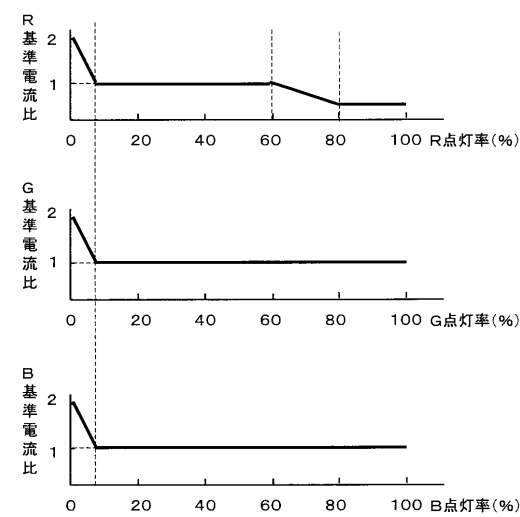
【図 1 4 9】



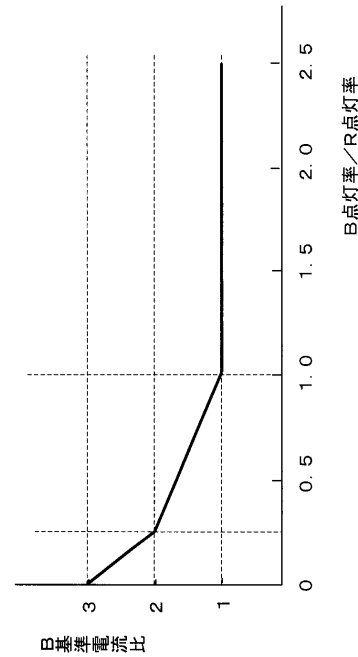
【図 1 5 0】



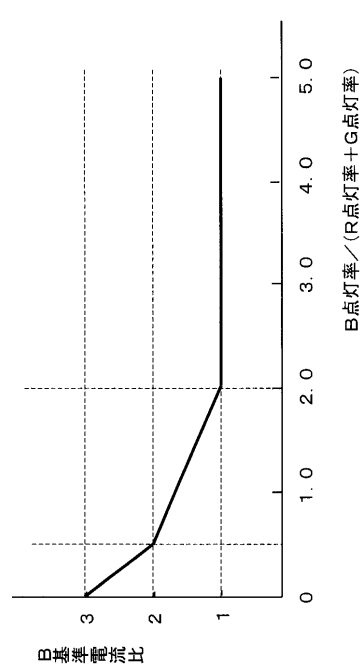
【図 1 5 1】



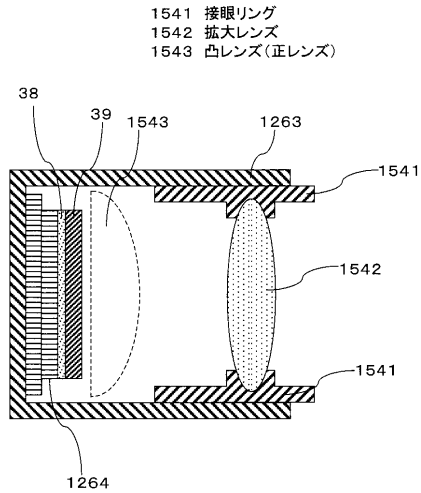
【図 1 5 2】



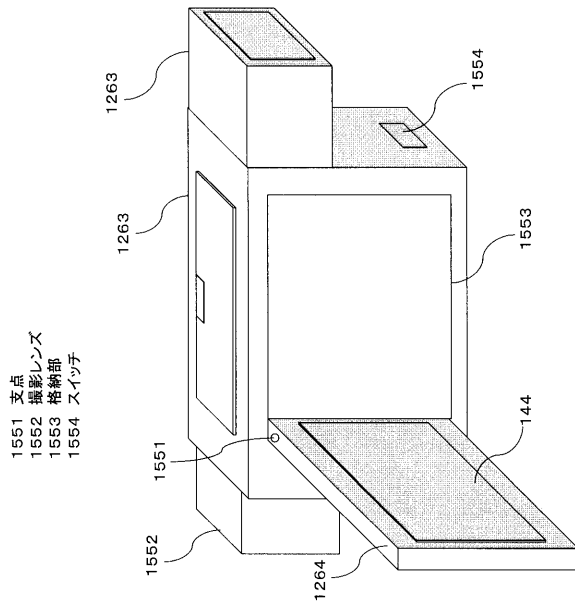
【図 1 5 3】



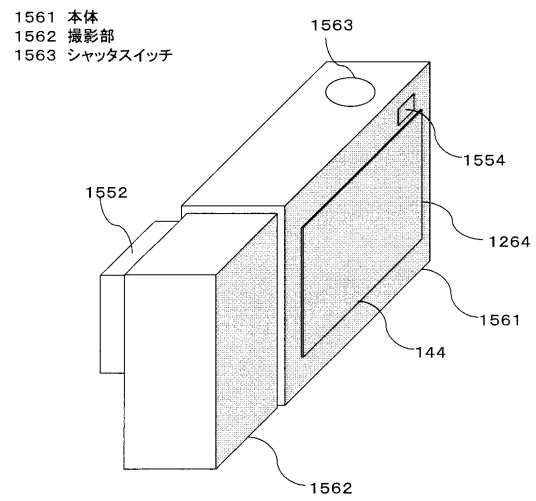
【図 1 5 4】



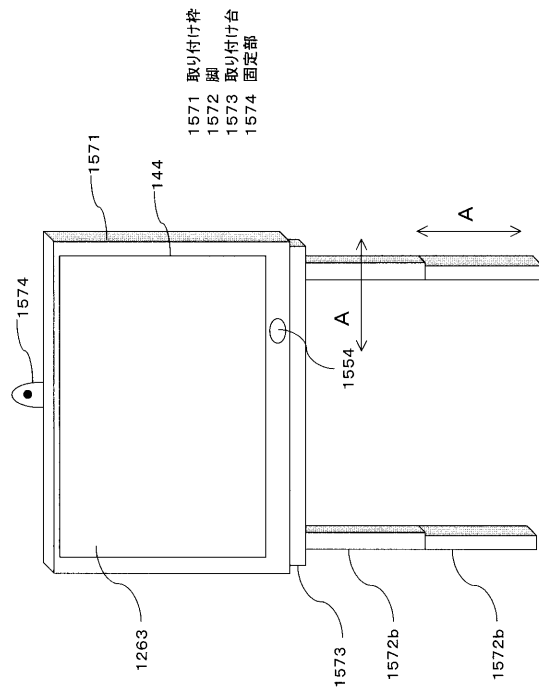
【図 1 5 5】



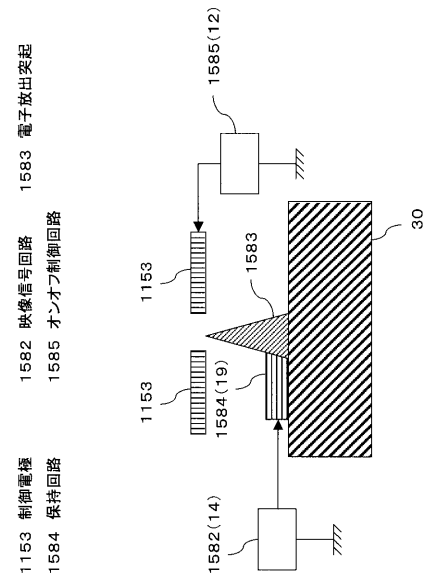
【図 1 5 6】



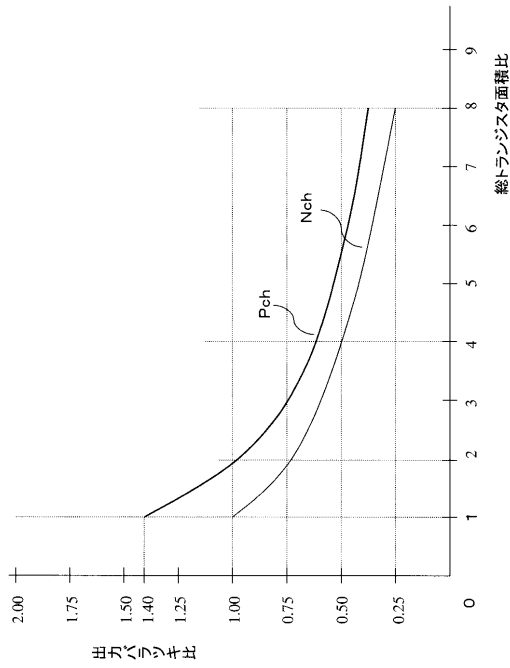
【図 1 5 7】



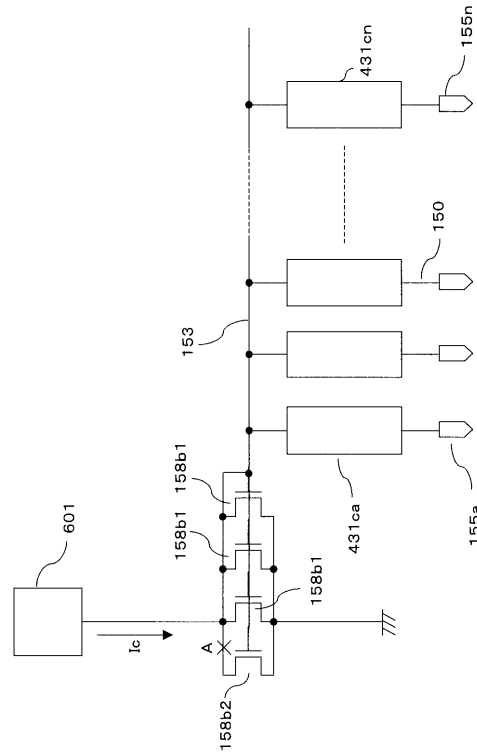
【図 1 5 8】



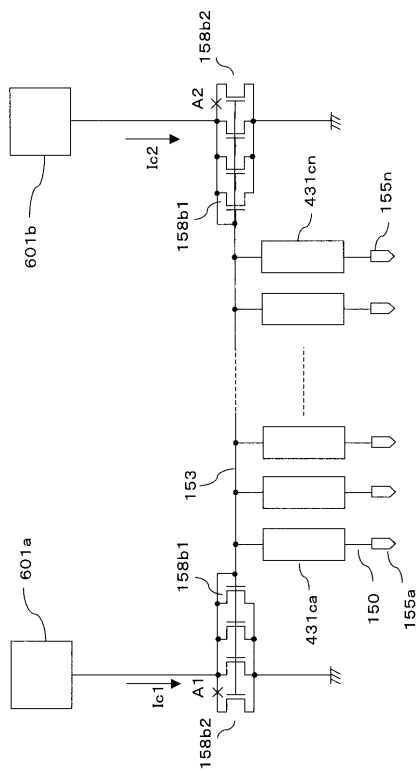
【 凶 1 5 9 】



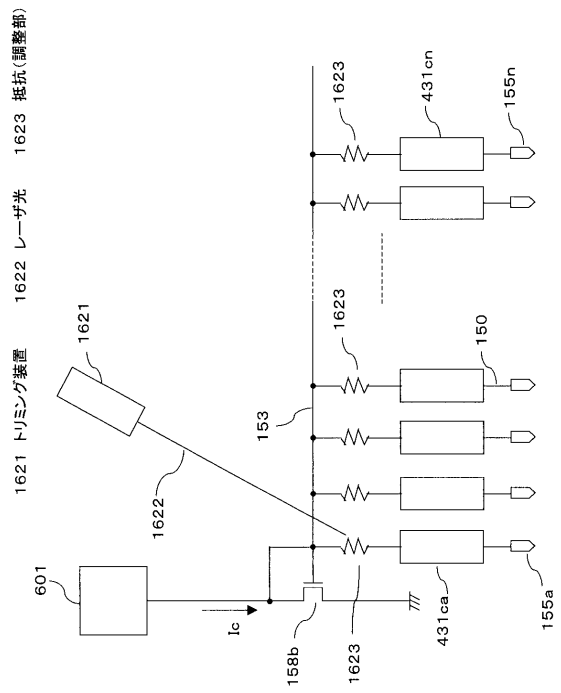
【 図 1 6 0 】



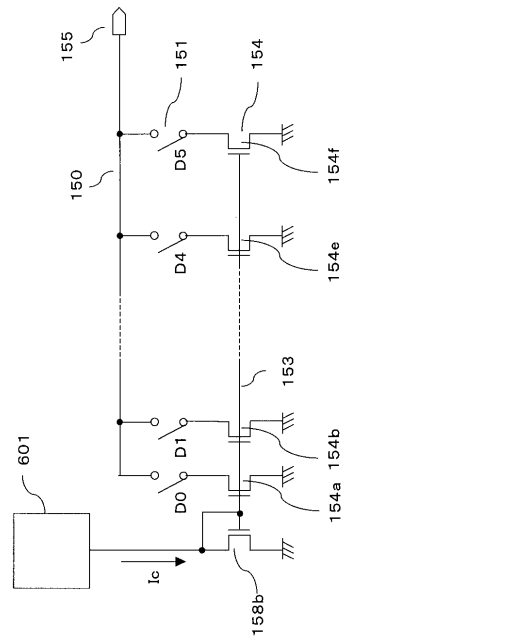
【 図 1 6 1 】



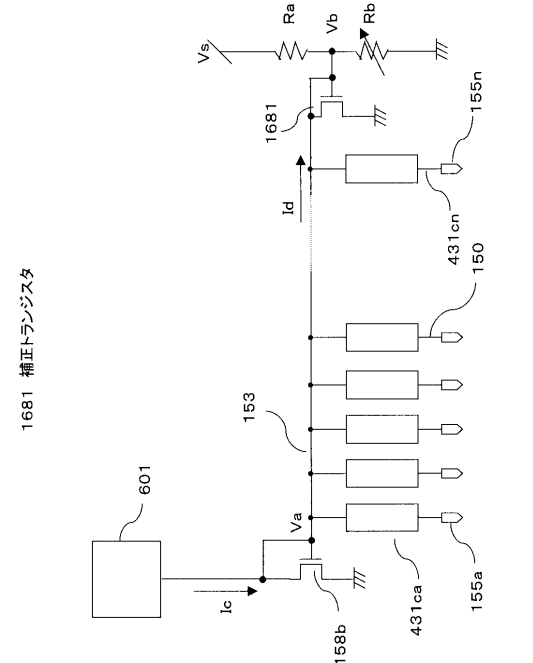
【図 1 6 2】



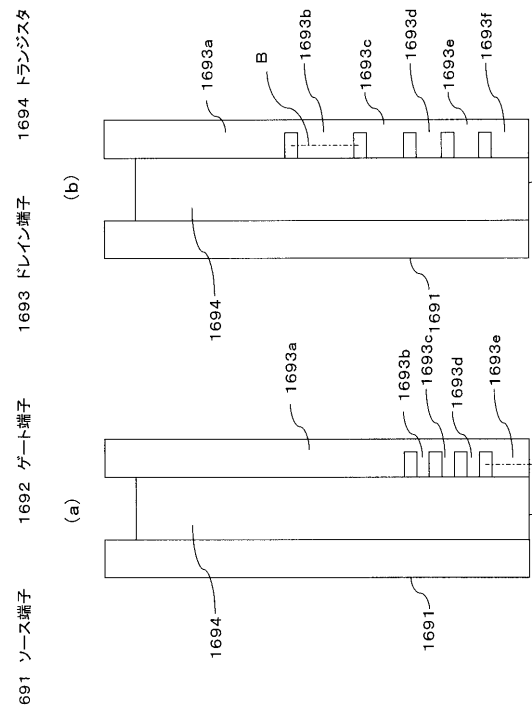
【図 1 6 7】



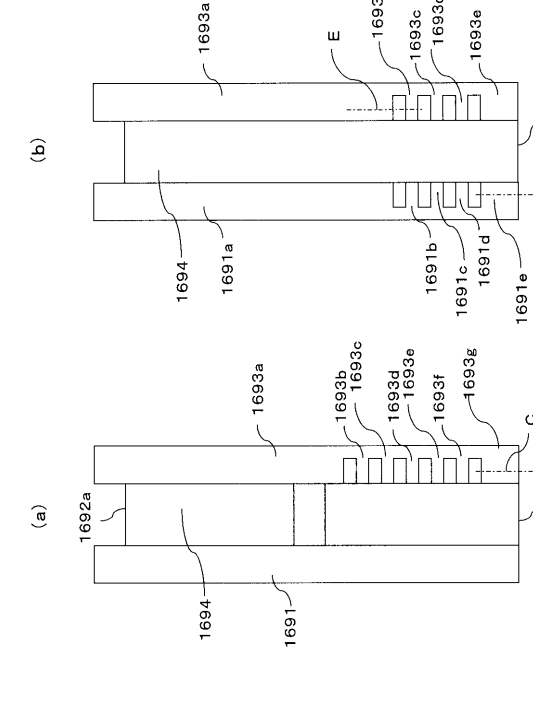
【図 1 6 8】



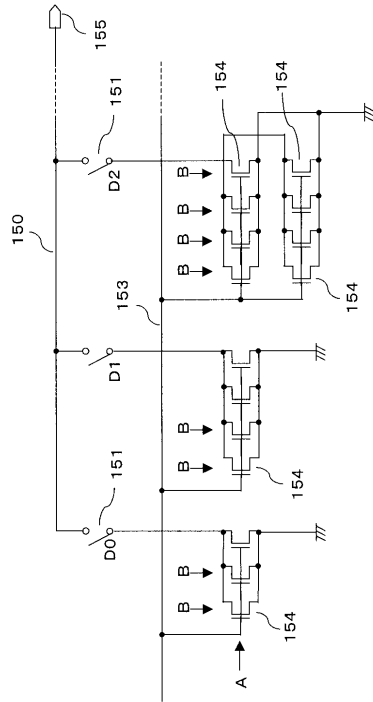
【図 1 6 9】



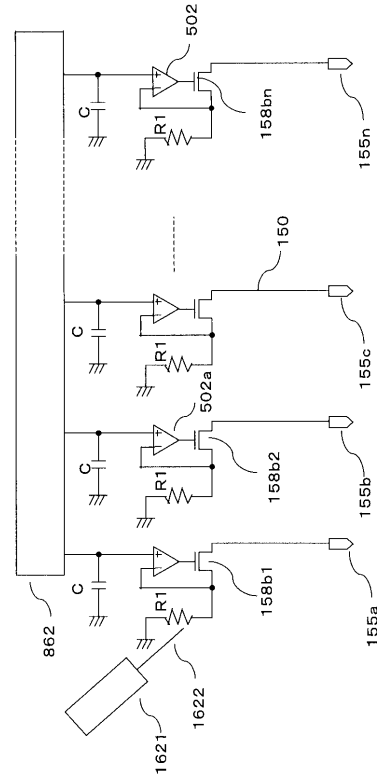
【図 1 7 0】



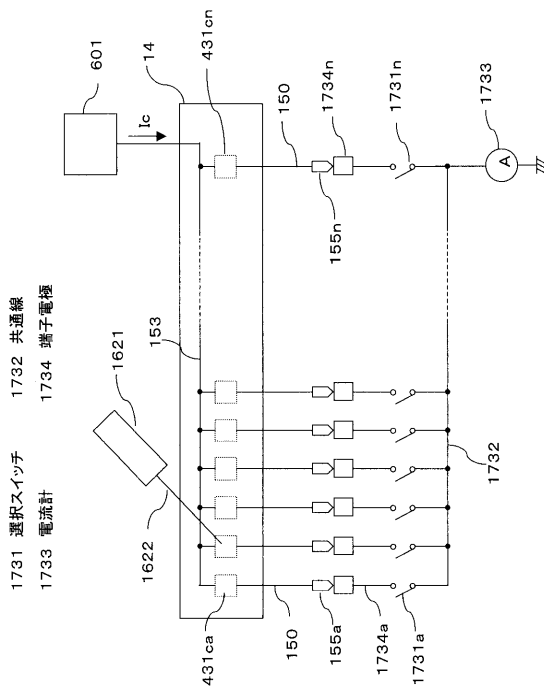
【図 171】



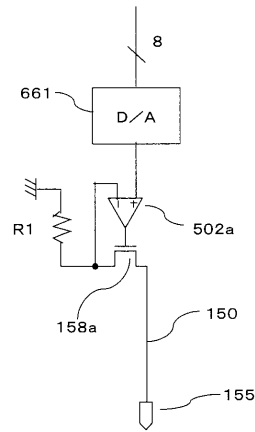
【図 172】



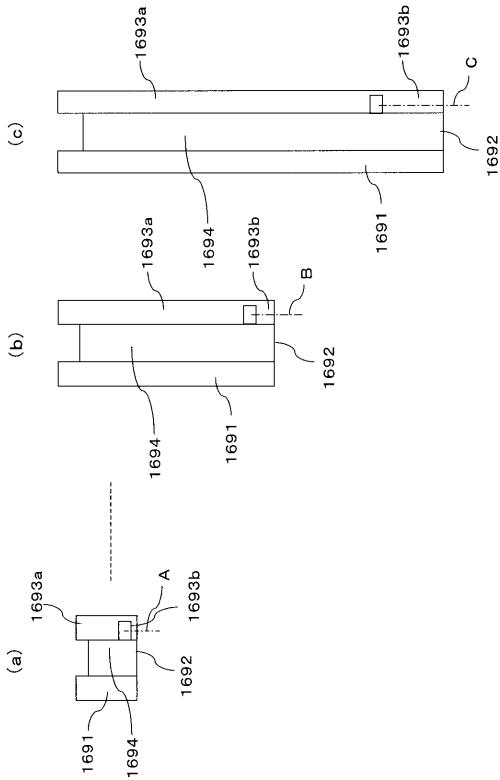
【図 173】



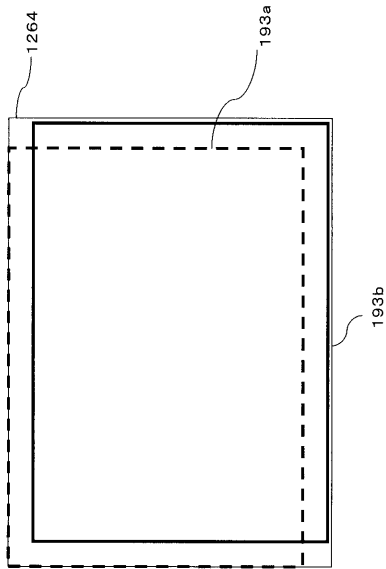
【図 174】



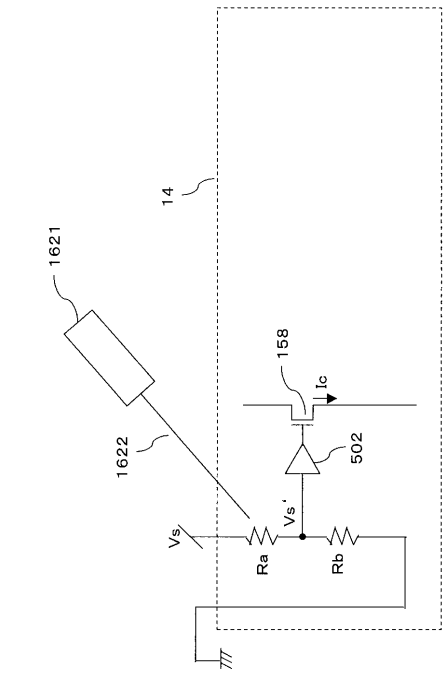
【図 1 7 5】



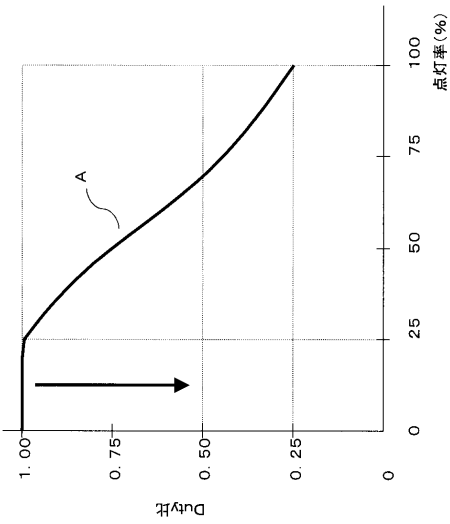
【図 1 7 7】



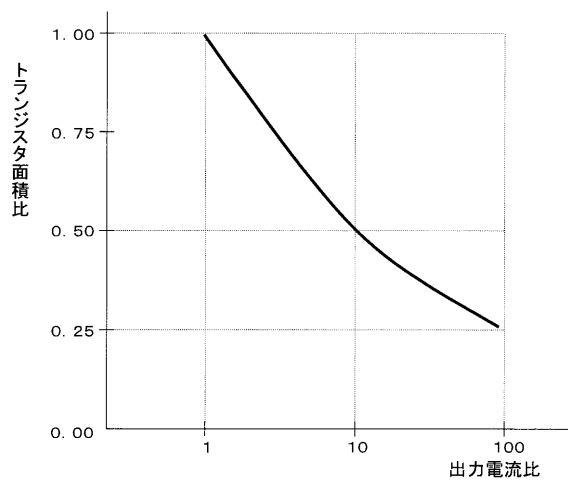
【図 1 7 6】



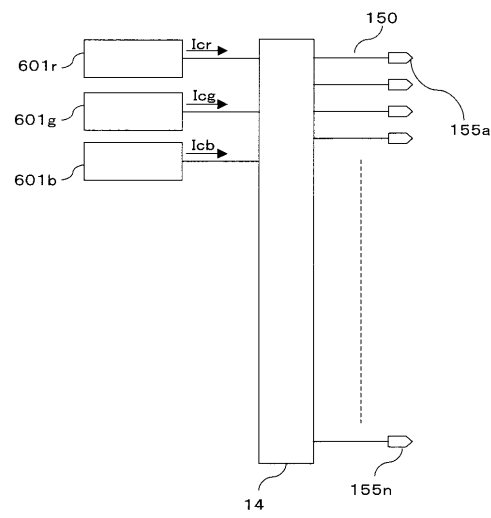
【図 1 7 8】



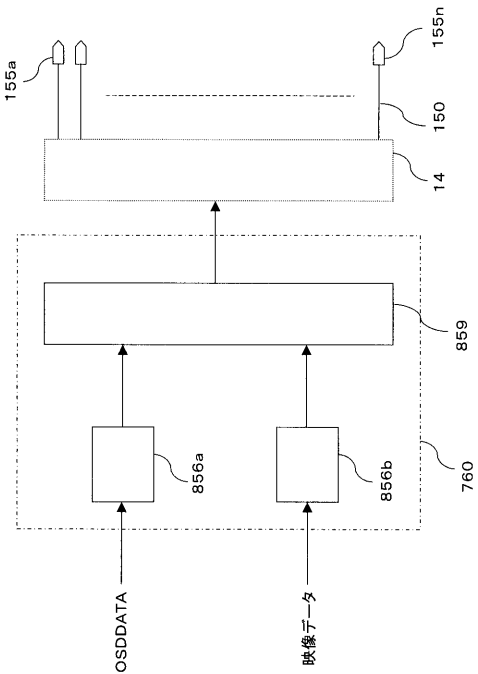
【図 1 8 3】



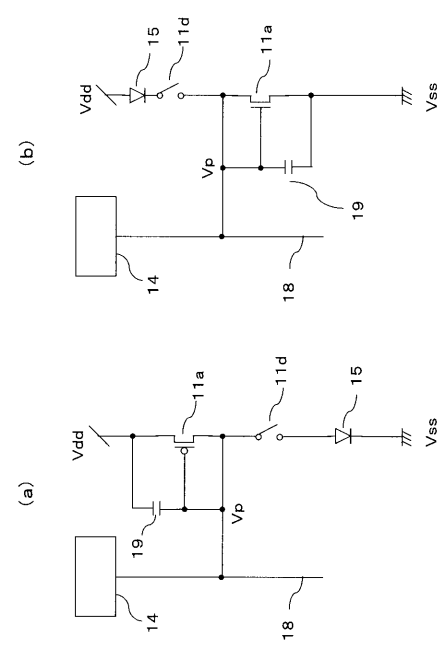
【図 1 8 4】



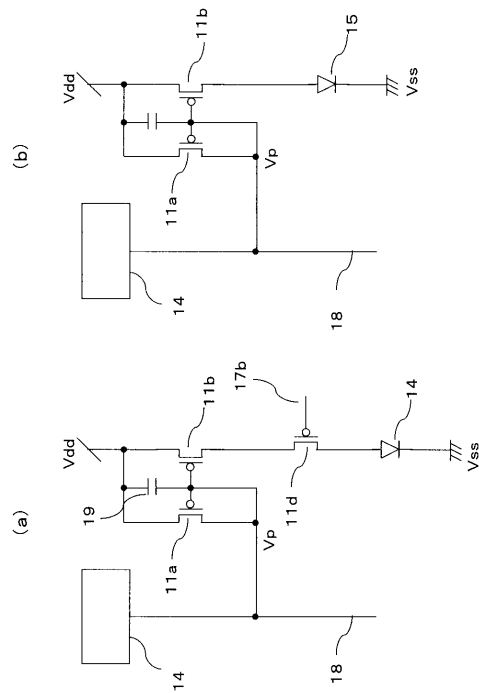
【図 1 8 5】



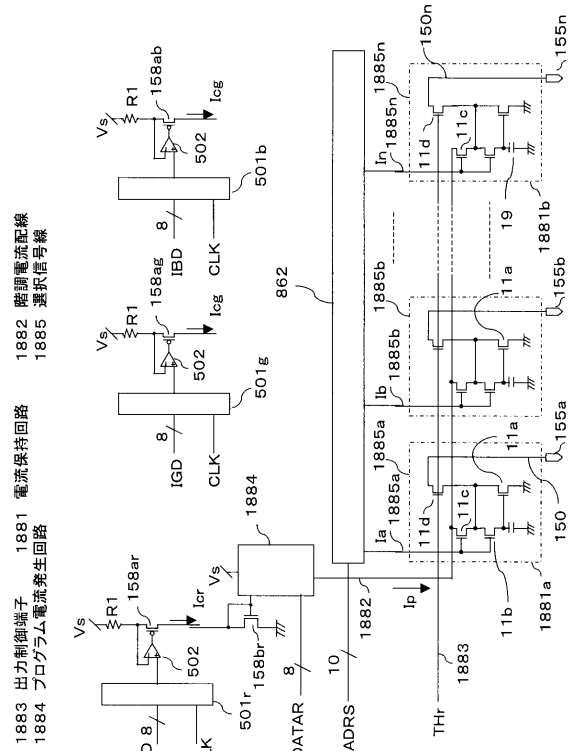
【図 1 8 6】



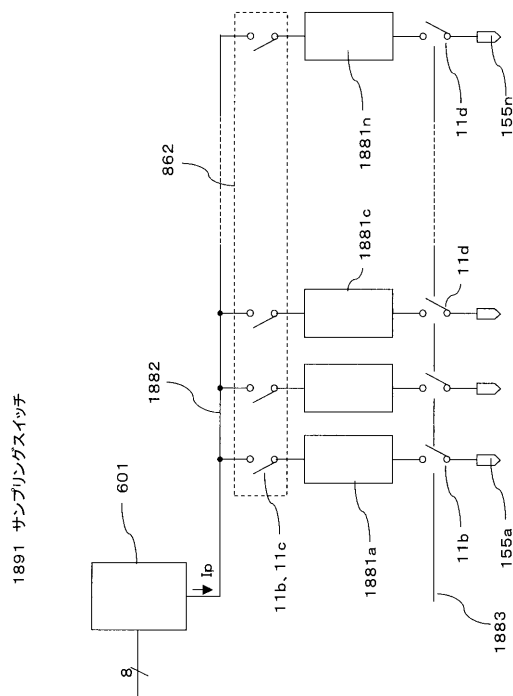
【図 187】



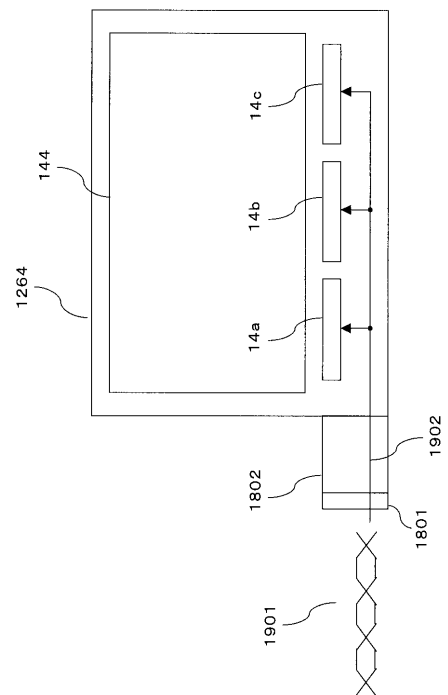
【图 188】



【図 189】

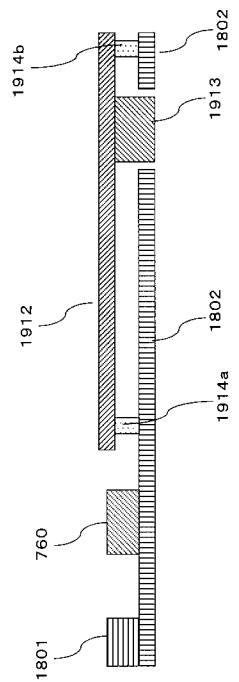


【図 190】

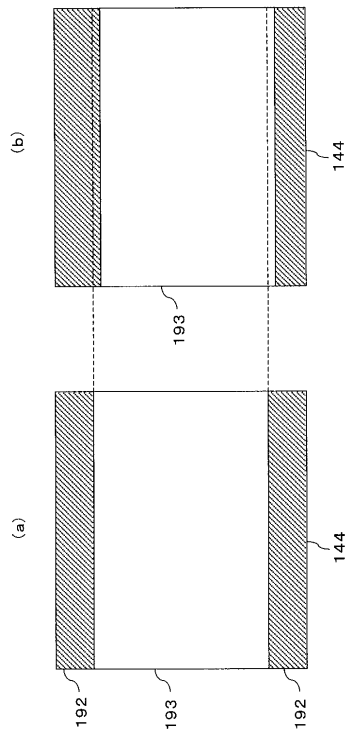


【図 1 9 1】

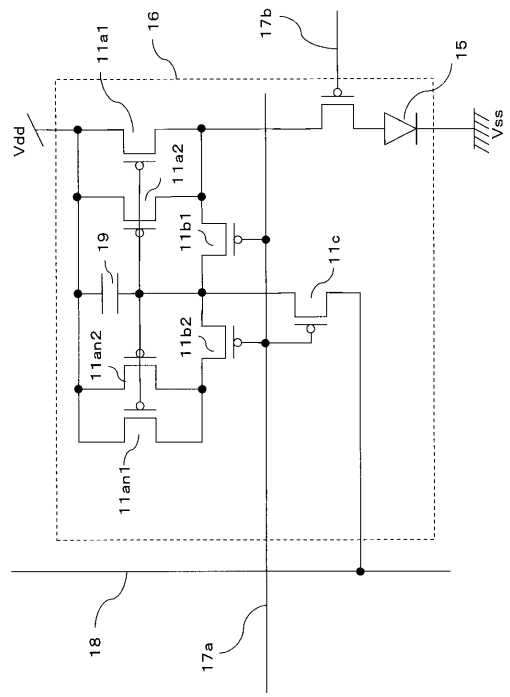
1912 電源モジュール 1913 コイル(トランス) 1914 接続端子



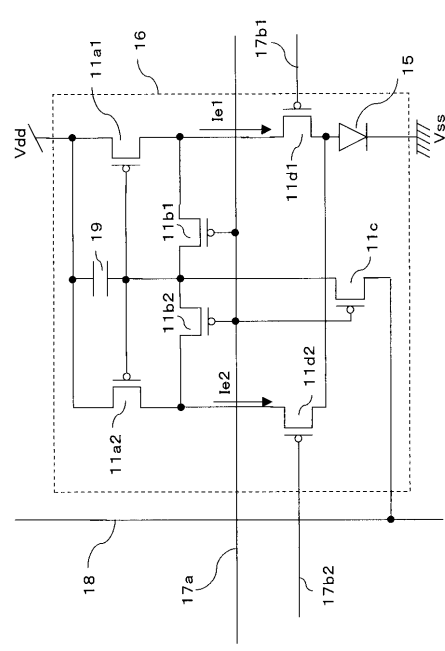
【図 1 9 2】



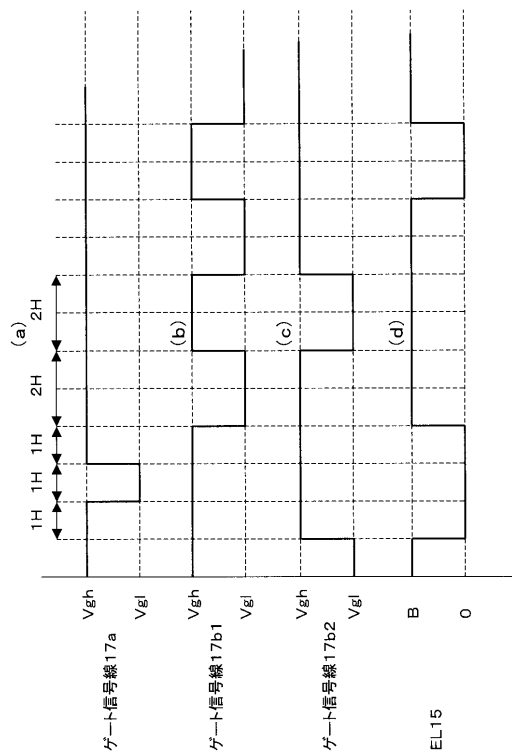
【図 1 9 3】



【図 1 9 4】

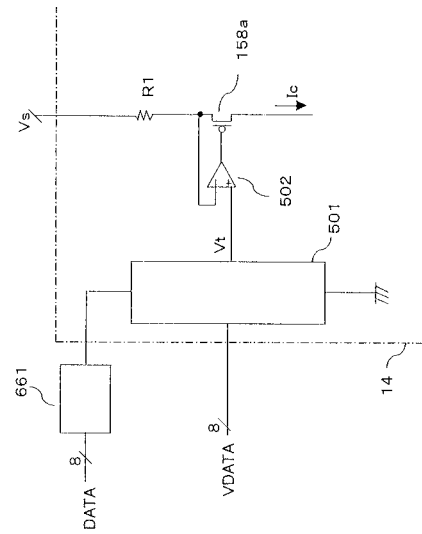


【図 195】

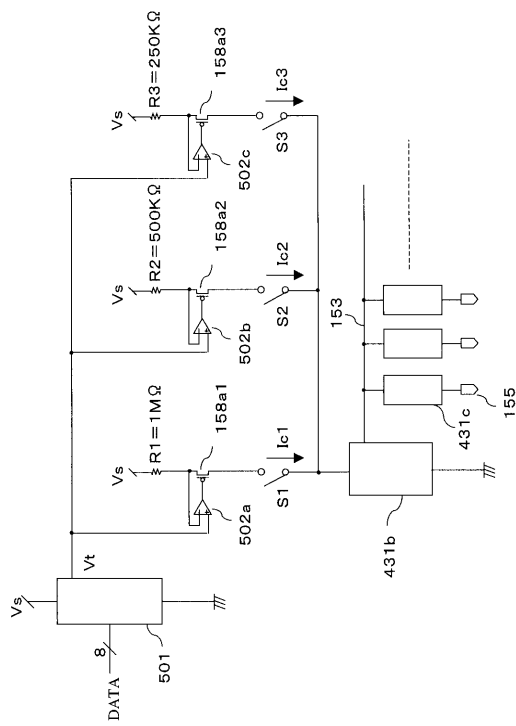


【図 196】

外部から基準電流を変化させる

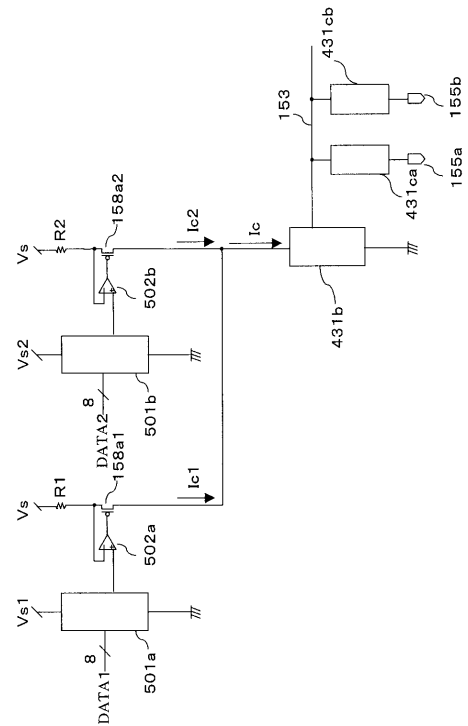


【図 197】

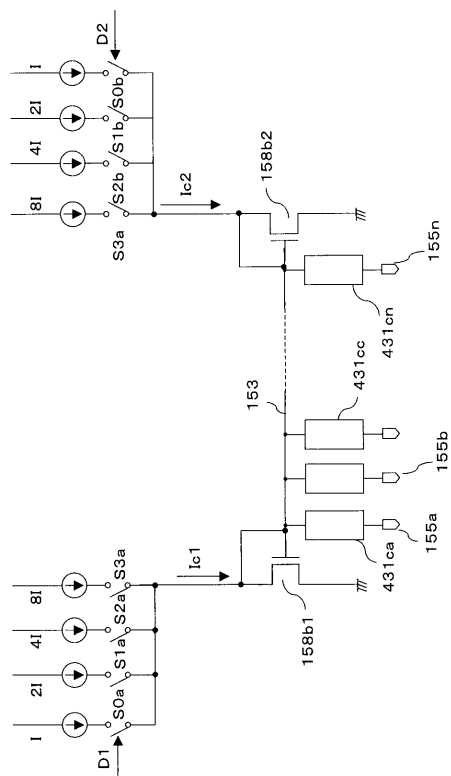


【図 198】

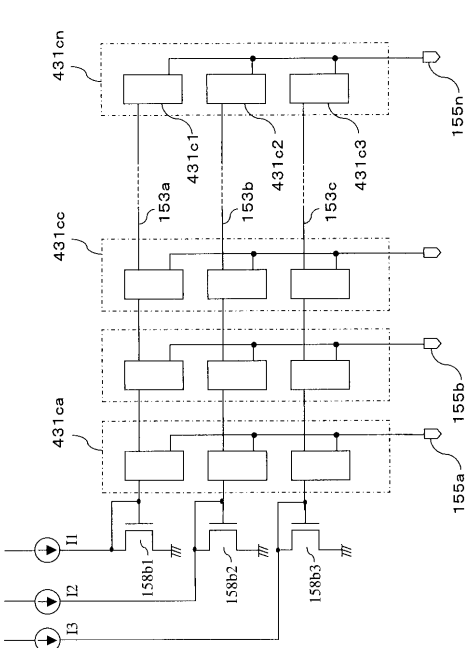
複数の基準電流を用いる



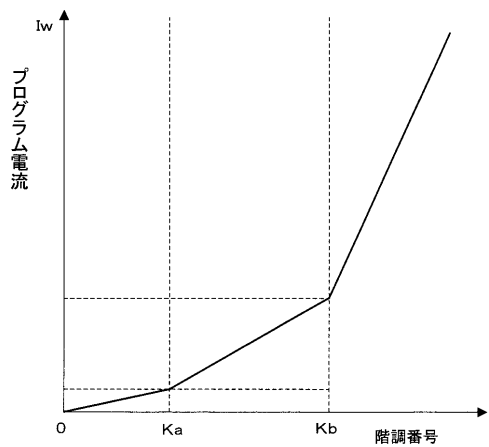
【図 1 9 9】



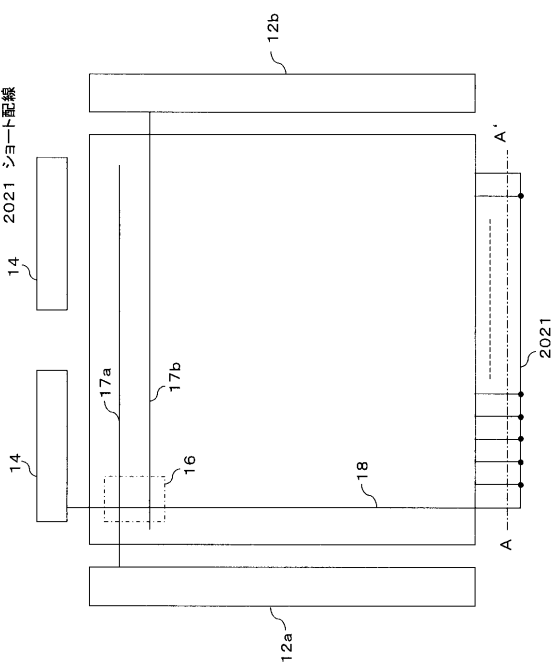
【図 2 0 0】



【図 2 0 1】

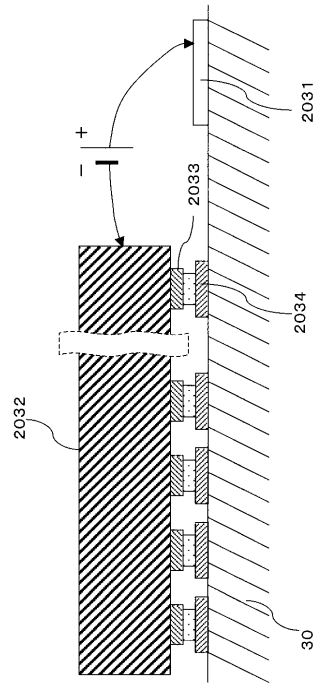


【図 2 0 2】



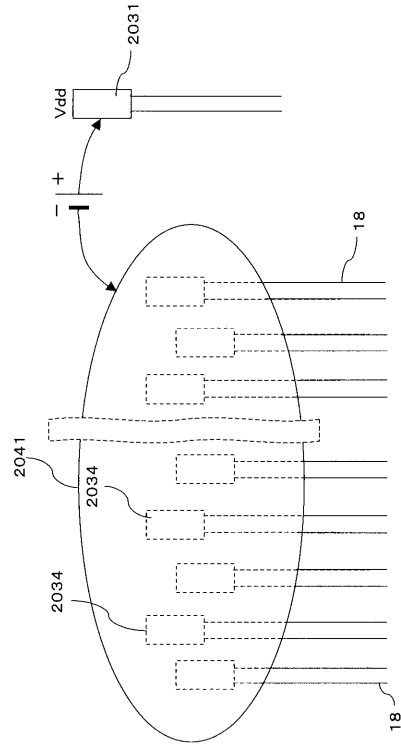
【図 203】

2031 アノード端子配線 2032 ショートチップ 2033 チップ端子
2034 ソース信号線端子

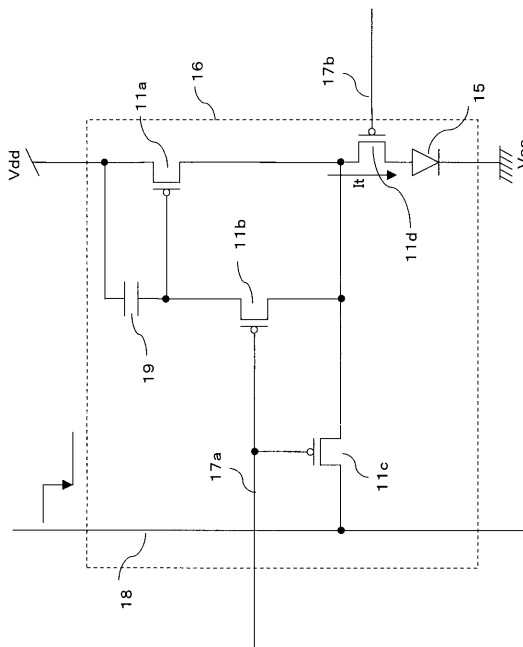


【図 204】

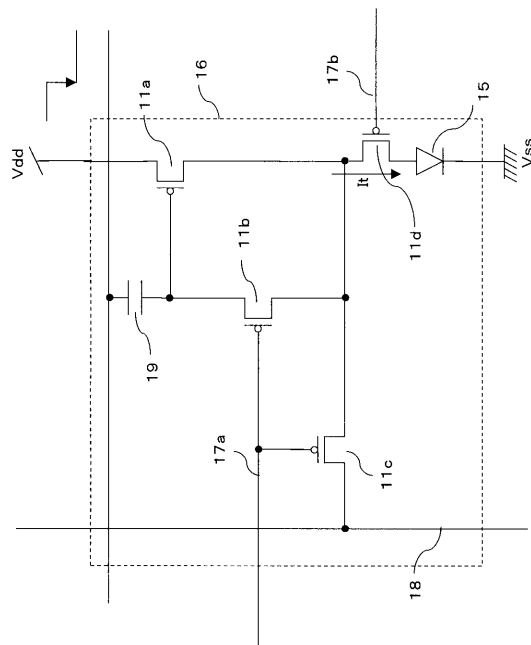
2041 ショート渡



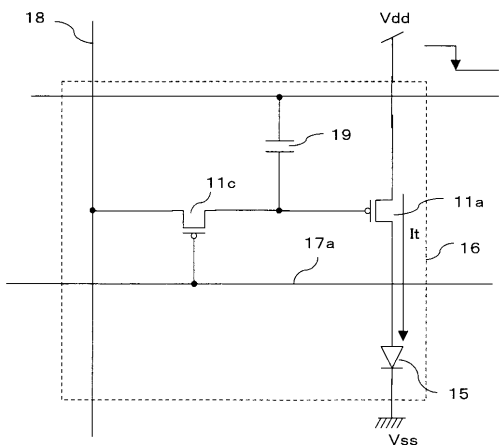
【図 205】



【図 206】

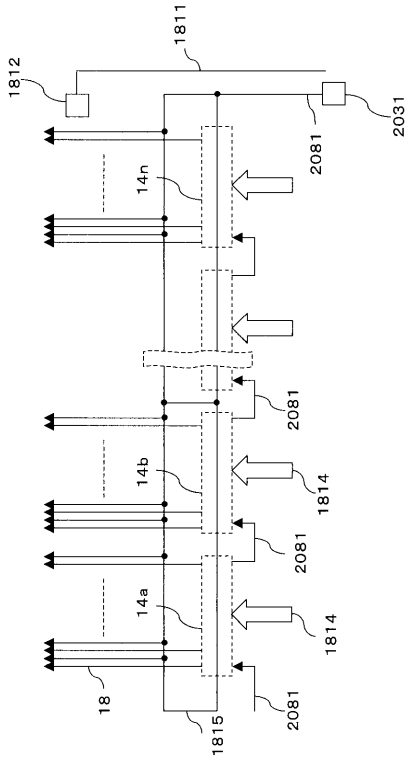


【図 2 0 7】

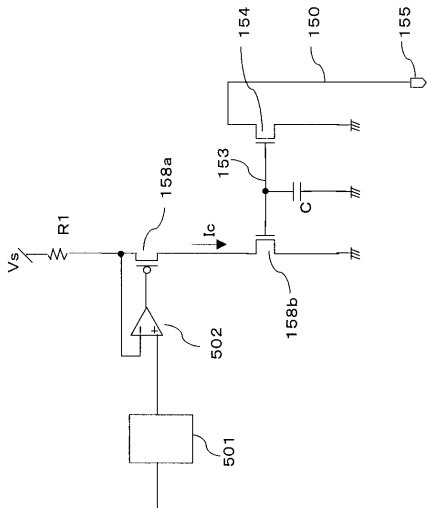


【図 2 0 8】

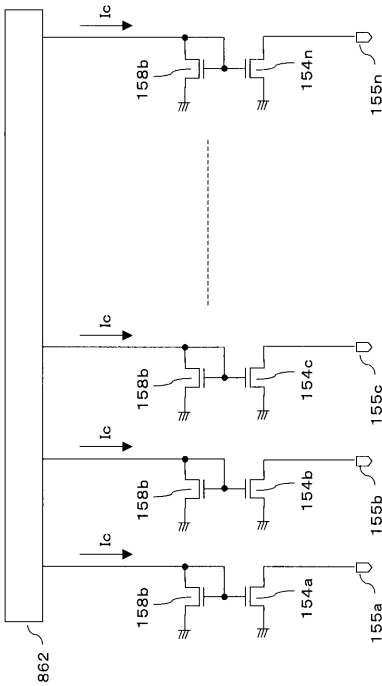
2081 カスケード配線



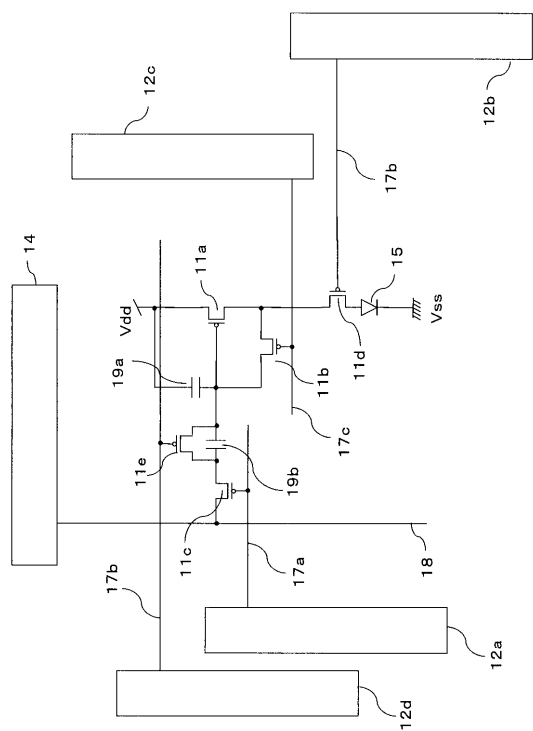
【図 2 0 9】



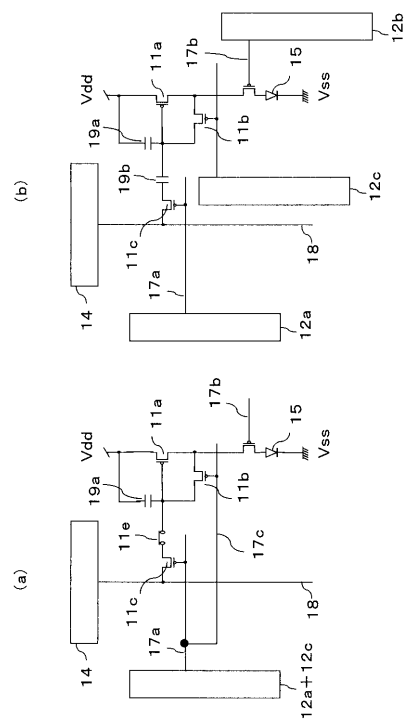
【図 2 1 0】



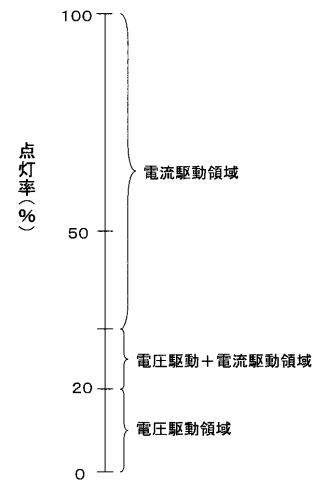
【図 2 1 1】



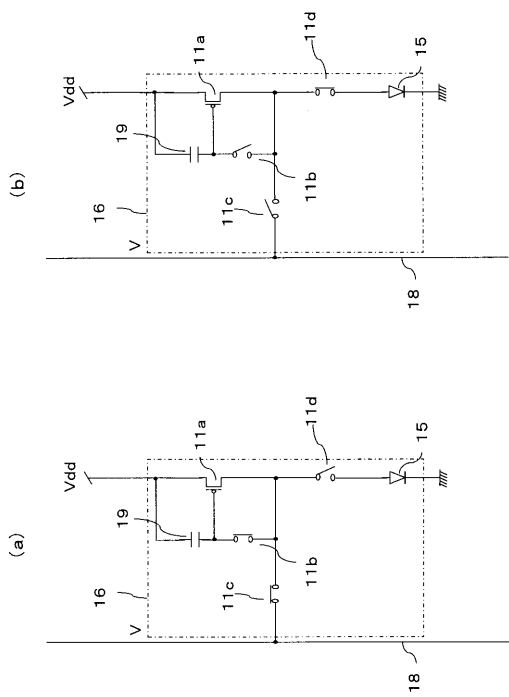
【図 2 1 2】



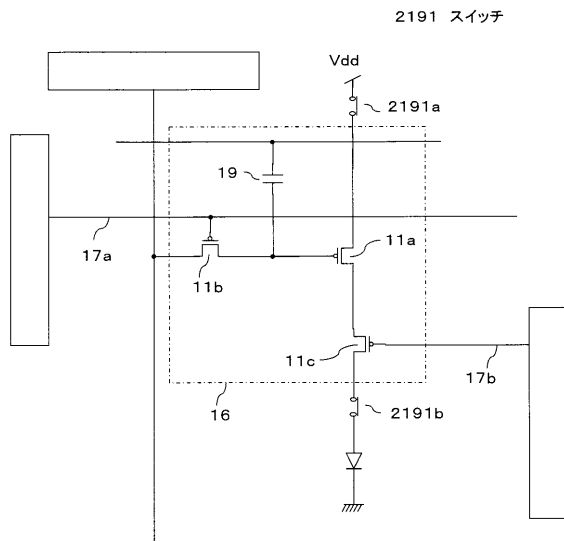
【図 2 1 3】



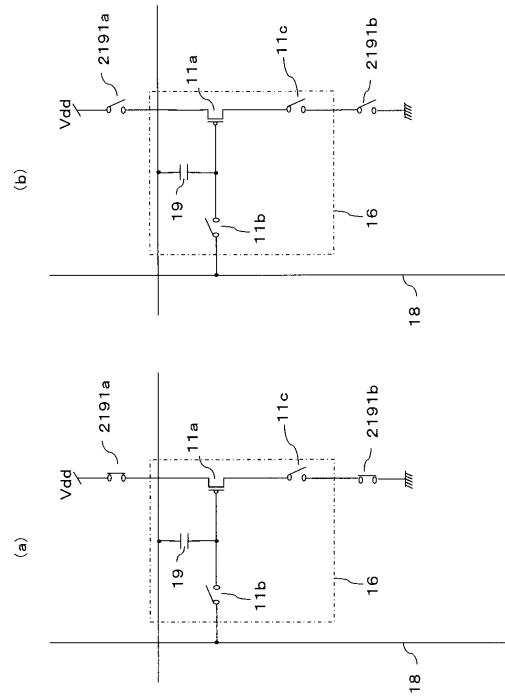
【図 2 1 4】



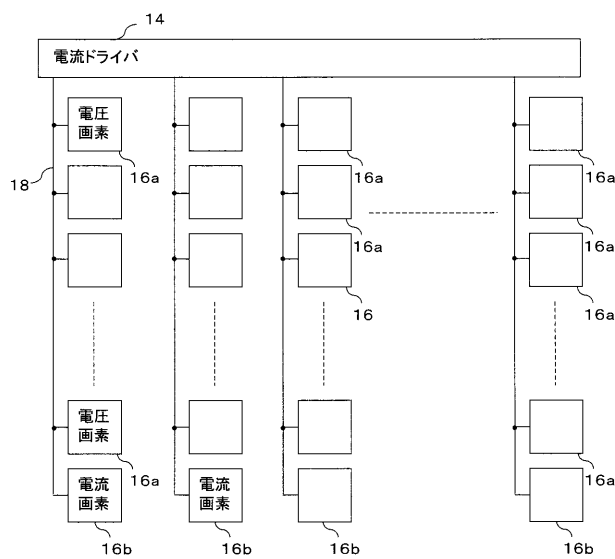
【図 2 1 9】



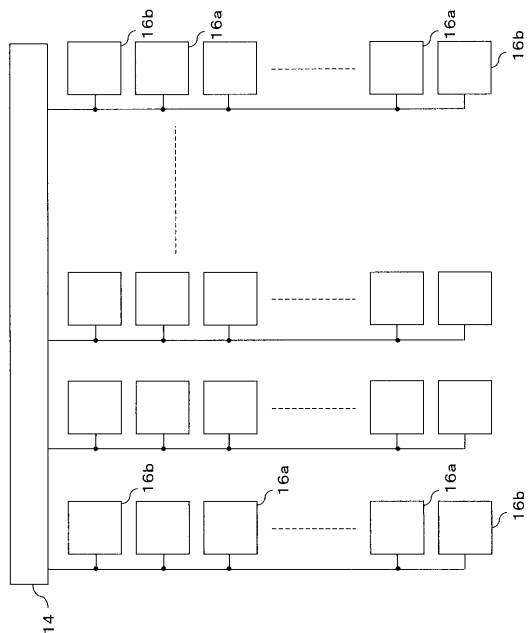
【図 2 2 0】



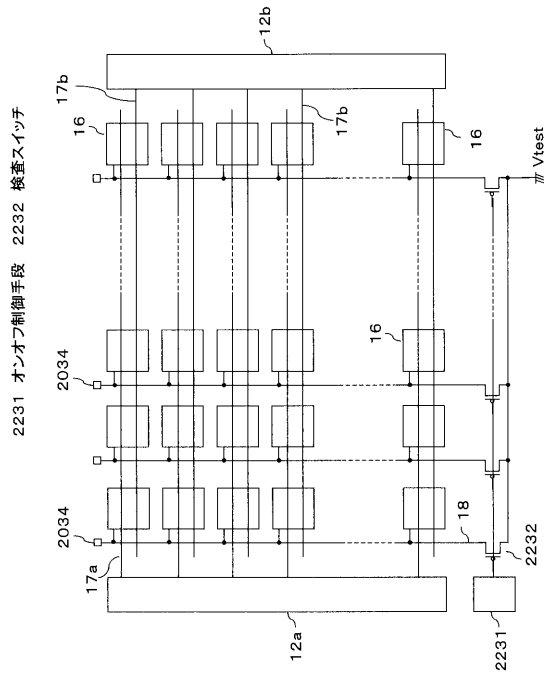
【図 2 2 1】



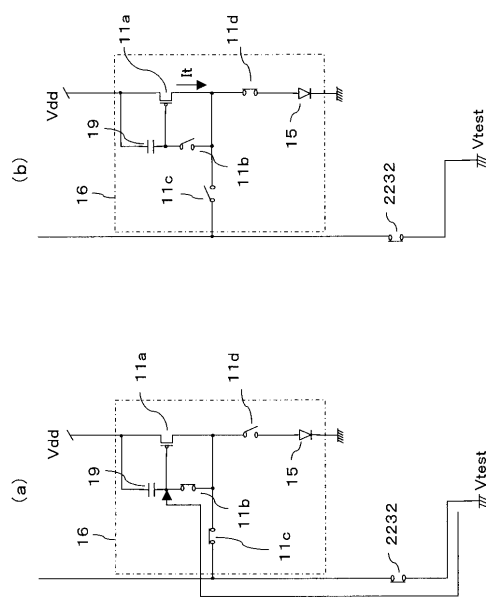
【図 2 2 2】



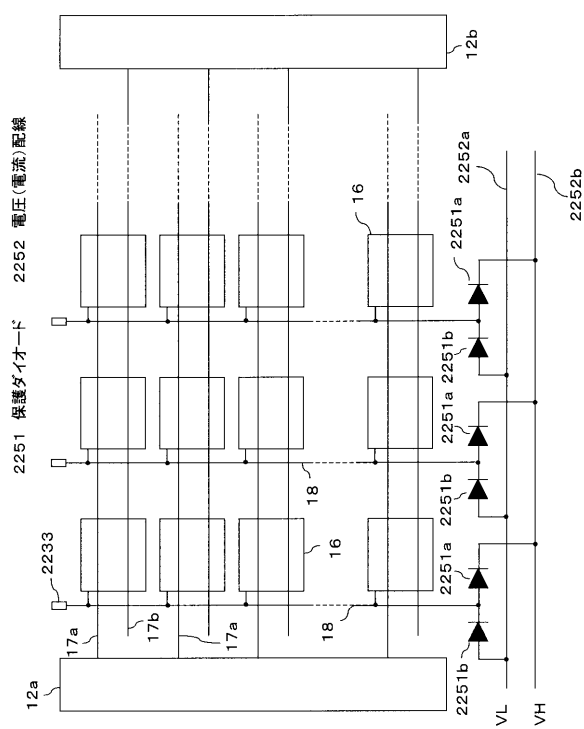
【図 2 2 3】



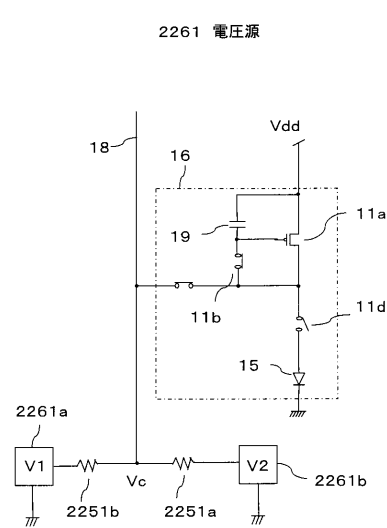
【図 2 2 4】



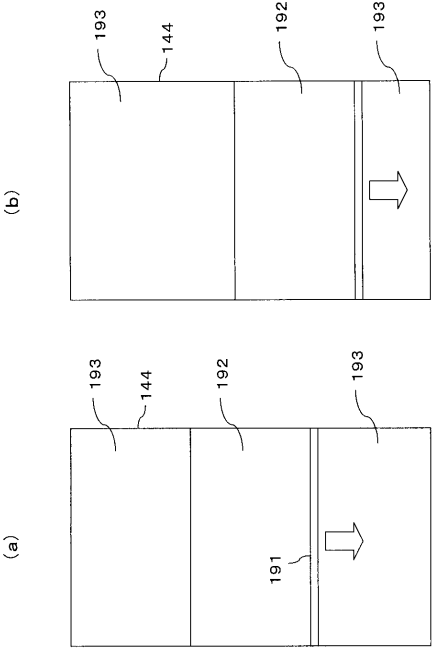
【図 2 2 5】



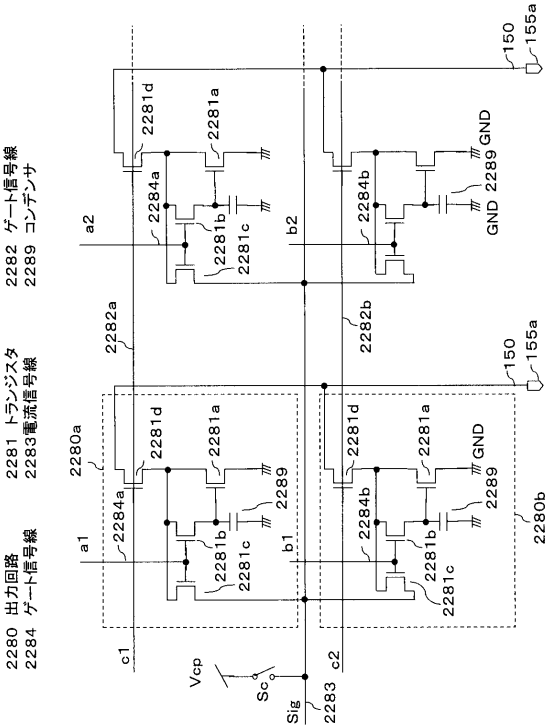
【図 2 2 6】



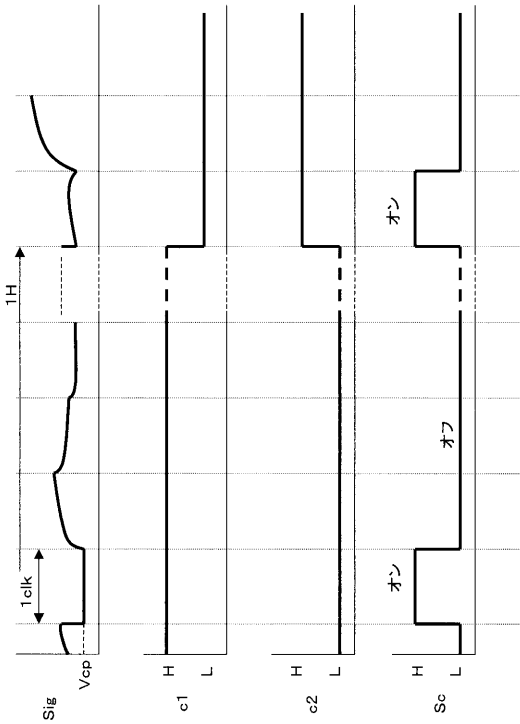
【図 2 2 7】



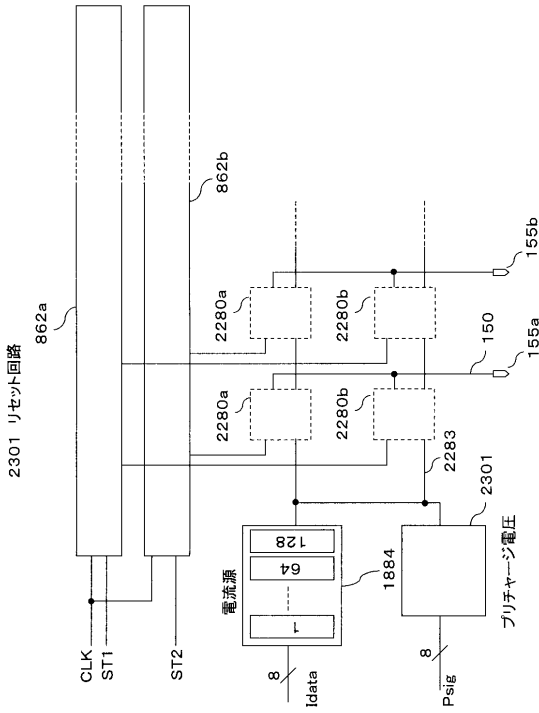
【図 2 2 8】



【図 2 2 9】

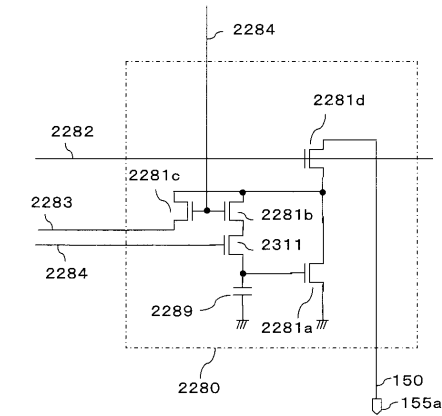


【図 2 3 0】

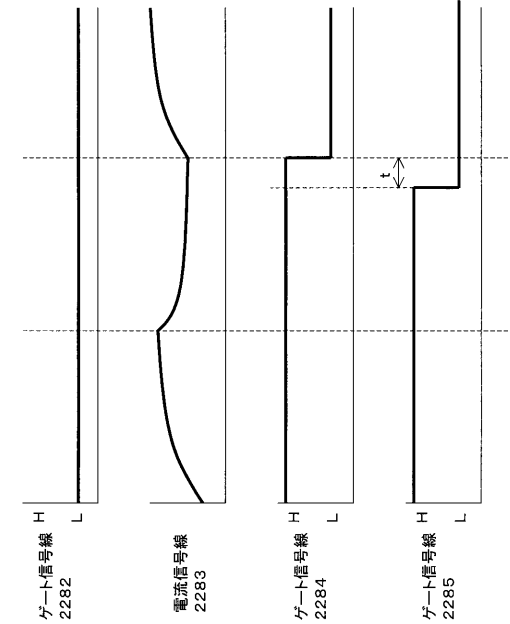


【図 2 3 1】

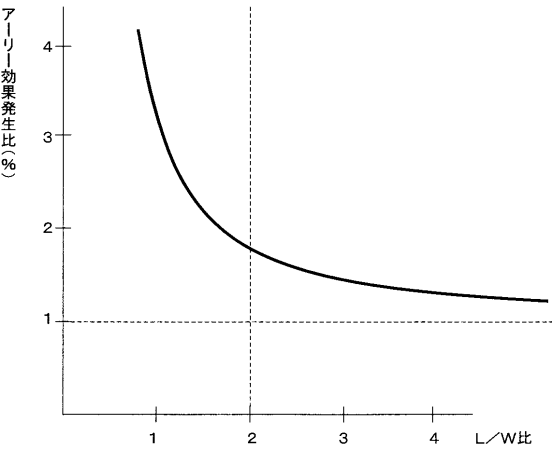
2311 スイッチトランジスタ 2285 ゲート信号線



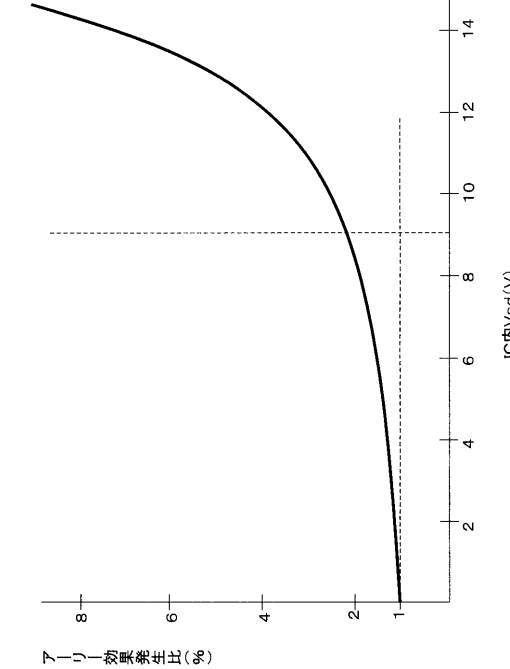
【図 2 3 2】



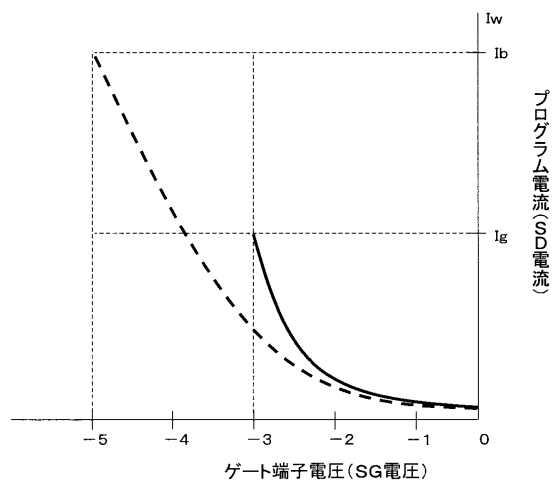
【図 2 3 3】



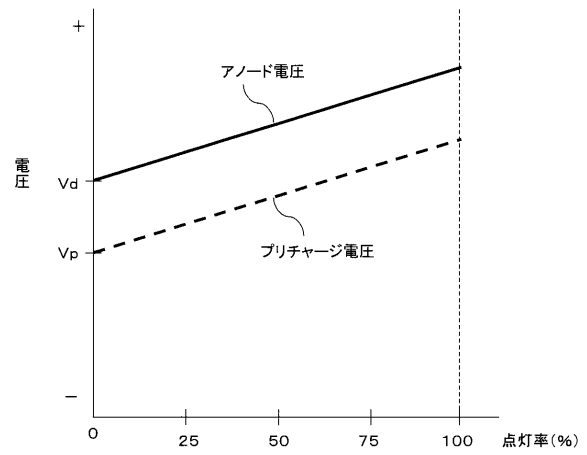
【図 2 3 4】



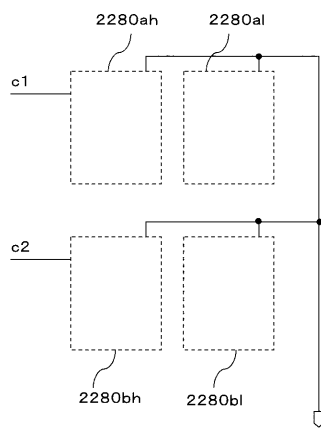
【図 2 3 5】



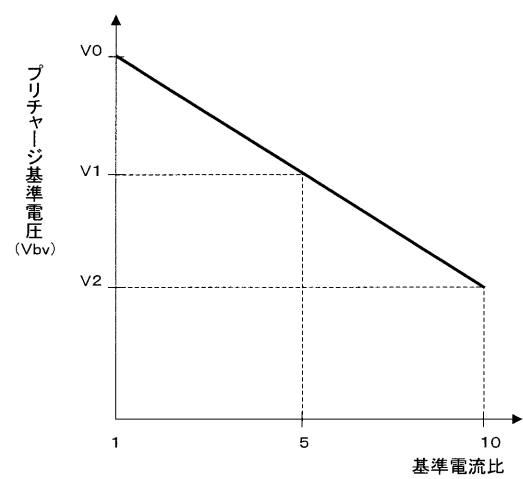
【図 2 3 6】



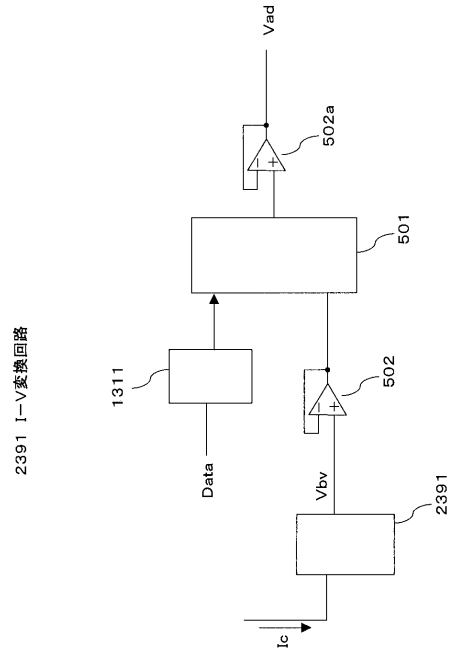
【図 2 3 7】



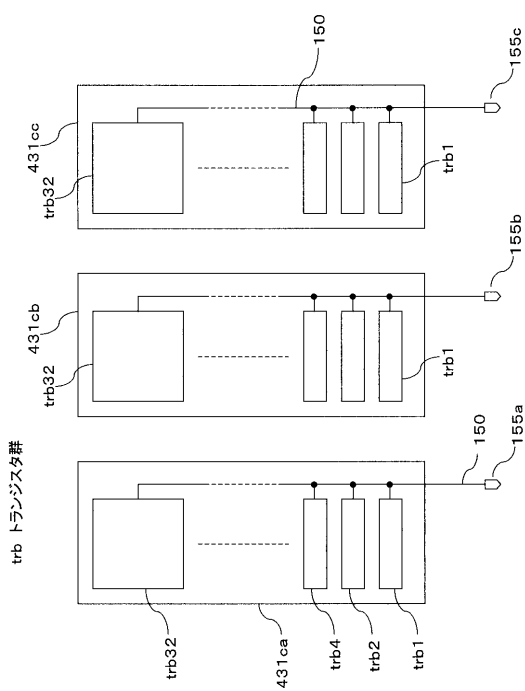
【図 2 3 8】



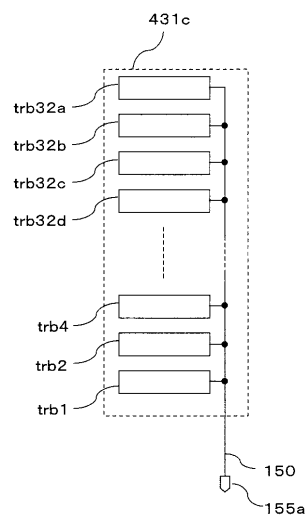
【図 2 3 9】



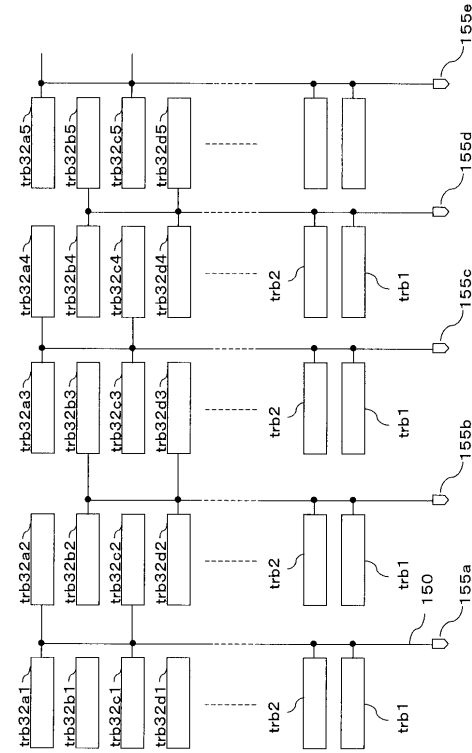
【図 2 4 0】



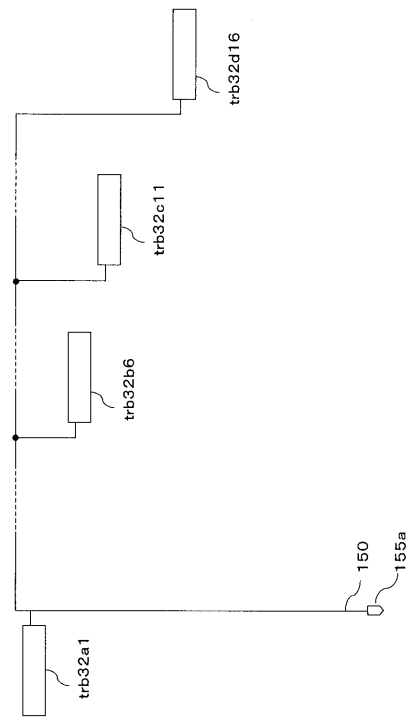
【図 2 4 1】



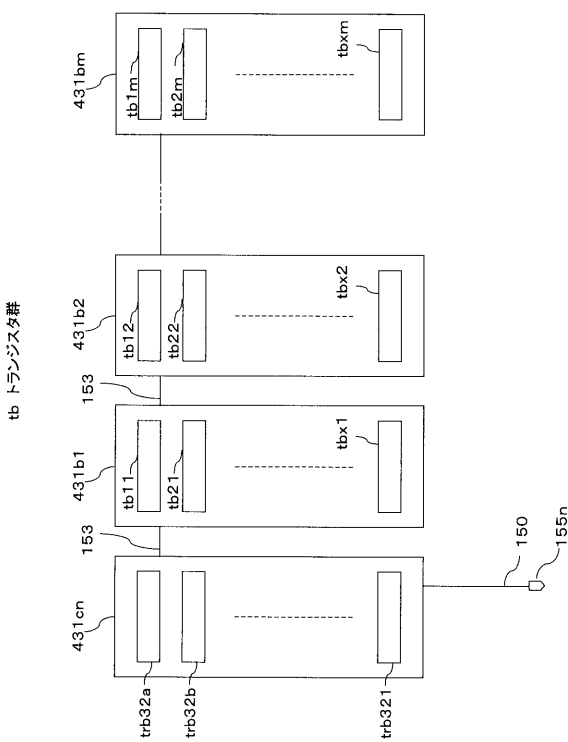
【図 2 4 2】



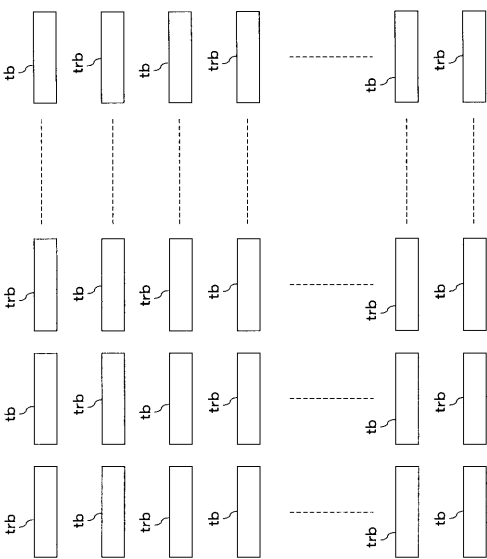
【図 2 4 3】



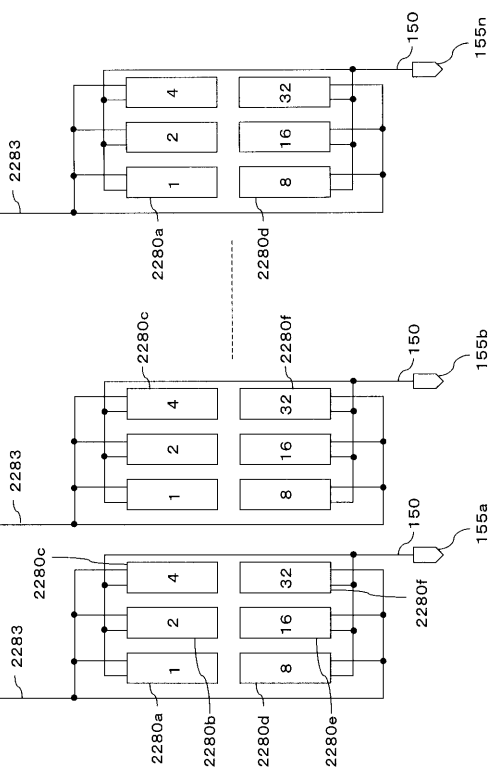
【図 2 4 4】



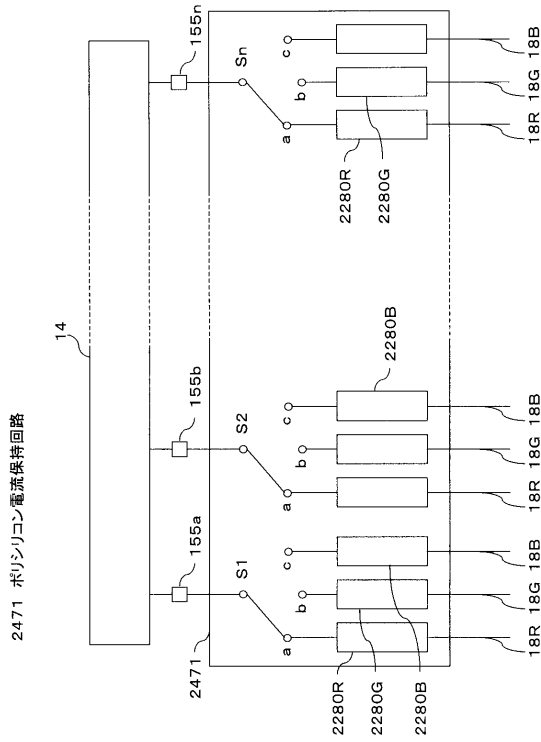
【図 2 4 5】



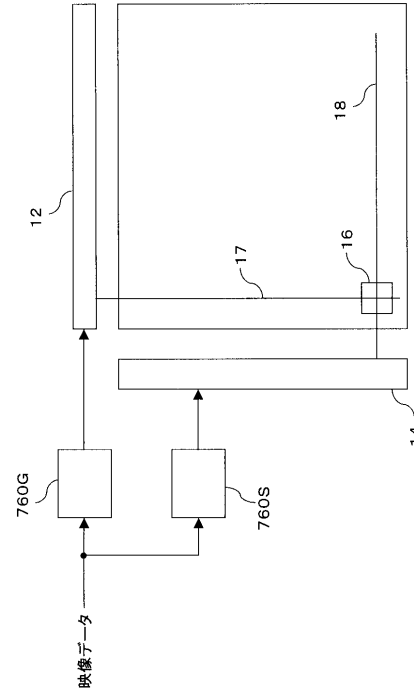
【図 2 4 6】



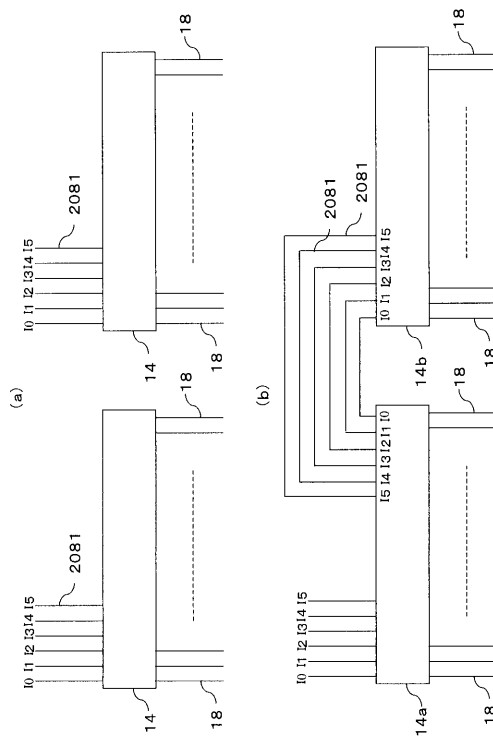
【図 2 4 7】



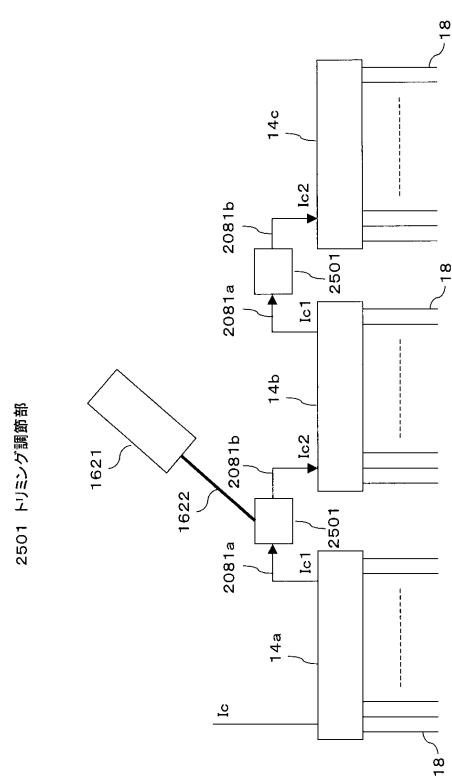
【図 2 4 8】



【図 2 4 9】

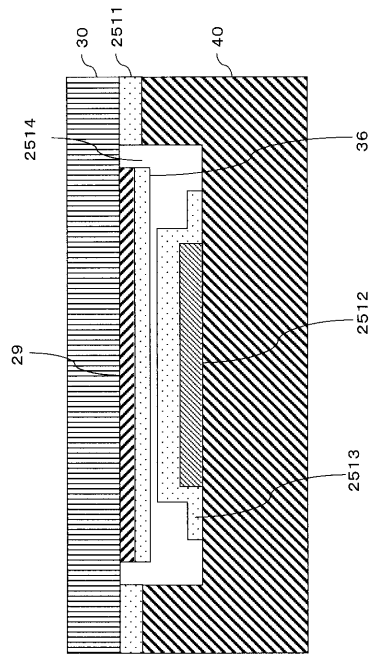


【図 2 5 0】

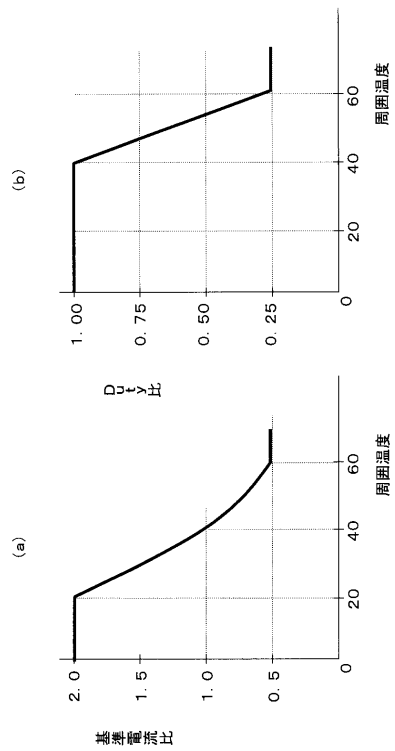


【図 2 5 1】

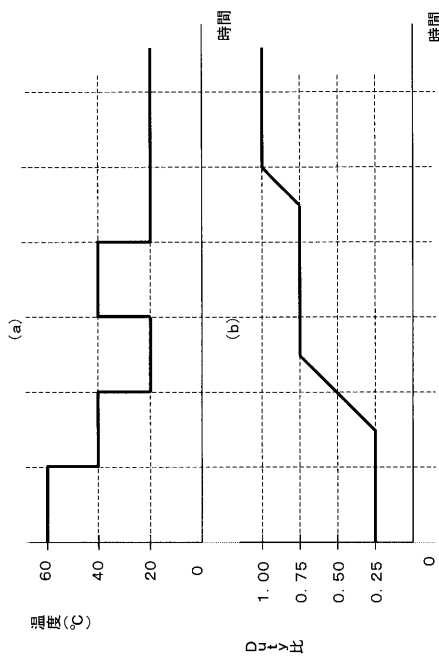
2511 封止樹脂 2512 スピコー 2513 封止膜 2514 空間



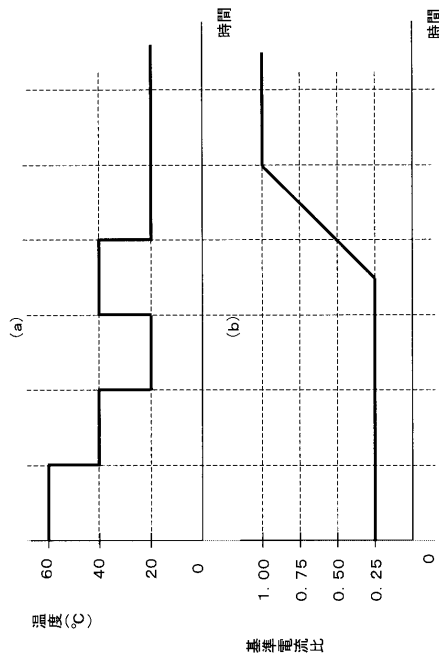
【図 2 5 2】



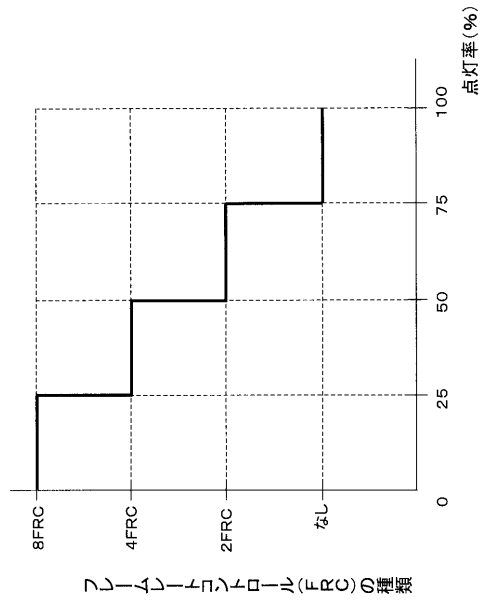
【図 2 5 3】



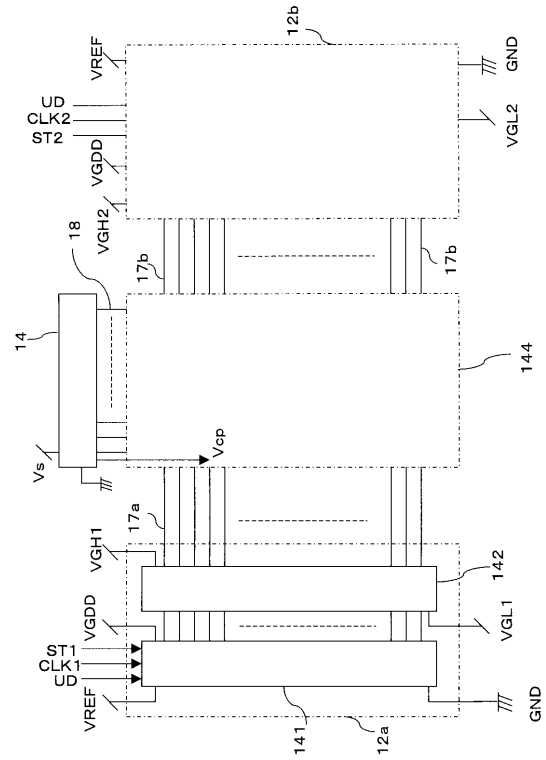
【図 2 5 4】



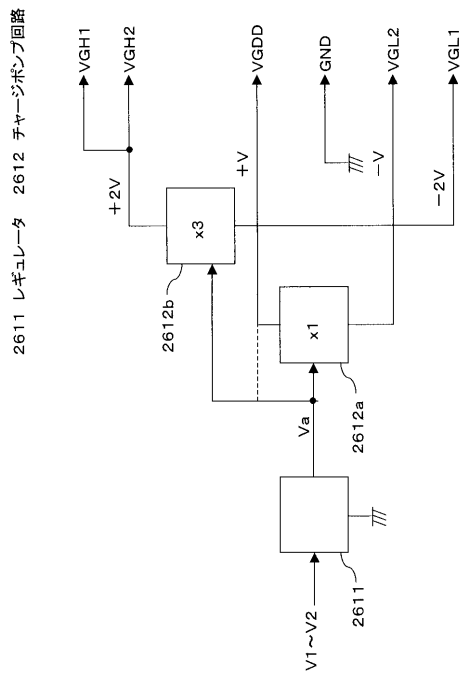
【図 2 5 9】



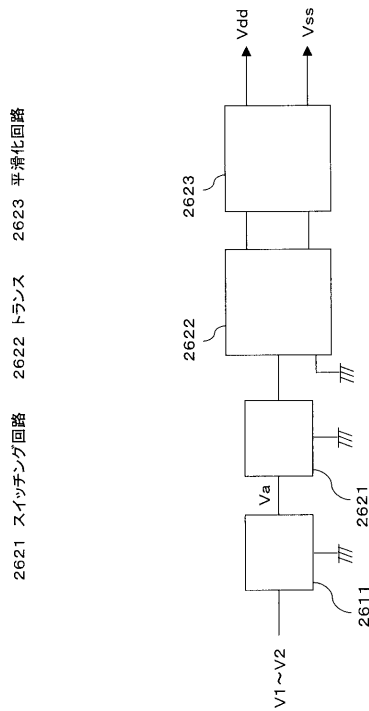
【図 2 6 0】



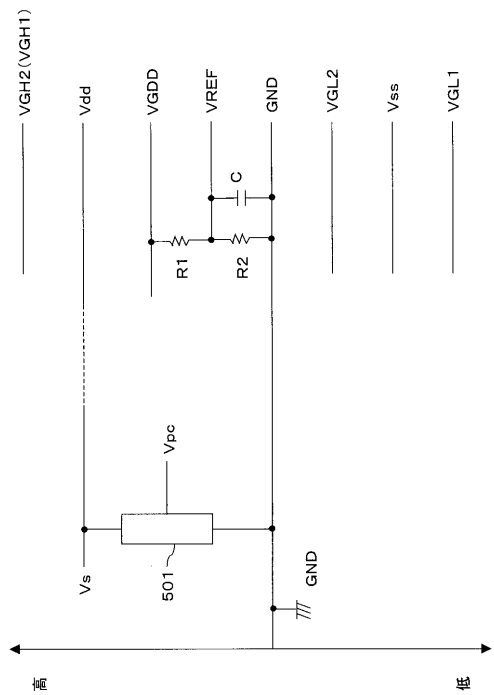
【図 2 6 1】



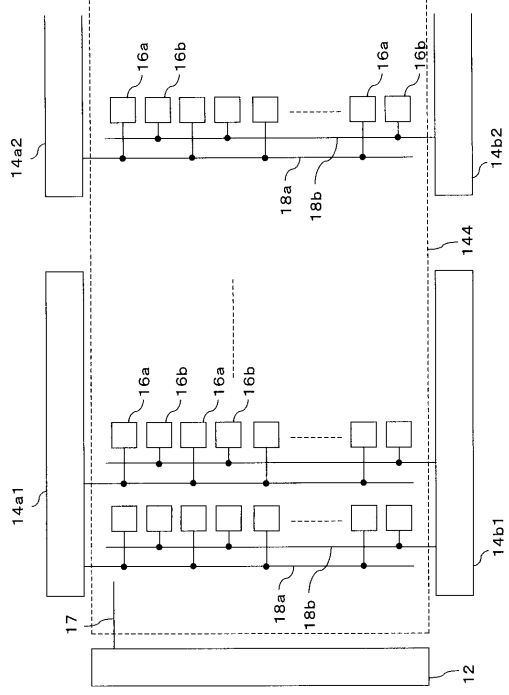
【図 2 6 2】



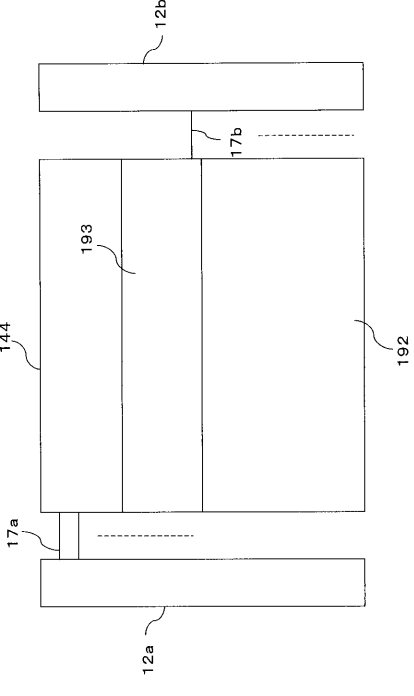
【図 2 6 3】



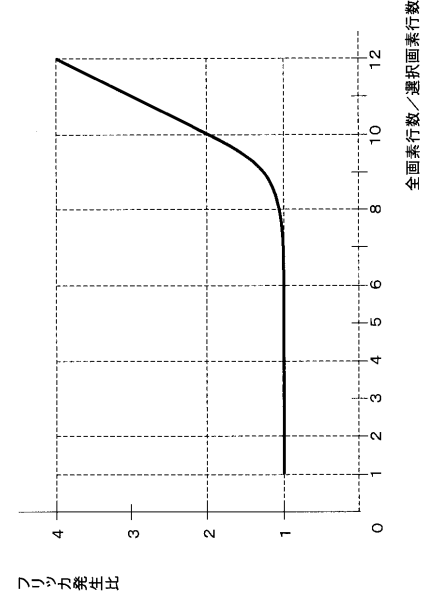
【図 2 6 4】



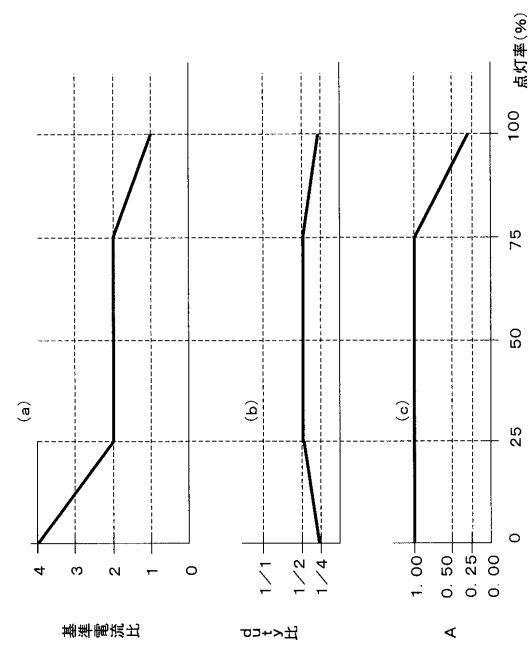
【図 2 6 5】



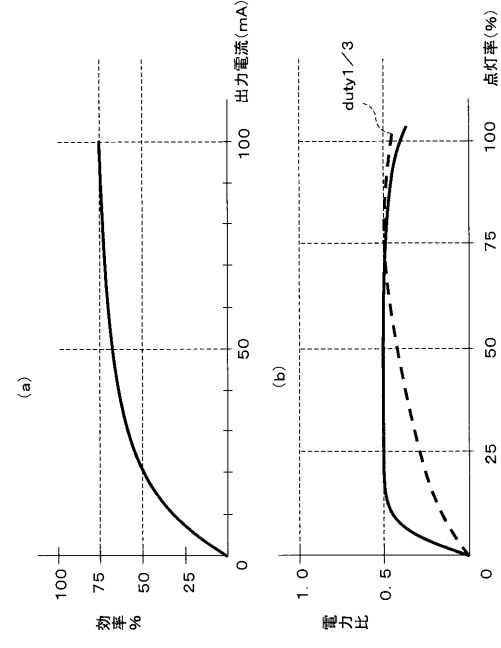
【図 2 6 6】



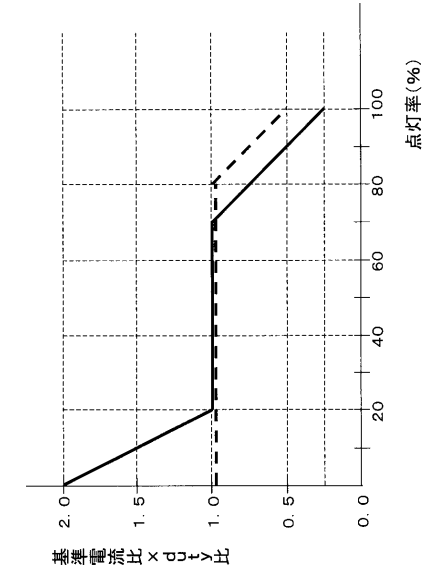
【図 2 6 7】



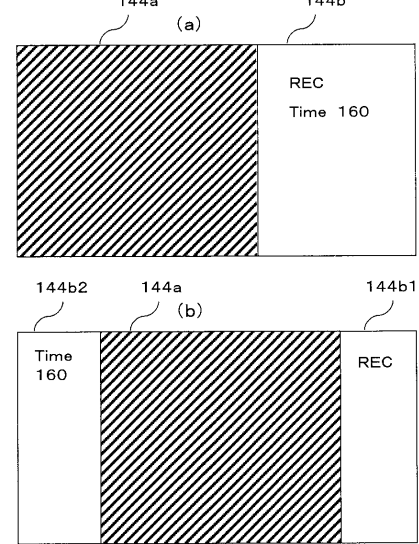
【図 2 6 8】



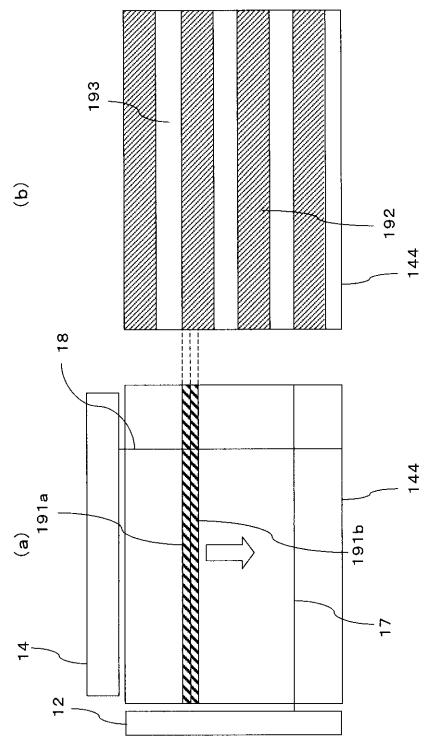
【図 2 6 9】



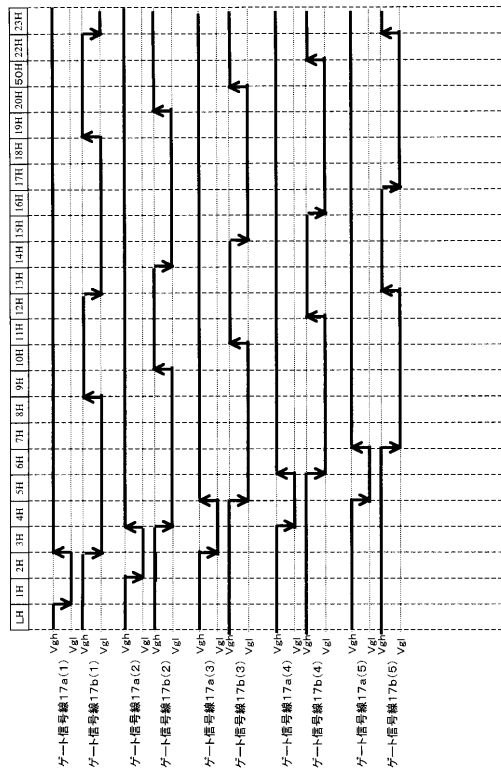
【図 2 7 0】



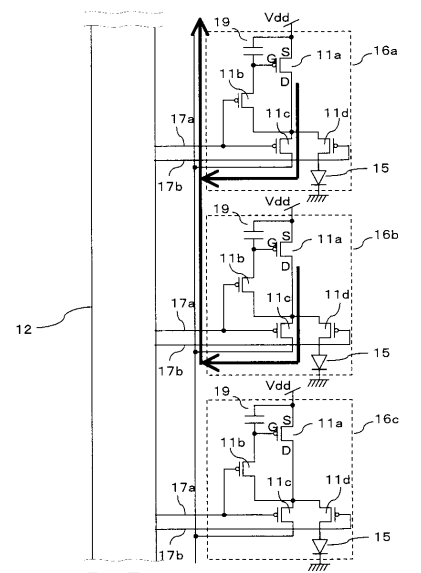
【図 271】



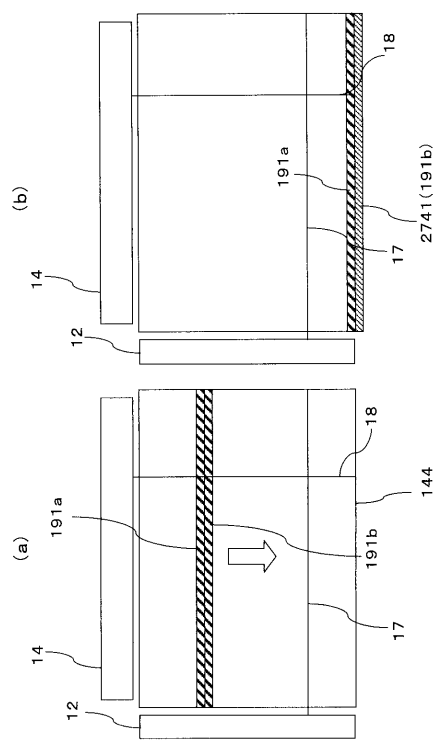
【図 272】



【図 273】

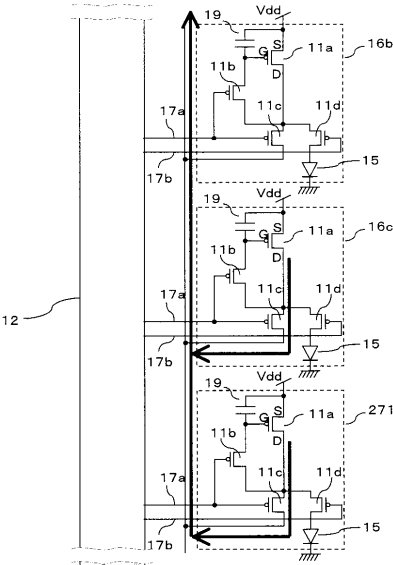


【図 274】

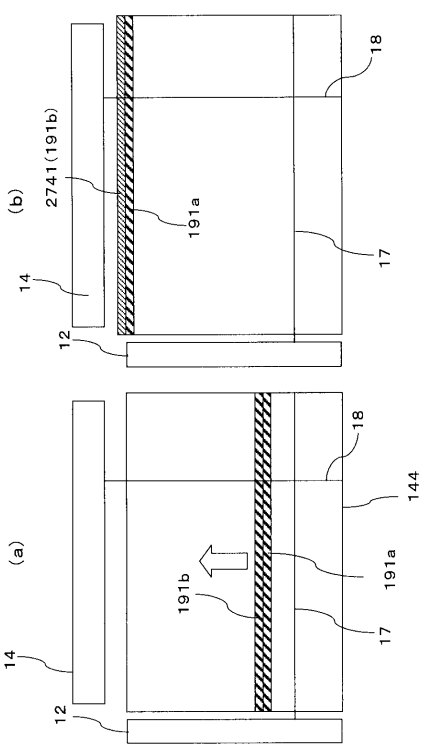


2741 第三画面(行)

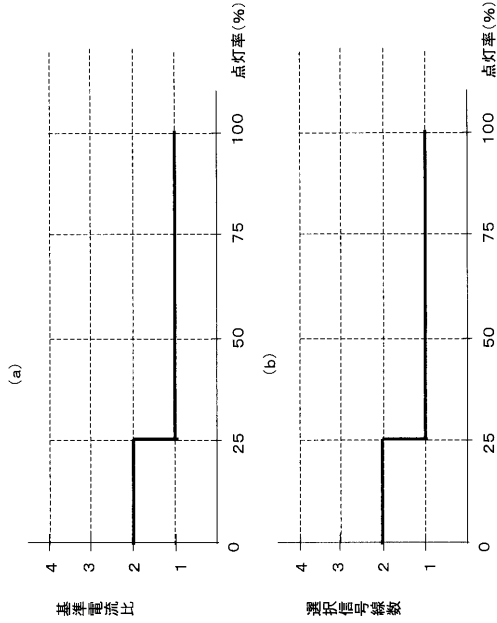
【図 2 7 5】



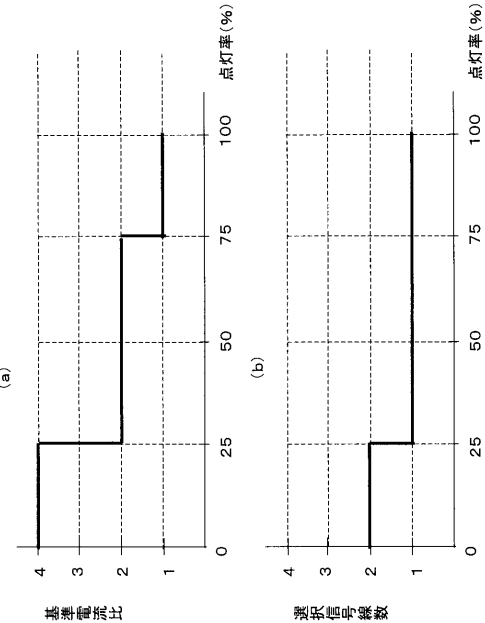
【図 2 7 6】



【図 2 7 7】

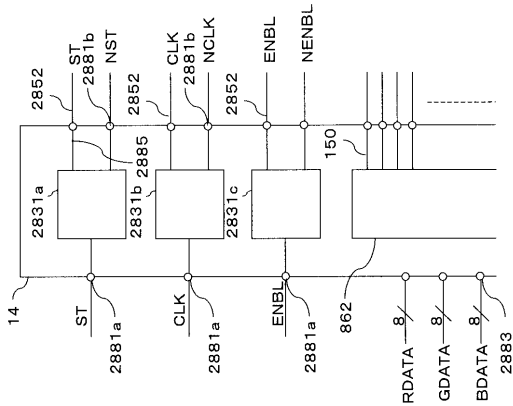


【図 2 7 8】



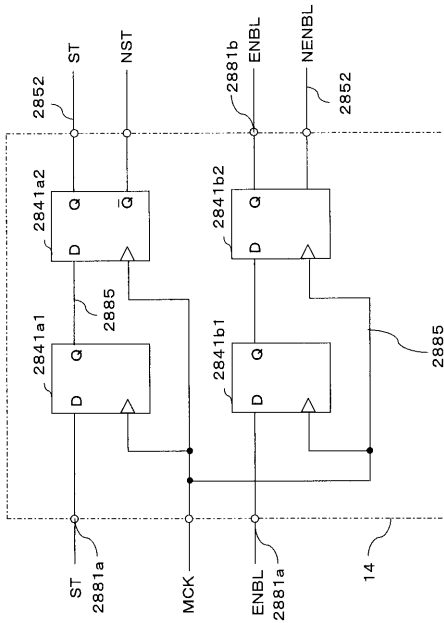
【図 283】

2831 反転出力発生回路



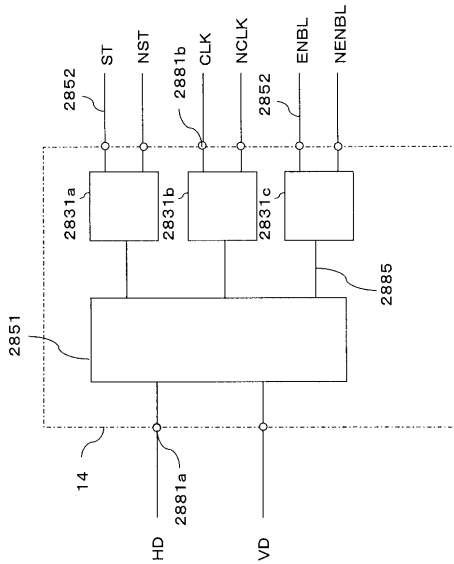
【図 284】

2841 FF回路(遅延回路)

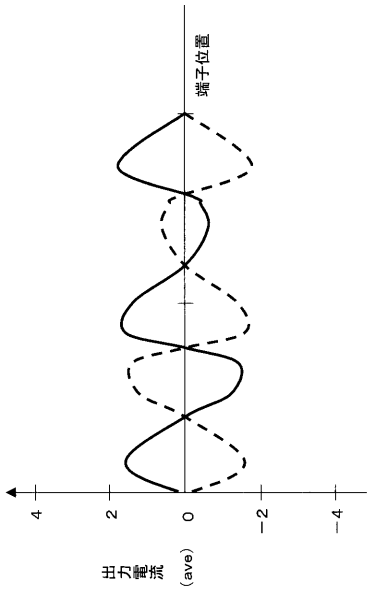


【図 285】

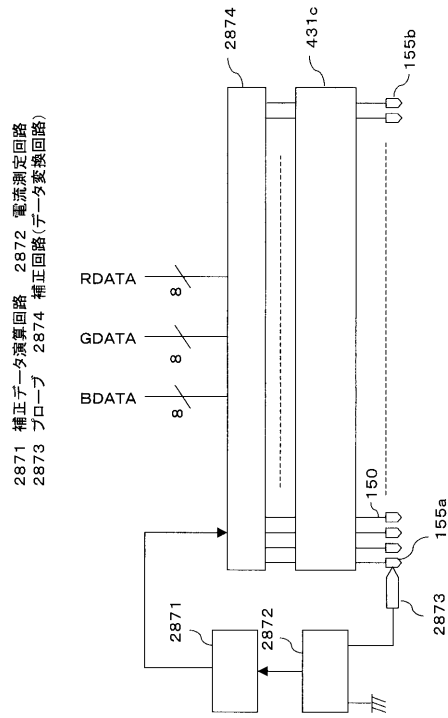
2851 信号発生回路
2852 記録



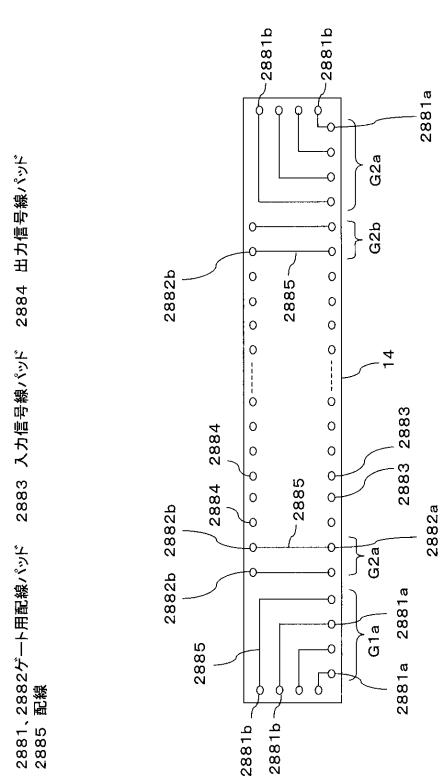
【図 286】



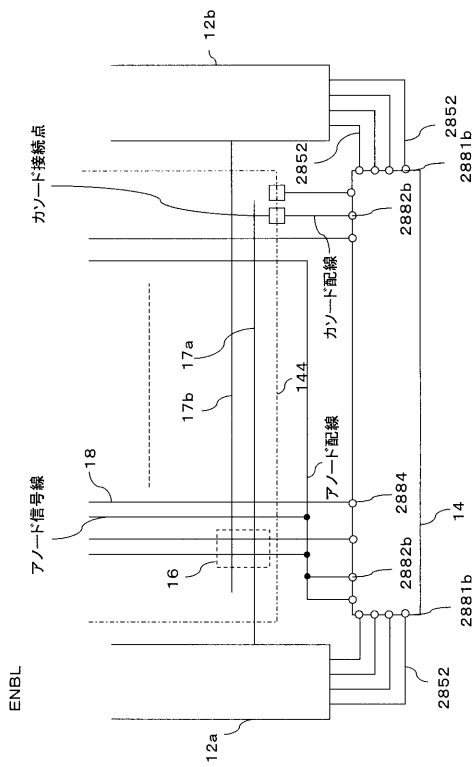
【 図 2 8 7 】



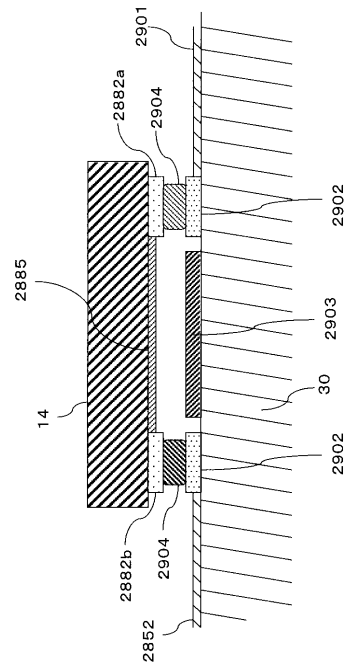
【图 2 8 8】



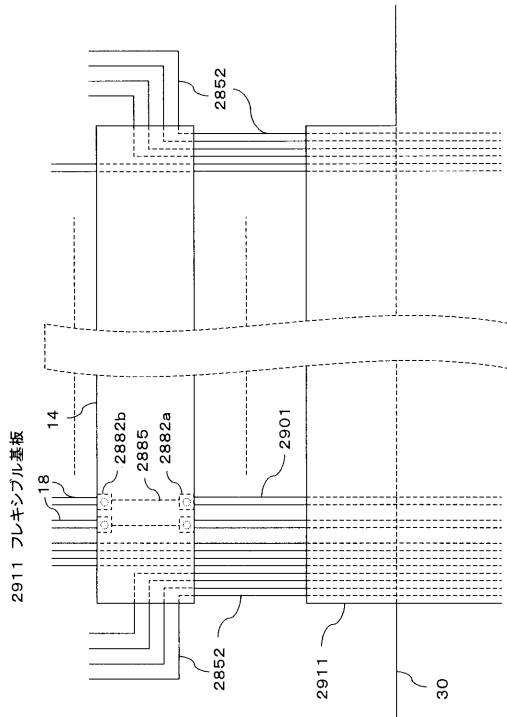
【 図 2 8 9 】



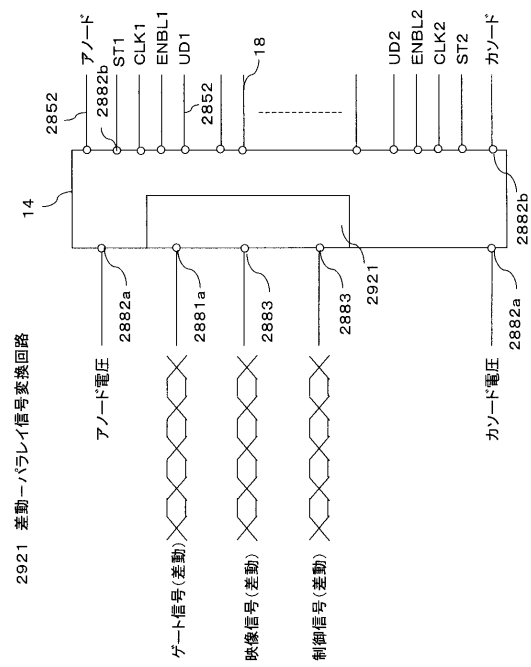
【图 2 9 0】



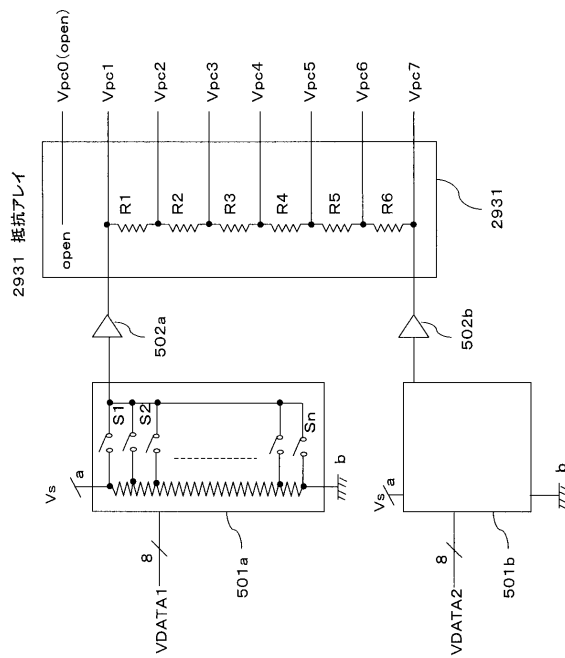
【図 291】



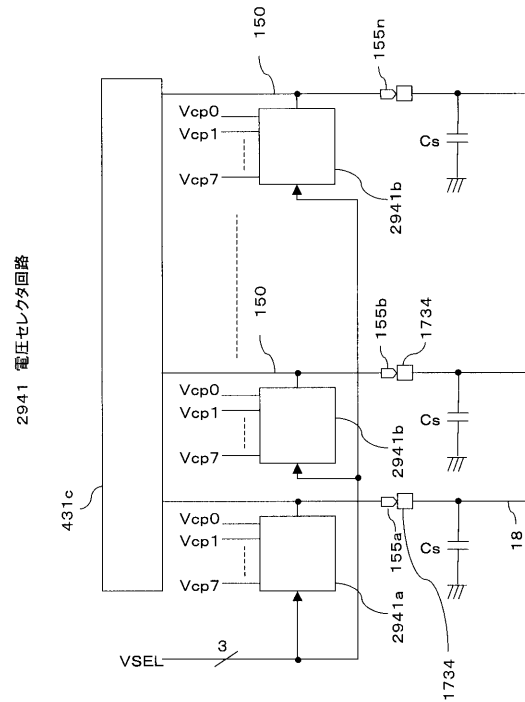
【図 292】



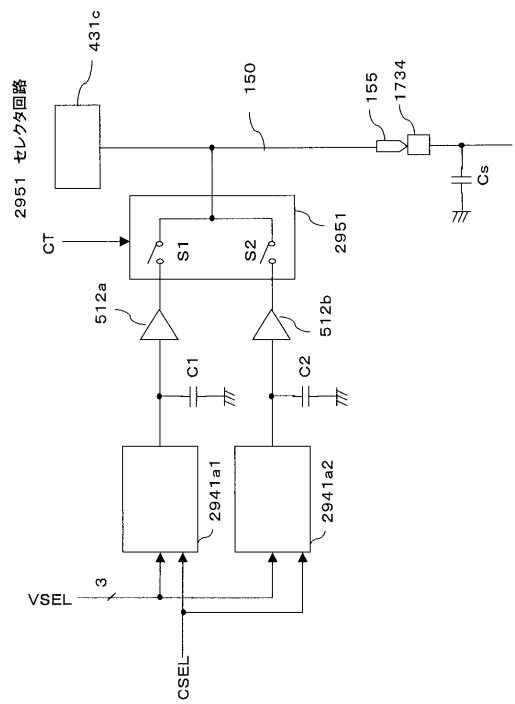
【図 293】



【図 294】



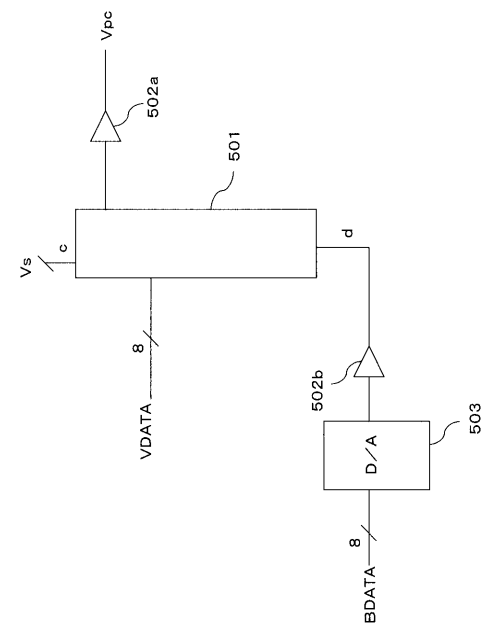
【図 2 9 5】



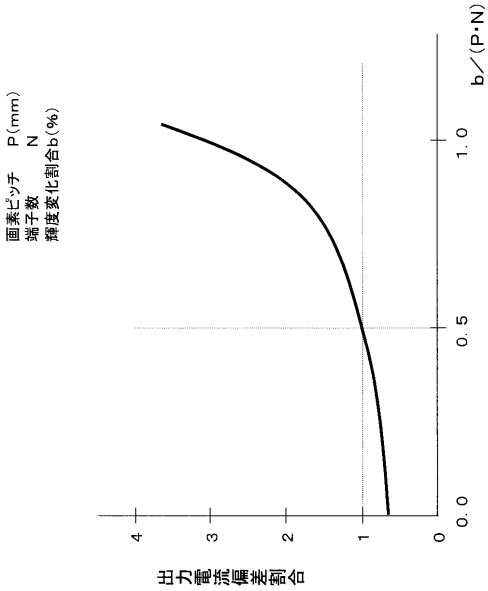
【図 2 9 6】

VSEL	出力
0	Vcp0
1	Vcp1
2	Vcp2
3	Vcp3
4	Vcp4
5	Vcp5
6	Vcp6
7	Vcp7

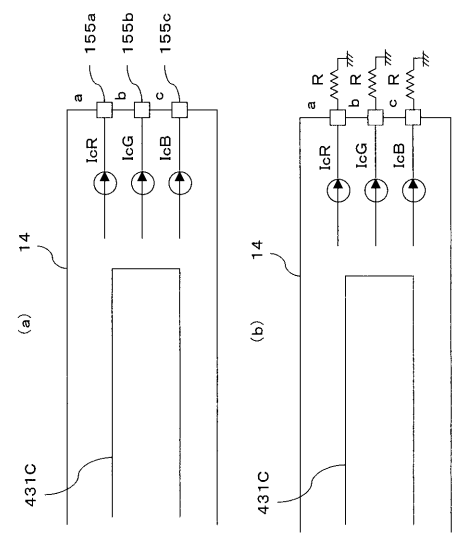
【図 2 9 7】



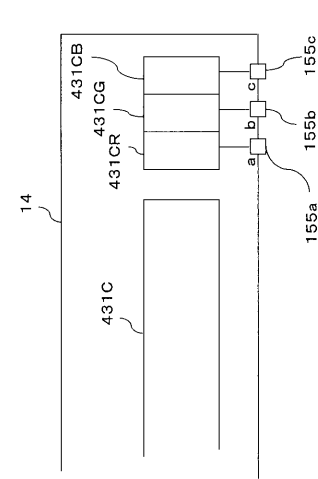
【図 2 9 8】



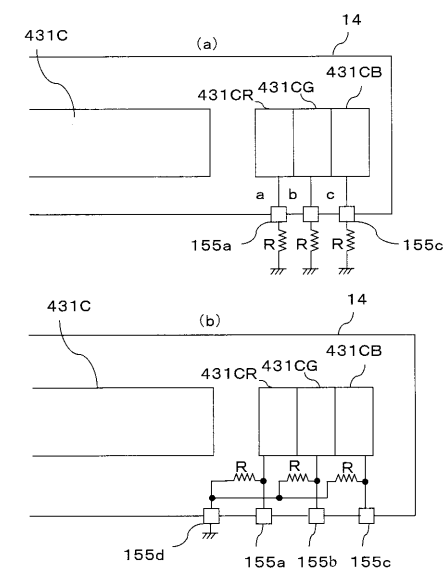
【図 299】



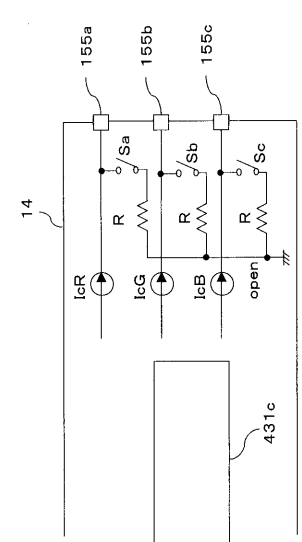
【図 300】



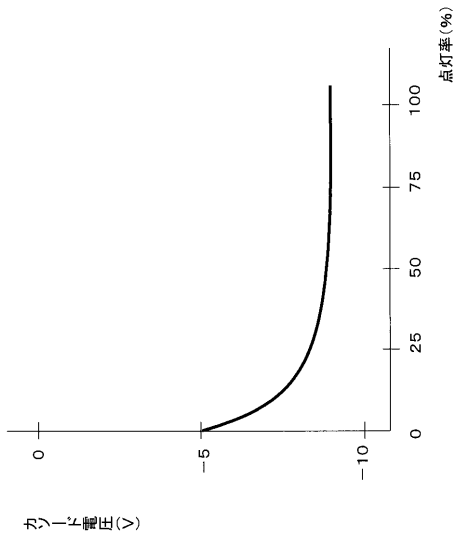
【図 301】



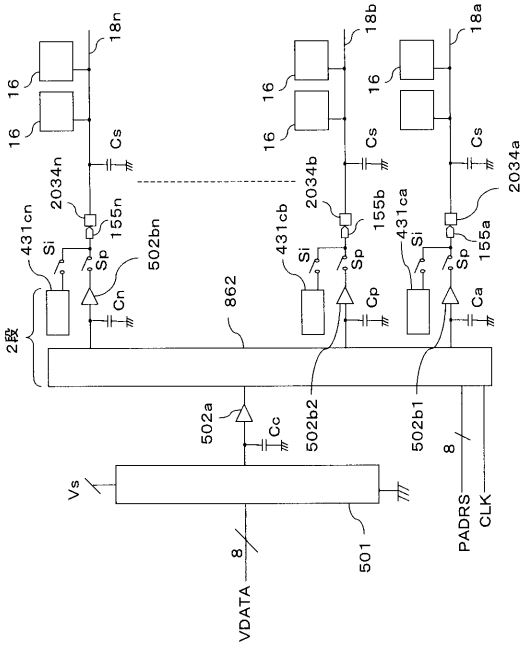
【図 302】



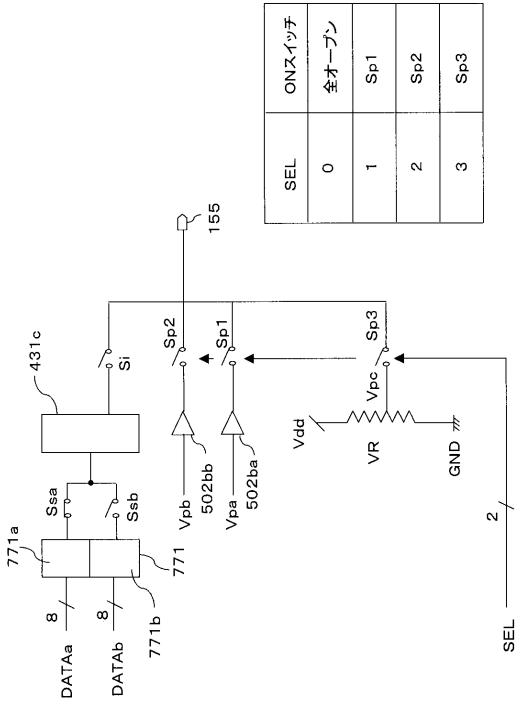
【図 3 0 7】



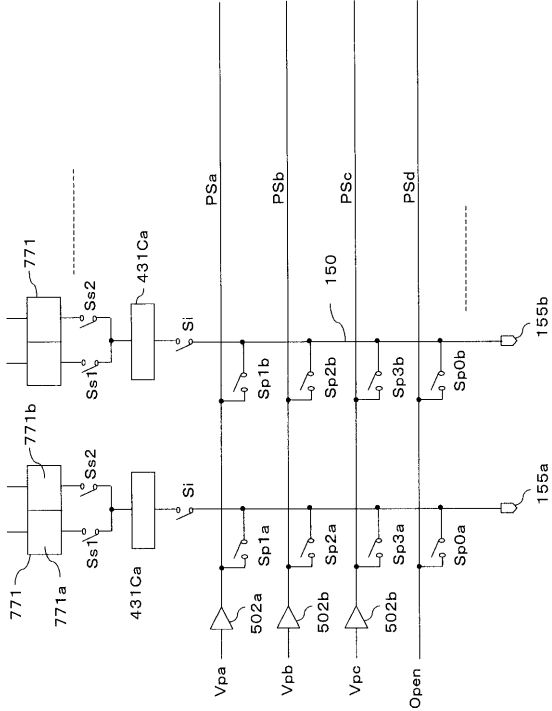
【図 3 0 8】



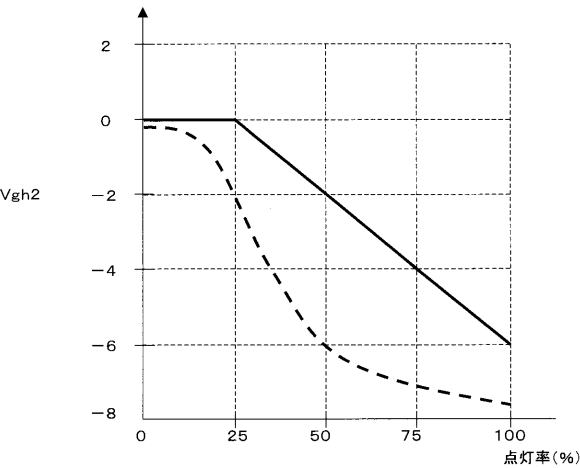
【図 3 0 9】



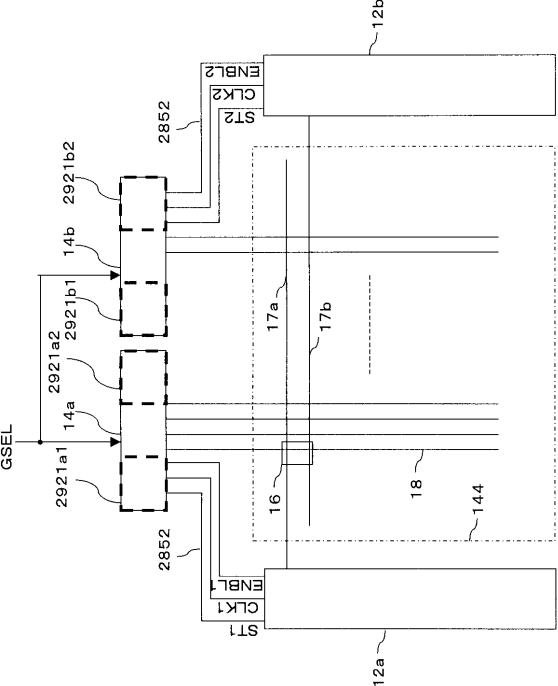
【図 3 1 0】



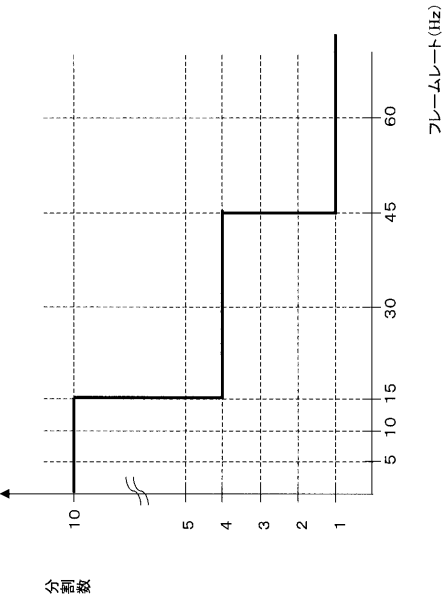
【図 3 1 5】



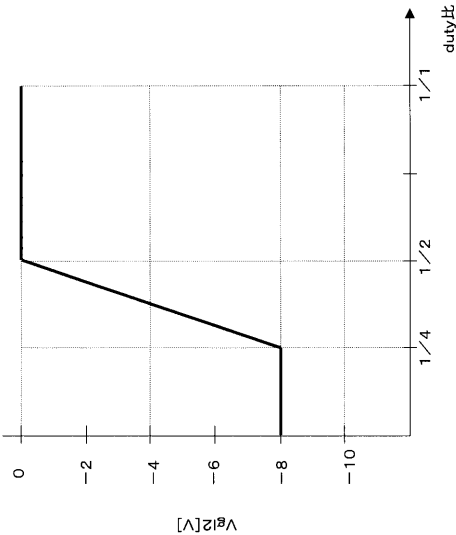
【図 3 1 6】



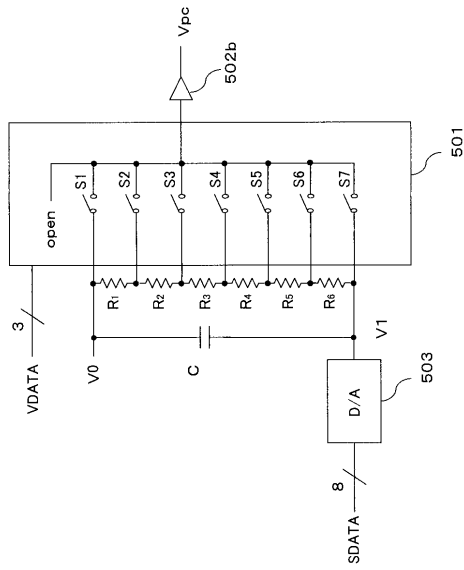
【図 3 1 7】



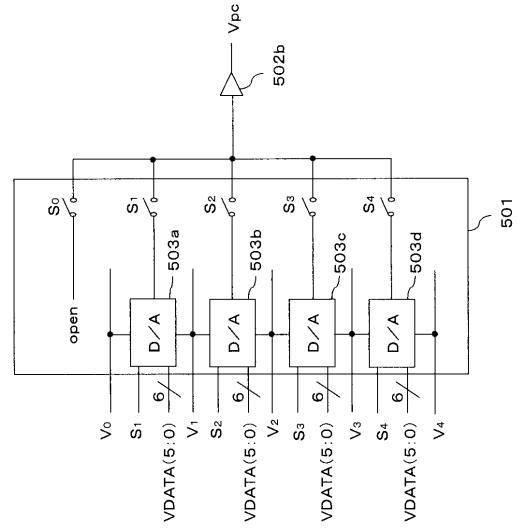
【図 3 1 8】



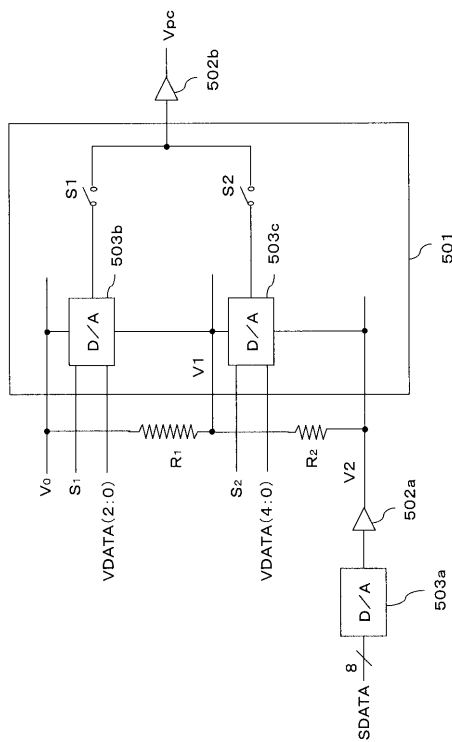
【図 3 3 9】



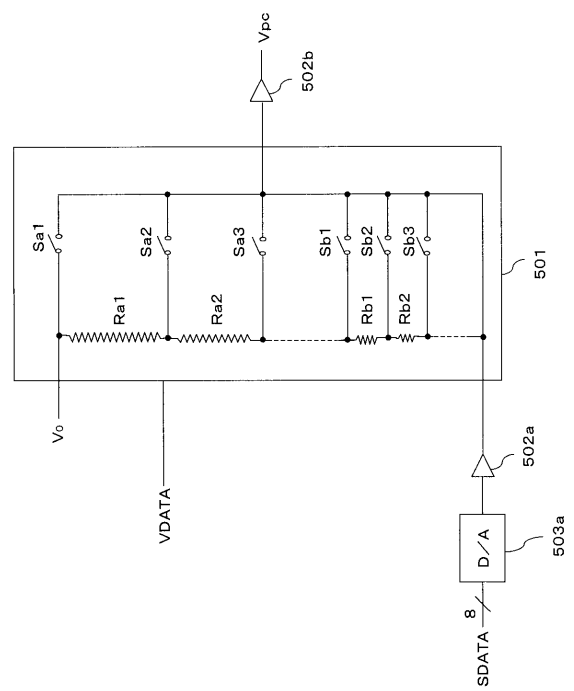
【図 3 4 0】



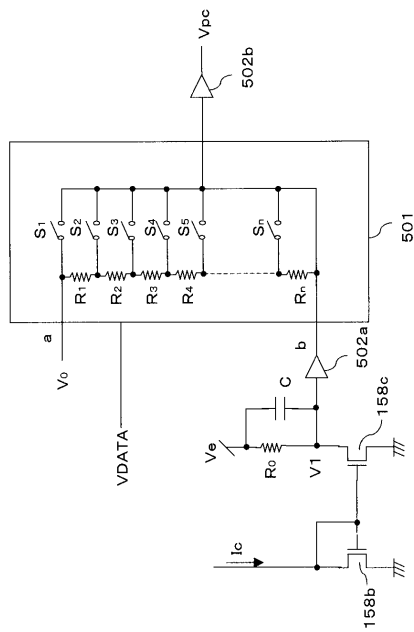
【図 3 4 1】



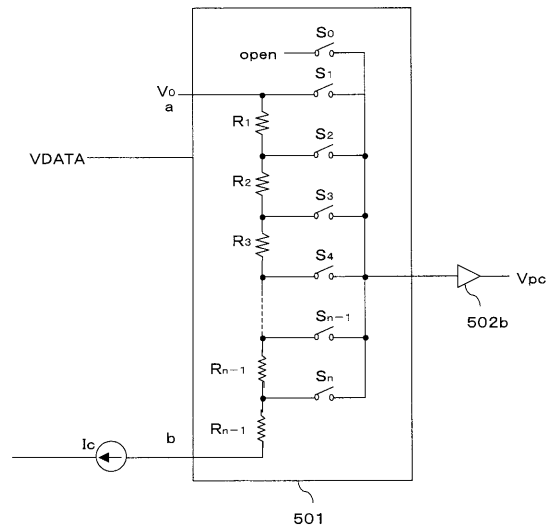
【図 3 4 2】



【図 3 4 3】

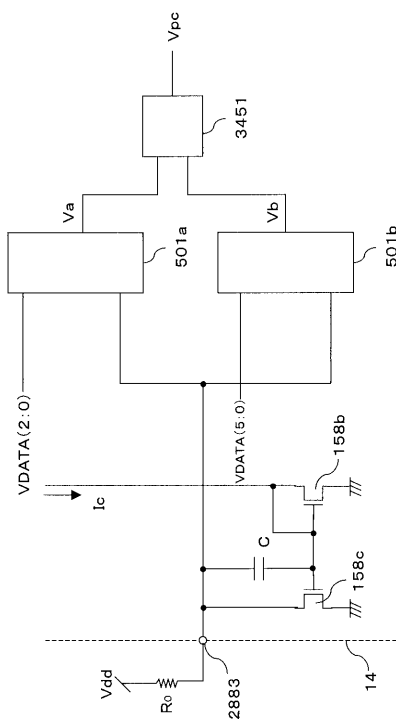


【図 3 4 4】

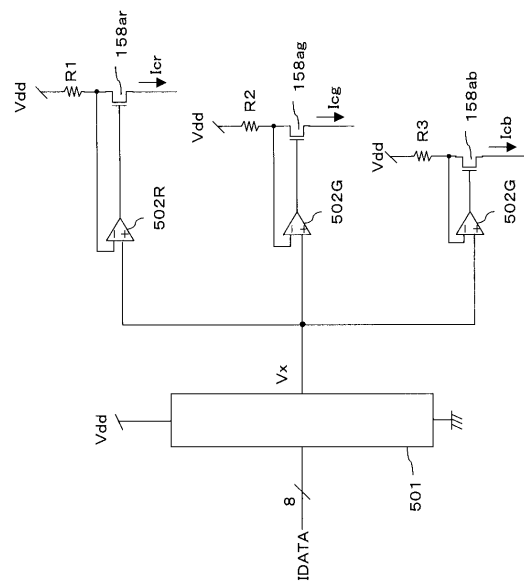


【図 3 4 5】

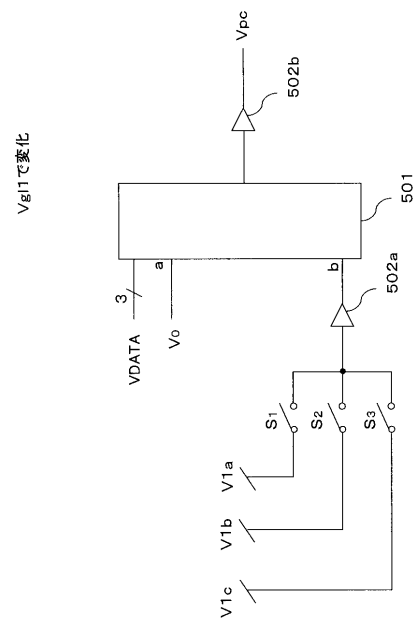
3451 加算回路



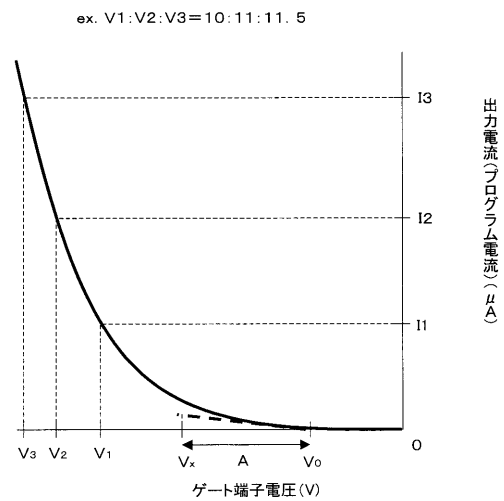
【図 3 4 6】



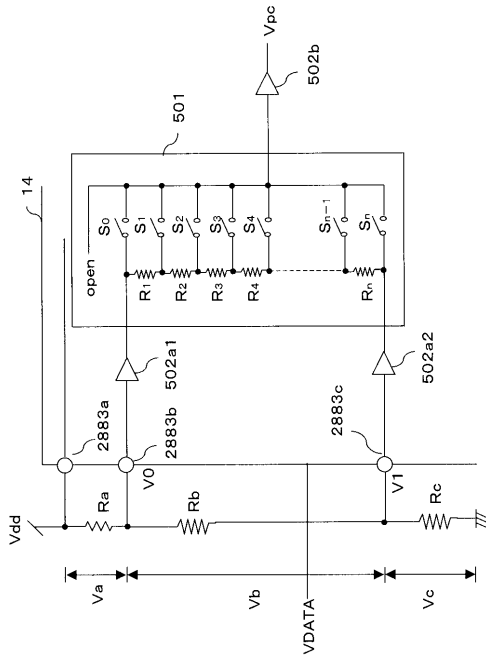
【図 3 4 8】



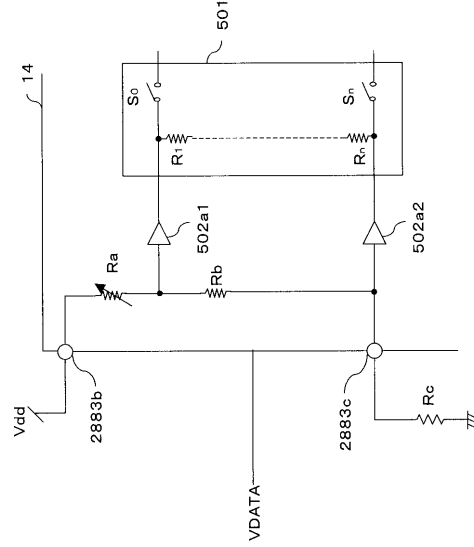
【図 3 5 0】



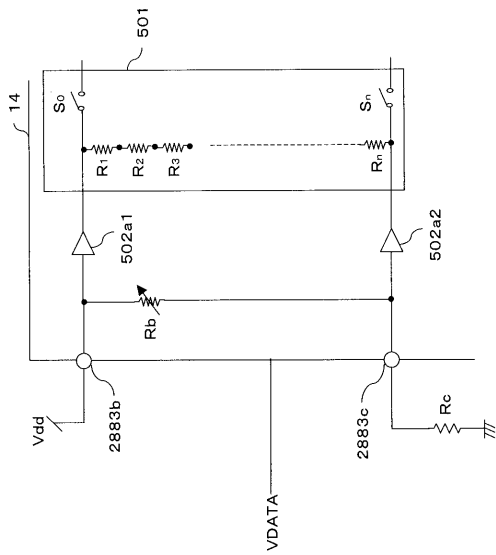
【図 3 5 1】



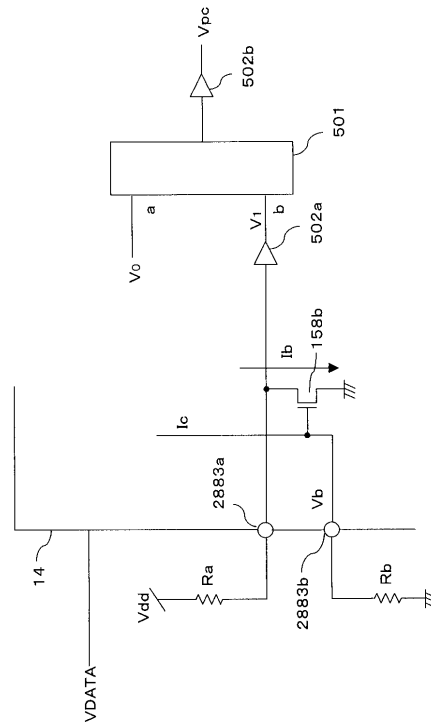
【图 3 5 2】



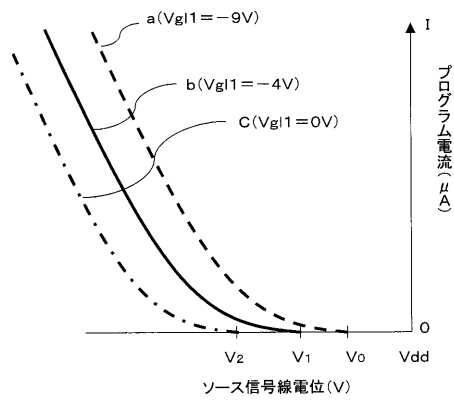
【 図 3 5 3 】



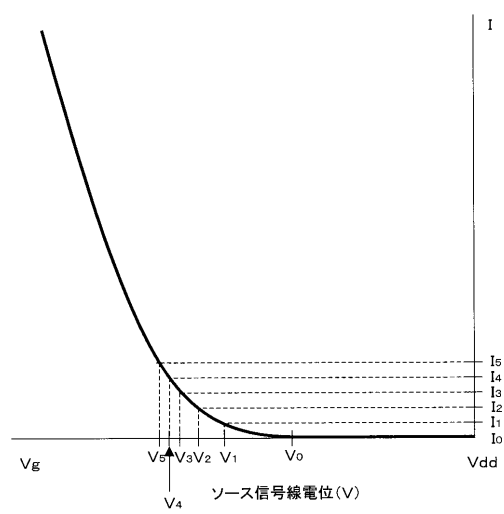
【図 3 5 4】



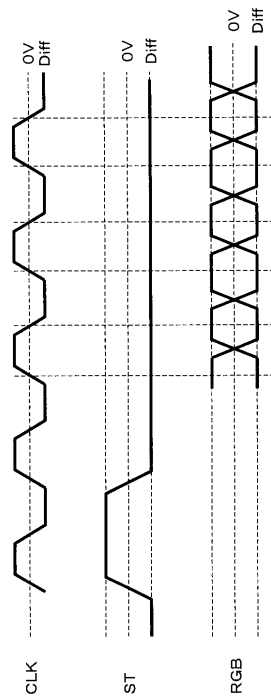
【図 3 5 5】



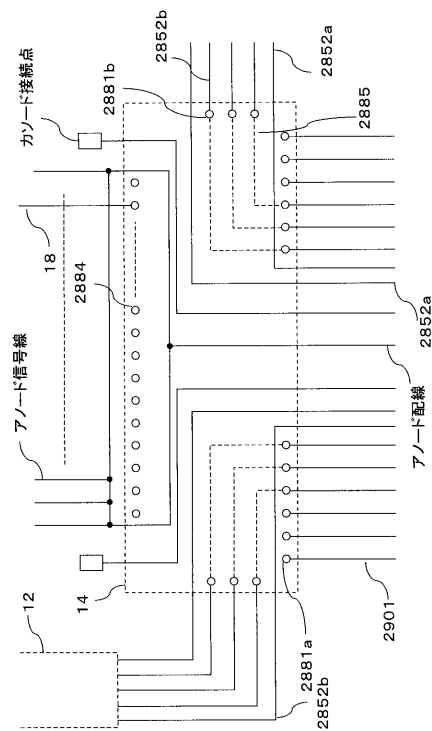
【図 3 5 6】



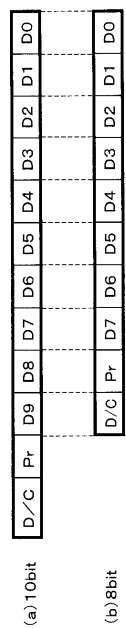
【図 3 5 7】



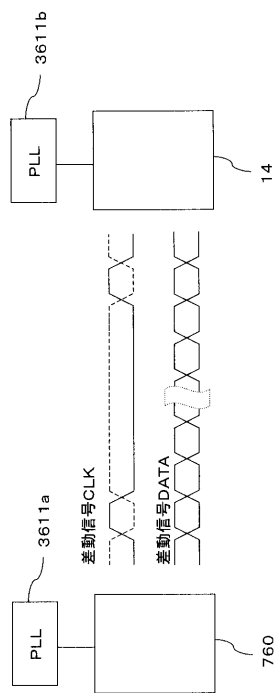
【図 3 5 8】



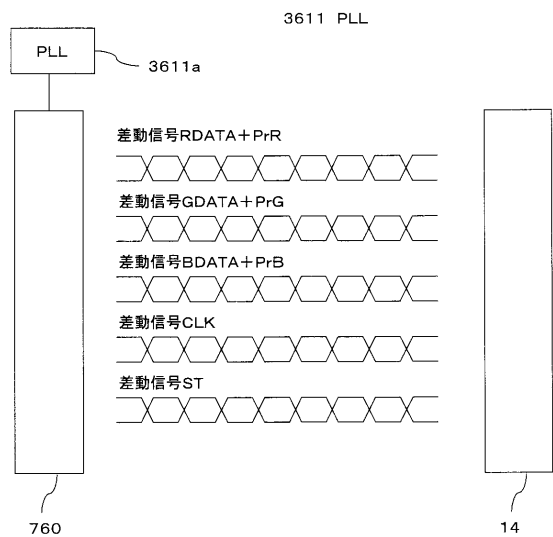
【図 3 5 9】



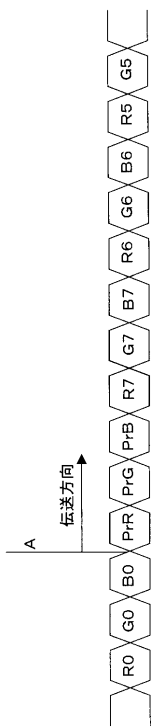
【図 3 6 0】



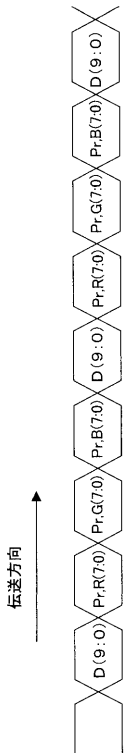
【図 3 6 1】



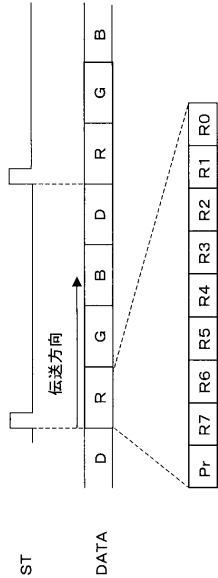
【図 3 6 2】



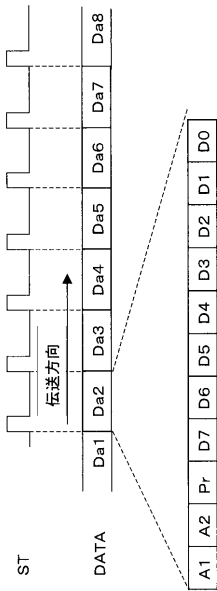
【図 3 6 3】



【図 3 6 4】

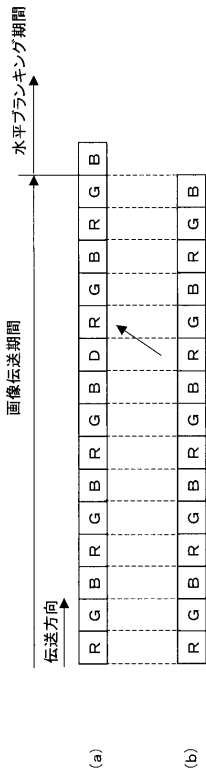


【図 3 6 5】



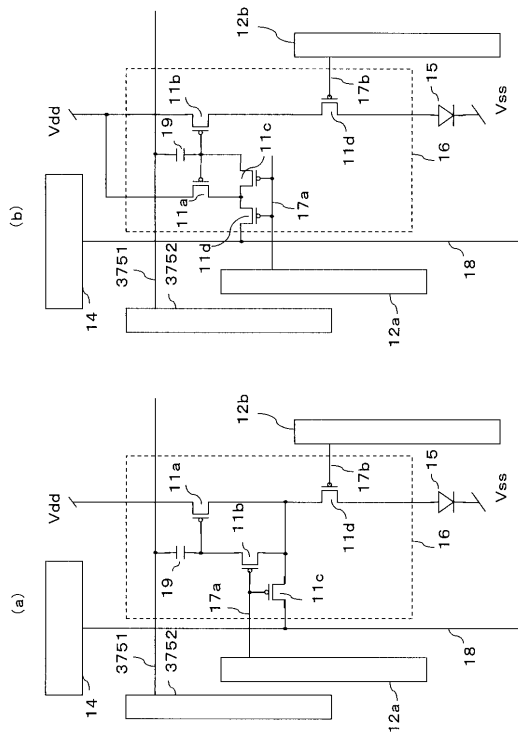
A(1:0)=0 → D(7:0)は制御データ
A(1:0)=1 → D(7:0)はR映像データ
A(1:0)=2 → D(7:0)はG映像データ
A(1:0)=3 → D(7:0)はB映像データ

【図 3 6 6】

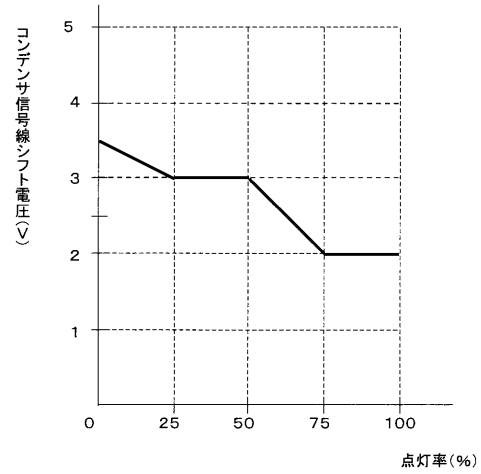


【図 375】

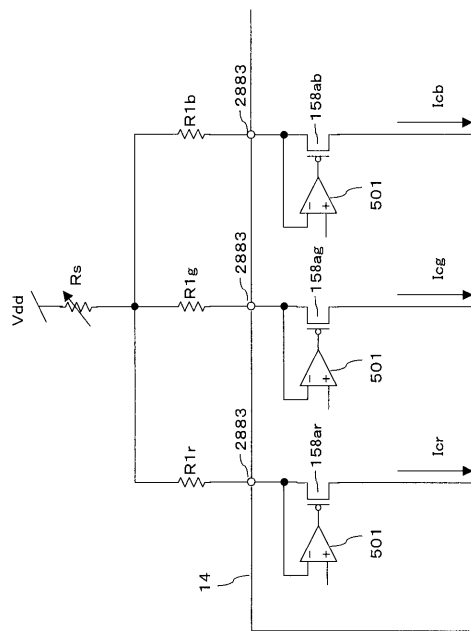
3751 コンデンサ信号線 3752 コンデンサドライバ



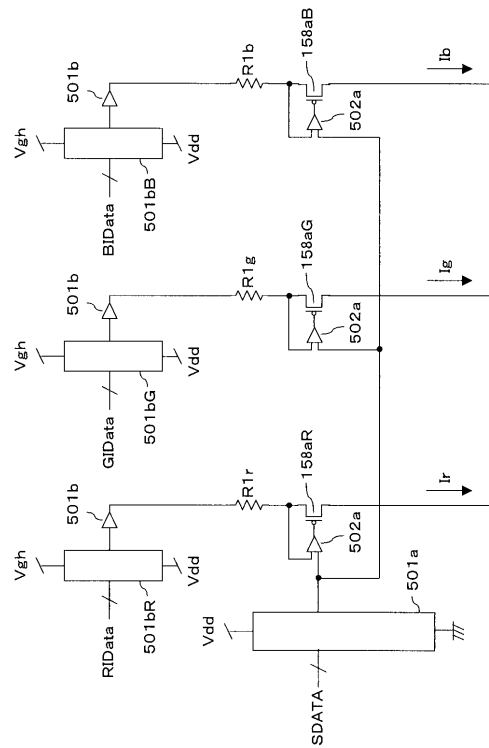
【図 376】



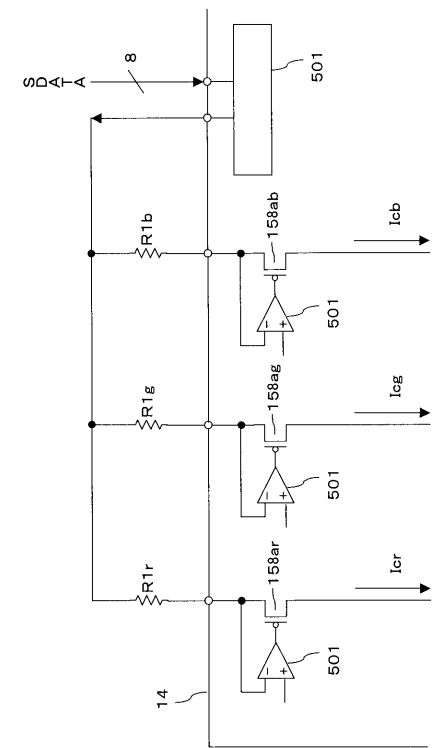
【図 377】



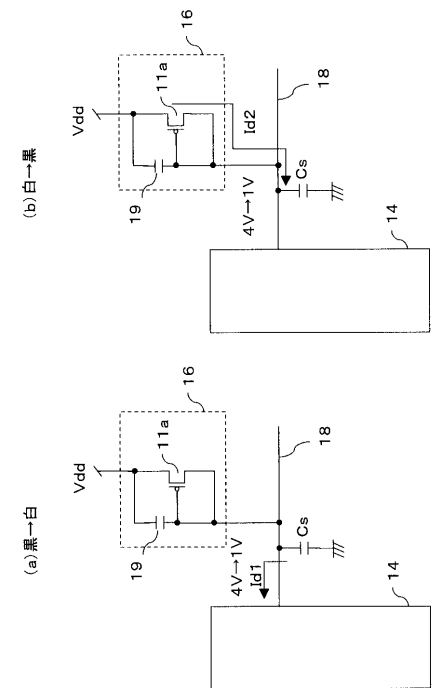
【図 378】



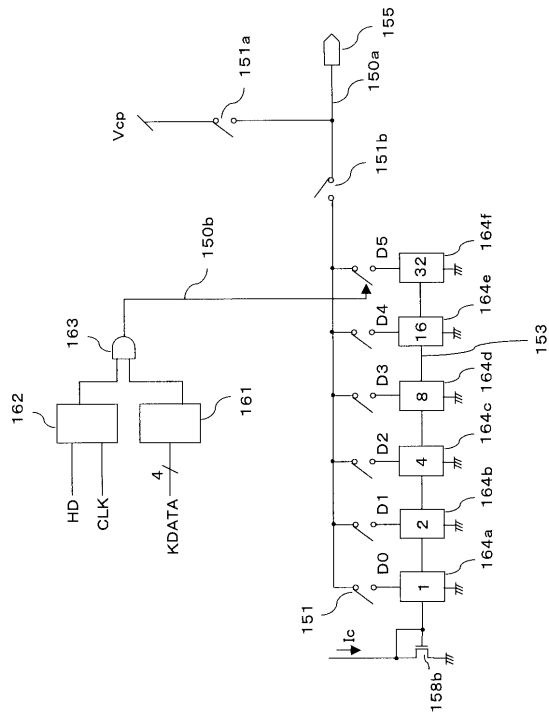
【図 3 7 9】



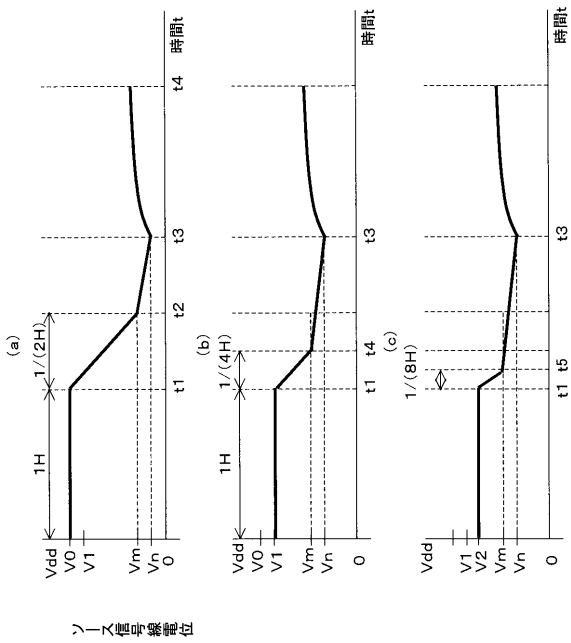
【図 3 8 0】



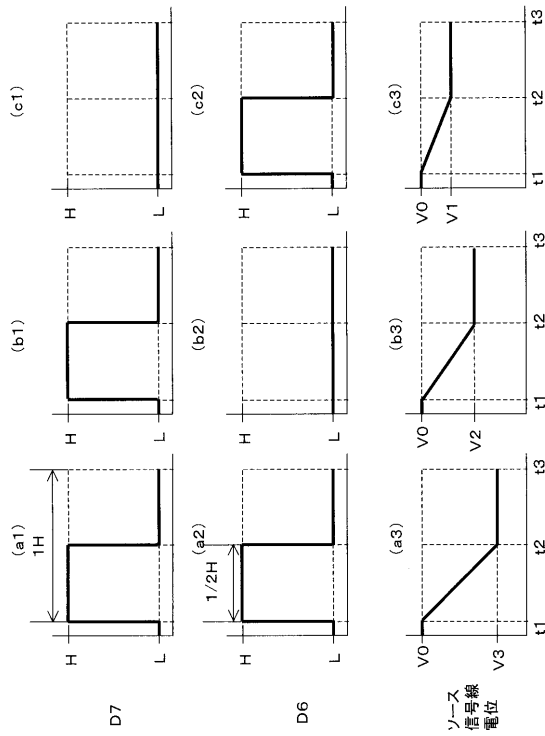
【図 3 8 1】



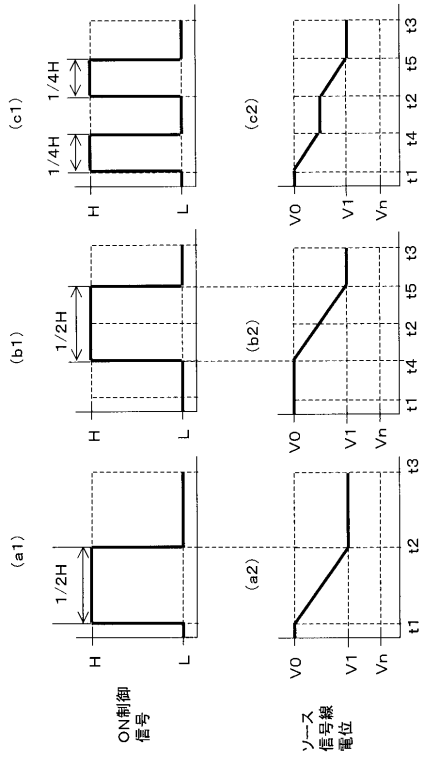
【図 3 8 2】



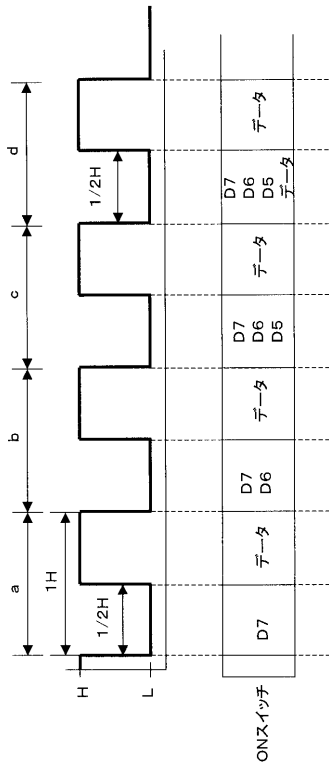
【図 3 8 3】



【図 3 8 4】

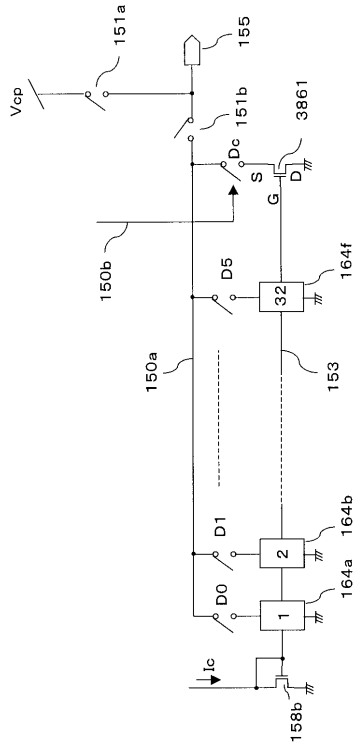


【図 3 8 5】

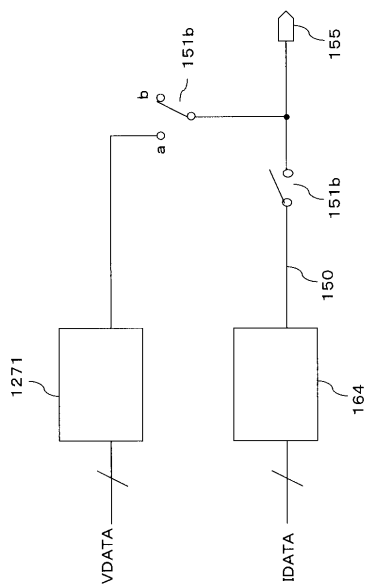


【図 3 8 6】

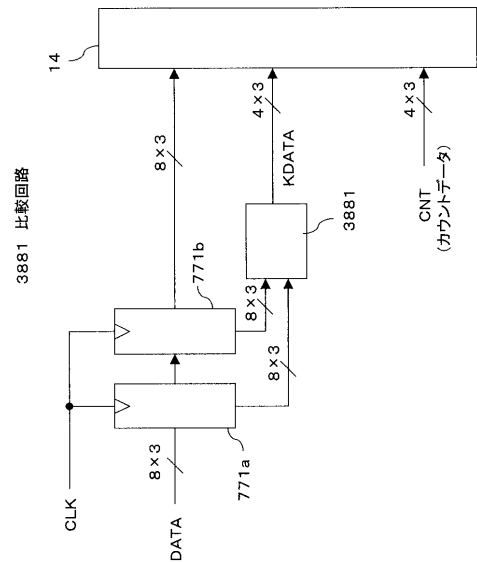
3861 過電流トランジスタ



【図 3 8 7】



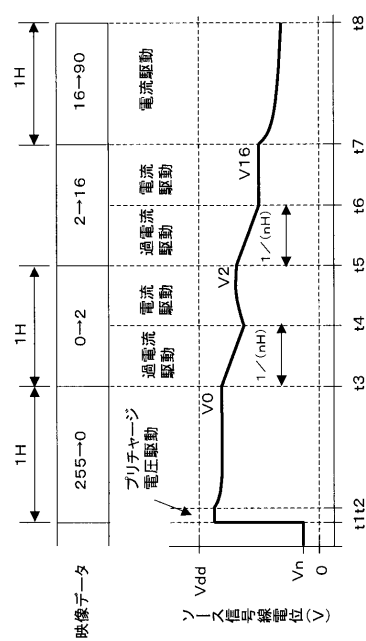
【図 3 8 8】



【図 3 8 9】

KDATA												
変化前(1H前)												
0	1	2	3	n-1	n							
0	0	-	-	-	-							
1	15	0	-	-	-							
2	12	10	0	-	-							
3	10	8	6	0	-							
4	8	6	4	2	-							
変化後												
n-1	0	0	0	0	-							
n	0	0	0	0	-							

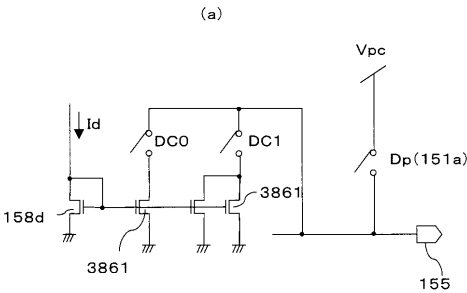
【図 3 9 0】



【図 3 9 1】

P	K1	K2	Dp	DC0	DC1
0	0	0	0	0	0
1	0	0	1	0	0
1	1	0	1	1	0
1	0	1	1	0	1
1	1	1	1	1	1
0	1	0	0	1	0
0	1	1	0	0	1
0	1	1	0	1	1

【図 3 9 2】

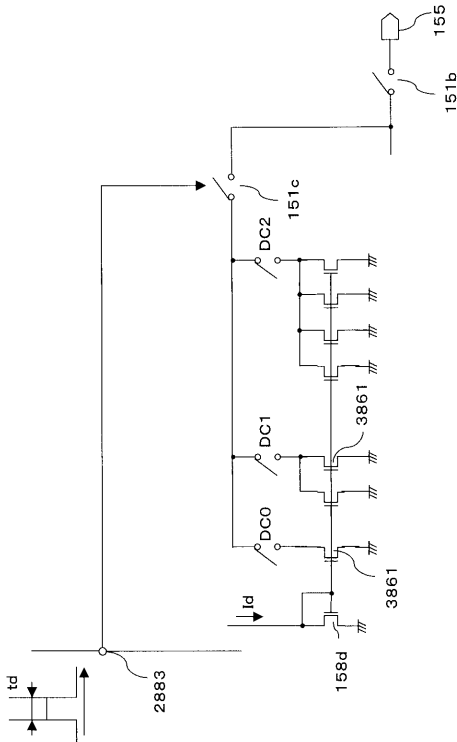


(b)

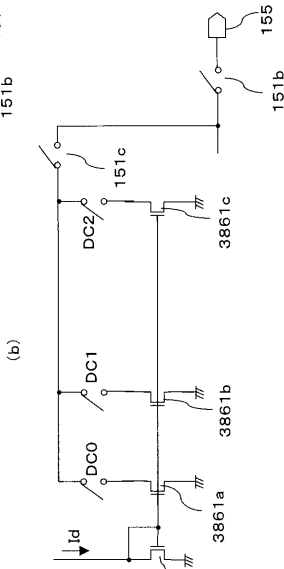
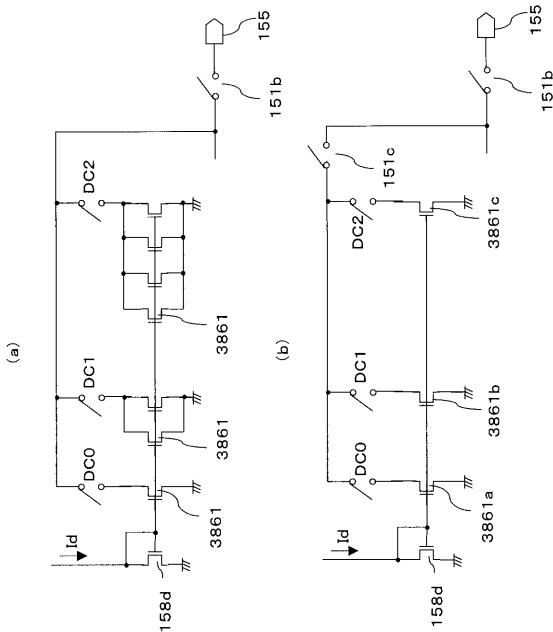
1:ON 0:OFF

K, P	Dp	DC0	DC1
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1

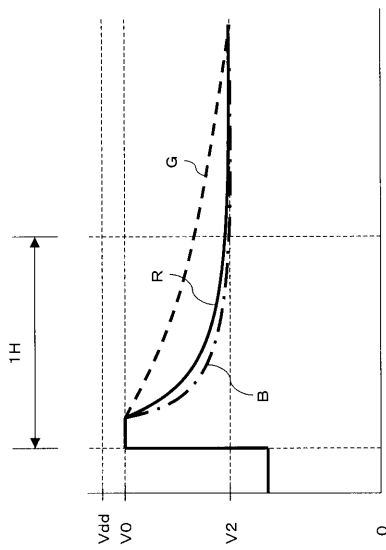
【図 3 9 3】



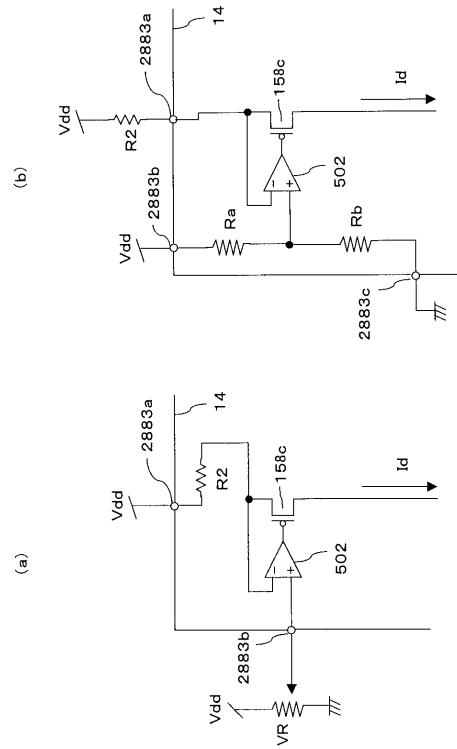
【図 3 9 4】



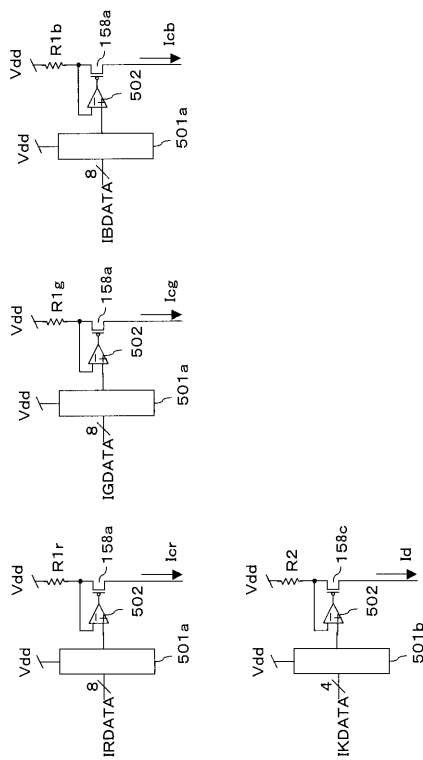
【図 3 9 5】



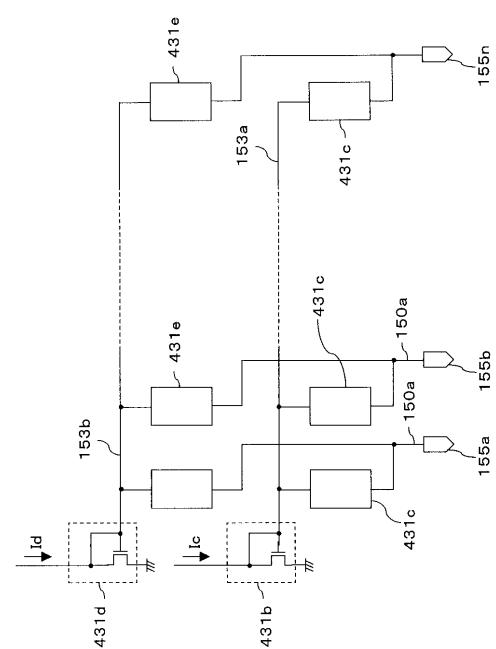
【図 3 9 6】



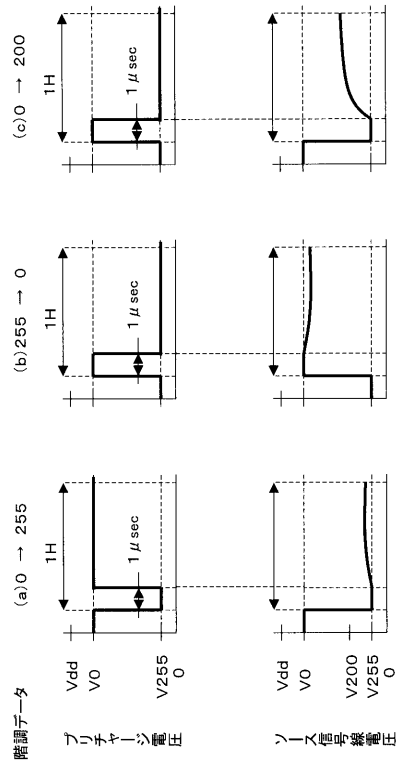
【図 3 9 7】



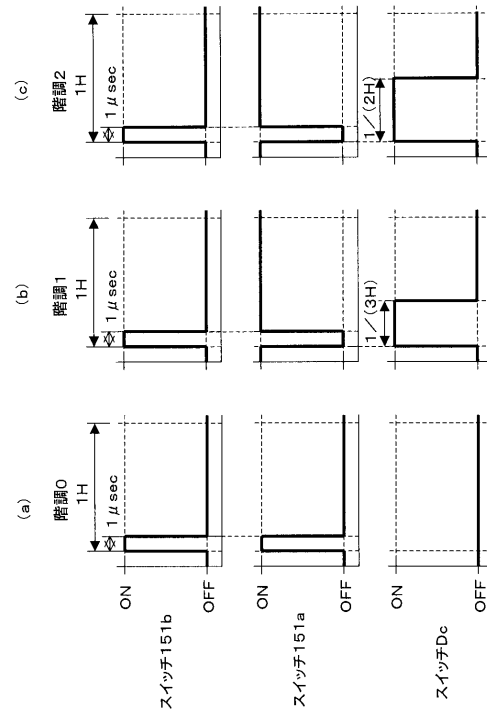
【図 3 9 8】



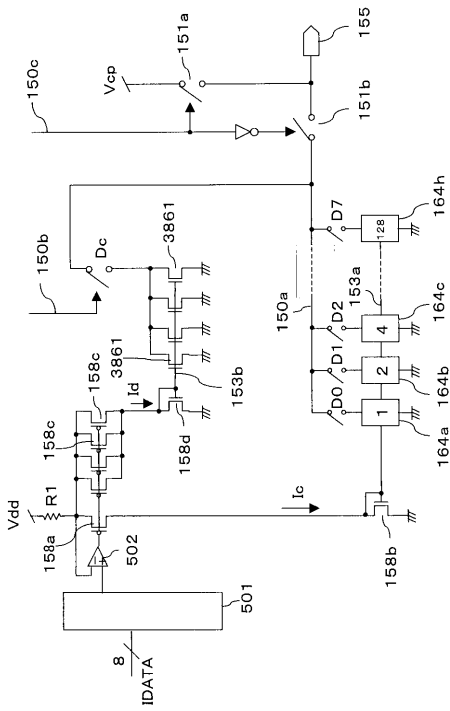
【図 403】



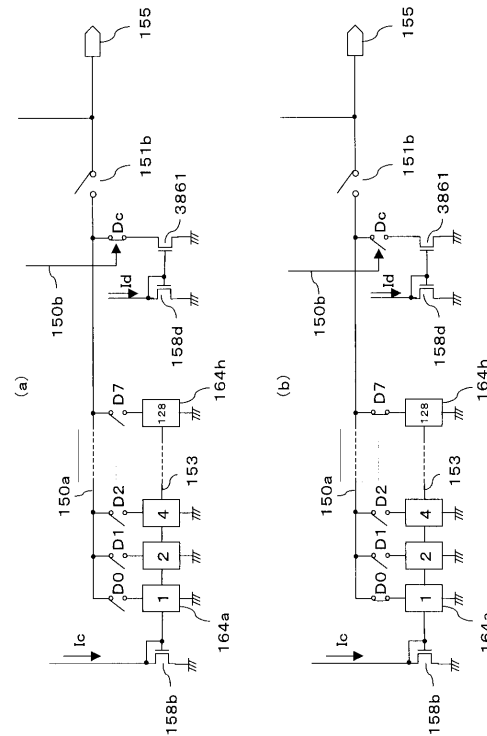
【図 404】



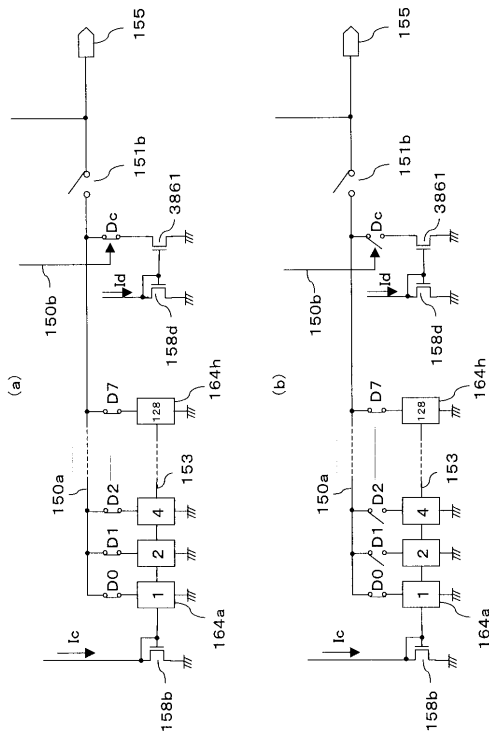
【図 405】



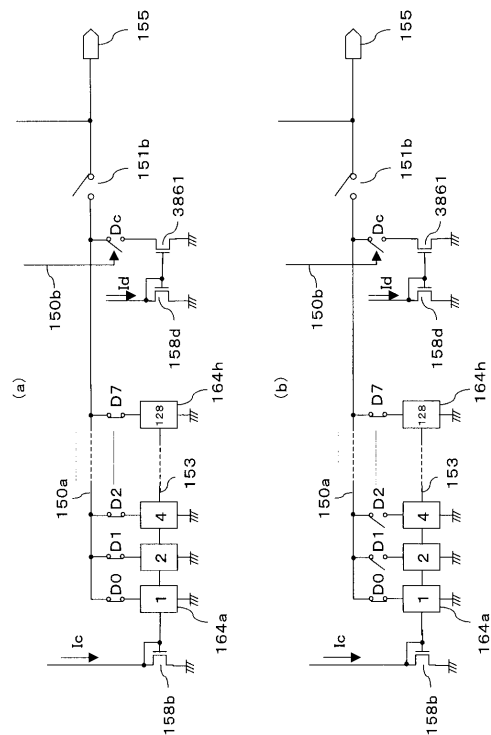
【図 406】



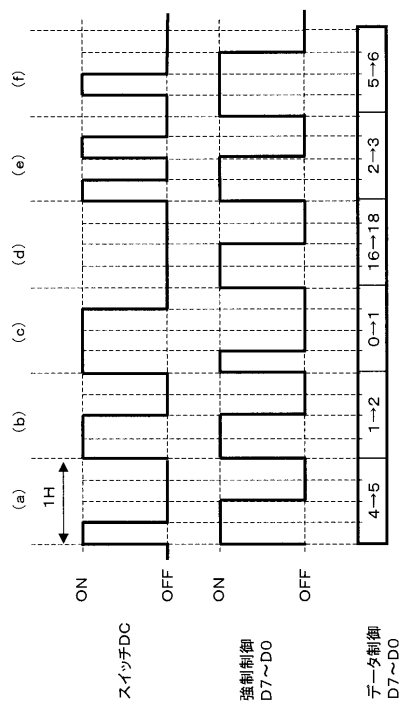
【図 407】



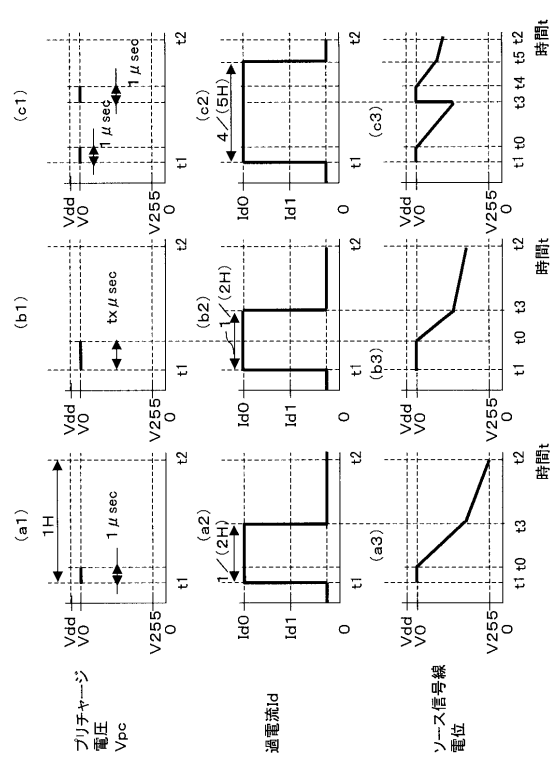
【図 408】



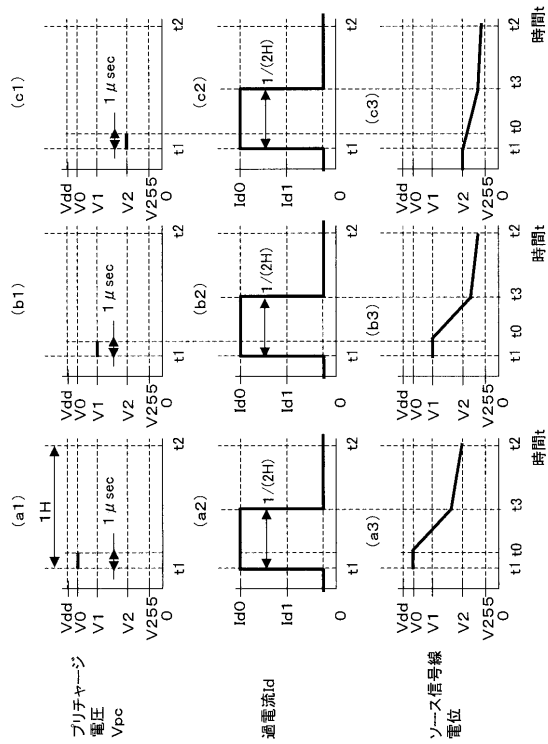
【図 409】



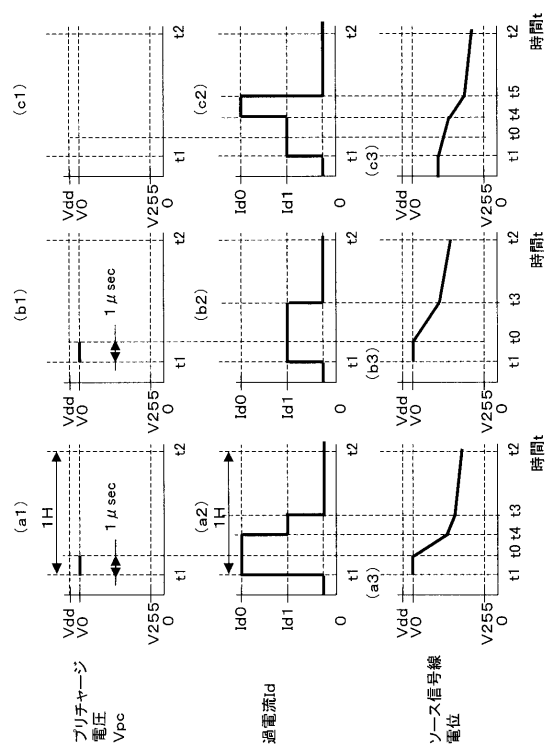
【図 410】



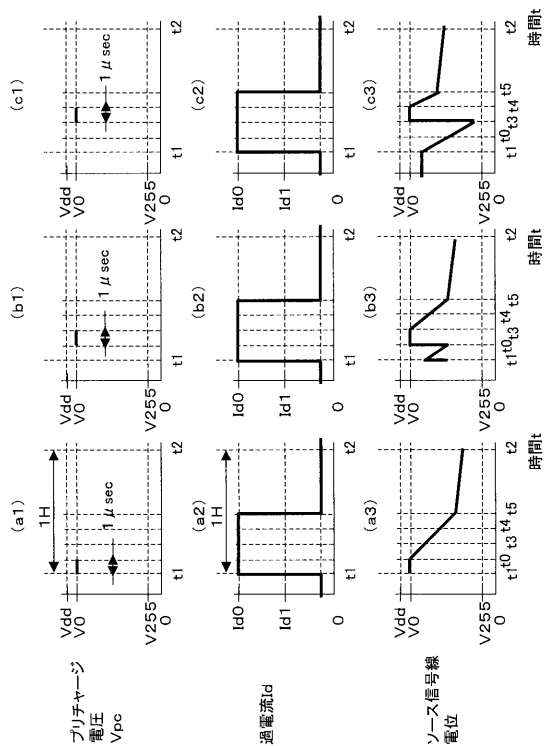
【図 4 1 1】



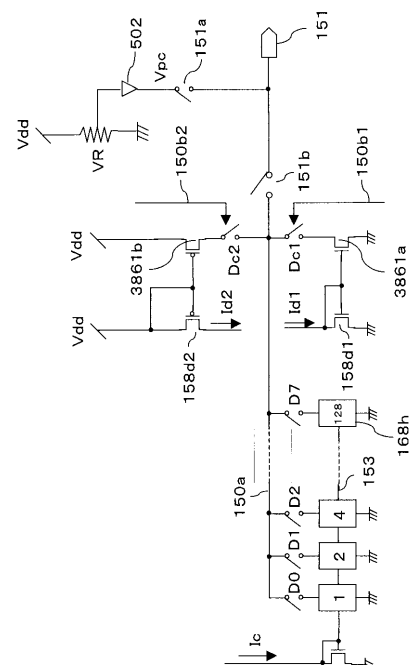
【図 4 1 2】



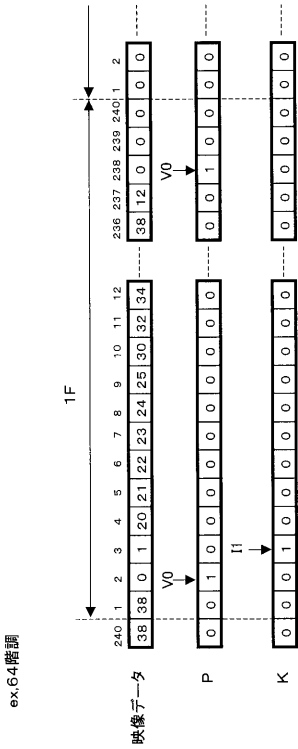
【図 4 1 3】



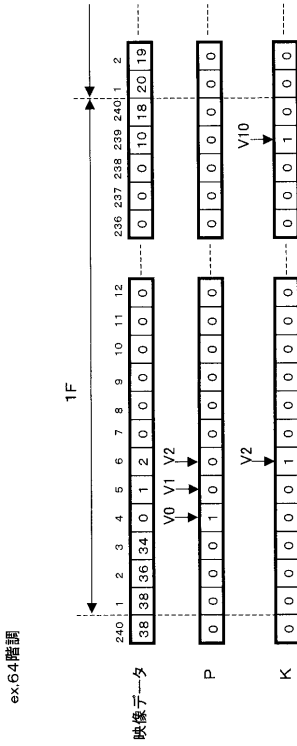
【図 4 1 4】



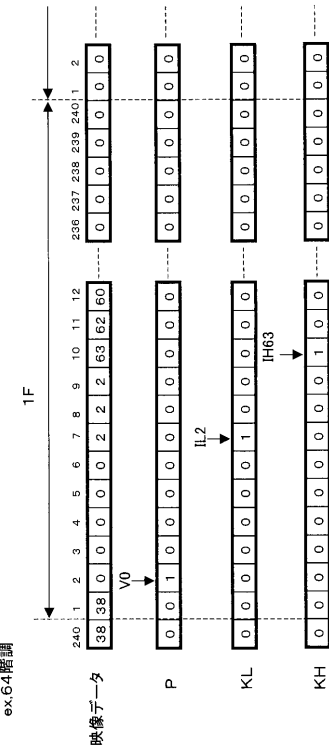
【図 4 1 9】



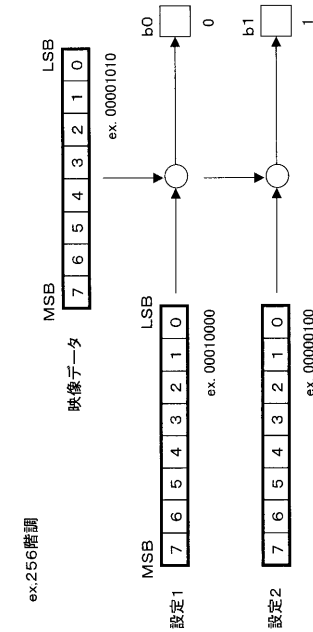
【図 4 2 0】



【図 4 2 1】



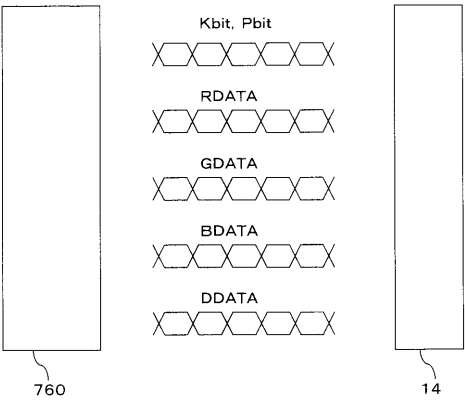
【図 4 2 2】



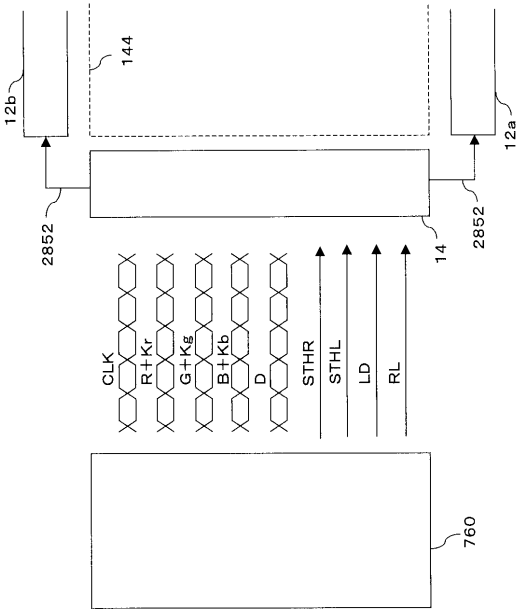
【図 4 2 3】



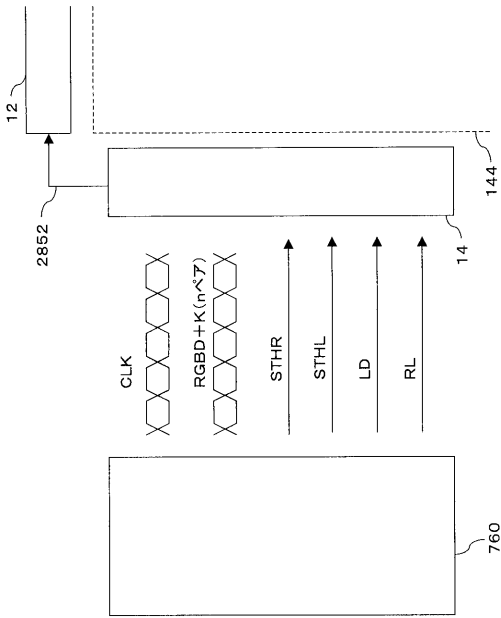
【図 4 2 4】



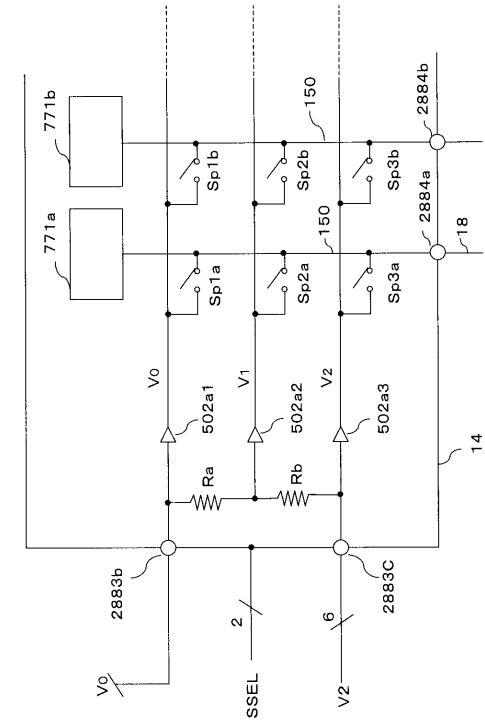
【図 4 2 5】



【図 4 2 6】



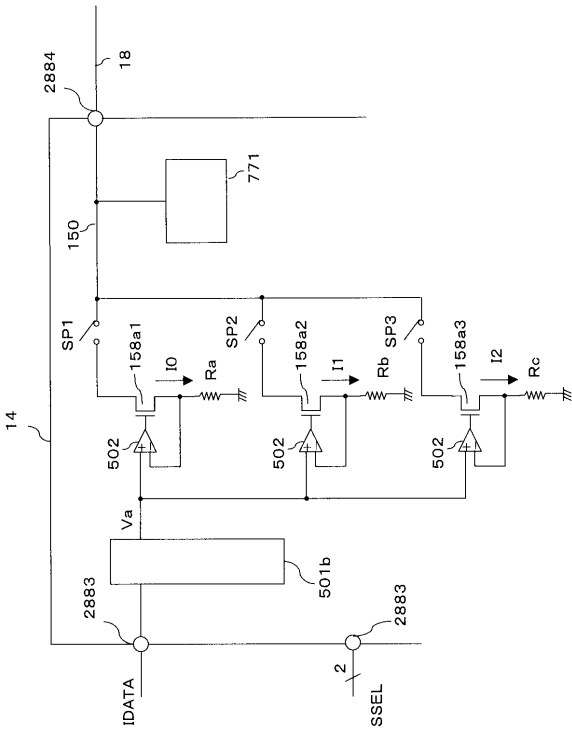
【図 4 2 7】



【図 4 2 8】

SSEL	SW
0	all open
1	SP1
2	SP2
3	SP3

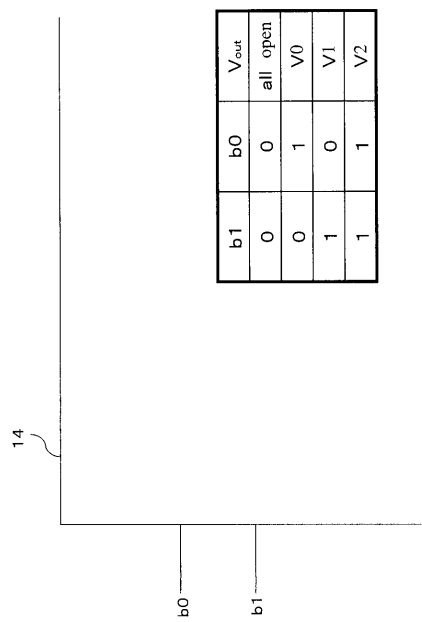
【図 4 2 9】



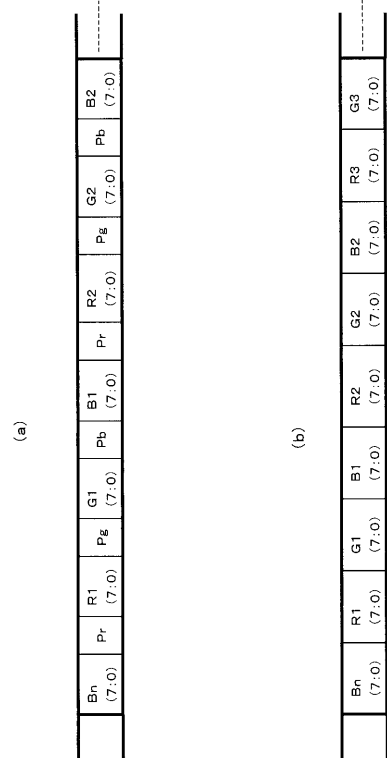
【図 4 3 0】

SSEL	SW
0	all open
1	SP1
2	SP2
3	SP3

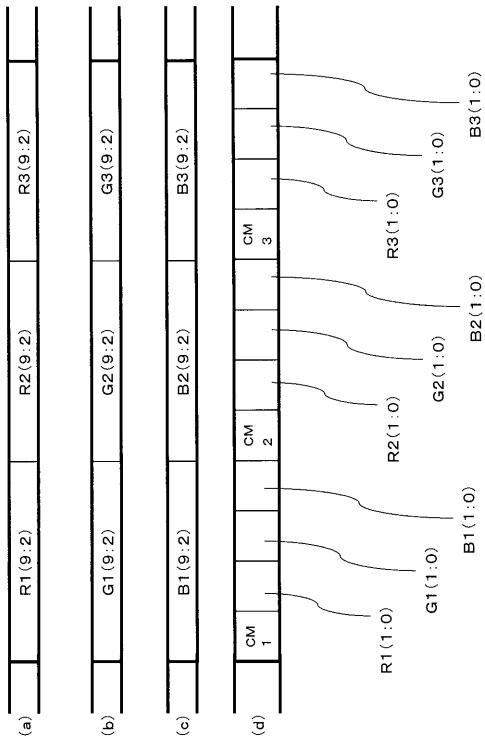
【図 4 3 1】



【図 4 3 2】



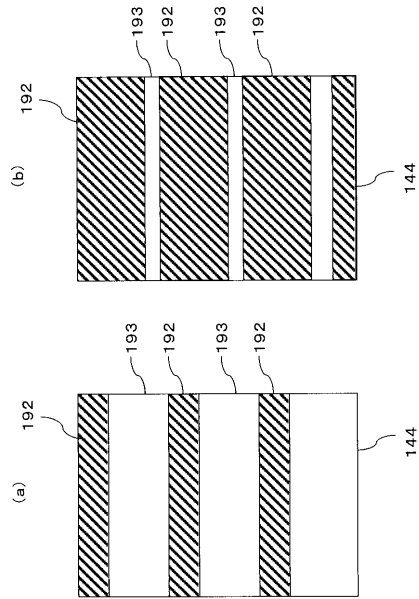
【図 4 3 3】



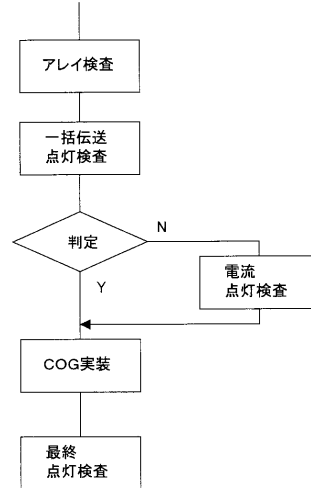
【図 4 3 4】

No	IDATA	VDATA
0	I0	V0
1	I1	
2	I2	
3	I3	
4	I4	V1
5	I5	
6	I6	
7	I7	
8	I8	V2
9	I9	
10	I10	
11	I11	
12	I12	V3

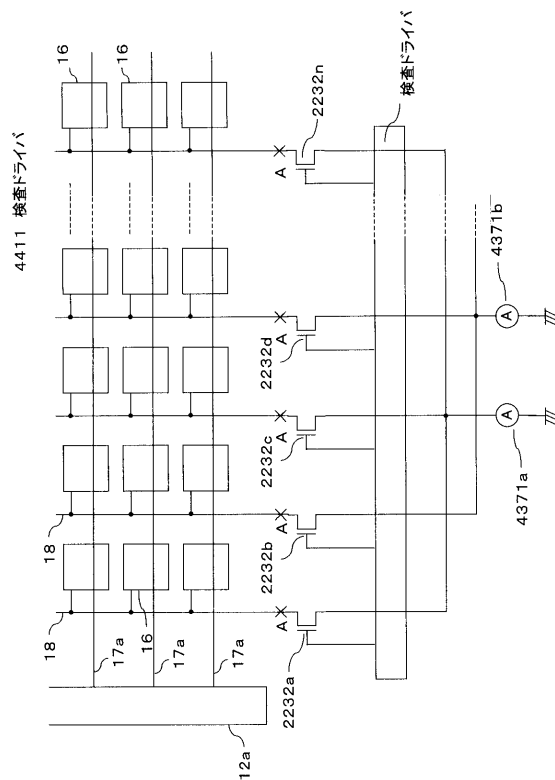
【図 4 3 9】



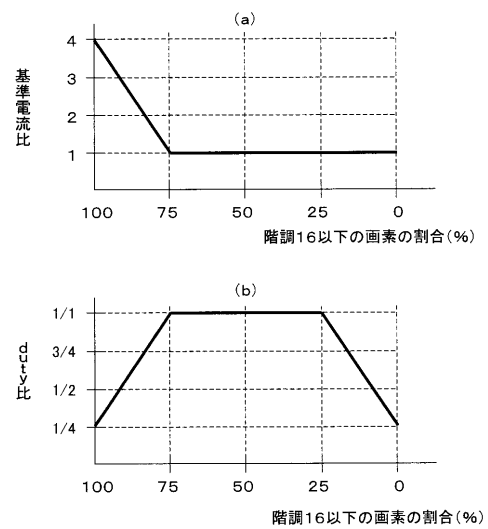
【図 4 4 0】



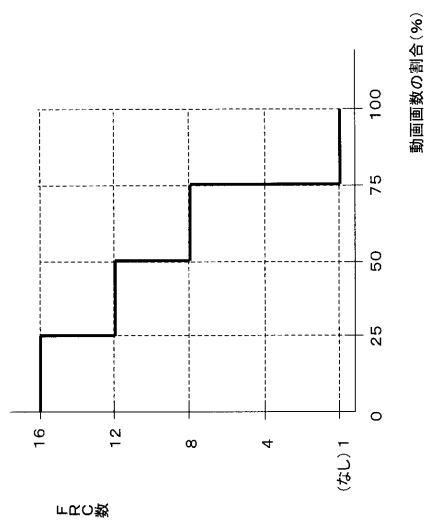
【図 4 4 1】



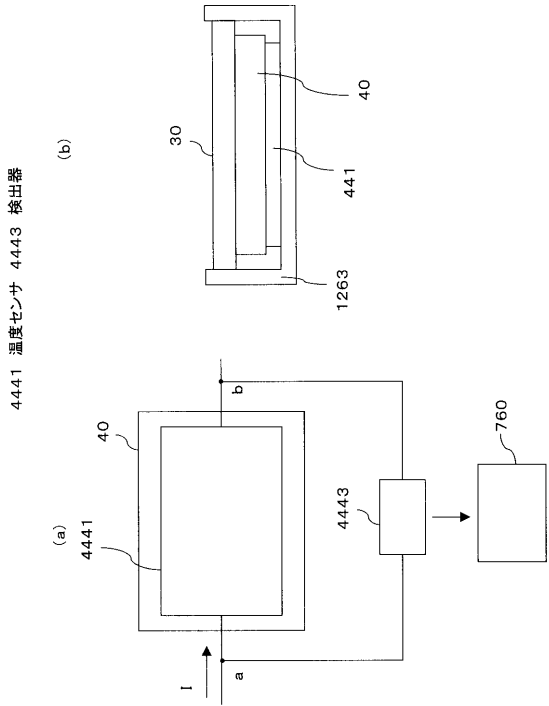
【図 4 4 2】



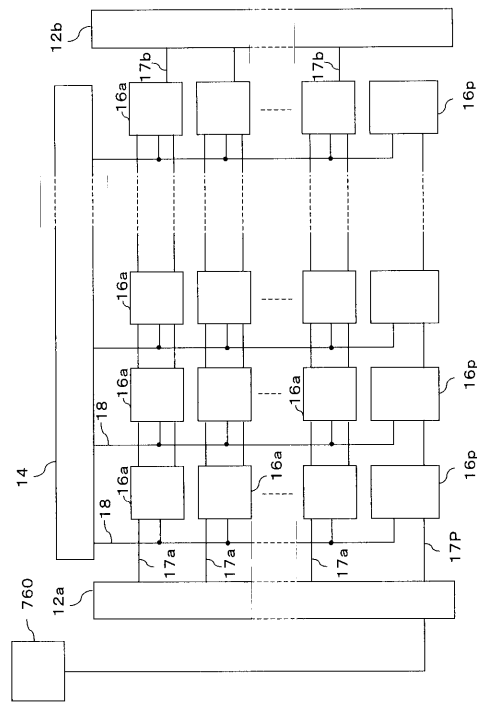
【図 4 4 3】



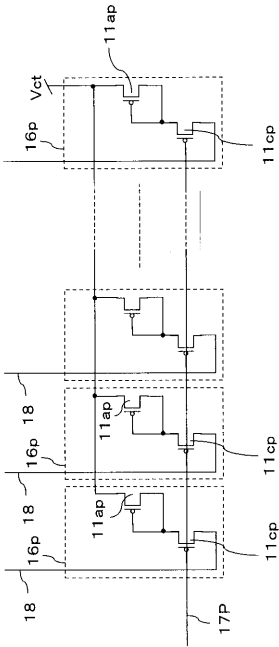
【図 4 4 4】



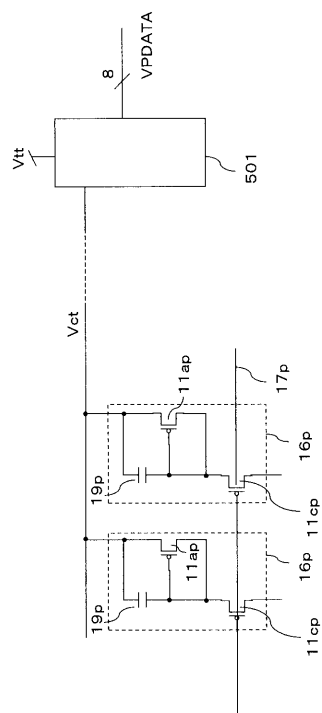
【図 4 4 5】



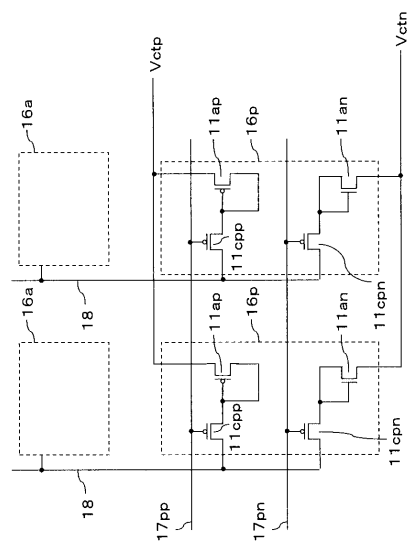
【図 4 4 6】



【図 4 4 7】

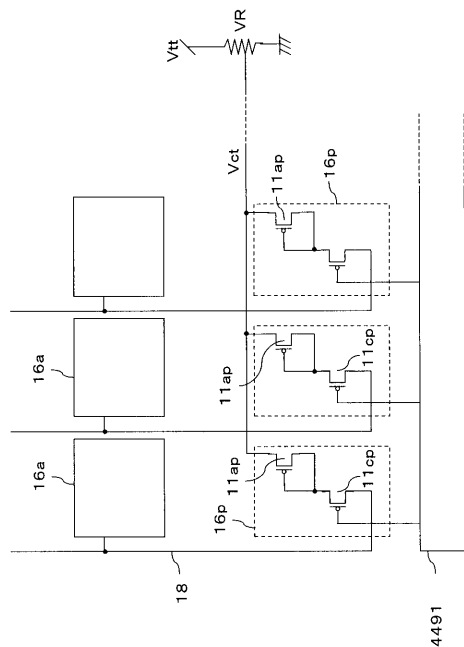


【図 4 4 8】

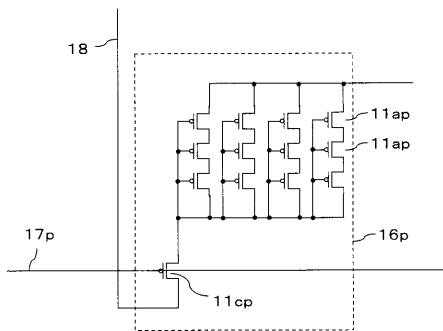


【図 4 4 9】

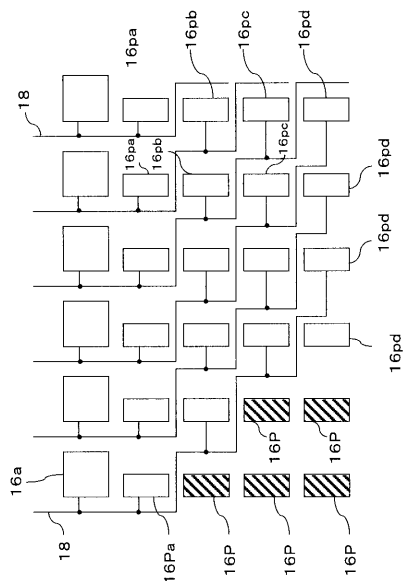
4491 選択ドライバ回路



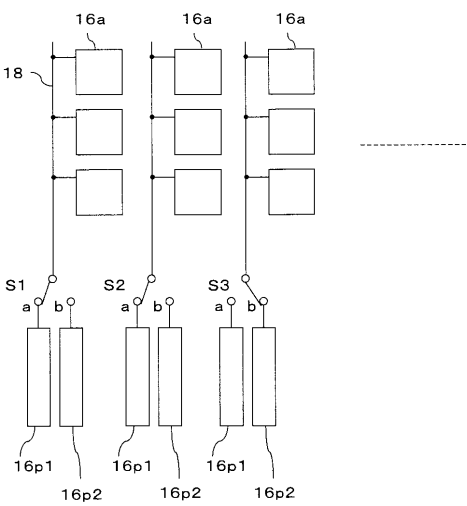
【図 4 5 0】



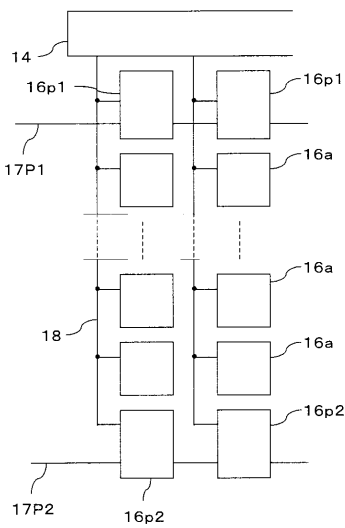
【図 4 5 1】



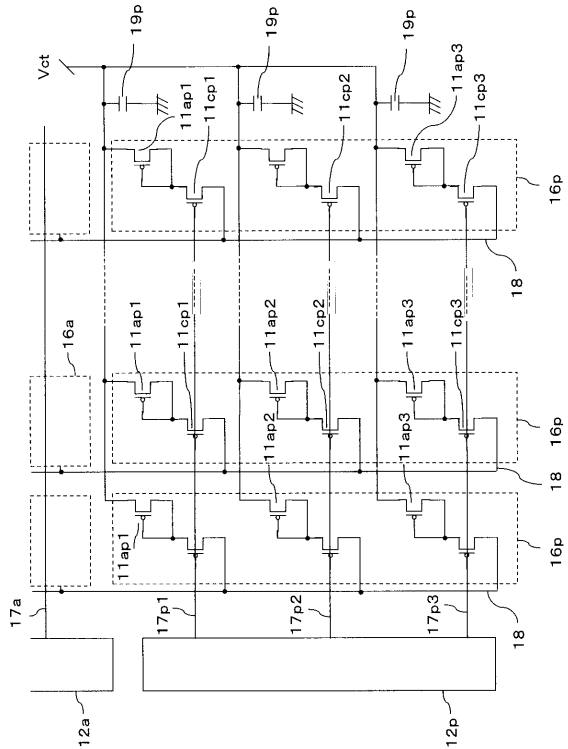
【図 4 5 2】



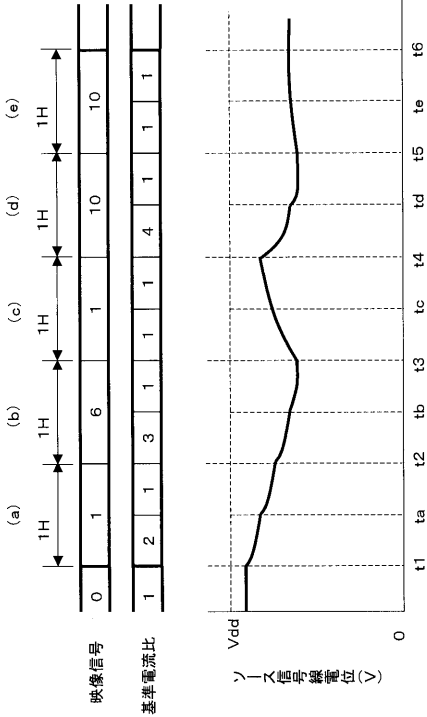
【図 4 5 3】



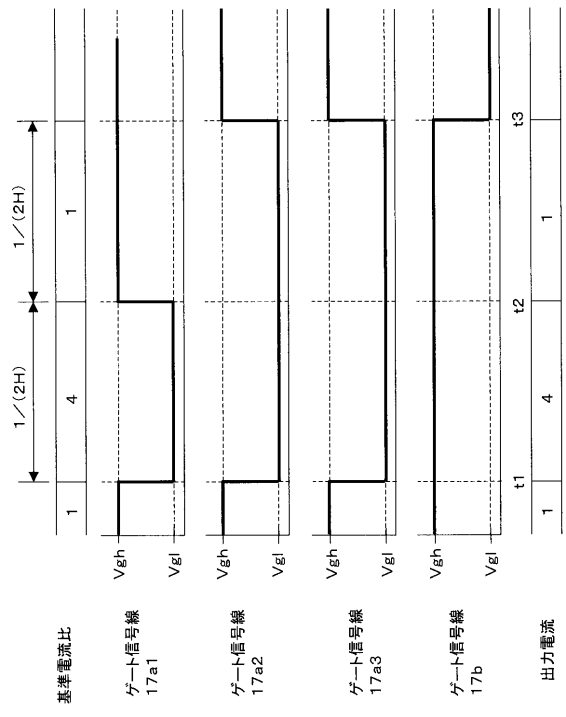
【図 4 5 4】



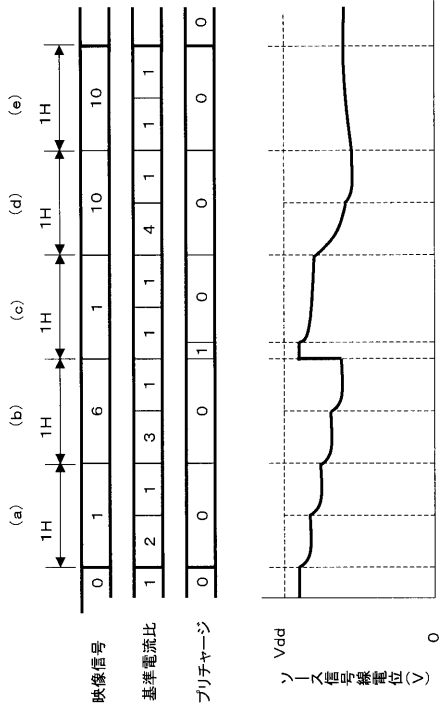
【図 4 5 5】



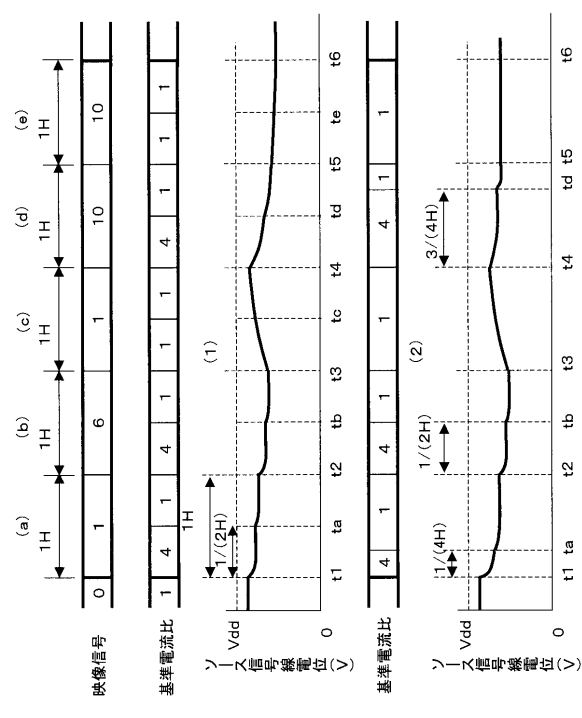
【図 4 5 6】



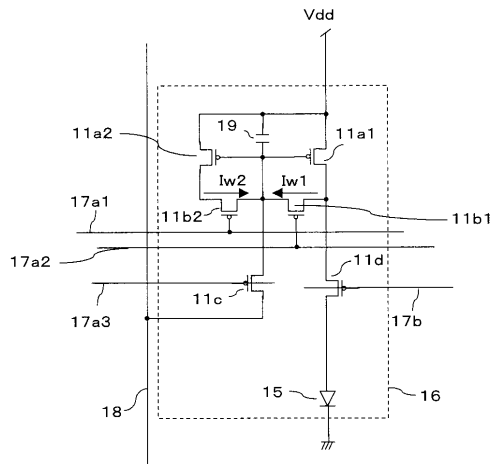
【図 4 5 7】



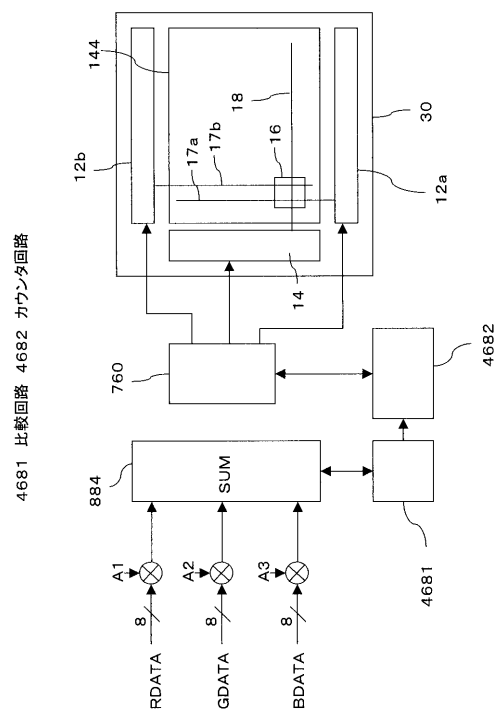
【図 4 5 8】



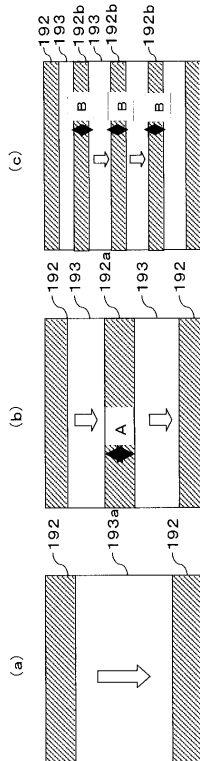
【图 4 6 7】



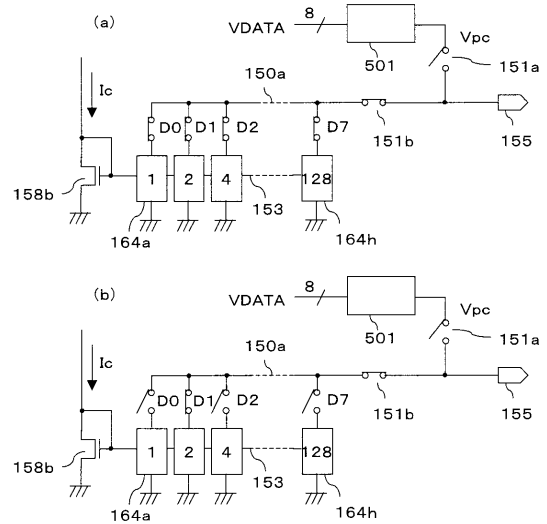
【图 4 6 8】



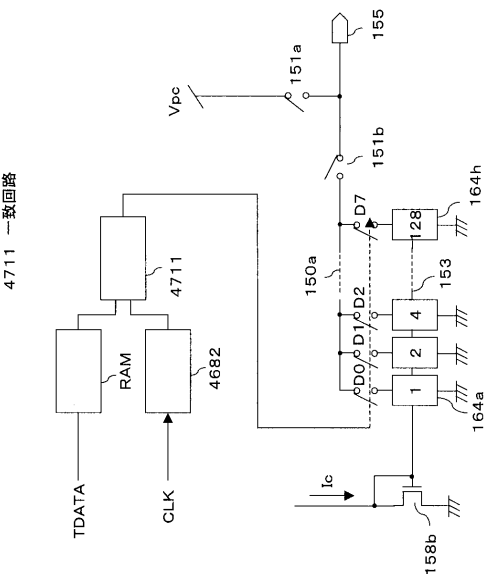
【図 4 6 9】



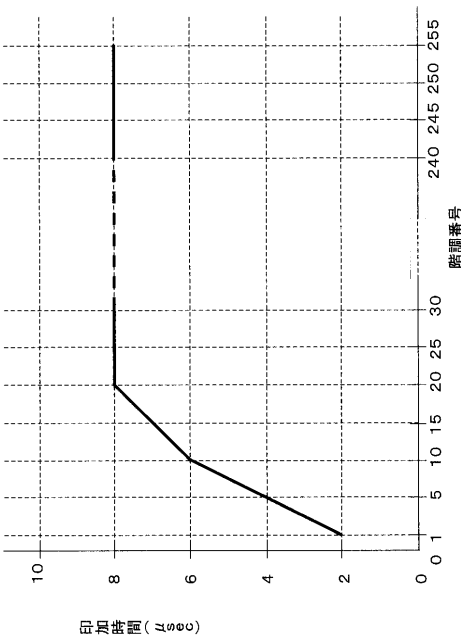
【図 4 7 0】



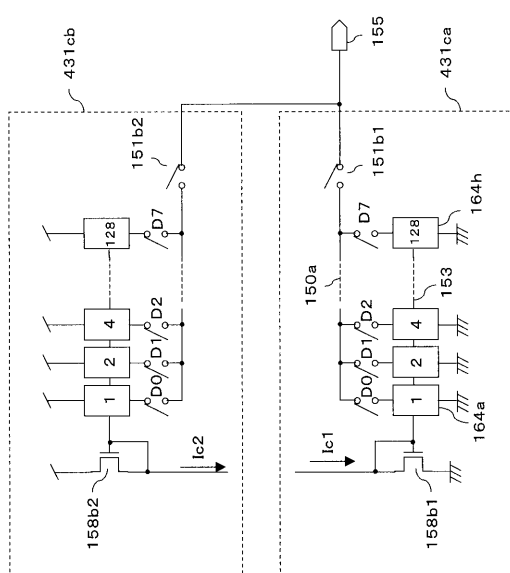
【図 4 7 1】



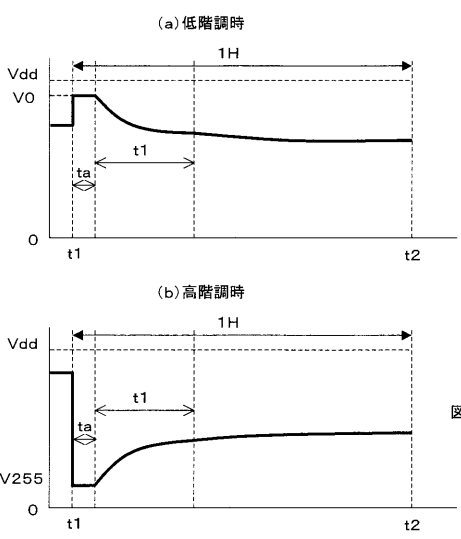
【図 4 7 2】



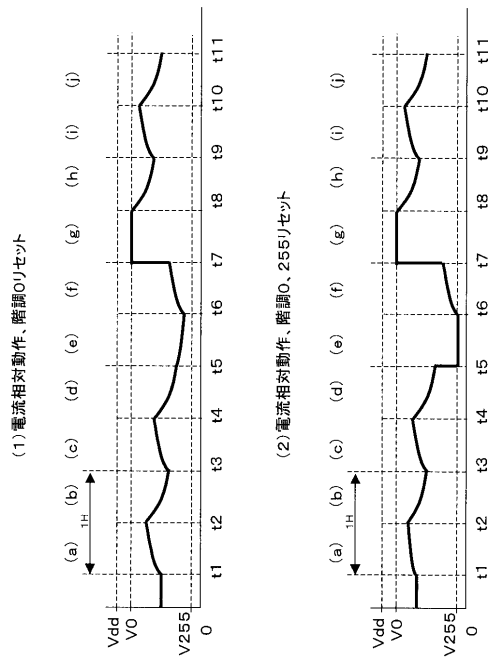
【図 4 7 3】



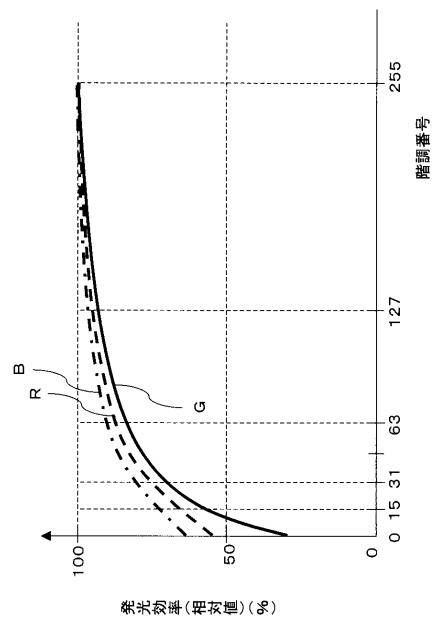
【図 4 7 4】



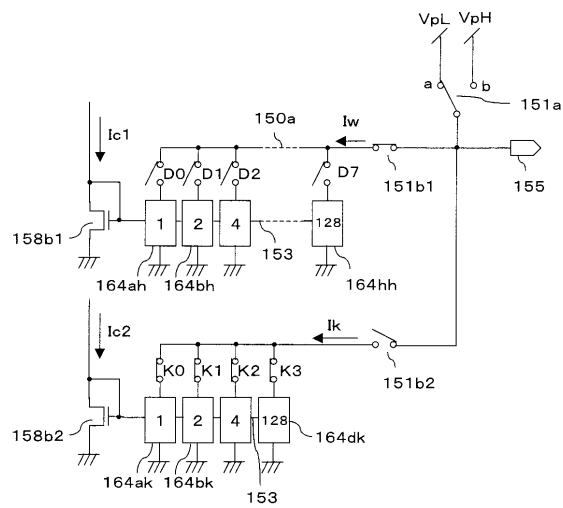
【図 4 7 5】



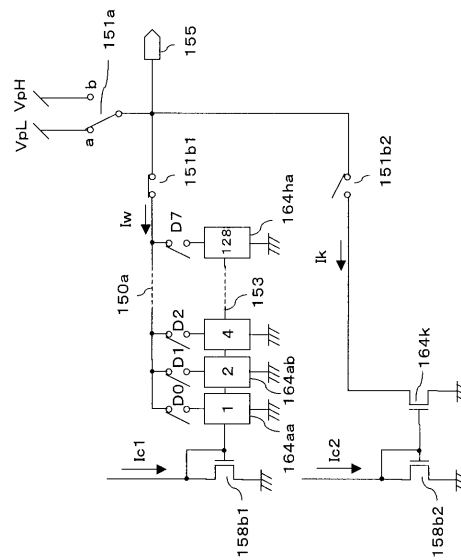
【図 4 7 6】



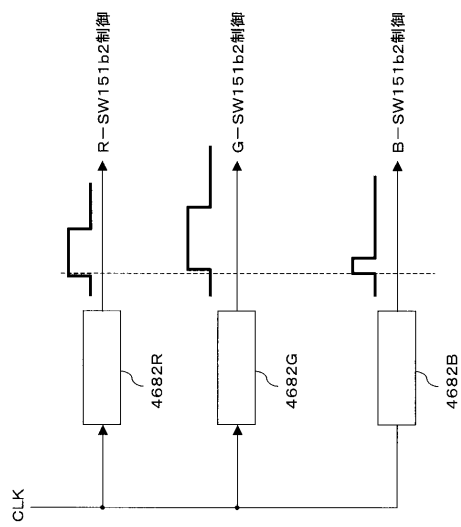
【図 4 7 7】



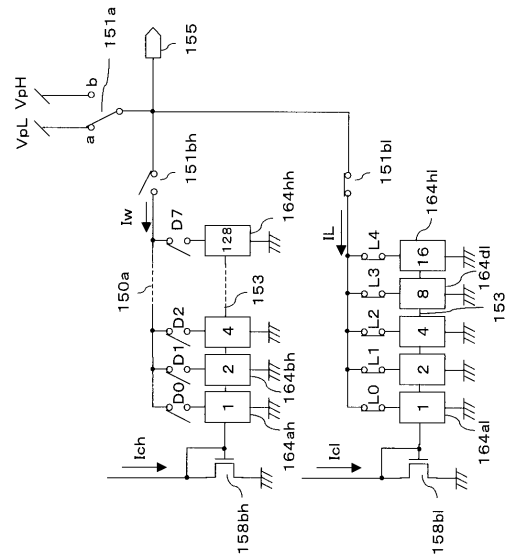
【図 4 7 8】



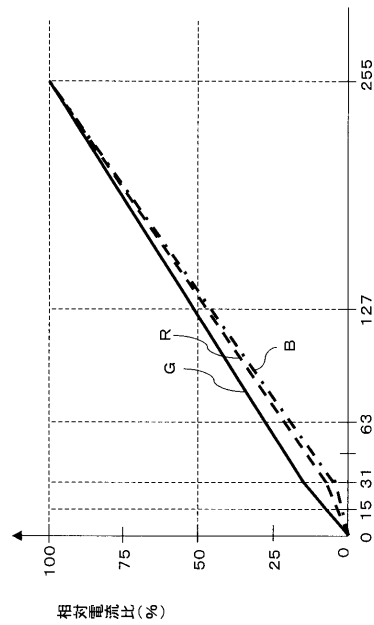
【図 4 7 9】



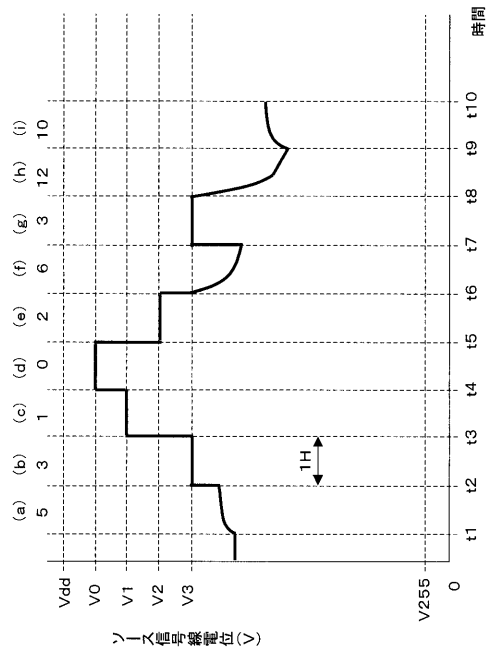
【図 4 8 0】



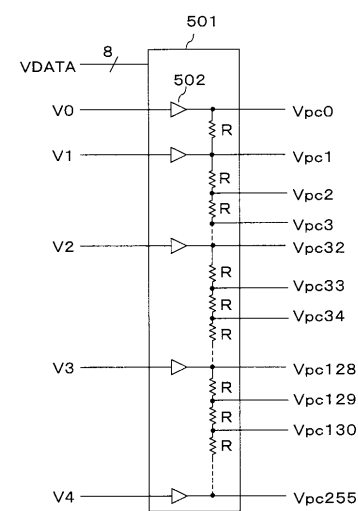
【図 4 8 1】



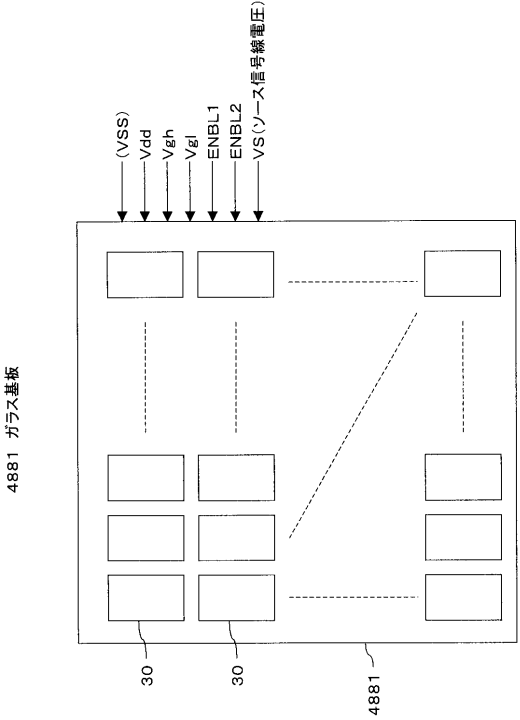
【図 4 8 2】



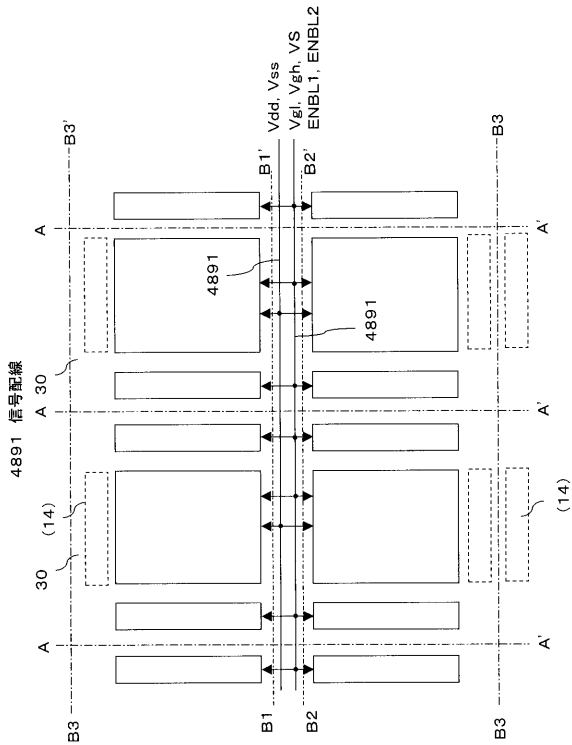
【図 4 8 7】



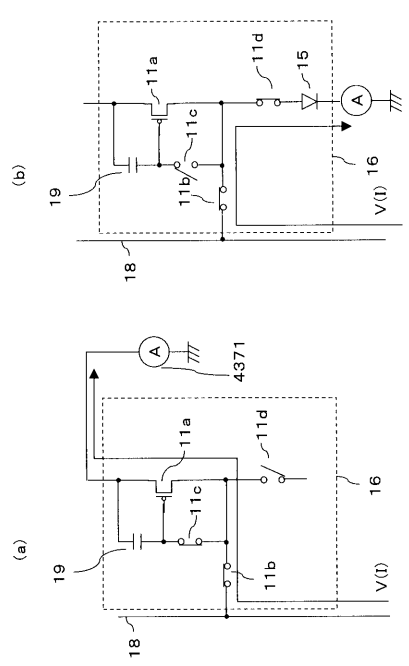
【図 4 8 8】



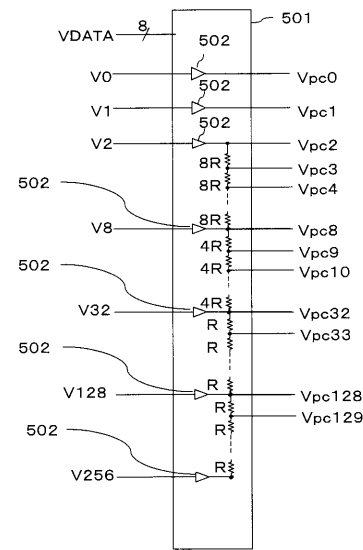
【図 4 8 9】



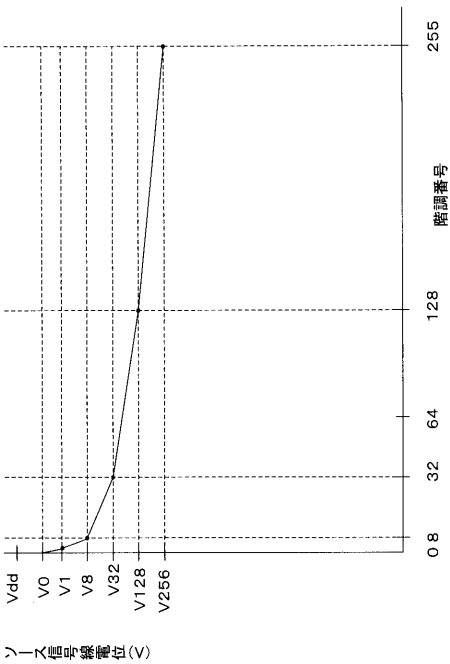
【図 4 9 0】



【図 4 9 1】



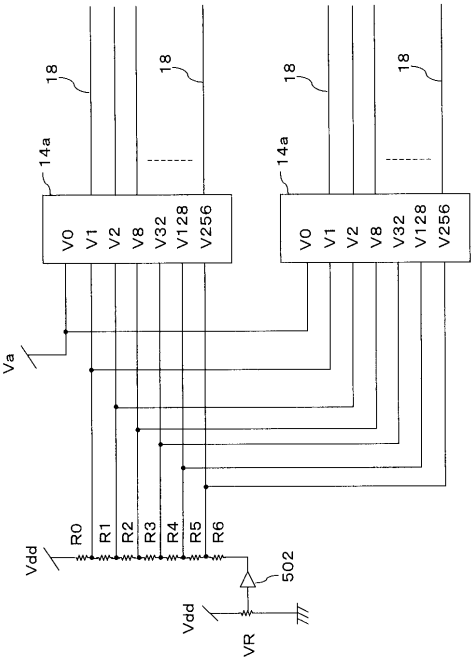
【図 4 9 2】



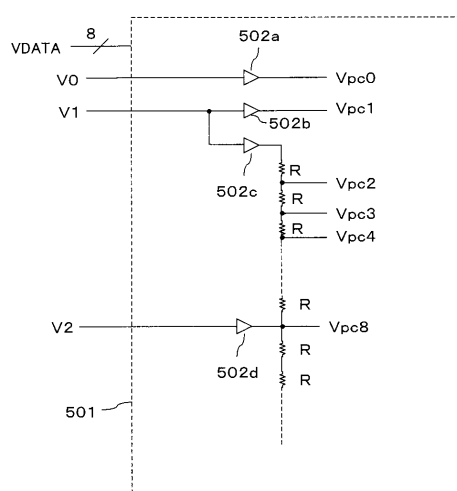
【図 4 9 3】

	(a)	(b)	(c)
0	0	0	0
1	1	1	1
2	2	—	2
3	4	—	—
4	8	8	8
5	32	32	32
6	128	128	128
7	512	512	—

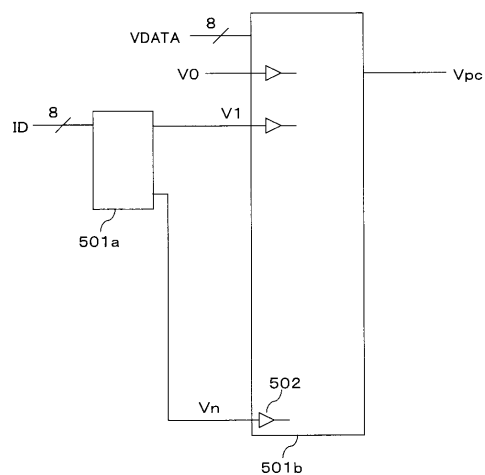
【図 4 9 4】



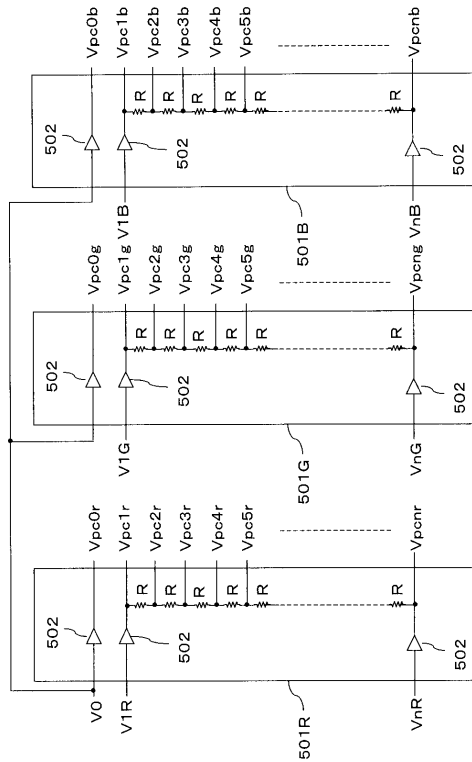
【図 4 9 6】



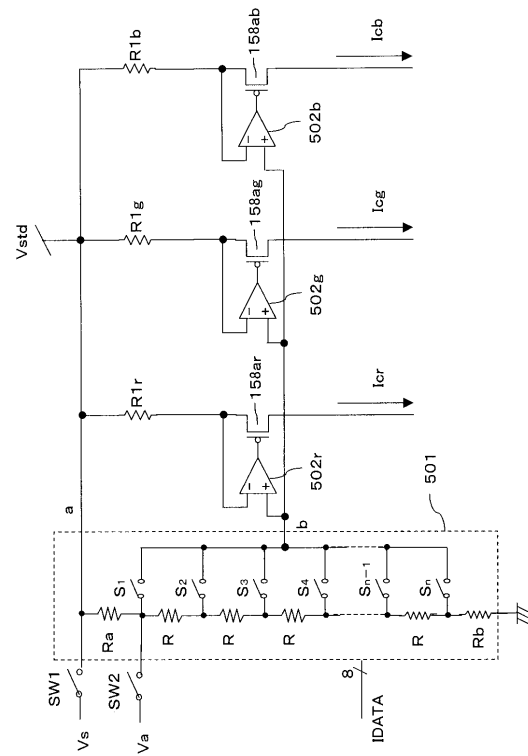
【図 4 9 8】



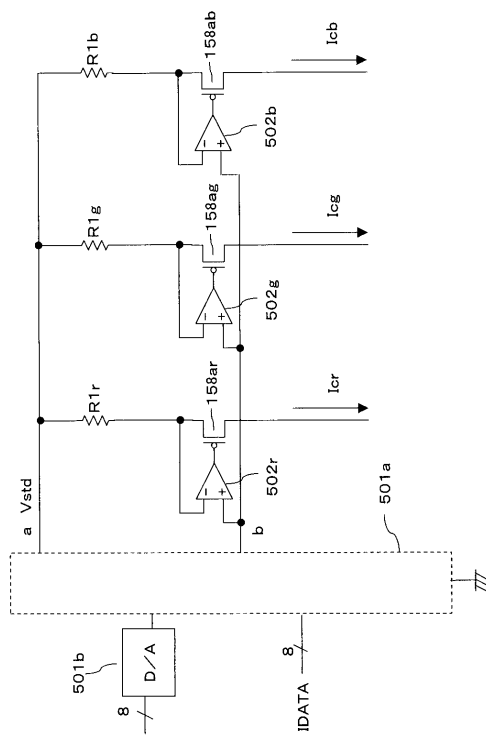
【图 4 9 9】



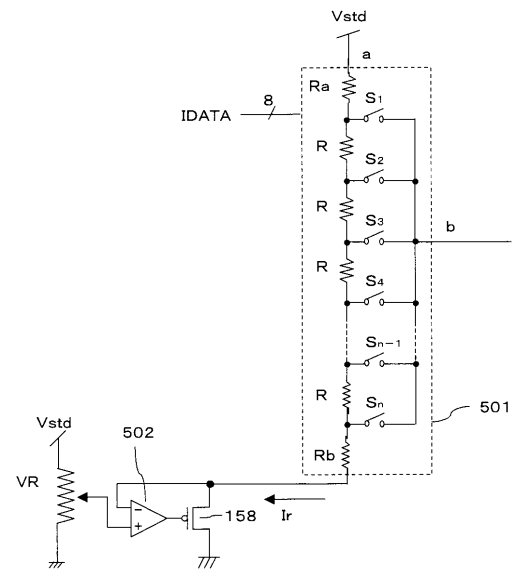
【図 5 0 0】



【図 5 0 1】



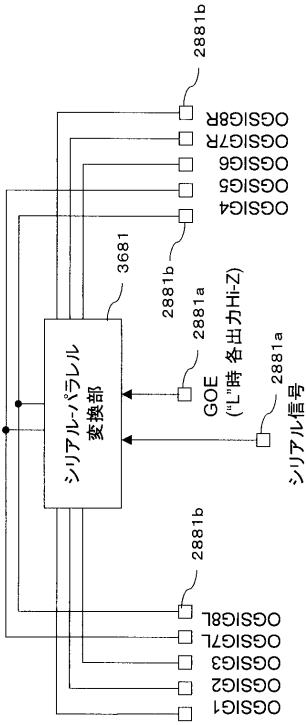
【図 5 0 2】



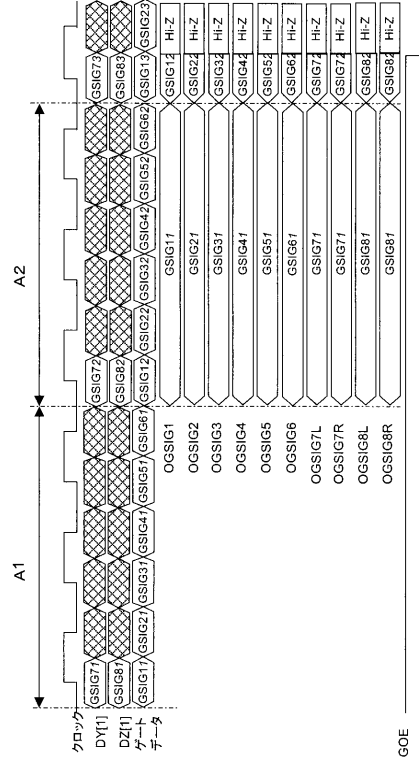
【図 5 0 7】

ADDR[2:0] (アドレス)			CMD[5:0] (コマンドデータ)
[2]	[1]	[0]	<DX[1] MSB DZ[0] LSB>
0	0	0	CMD1 基準電流設定
			CMD2 <Reserved>
			CMD3
			CMD4
			CMD5
0	0	1	CMD1 電流プリチャージパルス1 長さ設定
			CMD2 電流プリチャージパルス2 長さ設定
			CMD3 電流プリチャージパルス3 長さ設定
			CMD4 電流プリチャージパルス4 長さ設定
			CMD5 電流プリチャージパルス5 長さ設定
0	1	0	CMD1 電流プリチャージパルス6 長さ設定
			CMD2 電圧プリチャージパルス 長さ設定
			CMD3 プリチャージ電圧値設定
			CMD4 <Reserved>
			CMD5 <Reserved>

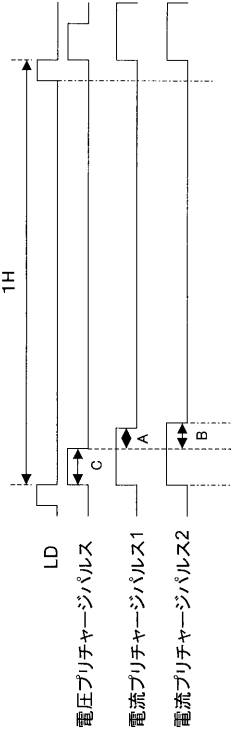
【図 5 0 8】



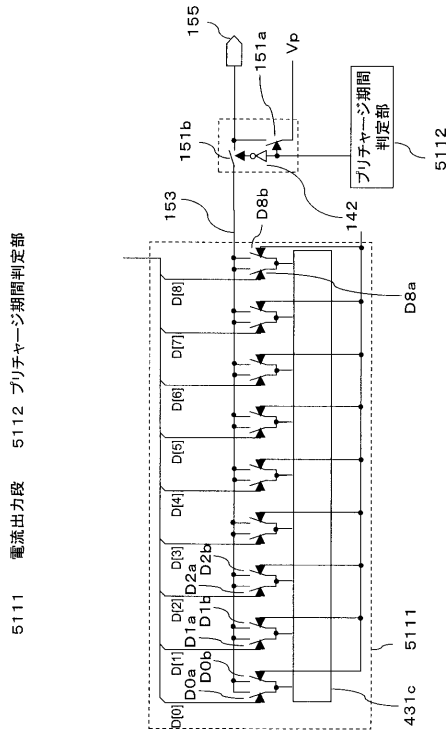
【図 5 0 9】



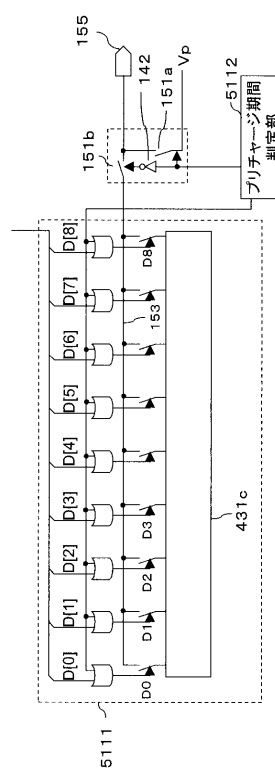
【図 5 1 0】



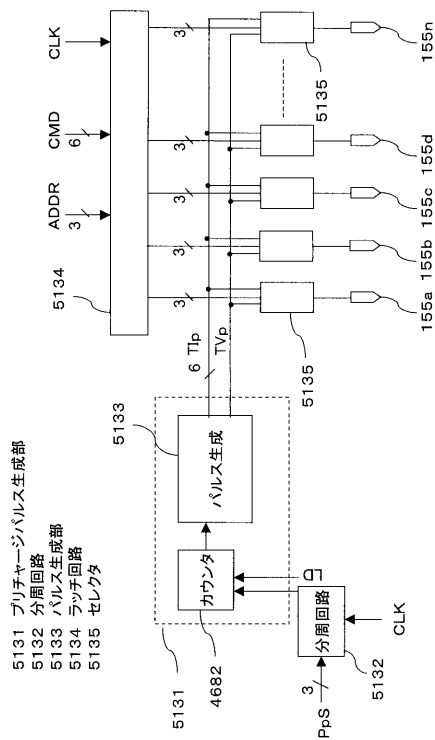
【 図 5 1 1 】



【图 5 1 2】



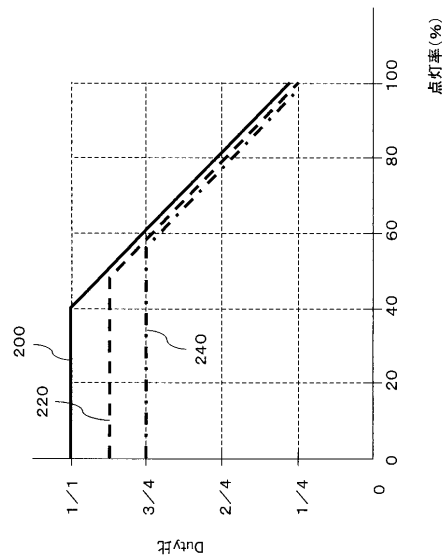
【 図 5 1 3 】



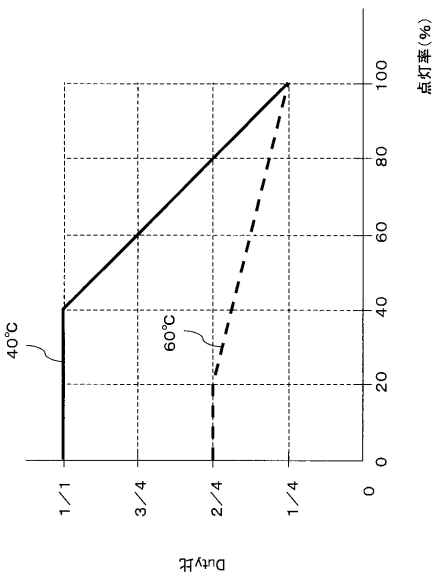
【图 5 1 4】

指定信号S	IPC	VPC
0	常に“L”レベル	常に“L”レベル
1	電流ブリチャージバブル1	電圧ブリチャージバブル5
2	電流ブリチャージバブル2	電圧ブリチャージバブル5
3	電流ブリチャージバブル3	電圧ブリチャージバブル5
4	電流ブリチャージバブル4	電圧ブリチャージバブル5
5	電流ブリチャージバブル5	電圧ブリチャージバブル5
6	電流ブリチャージバブル6	電圧ブリチャージバブル5
7	常に“L”レベル	電圧ブリチャージバブル5

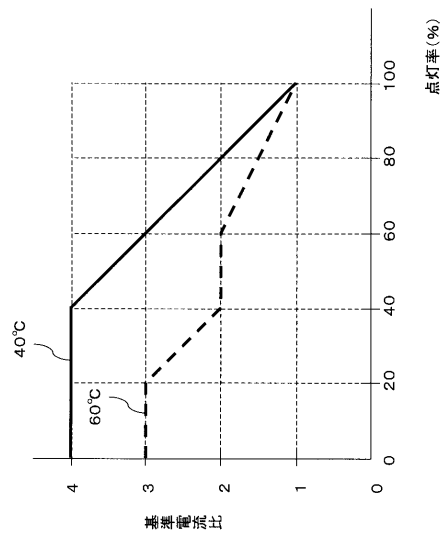
【図 5 1 5】



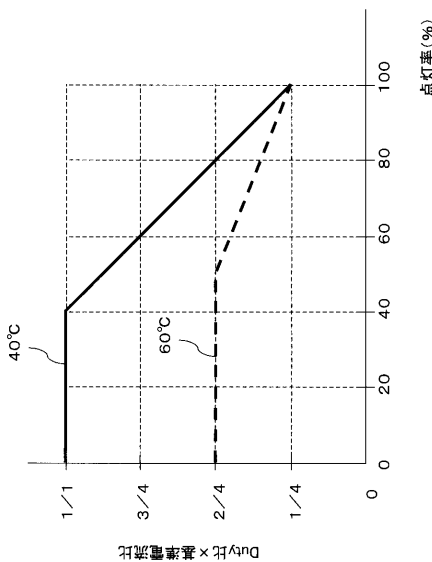
【図 5 1 6】



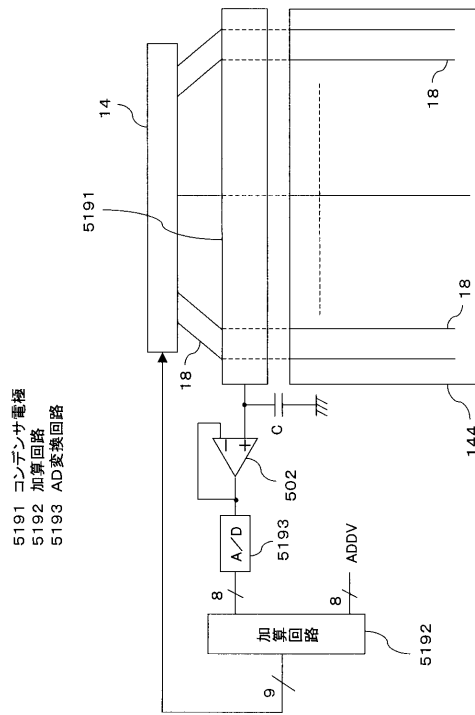
【図 5 1 7】



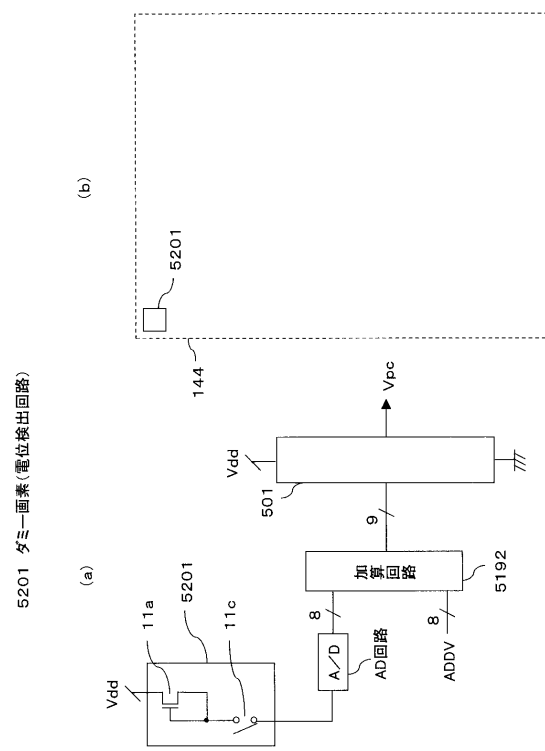
【図 5 1 8】



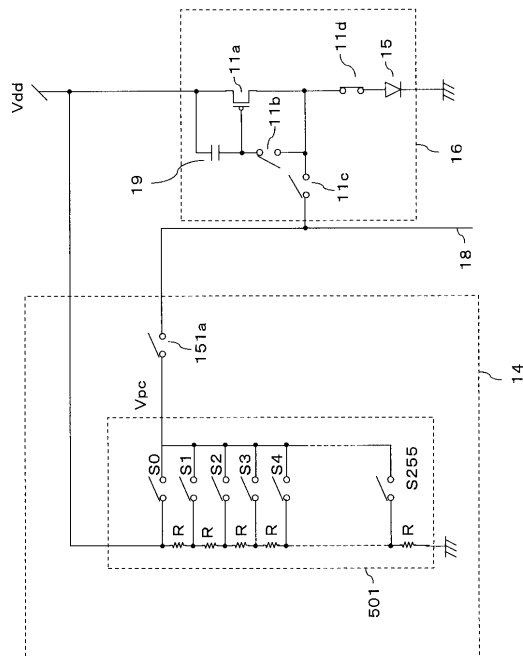
【図 5 1 9】



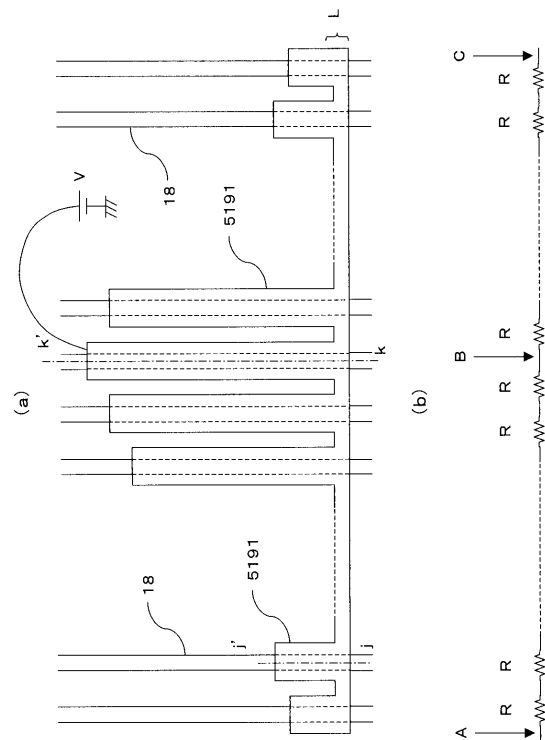
【図 5 2 0】



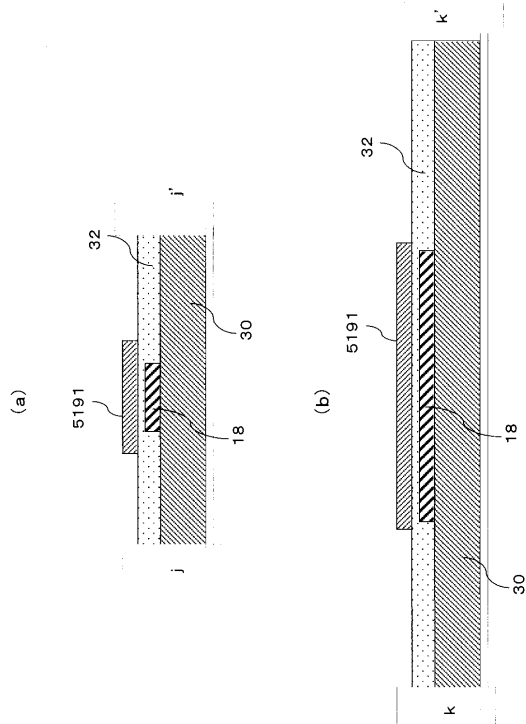
【図 5 2 1】



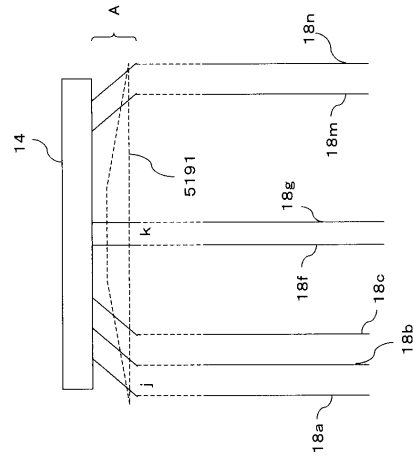
【図 5 2 2】



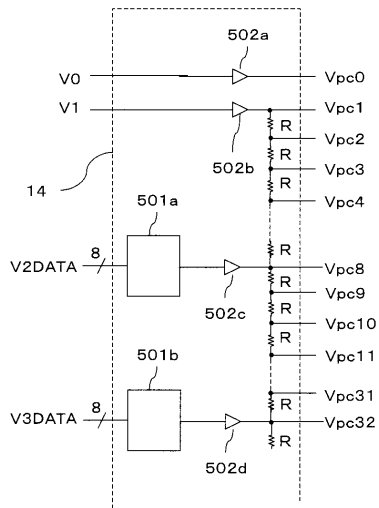
【図 5 2 3】



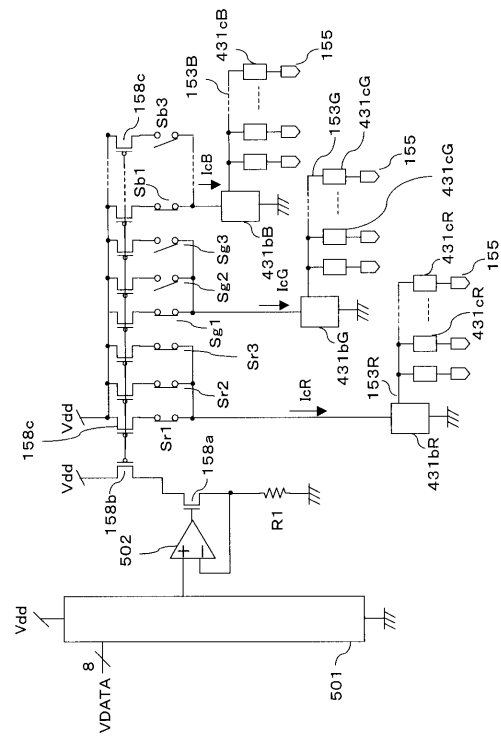
【図 5 2 4】



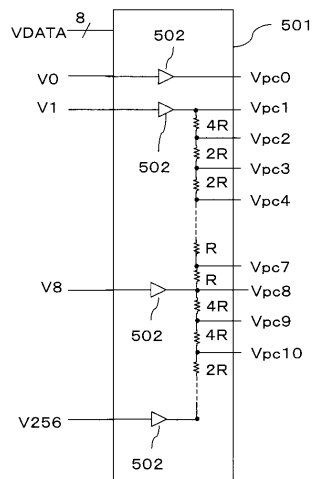
【図 5 2 5】



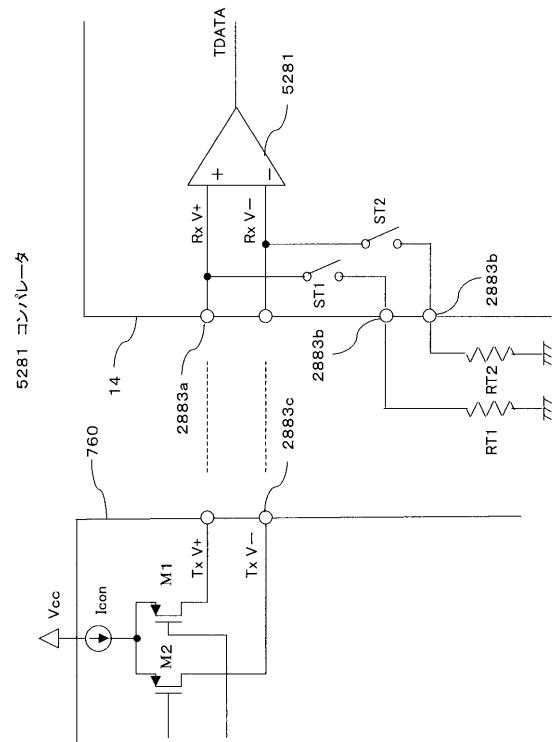
【図 5 2 6】



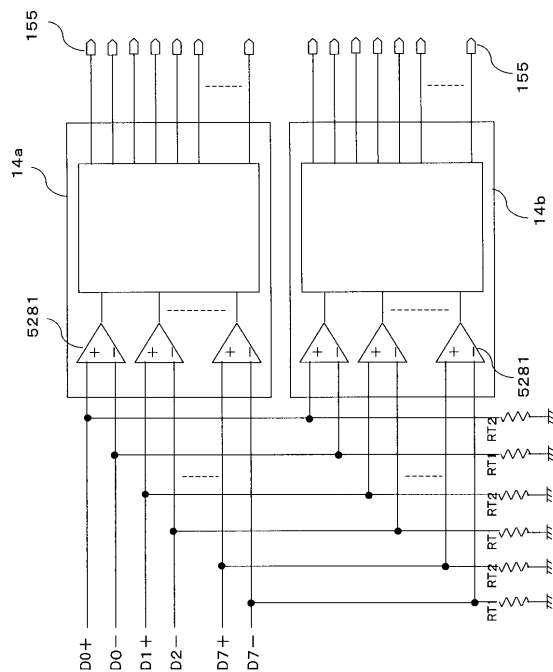
【図 5 2 7】



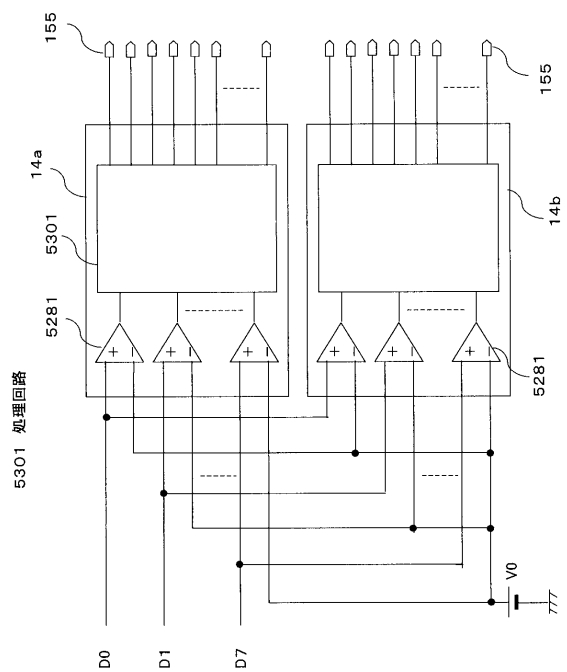
【図 5 2 8】



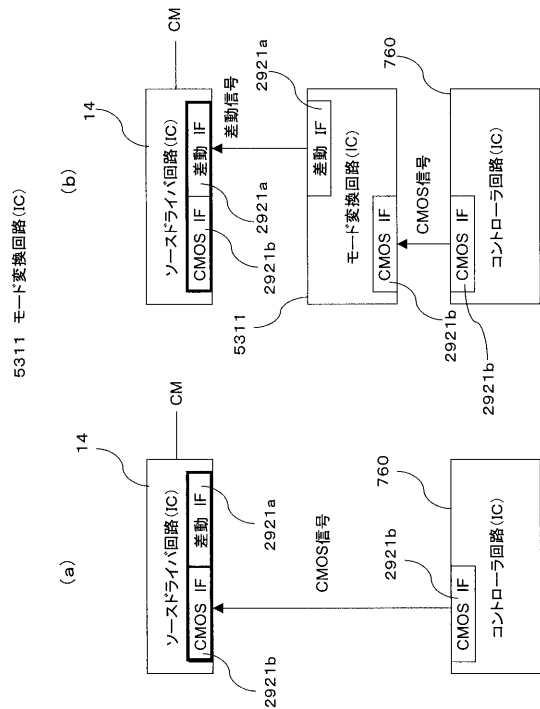
【図 5 2 9】



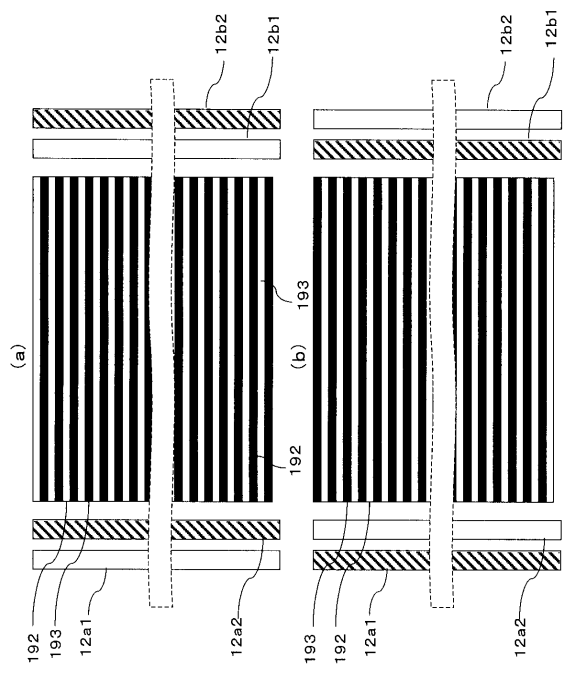
【図 5 3 0】



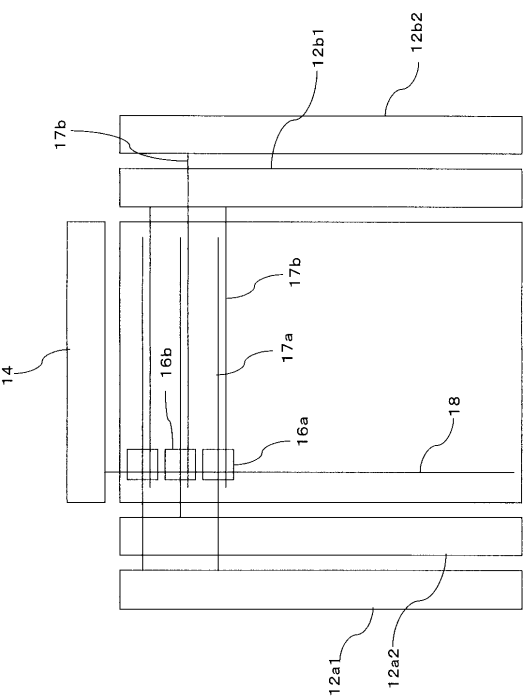
【図 5 3 1】



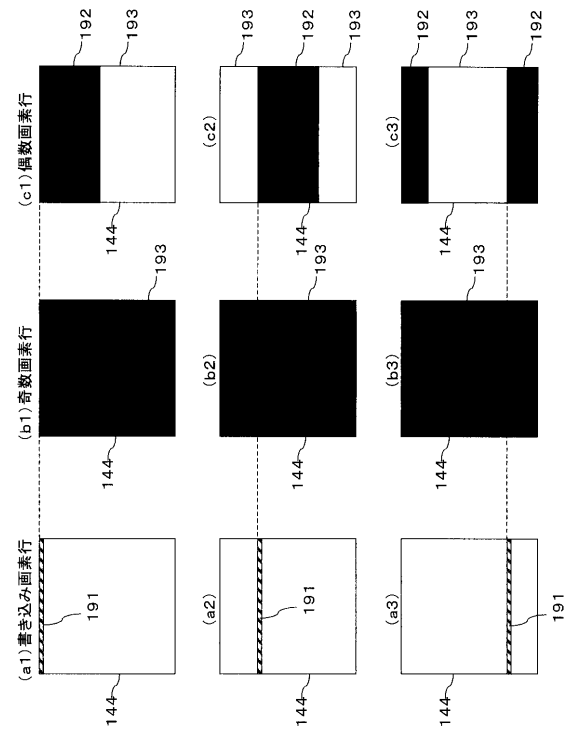
【図 5 3 2】



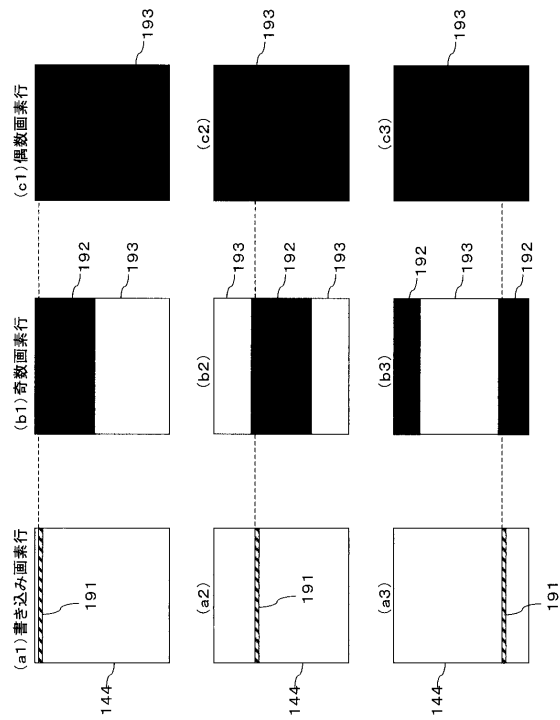
【図 5 3 3】



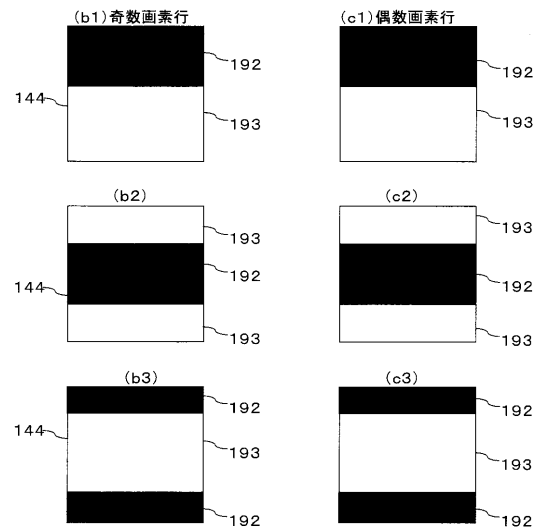
【図 5 3 4】



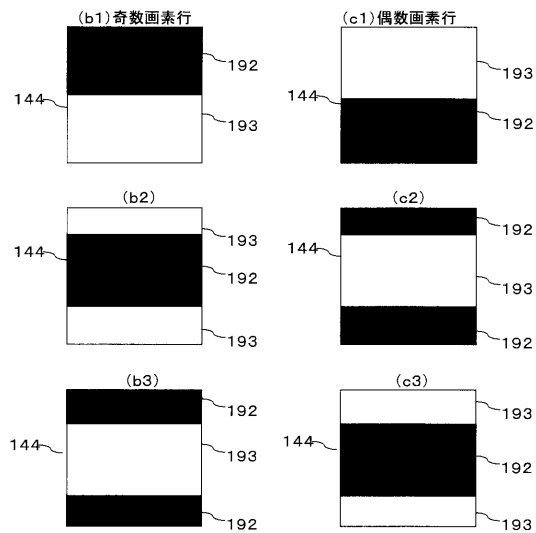
【図 5 3 5】



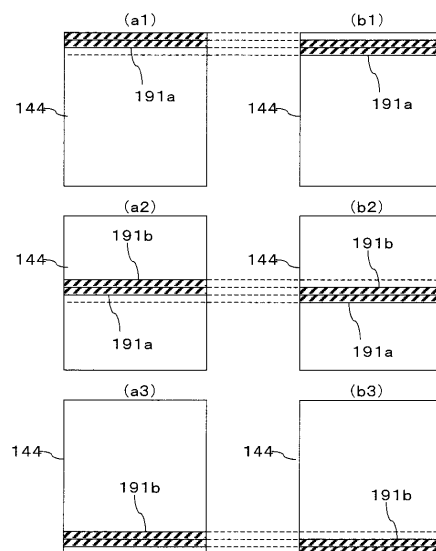
【図 5 3 6】



【図 5 3 7】

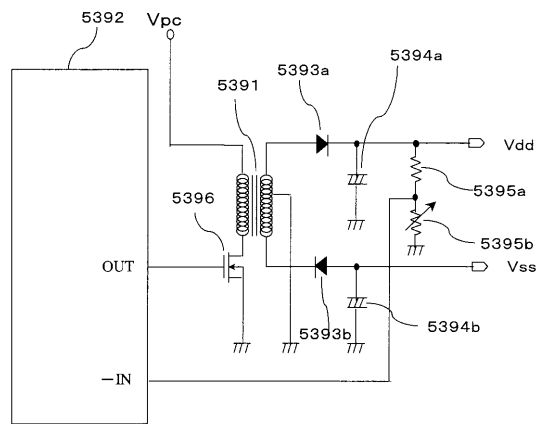


【図 5 3 8】



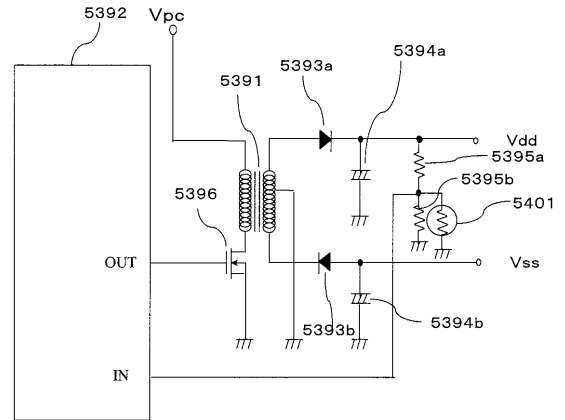
【図 5 3 9】

5391 コイル(トランス) 5392 制御回路
 5393 ダイオード 5394 コンデンサ
 5395 抵抗 5396 トランジスタ



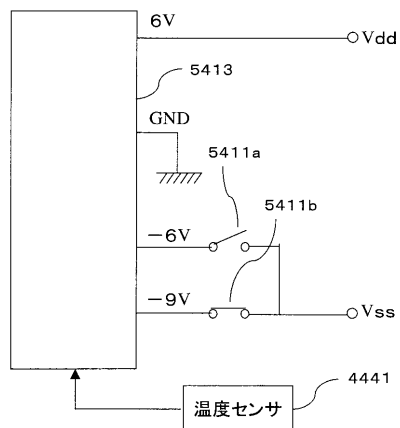
【図 5 4 0】

5401 可変抵抗

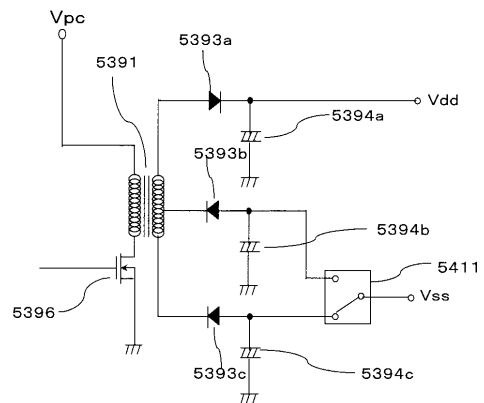


【図 5 4 1】

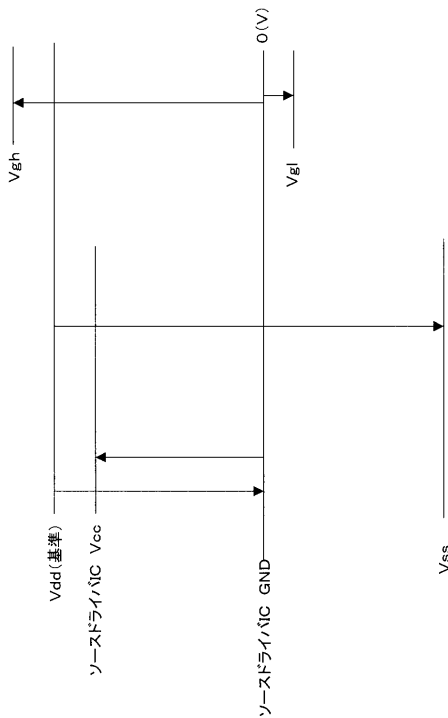
5411 スイッチ 5413 電源回路



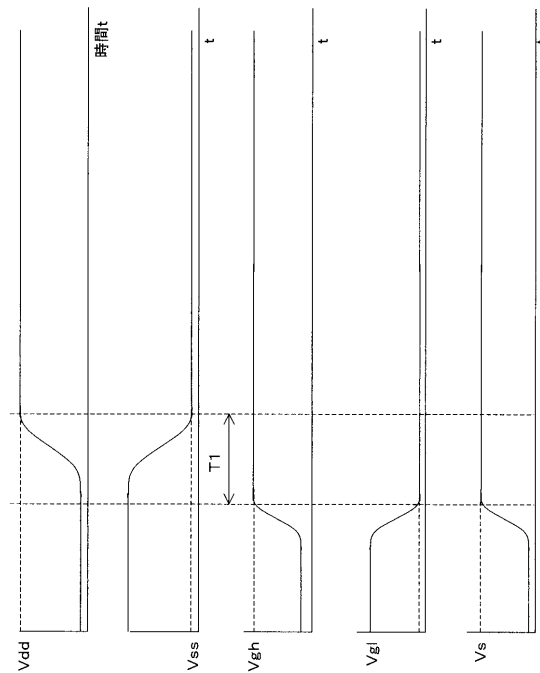
【図 5 4 2】



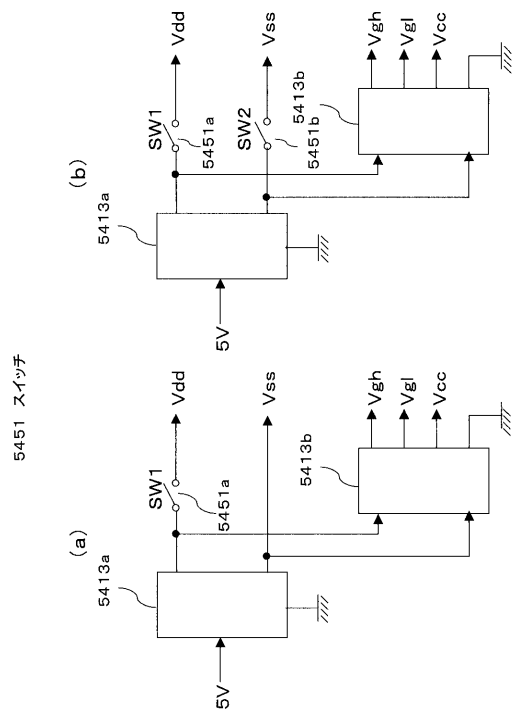
【図 5 4 3】



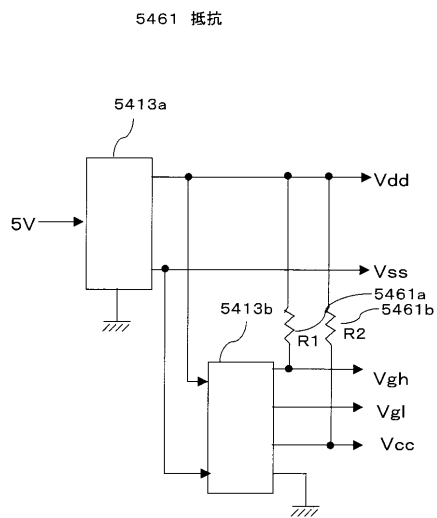
【図 5 4 4】



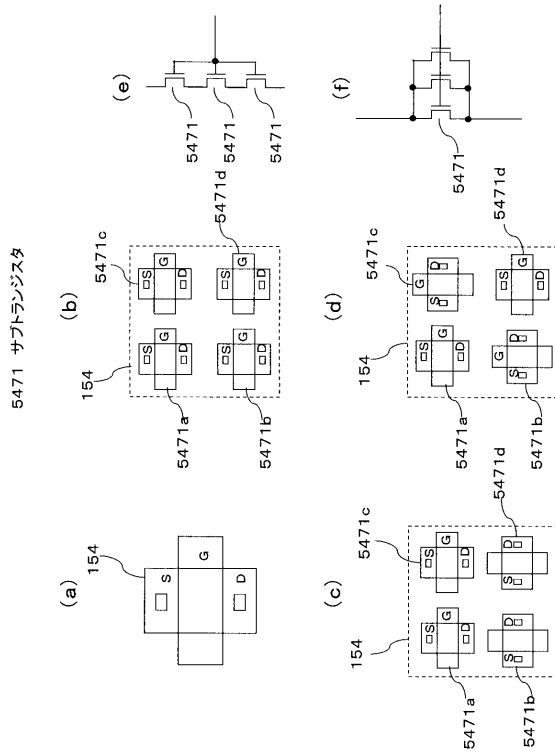
【図 5 4 5】



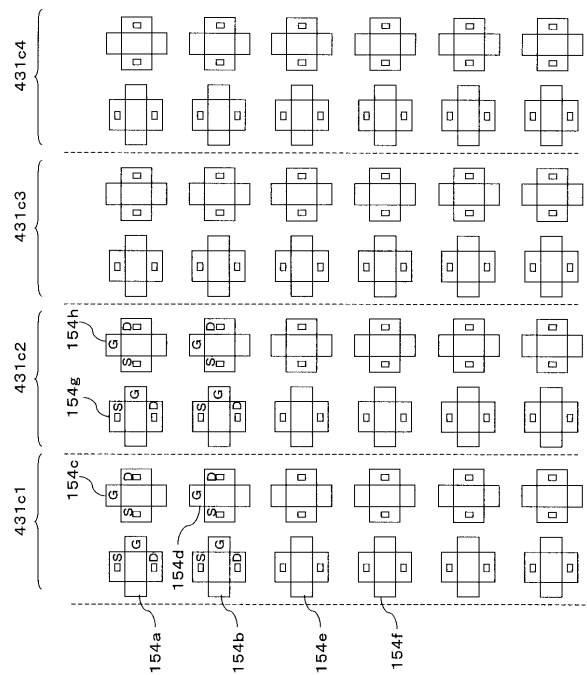
【図 5 4 6】



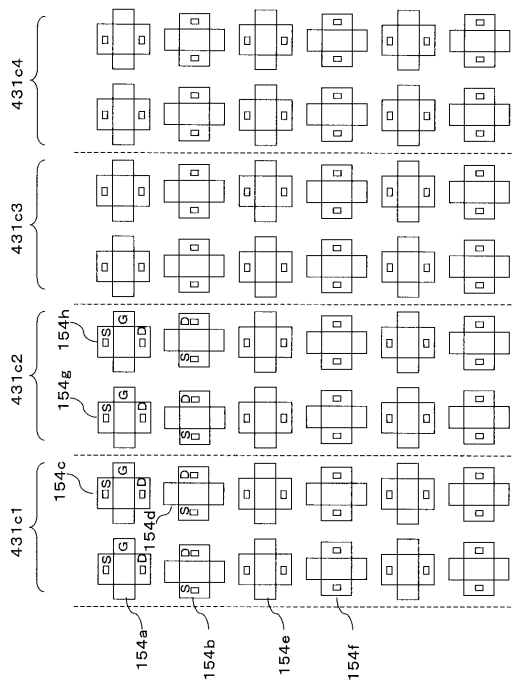
【図 5 4 7】



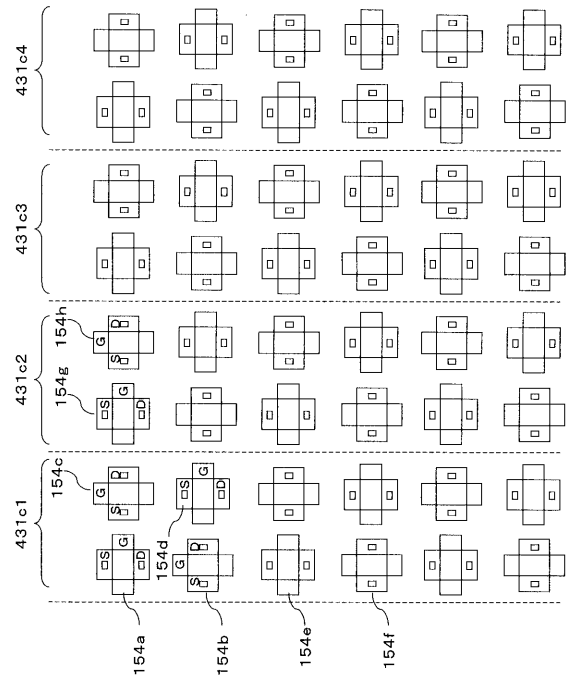
【図 5 4 8】



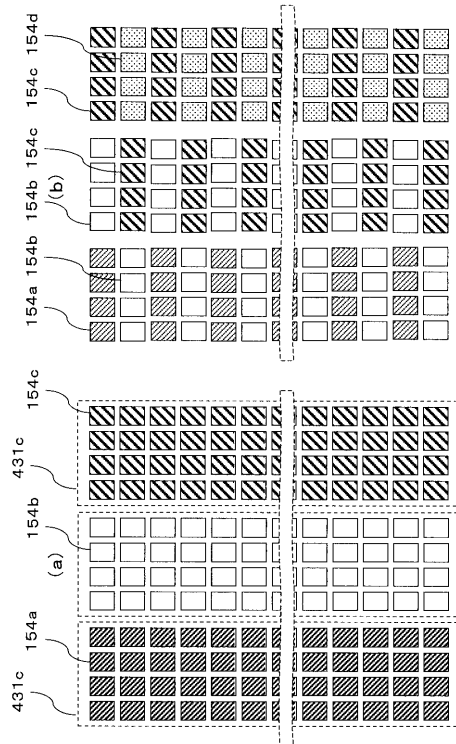
【図 5 4 9】



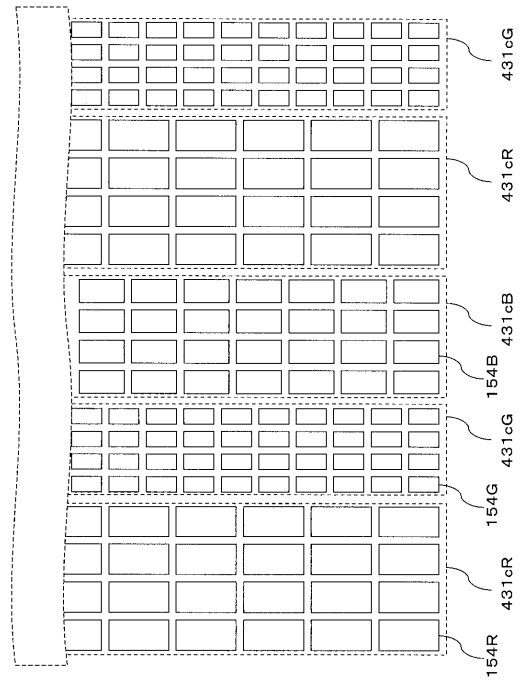
【図 5 5 0】



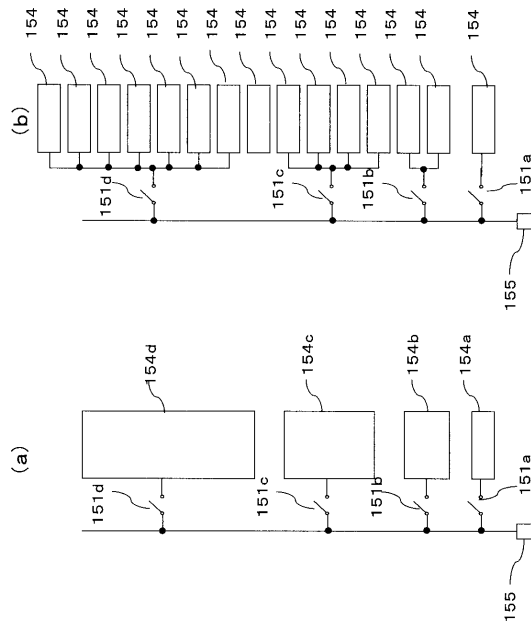
【図 5 5 1】



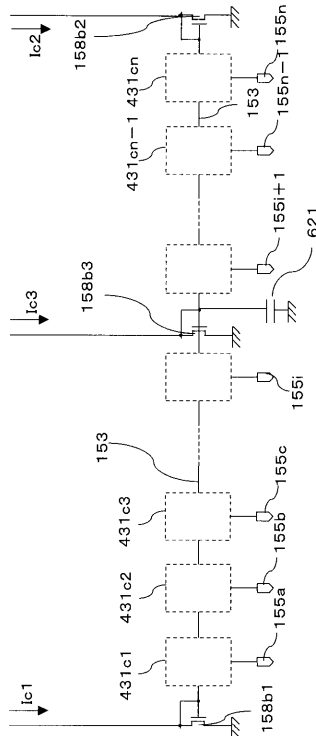
【図 5 5 2】



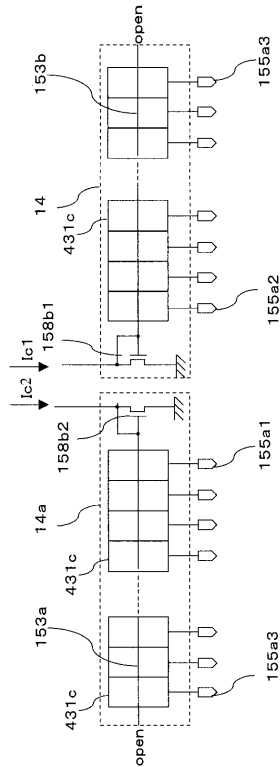
【図 5 5 3】



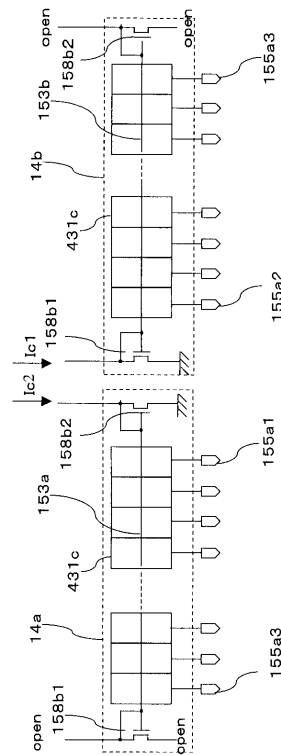
【図 5 5 4】



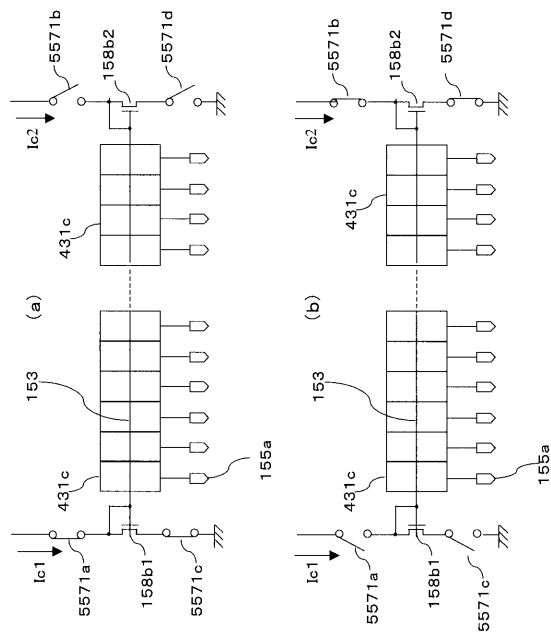
【図 5 5 5】



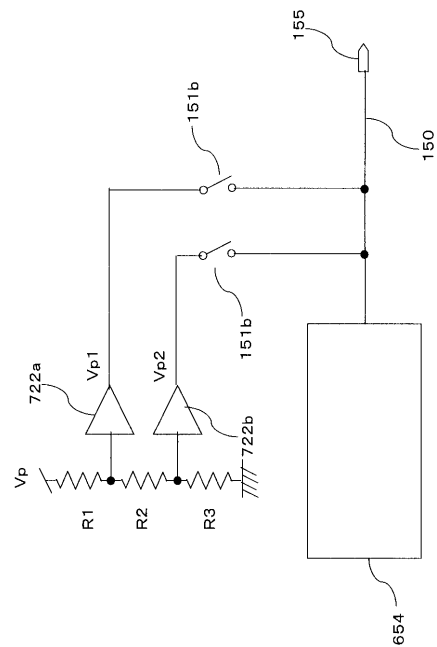
【図 5 5 6】



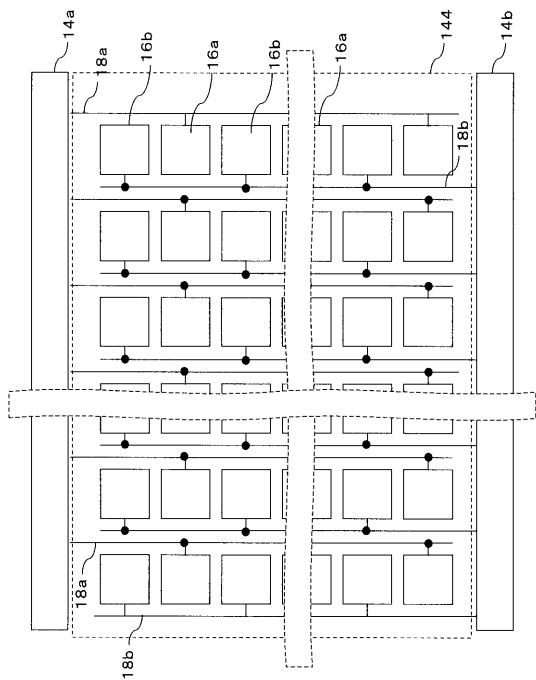
【図 5 5 7】



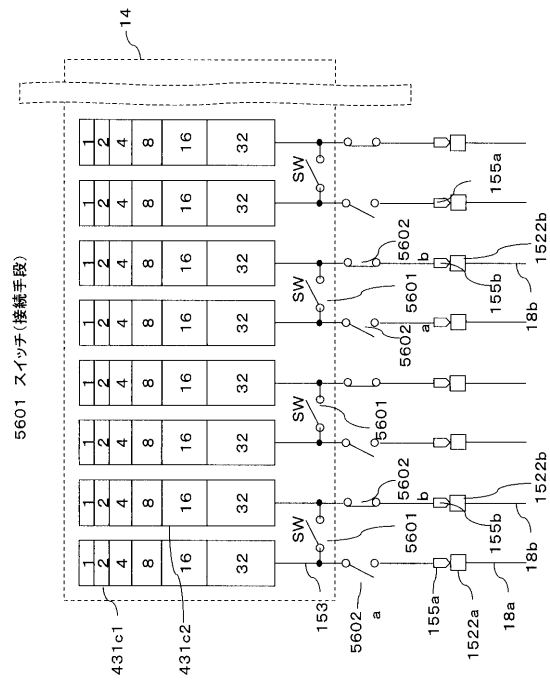
【図 5 5 8】



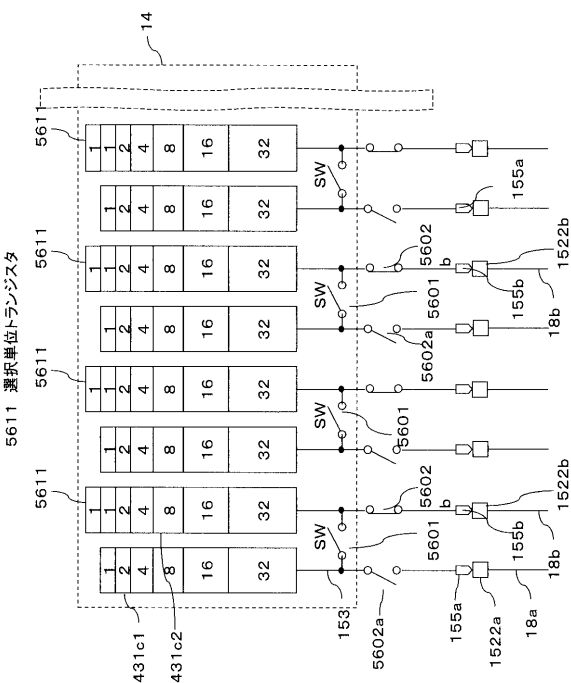
【図 5 5 9】



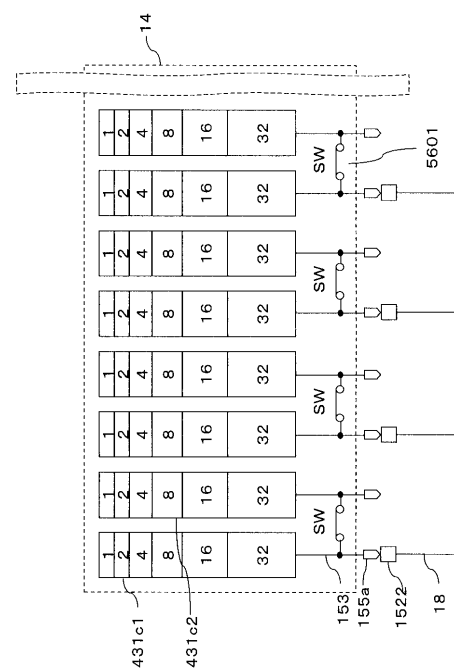
【図 5 6 0】



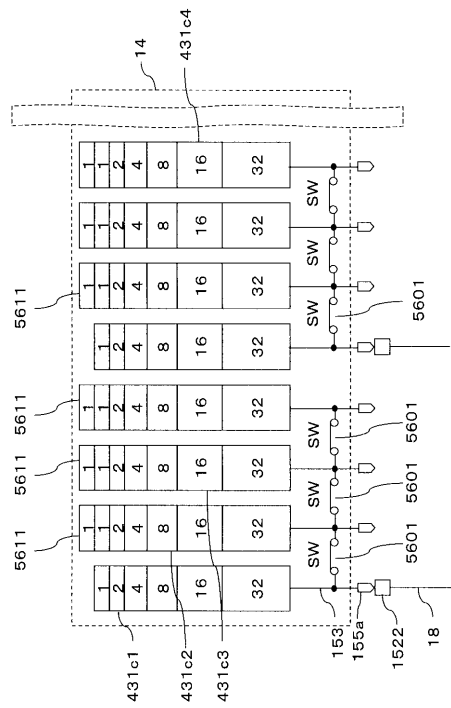
【図 5 6 1】



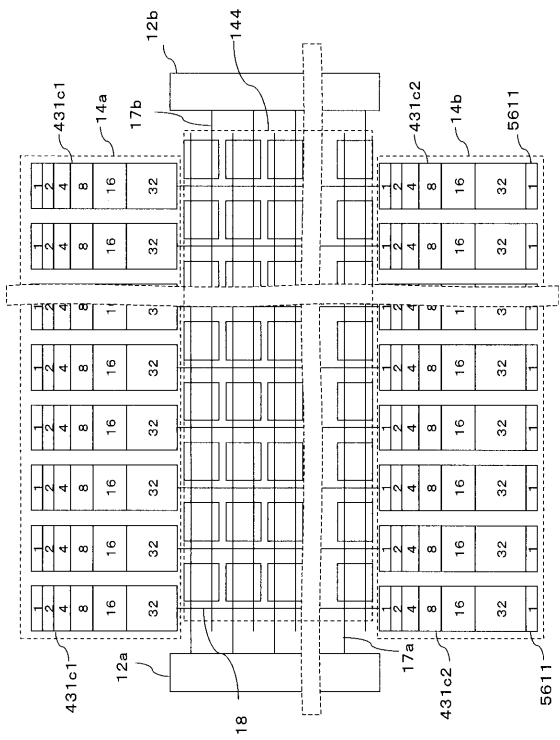
【図 5 6 2】



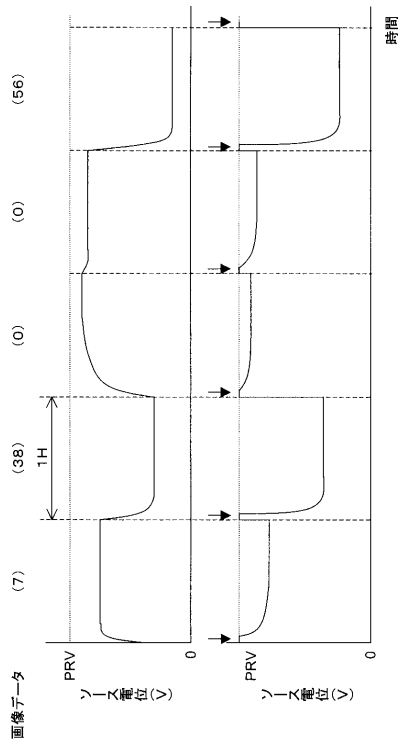
【図 5 6 3】



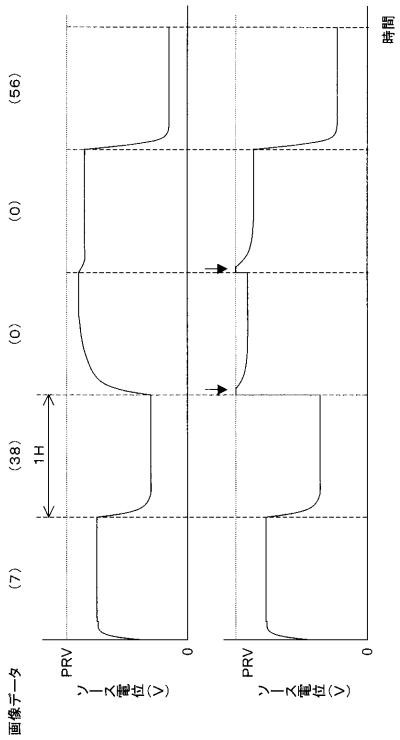
【図 5 6 4】



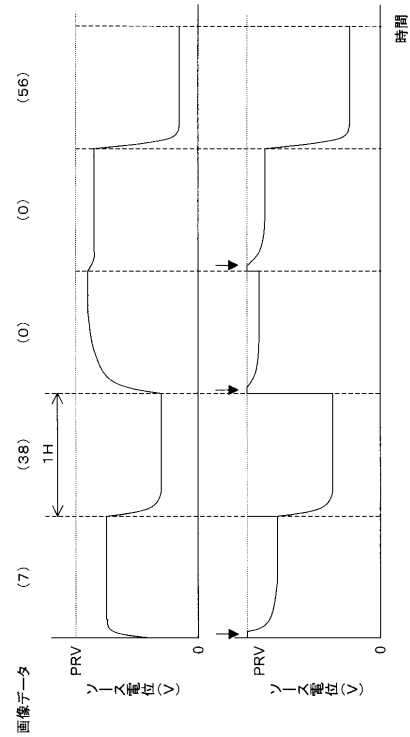
【図 5 6 5】



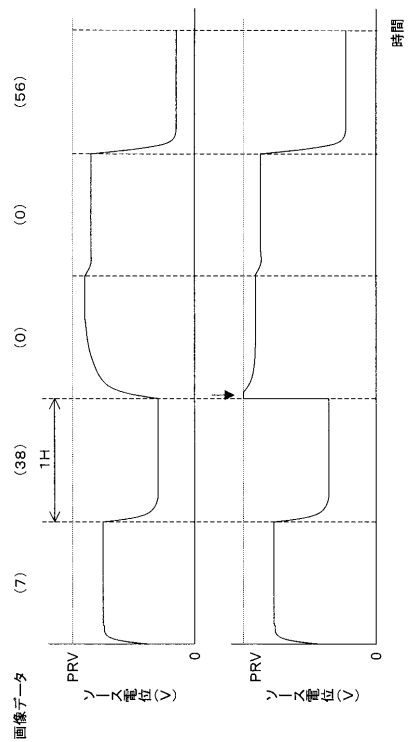
【図 5 6 6】



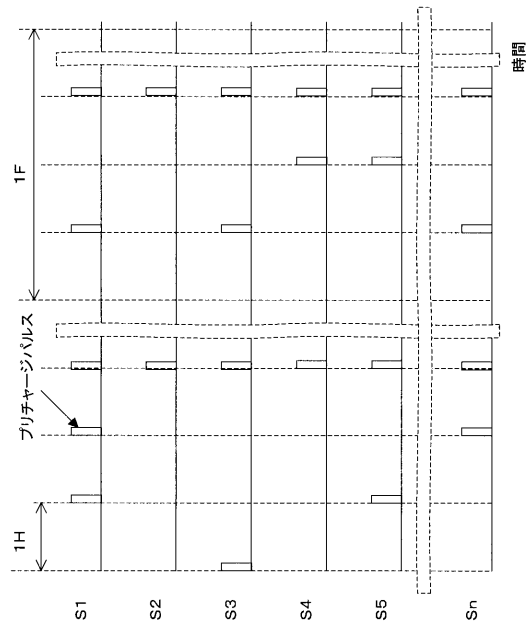
【図 5 6 7】



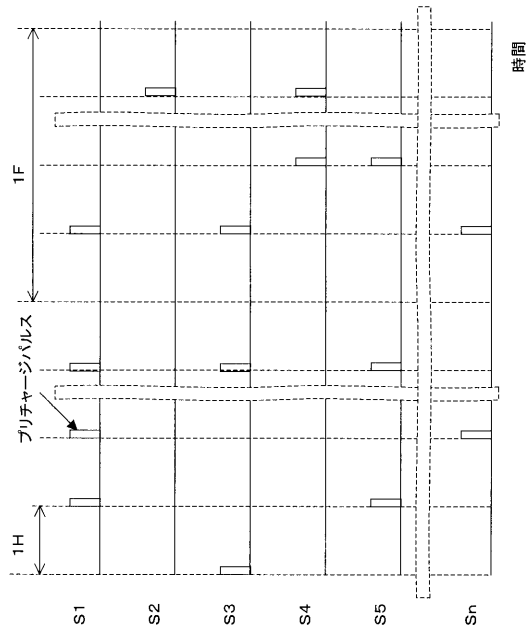
【図 5 6 8】



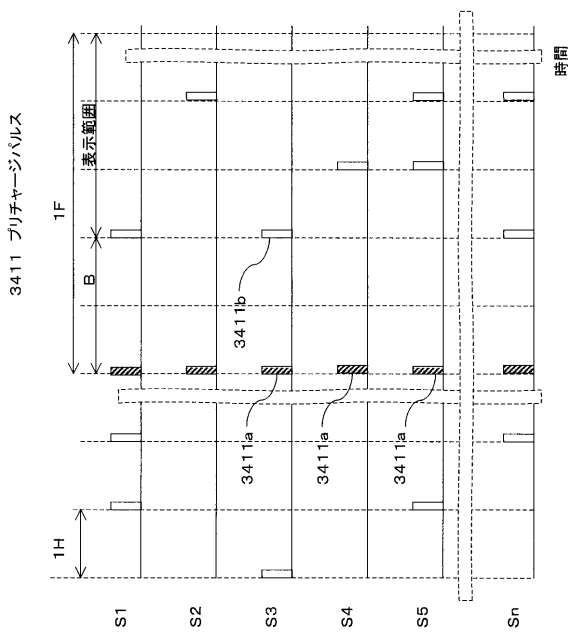
【図 5 6 9】



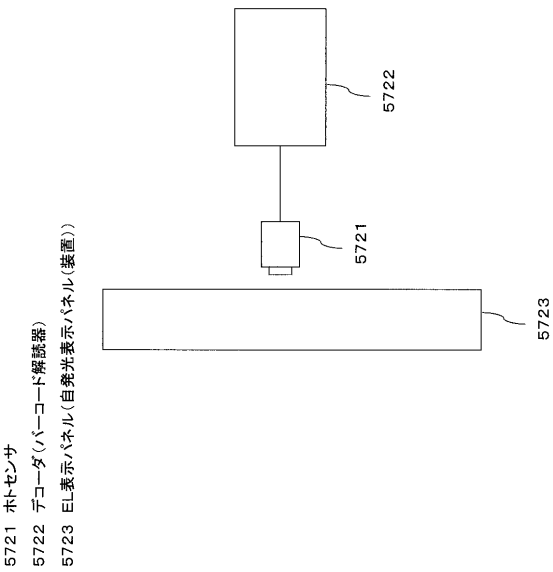
【図 5 7 0】



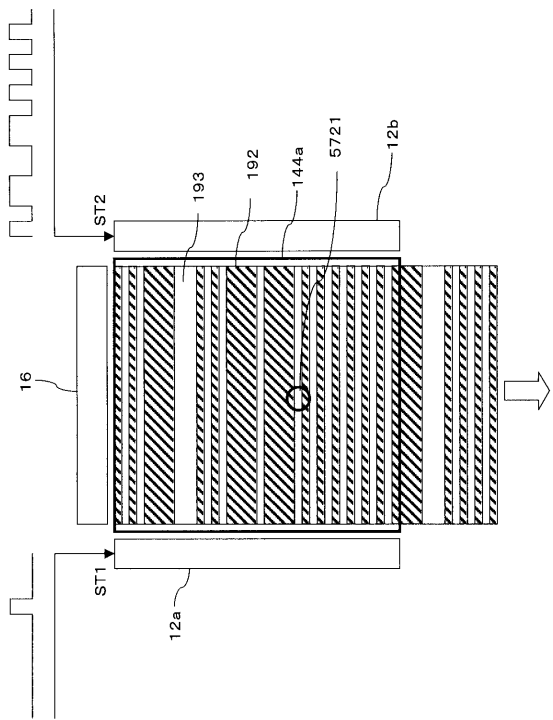
【図 5 7 1】



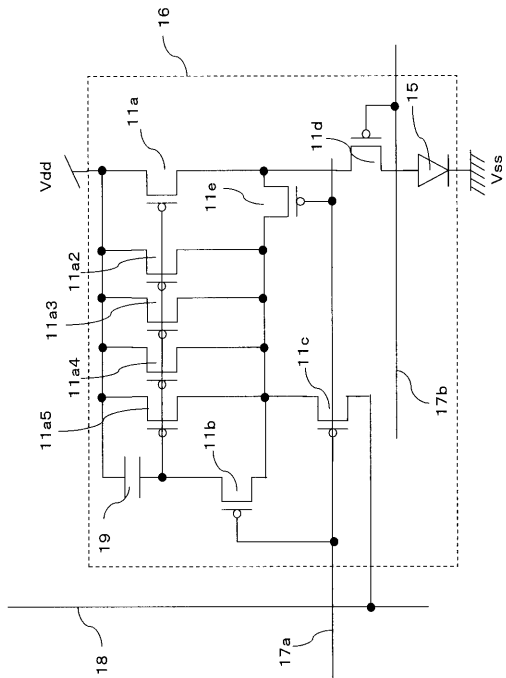
【図 5 7 2】



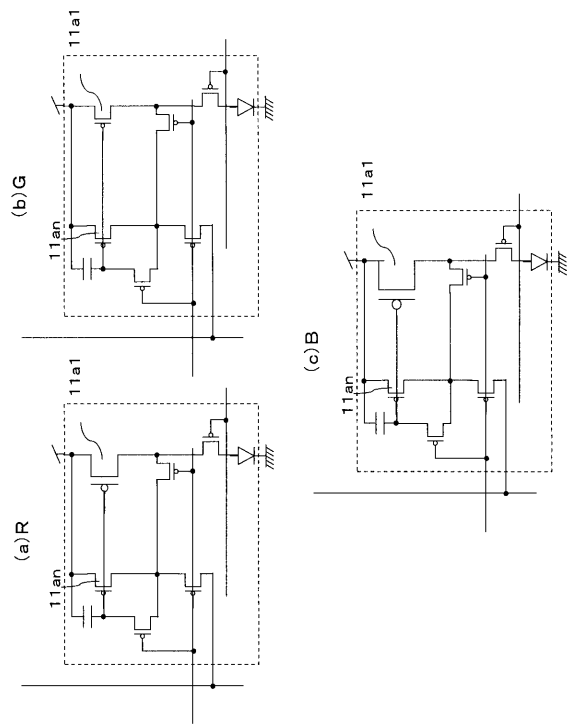
【図 5 7 3】



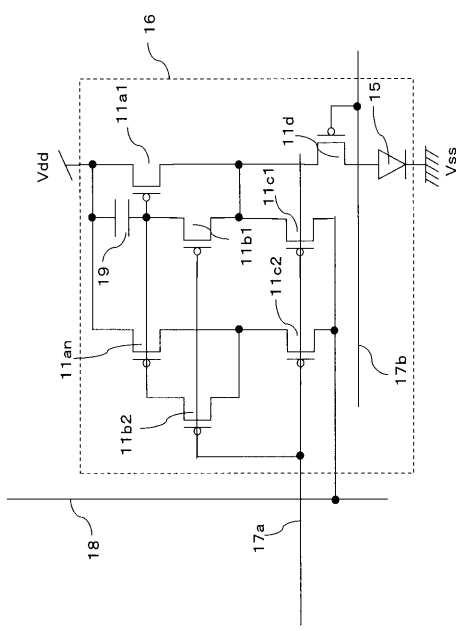
【図 5 7 4】



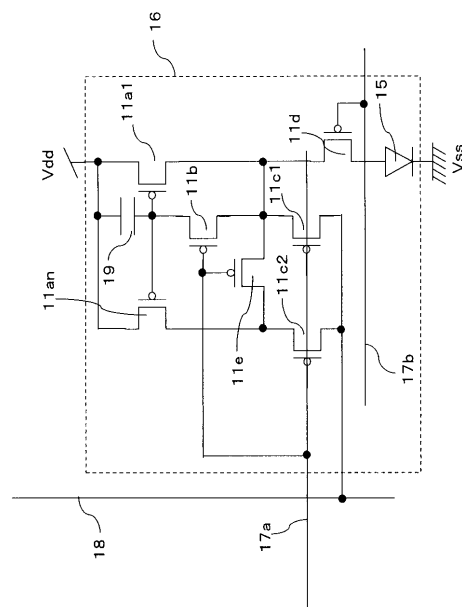
【図 5 7 9】



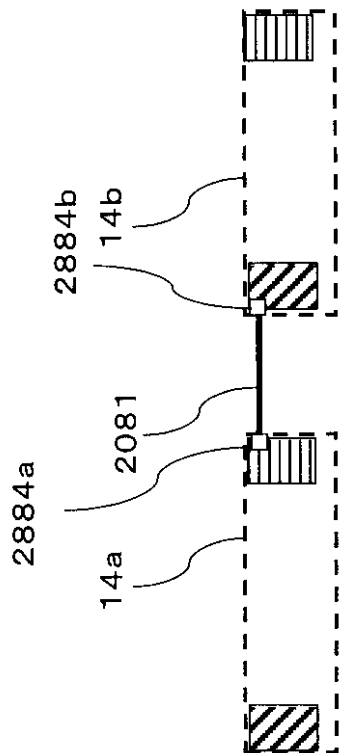
【図 5 8 0】



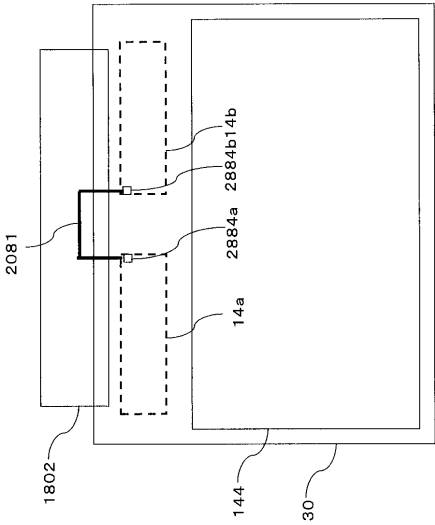
【図 5 8 1】



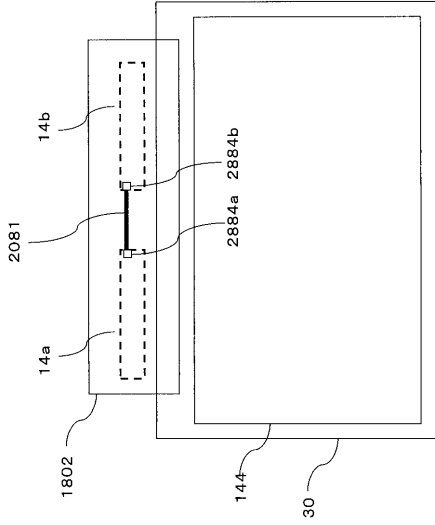
【図 5 8 2】



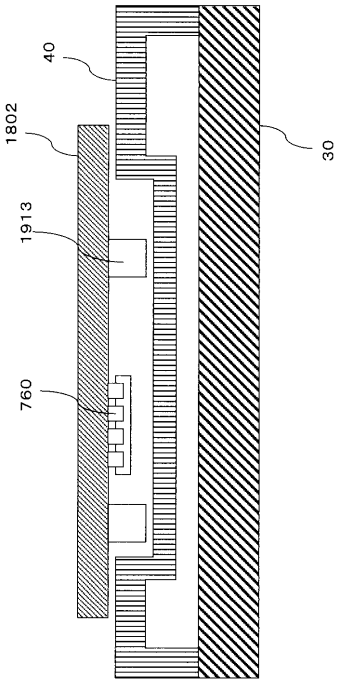
【図 5 8 3】



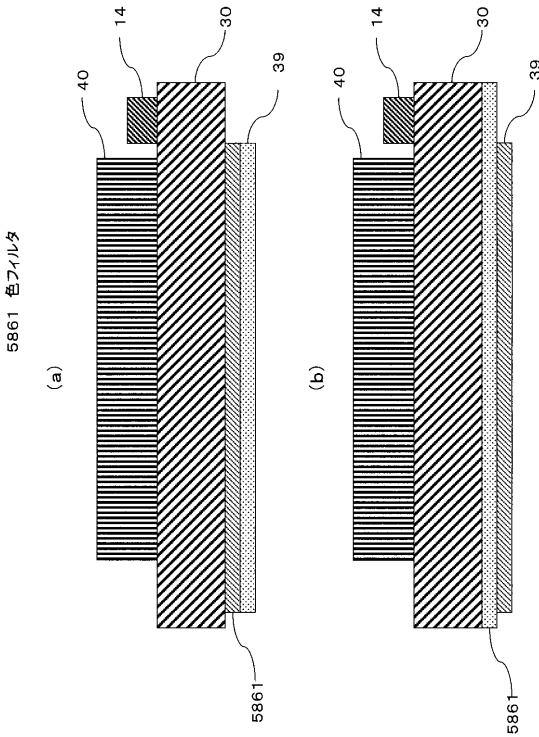
【図 5 8 4】



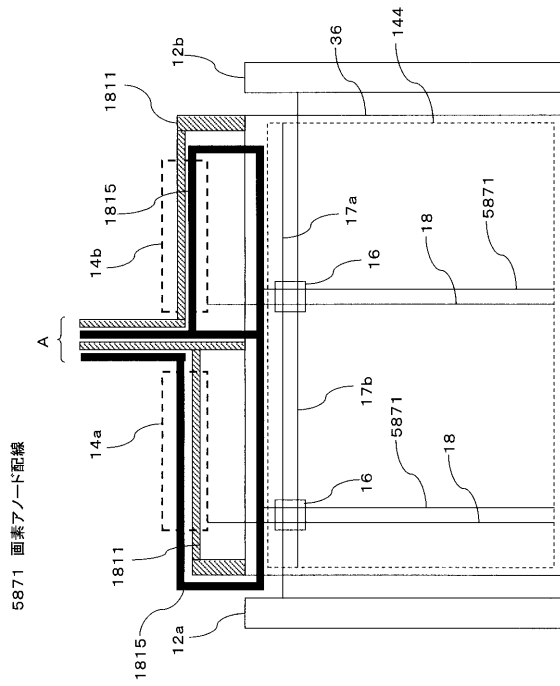
【図 5 8 5】



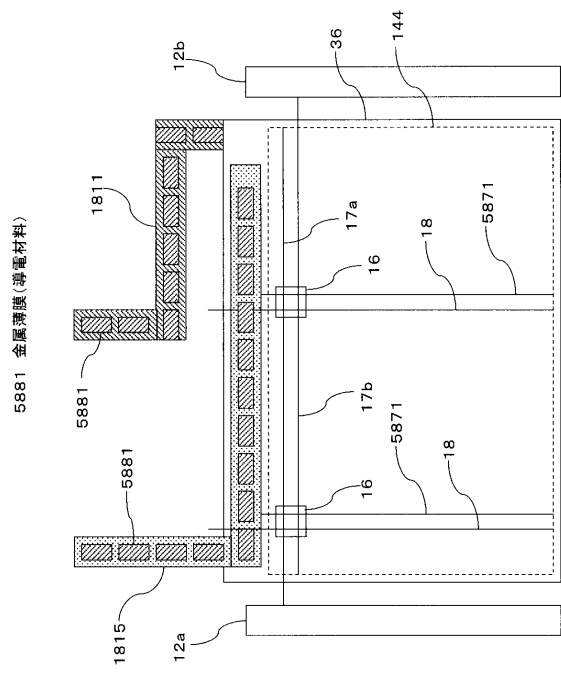
【図 5 8 6】



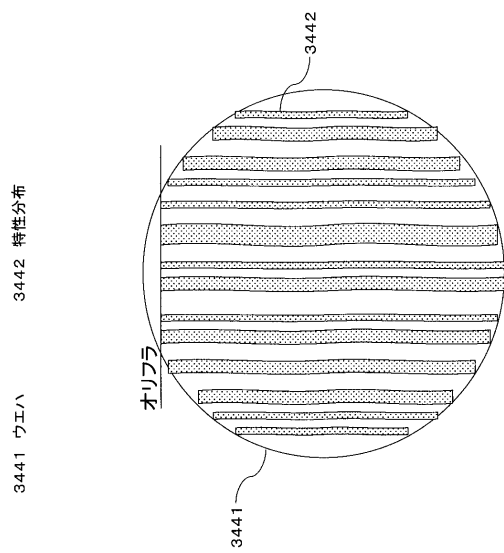
【 図 5 8 7 】



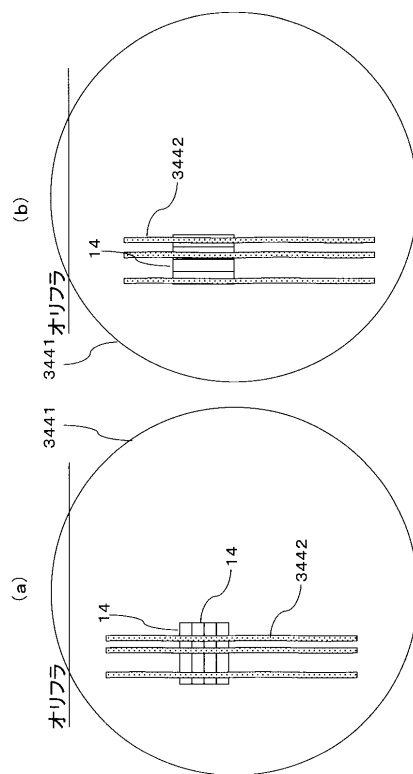
【图 5 8 8】



【图 5 8 9】

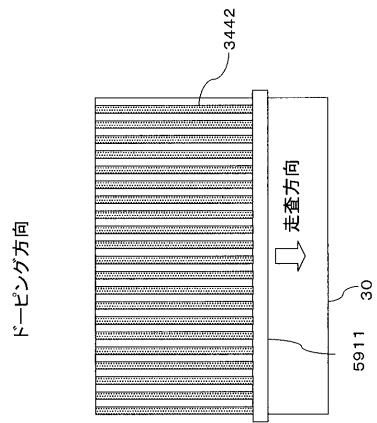


【図 5 9 0】

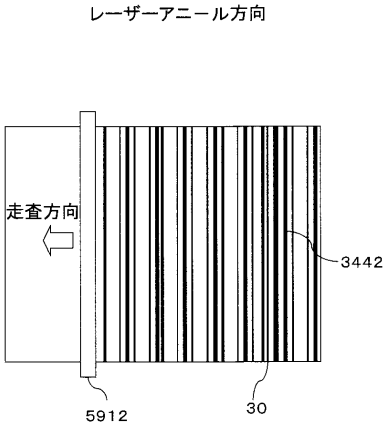


【図 5 9 1】

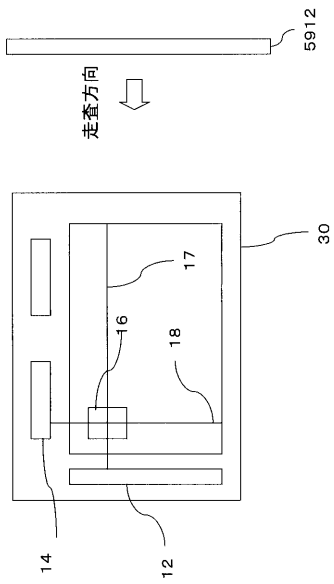
5911 ドーピングヘッド 5912 レーザーヘッド



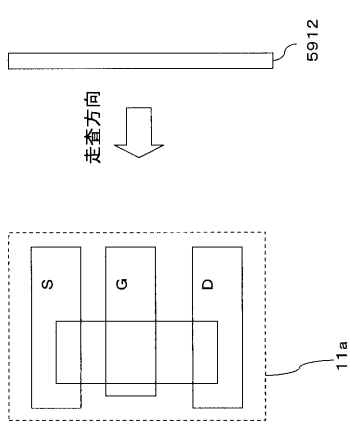
【図 5 9 2】



【図 5 9 3】

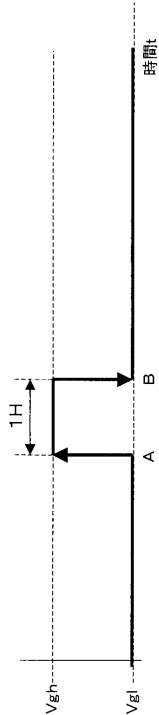


【図 5 9 4】

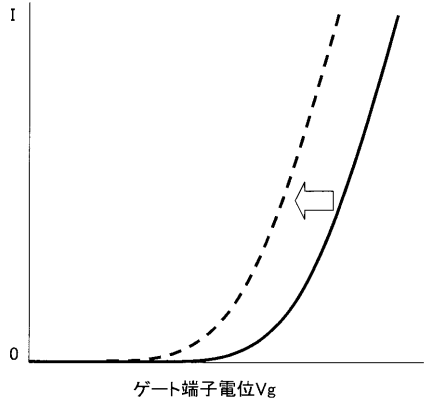


【図 5 9 9】

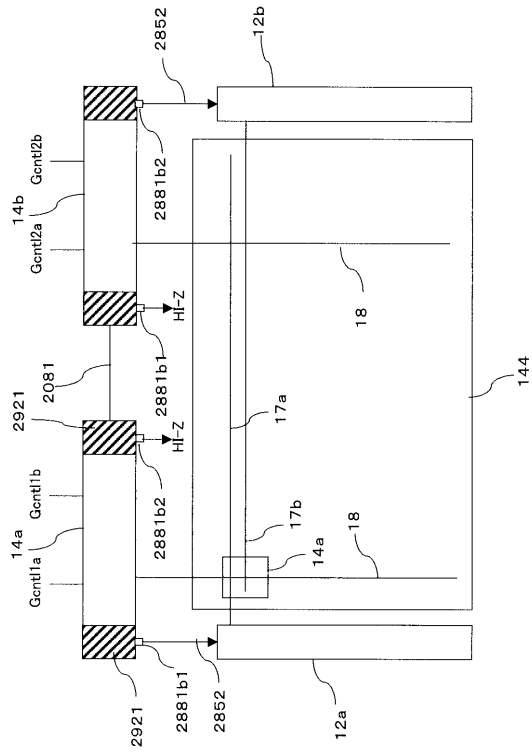
ゲート信号線17a出力波形



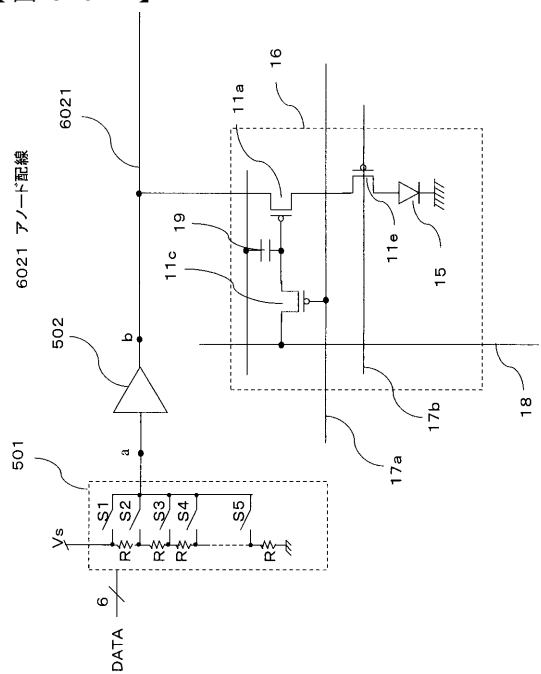
【図 6 0 0】



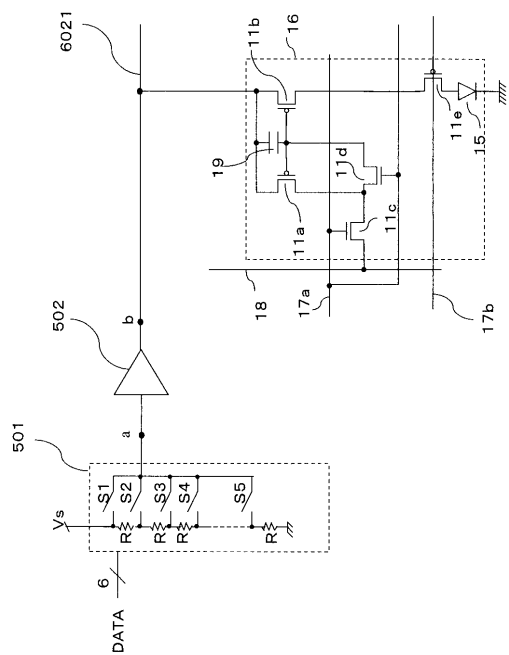
【図 6 0 1】



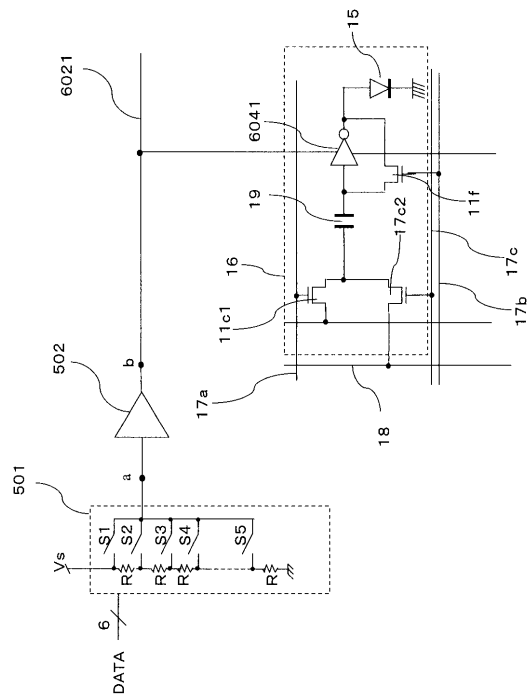
【図 6 0 2】



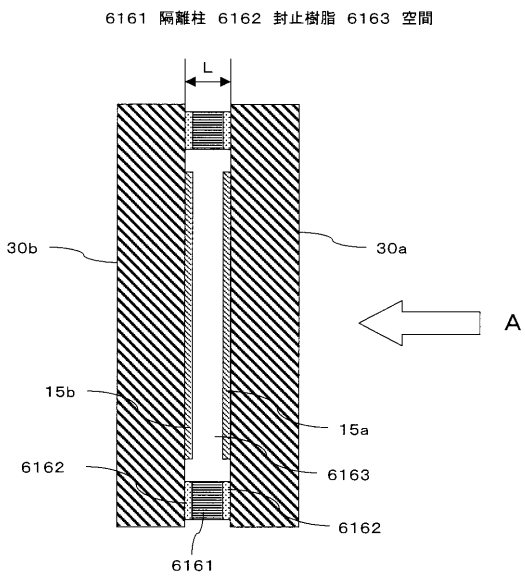
【図 6 0 3】



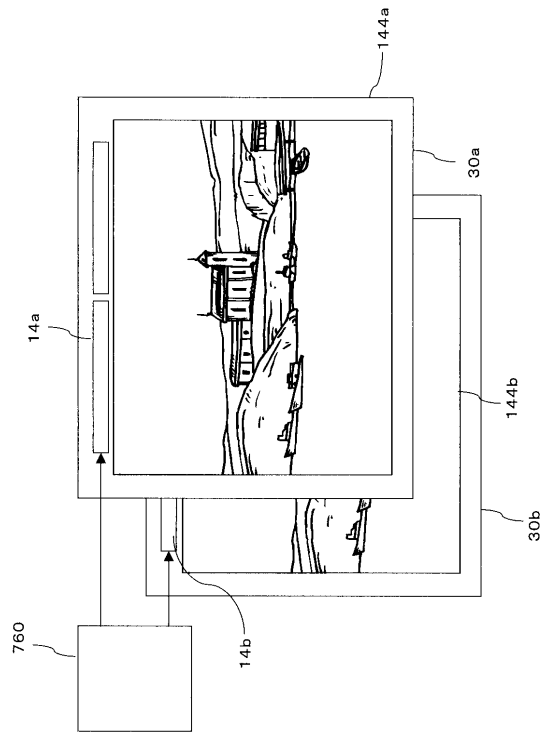
【図 6 0 4】



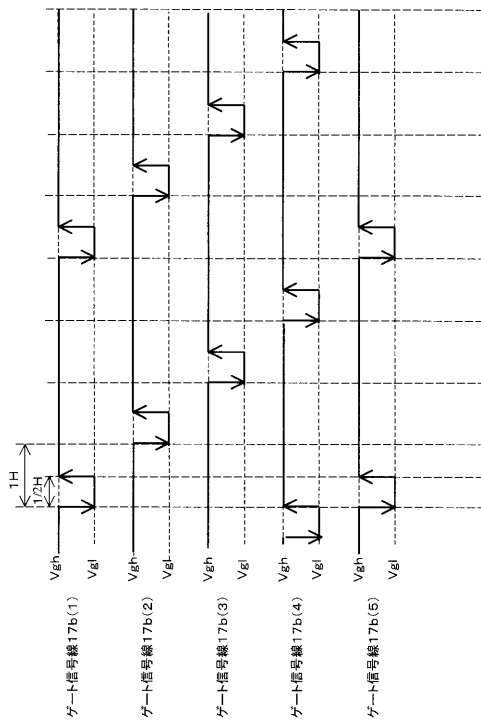
【図 6 0 5】



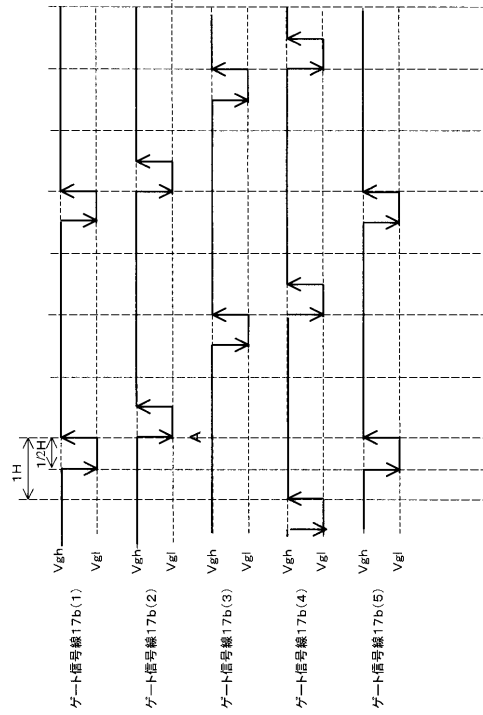
【図 6 0 6】



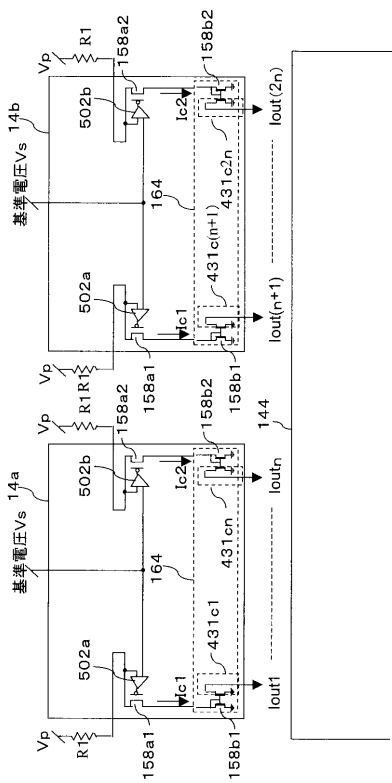
【図 6 1 1】



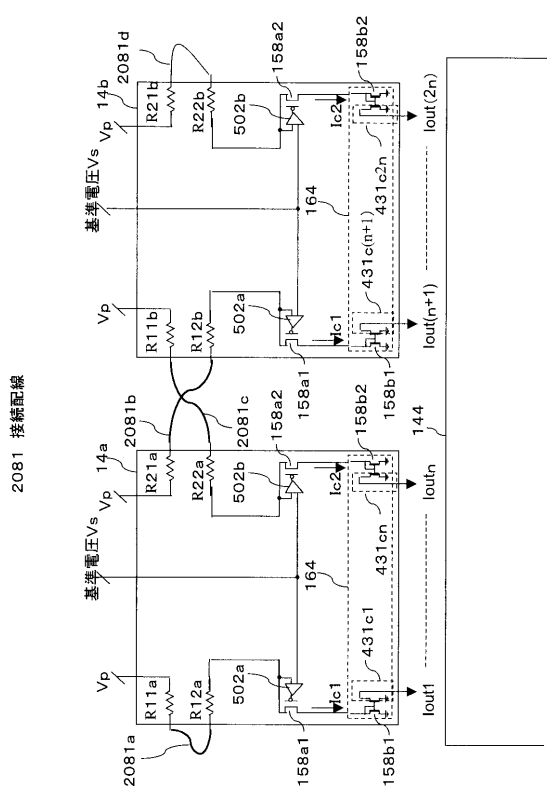
【図 6 1 2】



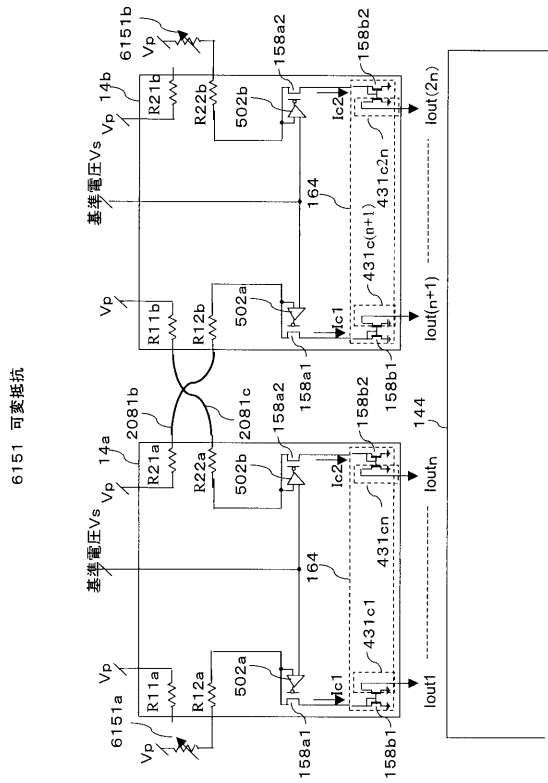
【図 6 1 3】



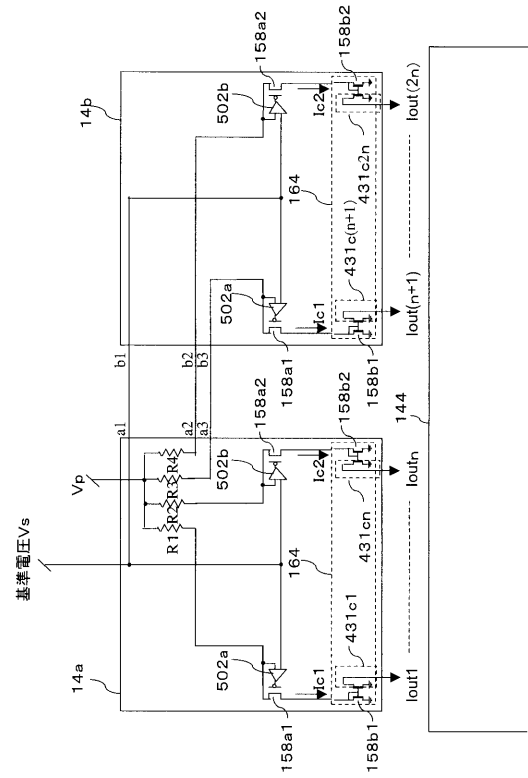
【図 6 1 4】



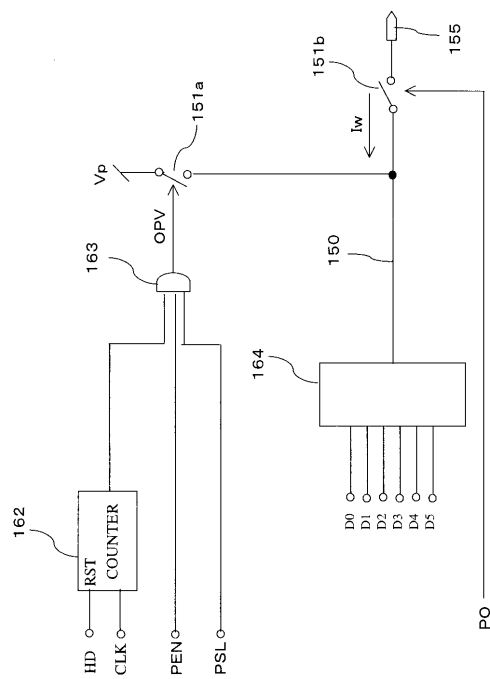
【図 6 1 5】



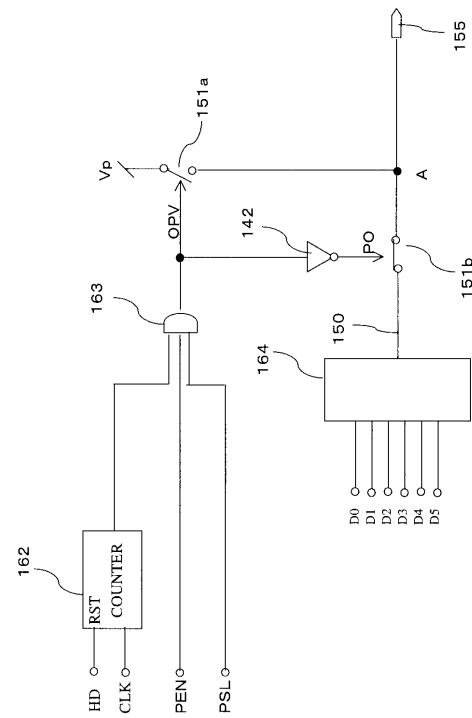
【図 6 1 6】



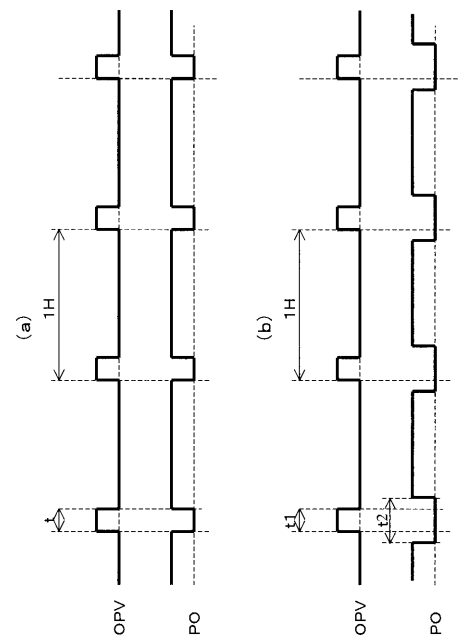
【図 6 1 7】



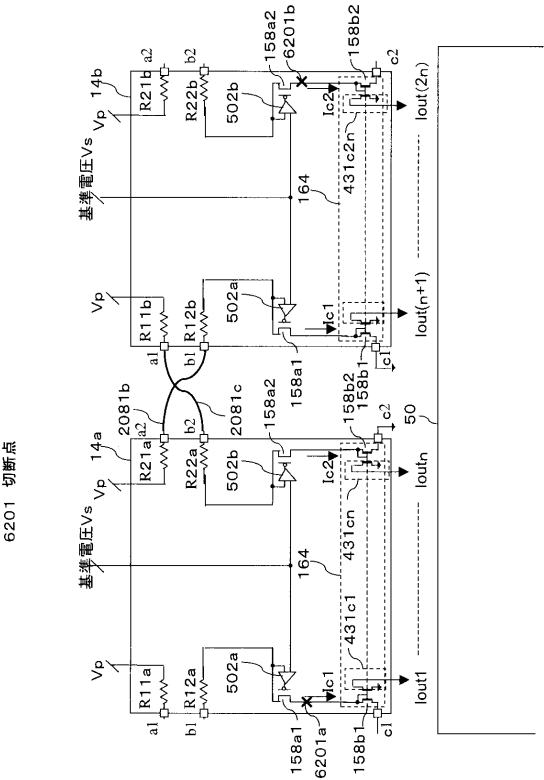
【図 6 1 8】



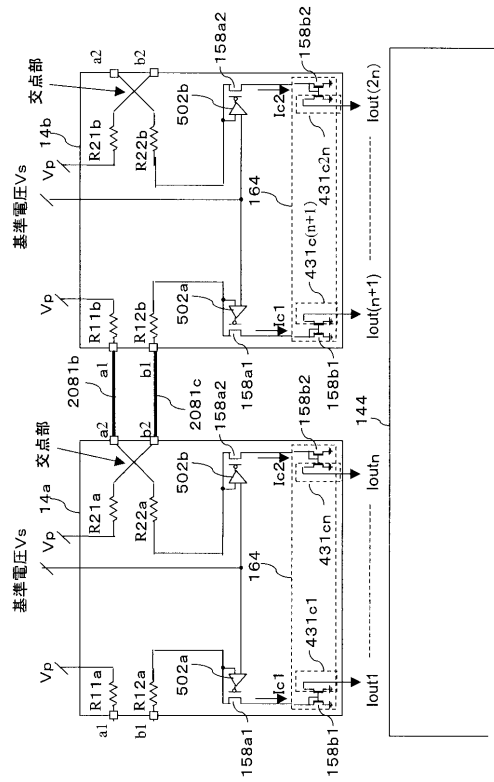
【図 6 1 9】



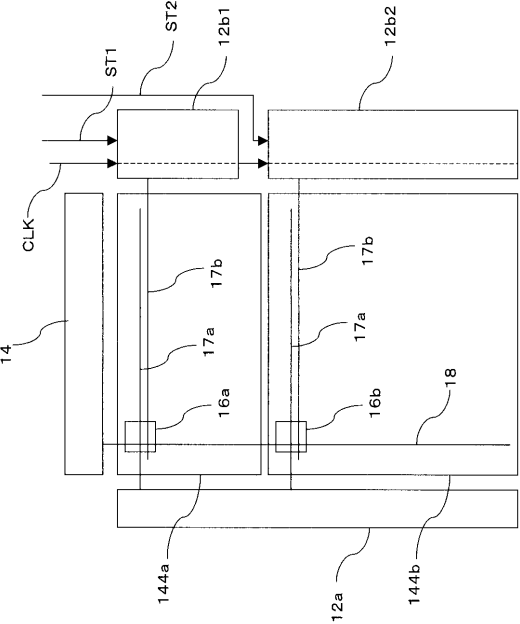
【図 6 2 0】



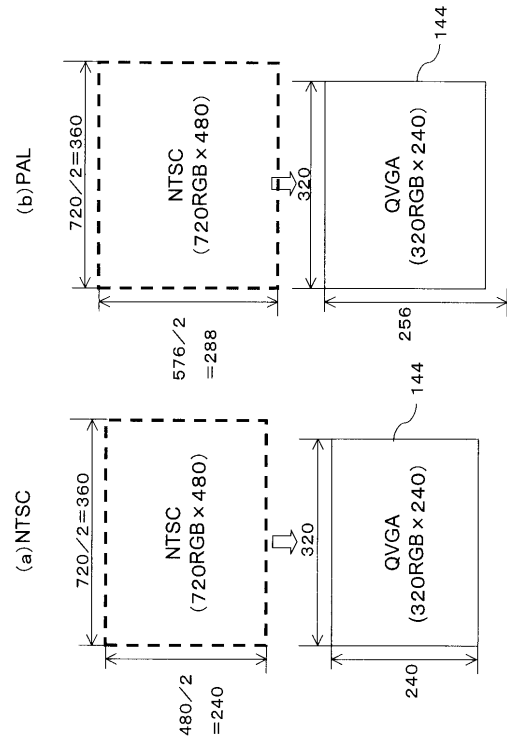
【図 6 2 1】



【図 6 2 2】



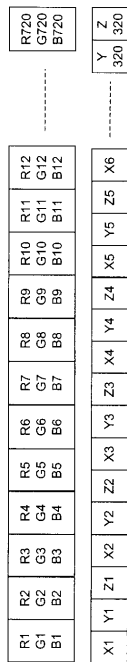
【图 6 2 4】



【图 6 2 6】

要素7-1変換		備考
5要素	4要素演算	
1	1/2+1/4	1要素目
2	1/4	
2	1/2	2要素目
3	1/2	
3	1/4	3要素目
4	1/2+1/4	
4	0	4要素目
5	1/1	

【図 6 2 7】



【図 6 2 8】

(a)

$$\begin{aligned} X1 &= R1 \times 8/8 \\ Y1 &= G1 \times 3/8 + G2 \times 5/8 \\ Z1 &= B2 \times 5/8 + B3 \times 3/8 \\ X2 &= R3 \times 7/8 + R4 \times 1/8 \end{aligned}$$

(b)

$$\begin{aligned} Y2 &= G3 \times 1/8 + G4 \times 7/8 \\ Z2 &= B4 \times 3/8 + B5 \times 5/8 \\ X3 &= R5 \times 5/8 + R6 \times 3/8 \\ Y3 &= G6 \times 7/8 + G7 \times 1/8 \end{aligned}$$

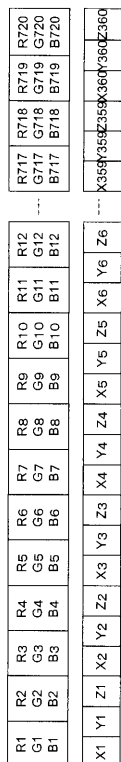
(c)

$$\begin{aligned} Z3 &= B6 \times 1/8 + B7 \times 7/8 \\ X4 &= R7 \times 3/8 + R8 \times 5/8 \\ Y4 &= G8 \times 5/8 + G9 \times 3/8 \\ Z4 &= B9 \times 7/8 + B10 \times 1/8 \end{aligned}$$

(d)

$$\begin{aligned} Y320 &= G719 \times 5/8 + G720 \times 3/8 \\ Z320 &= B720 \times 8/8 \end{aligned}$$

【図 6 2 9】



【図 6 3 0】

(a)

$$\begin{aligned} X1 &= R1 \times 8/8 \\ Y1 &= G1 \times 1/2 + G2 \times 1/2 \\ Z1 &= B2 \times 7/8 + B3 \times 1/8 \end{aligned}$$

(b)

$$\begin{aligned} X2 &= R2 \times 1/8 + R3 \times 7/8 \\ Y2 &= G3 \times 1/2 + G4 \times 1/2 \\ Z2 &= B4 \times 7/8 + B5 \times 1/8 \end{aligned}$$

(c)

$$\begin{aligned} X3 &= R4 \times 1/8 + R5 \times 7/8 \\ Y3 &= G5 \times 1/2 + G6 \times 1/2 \\ Z3 &= B6 \times 7/8 + B7 \times 1/8 \end{aligned}$$

(d)

$$\begin{aligned} X4 &= R6 \times 1/8 + R7 \times 7/8 \\ Y4 &= G7 \times 1/2 + G8 \times 1/2 \\ Z4 &= B8 \times 7/8 + B9 \times 1/8 \end{aligned}$$

(e)

$$\begin{aligned} X5 &= R8 \times 1/8 + R9 \times 7/8 \\ Y5 &= G9 \times 1/2 + G10 \times 1/2 \\ Z5 &= B10 \times 7/8 + B11 \times 1/8 \end{aligned}$$

(f)

$$\begin{aligned} X360 &= R718 \times 1/8 + R719 \times 7/8 \\ Y360 &= G719 \times 1/2 + G720 \times 1/2 \\ Z360 &= B720 \times 8/8 \end{aligned}$$

【 6 3 1 】

R1 G1 B1	R2 G2 B2	R3 G3 B3	R4 G4 B4	R5 G5 B5	R6 G6 B6	R7 G7 B7	R8 G8 B8	R9 G9 B9	R10 G10 B10	R11 G11 B11	R12 G12 B12	-----	R718 G718 B718	R719 G719 B719	R720 G720 B720		
Xa1	Ya1	Za1	Xa2	Ya2	Za2	Xa3	Ya3	Za3	-----							Ya160	Za160
Zb1	Xb2	Yb2	Zb2	Xb3	Yb3	Zb3	-----									Zb160	Xb161

【 6 3 2 】

(1)	(2)
(a) $Xa1=R1 \times 3/4 + R2 \times 1/4$ $Ya1=G2 \times 1/4 + G3 \times 3/4$	(a) $Zb1=B2 \times 1/1$ $Xb2=R3 \times 1/2 + R4 \times 1/2$
(b) $Za1=B4 \times 3/4 + B5 \times 1/4$ $Xa2=R5 \times 1/4 + R6 \times 3/4$	(b) $Yb2=G5 \times 1/1$ $Zb2=B6 \times 1/2 + B7 \times 1/2$
(c) $Ya2=G7 \times 3/4 + G8 \times 1/4$ $Za2=B8 \times 1/4 + B8 \times 3/4$	(c) $Xb3=R8 \times 1/1$ $Yb3=G9 \times 1/2 + G10 \times 1/2$
(d) $Xa3=R10 \times 3/4 + R11 \times 1/4$ $Ya3=G11 \times 1/4 + G12 \times 3/4$	(d) $Zb3=B11 \times 1/1$ $Xb4=R12 \times 1/2 + R13 \times 1/2$
(e) $Za3=B13 \times 3/4 + B14 \times 1/4$ $Xa4=R14 \times 1/4 + R15 \times 3/4$	(e) $Yb4=G14 \times 1/1$ $Zb4=B15 \times 1/2 + B16 \times 1/2$
(f) $Ya4=G16 \times 3/4 + G17 \times 1/4$ $Za4=B17 \times 1/4 + B18 \times 3/4$	(f) $Xb5=R17 \times 1/1$ $Yb5=G18 \times 1/2 + G19 \times 1/2$
(g) $Za159=B718 \times 3/4 + B719 \times 1/4$ $Xa160=R719 \times 1/4 + R720 \times 3/4$	(g) $Yb160=R716 \times 1/1$ $Zb160=G717 \times 1/2 + B718 \times 1/2$
(h) $Ya160=G719 \times 3/4 + G720 \times 1/4$ $Za160=B719 \times 1/4 + B720 \times 3/4$	(h) $Xb161=R719 \times 1/1$

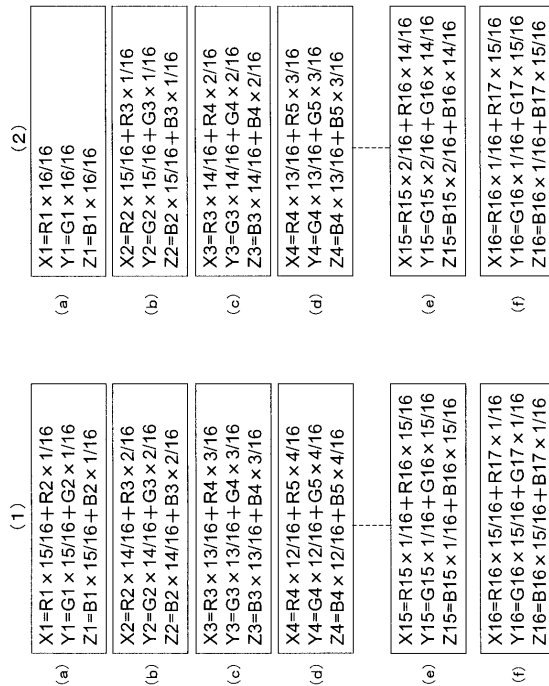
【 6 3 3 】

R1 G1 B1	R2 G2 B2	R3 G3 B3	R4 G4 B4	R5 G5 B5	R6 G6 B6	R7 G7 B7	R8 G8 B8	R9 G9 B9	R10 G10 B10	R11 G11 B11	R12 G12 B12	-----	R718 G718 B718	R719 G719 B719	R720 G720 B720
Xa1	Ya1	Za1	Xa2	Ya2	Za2	Xa3	Ya3	Za3					Xa180	Ya180	Za180
Zb1	Xb2	Yb2	Zb2	Xb3	Yb3	Zb3	Xb4					Zb180	Xb181		

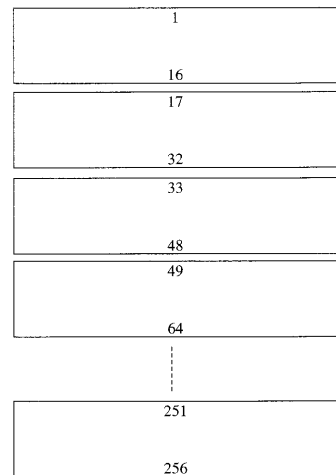
【 6 3 4 】

(1)	(2)
(a) $Xa1=R1 \times 7/8 + R2 \times 1/8$ $Ya1=G2 \times 1/2 + G3 \times 1/2$ $Za1=B3 \times 1/8 + B4 \times 7/8$	(a) $Zb1=B1 \times 1/8 + B2 \times 7/8$
(b) $Xa2=R5 \times 7/8 + R6 \times 1/8$ $Ya2=G6 \times 1/2 + G7 \times 1/2$ $Za2=B7 \times 1/8 + B8 \times 7/8$	(b) $Xb2=R3 \times 7/8 + R4 \times 1/8$ $Yb2=G4 \times 1/2 + G5 \times 1/2$ $Zb2=B5 \times 1/8 + B6 \times 7/8$
(c) $Xa3=R9 \times 7/8 + R10 \times 1/8$ $Ya3=G10 \times 1/2 + G11 \times 1/2$ $Za3=B11 \times 1/8 + B12 \times 7/8$	(c) $Xb3=R7 \times 7/8 + R8 \times 1/8$ $Yb3=G8 \times 1/2 + G9 \times 1/2$ $Zb3=B9 \times 1/8 + B10 \times 7/8$
(d) $Xa4=R13 \times 7/8 + R14 \times 1/8$ $Ya4=G14 \times 1/2 + G15 \times 1/2$ $Za4=B15 \times 1/8 + B16 \times 7/8$	(d) $Xb4=R11 \times 7/8 + R12 \times 1/8$ $Yb4=G12 \times 1/2 + G13 \times 1/2$ $Zb4=B13 \times 1/8 + B14 \times 7/8$
(e) $Xa180=R717 \times 7/8 + R718 \times 1/8$ $Ya180=G718 \times 1/2 + G719 \times 1/2$ $Za180=B719 \times 1/8 + B720 \times 7/8$	(e) $Xb180=R715 \times 7/8 + R716 \times 1/8$ $Yb180=G716 \times 1/2 + G717 \times 1/2$ $Zb180=B717 \times 1/8 + B718 \times 7/8$
	(f) $Xb181=R719 \times 7/8 + R720 \times 1/8$

【図 6 3 5】



【図 6 3 6】



【手続補正書】

【提出日】平成20年12月19日(2008.12.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の色の画素がマトリックス状に配置された表示画面を有する EL 表示装置であって

前記複数の色の第 1 の色の前記画素に対する第 1 のガンマ変換回路と、

前記複数の色の第 2 の色の前記画素に対する第 2 のガンマ変換回路と、を具備し、

前記第 1 のガンマ変換回路および前記第 2 のガンマ変換回路の最低階調での出力電圧が一致する、または前記第 1 のガンマ変換回路および前記第 2 のガンマ変換回路の最高階調での出力電圧が一致する、EL 表示装置。

【請求項 2】

複数の色の画素がマトリックス状に配置された表示画面を有する EL 表示装置であって

前記表示画面は、第 1 の色の前記画素、第 2 の色の前記画素がマトリックス状に配置され、

前記第 1 の色に対応する第 1 のガンマ発生回路と、

前記第 2 の色に対応する第 2 のガンマ発生回路と、を具備し、

前記第 1 のガンマ発生回路の最低階調での出力電圧と、前記第 2 のガンマ発生回路の最低階調での出力電圧とが一致し、

前記第 1 のガンマ発生回路の最大階調の出力電圧と、前記第 2 のガンマ発生回路の最大階調での出力電圧とを独立に可変できる、E L 表示装置。

【請求項 3】

複数の色の画素がマトリックス状に配置された表示画面を有する E L 表示装置であって、

前記表示画面は、第 1 の色の前記画素、第 2 の色の前記画素がマトリックス状に配置され、

前記第 1 の色に対応する第 1 のガンマ発生回路と、

前記第 2 の色に対応する第 2 のガンマ発生回路と、を具備し、

前記第 1 のガンマ発生回路の最低階調での出力電圧と、前記第 2 のガンマ発生回路の最低階調での出力電圧とが一致し、

前記第 1 のガンマ発生回路の最大階調の出力電圧と、前記第 2 のガンマ発生回路の最大階調での出力電圧とを独立に可変でき、

前記第 1 のガンマ発生回路の前記最低階調の次の階調の出力電圧と、前記第 2 のガンマ発生回路の前記最低階調の次の階調の出力電圧とを独立に可変できる、E L 表示装置。

【請求項 4】

前記第 1 及び第 2 のガンマ発生回路の前記最低階調の次の階調の出力電圧と、前記第 2 のガンマ発生回路の前記最低階調の次の階調の出力電圧とを独立に可変でき、

前記第 1 及び第 2 のガンマ発生回路の前記最低階調、並びに前記第 1 の色及び第 2 の色は、共通に可変できるように構成されている、請求項 1 ～ 3 のいずれかに記載の E L 表示装置。

【請求項 5】

前記第 1 の色の前記画素の開口率と前記第 2 の色の前記画素の開口率とが異なっている、請求項 1 ～ 3 のいずれかに記載の E L 表示装置。

【請求項 6】

電子ボリウムにより、前記第 1 及び第 2 のガンマ発生回路を制御する、請求項 1 ～ 3 のいずれかに記載の E L 表示装置。

【請求項 7】

前記画素は、

E L 素子と、

前記 E L 素子に電流を供給する駆動用トランジスタと、

ソース信号線に印加された映像信号を前記駆動用トランジスタに供給する経路を発生させる第 1 のスイッチ用トランジスタと、

前記第 1 のスイッチ用トランジスタのゲート端子と前記駆動用トランジスタのゲート端子とに接続された第 1 のコンデンサとを有し、

ゲート信号線と前記第 1 のスイッチ用トランジスタのゲート端子とが接続され、

前記第 1 のスイッチ用トランジスタと前記駆動用トランジスタとは同一チャンネル極性のトランジスタである、請求項 1 ～ 3 のいずれかに記載の E L 表示装置。

【請求項 8】

パネル温度検出手段を更に具備し、

前記パネル温度検出手段の出力に基づいて、前記 E L 素子に供給するアノード電圧とカソード電圧のうち、少なくとも一方を可変する、請求項 7 に記載の E L 表示装置。

【請求項 9】

前記画素は、

E L 素子と、

前記 E L 素子に電流を供給する駆動用トランジスタと、

前記駆動用トランジスタのゲート端子と他の端子間を短絡させるスイッチ用トランジスタとを有し、

前記スイッチ用トランジスタは、デュアルゲート以上のマルチゲート構造である、請求項 1 ～ 3 のいずれかに記載の E L 表示装置。

【請求項 10】

前記 E L 表示装置に印加される映像信号を集計もしくはヒストグラム処理をし、または、前記 E L 表示装置に印加される映像信号の大きさから点灯率を求める演算あるいは処理回路と、

前記演算あるいは処理回路の出力結果に基づき、前記ガンマ発生回路を制御する制御回路とを更に備えた、請求項 1～3 のいずれかに記載の E L 表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、たとえば、有機または無機エレクトロルミネッセンス（E L）素子などを用いた E L 表示パネル（表示装置）などの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（I C など）および駆動方法などに関するものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

発光素子 15 は O L E D に限るものではなく、素子 15 に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機 E L 素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子 15 は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

第 1 の本発明は、

複数の色の画素がマトリックス状に配置された表示画面を有する E L 表示装置であって

、

前記複数の色の第 1 の色の前記画素に対する第 1 のガンマ変換回路と、

前記複数の色の第 2 の色の前記画素に対する第 2 のガンマ変換回路と、を具備し、

前記第 1 のガンマ変換回路および前記第 2 のガンマ変換回路の最低階調での出力電圧が一致する、または前記第 1 のガンマ変換回路および前記第 2 のガンマ変換回路の最高階調での出力電圧が一致する、E L 表示装置である。

又、第 2 の本発明は、複数の色の画素がマトリックス状に配置された表示画面を有する E L 表示装置であって、

前記表示画面は、第 1 の色の前記画素、第 2 の色の前記画素がマトリックス状に配置され、

前記第 1 の色に対応する第 1 のガンマ発生回路と、

前記第 2 の色に対応する第 2 のガンマ発生回路と、を具備し、

前記第 1 のガンマ発生回路の最低階調での出力電圧と、前記第 2 のガンマ発生回路の最低階調での出力電圧とが一致し、

前記第 1 のガンマ発生回路の最大階調の出力電圧と、前記第 2 のガンマ発生回路の最大階調での出力電圧とを独立に可変できる、E L 表示装置である。

又、第 3 の本発明は、複数の色の画素がマトリックス状に配置された表示画面を有する E L 表示装置であって、

前記表示画面は、第 1 の色の前記画素、第 2 の色の前記画素がマトリックス状に配置され、

前記第 1 の色に対応する第 1 のガンマ発生回路と、

前記第 2 の色に対応する第 2 のガンマ発生回路と、を具備し、

前記第 1 のガンマ発生回路の最低階調での出力電圧と、前記第 2 のガンマ発生回路の最低階調での出力電圧とが一致し、

前記第 1 のガンマ発生回路の最大階調の出力電圧と、前記第 2 のガンマ発生回路の最大階調での出力電圧とを独立に可変でき、

前記第 1 のガンマ発生回路の前記最低階調の次の階調の出力電圧と、前記第 2 のガンマ発生回路の前記最低階調の次の階調の出力電圧とを独立に可変できる、E L 表示装置である。

又、第 4 の本発明は、前記第 1 及び第 2 のガンマ発生回路の前記最低階調の次の階調の出力電圧と、前記第 2 のガンマ発生回路の前記最低階調の次の階調の出力電圧とを独立に可変でき、

前記第 1 及び第 2 のガンマ発生回路の前記最低階調、並びに前記第 1 の色及び第 2 の色は、共通に可変できるように構成されている、第 1 から第 3 のいずれかの本発明の E L 表示装置である。

又、第 5 の本発明は、前記第 1 の色の前記画素の開口率と前記第 2 の色の前記画素の開口率とが異なっている、第 1 から第 3 のいずれかの本発明の E L 表示装置である。

又、第 6 の本発明は、電子ボリウムにより、前記第 1 及び第 2 のガンマ発生回路を制御する、第 1 から第 3 のいずれかの本発明の E L 表示装置である。

又、第 7 の本発明は、前記画素は、

E L 素子と、

前記 E L 素子に電流を供給する駆動用トランジスタと、

ソース信号線に印加された映像信号を前記駆動用トランジスタに供給する経路を発生させる第 1 のスイッチ用トランジスタと、

前記第 1 のスイッチ用トランジスタのゲート端子と前記駆動用トランジスタのゲート端子とに接続された第 1 のコンデンサとを有し、

ゲート信号線と前記第 1 のスイッチ用トランジスタのゲート端子とが接続され、

前記第 1 のスイッチ用トランジスタと前記駆動用トランジスタとは同一チャンネル極性のトランジスタである、第 1 から第 3 のいずれかの本発明の E L 表示装置である。

又、第 8 の本発明は、パネル温度検出手段を更に具備し、

前記パネル温度検出手段の出力に基づいて、前記 E L 素子に供給するアノード電圧とカソード電圧のうち、少なくとも一方を可変する、第 7 の本発明の E L 表示装置である。

又、第 9 の本発明は、前記画素は、

E L 素子と、

前記 E L 素子に電流を供給する駆動用トランジスタと、

前記駆動用トランジスタのゲート端子と他の端子間を短絡させるスイッチ用トランジスタとを有し、

前記スイッチ用トランジスタは、デュアルゲート以上のマルチゲート構造である、第 1 から第 3 のいずれかの本発明の E L 表示装置である。

又、第 10 の本発明は、前記 E L 表示装置に印加される映像信号を集計もしくはヒストグラム処理をし、または、前記 E L 表示装置に印加される映像信号の大きさから点灯率を求める演算あるいは処理回路と、

前記演算あるいは処理回路の出力結果に基づき、前記ガンマ発生回路を制御する制御回路とを更に備えた、第 1 から第 3 のいずれかの本発明の E L 表示装置である。

本発明においては、たとえば、表示パネル（表示装置）のドライバ回路は、主として単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させるこ

とにより出力電流を出力するものである。また、本発明においては、たとえば、表示装置などは、d u t y比制御、基準電流制御などを実施する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明においては、たとえば、ソースドライバ回路は、基準電流の発生回路を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、EL素子15に流れる電流バラツキが発生しないように駆動する。したがって、トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能となる。また、d u t y比制御などによりダイナミックレンジが広い画像表示を実現できる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明においては、たとえば、表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたPr Mn O₃膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

図591のドーピング工程では、ドーピングヘッド5911の走査方向に特性分布が発生する（ドーピングヘッドの垂直方向に特性分布が発生する）。図592のレーザーアニール工程では、レーザーヘッド5912の走査方向の垂直方向に特性分布が発生する（レーザーヘッドの長手方向に特性分布が発生する）。レーザーアニールは、線状のレーザー光が基板30に照射され、線状にレーザーアニールされるからである。つまり、線状にレーザーショットされ、レーザー照射位置を順次ずらせることにより基板30全体がレーザーアニールされる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】 0073

【補正方法】 変更

【補正の内容】

【0073】

なお、以上の製造方法あるいは構成は、図2、図9、図10、図13、図31、図11、図602、図603、図604、図607(a)(b)(c)などで図示した他の画素構成にも適用できることは言うまでもない。

【手続補正10】

【補正対象書類名】 明細書

【補正対象項目名】 0074

【補正方法】 変更

【補正の内容】

【0074】

本発明のソースドライバ回路(IC)14を構成する単位トランジスタ154は一定の面積が必要である。単位トランジスタ154に一定のトランジスタサイズが必要な理由の1つは、ウェハ5891にモビリティの特性分布があるからである。図589はウェハ5891の特性分布の状態を概念的に図示している。一般的にウェハの特性分布5892は帯状(すじ状)になっている。帯状の部分の特性が近似している。

【手続補正11】

【補正対象書類名】 明細書

【補正対象項目名】 0312

【補正方法】 変更

【補正の内容】

【0312】

ゲートドライバ回路(IC)12a1はゲート信号線17a1を制御し、ゲートドライバ回路(IC)12a2はゲート信号線17a2を制御する。ゲート信号線17a1はトランジスタ11bのオンオフ状態を制御する。制御する電圧はオフ電圧 V_{gh1a} 、オン電圧 V_{gl1a} とする。ゲート信号線17a2はトランジスタ11cのオンオフ状態を制御する。制御する電圧はオン電圧 V_{gh1b} 、オフ電圧 V_{gl1b} とする。

【手続補正12】

【補正対象書類名】 明細書

【補正対象項目名】 0313

【補正方法】 変更

【補正の内容】

【0313】

ゲート信号線17a1の電圧振幅 $|V_{gh1a} - V_{gl1a}|$ を小さくすることにより、トランジスタ11bの寄生容量によるコンデンサ19への突き抜け電圧が減少する。ゲート信号線17a2の電圧振幅 $|V_{gh1b} - V_{gl1b}|$ を大きくすることにより、トランジスタ11cが完全にオンオフし、良好なスイッチとして動作する。 $|V_{gh1a} - V_{gl1a}|$ と $|V_{gh1b} - V_{gl1b}|$ の関係は、 $|V_{gh1a} - V_{gl1a}| < |V_{gh1b} - V_{gl1b}|$ の関係が維持されるように設定あるいは構成する。

【手続補正13】

【補正対象書類名】 明細書

【補正対象項目名】 0326

【補正方法】 変更

【補正の内容】

【0326】

図31では、駆動用トランジスタ11a1を1つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ11a1は、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比の複数のトランジスタから構成してもよい。また

、プログラミング用トランジスタ11a_nの駆動用トランジスタ11a₁と、同一チャンネル幅W、同一チャンネル長Lあるいは同一WL比にすることが好ましい。同一WLあるいはWL比のトランジスタを複数形成する方が、各トランジスタ11aの出力バラツキが小さくなり、また画素16間のばらつきも少なくなり好ましい。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0328

【補正方法】変更

【補正の内容】

【0328】

$I_w = n \cdot I_e$ (nは1以上の自然数)

表示パネルの最大白ラスタでの表示輝度B (nt)、表示パネルの画素面積S (平方ミリメートル) (画素面積は、RGBを1単位として取り扱う。)したがって、各R、G、Bの絵素が縦0.1mm、横0.05mmであれば、 $(S = 0.1 \times (0.05 \times 3))$ (平方ミリメートル)である)、表示パネルの1画素行選択期間(1水平走査(1H)期間)をH (ミリ秒)としたとき、以下の条件を満足するようにする。なお、表示輝度Bは、パネル仕様に規定する表示できる最大輝度である。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0332

【補正方法】変更

【補正の内容】

【0332】

ゲート信号線17aが選択されると、駆動用トランジスタ11a₁およびプログラム用トランジスタ11a_nの両方がオンする。駆動用トランジスタ11a₁が流す電流 I_{w1} と、プログラム用トランジスタ11a_nが流す電流 I_{w2} とは、略一致させることが好ましい。最もこのましくは、プログラム用トランジスタ11a_nと駆動用トランジスタ11a₁のサイズ(W、L)を一致させることである。つまり、 $I_{w1} = I_{w2}$ 、 $I_w = 2 I_e$ の関係を満足させることが好ましい。もちろん、 $I_{w1} = I_{w2}$ の関係を満足させるには、トランジスタサイズ(W、L)を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのWLを調整することにより容易に実現できる。略 $I_{w2} / I_{w1} = 1$ であれば、トランジスタ11b₁とトランジスタ11b₂のサイズは略一致して構成あるいは形成することができる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0333

【補正方法】変更

【補正の内容】

【0333】

なお、 I_{w2} / I_{w1} は、1以上10以下の関係を満足させておくことが好ましい。さらに好ましくは、1.5以上5以下の関係を満足させておくことが好ましい。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0341

【補正方法】変更

【補正の内容】

【0341】

図32は図31の画素構成の動作の説明図である。図32(a)は電流プログラム状態であり、図32(b)はEL素子15に電流を供給している状態である。なお、図32(b)の状態、トランジスタ11dをオンオフさせて間欠表示を実施してもよいことは言

うまでもない。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0346

【補正方法】変更

【補正の内容】

【0346】

この課題に対しては、図34のように構成することが好ましい。図34では、ゲート信号線17a1とトランジスタ11b1および11b2のゲート端子が接続されている。また、ゲート信号線17a2にトランジスタ11cのゲート端子が接続されている。したがって、ゲート信号線17a1にオンオフ電圧を印加することにより、トランジスタ11b1と11b2がオンオフ制御される。また、ゲート信号線17a2にオンオフ電圧を印加することによりトランジスタ11cがオンオフ制御される。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0390

【補正方法】変更

【補正の内容】

【0390】

図578の実施例は、プログラム用トランジスタ11anの個数などをRGBで変化させた実施例であったが、本発明はこれに限定されるものではない。たとえば、図579に図示するように、駆動用トランジスタ11aのサイズを変化させてもよい。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】0395

【補正方法】変更

【補正の内容】

【0395】

図581は駆動用トランジスタ11a1のドレイン端子と、プログラム用トランジスタ11anのドレイン端子とを接続するトランジスタ11eを形成した画素構成図である。しかし、図581の画素構成では、画素16を構成するトランジスタ数が7個と多いため、画素開口率が低下する。

【手続補正 21】

【補正対象書類名】明細書

【補正対象項目名】0506

【補正方法】変更

【補正の内容】

【0506】

図48はトランジスタ群431bのトランジスタ158bの配置構成である。1つのトランジスタ群431bには、トランジスタ群431cの単位トランジスタ154と同一数の63個のトランジスタ158bが形成されている。

【手続補正 22】

【補正対象書類名】明細書

【補正対象項目名】0518

【補正方法】変更

【補正の内容】

【0518】

図555の構成を実現するためには、ICチップ14aのゲート配線153の両端に位置するトランジスタ158bの一方をオープン状態（トランジスタ158bに電流が流れない状態）にする必要がある。つまり、図556のように構成する必要がある。図556

において、ソースドライバ IC 14 a のトランジスタ 158 b 1 はゲート端子以外がオープンにされている。したがって、ゲート配線 153 a からトランジスタ 158 b 1 に流れ込む電流はない。また、ソースドライバ IC 14 b のトランジスタ 158 b 2 はゲート端子以外がオープンにされている。したがって、ゲート配線 153 b からトランジスタ 158 b 2 に流れ込む電流はない。

【手続補正 23】

【補正対象書類名】明細書

【補正対象項目名】0534

【補正方法】変更

【補正の内容】

【0534】

$S_c \times n / S_b$ が大きくなるにしたがって、ゲート配線 153 の揺れが大きくなる。 $S_c \times n / S_b$ が大きくなることは、出力端子数 n を一定とすると、トランジスタ群 431 c の単位トランジスタ 154 総面積が、トランジスタ群 431 b のトランジスタ 158 b 総面積に対して大きくなることを示す。

【手続補正 24】

【補正対象書類名】明細書

【補正対象項目名】0581

【補正方法】変更

【補正の内容】

【0581】

本発明は、トランジスタ群 431 c を構成する単位トランジスタ 154 のゲート配線 153 を共通にすることには限定されない。たとえば、図 56 (a) のように構成してもよい。図 56 (a) において、トランジスタ 431 b 1 とカレントミラー回路を構成する単位トランジスタ 154 と、トランジスタ 158 b 2 とカレントミラー回路を構成する単位トランジスタ 154 とが配置されている。

【手続補正 25】

【補正対象書類名】明細書

【補正対象項目名】0582

【補正方法】変更

【補正の内容】

【0582】

トランジスタ 431 b 1 はゲート配線 153 a で接続されている。トランジスタ 158 b 2 はゲート配線 153 b で接続されている。図 56 (a) の一番上の 1 個の単位トランジスタ 154 は LSB (0 ビット目) であり、2 段目の 2 個の単位トランジスタ 154 は 1 ビット目、3 段目の 4 個の単位トランジスタ 154 は 2 ビット目である。また、4 段目の組の 8 個の単位トランジスタ 154 は 3 ビット目である。

【手続補正 26】

【補正対象書類名】明細書

【補正対象項目名】0594

【補正方法】変更

【補正の内容】

【0594】

図 58 は、高階調側の単位トランジスタ 154 a (D_2 、 D_3 、 $D_4 \dots$) は 2 の乗数個を配置している。一方、低階調側の単位トランジスタ 154 b (D_0 、 D_1) も 2 の乗数個を配置している。なお、以上の 2 の乗数個であるのは、単位トランジスタで構成されている場合である。単位トランジスタがサブトランジスタで構成されている場合は、作製するサブトランジスタの個数は整数倍となる。

【手続補正 27】

【補正対象書類名】明細書

【補正対象項目名】 0 6 0 4

【補正方法】 変更

【補正の内容】

【 0 6 0 4 】

Nチャンネルトランジスタの総面積 S_c と Pチャンネルトランジスタの総面積 S_c が同一の時、Pチャンネルトランジスタの出力バラツキが、Nチャンネルトランジスタの出力バラツキの 1.4 倍になる。

【手続補正 2 8】

【補正対象書類名】 明細書

【補正対象項目名】 0 6 0 9

【補正方法】 変更

【補正の内容】

【 0 6 0 9 】

各出力段のトランジスタ群 4 3 1 c の出力バラツキを調整するためには、図 1 6 2 のように構成することも有効である。図 1 6 2 では各出力トランジスタ群 4 3 1 c (トランジスタ群に限定するものではない。電流出力回路であればいずれの構成でもよい) とゲート配線 1 5 3 との間に、高抵抗 1 6 2 3 を形成または配置している。高抵抗であるため、出力段からの出力電流が微小であっても、抵抗 1 6 2 3 で電圧降下する。電圧降下により出力電流を変化させることができる。

【手続補正 2 9】

【補正対象書類名】 明細書

【補正対象項目名】 0 6 1 2

【補正方法】 変更

【補正の内容】

【 0 6 1 2 】

図 1 6 3 は、トランジスタ 1 5 7 b と複数のトランジスタ 1 5 8 a とカレントミラー回路を構成し、トランジスタ 1 5 8 a とトランジスタ 1 5 8 b とをカレントミラー回路を構成している。また、トランジスタ 1 5 8 b とトランジスタ群 4 3 1 c とともカレントミラー回路を構成している。

【手続補正 3 0】

【補正対象書類名】 明細書

【補正対象項目名】 0 6 1 6

【補正方法】 変更

【補正の内容】

【 0 6 1 6 】

ICチップの左右の出力電流の傾きを調整する(出力端子 1 5 5 a ~ 1 5 5 n を同一にする。つまり、出力バラツキがないようにする)ためには、図 1 6 5 の構成も有効である。トランジスタ 1 5 8 b の電流 I_{c1} 経路に抵抗 R_a 、トランジスタ 1 5 8 b の電流 I_{c2} 経路に抵抗 R_b を配置している。抵抗 R_a 、 R_b は内蔵、外づけのいずれでもよい。 R_a または R_b 、もしくは R_a と R_b の両方をトリミングすることにより、ゲート配線 1 5 3 に流れる電流 I_d が変化する。したがって、ゲート配線 1 5 3 の電圧降下により、トランジスタ群 4 3 1 の単位トランジスタ 1 5 4 のゲート信号線の電位が変化する。したがって、トランジスタ群 4 3 1 a ~ 4 3 1 n の出力電流の傾斜分布を補正することができる。

【手続補正 3 1】

【補正対象書類名】 明細書

【補正対象項目名】 0 6 2 6

【補正方法】 変更

【補正の内容】

【 0 6 2 6 】

以上の実施例では、トランジスタ (1 5 8、1 5 4 など) をトリミングあるいは調整す

ることにより出力電流などを変化あるいは変更もしくは調整するとした。調整などするトランジスタは具体的には図169に図示するように構成することが好ましい。図169は調整などするトランジスタ1694の構成を概念的に図示したものである。トランジスタ1694はゲート端子1692、ソース端子1691、ドレイン端子1693で構成される。ドレイン端子1693はトリミングしやすいように、複数に分割されている（ドレイン端子1693a、1693b、1693c・・・）。図169（a）のA線でカットすることにより、ドレイン端子1693eはカットされ、トランジスタ1694の出力電流を減少させることができる。

【手続補正32】

【補正対象書類名】明細書

【補正対象項目名】0628

【補正方法】変更

【補正の内容】

【0628】

図170は図169の変形例である。図170（a）はゲート端子1692を1692aと1692bに分割した例である。また、図170（b）はドレイン端子1693とソース端子1691にトリミング箇所（D線、E線）を設けた実施例である。

【手続補正33】

【補正対象書類名】明細書

【補正対象項目名】0643

【補正方法】変更

【補正の内容】

【0643】

図172は抵抗R1を必要に応じて順次トリミングするとしたが、本発明はこれに限定するものではない。たとえば、図173に図示するようにトランジスタ群431cを必要に応じてトリミングしてもよいことはいうまでもない。トリミングの必要度の判断は、端子155を検査用の端子1734などに接触させ、選択スイッチ1731、共通線1732を介して電流計（電流測定手段）1733に接続する。選択スイッチ1731は順次オンし、トランジスタ群431cからの電流を電流計1733に印加する。トリミング手段1632は電流計1733の測定電流値に基づき、単位トランジスタ、抵抗などをトリミングして所定値に調整する。

【手続補正34】

【補正対象書類名】明細書

【補正対象項目名】0678

【補正方法】変更

【補正の内容】

【0678】

図346では、IDATA（基準電流を設定するデータ）により電子ポリウム501の内蔵スイッチが指定され、Vx電圧（基準電流を設定する電圧）が電子ポリウム501から出力される。Vx電圧がオペアンプ502（赤用502R、緑用502G、青用502B）の正極端子に印加される。したがって、赤の基準電流 $I_{cr} = V_x / R_1$ 、緑の基準電流 $I_{cr} = V_x / R_2$ 、青の基準電流 $I_{cr} = V_x / R_3$ となる。これらの基準電流でホワイトバランスをとる。また、これらの基準電流がRGBのプログラム電流の大きさが決定される（図60、図61などを参照のこと）。なお、基準電流の設定は、1フレーム（1フィールド）ごとなど比較的長周期で設定するだけでよい。変化する画面（画像）に対応して設定すれば十分だからである。

【手続補正35】

【補正対象書類名】明細書

【補正対象項目名】0680

【補正方法】変更

【補正の内容】

【0680】

図346の構成では、電子ポリウム501の可変により、R、G、Bの基準電流の大きさは、同時に変化する（RGBの基準電流の比率は変化しない）。図526に図示するように構成すれば、Rの基準電流 I_{cR} 、Gの基準電流 I_{cG} 、Bの基準電流 I_{cB} の大きさを可変することができる。

【手続補正36】

【補正対象書類名】明細書

【補正対象項目名】0681

【補正方法】変更

【補正の内容】

【0681】

Rの基準電流 I_{cR} はスイッチ $S_{r1} \sim S_{r3}$ のクローズの個数で変化させることができる。スイッチ $S_{r1} \sim S_{r3}$ のうち、どのスイッチをクローズまたはオープンさせるかはソースドライバ回路（IC）14の外部端子 S_a （図示せず）2ビットで選択できる。Rの S_a 端子に入力されるデータが0の時は、すべてのスイッチ $S_{r1} \sim S_{r3}$ がオープン状態である。したがって、基準電流 I_{cR} は0となり、端子431 cR からプログラム電流 I_w は出力されない。また、過電流 I_d も出力されない。Rの S_a 端子に入力されるデータが1の時は、1つのスイッチ S_{r1} がクローズ状態となり、スイッチ S_{r2} および S_{r3} がオープン状態である。したがって、1倍の基準電流 I_{cR} が流れ、端子155から1倍のプログラム電流 I_w は出力される。また、ソースドライバ回路（IC）14の制御状態に応じて1倍の過電流 I_d が出力される。

【手続補正37】

【補正対象書類名】明細書

【補正対象項目名】0688

【補正方法】変更

【補正の内容】

【0688】

なお、図64、図65などにおいて、スイッチ回路642は設定データが0の時、すべてのスイッチがオープン状態になるように構成されている。したがって、スイッチ回路642の設定データが0で電圧入出力端子643の入力電圧が有効になるように制御される。逆に、スイッチ回路642の設定データが0以外の場合は、ラダー抵抗641からの電圧がオペアンプ502の正極端子に入力される。

【手続補正38】

【補正対象書類名】明細書

【補正対象項目名】0692

【補正方法】変更

【補正の内容】

【0692】

図377は、基準電流を調整あるいは制御する構成あるいは方式の他の実施例である。RGBの基準電流は抵抗 R_1 （ R_{1r} 、 R_{1g} 、 R_{1b} ）により決定される。また、抵抗 R_1 （ R_{1r} 、 R_{1g} 、 R_{1b} ）によりホワイトバランスが調整される。抵抗 R_1 （ R_{1r} 、 R_{1g} 、 R_{1b} ）は外づけ抵抗である。

【手続補正39】

【補正対象書類名】明細書

【補正対象項目名】0693

【補正方法】変更

【補正の内容】

【0693】

抵抗 R_s も外づけ抵抗である。抵抗 R_s を変化させることにより、ソースドライバIC

14の基準電流はホワイトバランスを維持したまま調整することができる。したがって、複数のソースドライバIC14をカスケード接続する時は、抵抗Rsを調整することにより容易に実現することができる。抵抗Rsはポリウムで構成してもよい。また、トリミングで抵抗調整を実施してもよい。また、電子ポリウムで調整あるいは可変してもよい。

【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0778

【補正方法】変更

【補正の内容】

【0778】

以上のことから、図299(b)に図示するように端子155に既知の抵抗値の抵抗Rを接続し、各端子155の電圧を測定することによりソースドライバIC14の特性を把握することができる。なお、端子155に電流計を直接に接続して基準電流Icを測定してもよい。

【手続補正41】

【補正対象書類名】明細書

【補正対象項目名】0825

【補正方法】変更

【補正の内容】

【0825】

プリチャージとは駆動用トランジスタ11aをオフ状態（立ち上がり電圧以下の状態）またはその近傍の電圧を印加するものである。もしくは、図135～139などのように複数のプリチャージ電圧（プログラム電圧と同義あるいは類似）を用いる（低階調プリチャージ駆動）場合は、駆動用トランジスタ11aのゲート端子（G）に電圧を印加し、印加した電圧に応じて駆動用トランジスタ11aの出力電流を変化（制御）させるものである。また、プリチャージ駆動は、画素トランジスタ11aに黒電圧を書き込むものである。また、画素トランジスタ11aをカットオフ状態にする駆動方法である。また、コンデンサ19の端子電圧をトランジスタ11aがオフする電圧を書き込むものである。

【手続補正42】

【補正対象書類名】明細書

【補正対象項目名】0882

【補正方法】変更

【補正の内容】

【0882】

図76、図77の構成を概略的に図示すれば、図78の構成となる。なお、図78、図79は1つの表示パネルに複数のソースドライバ回路（IC）14を積載した構成（ソースドライバICのカスケード接続）である。また、図78、図79のCSEL1、CSEL2はICチップのセレクト信号である。CSEL信号によりどちらにICチップを選択し、画像データおよびPC信号を入力するかを決定する。

【手続補正43】

【補正対象書類名】明細書

【補正対象項目名】0925

【補正方法】変更

【補正の内容】

【0925】

以上のように、本発明は、画像（映像）データなどにより、FRCあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはduty比あるいはパネル温度などもしくはこれらの組合せにより、その結果などに対応してプリチャージ電圧（電流）の大きさ、プリチャージ電圧などの印加の有無、プリチャージ電圧などのFRC制御、プリチャージ電圧などの変化状態、プリチャージ印加期間などを制御する駆動

方法である。なお、変化あるいは変更は図 98 で説明するようにゆっくりとあるいは遅延させて実施することが好ましい。

【手続補正 44】

【補正対象書類名】明細書

【補正対象項目名】0942

【補正方法】変更

【補正の内容】

【0942】

以上の事項は、本発明の他の実施例でも同様に適用することができることは言うまでもない。また、他の実施例と組み合わせることができることは言うまでもない。図 78 などでは、画素データは R、G、B データおよびプリチャージデータ (RPC、GPC、BPC) を平行にソースドライバ回路 (IC) 14 に印加するとしたが、本発明はこれに限定するものではない。以上のように平行に印加するように構成するとコントローラ 81 とソースドライバ IC 14 とを結ぶ配線数が多くなる。そのため、コントローラ 81 のピン数が増加しコントローラサイズが大きくなるという課題がある。

【手続補正 45】

【補正対象書類名】明細書

【補正対象項目名】0945

【補正方法】変更

【補正の内容】

【0945】

R、G、B、データとコントロールデータ (D) の識別は、DCTL の 4 ビットで行う。以上のように画像データ、コントロールデータをシリアル転送 (4 相) で行うことによりコントローラ 81 とソースドライバ回路 (IC) 14 を結線する配線数が減少し、コントロール IC を小型化できる。

【手続補正 46】

【補正対象書類名】明細書

【補正対象項目名】0954

【補正方法】変更

【補正の内容】

【0954】

図 190 に図示するように、ソースドライバ IC 14 に差動回路およびデコーダ回路を形成 (構成) し、パネルモジュール 1264 の外部からコネクタ 1801 を介して、差動信号 1901 を直接にソースドライバ IC 16 に入力できるように構成してもよいことは言うまでもない。

【手続補正 47】

【補正対象書類名】明細書

【補正対象項目名】0964

【補正方法】変更

【補正の内容】

【0964】

特に図 587 の特徴は、IC チップ 14 の下側に位置するアレイ基板 71 上に、複数の電源配線 (アノード配線、カソード配線) を配置または形成した点である。また、前記 IC チップ 14 の下側に配置した配線も用い、カソード電極 36 (図 3、図 4 を参照のこと) と複数箇所カソード配線 1811 とコンタクト (接続) をとった点である。また、画素 16 の画素アノード配線 5871 (図 1 などの Vdd を参照のこと) と分岐するアノード配線 1815 (画面 144 の上辺に配置又は形成されている) の両端に給電点を有する点である。両側に給電点を有することにより、画素 16 の Vdd に流れ込む電流が増加しても電圧降下の発生が少ない。

【手続補正 48】

【補正対象書類名】明細書

【補正対象項目名】0972

【補正方法】変更

【補正の内容】

【0972】

図282では、制御信号線（もしくは電圧信号線も）は、ソースドライバIC14の裏面あるいはソースドライバIC14の配線パターンを介してゲートドライバ回路12などに接続される。以上のように制御信号線、電力信号線はソースドライバIC14を介して供給することにより前記信号線などを接続するフレキシ基板2911（1802）の幅をソースドライバIC14のチップ幅±程度にすることができる。したがって、低コスト化が可能である（図291を参照のこと）。

【手続補正49】

【補正対象書類名】明細書

【補正対象項目名】0975

【補正方法】変更

【補正の内容】

【0975】

このようにIC14を配線2885でブリッジするのは、図208などの図示するようにアノード配線1815などがIC14の遮光膜として、IC14の裏面に形成されることが多いからである（図290も参照のこと）。アノード配線1815を遮光膜としてIC裏面に形成することにより、ICがホットコンダクタ現象により異常動作することがない。配線2885で制御信号線あるいは電力信号線を接続することにより、アレイ基板30上で配線を交差する必要がなく、交差部での短絡などが減少し、製造歩留まりを向上させることができる。

【手続補正50】

【補正対象書類名】明細書

【補正対象項目名】0999

【補正方法】変更

【補正の内容】

【0999】

図374において、端子2883から入力されたゲートドライバ回路（IC）12の制御信号は、ソースドライバ回路（IC）14の内部配線2885で2つに分岐されて、画面144の左右に配置されたゲートドライバ回路（IC）12に伝達される。内部配線2885は2つの端子2881b1間、2つの端子2881b2間に接続されている。端子2881b1からはゲートドライバ回路12bを制御する信号が出力され、端子2881b2からはゲートドライバ回路12aを制御する信号が出力される。

【手続補正51】

【補正対象書類名】明細書

【補正対象項目名】1004

【補正方法】変更

【補正の内容】

【1004】

以上の実施例は、1つのIC14をパネル1264に用いた実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図316に図示するように、複数のIC14（14a、14b）をパネル1264に用いてもよい。また、2つ（複数）のICチップ14をアレイ基板30に実装し、表示パネル1264を構成してもよい。IC14の両方の端には、電力信号線または制御信号線もしくは両方の信号線が出力されるように形成あるいは配置され、IC14の両方の端には、差動パラレル信号変換回路2921が形成あるいは配置されている。

【手続補正52】

【補正対象書類名】明細書

【補正対象項目名】1021

【補正方法】変更

【補正の内容】

【1021】

なお、図316ではICチップ14の両端に差動－パラレル信号変換回路2921を配置するように図示したが、これに限定するものではない。差動－パラレル信号変換回路2921は1つで、配線2855で制御信号線などをチップ14の両端に分岐できるように構成してもよい。重要なのは、ICチップ14の両端に電力信号線または制御信号線が出力できることであり、また、図316のようにアレイ基板30に複数のICチップ14を実装した場合、ICチップ14の両端の電力信号線または制御信号線の出力が出力されるか否かを切り換えることができることである（もしくは両方から信号などが出力されていても画像表示に影響がないようにすることができることである）。切り換えはGSEL信号によって行う。

【手続補正53】

【補正対象書類名】明細書

【補正対象項目名】1027

【補正方法】変更

【補正の内容】

【1027】

端子2881の入出力方向は、場合によっては入力方向であってもよい。たとえば、ゲートドライバ回路12からのスタートパルス（ST）の出力パルスが端子2821bに入力され、端子2883から出力されるように構成あるいは形成してもよい。この出力パルスはコントロールIC760に入力される。この出力パルスによりコントロールIC760は、ゲートドライバ回路12の動作を監視あるいは正常性を判断できる。

【手続補正54】

【補正対象書類名】明細書

【補正対象項目名】1034

【補正方法】変更

【補正の内容】

【1034】

図595の画素構成において、ゲート信号線17aの駆動波形を図596に示す。トランジスタ11b、11cはPチャンネルトランジスタであるから、Vgl電圧（L電圧）でトランジスタ11b、11cがオンする。また、Vgh電圧（H電圧）でトランジスタ11b、11cがオフする。図596に図示するように、各画素行が選択される期間は、1水平走査期間（1H）である。

【手続補正55】

【補正対象書類名】明細書

【補正対象項目名】1043

【補正方法】変更

【補正の内容】

【1043】

図598の画素構成において、ゲート信号線17aの駆動波形を図599に示す。トランジスタ11b、11cはNチャンネルトランジスタであるから、Vgl電圧（L電圧）でトランジスタ11b、11cがオフする。また、Vgh電圧（H電圧）でトランジスタ11b、11cがオンする。図599に図示するように、各画素行が選択される期間は、1水平走査期間（1H）である。

【手続補正56】

【補正対象書類名】明細書

【補正対象項目名】1072

【補正方法】変更

【補正の内容】

【1072】

図200はトランジスタ群431cを複数のブロック(431c1、431c2、431c3)に分割した実施例である。出力端子155からは複数のブロックのトランジスタ群431cからの電流が出力される。

【手続補正57】

【補正対象書類名】明細書

【補正対象項目名】1074

【補正方法】変更

【補正の内容】

【1074】

図200では、1つのトランジスタ群431cを3つのブロックに分割している。トランジスタ群431cのトランジスタブロック431c1には、トランジスタ158b1に印加される基準電流I1によりゲート配線153a電位が設定される。このゲート配線153aの電位によりトランジスタブロック431c1の単位トランジスタ154の出力電流が決定される。また、I1はI2よりも小さいとし、図201の低階調範囲(0~Ka)が該当するとする。

【手続補正58】

【補正対象書類名】明細書

【補正対象項目名】1084

【補正方法】変更

【補正の内容】

【1084】

図242では、端子155aのD5ビット目は、trb32a1、trb32a2、trb32c1、trb32c2から構成される。

【手続補正59】

【補正対象書類名】明細書

【補正対象項目名】1099

【補正方法】変更

【補正の内容】

【1099】

以上の実施例では、ソースドライバ回路(IC)14の出力バラツキについて記述したが、この技術的思想は、ゲートドライバ回路(IC)12についても適用できることは明らかである。ゲートドライバ回路(IC)12についてもオン電圧またはオフ電圧のバラツキが発生する。したがって、本発明のソースドライバ回路(IC)14で説明した事項をゲートドライバ回路(IC)12に適用することにより良好なゲートドライバ回路(IC)12を構成あるいは形成することができる。なお、いかに説明する事項に関してもゲートドライバ回路(IC)12に適用できることは言うまでもない。

【手続補正60】

【補正対象書類名】明細書

【補正対象項目名】1105

【補正方法】変更

【補正の内容】

【1105】

プログラム電流発生回路は、基準電流Icの大きさを基準として、映像(画像)データであるDATA(RDATA、GDATA、BDATA)の大きさに対応してプログラム電流Ipを発生させる。

【手続補正61】

【補正対象書類名】明細書

【補正対象項目名】 1 1 2 3

【補正方法】 変更

【補正の内容】

【1 1 2 3】

トランジスタ 2 3 1 1 は、出力回路 2 2 8 0 にサンプリングされたプログラム電流 I_p が保持され、ゲート信号線 2 2 8 4 にオフ電圧が印加される（出力回路 2 2 8 0 が電流信号線 2 2 8 3 から切り離される）前に動作する（オフする）。つまり、まず、ゲート信号線 2 2 8 2 にオフ電圧が印加されたのち、遅れてゲート信号線 2 2 8 4 にオフ電圧が印加される。したがって、トランジスタ 2 3 1 1 がオフした後、出力回路 2 2 8 0 が電流信号線 2 2 8 3 から切り離される。

【手続補正 6 2】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 3 8

【補正方法】 変更

【補正の内容】

【1 1 3 8】

以下、本発明の表示パネルの検査方法について説明をする。図 2 0 2 は、本発明の表示パネルの完成前の状態である。ソース信号線 1 8 の一端がショート配線 2 0 2 1 でショート状態にされている。検査後、ショートしている箇所は A A ' 線で切断して完成する。ショート配線 2 0 2 1 にプローブを置き検査電圧を印加することより全ソース信号線 1 8 に検査電圧を印加することができる。

【手続補正 6 3】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 4 3

【補正方法】 変更

【補正の内容】

【1 1 4 3】

図 2 0 3 はショートチップ 2 0 3 2 を用いるものであるが、導電性の液体などをソース信号線端子 2 0 3 4 に滴下してもよい。滴下した液体などとアノード端子配線 2 0 3 1 間に直流あるいは交流の電圧（電流）を印加する。電流プログラム方式では、印加する電流が μA 程度と微小電流である。したがって、導電性の液などが高抵抗であっても検査には十分である。導電性のある液体あるいはゲルとしては水酸化ナトリウム、塩酸、硝酸、塩化ナトリウム溶液、銀ペースト、銅ペーストなどが例示される。

【手続補正 6 4】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 4 7

【補正方法】 変更

【補正の内容】

【1 1 4 7】

説明を容易にするため、アノード電圧 V_{dd} を 6 (V) とし、駆動用トランジスタ 1 1 a は 5 (V) 以下にすることにより、EL 素子 1 5 を十分に点灯させる電流を供給できるものとする。また、全ゲート信号線 1 7 には外部から電圧が印加されているものとする。以上のように、本発明の検査方法では、画素 1 6 の駆動用トランジスタ 1 1 a が P チャンネルの時、駆動用トランジスタ 1 1 a の立ち上がり電圧以下の電圧をソース信号線 1 8 に印加できるように構成する。この立ち上がり電圧は説明を容易にするために 5 (V) としている。また、ソース信号線に印加する電圧は、アノード電圧 V_{dd} からアノード電圧 $V_{dd} - 8$ (V) であり、好ましくは、アノード電圧 V_{dd} からアノード $- 6$ (V) の範囲であるとして説明をする。

【手続補正 6 5】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 4 9

【補正方法】 変更

【補正の内容】

【1 1 4 9】

検査方法は、まず、すべてのゲート信号線 1 7 b にオフ電圧 V_{g_h} 電圧を印加した状態で、ゲート信号線 1 7 a をオフ電圧 (V_{g_h}) からオン電圧 (V_{g_l}) に変化させることによりソース信号線 1 8 の電位が画素 1 6 に書き込まれる。ソース信号線 1 8 の電位が駆動用トランジスタ 1 1 a の立ち上がり電圧以下 (5 (V) 以下) であれば、駆動用トランジスタ 1 1 a に電流が流れるようにプログラムが行われる。

【手続補正 6 6】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 5 0

【補正方法】 変更

【補正の内容】

【1 1 5 0】

次に、すべてのゲート信号線 1 7 b にオン電圧 V_{g_l} 電圧を印加し、同時にまたはそれよりも早く、ゲート信号線 1 7 a をオン電圧 (V_{g_l}) からオフ電圧 (V_{g_h}) に変化させる。すると、駆動用トランジスタ 1 1 a などが正常であれば、駆動用トランジスタ 1 1 a から E L 素子 1 5 に電流が供給され、E L 素子 1 5 が点灯する。

【手続補正 6 7】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 5 5

【補正方法】 変更

【補正の内容】

【1 1 5 5】

検査方法は、まず、すべてのゲート信号線 1 7 b にオフ電圧 V_{g_h} 電圧を印加した状態で、ゲート信号線 1 7 a をオフ電圧 (V_{g_h}) からオン電圧 (V_{g_l}) に変化させることによりソース信号線 1 8 の電位が画素 1 6 に書き込まれる。ソース信号線 1 8 の電位が駆動用トランジスタ 1 1 a の立ち上がり電圧以下 (5 (V) 以下) であれば、駆動用トランジスタ 1 1 a に電流が流れるようにプログラムが行われる。

【手続補正 6 8】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 5 6

【補正方法】 変更

【補正の内容】

【1 1 5 6】

次に、すべてのゲート信号線 1 7 b にオン電圧 V_{g_l} 電圧を印加し、同時にまたはそれよりも早く、ゲート信号線 1 7 a をオン電圧 (V_{g_l}) からオフ電圧 (V_{g_h}) に変化させる。すると、駆動用トランジスタ 1 1 a などが正常であれば、駆動用トランジスタ 1 1 a から E L 素子 1 5 に電流 I_t が供給され、E L 素子 1 5 が点灯する。また、E L 素子 1 5 が点灯状態で、ゲート信号線 1 7 b にオン電圧とオフ電圧を交互に印加すれば E L 素子 1 5 が点滅する。したがって、スイッチ用トランジスタ 1 1 d の良否を判定できる。

【手続補正 6 9】

【補正対象書類名】 明細書

【補正対象項目名】 1 1 6 0

【補正方法】 変更

【補正の内容】

【1 1 6 0】

次に、ゲート信号線 1 7 a をオン電圧 (V_{g_l}) からオフ電圧 (V_{g_h}) に変化させる。すると、駆動用トランジスタ 1 1 a などが正常であれば、駆動用トランジスタ 1 1 a か

ら E L 素子 1 5 に電流 I_t が供給され、E L 素子 1 5 が点灯する。

【手続補正 7 0】

【補正対象書類名】明細書

【補正対象項目名】1 1 7 7

【補正方法】変更

【補正の内容】

【1 1 7 7】

検査は表示領域 1 9 3 の全画素 1 6 を同時に点灯などさせて検査を実施してもよいが、図 2 2 7 (a) (b) に図示するように画素行を順次選択して走査させて検査を実施してもよい。図 2 2 7 (a) (b) で 1 9 1 が検査電流を書き込んでいる画素行である。また、1 9 3 は E L 素子 1 5 を点灯などして光学的に検査を実施している領域である。1 9 2 は非点灯領域である。

【手続補正 7 1】

【補正対象書類名】明細書

【補正対象項目名】1 1 9 6

【補正方法】変更

【補正の内容】

【1 1 9 6】

本発明の実施例において、検査時に、画素（行）の選択時間を変化させてもよい。選択時間を長くすることにより検査精度を向上できる。また、E L 表示パネルの概略検査の時は、検査対象の画素選択時間を短くし、詳細検査のモードで選択時間を長くしてもよい。1 画素行あるいは 1 画素単位で本発明の検査方法を実施することに限定するものではない。たとえば、複数の画素行あるいは画素を同時に検査してもよい。また、複数のソース信号線 1 8 を短絡し、短絡された部分ごとに電流計 4 7 3 1 を配置または接続してもよい。この場合は、電流計 4 3 7 1 は複数の画素 1 6 からの電流が検出される。この検出された電流の大きさあるいは電流の有無から画素 1 6 などの欠陥を検出してもよい。また、複数の画素行を選択し、概略検査を実施した後、異常あるいは正常以外の場合に、前記選択した複数の画素行を 1 画素行ずつ選択して、詳細検査を実施してもよい。

【手続補正 7 2】

【補正対象書類名】明細書

【補正対象項目名】1 1 9 8

【補正方法】変更

【補正の内容】

【1 1 9 8】

検査用ドライバ回路 4 4 1 1 は各トランジスタ 2 2 3 2 のゲート端子にオンオフ電圧を印加し、オン電圧に印加により、ソース信号線 1 8 に印加されている検査あるいは検出電流を電流測定手段 4 3 7 1 に導く。検出電流により画素 1 6 などの欠陥を検出する。奇数番目のソース信号線 1 8 は電流計 4 3 7 1 a に接続され、偶数番目のソース信号線 1 8 は電流計 4 3 7 1 b に接続される。複数の電流計 4 3 7 1 を用いることにより検査速度を向上でき、また、検査精度を改善できる。

【手続補正 7 3】

【補正対象書類名】明細書

【補正対象項目名】1 2 1 1

【補正方法】変更

【補正の内容】

【1 2 1 1】

検査方法は、まず、すべてのゲート信号線 1 7 b にオフ電圧 V_{gh} 電圧を印加した状態で、すべてのゲート信号線 1 7 a にオン電圧 (V_{gl}) を印加する。スイッチ用トランジスタ 1 1 b、1 1 c はクローズ状態である（図 1 およびその説明を参照のこと）。また、スイッチ用トランジスタ 1 1 d はオープン状態である。したがって、ソース信号線 1 8 に

印加した電圧 V が画素 16 に書き込まれる (図 485 (b))。電圧は、駆動用トランジスタ 11a の飽和電流を流す電圧であることが好ましい。点灯時に表示画像が均一表示できるからである。電圧 V は、アノード電圧 V_{dd} より 3 V 以上低い電圧にする。好ましくは、アノード電圧 $V_{dd} - 4$ (V) 以上 $V_{dd} - 6$ (V) 以上にする。以上の動作 (操作) により、駆動用トランジスタ 11a に電圧プログラムが実現される。

【手続補正 74】

【補正対象書類名】明細書

【補正対象項目名】1212

【補正方法】変更

【補正の内容】

【1212】

次に点灯動作させるときは、図 486 に図示するように、ゲート信号線 17a にオフ電圧 (V_{gh}) を印加し、スイッチ用トランジスタ 11b、11c をオフさせる。したがって、ソース信号線 18 と駆動用トランジスタ 11a のゲート端子とは切り離される。この状態で、ゲート信号線 17b にオン電圧を印加し、スイッチ用トランジスタ 11d をオンさせる (スイッチ用トランジスタ 11d をクローズさせる)。すると、駆動用トランジスタ 11a から EL 素子 15 に電圧 V に対応する電流 I_e が流れ、EL 素子 15 が点灯する。この点灯状態を光学的 (CCD あるいは視覚的などで)、欠陥状態あるいは不良状態、表示均一性を検査あるいは評価する。

【手続補正 75】

【補正対象書類名】明細書

【補正対象項目名】1223

【補正方法】変更

【補正の内容】

【1223】

図 223 ~ 図 227、図 436 ~ 図 440、図 485、図 486 の駆動方法は相互に組み合わせることができる。図 440 に本発明の検査方法のフローチャートを図示する。本発明では、まず、アレイ状態で図 437、図 438 などで説明した画素の欠陥を検査する。この段階で駆動用トランジスタなどの画素の TFT 欠陥、線欠陥などを検出する。次に、パネル状態に完成させ、図 440 に図示するように図 436 などの方式を用いて画面 144 の全体を点灯させて検査する (一括点灯検査)。一括点灯検査で問題なければ (Y 判定)、ソースドライバ IC 14 を COG 実装する工程に送られる。一括点灯検査で、NG 判定であれば、該当パネルは廃棄される。もし、判定がつかない場合 (N 判定) であれば、1 画素ずつ点灯評価する。この点灯検査で問題なければ (Y 判定)、ソースドライバ IC 14 を COG 実装する工程に送られる。COG 実装工程後、最終点灯検査が実施される。

【手続補正 76】

【補正対象書類名】明細書

【補正対象項目名】1239

【補正方法】変更

【補正の内容】

【1239】

本発明の点灯率制御、duty 比制御、基準電流制御などは、単独で重要な発明を構成している。映像データを用いて、パネル消費電流などを求めるようにロジック処理 (ソフト処理、ハード処理のどちらでもよい) することも、単独で重要な発明を構成している。特に duty 比制御などで、EL 素子 15 に流れる電流を必要に応じて遮断でき、パネル消費電流などを自由に制御できるのは、画素 16 のトランジスタ 11d (図 1 では EL 素子 15 と駆動用トランジスタ 11a 間に配置され、EL 素子 15 に流れる電流を制御するトランジスタである。他の画素 16 でも同様に、EL 素子 15 に流れる電流を制御するトランジスタが該当する) の機能によることが大きい。点灯率などに基づいて、ゲートドラ

イバ回路 1 2 を制御し、容易にゲート信号線 1 7 b に接続されたトランジスタ 1 1 d をオンオフ制御できるからである。トランジスタ 1 1 d のオフする個数を増加させれば、パネルで消費する電流が比例して低下する。トランジスタ 1 1 d がオンする個数を増加させれば、パネルから放射される光量が増加し、表示輝度が明るくなる。以上のように、本発明の特徴ある構成（画素、ゲートドライバ回路 1 2、ゲート信号線 1 7 b、トランジスタ 1 1 d など）を利用することにより、点灯率制御、d u t y 比制御、基準電流制御を良好に実現できる。これらの制御方式を実現することにより、パネルの発熱を抑えて、パネルを長寿命化でき、電源モジュールのサイズなども小型化できる。

【手続補正 7 7】

【補正対象書類名】明細書

【補正対象項目名】1 2 4 1

【補正方法】変更

【補正の内容】

【1 2 4 1】

特に本発明の E L 表示パネルは電流駆動方式である。かつ特徴ある構成のより画像表示制御が容易である。特徴ある画像表示制御方法は 2 つある。1 つは、基準電流の制御である。もう 1 つは d u t y 比制御である。この基準電流制御と d u t y 比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。

【手続補正 7 8】

【補正対象書類名】明細書

【補正対象項目名】1 2 8 1

【補正方法】変更

【補正の内容】

【1 2 8 1】

しかし、本発明の基準電流制御などは限定するものではない、一定の基準となるもの（電圧、電流、設定データなど）を変化し、この変化により端子 1 5 5 から出力される電流 I_w を変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子 1 5 5 のプログラム電流 I_w が同一割合で変化させることが重要である。なお、プログラム電流 I_w の変化に限定するものではない。プログラム電圧であってもよい。各端子 1 5 5 のプログラム電圧が同一割合で変化させることにより、表示画面 1 4 4 の輝度を調整することができるからである。また、R G B 端子で変化させることによりホワイトバランスを調整することができるからである。図 8 6 は基準電流 I_c の調整回路を具備しない本発明の実施例である。端子 1 5 5 には、トランジスタ 1 5 6 により、プログラム電流 I_w が供給される。プログラム電流 I_w はサンプリング回路 8 6 2 によりオペアンプ 5 2 2 に印加された電圧により決定される。

【手続補正 7 9】

【補正対象書類名】明細書

【補正対象項目名】1 3 1 9

【補正方法】変更

【補正の内容】

【1 3 1 9】

ただし、A P L レベルのみを考慮し、d u t y 比制御を実施すれば、画像に応じて表示画面 1 4 4 の平均輝度（A P L）が変化し、フリッカが発生する。この課題に対して、もとめる A P L レベルは、少なくとも 2 フレーム、このましくは、1 0 フレームさらに好ましくは 6 0 フレーム以上の期間保持し、この期間で演算して、演算により求めた A P L レベルにより d u t y 比制御による d u t y 比を算出する。また、表示画面 1 4 4 の最大輝度（M A X）、最小輝度（M I N）、輝度の分布状態（S G M）などの画像の特徴抽出を行って d u t y 比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。

【手続補正 80】

【補正対象書類名】明細書

【補正対象項目名】1334

【補正方法】変更

【補正の内容】

【1334】

点灯率とは、パネルのアノードまたはカソードに流れる最大電流に対する割合でもある（ただし、 $duty$ 比は $1/1$ とする）。たとえば、カソードに流れる最大電流を 100mA とすれば、 $duty$ 比 $1/1$ において、 30mA の電流が流れていれば $30/100 = 30\%$ （ 0.3 ）である。図1などの画素構成の場合は、アノードにはプログラム電流が加算されているので、点灯率の計算には考慮する必要がある。カソードはEL素子で消費される電流のみである。したがって、EL表示パネルの全EL素子15で消費される電流は、カソード端子を流れる電流を測定の方が好ましい。

【手続補正 81】

【補正対象書類名】明細書

【補正対象項目名】1335

【補正方法】変更

【補正の内容】

【1335】

また、カソードに流れる最大電流を 100mA とし、この時、映像データの総和の最大値とすれば、点灯率とはSUM（総和）制御もしくはAPLレベルの制御とは同義である。点灯率 50% と表現すれば、カソード（アノード）に流れる電流が最大の 50% と意味し、点灯率 20% と表現すれば、カソードに流れる電流が最大の 20% と意味するというように大きさが理解しやすいので今後は主として点灯率制御の用語を用いる。ただし、カソード（アノード）端子に流れる電流の最大値は、設計上、端子に流れる最大電流であり、相対的な大きさである。たとえば、設計値が小さければ最大値は小さい。

【手続補正 82】

【補正対象書類名】明細書

【補正対象項目名】1446

【補正方法】変更

【補正の内容】

【1446】

たとえば、第1フレームと次の第2フレーム間で、同一位置の画素データの差分を求め、差分の値が一定以上ある場合に動画画素と判定する。1パネルの画素数が10万画素とすれば、前記差分演算により動画画素と判定された画素の数が2.5万画素であれば、動画画素の割合は 25% である。

【手続補正 83】

【補正対象書類名】明細書

【補正対象項目名】1653

【補正方法】変更

【補正の内容】

【1653】

プリチャージ回路（電子ポリウム501などから構成される。あるいは図136の電圧階調回路1271）の変化と電流階調回路431cの変化とは同期させる。つまり、プリチャージ回路の変化が電流階調回路431cの変化に対応するように変化させる。プリチャージ回路による画素16の駆動用トランジスタ11aの出力電流の目標値（期待値）が $1\mu\text{A}$ であれば、プリチャージ回路による画素16の駆動用トランジスタ11aの目標値（期待値）が $1\mu\text{A}$ となるように階調制御する。

【手続補正 84】

【補正対象書類名】明細書

【補正対象項目名】 1 8 1 9

【補正方法】 変更

【補正の内容】

【1 8 1 9】

この課題に対しては、図 2 9 5 に図示するように電圧セクタ回路 2 9 4 1 を 2 つ形成または構成する。第 1 H 期間では、電圧セクタ回路 2 9 4 1 a が出力する。すると、C 1 に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）が、セクタ回路 2 9 5 1 のスイッチ S 1 が選択されることにより、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）V p c は端子 1 5 5 から出力される。この期間（第 1 H 期間）は、電圧セクタ回路 2 9 4 1 a 2 が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）V p c が C 2 に保持されていく。また、セクタ回路 2 9 5 1 のスイッチ S 2 はオープンである。

【手続補正 8 5】

【補正対象書類名】 明細書

【補正対象項目名】 1 8 2 1

【補正方法】 変更

【補正の内容】

【1 8 2 1】

図 3 5 1 などで、電子ボリウム 5 0 1 にオープン端子を設けている。しかし、これは説明を容易にするためであって、必ずしも電子ボリウム 5 0 1 内に構成あるいは形成すること限定するものではない。たとえば、図 3 8 7 に図示するように、プログラム電圧（プリチャージ電圧）の電圧階調回路 1 2 7 1 の出力側にスイッチ 1 5 1 b（セクタ回路）を配置または形成し、プリチャージ電圧などを端子 1 5 5 から出力するモード（駆動方式）の場合は、スイッチ 1 5 1 b を a 端子側にし、他のモードではスイッチ 1 5 1 b を b 端子側に設定（a 端子を選択しない）するように構成してもよい。

【手続補正 8 6】

【補正対象書類名】 明細書

【補正対象項目名】 1 8 2 4

【補正方法】 変更

【補正の内容】

【1 8 2 4】

したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）V p c は 1 H の期間で各出力端子に対応する保持用コンデンサ C a ~ C n に保持される。ソース信号線 1 8 にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するときは、スイッチ S p が一斉に一定期間クローズする。この時、スイッチ S i はオープン状態にされ、プリチャージ電圧（プログラム電圧と同義あるいは類似）V p c が電流回路 4 3 1 c に逆流することを抑制する。図 2 9 5 の電圧セクタ回路 2 9 4 1 でプリチャージ電圧（プログラム電圧と同義あるいは類似）V p c を選択する。なお、プリチャージ電圧 V p c の選択はラッチ回路 7 7 1 で行ってもよい。このことは図 3 0 8 の実施例においても同様である。なお、図 3 0 8 においても図 2 9 5 に図示するように 2 段構成にすることが好ましいことは言うまでもない。

【手続補正 8 7】

【補正対象書類名】 明細書

【補正対象項目名】 1 8 3 4

【補正方法】 変更

【補正の内容】

【1 8 3 4】

以上のように、本発明のソースドライバ回路（I C）1 4 などは、ソースドライバ回路に、ソース信号線 1 8 にプログラム電流あるいはプログラム電圧を書き込む時に、プリチャージ信号を印加するかしないかを選択する判定ビットを保持する回路を有している。ま

た、判定ビットに保持する信号あるいは想定される信号を伝達する信号入力端子を有するものである。

【手続補正 88】

【補正対象書類名】明細書

【補正対象項目名】1870

【補正方法】変更

【補正の内容】

【1870】

点灯率が急変とは、変化が2倍以上あるいは1/2以下変化した場合である。たとえば、ある時刻での点灯率が10%であれば、点灯率が20%以上あるいは点灯率が5%以下に変化する状態である。以上のように、点灯率が変化した場合に、画面の表示位置を変化させる。画面の表示位置の変化は水平あるいは垂直方向のスタートパルスで1クロックあるいは2クロック分遅延させることにより行う。この動作はカウンタの比較値を変化させることにより実現できる。

【手続補正 89】

【補正対象書類名】明細書

【補正対象項目名】1901

【補正方法】変更

【補正の内容】

【1901】

図375では、コンデンサ信号線3751を操作することにより、駆動用トランジスタ11aのゲート端子電位を制御し、良好な黒表示を実現するとした。この黒表示を点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）によって、制御を実施してもよい。点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）が高いときは、白表示部分が画像の大半を占める。また、ハレーションが発生するため黒表示を良好にする必要はない。点灯率が低い場合は、黒表示部分の画像が大半を占める。したがって、良好な黒表示を実現する必要がある。しかし、突き抜け電圧を高くし、駆動用トランジスタ11aのゲート端子の電位シフト量を大きくすることは、駆動電圧のマージンを高くすることになり、結局、EL素子15の負荷を大きくすることになる。

【手続補正 90】

【補正対象書類名】明細書

【補正対象項目名】2008

【補正方法】変更

【補正の内容】

【2008】

以上の実施例は過電流をトランジスタ3861に通過させ、基準電流 I_d をソースドライバ回路（IC）14で発生させるものであった。しかし、本発明はこれに限定するものでない。たとえば、図401に図示するように構成してもよい。図401ではアレイ基板30に過電流トランジスタ3861を形成または配置した構成である。ソースドライバ回路（IC）14からゲート配線4011に出力される電圧により過電流トランジスタ3861が動作し、ソース信号線18に過電流（プリチャージ電流もしくはディスチャージ電流）を流す。

【手続補正 91】

【補正対象書類名】明細書

【補正対象項目名】2218

【補正方法】変更

【補正の内容】

【2218】

以上のように本発明は、0階調などから低階調の領域への階調の変化が発生する時は、

プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。特に 0 階調から 1 階調に変化する時は必須である。また、0 階調などから低階調の領域から階調差が 1 または 2 程度と小さい場合であっても、プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。

【手続補正 9 2】

【補正対象書類名】明細書

【補正対象項目名】2 3 6 2

【補正方法】変更

【補正の内容】

【2 3 6 2】

以上の実施例と図 4 7 9 の実施例とを組み合わせてもよいことは、言うまでもでもない。また、図 4 8 0 の実施例では、低階調で、 D_n スイッチと L_n スイッチとを同期させて動作させるとしたが、これに限定するものではなく、低階調では、 L_n スイッチ（図 4 8 0 では、 $L_0 \sim L_4$ ）のみを動作させるように構成してもよいことは言うまでもない。3 2 階調以上の中間階調以上では、すべての L_n スイッチをクローズさせ、 D_n スイッチを階調にあわせてクローズさせる。この場合は、図 4 8 1 に図示するように、1 点折れ線ガンマとなる。また、図 4 8 1 では、青（B）のみに一点折れガンマを実施している。赤（R）と緑（G）には実施していない。もちろん、RGB に一点折れガンマを実施してもよい。また、一点折れガンマに限定するものではなく、2 点以上の多点折れガンマとしてもよい。なお、この構成は、図 8 4 でも説明しているので説明を省略する。

【手続補正 9 3】

【補正対象書類名】明細書

【補正対象項目名】2 6 6 0

【補正方法】変更

【補正の内容】

【2 6 6 0】

本発明では、差動信号の送出側と受信側でインピーダンスを変化あるいは調整できるように校正している。差動信号は振幅が大きいほど、伝送距離を長くすることができる。しかし、振幅が大きいと伝送電力が大きくなる。差動信号を定電流で出力する場合は、差動信号を受信する方でインピーダンスを高くすれば、振幅を高くすることができる。したがって、伝送する電流が小さくとも差動信号を受信することが可能になる。しかし、ノイズに弱くなる。

【手続補正 9 4】

【補正対象書類名】明細書

【補正対象項目名】2 6 9 5

【補正方法】変更

【補正の内容】

【2 6 9 5】

B 期間 + C 期間は A 期間である。A 期間で各 RGB の 1 画素のデータが転送される。つまり、A 期間に各 RGB の各 8 ビットの映像データと、各映像データをプリチャージするかしないかおよびプリチャージする場合は、どのようなプリチャージを実施するかの指定データが転送される。加えて、ゲートドライバ回路 1 2 の制御データが転送される。以上の事項は、映像 G データ、映像 B データに対しても同様である。つまり、A 期間には、6 ビットのシリアルデータが並列に 7 ツイストペアの信号線で転送される。

【手続補正 9 5】

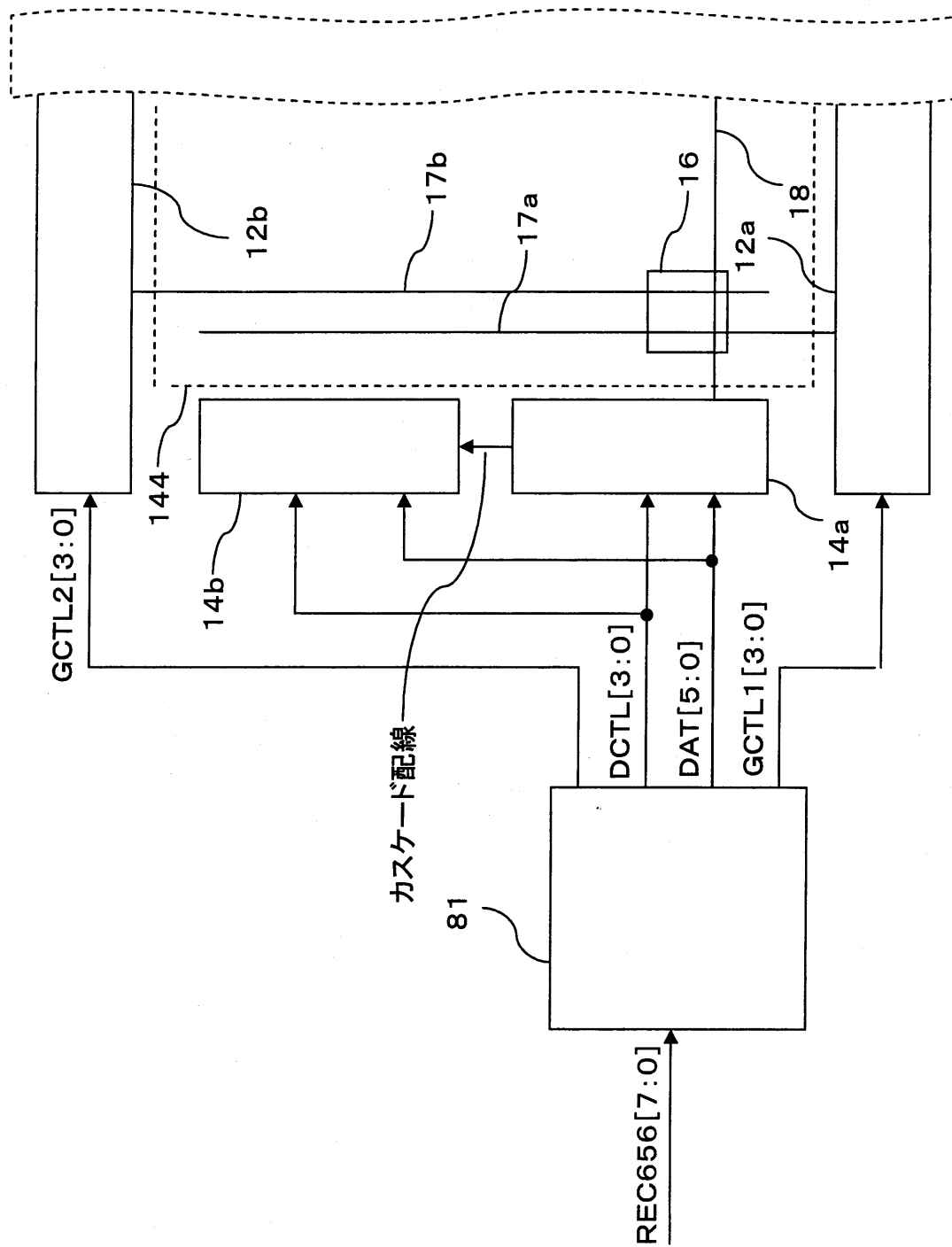
【補正対象書類名】図面

【補正対象項目名】図 8 3

【補正方法】変更

【補正の内容】

【図 8 3】



【手続補正 9 6】

【補正対象書類名】図面

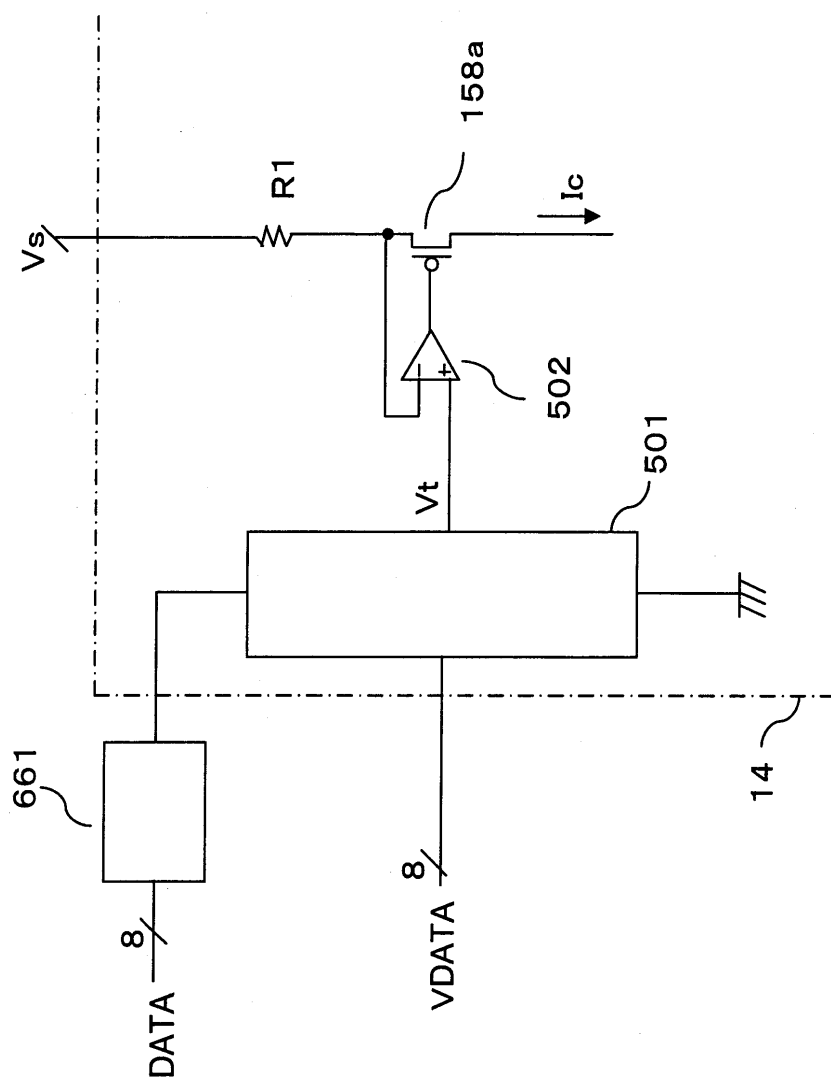
【補正対象項目名】図 1 9 6

【補正方法】変更

【補正の内容】

【図 196】

外部から基準電流を変化させる



【手続補正 97】

【補正対象書類名】図面

【補正対象項目名】図 241

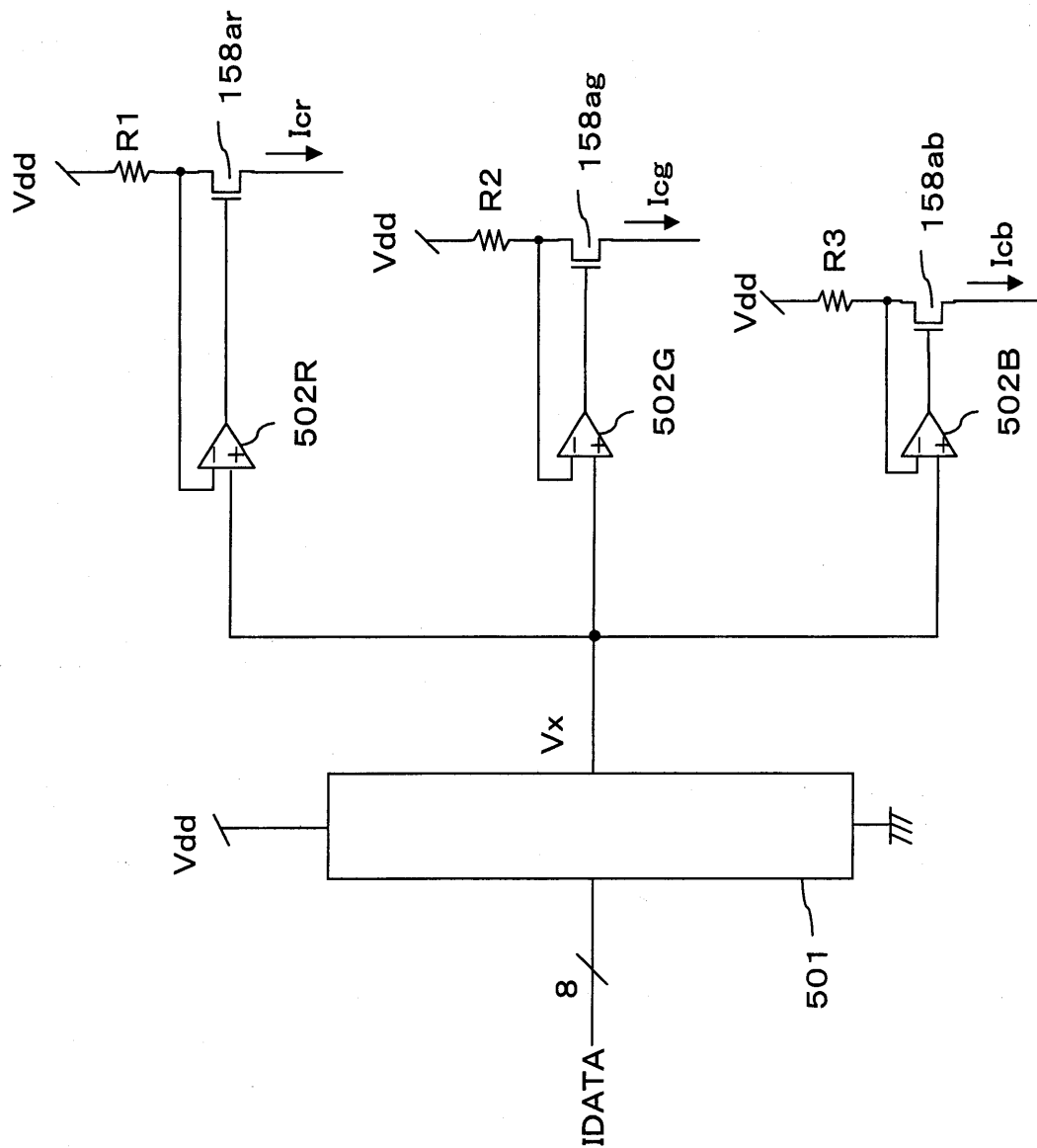
【補正方法】変更

【補正の内容】

Diagram illustrating a vertical array of transistors (431c) connected to a common line (150). The transistors are labeled trb32a, trb32b, trb32c, trb32d, trb16a, trb16b, trb4, trb2, and trb1. The array is enclosed in a dashed box, and the common line is labeled 150. A specific transistor is labeled 155a.

【補正の内容】

【図 3 4 6】



【手続補正 9 9】

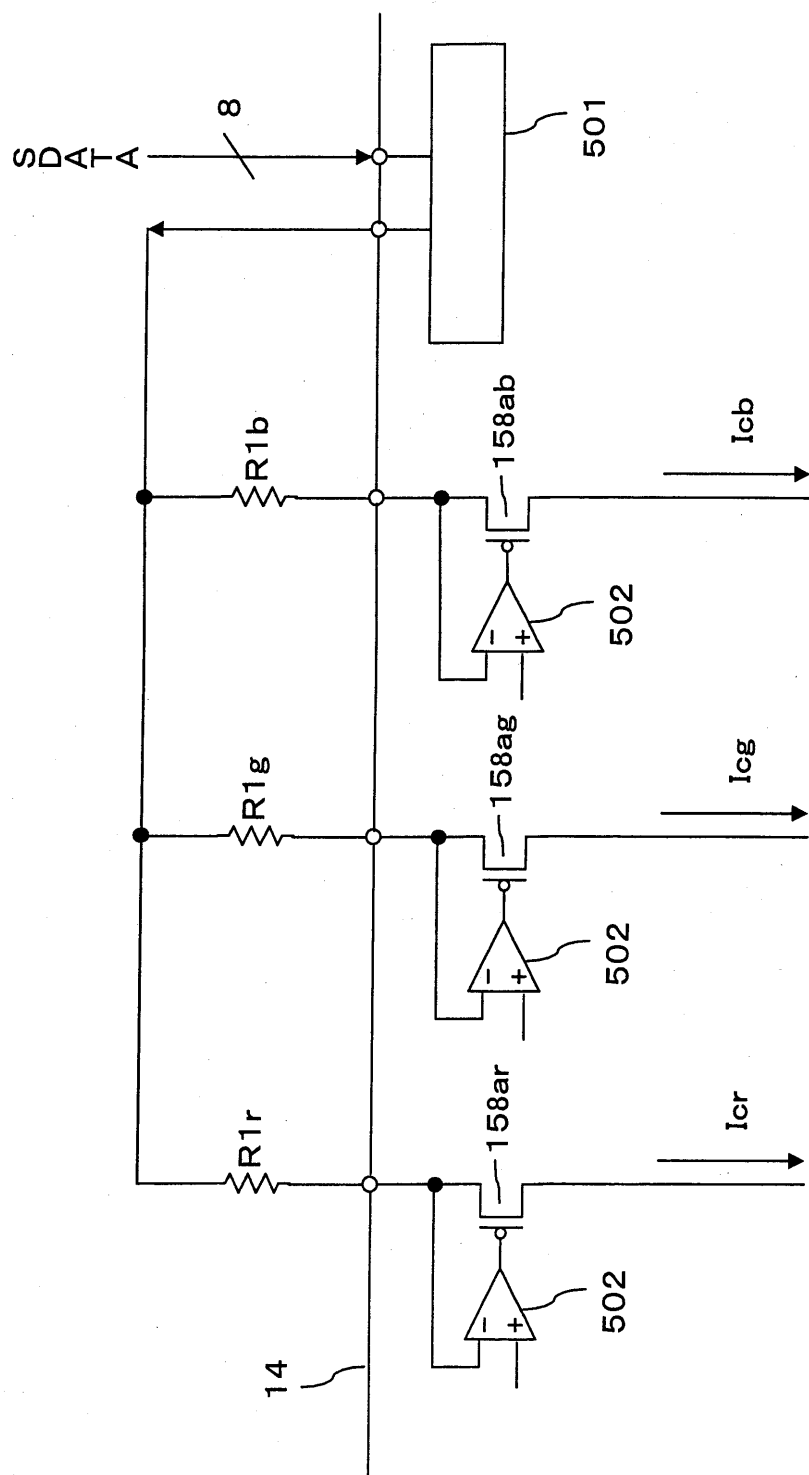
【補正対象書類名】図面

【補正対象項目名】図 3 7 9

【補正方法】変更

【補正の内容】

【図 3 7 9】



【手続補正 1 0 0】

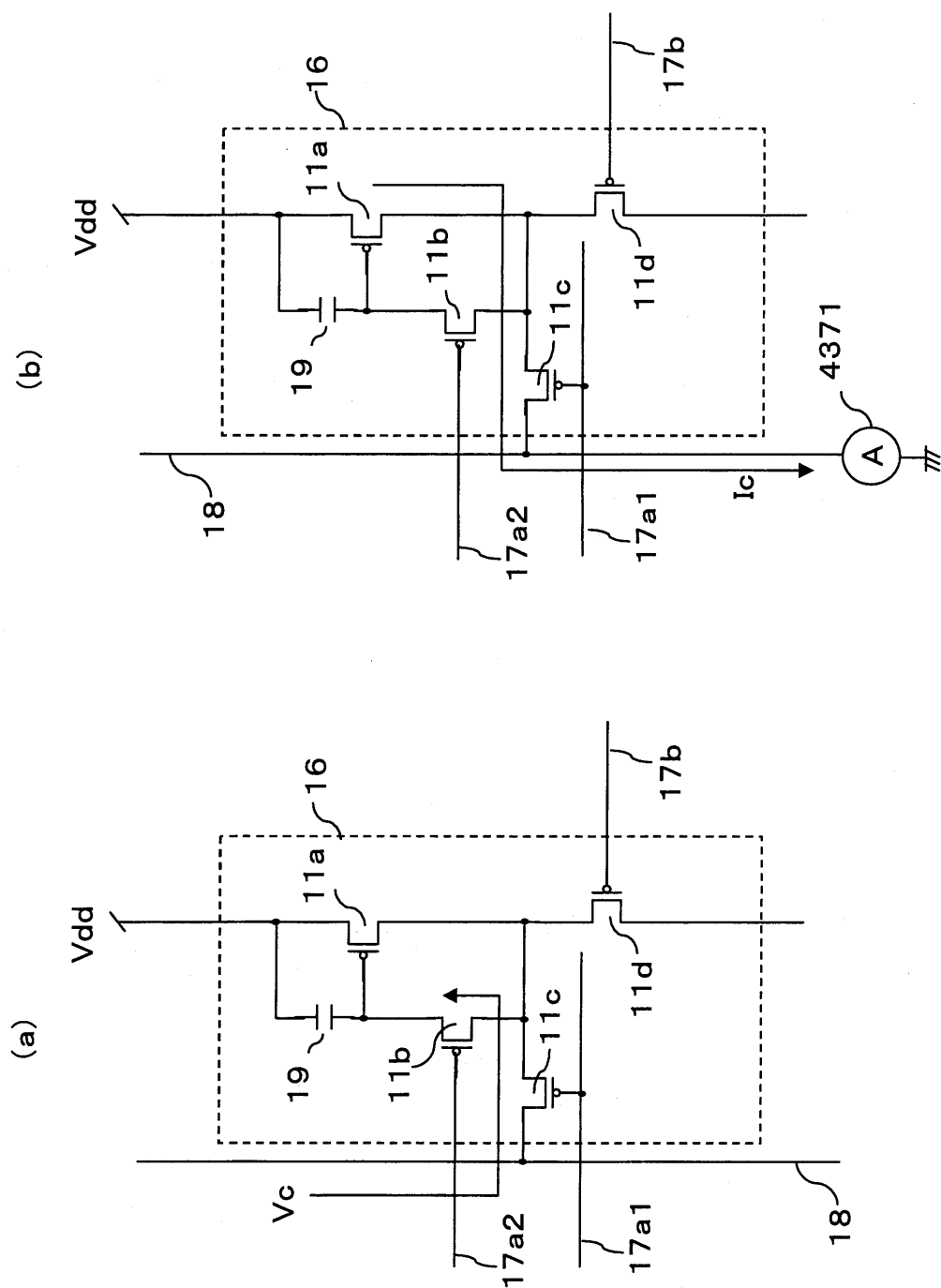
【補正対象書類名】図面

【補正対象項目名】図 4 3 7

【補正方法】変更

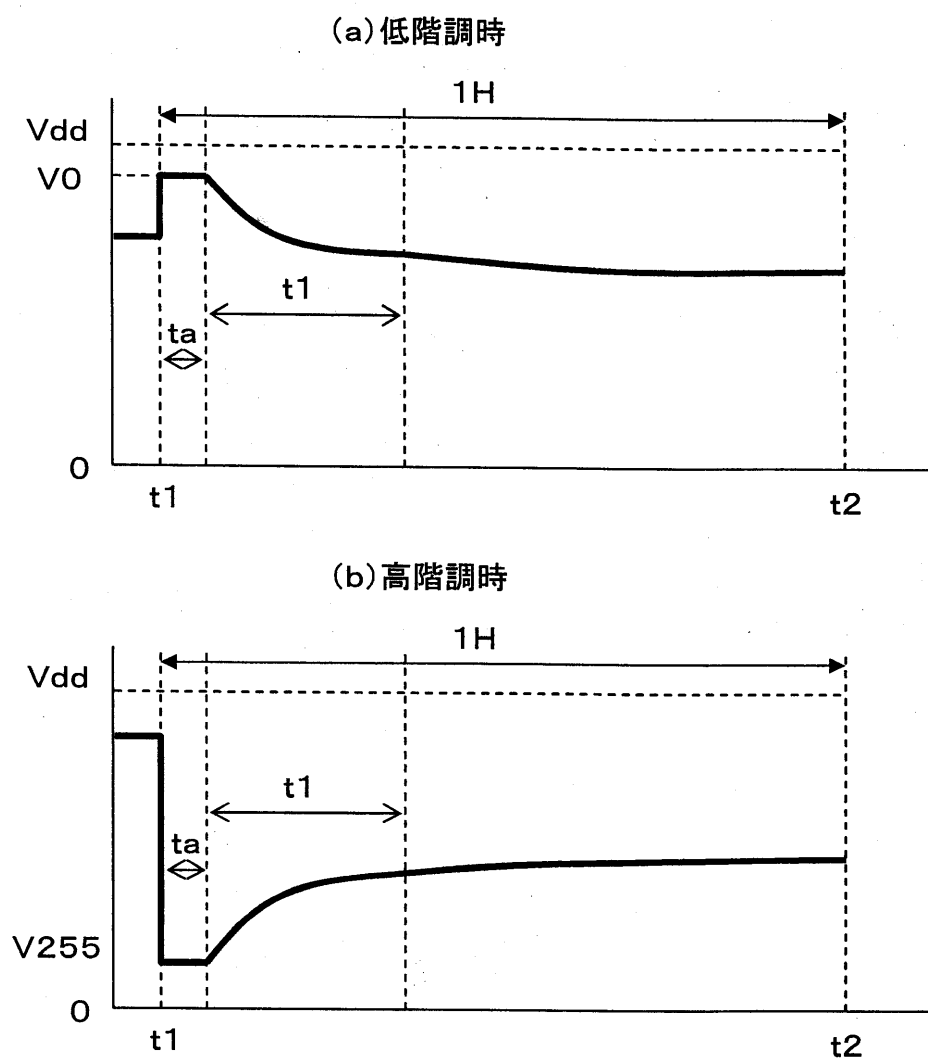
【補正の内容】

【手続補正 1 0 1】
 【補正対象書類名】図面
 【補正対象項目名】図 4 6 5
 【補正方法】変更
 【補正の内容】



【補正の内容】

【図 4 7 4】



【手続補正 1 0 3】

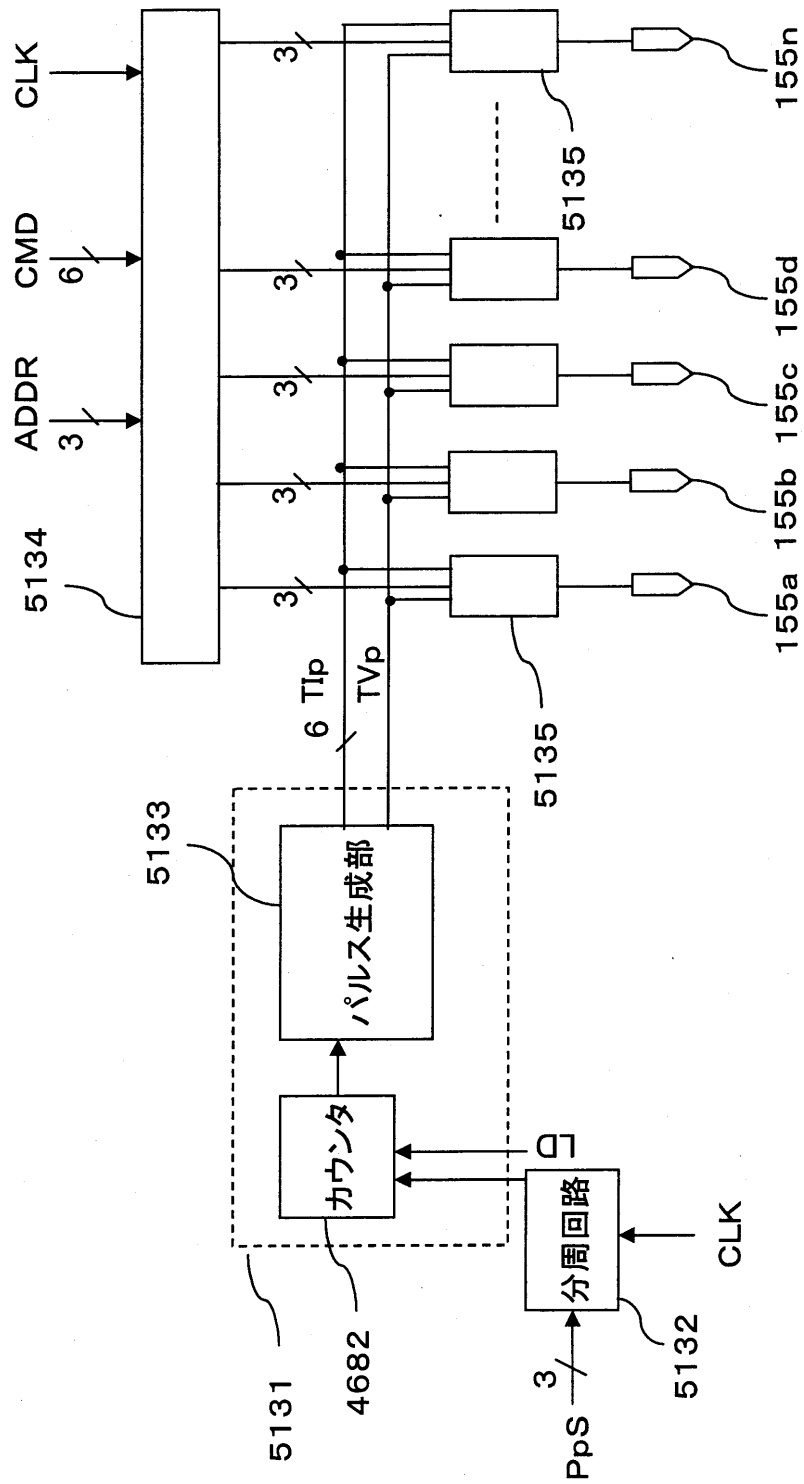
【補正対象書類名】図面

【補正対象項目名】図 5 1 3

【補正方法】変更

【補正の内容】

【図 5 1 3】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/30	H
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 J
H 0 5 B	33/14	A
H 0 5 B	33/14	Z
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 5 0 M

专利名称(译)	EL表示装置		
公开(公告)号	JP2009110008A	公开(公告)日	2009-05-21
申请号	JP2008303313	申请日	2008-11-28
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
CPC分类号	G09G3/3241 G09G3/3233 G09G3/3258 G09G2300/043 G09G2300/0861		
FI分类号	G09G3/30.K G09G3/20.642.K G09G3/20.624.B G09G3/20.612.U G09G3/20.612.E G09G3/20.641.Q G09G3/30.H G09G3/20.642.A G09G3/20.611.A G09G3/20.611.H G09G3/20.642.J H05B33/14.A H05B33/14.Z G09G3/20.621.F G09G3/20.650.M G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC02 3K107/CC14 3K107/CC31 3K107/CC33 3K107/CC43 3K107/CC45 3K107/EE04 3K107/EE06 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/DD22 5C080/DD26 5C080/DD27 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AA08 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB13 5C380/AB19 5C380/AB22 5C380/AB24 5C380/AB25 5C380/AB28 5C380/AB31 5C380/AB34 5C380/AB36 5C380/AB41 5C380/AB43 5C380/AB46 5C380/AB47 5C380/AC04 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC10 5C380/AC11 5C380/AC12 5C380/AC16 5C380/AC18 5C380/BA03 5C380/BA08 5C380/BA10 5C380/BA12 5C380/BA14 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA23 5C380/BA24 5C380/BA25 5C380/BA29 5C380/BA32 5C380/BA38 5C380/BA40 5C380/BA42 5C380/BA43 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB08 5C380/BB12 5C380/BB15 5C380/BB16 5C380/BB17 5C380/BB19 5C380/BB22 5C380/BB23 5C380/BC02 5C380/BC03 5C380/BC07 5C380/BC10 5C380/BC13 5C380/BC18 5C380/BD02 5C380/BD14 5C380/BE05 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA25 5C380/CA26 5C380/CA29 5C380/CA35 5C380/CA36 5C380/CA43 5C380/CA47 5C380/CA49 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB02 5C380/CB05 5C380/CB08 5C380/CB09 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB18 5C380/CB19 5C380/CB25 5C380/CB26 5C380/CB30 5C380/CB37 5C380/CC02 5C380/CC13 5C380/CC15 5C380/CC17 5C380/CC18 5C380/CC19 5C380/CC27 5C380/CC28 5C380/CC31 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC54 5C380/CC57 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CC72 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD017 5C380/CD018 5C380/CD019 5C380/CD024 5C380/CE02 5C380/CE03 5C380/CE05 5C380/CE07 5C380/CE09 5C380/CE12 5C380/CE15 5C380/CE16 5C380/CE20 5C380/CF02 5C380/CF07 5C380/CF09 5C380/CF12 5C380/CF13 5C380/CF19 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF27 5C380/CF32 5C380/CF36 5C380/CF41 5C380/CF46 5C380/CF48 5C380/CF49 5C380/CF53 5C380/CF56 5C380/CF60 5C380/CF61 5C380/CF64 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA38 5C380/DA39 5C380/DA42 5C380/DA44 5C380/DA49 5C380/DA50 5C380/DA58 5C380/EA02 5C380/EA11 5C380/FA03 5C380/FA06 5C380/FA10 5C380/FA11 5C380/FA13 5C380/FA19 5C380/FA25 5C380/FA28 5C380/GA03 5C380/GA14 5C380/HA02 5C380/HA06 5C380/HA10 5C380/HA11		
优先权	2003129528 2003-05-07 JP 2003277166 2003-07-18 JP 2004045517 2004-02-20 JP		

解决的问题：考虑到图像数据对有机EL显示设备进行预充电。一种EL显示装置，其具有以矩阵状排列多种颜色的像素的显示屏，以及针对多种颜色的像素中的第一种颜色的像素的第一伽玛转换电路764。并且用于第二彩色像素的第二彩色像素的第二伽玛转换电路764与第一伽玛转换电路764和第二伽玛转换电路764的最低灰度级的输出电压匹配。或EL显示装置，其中第一伽玛转换电路764和第二伽玛转换电路764的输出电压处于最高灰度级。[选择图]图76

