

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-92965

(P2009-92965A)

(43) 公開日 平成21年4月30日(2009.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 670B	5C080
G09F 9/00 (2006.01)	G09G 3/20 624B	5G435
H05B 33/10 (2006.01)	G09G 3/30 H	
H01L 51/50 (2006.01)	G09G 3/20 670A	
審査請求 未請求 請求項の数 13 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2007-263905 (P2007-263905)
 (22) 出願日 平成19年10月10日 (2007.10.10)

(71) 出願人 590000846
 イーストマン コダック カンパニー
 アメリカ合衆国 ニューヨーク州 ロチェ
 スター ステート ストリート 343
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 川辺 和佳
 東京都中央区新川2丁目27番1号 コダ
 ック株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC45 EE03 GG56
 HH05

最終頁に続く

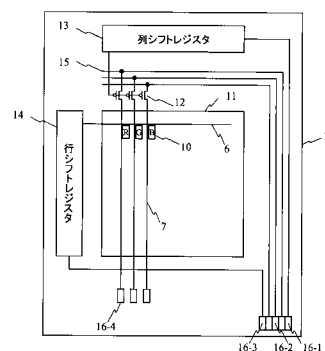
(54) 【発明の名称】 表示パネルの不良検出方法および表示パネル

(57) 【要約】

【課題】表示パネルの不良画素検出を効果的に行う。

【解決手段】表示パネル(有機ELパネル)17は、マトリクス状に配置された画素10を有している。また、各画素10には、それぞれスタティックメモリが設けられており、各画素はスタティックメモリに記憶したデータに応じて発光する。外部から供給されるデータを各画素10のスタティックメモリに書き込み、その後スタティックメモリに記憶されているデータを読み出し、外部に出力する。これによって、外部で不良を検出することが可能になる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された画素を有する表示パネルの不良検出方法であって、
各画素は、スタティックメモリを内蔵しており、このスタティックメモリに記憶したデータに応じて発光し、
各画素のスタティックメモリにデータを書き込み、その後スタティックメモリに記憶されているデータを読み出し、
書き込んだデータと、読み出したデータを比較することによって、画素の欠陥の有無を検出することを特徴とする表示パネルの不良検出方法。

【請求項 2】

10

請求項 1 に記載の表示パネルの不良検出方法であって、
欠陥画素の位置をマップとして把握することを特徴とする表示パネルの不良検出方法。

【請求項 3】

マトリクス状に配置された画素を有する表示パネルであって、
各画素は、スタティックメモリを内蔵しており、このスタティックメモリに記憶したデータに応じて発光し、
外部から供給されるデータを各画素のスタティックメモリに書き込み、
その後スタティックメモリに記憶されているデータを読み出し、外部に出力することを特徴とする表示パネル。

【請求項 4】

20

請求項 3 に記載の表示パネルであって、
スタティックメモリへのデータの書き込みはデータバス上のデータを画素列毎に設けられたデータラインに順次供給することによって行い、
スタティックメモリからのデータの読み出しは、画素列毎に設けられたデータライン上のデータをデータバスに順次読み出すことによって行うことを特徴とする表示パネル。

【請求項 5】

請求項 3 に記載の表示パネルであって、
画素がマトリクス状に配置された画素領域は、1 画面の表示領域に比較して大きく設定されていることを特徴とする表示パネル。

【請求項 6】

30

請求項 5 に記載の表示パネルであって、
前記表示領域を前記画素領域内において、任意の位置に設定できることを特徴とする表示パネル。

【請求項 7】

請求項 6 に記載の表示パネルであって、
前記表示領域は、所定フレーム毎に複数の異なる位置に逐次変更されることを特徴とする表示パネル。

【請求項 8】

請求項 6 に記載の表示パネルであって、
不良が発生した位置についての情報を記憶する不良情報メモリを有し、この不良情報メモリに記憶されている不良が発生した位置に基づき、前記表示領域の位置を設定することを特徴とする表示パネル。

40

【請求項 9】

請求項 3 に記載の表示パネルであって、
前記画素は、複数個集めて、1 画素分のデータを分割して表示する単位画素を形成することを特徴とする表示パネル。

【請求項 10】

請求項 9 に記載の表示パネルであって、
前記単位画素を構成する複数の画素は、それぞれ表示輝度が異なることを特徴とする表示パネル。

50

【請求項 1 1】

請求項 1 0 に記載の表示パネルであって、
単位画素を構成する複数の画素は、それぞれ面積が異なることを特徴とする表示パネル。

【請求項 1 2】

請求項 1 0 に記載の表示パネルであって、
単位画素を構成する複数の画素は、面積は同一であり、駆動電流の大きさが異なることを特徴とする表示パネル。

【請求項 1 3】

請求項 3 に記載の表示パネルであって、
スタティックメモリへのデータの書き込みはデータを画素列毎に設けられたデータラインに順次供給することによって行い、
スタティックメモリからのデータの読み出しは、画素列毎に設けられたデータライン上のデータを順次読み出すことによって行い、
各データラインには、データライン上のデータを取り込んで記憶し、その後に記憶しているデータとデータライン上のデータを比較して比較結果を記憶し、さらに比較結果をデータラインに出力する比較器が設けられていることを特徴とする表示パネル。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、マトリクス状に配置された画素を有する表示パネルおよびその不良検出に関する。

【背景技術】**【0 0 0 2】**

アクティブマトリクス型ディスプレイの製造段階において、不良をいち早く検出することは歩留まりを向上させる上で効果的な手段である。原因の解析を早期に開始でき、工程の修正に早い段階で着手できるだけでなく、不良が存在する基板が後の工程へ流れることを防ぎ、無駄な製造を回避することにも役立つ。

【0 0 0 3】

特許文献 1 には、液晶パネルの製造工程にアレイテストを導入する例が開示されている。液晶パネルに使われる薄膜トランジスタアレイ基板（T F T 基板）を対向基板に張り合わせる前に T F T 基板に配置されるトランジスタを電氣的に検査する検査手段が示されている。これによって、T F T 基板の不良の検出が容易になる。

【0 0 0 4】

【特許文献 1】特開 2 0 0 2 - 2 2 1 5 4 7 号公報

【発明の開示】**【発明が解決しようとする課題】****【0 0 0 5】**

ここで、不良の中には、不良のない T F T 基板と不良のない対向基板との張り合わせによって生じるもの等もある。T F T 基板サイズが大きくなり、画素数の増加に伴うトランジスタ数の増加により、不良の発生要因は増大する。このため、不良のない T F T 基板が後の工程で不良を起こす可能性は高くなっている。このことから、T F T 基板だけでなく、パネル製造の最終段階でも電氣的検査が行えることが望まれる。

【課題を解決するための手段】**【0 0 0 6】**

本発明は、マトリクス状に配置された画素を有する表示パネルの不良検出方法であって、各画素は、スタティックメモリを内蔵しており、このスタティックメモリに記憶したデータに応じて発光し、各画素のスタティックメモリにデータを書き込み、その後スタティックメモリに記憶されているデータを読み出し、書き込んだデータと、読み出したデータを比較することによって、画素の欠陥の有無を検出することを特徴とする。

【 0 0 0 7 】

また、欠陥画素の位置をマップとして把握することが好適である。

【 0 0 0 8 】

また、本発明は、マトリクス状に配置された画素を有する表示パネルであって、各画素は、スタティックメモリを内蔵しており、このスタティックメモリに記憶したデータに応じて発光し、外部から供給されるデータを各画素のスタティックメモリに書き込み、その後スタティックメモリに記憶されているデータを読み出し、外部に出力することを特徴とする。

【 0 0 0 9 】

また、スタティックメモリへのデータの書き込みはデータバス上のデータを画素列毎に設けられたデータラインに順次供給することによって行い、スタティックメモリからのデータの読み出しは、画素列毎に設けられたデータライン上のデータをデータバスに順次読み出すことによって行うことが好適である。

10

【 0 0 1 0 】

また、画素がマトリクス状に配置された画素領域は、1画面の表示領域に比較して大きく設定されていることが好適である。

【 0 0 1 1 】

また、前記表示領域を前記画素領域内において、任意の位置に設定できることが好適である。

【 0 0 1 2 】

20

また、前記表示領域は、所定フレーム毎に複数の異なる位置に逐次変更されることが好適である。

【 0 0 1 3 】

また、不良が発生した位置についての情報を記憶する不良情報メモリを有し、この不良情報メモリに記憶されている不良が発生した位置に基づき、前記表示領域の位置を設定することが好適である。

【 0 0 1 4 】

また、前記画素は、複数個集めて、1画素分のデータを分割して表示する単位画素を形成することが好適である。

【 0 0 1 5 】

30

また、前記単位画素を構成する複数の画素は、それぞれ表示輝度が異なることが好適である。

【 0 0 1 6 】

また、単位画素を構成する複数の画素は、それぞれ面積が異なることが好適である。

【 0 0 1 7 】

また、単位画素を構成する複数の画素は、面積は同一であり、駆動電流の大きさが異なることが好適である。

【 0 0 1 8 】

また、スタティックメモリへのデータの書き込みはデータを画素列毎に設けられたデータラインに順次供給することによって行い、スタティックメモリからのデータの読み出しは、画素列毎に設けられたデータライン上のデータを順次読み出すことによって行い、各データラインには、データライン上のデータを取り込んで記憶し、その後に記憶しているデータとデータライン上のデータを比較して比較結果を記憶し、さらに比較結果をデータラインに出力する比較器が設けられていることが好適である。

40

【 発明の効果 】

【 0 0 1 9 】

このように、本発明によれば、画素に設けられたスタティックメモリにデータを書き込み、読み出すことで、画素の不良を検出する。従って、表示パネルの各画素形成後の段階で、不良検出を効果的に行うことができる。

【 発明を実施するための最良の形態 】

50

【 0 0 2 0 】

以下、本発明の実施形態について、図面に基づいて説明する。図 1 には、3つのトランジスタと2つの有機EL素子で1ビットのスタティックメモリが構成される画素10の一例が示されている。

【 0 0 2 1 】

発光に寄与する第1有機EL素子1と、遮光などされて発光に寄与しない第2有機EL素子3のカソードは、電源電圧VSSが与えられる全画素共通のカソード電極9に接続されている。第1有機EL素子1のアノードは第1駆動トランジスタ2のドレイン端子に、第2有機EL素子3のアノードは第2駆動トランジスタ4のドレイン端子に接続されている。第1駆動トランジスタ2のソース端子及び第2駆動トランジスタ4のソース端子は電源電圧VDDが与えられる全画素共通の電源ライン8に接続されている。第1駆動トランジスタ2のゲート端子はゲートトランジスタ5のソース端子と、第2有機EL素子3と第2駆動トランジスタ4の接続点へ接続され、第2駆動トランジスタ4のゲート端子は第1有機EL素子1と第1駆動トランジスタ2の接続点へ接続されている。ゲートトランジスタ5のゲート端子はゲートライン6、ドレイン端子はデータライン7に接続されている。

【 0 0 2 2 】

ゲートライン6が書き込み選択される（ゲートトランジスタ5のオン抵抗が第2駆動トランジスタ4のそれと比較して低くなるようにより低いLow電圧を供給する）と、データライン7に供給されたHighかLowのデジタル信号が第1駆動トランジスタ2のゲート端子に導かれる。データがLowの場合には第1駆動トランジスタ2がオンし、第1有機EL素子1に電流が流れて発光する。それにより第1有機EL素子1のアノード電位は電源電位VDDまで上昇するため、第2駆動トランジスタ4がオフし、第2有機EL素子3のアノード電位、すなわち第1駆動トランジスタ2のゲート電位はカソード電位VSS近辺まで低下する。ゲートライン6を非選択してゲートトランジスタ5をオフしても、第1駆動トランジスタ2のゲート電位はカソード電位VSSに保たれるため、第1有機EL素子1は発光し続けることができる。

【 0 0 2 3 】

データがHighの場合には、第1駆動トランジスタ2がオフするため、第1有機EL素子1は、電流が流れなくなり消灯する。第1有機EL素子1のアノード電位はカソード電位VSSまで低下するため、第2駆動トランジスタ4はオンする。第2有機EL素子3のアノード電位は電源電位VDDまで上昇し、第1駆動トランジスタ2のゲート電位を電源電位に維持するため、ゲートライン6を非選択し、ゲートトランジスタ5がオフしても第1有機EL素子1は消灯し続けることができる。

【 0 0 2 4 】

このように、画素10は一度書き込まれたデジタルデータが保持されるため、同じデータを保持するために定期的に書き込み動作を繰り返す必要がない。

【 0 0 2 5 】

また、データライン7をLowにプリチャージし、ゲートライン6を読み出し選択する（ゲートトランジスタ5のオン抵抗が第2駆動トランジスタ4のオン抵抗よりも大きくなるようにより高いLow電圧を供給する）と画素10に書き込まれたデジタルデータをデータライン7へ読み出すことができる。第1駆動トランジスタ2のゲート端子にHighが保持されている場合、データライン7をLowにプリチャージし、ゲートライン6を読み出し選択すると、電源ライン8から第2駆動トランジスタ4、ゲートトランジスタ5を経由して電流が流れ、データライン7を電源電圧VDDにチャージする。

【 0 0 2 6 】

その間、ゲートトランジスタ5のオン抵抗が第2駆動トランジスタ4のオン抵抗に比較して大きいことから、抵抗分割により、第1駆動トランジスタ2のゲート電位はHigh側に維持される。このため、読み出しによりデータは破壊されない。第1駆動トランジスタ2のゲート端子にLowが保持されている場合は、データライン7をLowにプリチャージしてゲートライン6を読み出し選択するが、データライン7もLowであるため電流

10

20

30

40

50

が流れず、データライン 7 のプリチャージされた Low 電位に変化はない。このようにして、読み出し選択してから一定時間経過したのち、データライン 7 の電位を取り込むことで、スタティックメモリに保持されているデータを読み出すことができる。

【 0 0 2 7 】

図 2 には、アクティブマトリクス型有機 EL ディスプレイに導入されている不良検出のための不良検出回路が示されている。上述したリードライト可能なスタティックメモリが導入された画素 1 0 がマトリクス状に配置されて表示アレイ（表示領域）1 1 が形成されている。その列方向に配置されたデータライン 7 は、列シフトレジスタ 1 3 とバススイッチ 1 2 により例えば左から右へ順にデータバス 1 5 に接続される。また、行方向に配置されたゲートライン 6 は、行シフトレジスタ 1 4 により例えば上から下へ順に選択されて、画素 1 0 にデータバス 1 5 に供給されるデータが書き込まれる。

10

【 0 0 2 8 】

図 2 には、RGB のデータバスが示されており、RGB のデータが一度に入力され、対応するデータライン 7 に供給される。その間、行シフトレジスタ 1 4 は順に 1 ラインずつゲートライン 6 を選択していくため、第 n ラインが書き込み選択されている間に、列シフトレジスタ 1 3 により 1 ラインの画素数と同じ数のバススイッチ 1 2 を順に左から右へオンしデータバス 1 5 にデータライン 7 を接続する。これによって、データバス 1 5 に供給された第 n ラインの RGB データが各画素 1 0 に書き込まれる。逆に、読み出し選択された場合には、画素 1 0 から一端読み出された 1 ライン分のデータがデータライン 7 に保持され、バススイッチ 1 2 が順にデータライン 7 とデータバス 1 5 を接続することでデータライン 7 上に読み出されたデータがデータバス 1 5 から読み出される。

20

【 0 0 2 9 】

列シフトレジスタ 1 3、行シフトレジスタ 1 4、データバス 1 5 へ外部から入力される信号、あるいは外部へ出力される信号は I/O パッド 1 6 を介し伝達される。すなわち、外部の信号発生器などから生成される列シフトレジスタ 1 3、行シフトレジスタ 1 4 への制御信号及び電源電圧はそれぞれ I/O パッド 1 6 - 1、1 6 - 3 から入力される。RGB データを外部から入力したり、画素 1 0 から読み出されたデータを出力するデータバス 1 5 へのアクセスは I/O パッド 1 6 - 2 を介して行われる。

【 0 0 3 0 】

TFT 基板に有機 EL 素子を形成した後の最終的な不良検出を行う場合、全画素点灯して不良画素があるか否かを検出する必要があるが、スタティックメモリが導入されていない画素の場合、通常 60 Hz で画素にデータを書き込んで全画素を点灯する必要がある。パネルの解像度が高くなり、そのサイズが大きくなると、低インピーダンス出力かつ高速なデータ転送が必要となる。このため、ドライバ IC を搭載して、その I/O パッドを I/O パッド 1 6 - 4 に接続して点灯試験を行う必要がある。しかし、仮にドライバ IC を搭載して不良検査を行えたとしても、パネルに不良が許容できない程度存在し、それらが修正されなければ搭載したドライバ IC は再利用できず、検査コストが増加してしまう。

30

【 0 0 3 1 】

一方、本実施形態においては、各画素 1 0 には、スタティックメモリが導入されている。このため、一度データを書き込むとそのデータは維持され、常に定期的にデータを書き込む必要はない。この機能を用いると、表示を行うために通常必要な 60 Hz のリフレッシュが不要となることから、外部からのデータ転送速度を低減できる。そこで、低温ポリシリコン TFT などの高性能なトランジスタを用いれば、表示アレイ 1 1 が大型化、高解像度化しても、列シフトレジスタ 1 3、行シフトレジスタ 1 4、バススイッチ 1 2 を動作させて全画素にデータを書き込み、フリッカのない適切な表示を行うことができる。すなわち、列シフトレジスタ 1 3、行シフトレジスタ 1 4、バススイッチ 1 2 を高速に動作させる必要がないため、これらの回路構成が簡略化され、TFT 基板上へ導入することが容易となる。

40

【 0 0 3 2 】

例えば、RGB それぞれ 1 画素あたり低温ポリシリコン TFT でも動作可能な期間 1 μ

50

sで画素の書き込みを行うと、フルハイビジョンの解像度(1920×1080)でも2秒程度で全画素にデータを書き込むことができる。検査にとっては十分な速度である。これが60Hzでリフレッシュしなければならないとなると、RGB1画素あたり、 $60 \times 1920 \times 1080 = 124 \text{ MHz}$ (8ns)でデータ転送しなければならない、低温ポリシリコンTFTでは非常に難しい。もし、可能であるとしても、バス幅を増加したり、より複雑な回路を用いることとなり、これらの検出のために導入したバス配線のショートや、回路の不良が起きやすく、画素不良の検出を困難にしてしまう。つまり、スタティックメモリを導入した画素10により、画素不良検出のための周辺回路の不良を抑制しつつ、ドライバICの実装を不要とすることで検査コストを最小限にすることができる。

【0033】

また、画素10のスタティックメモリはデータの読み出しが可能である。この機能を利用すると、一端全画素にデータを書き込んだ後、1画素ずつデータを読み出すことで書き込まれたデータのペリファイが可能となる。これについて、より具体的に、図1を用いて説明すると、以下ようになる。

【0034】

もし、第1有機EL素子1に不良が発生し、カソード電極9と第1有機EL素子1のアノードがショートしていた場合、第2駆動トランジスタ4のゲート端子は常にLowとなるため、読み出されるデータは常にHighとなる。ペリファイ時に、Low(白データ)を書き込み、High(黒データ)が読み出されることになるので、明らかにペリファイエラーとなる。全画素に白データを書き込んで、全画素から白データを読み出してペリファイし、今度は黒データを書き込んで黒データを読み出してペリファイすれば全画素の白黒の動作が適切であるかを判定できる。あるいはチェッカーパターンや、縦縞模様、横縞模様などのペリファイパターンを用いてペリファイを行ってもよい。このようなペリファイによって検出される不良は、有機EL素子によるものだけでなく、TFTや配線間のオープンショートも含まれるが、いずれにしてもこのようにして全画素の不良個所を特定すると、図3のような不良マップが作成できる。

【0035】

図3には横線欠陥、縦線欠陥、画素欠陥の不良マップの一例が示されている。先のペリファイによって検出したペリファイエラーを分かりやすいように白は正常な画素として、黒は欠陥画素として表示アレイ11の画素10の位置に対応して作成されている。この不良マップから、横に連続して並ぶ場合にはゲートライン6、縦に連続して不良画素が並ぶ場合にはデータライン7のオープンショート不良が考えられるし、画素欠陥であれば、個々の有機EL素子がTFTの不良と考えられ、表示を見るまでもなく、ペリファイによって読み出されたデータを判定することで不良の分類が可能となる。

【0036】

ペリファイの際には有機EL素子が点灯しているので表示を見ても一目瞭然であるが、図4のように不良解析システムを構成すると大量のパネルを自動でより高速に不良検出することができ、不良原因の解析を早期に行うことができる。

【0037】

図4の不良解析システムは、ペリファイ機能を有する有機ELパネル17のIOパッド16にプローブ端子を当てて制御信号、データ、電源を供給するプロ-バーとパーソナルコンピュータ(PC)一式から構成される。有機ELパネル17のIOパッド16にプローブ端子を当て、制御信号、データ、電源を供給して先に説明したペリファイを行い、全画素の画素欠陥を検出する。ペリファイエラーデータはプロ-バーからPCへ送られ、PCのソフトウェアにより図3のような欠陥マップが作成され、画素欠陥の個数、欠陥の特徴などとともに、モニターに表示される。欠陥が許容条件内にある場合には次の工程へ渡されるが、許容条件を逸脱していると、欠陥内容を実際の表示と照らし合わせて作業員による確認が行われ、問題の詳細な特定、解決へと作業を移行する。これらすべてのパネルの欠陥情報はデータベース化することができるため、いつ何時のどのパネル工程でどのような不良が生じたかの追跡や、歩留まり改善状況が容易に把握できるようになる。

10

20

30

40

50

【 0 0 3 8 】

このような自動不良検出の結果、改善の余地があるものとなないものとに分類され、改善の余地があるものは次の段階で図 5 のような改善策が適用される。図 5 には表示アレイ 11 の冗長構成の例が示されている。通常、有効表示領域 18 の画素数は仕様により定められた数、例えばフルハイビジョンでは 1920×1080 画素から構成されているが、図 5 ではさらに例えば左右に 100 画素、上下に 50 画素ずつ多く配置した 2120×1180 画素から構成されている。表示アレイ 11 の斜線部が標準冗長領域であり、目立つ画素欠陥が先のペリファイにより白塗りで示されている標準有効表示領域内の右下の端（×であらわされている位置）に存在すると判明した場合、有効表示領域 18 を点線領域に移動することで有機 EL パネル 17 が不良になることを防ぐことができる。自動画素欠陥検出により、欠陥がない領域を検索することができるため、欠陥の許容できる適切な領域を探し出して、有効表示領域を再設定することができる。

10

【 0 0 3 9 】

移動先の有効表示領域 18 にも許容できない画素欠陥が存在することが判っている場合には、先のように単純に有効表示領域を再設定することは望ましくない。その場合には、有効表示領域 18 を固定せずにある時間が経過した後に少しだけずらしていくというように有効表示領域 18 を動的に設定できるようにするとよい。そうすればある期間に図 5 の白塗り部の標準有効表示領域に有効表示領域 18 が設定されている場合には画素欠陥が画面右下に見えるが、次の時点には点線領域に移動しているため点線領域にある欠陥は表示に影響するものの、右下の欠陥の影響はない。欠陥が固定位置に見えないため目立たないという効果が期待できる。さらに、有効表示領域が移動するため、焼きつきが回避できるという効果も得られる。

20

【 0 0 4 0 】

より柔軟な有効表示領域の再設定を可能とすることは欠陥表示の回避、焼きつきの回避に効果的であり、冗長表示領域がより大きく確保されていることが望ましい。しかし、冗長表示領域は使用時に額縁と見なされ、あまり大きいと見栄えが悪くなるため、概ねパネルサイズの 10 % 程度以下に抑えるとよいであろう。

【 0 0 4 1 】

欠陥の所在が表示アレイ 11 の中央に寄っている場合には図 5 のような方法のみでは欠陥を回避することは難しいが、図 6 のような画素構成を採用することで欠陥を目立たなくすることができる。

30

【 0 0 4 2 】

図 6 には、画素 10 に、複数のサブ画素、ここでは 6 ビット導入して 1 つの単位画素 19（RGB いずれかの画素）を構成した例を示す。各サブ画素 10 - 0 ~ 10 - 5 の発光強度の比はそれぞれ 1 : 2 : 4 : 8 : 16 : 32 に設定されており、図 6 は第 1 有機 EL 素子 1 の発光面積を変えて実現している。但し、発光面積は変えたとしても、必ずしも 2 のべき乗とする必要はない。つまり、テレビ等のアプリケーションを想定するならば、ピークの 20 % ~ 30 % 程度の明るさが平均輝度となり、より多い頻度で点灯するため、劣化を考慮して、上記発光強度比 16 / 63 の画素の発光面積をより大きくしてもよいし、温度を考慮して、より影響を受けやすい発光強度比 32 / 63 の発光面積をさらに大きくして劣化を抑制してもよい。この場合、発光強度が想定比率と比較して大きいため、発光期間を制御して所望の発光強度を実現する。

40

【 0 0 4 3 】

ここで、サブ画素 10 - 0 ~ 10 - 5 の発光強度の比は発光面積を変えなくても実現できる。図 11 では、定電流駆動トランジスタ 24 を第 1 駆動トランジスタ 2 と第 1 有機 EL 素子 1 の間に直列に導入している。すなわち、定電流駆動トランジスタ 24 は、そのゲート端子を電流制御ライン 25 に接続しており、この電流制御ライン 25 に与える電位を制御することで第 1 有機 EL 素子 1 の発光強度を変化させることができる。そこで、各サブ画素でそれぞれに接続される電流制御ライン 25 の電位を変更することで各サブ画素の発光強度を変化させることができる。なお、図 11 の画素 10 においても、電流制御ライ

50

ン 2 5 を L o w にして定電流駆動トランジスタ 2 4 を常時オンして動作させ、メモリデータの読み書きを行えば同様な自動不良検出が行える。

【 0 0 4 4 】

6 ビットの場合には、6 本の電流制御ライン 2 5 をそれぞれのサブ画素に導入されている定電流駆動トランジスタ 2 4 のゲート端子に接続し、図 1 2 に示されるように 6 種の異なる電位 ($V_{25-0} \sim V_{25-5}$) を与えて上記のような発光強度比になるように電流比 ($I_0 : I_1 : I_2 : I_3 : I_4 : I_5 = 1 : 2 : 4 : 8 : 16 : 32$) を与えるとよい。図 1 1 の画素を用いれば第 1 駆動トランジスタ 2 の電流値で発光強度を設定できるため、発光面積を変える必要がなく、また任意に電流設定ができるため、制御が容易である。

10

【 0 0 4 5 】

なお、MSBであるサブ画素 1 0 - 5 の第 1 有機 EL 素子 1 に電流が集中し、劣化が加速する。しかし、このような問題は、フレーム単位がある周期で MSB サブ画素を他のサブ画素と交換することも電流制御ライン 2 5 - 5 の電位 V_{25-5} を残りのいずれかの電流制御ライン 2 5 - i の電位 V_{25-i} と入れ替えることで解決することが可能である。特に、面積階調の場合、LSBのサブ画素の発光面積がMSBに対し32分の1となり微小化するため構成が難しくなる。そこで、このLSBのサブ画素のみ図 1 1 の画素を導入するなどして発光強度を小さく設定してもよい。これによって、必要となる電流制御ライン 2 5 の本数も少なく済む。

【 0 0 4 6 】

そして、図 6 のように単位画素内に複数のサブ画素を導入すれば、仮にそのうちの 1 サブ画素の有機 EL 素子に不良が起こっても、それ以外のサブ画素の動作が正常であれば 1 単位画素の欠陥にはならない。1 画素のみで単位画素が構成されている場合には、1 つの欠陥が単位画素の欠陥となるため、欠陥の発生リスクは高くなるが、複数のサブ画素が導入されていれば、リスクを分散する効果が期待できる。面積階調の場合、特に MSB であるサブ画素 1 0 - 5 の欠陥が単位画素として発光強度への影響が大きい。このため、この MSB サブ画素が不良か否かが対処において優先される。先のように自動不良検出により、全画素の不良を検証後、不良が検出され、それが中央に偏っている場合、その不良が MSB サブ画素であるかどうかの評価される。MSB サブ画素でなければ単位画素としての不良の許容度を低く設定し、不良の評価が低く抑えられる。なぜなら、図 5 のように動的有効表示領域設定を適用すれば、不良の個所が相対的に移動するため、少なくとも MSB サブ画素が正常に動作すれば、欠陥が目立ちにくいと判断できるからである。しかし、MSB サブ画素であった場合には、それ以外のサブ画素の不良状況とも合わせて良否の判定がなされる。他のサブ画素が正常に動作し、図 5 の動的有効表示領域設定により、目立たないと判断できれば良品となるし、周囲の MSB サブ画素の欠陥が多い場合には不良と判断されるかもしれない。

20

30

【 0 0 4 7 】

図 1 1 に示すサブ画素を用い、6 つのサブ画素が全く同じ発光面積で、供給電流によって階調が制御される場合には、MSB サブ画素は切替えることができ、固定されないため、画素欠陥が目立ちにくい。このように、単位画素を複数のサブ画素により形成すれば、欠陥が必ずしもそのまま単位画素の欠陥に至らないため、歩留まりを向上できる。

40

【 0 0 4 8 】

なお、導入可能なサブ画素の数は多いほうがよいが、3 ビット、4 ビットと少なくとも効果がある。ただし、図 6 のように単位画素にサブ画素を多く導入すると画素数が増加し、ペリファイに時間を要するため、MSB サブ画素から優先的に自動不良検出を実行して、不良の判定を行い、ペリファイ時間を短縮してもよい。

【 0 0 4 9 】

以上は、出荷前に行う不良検出の説明であったが、以降は出荷後の不良検出について説明する。

【 0 0 5 0 】

50

有機ＥＬは有機材料を用いた半導体であるため、低温ポリシリコンＴＦＴなどの無機材料から形成された半導体と比較して一般的に信頼性が低いといわれている。すなわち、通常、出荷前の信頼性が出荷後も保証される必要があるが、使用条件に依存して信頼性の低下が懸念される。例えば、有機ＥＬの場合には劣化に伴い高抵抗化し、電流が流れにくくなり、画素１０に導入されているスタティックメモリが正常に動作しなくなる可能性がある。そこで、出荷後においても画素１０の読み出し機能を用いて不良検出を行うことが好適であり、これによって画素が正常に動作することを保証することができる。

【００５１】

図７に示されるように、出荷時には有機ＥＬパネル１７はＩＯパッド１６－４にデータドライバＩＣ２０のＩＯパッドが接続されて製品として出荷される。ただし、データライン７には他方にバススイッチ１２を介してデータバス１５に接続される可能性があるため、データドライバＩＣ２０が接続された時点で列シフトレジスタ１３はすべてのバススイッチ１２にオフの信号を送るように制御される。例えば、列シフトレジスタ１３にＩＯパッド１６－１から供給する制御信号を抵抗素子でプルアップ、もしくはプルダウンして固定すればよい。

【００５２】

データドライバＩＣ２０を接続した後も出荷前の不良検出が成されるが、ここで不良が検出されてもデータドライバＩＣ２０の接続による不良であるため、改善は容易である。なお、行シフトレジスタ１４の代わりにゲートドライバＩＣを接続する場合もあるが、図７では行シフトレジスタ１４をゲートドライバとして用いている。

【００５３】

データドライバＩＣ２０が接続されて出荷された有機ＥＬパネル１７は、制御回路２１からデータドライバ制御信号と映像データがデータドライバＩＣ２０へ供給されるとともに、ゲートドライバ制御信号がゲートドライバ（行シフトレジスタ１４）に供給されて通常のディスプレイとして動作する。出荷前に検出された不良情報は、あらかじめフラッシュメモリなどの不揮発性メモリから構成される不良情報メモリ２２へ格納されて出荷される、個々の有機ＥＬパネル１７に対応した情報である。ここで、不良情報には不良画素の位置がリストされており、例えば数十画素程度の少ないデータである。

【００５４】

本実施形態においては、ディスプレイの非使用期間の一部において、データドライバＩＣ２０により上述したベリファイによる自動不良検出がなされる。出荷前の自動不良検出とは異なり、データドライバＩＣ２０による画素１０へのデータの読み書きはライン単位で行われるためより高速である。また、制御回路２１は不良情報メモリ２２の不良情報をもとに、不良が増えていないかチェックする。不良個所が増加すれば不良情報メモリ２２を更新し、図５に示されているように、有効表示領域を適切な位置に再設定する。動的に有効表示領域を更新する場合には、設定領域として好ましい領域が不良情報を元に限定される。このようにして、不良情報を更新することで、不良画素が増加しても表示への影響を最小限に抑えることができる。制御回路２１及び不良情報メモリ２２はデータドライバＩＣ２０に内蔵されていてもよい。

【００５５】

さらに、図８の構成を用いることにより、出荷後に生じる、有機ＥＬディスプレイにとって最も懸念される焼きつきを回避できる。焼きつきは先に述べた画素の後発不良の一部と見なすことができるが、図８のように比較器２３を導入することで低減することができる。

【００５６】

図９には比較器２３と表示部の外に設けられた基準となる第ｘライン（基準ライン６－ｘ）を用いて第ｎ行ｍ列の画素の劣化を検出する例が示されている。基準ライン６－ｘには、表示部と同様な画素１０が設けられている。各データライン７にはデータドライバＩＣ２０の１入出力端子が接続され、また比較器２３が１つ接続されている。比較器２３は、第１スイッチＳＷ１、インバータＩＮＶ、保持容量ＣＡＰ、１ビットメモリＭＥＭ、第

10

20

30

40

50

2 スイッチ SW_2 から構成されている。データライン 7 は保持容量 CAP を介してインバータ INV の入力と接続されている。インバータ INV の入力と出力は第 1 スイッチ SW_1 により接続され、その出力は 1 ビットメモリ MEM に格納される。第 2 スイッチ SW_2 は 1 ビットメモリ MEM の出力をデータライン 7 へ出力するか否かを制御する。

【0057】

比較器 23 の動作を図 9 と図 10 を用いて説明する。図 9 には、第 m 列のデータライン 7 - m の例が示されているが、それ以外のデータライン 7 も同様に動作し、ライン単位で制御される。なお、画素回路は、図 1 に示した回路である。

【0058】

まず、データライン 7 を第 1 駆動トランジスタ 2 がオンする電位 V_p でプリチャージする。第 1 スイッチ SW_1 をオンすると同時に、第 x ラインを選択すると、第 x ラインの第 1 駆動トランジスタ 2 がオンし、第 2 駆動トランジスタ 4 がオフするため、データライン 7 にプリチャージされた電荷が第 x ラインを選択している期間 t_{dc} の間、第 2 有機 EL 素子 3 から放電される。データライン 7 は放電が経過するに従い次第に V_p から低下していき、第 1 スイッチ SW_1 がオフし、それと同時に第 x ラインが非選択されるところでデータライン 7 の放電は停止する。このデータライン 7 の電位 V_x は第 1 スイッチ SW_1 が開くタイミングで保持容量 CAP にサンプリングされる。次に、再度 V_p でデータライン 7 をプリチャージした後、第 n ラインを選択し、同じ期間 t_{dc} 放電させて第 n ラインを非選択するとデータライン 7 の電位は V_n となる。第 x ラインの第 2 有機 EL 素子 3 と第 n ラインの第 2 有機 EL 素子 3 の劣化の程度が異なれば、高抵抗化により放電特性も異なるため、それぞれの放電後の電位 V_x と V_n は異なる値になる。この差がインバータ INV で増幅され、結果が 1 ビットメモリ MEM に格納される。

【0059】

インバータ INV は次のように比較器として動作する。第 1 スイッチ SW_1 を閉じている間にデータライン 7 が電位 V_x となって第 1 スイッチをオフすると、電位 V_x はインバータ INV の閾値として作用するようになる。なぜなら、第 1 スイッチをオンするとインバータ INV の入力は $High$ と Low の中間点（閾値もしくは基準値）となり、保持容量 CAP にデータライン 7 が V_x となったときにインバータ INV の入力が閾値となるように設定されることと等価であるためである。したがって、第 1 スイッチ SW_1 がオフしている間、データライン 7 の電位を V_x 以下にするとインバータ INV は反転する。この動作を利用すると V_x と V_n の比較を行うことができる。つまり、まず第 x ラインの放電後の電位 V_x に比較器 23 の基準値を設定し、その後の電位 V_n を基準値 V_x と比較してその結果を 1 ビットメモリ MEM へ格納する。

【0060】

1 ビットメモリ MEM に格納されたデータは第 2 スイッチ SW_2 をオンすることでデータライン 7 に反映され、データドライバ IC 20 の入力端子から結果が読み取られる。この一連の動作は全列のデータライン 7 において行われるため、1 ライン単位で処理され、高速に第 x ラインと第 n ラインの劣化の差を読み取ることができる。

【0061】

第 $n+1$ ラインの場合も同様にまず第 x ラインの基準値を比較器 23 に設定し、第 $n+1$ ラインの電位 V_{n+1} を比較する。比較データは 1 ビットメモリ MEM に格納され、データドライバ IC 20 に読み出される。これを全てのラインで繰り返すと全画素の第 x ラインを基準としたときの第 2 有機 EL 素子 3 の劣化の差を読み出すことができ、各画素の劣化の差を確認することができる。

【0062】

図 9 では比較器 23 を用いてデータライン 7 の電圧値 V_x , V_n を比較したが、 V_p を供給した際の電流値 I_x , I_n を電流測定回路（図示せず）などで測定し、それらを比較してもよい。

【0063】

第 2 有機 EL 素子 3 は第 1 有機 EL 素子 1 が発光している間は発光しないし、逆に第 1

10

20

30

40

50

有機 E L 素子 1 が発光していない場合には発光するように相補に動作するため、第 1 有機 E L 素子 1 の劣化の逆特性が第 2 有機 E L 素子 3 に反映される。つまり、第 2 有機 E L 素子 3 が劣化しているということは第 1 有機 E L 素子 1 は劣化が少ないということであり、第 2 有機 E L 素子 3 が劣化していないならば第 1 有機 E L 素子 1 は劣化が進展しているということである。

【 0 0 6 4 】

劣化の差が確認された場合、次に説明する劣化均一化処理をディスプレイの非使用期間に施す。基準ラインより劣化が少ない画素は前記非使用期間の一部で点灯され、強制的に劣化させられる。この際、あまり明るく点灯させると均一化処理が目立つため、より電源電位 V D D を下げるなどして緩やかに劣化させてもよい。一定時間経過した後、再度全画素の基準ラインとの劣化比較を行い、基準ラインより劣化していない画素が減少していくことを確認した上で再度均一化処理を行うか否かが決定される。劣化が少ない画素がまだ多い場合には再度均一化処理が施され、劣化比較が行われる。劣化の少ない画素が一定条件内に収まれば均一化処理を終了し、焼きつきが均一化された状態で維持される。

10

【 0 0 6 5 】

ここで、基準ラインはディスプレイの使用期間中、常に 1 ラインすべての画素が同じ明るさで点灯させられ、一様に劣化するように動作させてもよいし、放電期間 t d c を短くして、見かけ上劣化させたように制御し、劣化比較を行ってもよい。また、比較器 2 3 は画素と同一基板上に形成されていてもよいし、データドライバ I C 2 0 の内部に導入されていてもよい。

20

【 0 0 6 6 】

このように、出荷後においても定期的に画素のベリファイや劣化状態をモニターすることで出荷後のディスプレイの信頼性をも向上させることができる。

【図面の簡単な説明】

【 0 0 6 7 】

【図 1】実施形態において利用する画素回路の構成を示す図である。

【図 2】実施形態に係る表示パネルの不良画素検出のための構成例を示す図である。

【図 3】不良画素の位置を示す図である。

【図 4】検査のためのシステムを示す図である。

【図 5】画素領域と、表示領域を示す図である。

30

【図 6】単位画素の構成例を示す図である。

【図 7】実施形態に係る表示パネルの不良画素検出のための構成例を示す図である。

【図 8】実施形態に係る表示パネルの不良画素検出のための構成例を示す図である。

【図 9】比較器を用いた表示パネルの不良画素検出のための構成例を示す図である。

【図 10】図 8 の構成のタイミングチャートを示す図である。

【図 11】画素回路の他の構成を示す図である。

【図 12】有機 E L 素子の I - V 曲線を示す図である。

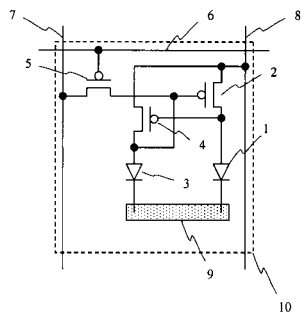
【符号の説明】

【 0 0 6 8 】

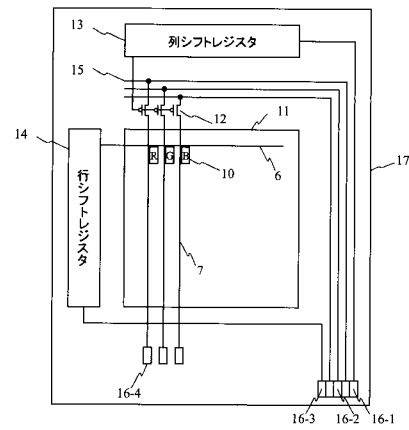
1 第 1 有機 E L 素子、2 第 1 駆動トランジスタ、3 第 2 有機 E L 素子、4 第 2 駆動トランジスタ、5 ゲートトランジスタ、6 ゲートライン、7 データライン、8 電源ライン、9 カソード電極、10 画素、11 表示アレイ、12 バススイッチ、13 列シフトレジスタ、14 行シフトレジスタ、15 データバス、16 I O パッド、17 有機 E L パネル、18 有効表示領域、19 単位画素、20 データドライバ I C、21 制御回路、22 不良情報メモリ、23 比較器、24 定電流駆動トランジスタ、25 電流制御ライン。

40

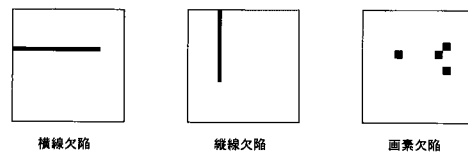
【図 1】



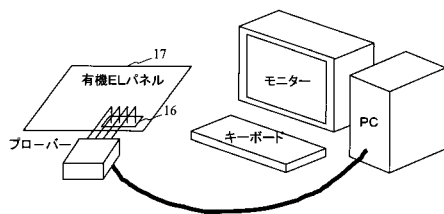
【図 2】



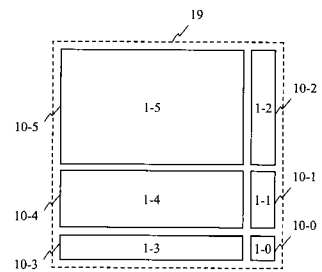
【図 3】



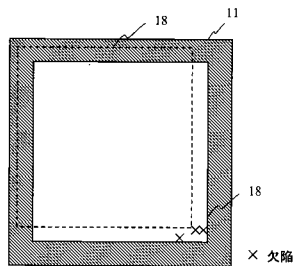
【図 4】



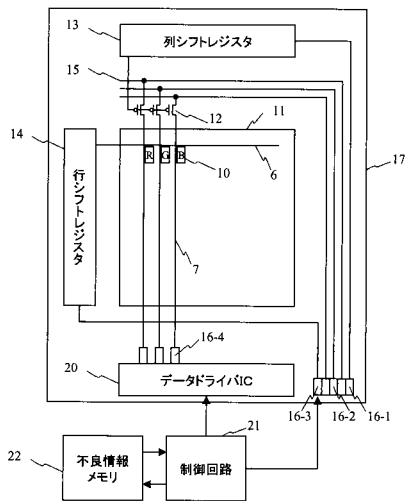
【図 6】



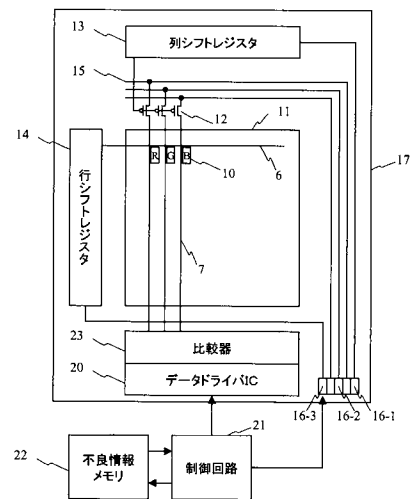
【図 5】



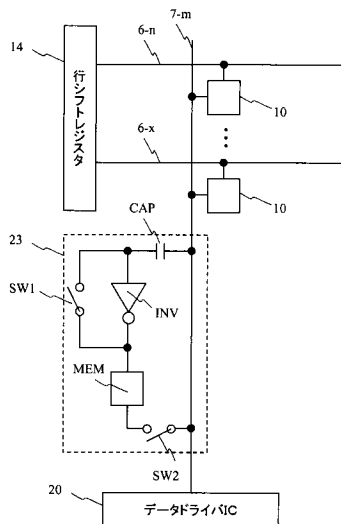
【図 7】



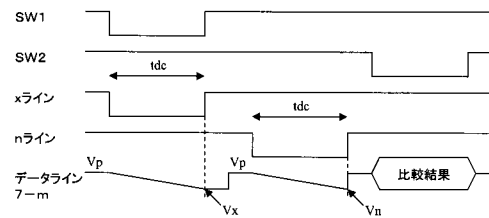
【図 8】



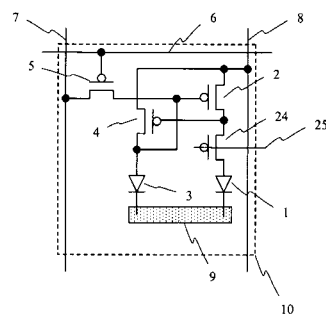
【図 9】



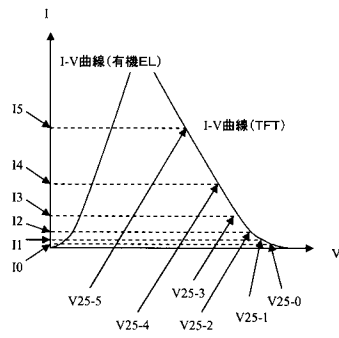
【図 10】



【図 11】



【図 12】



 フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
H 0 5 B 33/12 (2006.01)	G 0 9 G 3/20	6 6 0 E
	G 0 9 G 3/20	6 3 1 V
	G 0 9 G 3/20	6 4 1 G
	G 0 9 G 3/20	6 4 1 K
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 7 0 Q
	G 0 9 G 3/20	6 7 0 K
	G 0 9 F 9/00	3 5 2
	H 0 5 B 33/10	
	H 0 5 B 33/14	A
	H 0 5 B 33/12	Z

F ターム(参考) 5C080 AA06 BB05 DD01 DD15 DD28 DD29 EE22 FF11 GG12 HH09
 JJ01 JJ02 JJ03 JJ04 JJ05 JJ06
 5G435 AA19 BB05 CC09 KK05 KK10

专利名称(译)	检测显示面板和显示面板缺陷的方法		
公开(公告)号	JP2009092965A	公开(公告)日	2009-04-30
申请号	JP2007263905	申请日	2007-10-10
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
[标]发明人	川边和佳		
发明人	川边 和佳		
IPC分类号	G09G3/30 G09G3/20 G09F9/00 H05B33/10 H01L51/50 H05B33/12		
CPC分类号	G09G3/006 G09G3/325		
FI分类号	G09G3/30.J G09G3/20.670.B G09G3/20.624.B G09G3/30.H G09G3/20.670.A G09G3/20.660.E G09G3/20.631.V G09G3/20.641.G G09G3/20.641.K G09G3/20.641.D G09G3/20.623.R G09G3/20.670.Q G09G3/20.670.K G09F9/00.352 H05B33/10 H05B33/14.A H05B33/12.Z G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE03 3K107/GG56 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD15 5C080/DD28 5C080/DD29 5C080/EE22 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5G435/AA19 5G435/BB05 5G435/CC09 5G435/KK05 5G435/KK10 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AB34 5C380/AC04 5C380/AC07 5C380/BA28 5C380/BA29 5C380/BB09 5C380/BC01 5C380/BD11 5C380/BD12 5C380/CA08 5C380/CA14 5C380/CB01 5C380/CC23 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC45 5C380/CC62 5C380/CD073 5C380/CD074 5C380/CF05 5C380/CF07 5C380/CF23 5C380/CF41 5C380/CF43 5C380/CF51 5C380/CF61 5C380/DA02 5C380/DA06 5C380/DA11 5C380/DA16 5C380/DA35 5C380/DA51 5C380/DA53 5C380/DA56 5C380/DA57 5C380/FA02 5C380/FA03 5C380/FA21 5C380/GA05 5C380/GA09 5C380/HA16		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

要解决的问题：在形成显示面板的各个像素之后有效地检测阶段的缺陷像素。解决方案：显示面板（有机EL面板）17具有以矩阵布置的像素10。每个像素10设置有静态存储器，并且每个像素根据存储在静态存储器中的数据发光。从外部提供的数据被写入每个像素10的静态存储器，然后存储在静态存储器中的数据被读取并输出到外部。因此，可以在外部检测缺陷。Z

