

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-233109

(P2007-233109A)

(43) 公開日 平成19年9月13日(2007.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 623F	5C080
H01L 51/50 (2006.01)	G09G 3/20 612F	
	G09G 3/20 641C	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 8 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2006-55690 (P2006-55690)
 (22) 出願日 平成18年3月2日(2006.3.2)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 長谷川 洋
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC33 EE03 EE68
 HH04 HH05
 5C080 AA06 BB05 DD05 EE29 FF11
 GG15 GG17 JJ02 JJ03 JJ05
 JJ06

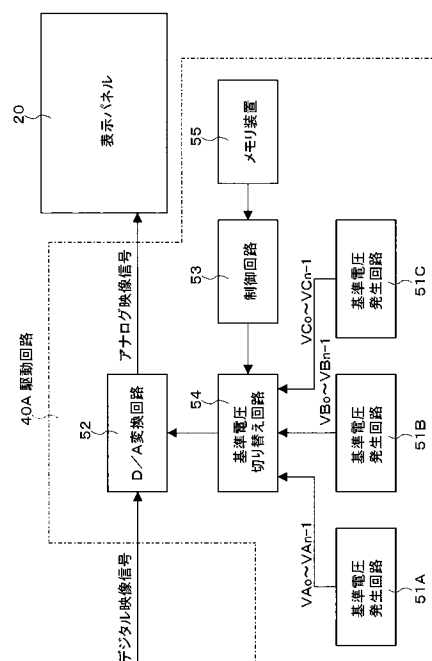
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】画面全体に対して一律に補正を行うようにすると、結晶化プロセスに起因するスジ状の輝度ばらつきを補正することはできない。

【解決手段】基準電圧選択型D/A変換回路を用いたアクティブマトリクス型有機EL表示装置において、表示パネル20の画素行ごとの輝度レベルを、例えば標準輝度レベル、標準よりも明るいおよび暗いの3段階に評価して、その評価結果を画素行ごとにメモリ装置55に記憶しておく。そして、通常の表示駆動時に、メモリ装置55に記憶している輝度レベルの評価結果を基に、D/A変換回路52に供給する複数の基準電圧 $V_0 \sim V_{n-1}$ として、基準電圧 $VA_0 \sim VA_{n-1}$ 、 $VB_0 \sim VB_{n-1}$ 、 $VC_0 \sim VC_{n-1}$ のいずれかを画素行ごとに選択するように、制御回路53によって基準電圧切り替え回路54を切り替え制御する。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

発光画素が行列状に 2 次元配置されてなる画素アレイ部と、
デジタル映像信号のビット数に対応した複数の基準電圧を生成し、当該複数の基準電圧の中から前記デジタル映像信号に対応した 1 つの基準電圧を選択して前記画素アレイ部の発光画素を駆動するアナログ映像信号とするデジタル / アナログ変換手段と、
前記画素アレイ部の画素行ごとの発光強度に応じて前記複数の基準電圧の電圧値を画素行ごとに制御する制御手段と
を備えたことを特徴とする表示装置。

【請求項 2】

10

前記制御手段は、
前記画素アレイ部の画素行ごとの発光強度の情報を画素行ごとに記憶する記憶手段と、
前記複数の基準電圧として電圧値が異なる複数系統の基準電圧を発生する複数の基準電圧発生手段と、
前記記憶手段の記憶情報に基づいて前記複数系統の基準電圧のいずれかを選択して前記デジタル / アナログ変換手段に供給する基準電圧切り替え手段と有する
ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記制御手段は、
前記画素アレイ部の画素行ごとの発光強度の情報を画素行ごとに記憶する記憶手段と、
前記記憶手段の記憶情報に基づいて当該記憶情報に対応した電圧値の基準電圧を前記複数の基準電圧として前記デジタル / アナログ変換手段に供給する単一の基準電圧発生手段とを有する
ことを特徴とする請求項 1 記載の表示装置。

20

【請求項 4】

発光画素が行列状に 2 次元配置されてなる画素アレイ部と、
デジタル映像信号のビット数に対応した複数の基準電圧を生成し、当該複数の基準電圧の中から前記デジタル映像信号に対応した 1 つの基準電圧を選択して前記画素アレイ部の発光画素を駆動するアナログ映像信号とするデジタル / アナログ変換手段と、
前記画素アレイ部の各発光画素の発光強度を画素行ごとに検出する検出手段と、
前記検出手段の検出出力に応じて前記複数の基準電圧の電圧値を画素行ごとに制御する制御手段と
を備えたことを特徴とする表示装置。

30

【請求項 5】

前記制御手段は、
前記検出手段によって検出された画素行ごとの発光強度の情報を画素行ごとに記憶する記憶手段と、
前記記憶手段の記憶情報に基づいて当該記憶情報に対応した電圧値の基準電圧を前記複数の基準電圧として前記デジタル / アナログ変換手段に供給する基準電圧発生手段とを有する
ことを特徴とする請求項 4 記載の表示装置。

40

【請求項 6】

前記発光画素の発光素子が有機 EL 素子であり、
前記検出手段は、画素行ごとに、前記発光画素に隣接して配置された有機 EL 素子である
ことを特徴とする請求項 4 記載の表示装置。

【請求項 7】

発光画素が行列状に 2 次元配置されてなる画素アレイ部と、
デジタル映像信号のビット数に対応した複数の基準電圧を生成し、当該複数の基準電圧の中から前記デジタル映像信号に対応した 1 つの基準電圧を選択して前記画素アレイ部の

50

発光画素を駆動するアナログ映像信号とするデジタル／アナログ変換手段とを備えた表示装置の駆動方法であって、

前記画素アレイ部の画素行ごとの発光強度に応じて前記複数の基準電圧の電圧値を画素行ごとに制御する

ことを特徴とする表示装置の駆動方法。

【請求項 8】

発光画素が行列状に 2 次元配置されてなる画素アレイ部と、

デジタル映像信号のビット数に対応した複数の基準電圧を生成し、当該複数の基準電圧の中から前記デジタル映像信号に対応した 1 つの基準電圧を選択して前記画素アレイ部の発光画素を駆動するアナログ映像信号とするデジタル／アナログ変換手段とを備えた表示装置の駆動方法であって、

10

前記画素アレイ部の各発光画素の発光強度を画素行ごとに検出し、

この検出した画素行ごとの発光強度に応じて前記複数の基準電圧の電圧値を画素行ごとに制御する

ことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示装置の駆動方法に関し、特にデジタル映像信号をアナログ映像信号に変換する D / A (デジタル / アナログ) 変換回路として基準電圧選択型 D / A 変換回路を用いた表示装置および当該表示装置の駆動方法に関する。

20

【背景技術】

【0002】

表示装置、例えば液晶ディスプレイや有機 E L (electro luminescence) ディスプレイ等のアクティブマトリクス型表示装置を駆動する回路では、低温ポリシリコンによる薄膜トランジスタ (T F T ; Thin Film Transistor) が一般的に用いられている。何故ならば、低温ポリシリコンによる薄膜トランジスタは、高い移動度が得られるなどその効果が大きいためである。

【0003】

一方、基板上に表示画素が行列状に 2 次元配置されてなる表示パネルにおいては、レーザアニール技術を用いた結晶化プロセスにおけるエネルギーのばらつきに起因して、スジ状に輝度が不均一になる現象が現れる。このスジ状に見える輝度ばらつき、即ち発光特性のばらつきは、そのまま表示特性の不均一さとなって表示品位を低下させる。したがって、発光特性のばらつきを補正する必要がある。

30

【0004】

従来、画素ごとに複数のトランジスタを組み込み、これらトランジスタによる作用によって発光特性のばらつきを補正する技術が種々報告されている (例えば、特許文献 1 , 2 , 3 参照) 。しかし、画素ごとに複数のトランジスタを組み込むようにすると、画素サイズが大きくなるために、多画素化による高精細化を妨げる要因になる。

【0005】

40

これに対して、基準電圧選択型 D / A 変換回路を用いたアクティブマトリクス型表示装置において、発光素子の発光調整に関する情報に基づいて、D / A 変換回路の基準電圧を調整し、R (赤) G (緑) B (青) の色ごとの駆動信号に分けられる前の R G B 信号のレベルを変化させることにより、発光特性のばらつきを補正するようにした技術が知られている (例えば、特許文献 4 参照) 。

【0006】

さらに、D / A 変換用の基準電圧の生成に使用する原基準電圧を、原基準電圧設定データに応じて生成することにより、発光特性のばらつきを補正するようにした技術も知られている (例えば、特許文献 5 参照) 。

【0007】

50

【特許文献１】特開２００３－０２２０５０号公報

【特許文献２】特開２００３－２１６１００号公報

【特許文献３】特開２００５－１５７００９号公報

【特許文献４】特開２００４－１５１５０１号公報

【特許文献５】特開２００５－２８４０３７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００８】

しかしながら、上記特許文献４，５に記載の従来技術はいずれも、画面全体に対して一律に、即ち全画素に対して一律に補正を行うようにしているために、レーザーアニール技術を用いた結晶化プロセスにおけるエネルギーのばらつきに起因して発生するスジ状に見える輝度ばらつきを補正することはできない。 10

【０００９】

そこで、本発明は、結晶化プロセスにおける特性ばらつきに起因してスジ状に見える輝度ばらつきの軽減を可能とした表示装置および表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【００１０】

上記目的を達成するために、本発明は、次のような構成を採っている。すなわち、発光画素が行列状に２次元配置されてなる画素アレイ部と、デジタル映像信号のビット数に対応した複数の基準電圧を生成し、当該複数の基準電圧の中から前記デジタル映像信号に対応した１つの基準電圧を選択して前記画素アレイ部の発光画素を駆動するアナログ映像信号とするＤ／Ａ変換手段とを備えた表示装置において、前記画素アレイ部の画素行ごとの発光強度に応じて前記複数の基準電圧の電圧値を画素行ごとに制御するようにする。 20

【００１１】

基準電圧選択型Ｄ／Ａ変換回路を用いてデジタル映像信号をアナログ映像信号に変換して発光画素を発光駆動する表示装置において、スジ状の輝度ばらつき、特に横スジ状の輝度ばらつきは、画素行ごとの発光強度のばらつきであるとも言える。したがって、基準電圧選択型Ｄ／Ａ変換回路における複数の基準電圧の電圧値を、画素行ごとの発光強度に応じて画素行ごとに制御する、具体的には発光強度のばらつきを補正する方向に制御することで、画素行単位のスジ状の輝度ばらつきを補正することができる。 30

【発明の効果】

【００１２】

本発明によれば、画素行単位のスジ状の輝度ばらつきを補正することができるために、結晶化プロセスにおける特性ばらつきに起因してスジ状に見える輝度ばらつきを軽減することができる。

【発明を実施するための最良の形態】

【００１３】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【００１４】

以下では、発光画素の電気光学素子として自発光素子である有機ＥＬ素子を用いるとともに、当該有機ＥＬ素子を駆動する能動素子として低温ポリシリコンシリコンを活性層とする薄膜トランジスタ（以下、「ＴＦＴ」と記述する）を用いたアクティブマトリクス型有機ＥＬディスプレイに適用した場合を例に挙げて説明するものとする。 40

【００１５】

ただし、本発明は、有機ＥＬディスプレイへの適用に限られるものではなく、液晶ディスプレイなど、低温ポリシリコンによるＴＦＴを用いてなる表示装置全般に適用可能である。

【００１６】

図１は、本適用例に係るアクティブマトリクス型有機ＥＬディスプレイの構成の概略を 50

示すブロック図である。図 1 に示すように、本適用例に係る有機 E L ディスプレイは、有機 E L 素子を含む発光画素 10 が行列状に 2 次元配置されるとともに、行ごとに走査線 11 が、列ごとにデータ線 12 がそれぞれ配線されてなる表示パネル（画素アレイ部）20 と、走査線 11 を介して発光画素 10 の各々を行単位で走査選択する行走査回路 30 と、データ線 12 を介して発光画素 10 の各々にアナログ映像信号を供給する駆動回路 40 とを有する構成となっている。

【0017】

行走査回路 30 は、シフトレジスタやアドレスデコーダ等によって構成され、表示パネル（画素アレイ部）20 の各発光画素 10 を行単位で選択するための信号を走査線 11 に対して順次出力する。駆動回路 40 は、D/A 変換回路を内蔵し、入力されるデジタル映像信号を当該 D/A 変換回路でアナログ映像信号に変換し、行走査回路 30 によって選択された行の発光画素 10 の各々に対してデータ線 12 を介して供給する。

10

【0018】

行走査回路 30 においては、D/A 変換回路として、デジタル映像信号のビット数に対応した複数の基準電圧を発生し、当該複数の基準電圧の中からデジタル映像信号に対応した 1 つの基準電圧を選択してアナログ映像信号とする、いわゆる基準電圧選択型の D/A 変換回路を用いることになる。

【0019】

（発光画素の回路構成）

図 2 は、発光画素 10 の回路構成の一例を示す回路図である。図 2 に示すように、発光画素 10 は、アノードが例えばグランド（GND）に接続された有機 E L 素子 21 と、ドレインが有機 E L 素子 21 のカソードに、ソースが例えば負電源 V_{ss} にそれぞれ接続された T F T 22 と、この T F T 22 のゲートと負電源 V_{ss} との間に接続されたキャパシタ 23 と、ゲートが走査線 27（図 1 の走査線 11 に相当）に、ドレインがデータ線 28（図 1 のデータ線 12 に相当）にそれぞれ接続された T F T 24 と、ドレインが T F T 24 のソースに、ソースが負電源 V_{ss} に、ゲートが T F T 22 のゲートにそれぞれ接続された T F T 25 と、ドレインが T F T 25 のドレインに、ゲートが制御線 29 に、ソースが T F T 22 のゲートにそれぞれ接続された T F T 26 とを有する構成となっている。

20

【0020】

ここで、有機 E L 素子 21 は多くの場合整流性があるため、O L E D (Organic Light Emitting Diode) と呼ばれることがある。したがって、図 2 では、O L E D としてダイオードの記号を用いて示している。ただし、O L E D には必ずしも整流性を持つことを要求するものではない。

30

【0021】

上記構成の発光画素 10 は、輝度情報が電流の形で書き込まれる電流書き込み型の画素回路構成となっている。すなわち、画素 10 の各々には、走査線 27 が選択された状態において、輝度情報がデータ線 28 を通して電流として書き込まれる。この電流輝度情報は T F T 24 によって画素回路内に取り込まれ、T F T 25 によって電圧輝度情報に変換されてキャパシタ 23 に保持される。

【0022】

T F T 22 は、キャパシタ 23 に保持された電圧輝度情報を電流に変換し、この電流を駆動電流として有機 E L 素子 21 に流すことによって当該有機 E L 素子 21 を発光駆動する。これにより、有機 E L 素子 21 は、書き込まれた電流輝度情報に応じた輝度で発光する。この書き込まれた輝度情報は、走査線 27 が非選択となった後もキャパシタ 23 に保持される。したがって、有機 E L 素子 21 はその保持された電圧輝度情報に応じた輝度で発光状態を持続する。

40

【0023】

この発光状態において、制御線 29 を通して発光時間制御信号が T F T 26 のゲートに与えられると、これに 응답して T F T 26 がオン状態となる。これにより、キャパシタ 23 に保持されていた電圧輝度情報（電荷）が T F T 26 を通して放電される。そして、T

50

F T 2 2 のゲート-ソース間電位がしきい値を下回ると、T F T 2 2 がオフ状態となって有機 E L 素子 2 1 への駆動電流の供給を停止する。その結果、発光状態にあった有機 E L 素子 2 1 が非発光状態に移行する。すなわち、T F T 2 6 は、制御線 2 9 を通して与えられる発光時間制御信号に応じてオン/オフすることによって、有機 E L 素子 2 1 の発光時間をコントロールする。

【0024】

なお、図 2 には、発光画素 1 0 の回路構成の一例を示したに過ぎず、これに限られるものではない。すなわち、発光画素 1 0 としては、他の回路構成の電流書き込み型画素回路であっても良く、また電流書き込み型に限らず、輝度情報が電圧の形で書き込まれる電圧書き込み型の回路構成を採ることも可能である。

10

【0025】

(有機 E L 素子の構造)

図 3 は、有機 E L 素子 1 0 の構造の一例を示す断面図である。図 3 に示すように、有機 E L 素子 1 0 は、透明ガラス等からなる基板 3 1 上に、透明導電膜からなる第 1 の電極 (例えば、陽極) 3 2 を形成し、その上にさらに正孔輸送層 3 3、発光層 3 4、電子輸送層 3 5 および電子注入層 3 6 を順次堆積させて有機層 3 7 を形成した後、この有機層 3 7 の上に金属からなる第 2 の電極 (例えば、陰極) 3 8 を形成した構成となっている。かかる構成の有機 E L 素子 1 0 では、第 1 の電極 3 2 と第 2 の電極 3 8 との間に直流電圧 E を印加することにより、発光層 3 4 において電子と正孔が再結合する際に発光するようになっている。

20

【0026】

[第 1 実施形態]

図 4 は、本発明の第 1 実施形態に係るアクティブマトリクス型有機 E L ディスプレイのシステム構成例を示すブロック図である。本実施形態では、基準電圧選択型 D / A 変換回路を内蔵する駆動回路 4 0 A の具体的な構成を特徴としている。したがって、図 4 には、駆動回路 4 0 A の特に D / A 変換回路部分の構成を示している。

【0027】

ここで、先ず、基準電圧選択型 D / A 変換回路の基本構成について、図 5 を用いて説明する。図 5 に示すように、基準電圧選択型 D / A 変換回路は、デジタル映像信号のビット数に対応した n 個の基準電圧 $V_0 \sim V_{n-1}$ を発生する基準電圧発生回路 5 1 と、この基準電圧発生回路 5 1 で生成された n 個の基準電圧 $V_0 \sim V_{n-1}$ の中からデジタル映像信号のデータ値に対応した電圧値の基準電圧を選択してアナログ映像信号として出力する D / A 変換回路 5 2 とから構成されている。

30

【0028】

基準電圧発生回路 5 1 は、例えば、第 1 の電源 V_{dd} と第 2 の電源 V_{ss} との間に直列に接続された $n-1$ 個の抵抗 $R_1 \sim R_{n-1}$ からなる抵抗分圧型回路構成となっており、第 1 の電源 V_{dd} の電圧を最大電圧 V_0 、第 2 の電源電圧の電圧を最小電圧とし、抵抗 $R_1 \sim R_{n-1}$ の各接続点に得られる分圧電圧 $V_1 \sim V_{n-2}$ の計 n 個の基準電圧 $V_0 \sim V_{n-1}$ を発生する。

【0029】

D / A 変換回路 5 2 は、デジタル映像信号の各ビットに対応したスイッチ素子群が n 個の基準電圧 $V_0 \sim V_{n-1}$ ごとに直列に接続され、デジタル映像信号の各ビットの論理状態 (データ値) に対応したスイッチ群の全てのスイッチがオン状態になることで、当該スイッチ群に対応した基準電圧を選択してデジタル映像信号のデータ値に対応した電圧値のアナログ映像信号として出力する。

40

【0030】

上記基本構成の基準電圧選択型 D / A 変換回路に対して、本実施形態に係る駆動回路 4 0 A は、基準電圧発生回路 5 1 として、表示パネル 2 0 の想定される輝度ばらつきに対応して複数個、例えば 3 個 (基準電圧発生回路 5 1 A, 5 1 B, 5 1 C) を有し、これら基準電圧発生回路 5 1 A, 5 1 B, 5 1 C で発生される 3 系統の基準電圧 $V_{A0} \sim V_{An-1}$

50

1, $V_{B0} \sim V_{Bn-1}$, $V_{C0} \sim V_{Cn-1}$ を、制御回路53による制御の下に基準電圧切り替え回路54によって適宜切り替えてD/A変換回路52へ供給する構成となっている。

【0031】

基準電圧発生回路51A, 51B, 51Cは、例えば図5に示す抵抗分圧型の回路構成となっている。そして、基準電圧発生回路51Aは、図6に示すように、階調レベルに対して非線形特性(A)を持つ基準電圧 $V_{A0} \sim V_{An-1}$ を発生する。このときの電源電圧 V_{dd} を V_{ddA} とする(電源電圧 V_{ss} は例えばグランド)。この基準電圧発生回路51Aの基準電圧特性(A)を、本D/A変換回路の標準的な基準電圧特性とする。

【0032】

基準電圧発生回路51Bは、基準電圧発生回路51Aの標準的な基準電圧特性(A)に対して全体的に電圧値が高い側にシフトした特性(B)を持つ基準電圧 $V_{B0} \sim V_{Bn-1}$ を発生する。この特性(B)は、例えば、電源電圧 V_{dd} として電源電圧 V_{ddA} により高い電源電圧 V_{ddB} を用いることで容易に実現できる。

【0033】

基準電圧発生回路51Cは、基準電圧発生回路51Aの標準的な基準電圧特性(A)に対して特に中間の階調で電圧値が低い側にシフトした特性(C)を持つ基準電圧 $V_{C0} \sim V_{Cn-1}$ を発生する。この特性(C)は、例えば、電源電圧 V_{dd} として電源電圧 V_{ddA} により低い電源電圧 V_{ddC} を用いることで容易に実現できる。

【0034】

基準電圧切り替え回路54は、例えば、3入力1出力のスイッチ構成となっており、制御回路53による切り替え制御により、3系統の基準電圧 $V_{A0} \sim V_{An-1}$, $V_{B0} \sim V_{Bn-1}$, $V_{C0} \sim V_{Cn-1}$ のうちのいずれか1系統を選択してD/A変換回路52に供給する。

【0035】

制御回路43は、マイクロコンピュータなどによって構成され、あらかじめメモリ装置55に記憶されている表示パネル(画素アレイ部)20の画素行ごとの発光強度、具体的には輝度レベルに応じて基準電圧切り替え回路54を切り替え制御することにより、D/A変換回路52に供給するn個の基準電圧 $V_0 \sim V_{n-1}$ の電圧値を画素行ごとに制御する。

【0036】

メモリ装置55には、表示パネル20の製造工程での最終的な検査の前段階において、最も簡単には、検査者の目視により表示パネル20の画素行(ライン)ごとの輝度レベルを本例の場合には3段階、具体的には標準輝度レベル、標準よりも明るいおよび暗いの3段階に評価して、その評価結果を画素行ごとに記憶しておくことになる。

【0037】

なお、ここでは、目視によって画素行ごとの輝度レベルを評価するとしたが、それ以外に、CCD(Charge Coupled Device)カメラなどの画像取込装置によって表示パネル20の表示画像を取り込み、その取り込んだ画像を基に電氣的に画素行ごとの輝度レベルを例えば3段階に評価してその評価結果を画素行ごとに記憶しておく手法を採ることも可能である。

【0038】

次に、上記構成の第1実施形態に係るアクティブマトリクス型有機ELディスプレイの動作について説明する。

【0039】

ここでは、一例として、R(赤)G(緑)B(青)各8ビットのデジタル映像信号が駆動回路40Aに入力されるものとする。駆動回路40Aは、入力されるデジタル映像信号をアナログ映像信号に変換して表示パネル20に供給する。

【0040】

駆動回路40Aにおいて、制御回路53は、図1の行走査回路30の走査タイミングに

10

20

30

40

50

同期して、メモリ装置 55 に画素行ごとに記憶されている輝度レベルの評価結果を基に、基準電圧切り替え回路 54 の切り替え制御を行う。

【0041】

具体的には、メモリ装置 55 に記憶されている輝度レベルの評価結果が標準輝度レベルの画像行について、制御回路 53 は、基準電圧発生回路 51A で発生される基準電圧 $V_{A0} \sim V_{An-1}$ を選択するように基準電圧切り替え回路 54 の切り替え制御を行う。これにより、D/A 変換回路 52 では、基準電圧 $V_{A0} \sim V_{An-1}$ に基づく D/A 変換が行われる。その結果、この D/A 変換後のアナログ映像信号によって駆動される画素行の発光画素 10 では標準輝度レベルでの発光表示が行われる。

【0042】

一方、メモリ装置 55 に記憶されている評価結果が全ての階調で標準輝度レベルよりも暗い画像行については、制御回路 53 は、基準電圧発生回路 51B で発生される基準電圧 $V_{B0} \sim V_{Bn-1}$ を選択するように基準電圧切り替え回路 54 の切り替え制御を行う。これにより、D/A 変換回路 52 では、基準電圧 $V_{B0} \sim V_{Bn-1}$ に基づく D/A 変換が行われる。その結果、この D/A 変換後のアナログ映像信号によって駆動される画素行の発光画素 10 では、輝度レベルが明るい側に補正されてほぼ標準輝度レベルでの発光表示が行われる。

【0043】

また、メモリ装置 55 に記憶されている評価結果が中間の階調のみ標準輝度レベルよりも明るい画像行については、制御回路 53 は、基準電圧発生回路 51C で発生される基準電圧 $V_{C0} \sim V_{Cn-1}$ を選択するように基準電圧切り替え回路 54 の切り替え制御を行う。これにより、D/A 変換回路 52 では、基準電圧 $V_{C0} \sim V_{Cn-1}$ に基づく D/A 変換が行われる。その結果、この D/A 変換後のアナログ映像信号によって駆動される画素行の発光画素 10 では、輝度レベルが暗い側に補正されてほぼ標準輝度レベルでの発光表示が行われる。

【0044】

上述したように、デジタル映像信号をアナログ映像信号に変換する D/A 変換回路として基準電圧選択型 D/A 変換回路を用いた表示装置、例えばアクティブマトリクス型有機 EL 表示装置において、複数の基準電圧 $V_0 \sim V_{n-1}$ の電圧値を、画素行ごとの発光強度に応じて画素行ごとに制御する、具体的には発光強度のばらつきを補正する方向に制御することにより、画素行単位のスジ状の輝度ばらつき、特に横スジ状の特性ばらつき（輝度ばらつき）を補正することができるために、結晶化プロセスにおける特性ばらつきに起因してスジ状に見える輝度ばらつき（表示ばらつき）を軽減できる。

【0045】

特に、複数の基準電圧 $V_0 \sim V_{n-1}$ の電圧値を切り替えて輝度ばらつきの補正を行うことにより、黒から白までの全ての階調表現において特性ばらつきに応じた最適な補正を実現でき、また中間調（グレー部分）のみの補正も実現できる。しかも、特性ばらつきの程度に応じて複数の基準電圧 $V_0 \sim V_{n-1}$ の電圧値を切り替えるために補正範囲を広く設定できる。

【0046】

ここで、ホワイトバランスを調整する目的で、RGB の発光画素それぞれに応じた基準電圧を必要とする場合においては、メモリ装置 55 にそれぞれの基準電圧に応じた補正データを格納しておき、その補正データに応じて制御回路 53 が基準電圧の補正を行うようにすることで対応できる。

【0047】

なお、本実施形態では、基準電圧発生回路 51 として 3 個の基準電圧発生回路 51A, 51B, 51C を用い、それらの電源電圧 V_{ddA} , V_{ddB} , V_{ddC} の電圧値を異ならせる ($V_{ddB} > V_{ddA} > V_{ddC}$) ことにより、3 系統の基準電圧 $V_{A0} \sim V_{An-1}$, $V_{B0} \sim V_{Bn-1}$, $V_{C0} \sim V_{Cn-1}$ を発生するとしたが、単一の基準電圧発生回路 51 を共用してその電源電圧 V_{dd} の電圧値を V_{ddA} , V_{ddB} , V_{ddC} の 3

10

20

30

40

50

通りに切り替えることにより、3系統の基準電圧 $V A 0 \sim V A n - 1$ 、 $V B 0 \sim V B n - 1$ 、 $V C 0 \sim V C n - 1$ を発生する構成を採ることも可能である。

【0048】

また、本実施形態では、理解を容易にするために、3系統の基準電圧 $V A 0 \sim V A n - 1$ 、 $V B 0 \sim V B n - 1$ 、 $V C 0 \sim V C n - 1$ のいずれかを選択して複数の基準電圧 $V 0 \sim V n - 1$ の電圧値とするとしたが、基準電圧の系統数が多い方がスジ状に見える輝度ばらつきをより確実に軽減できることは明らかである。

【0049】

[第2実施形態]

図7は、本発明の第2実施形態に係るアクティブマトリクス型有機ELディスプレイのシステム構成例を示すブロック図であり、図中、図4と同等部分については同一符号を付して示している。本実施形態でも、基準電圧選択型D/A変換回路を内蔵する駆動回路40Bの具体的な構成を特徴としている。したがって、図7には、駆動回路40Bの特にD/A変換回路部分の構成を示している。 10

【0050】

第1実施形態に係る駆動回路40Aでは、基準電圧発生回路51として例えば3個の基準電圧発生回路51A、51B、51Cを用いた構成を採っているのに対して、本実施形態に係る駆動回路40Bは、基準電圧発生回路51として単一の基準電圧発生回路51Dを用い、当該基準電圧発生回路51Dに加えて、D/A変換回路52、制御回路53およびメモリ装置55を有する構成を採っている。 20

【0051】

基準電圧発生回路51Dは、例えば、基準電圧発生回路51と同様の抵抗分圧型を採用しつつ、外部から与えられるデータに応じた基準電圧を選択して出力する回路構成となっている。この基準電圧発生回路51Dには、画素行ごとの分解能のスピード、即ち図1の行走査回路30の走査スピードで複数の基準電圧 $V 0 \sim V n - 1$ の電圧値を選択して出力できる動作スピードが要求されることになる。

【0052】

メモリ装置55には、表示パネル20の製造工程での最終的な検査の前段階において、最も簡単には、検査者の目視により表示パネル20の画素行(ライン)ごとの輝度レベルを評価し、その輝度レベルに対応した基準電圧を示すデータを画素行ごとに記憶しておくことになる。 30

【0053】

なお、ここでは、目視によって画素行ごとの輝度レベルを評価するとしたが、それ以外に、CCDカメラなどの画像取込装置によって表示パネル20の表示画像を取り込み、その取り込んだ画像を基に電氣的に画素行ごとの輝度レベルを検出し、その輝度レベルに対応した基準電圧を示すデータを画素行ごとに記憶しておく手法を採ることも可能である。

【0054】

制御回路53は、マイクロコンピュータなどによって構成され、例えばバスコントロールにより基準電圧発生回路51Dでの基準電圧の発生を行走査回路30の走査スピードで制御する。具体的には、制御回路53は、図1の行走査回路30の走査タイミングに同期して、メモリ装置55に画素行ごとに記憶されている基準電圧を示すデータを読み出し、この読み出したデータを基準電圧発生回路51Dに与える。 40

【0055】

基準電圧発生回路51Dは、制御回路53から基準電圧を示すデータが与えられると、当該データをデコードして対応する基準電圧 $V 0 \sim V n - 1$ の電圧値を行走査回路30の走査スピードで選択してD/A変換回路52に対して出力する。

【0056】

上述したように、基準電圧発生回路51として単一の基準電圧発生回路51Dを用いた構成を採ることにより、第1実施形態の場合と同様に、画素行単位のスジ状の輝度ばらつき、特に横スジ状の特性ばらつきを補正することができるために、結晶化プロセスにおけ 50

る特性ばらつきに起因してスジ状に見える輝度ばらつき（表示ばらつき）を軽減できることに加えて、基準電圧発生回路 51 として複数個の基準電圧発生回路を用いる場合に比べて回路規模の小型化を実現できるために特に小型商品に対応しやすいという利点がある。

【0057】

本実施形態の場合にも、ホワイトバランスを調整する目的で、RGB の発光画素それぞれに応じた基準電圧を必要とする場合においては、メモリ装置 55 にそれぞれの基準電圧に応じた補正データを格納しておき、その補正データに応じて制御回路 53 が基準電圧の補正を行うようにすることで対応できる。

【0058】

[第3実施形態]

図 8 は、本発明の第 3 実施形態に係るアクティブマトリクス型有機 EL ディスプレイのシステム構成例を示すブロック図であり、図中、図 7 と同等部分については同一符号を付して示している。本実施形態でも、基準電圧選択型 D/A 変換回路を内蔵する駆動回路 40C の具体的な構成を特徴としている。したがって、図 8 には、駆動回路 40C の特に D/A 変換回路部分の構成を示している。

【0059】

第 1, 第 2 実施形態に係るアクティブマトリクス型有機 EL ディスプレイでは、表示パネル 20 の製造工程での最終的な検査の前段階において、表示パネル 20 の画素行ごとの発光強度を評価し、その評価の結果をメモリ装置 55 にあらかじめ記憶しておき、実際の表示駆動時に、当該メモリ装置 55 の記憶情報を基に画素行ごとの発光強度に応じて基準

10

20

【0060】

これに対して、本実施形態に係るアクティブマトリクス型有機 EL ディスプレイは、表示パネル 20 の画素行ごとの発光強度を検出するための検出手段を備え、当該検出手段の検出出力に基づいて画素行ごとの発光強度に応じて基準電圧 $V_0 \sim V_{n-1}$ の電圧値を画素行ごとに制御する、即ち表示ばらつき（発光ばらつき）の補正制御を行う構成を採っている。

【0061】

具体的には、本実施形態では、表示パネル 20 の画素行ごとの発光強度を検出する検出手段として、例えば、表示パネル 20 の両サイド（左右端）に、各画素行の左右両端の発光画素に隣接して配置された受光素子 61A, 61B を用いる。このとき、各画素行の左右両端の発光画素については、実際に表示に寄与しない発光画素（有効画素エリア外の発光画素）とする。そして、表示装置の電源投入時などに設定される補正モードにおいて、各画素行の左右両端の発光画素を、同じ画素行の他の発光画素と同期させて発光させるようにする。

30

【0062】

各画素行の左右両端の発光画素が発光することで、受光素子 61A, 61B は、これら発光画素が発する光を検出し、各画素行ごとの発光強度を検出できる。特に、各画素行の左右両端の発光画素については、同じ色の光（例えば、白色光）を発光させることで、受光素子 61A, 61B により、各画素行ごとの輝度レベルのばらつきを検出できることになる。なお、各画素行の左右両端の発光画素については、これら発光画素からの検出用の発光が画面から表に漏れないようにするためにマスクするなどの方法をとっておくことが望ましい。受光素子 61A, 61B の各受光出力は、駆動回路 40C に供給される。

40

【0063】

図 8 において、駆動回路 40C は、基準電圧発生回路 51D、D/A 変換回路 52、制御回路 53 およびメモリ装置 55 に加えて、A/D 変換回路 56 およびパラレル-シリアル変換回路 57 を有する構成となっている。

【0064】

A/D 変換回路 56 は、各画素行の左右両端の発光画素による検出用の発光強度に応じた受光素子 61A, 61B の受光出力を A/D 変換して発光強度データとして出力する。

50

パラレル - シリアル変換回路 57 は、A / D 変換回路 56 から出力される発光強度データが、ライン数（行数）× 2 個（左右）と多数のデータであるために、発光強度データをパラレル - シリアル変換して制御回路 53 に送る。

【0065】

制御回路 53 は、マイクロコンピュータなどによって構成され、パラレル - シリアル変換回路 57 から与えられる発光強度データを基に、画面全体の偏差に対するライン（画素行）ごとの輝度レベルを演算することにより、どのラインがどの程度の輝度レベルの補正が必要かを算出し、基準電圧を示すデータを画素行ごとにメモリ装置 55 に記憶する。さらに、制御回路 53 は、通常の表示駆動時に、図 1 の行走査回路 30 の走査タイミングに同期して、メモリ装置 55 に画素行ごとに記憶されている基準電圧を示すデータを読み出し、この読み出したデータを基準電圧発生回路 51D に与える。

10

【0066】

基準電圧発生回路 51D は、制御回路 53 から基準電圧を示すデータが与えられると、当該データをデコードして対応する基準電圧 $V_0 \sim V_{n-1}$ の電圧値を行走査回路 30 の走査スピードで選択して D / A 変換回路 52 に対して出力する。

【0067】

次に、上記構成のアクティブマトリクス型有機 EL 装置において、表示ばらつき（輝度ばらつき）を補正する際の駆動制御について説明する。

【0068】

電源投入時などに設定される補正モードにおいて、各画素行の左右両端の発光画素については、同じ画素行の他の発光画素と同期させて例えば白色光で発光させる駆動を行う。各画素行の左右両端の発光画素が発光することにより、その発光強度を隣接する受光素子 61A, 61B が検出し、その検出出力を A / D 変換回路 56 で A / D 変換し、パラレル - シリアル変換回路 57 でパラレルデータからシリアルデータに変換して発光強度データとして制御回路 53 に供給する。

20

【0069】

制御回路 53 は、発光強度データを基に画面全体の偏差に対するライン（画素行）ごとの輝度レベルを算出し、輝度レベルの補正量を見込んだ基準電圧を示すデータとして画素行ごとにメモリ装置 55 に記憶する。

【0070】

一方、通常の表示駆動時には、制御回路 53 は、図 1 の行走査回路 30 の走査タイミングに同期して、駆動する画素行に対応する基準電圧を示すデータをメモリ装置 55 から読み出して基準電圧発生回路 51D に供給する。すると、基準電圧発生回路 51D は、制御回路 53 から与えられる基準電圧を示すデータをデコードして対応する基準電圧 $V_0 \sim V_{n-1}$ の電圧値を選択して D / A 変換回路 52 に対して出力する。

30

【0071】

なお、受光素子 61A, 61B の検出対象となる発光画素については、必ずしも、実際に表示に寄与しない発光画素（有効画素エリア外の発光画素）である必要はなく、有効画素エリア内の各画素行の左右両端の発光画素とすることも可能である。この場合には、当該左右両端の発光画素を全ラインについて同じ色で発光させる必要があることから、リアルタイムでの補正制御は不可能であり、表示装置の電源投入時などに補正モードを設定しておき、当該補正モードにおいて、受光素子 61A, 61B の検出結果を基に、輝度レベルの補正量を見込んだ基準電圧を示すデータを求めてメモリ装置 55 に記憶しておき、実際の表示駆動時に、当該メモリ装置 55 に記憶しておいたデータを基に、対応する基準電圧 $V_0 \sim V_{n-1}$ の電圧値を選択することになる。

40

【0072】

また、受光素子 61A, 61B についても、各画素行の左右両端の発光画素に隣接させて設ける必要はなく、各画素行の発光強度を十分に検出できるのであれば、各画素行の左右両端の発光画素の一方側にのみ受光素子 61A, 61B を隣接させて配置する構成を採用することも可能である。

50

【0073】

上述したように、表示パネル20の画素行ごとの発光強度を検出するための検出手段を備え、当該検出手段の検出力に基づいて画素行ごとの発光強度に応じて基準電圧 $V_0 \sim V_{n-1}$ の電圧値を画素行ごとに制御する、即ち表示ばらつき（発光ばらつき）の補正制御を行うことにより、画素行単位のスジ状の輝度ばらつき、特に横スジ状の特性ばらつきを補正することができるために、結晶化プロセスにおける特性ばらつきに起因してスジ状に見える表示ばらつきに加えて、経時的な特性変化に起因する表示ばらつきにも対応できることになる。

【0074】

ここで、表示パネル20の画素行ごとの発光強度を検出するための検出手段である受光素子61A, 61Bについて説明する。

【0075】

受光素子61A, 61Bとしては、フォトトランジスタなど周知の素子を用いることが可能であるが、本実施形態では、有機EL素子を用いるものとする。有機EL表示装置の場合、受光素子61A, 61Bとして、有機EL素子を用いることで、発光画素10の有機EL素子と受光素子61A, 61Bとを同一プロセスで同時に形成できる利点がある。また、有機EL素子は応答速度が他の受光素子に比べて速いことが知られており、この応答速度の速い有機EL素子を受光素子61A, 61Bとして用いることにより、画素行ごとの発光輝度を迅速に検出して、表示ばらつきの補正制御に反映させることができる。

【0076】

図9に、受光素子61A, 61Bとして有機EL素子を用いた場合の回路構成の一例を示す。ここでは、画素行の右端の発光画素10に隣接して配置された受光画素60の場合を示している。

【0077】

図9では、発光画素10についてはその回路構成を簡略化して示しており、図中、図2と同等部分については同一符号を付して示している。また、図2では、正側電源をグラウンド、負側電源を V_{ss} として示しているのに対して、図9では、正側電源を V_{dd} 、負側電源を $V_{cathode}$ として示しているが、基本的な動作に違いはない。

【0078】

図9に示すように、受光素子61Bは、発光画素10の有機EL素子21に隣接して配置されている。この受光素子61Bは、受光レベル検出抵抗62と共に正側電源 V_{dd} と負側電源 $V_{cathode}$ との間に直列に接続されている。また、受光素子61Bおよび受光レベル検出抵抗62の共通接続ノードNと検出線64との間に、受光ライン選択トランジスタ63が接続されている。この受光ライン選択トランジスタ63は、ゲートが走査線27（図2の走査線27）に接続され、同一画素行（ライン）の発光画素10の発光タイミングと同じタイミングで選択駆動されることで、受光素子（有機EL素子）61Bの検出信号（輝度レベル信号）を、検出線64を通してA/D変換回路56（図8参照）に出力する。

【0079】

なお、本実施形態では、発光画素10の有機EL素子21とは別に、受光素子61A, 61Bとして有機EL素子を配置するとしたが、発光画素10の有機EL素子21そのものを、表示パネル20の画素行ごとの発光強度を検出するための検出手段（受光素子）として用いることも可能である。具体的には、発光駆動されていない画像行の有機EL素子を、発光駆動されている隣りの画像行の発光強度の検出に用いるようにする。

【0080】

この場合、単一の有機EL素子21を共通として、この有機EL素子21に対して、基本的に、図9に示す受光画素60の回路構成を、図2に示す発光画素10の回路構成に組み込んだ画素回路とする。そして、走査線27については、発光用と受光用の2本用意するとともに、図1に示す行走査回路30についても発光用と受光用の2系統用意し、電源投入時などに設定される補正モードにおいて、全画面を一律例えば白色発光させる際に、

10

20

30

40

50

2 系統の行走査回路を 1 ライン分だけタイミングをずらして走査駆動するようにすることにより、発光画素 10 の有機 EL 素子 21 を、画素行ごとの発光強度を検出する受光素子として兼用することができる。

【0081】

なお、上記各実施形態では、画素アレイ部の各発光画素 10 を駆動する周辺駆動回路、即ち行走査回路 30 および駆動回路 40 を表示パネル 20 の外部に配置した構成を採る表示装置に適用した場合を例に挙げて説明したが、行走査回路 30 および駆動回路 40 の両方もしくは一方を画素アレイ部と同じ基板、即ち表示パネル 20 上に配置した構成を採るいわゆる駆動回路一体型の表示装置に対しても同様に適用可能である。

【図面の簡単な説明】

10

【0082】

【図 1】本適用例に係るアクティブマトリクス型有機 EL ディスプレイの構成の概略を示すブロック図である。

【図 2】発光画素の回路構成の一例を示す回路図である。

【図 3】有機 EL 素子の構造の一例を示す断面図である。

【図 4】本発明の第 1 実施形態に係るアクティブマトリクス型有機 EL ディスプレイのシステム構成例を示すブロック図である。

【図 5】基準電圧選択型 D/A 変換回路の基本構成図である。

【図 6】3 系統の基準電圧特性 (A), (B), (C) を示す図である。

【図 7】本発明の第 2 実施形態に係るアクティブマトリクス型有機 EL ディスプレイのシステム構成例を示すブロック図である。

20

【図 8】本発明の第 3 実施形態に係るアクティブマトリクス型有機 EL ディスプレイのシステム構成例を示すブロック図である。

【図 9】受光素子として有機 EL 素子を用いた場合の回路構成の一例を示す回路図である。

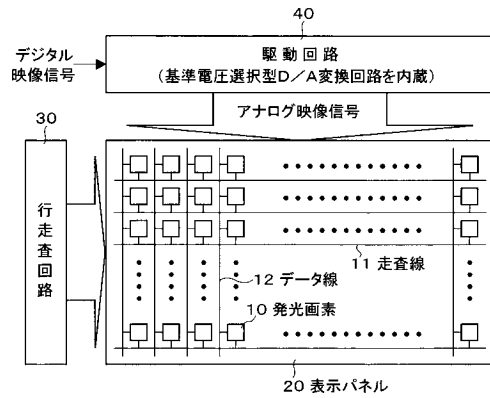
【符号の説明】

【0083】

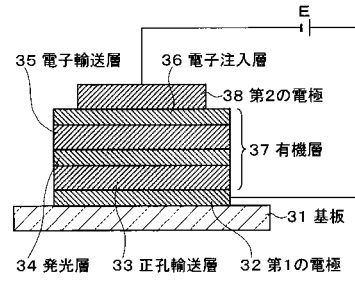
10 ... 発光画素、11 ... 走査線、12 ... データ線、20 ... 表示パネル、21 ... 有機 EL 素子、22, 24 ~ 26 ... TFT (薄膜トランジスタ)、23 ... キャパシタ、30 ... 行走査回路、31 ... 基板、32 ... 第 1 の電極、33 ... 正孔輸送層、34 ... 発光層、35 ... 電子輸送層、36 ... 電子注入層、37 ... 有機層、38 ... 第 2 の電極、40, 40A, 40B, 40C ... 駆動回路、51, 51A, 51B, 51C, 51D ... 基準電圧発生回路、D/A 変換回路、53 ... 制御回路、54 ... 基準電圧切り替え回路、55 ... メモリ装置、56 ... A/D 変換回路、57 ... パラレル - シリアル変換回路、60 ... 受光画素、61A, 61B ... 受光素子、62 ... 受光レベル検出抵抗、63 ... 受光ライン選択トランジスタ

30

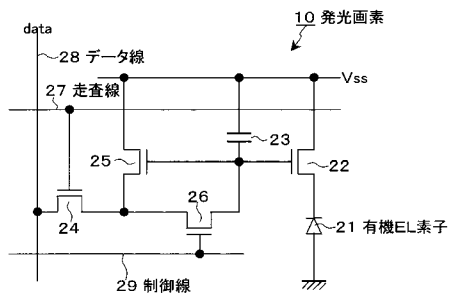
【図 1】



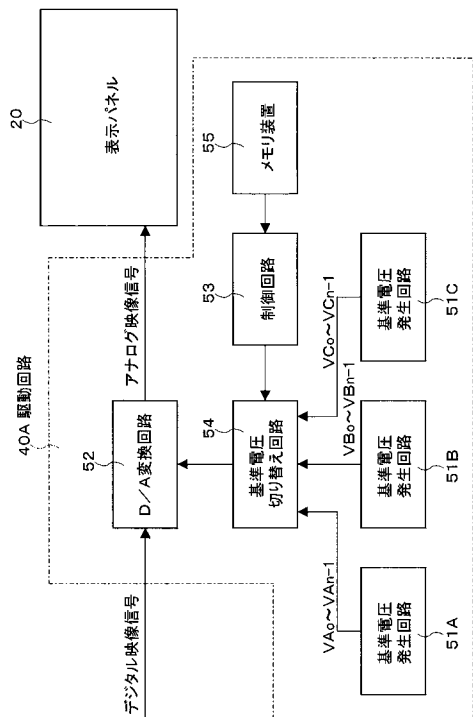
【図 3】



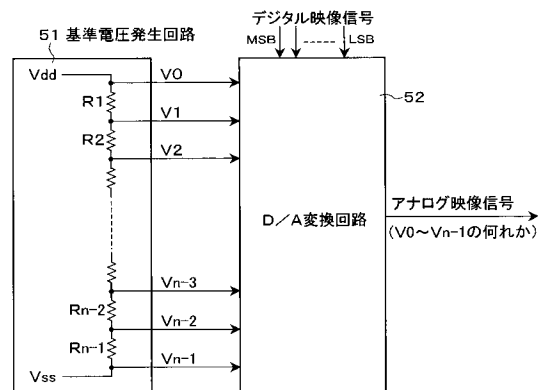
【図 2】



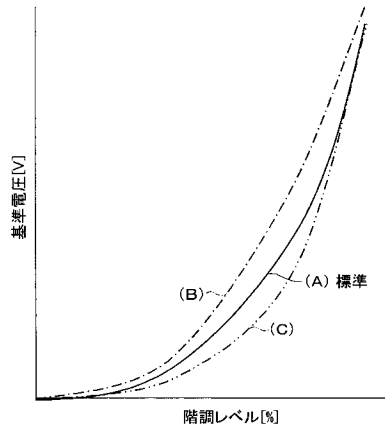
【図 4】



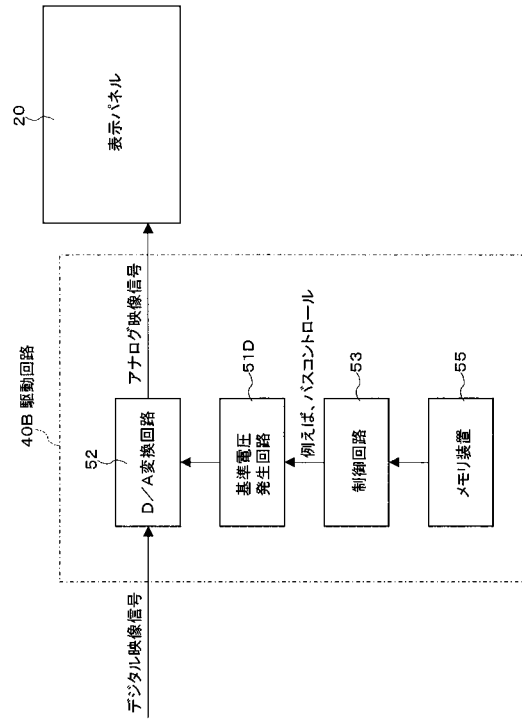
【図 5】



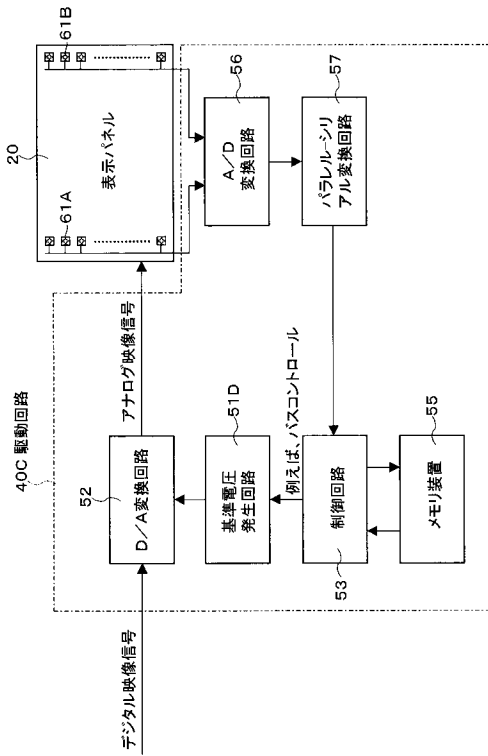
【図 6】



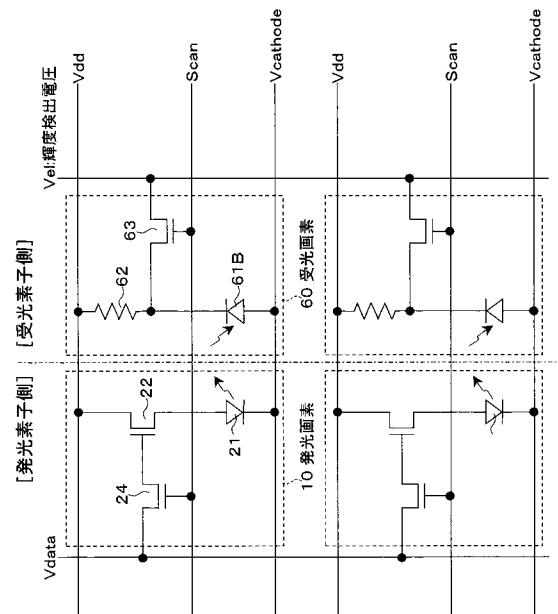
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/30	J
H 0 5 B	33/14	A
G 0 9 G	3/20	6 1 1 H

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP2007233109A	公开(公告)日	2007-09-13
申请号	JP2006055690	申请日	2006-03-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	長谷川 洋		
发明人	長谷川 洋		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.623.F G09G3/20.612.F G09G3/20.641.C G09G3/20.642.A G09G3/20.631.V G09G3/20.642.P G09G3/30.J H05B33/14.A G09G3/20.611.H G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE68 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA08 5C380/AB06 5C380/AB12 5C380/AB18 5C380/AB24 5C380/AB29 5C380/BA13 5C380/BA14 5C380/BA24 5C380/BA38 5C380/BA47 5C380/BB02 5C380/BB04 5C380/BB15 5C380/CA04 5C380/CA12 5C380/CA13 5C380/CA33 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC14 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC48 5C380/CC62 5C380/CC63 5C380/CD014 5C380/CD072 5C380/CE05 5C380/CE07 5C380/CE08 5C380/CE19 5C380/CF01 5C380/CF07 5C380/CF26 5C380/CF41 5C380/CF48 5C380/CF49 5C380/CF52 5C380/CF64 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA39 5C380/DA50 5C380/DA52 5C380/DA56 5C380/DA58 5C380/FA05 5C380/FA18 5C380/FA20 5C380/FA22 5C380/GA01 5C380/GA08		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了统一校正整个屏幕，无法校正由于结晶过程引起的条纹状亮度变化。在使用参考电压选择型D/A转换电路的有源矩阵型有机EL显示装置中，显示面板20的每个像素行的亮度等级被设置为例如比标准更亮和更暗的标准亮度等级3。并且评估结果针对每个像素行存储在存储器装置55中。然后，在正常显示驱动时，基于存储在存储装置55中的亮度级的评估结果，作为要提供给D/A转换电路52的多个参考电压V₀到V_{n-1}，参考电压V_A 0到V_An通过控制参考电压切换电路54，对于每个像素行，-1，V_B 0至V_Bn-1，以及V_C 0至V_Cn-1。点域4

