

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-179037

(P2007-179037A)

(43) 公開日 平成19年7月12日(2007.7.12)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 612F	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 642P	
	G09G 3/20 623Y	
審査請求 未請求 請求項の数 8 O L (全 57 頁) 最終頁に続く		

(21) 出願番号	特願2006-325005 (P2006-325005)	(71) 出願人	302020207
(22) 出願日	平成18年11月30日 (2006.11.30)		東芝松下ディスプレイテクノロジー株式会社
(31) 優先権主張番号	特願2005-348486 (P2005-348486)		東京都港区港南4-1-8
(32) 優先日	平成17年12月1日 (2005.12.1)	(74) 代理人	100092794
(33) 優先権主張国	日本国 (JP)		弁理士 松田 正道
		(72) 発明者	高原 博司
			東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内
		(72) 発明者	中村 則夫
			東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内
		Fターム(参考)	3K107 AA01 BB01 BB07 CC31 CC33 EE03 HH00 HH04 HH05
		最終頁に続く	

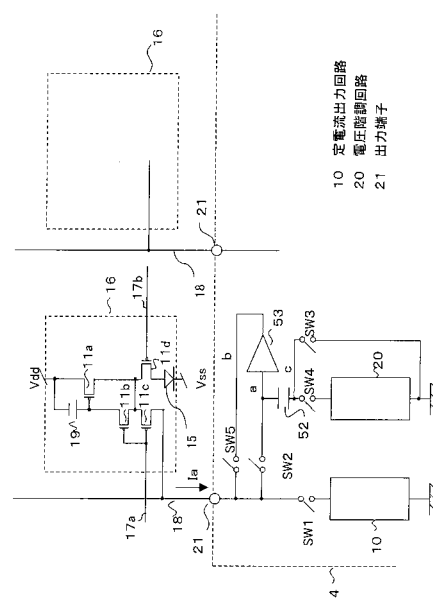
(54) 【発明の名称】 E L表示装置及びE L表示装置の駆動方法

(57) 【要約】

【課題】全階調領域で従来に比べて書き込み不足が発生しにくく、トランジスタの特性バラツキによる表示ムラを従来に比べて低減できること。

【解決手段】 E L素子15を有する画素16がマトリクス状に形成されたE L表示装置であって、所定の定電流を発生する定電流回路10と、階調電圧を発生する階調電圧回路20とを具備し、定電流回路10が発生する定電流は、ソース信号線18を介して画素16に供給され、階調電圧回路20が発生する階調電圧はソース信号線18を介して画素16に供給される構成である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

EL素子を有する画素がマトリックス状に形成されたEL表示装置であって、
所定の定電流を発生する定電流回路と、
階調電圧を発生する階調電圧回路とを具備し、
前記定電流回路が発生する前記定電流は、ソース信号線を介して前記画素に供給され、
前記階調電圧回路が発生する前記階調電圧は、前記ソース信号線を介して前記画素に供給される、EL表示装置。

【請求項 2】

EL素子を有する画素がマトリックス状に形成されたEL表示装置の駆動方法であって 10
、
前記EL表示装置は、
所定の定電流を発生する定電流回路と、
階調電圧を発生する階調電圧回路とを備え、
前記画素が、前記EL素子に駆動電流を供給する駆動用トランジスタと、ソース信号線と前記駆動用トランジスタ間に電流経路を形成するスイッチング用トランジスタとを有しており、
前記EL表示装置の駆動方法は、
前記定電流回路が発生する前記定電流を、前記ソース信号線を介して前記画素に印加するステップと、 20
前記定電流が前記ソース信号線に印加された状態で、前記ソース信号線の電位を取得するステップと、
前記取得した電位と前記階調電圧を加算し又は前記取得した電位から前記階調電圧を減算して、前記加算又は減算の結果を前記ソース信号線を介して前記画素の前記駆動用トランジスタに印加するステップと、
を備えた、EL表示装置の駆動方法。

【請求項 3】

前記定電流を前記画素に印加する期間又は前記期間の前に、前記ソース信号線又は前記画素にプリチャージ電圧を印加する、請求項 2 記載のEL表示装置の駆動方法。

【請求項 4】

前記定電流回路は、複数の単位トランジスタから構成されている、請求項 2 記載のEL表示装置の駆動方法。 30

【請求項 5】

EL素子を有する画素がマトリックス状に形成されたEL表示装置であって、
所定の定電流を発生する定電流回路と、
階調電圧を発生する階調電圧回路とを具備し、
前記画素は、前記EL素子に駆動電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子と接続されたコンデンサと、ソース信号線と前記駆動用トランジスタ間に電流経路を形成する第1のスイッチング用トランジスタと、前記コンデンサを介して前記駆動用トランジスタに前記階調電圧を印加する第2のスイッチング用トランジスタとを有する、EL表示装置。 40

【請求項 6】

EL素子を有する画素がマトリックス状に形成されたEL表示装置であって、
所定の定電流を発生する定電流回路と、
階調電圧を発生する階調電圧回路と、
前記画素に前記定電流を供給する第1のソース信号線と、
前記画素に前記階調電圧を供給する第2のソース信号線とを具備し、
前記画素は、前記EL素子に駆動電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子と接続されたコンデンサと、前記第1のソース信号線と前記駆動用トランジスタ間に電流経路を形成する第1のスイッチング用トランジスタと、前記第2 50

のソース信号線とコンデンサ間に電気経路を形成する第2のスイッチング用トランジスタとを有する、E L表示装置。

【請求項7】

E L素子を有する画素がマトリックス状に形成されたE L表示装置であって、
所定の定電流を発生する定電流回路と、
階調電圧を発生する階調電圧回路と、
コンデンサと、
前記画素に前記定電流を供給するソース信号線とを具備し、
前記階調電圧は、前記コンデンサを介して前記ソース信号線に印加される、E L表示装置。

10

【請求項8】

E L素子を有する画素がマトリックス状に形成された表示部と、
前記E L素子の駆動用トランジスタにリセット電流を出力する定電流出力回路と、
前記リセット電流を印加した状態で前記駆動用トランジスタのゲート端子電位を取得する電圧保持回路と、
映像信号に対応する階調電圧を出力する階調電圧回路と、
前記ゲート端子電位と、前記階調電圧を加算し又は前記ゲート端子電位から前記階調電圧を減算して前記加算又は減算の結果を前記駆動用トランジスタのゲート端子に印加する電圧印加回路を具備する、E L表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス（E L）素子などを用いたE L表示パネル（表示装置）などの自発光表示パネル（表示装置）の駆動方法、駆動回路、表示装置に関するものである。また、これらの駆動回路を用いた表示パネル（表示装置）などに関するものである。

【背景技術】

【0002】

電気光学変換物質として有機エレクトロルミネッセンス（E L）材料あるいは無機E L材料を用いたアクティブマトリクス型の画像表示装置は、画素に書き込まれる電流に応じて発光輝度が変化する。E L表示パネルは各画素に発光素子を有する自発光型である。E L表示パネルは、液晶表示パネルに比べて画像の視認性が高い、発光効率が高い、バックライトが不要、応答速度が速い等の利点を有する。

30

【0003】

アクティブマトリクス方式の有機E L表示パネルは、特許文献1に開示されている。この表示パネルの一画素の等価回路を図3に示す。画素16は発光素子であるE L素子15、第1のトランジスタ（駆動用トランジスタ）11a、第2のトランジスタ（スイッチング用トランジスタ）11bおよび蓄積容量（コンデンサ）19からなる。発光素子15は有機エレクトロルミネッセンス（E L）素子である。

【0004】

図3の画素構成を駆動するドライバ回路は、電圧の強弱で示された映像信号を出力する。ドライバ回路は、液晶表示パネルを駆動するドライバ回路と構成が近似する。ドライバ回路から、映像信号としての電圧信号がソース信号線18に印加される。印加された電圧信号が画素16に印加されコンデンサ19に保持される。

40

【0005】

また、有機E L表示装置の駆動方法については、特許文献2に開示されている。

【0006】

本明細書では、E L素子15に電流を供給するトランジスタ11aを駆動用トランジスタと呼ぶ。また、図3のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチング

50

用トランジスタと呼ぶ。

【特許文献1】特開平8-234683号公報

【特許文献2】特開2005-266735号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

有機EL表示パネルは、低温あるいは高温ポリシリコンからなるトランジスタアレイを用いてパネルを構成する。しかし、有機EL素子は、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。

【0008】

図3は電圧プログラム方式の画素構成である。なお、電圧プログラム方式とは、電圧の大きさあるいは強弱で示される映像信号などの電圧信号（プログラム電圧）をデータ信号線、ソース信号線あるいは画素などに印加し、画素のトランジスタなどで電圧信号を電流信号に変換してEL素子に印加する構成あるいは回路もしくは駆動方法を言う。

【0009】

電流プログラム方式とは、電流の大きさあるいは強弱で示される映像信号などの電流信号（プログラム電流）をデータ信号線、ソース信号線あるいは画素などに印加し、画素のトランジスタなどで印加した電流信号をそのままEL素子に印加する構成あるいは回路もしくは駆動方法を言う。

【0010】

EL素子に流入する電流、EL素子から流出する電流のいずれをも印加と呼ぶ。また、EL素子を駆動することも、電流を印加するあるいはEL素子に電流を供給することと同義で使うことがある。あるいは電流プログラム方式とは、印加した電流信号に略比例した電流信号もしくは印加した電流に所定の変換処理を行った電流信号（プログラム電流）を直接的にあるいは間接的にEL素子に印加する構成あるいは回路もしくは駆動方法を言う。

【0011】

図3に図示する画素構成では、電圧の強弱で示された映像信号を駆動用トランジスタ11aで電流信号に変換する。したがって、トランジスタ11aに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ11aは50%以上の特性バラツキがある。図3の構成では特性バラツキに対応した表示ムラが発生する課題がある。しかし、電圧プログラム方式は、低階調領域、高階調領域のいずれの領域にあっても、ソース信号線などの充放電能力が高く、書き込み不足による表示ムラの発生はほとんどない。

【0012】

前記トランジスタの特性バラツキによる表示ムラは、電流プログラム方式の構成を採用することにより低減することが可能である。しかし、電流プログラム方式は、低階調領域での駆動電流が小さく、ソース信号線18の寄生容量により良好に駆動できないという課題があった。

【0013】

本発明は、上記従来の課題を考慮して、全階調領域で従来に比べて書き込み不足が発生しにくく、トランジスタの特性バラツキによる表示ムラを従来に比べて低減できるEL表示装置、及びEL表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記本発明の目的を達成するために、

第1の本発明は、EL素子を有する画素がマトリックス状に形成されたEL表示装置であって、

所定の定電流を発生する定電流回路と、

階調電圧を発生する階調電圧回路とを具備し、

10

20

30

40

50

前記定電流回路が発生する前記定電流は、ソース信号線を介して前記画素に供給され、
前記階調電圧回路が発生する前記階調電圧は、前記ソース信号線を介して前記画素に供給される、E L表示装置である。

【0015】

また、第2の本発明は、E L素子を有する画素がマトリックス状に形成されたE L表示装置の駆動方法であって、

前記E L表示装置は、

所定の定電流が発生する定電流回路と、

階調電圧が発生する階調電圧回路とを備え、

前記画素が、前記E L素子に駆動電流を供給する駆動用トランジスタと、ソース信号線と前記駆動用トランジスタ間に電流経路を形成するスイッチング用トランジスタとを有しており、

10

前記E L表示装置の駆動方法は、

前記定電流回路が発生する前記定電流を、前記ソース信号線を介して前記画素に印加するステップと、

前記定電流が前記ソース信号線に印加された状態で、前記ソース信号線の電位を取得するステップと、

前記取得した電位と前記階調電圧を加算し又は前記取得した電位から前記階調電圧を減算して、

前記加算又は減算の結果を前記ソース信号線を介して前記画素の前記駆動用トランジスタに印加するステップと、

20

を備えた、E L表示装置の駆動方法である。

【0016】

また、第3の本発明は、前記定電流を前記画素に印加する期間又は前記期間の前に、前記ソース信号線又は前記画素にプリチャージ電圧を印加する、上記第2の本発明のE L表示装置の駆動方法である。

【0017】

また、第4の本発明は、定電流回路は、複数の単位トランジスタから構成されている、請求項2記載のE L表示装置の駆動方法である。

【0018】

30

また、第5の本発明は、E L素子を有する画素がマトリックス状に形成されたE L表示装置であって、

所定の定電流が発生する定電流回路と、

階調電圧が発生する階調電圧回路とを具備し、

前記画素は、前記E L素子に駆動電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子と接続されたコンデンサと、ソース信号線と前記駆動用トランジスタ間に電気経路を形成する第1のスイッチング用トランジスタと、前記コンデンサを介して前記駆動用トランジスタに前記階調電圧を印加する第2のスイッチング用トランジスタとを有する、E L表示装置である。

【0019】

40

また、第6の本発明は、E L素子を有する画素がマトリックス状に形成されたE L表示装置であって、

所定の定電流が発生する定電流回路と、

階調電圧が発生する階調電圧回路と、

前記画素に前記定電流を供給する第1のソース信号線と、

前記画素に前記階調電圧を供給する第2のソース信号線とを具備し、

前記画素は、前記E L素子に駆動電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子と接続されたコンデンサと、第1のソース信号線と前記駆動用トランジスタ間に電気経路を形成する第1のスイッチング用トランジスタと、前記第2のソース信号線とコンデンサと電気経路を形成する第2のスイッチング用トランジスタとを有

50

する、E L 表示装置である。

【0020】

また、第7の本発明は、E L 素子を有する画素がマトリックス状に形成されたE L 表示装置であって、

所定の定電流を発生する定電流回路と、

階調電圧を発生する階調電圧回路と、

コンデンサと、

前記画素に前記定電流を供給するソース信号線とを具備し、

前記階調電圧は、前記コンデンサを介して前記ソース信号線に印加される、E L 表示装置である。

10

【0021】

また、第8の本発明は、E L 素子を有する画素がマトリックス状に形成された表示部と、

前記E L 素子の駆動用トランジスタにリセット電流を出力する定電流出力回路と、

前記リセット電流を印加した状態で前記駆動用トランジスタのゲート端子電位を取得する電圧保持回路と、

映像信号に対応する階調電圧を出力する階調電圧回路と、

前記ゲート端子電位と、前記階調電圧を加算し又は前記ゲート端子電位から前記階調電圧を減算して前記加算又は減算の結果を前記駆動用トランジスタのゲート端子に印加する電圧印加回路を具備する、E L 表示装置である。

20

【0022】

なお、本発明のドライバ回路およびE L 表示装置は、電流発生回路と、電圧発生回路を具備する。電流発生回路が出力する定電流はE L 素子を駆動する駆動用トランジスタに印加される（電流プログラム）。定電流を駆動用トランジスタに印加することにより、駆動用トランジスタのゲート電圧は、印加された定電流を流すように電流プログラムされる。この定電流をリセット電流 I_a と呼ぶ。リセット電流 I_a は基準となる電流の意味として用いる場合もある。

【0023】

ソースドライバ回路14から出力する電流あるいは駆動用トランジスタなどに書き込む電流をプログラム電流と呼ぶ。駆動用トランジスタ11aなどに基準となる電流を流すように設定する電流をリセット電流 I_a と呼ぶ。したがって、ソースドライバ回路14から出力する電流がリセット電流である場合は、プログラム電流がリセット電流となる。

30

【0024】

以上のように定電流を印加した状態あるいは変化した状態を電流リセット状態と呼ぶ。また、駆動用トランジスタが定電流を流している時に、駆動用トランジスタのゲート端子に印加される電圧または発生する電圧をリセット電圧 V_a と呼ぶ。また、一定の基準となる電圧をリセット電圧 V_a と呼ぶこともある。

【0025】

電圧発生回路は、E L 表示装置に入力される映像信号に対応した階調電圧 V_x または目標階調電圧 V_c を出力する。階調電圧などはリセット電圧 V_a を基準として、駆動用トランジスタのゲート端子に印加される（電圧プログラム）。たとえば、リセット電圧 V_a が3Vであれば、3Vのリセット電圧 V_a を基準にして±の階調電圧 V_x を印加する。 $V_x = 0$ であれば、駆動用トランジスタ11aは、電流プログラムされたリセット電流 I_a を発光電流としてE L 素子15に流す。つまり、リセット電圧 V_a を基準としてE L 素子15に流す電流が決定される。

40

【0026】

本発明の他の実施の形態におけるドライバ回路およびE L 表示装置は、定電流（リセット電流 I_a ）を印加した状態で駆動用トランジスタのゲート端子電圧（リセット電圧 V_a ）を測定あるいは所定期間保持する電圧保持回路を具備する。

【0027】

50

なお、電流プログラム（方式）は、電流駆動（方式）と呼ぶこともある。また、電圧プログラム（方式）は、電圧駆動（方式）と呼ぶこともある。

【0028】

また、ドライバ回路とは、シリコンなどの半導体ICで構成されたものだけでなく、低温ポリシリコンなどでガラス基板に形成されたものも意味する。

【発明の効果】

【0029】

本発明は、全階調領域で従来に比べて書き込み不足が発生しにくく、トランジスタの特性バラツキによる表示ムラを従来に比べて低減できるという効果を有する。

【0030】

尚、本発明は、例えば各画素の駆動用トランジスタ11aにリセット電流Iaを印加し、駆動用トランジスタ11aのリセット電圧Vaを発生させる。各画素の駆動用トランジスタ11aのリセット電圧Vaは、各駆動用トランジスタ11aの特性により異なる。レーザーアニール状態などによりバラツキが発生するからである。このリセット電圧Vaを基準として目標階調電圧Vcを印加すれば、各駆動用トランジスタ11aの特性が異なっても精度のよい階調電流をEL素子15に印加できることになる。階調電圧の絶対値が大きくなるにしたがって、EL素子15に流す電流のバラツキは大きくなる。しかし、バラツキは実用上問題にならない大きさである。

【0031】

電圧プログラム方式は、画素16の駆動用トランジスタ11aの特性補償が不十分であるという欠点を有していた。しかし、本発明は、例えば画素16のトランジスタに定電流を印加するという電流プログラム方式を実施する。電流プログラムの実施により発生する、駆動用トランジスタ11aのゲート端子電圧（リセット電圧Va）を基準（原点）として、階調電圧Vxを印加する（電圧プログラム）。したがって、駆動用トランジスタ11aのゲート端子に印加される目標階調電圧Vcは、 $Va \pm Vx$ となる。したがって、駆動用トランジスタ11aの特性バラツキがあっても、精度のよい階調電圧に対応する階調電流をEL素子15に流すことができる。

【0032】

リセット電流Iaを所定以上の大きさの電流値とすることにより、電流プログラム方式の弱点である低階調領域（低電流領域）での書き込み不足の課題が発生しない。例えばリセット電圧Vaを基準として階調電圧Vxを加算あるいは減算することにより、電圧駆動の特徴である全階調領域で書き込み不足がないという利点を発揮させることができる。

【発明を実施するための最良の形態】

【0033】

以下、本発明のEL表示装置及びその駆動方法の実施の形態について説明する。

【0034】

（第1の実施の形態）

図1は本発明のEL表示装置の駆動回路の説明図である。ソースドライバIC（回路）14の出力端子21はソース信号線18に接続されている。各ソース信号線18には、複数の画素16が接続されている。画素16にEL素子15が形成され、画素16はマトリックス状に配置されている。

【0035】

各出力端子21には、定電流出力回路（電流階調回路）10、電圧階調回路20が構成あるいは形成されている。なお、定電流出力回路10は、プログラム電流などの階調電流を出力できるものであることが好ましい。しかし、第1の実施の形態においては、定電流出力回路10は階調電流を出力できる必要はなく、所定の定電流（プログラム電流）を出力できる構成であればよい。

【0036】

電流量の異なる定電流を出力できるように構成することにより、階調電圧Vxに対応して、リセット電流Iaの大きさを変化あるいは変更することができる。また、パネルサイ

10

20

30

40

50

ズあるいはソース信号線18の寄生容量の大きさに対応させて定電流の大きさを変化あるいは設定することができる。したがって、良好に電流プログラムを実施できるという利点が発揮される。

【0037】

各出力にはスイッチSW1、SW2、SW3、SW4、SW5が形成または配置されている。また、コンデンサ52、バッファ53が形成または配置されている。コンデンサ52は、直流(DC)成分のカットする機能を有するものであればいずれでもよい。または、電位をレベルシフトできるものであればいずれのものでもよい。

【0038】

バッファ53は入力a部が高インピーダンスで、出力のb部が低インピーダンスのものであればいずれでもよい。たとえば、バッファアンプ、オペアンプなどが例示される。その他、トランジスタ素子でエミッタフォロワ回路を構成してもよい。

【0039】

本発明のEL表示パネル(EL表示装置)の画素16の構造は、図2などに示すように、1つの画素16が4つのトランジスタ11ならびにEL素子15により形成される。少なくとも、EL素子15を駆動するトランジスタ11aを介した電流の経路が、ソース信号線18まで継続できる画素構成である。

【0040】

図2の画素構成にあっては、EL素子15に電流を供給するトランジスタ11a(駆動用トランジスタ11a)に流れる電流は、トランジスタ11cをオン(クローズ)させることによりソース信号線に取り出すことができる。もしくは、少なくとも、EL素子15を駆動するトランジスタのゲート端子に印加した(された)電圧が、ソース信号線18から読み取れる画素構成である。

【0041】

図2の画素構成にあっては、EL素子15に電流を供給するトランジスタ11a(駆動用トランジスタ11a)のゲート端子電圧は、トランジスタ11b、11cをオン(クローズ)させることによりソース信号線18から読み取ることができる。

【0042】

図2の画素回路は、1画素内に4つのトランジスタ11(11a、11b、11c、11d)を有している。駆動用トランジスタ11aのゲート端子はトランジスタ11bのソース端子に接続されている。トランジスタ11bおよびトランジスタ11cのゲート端子はゲート信号線17aに接続されている。トランジスタ11bのドレイン端子はトランジスタ11cのソース端子ならびにトランジスタ11dのソース端子に接続され、トランジスタ11cのドレイン端子はソース信号線18に接続されている。トランジスタ11dのゲート端子はゲート信号線17bに接続され、トランジスタ11dのドレイン端子はEL素子15のアノード電極(端子)に接続されている。

【0043】

なお、トランジスタ11は、Pチャンネルトランジスタで形成している。Pチャンネルトランジスタは、寿命信頼性が高く好ましい。また、図2の構成では、駆動用トランジスタ11aからソースドライバ回路14に流れる電流Iaはソースドライバ回路14に吸い込まれる電流となる。ソースドライバ回路14には、Nチャンネルのトランジスタが形成されている。Nチャンネルのトランジスタは、吸い込み電流Iaを良好に吸い込むことができ、また、Nチャンネルトランジスタは特性バラツキが小さい。そのため、ソースドライバ回路14を小型化できる。

【0044】

図2の画素構成では、トランジスタ11b、11cのゲート端子は、ゲート信号線17aに接続されている。トランジスタ11b、11cは、ゲート信号線17aに印加されたオンオフ制御信号によりオン(クローズ)、オフ(オープン)制御される。トランジスタ11dのゲート端子は、ゲート信号線17bに接続されている。トランジスタ11dは、ゲート信号線17bに印加されたオンオフ制御信号によりオン(クローズ)、オフ(オー 50

ブン) 制御される。

【0045】

ゲートドライバ12 (図20では、ゲートドライバ回路12a、12b) は、ゲート信号線17a、17bを制御する。図20に図示するように、表示領域184の左端にゲートドライバ回路12aを形成または配置し、右端にゲートドライバ回路12bを形成または配置してもよい。ゲートドライバ回路12aはゲート信号線17aを制御し、ゲートドライバ回路12bはゲート信号線17bを制御する。ゲートドライバ回路12aとゲートドライバ回路12bはそれぞれ内部にシフトレジスタ回路が形成されているため、独立に動作させることができる。

【0046】

図2に図示する有機ELの画素構成では、トランジスタ11bは画素を選択するためのスイッチング用トランジスタとして機能させる。また、トランジスタ11aはEL素子15に電流を供給するための駆動用トランジスタとして機能させている。

【0047】

トランジスタ11bは、デュアルゲート以上であるマルチゲート構造としている。本発明の表示パネルの画素16を構成するトランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用する。したがって、トランジスタ11bは、できるだけ低リーク電流特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより低リーク電流特性を実現できる。

【0048】

パネルを低コストで作製するためには、画素を構成するトランジスタ11をすべてPチャンネルで形成し、ゲートドライバ回路12もPチャンネルで形成することが好ましい。このようにアレイをPチャンネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

【0049】

以下、図17(A)～(B)を用いて説明する。以下の説明は、電流駆動方式の画素構成を理解するための説明である。本発明は、電流駆動方式の画素構成(電流プログラムできる画素構成)を有している。本発明は、画素16の駆動用トランジスタ11aにプログラム電流(リセット電流Ia)を流し、プログラム電流を流した状態で駆動用トランジスタ11aのゲート端子電位を測定または一定の期間、保持することを特徴とする。また、ゲート端子電位に階調電圧を加減算し、加減算した電圧を画素の駆動用トランジスタ11aのゲート端子に書き込むことを特徴とする。

【0050】

本発明の画素の動作は第1の動作と第2の動作の2つの動作により制御される。図17(A)～(B)は図2の画素構成における動作の説明図である。第1の動作は電流プログラムの動作(EL素子15に流す電流を設定する動作)である。また、第1の動作は、電流リセット動作、リセット電流Iaを印加し駆動用トランジスタ11aのゲート端子のリセット電位を読み取る電圧読み取り動作、リセット電圧Vaを基準(中心あるいは原点)として階調電圧あるいは目標階調電圧を印加する階調電圧印加動作に大別される。第2の動作は、EL素子15に電流を流し、EL素子15が発光する動作である。図17(A)は、第1の動作の説明図である。図17(B)は第2の動作の説明図である。

【0051】

以下、図1および図17(A)～(B)を参照しながら、本発明のEL表示パネルおよびその駆動方法について説明をする。

【0052】

第1の動作はEL素子15に流す電流値を記憶させる動作である。まず、ソースドライバIC(回路)14の定電流出力回路10から、所定の定電流であるリセット電流Iaがソース信号線18に印加される。定電流出力回路10の一例を図37に示す。

【0053】

定電流出力回路10は、一例としてオペアンプ291とトランジスタ286および抵抗

10

20

30

40

50

Rで構成される。オペアンプ291の+側端子には電子ポリウム331が接続される。電子ポリウム331は、デジタルデータをアナログデータに変換するDA変換回路として動作する。電子ポリウム331の出力電圧Vは設定データ（デジタルデータ）により変更される。ソース信号線18に流れる電流I_aは、電子ポリウム331の出力電圧Vを抵抗Rで除算した値となる。

【0054】

リセット電流I_aの発生は定電流出力回路10に限定するものではなく、所定あるいは一定範囲の大きさのリセット電流I_aを発生できるものであればいずれのものであってもよい。たとえば、エミッタフォロワ回路でもリセット電流I_aを発生することができる。また、定電流出力回路10が発生するリセット電流I_aは、複数の大きさのリセット電流I_aを発生できるように構成することが好ましい。さらに好ましくは、階調電圧のそれぞれに対応したリセット電流I_aを発生することが好ましい。

【0055】

リセット電流I_aとは電流0の状態（I_a=0、電流が流れない）も含む。図2の画素構成にあって、プログラム電流I_a=0とすれば、駆動用トランジスタ11aは、EL素子15に電流を流さないようにゲート端子の電位（コンデンサ19の一端子の電位）を変動（可変）させる。この変動後の駆動用トランジスタ11aのゲート端子のリセット電圧V_aは駆動用トランジスタ11aの特性を示していることになる。リセット電流I_a=0の時のリセット電圧V_aは、駆動用トランジスタ11aの動作開始電圧である。

【0056】

ソースドライバIC（回路）14からソース信号線18にプログラム電流I_aを印加しているときは、図17（A）に図示するように、トランジスタ11bならびにトランジスタ11cがオン（クローズ）する。また、トランジスタ11dはオープン状態に制御される。トランジスタ11b、11c、11dの制御は、ゲート信号線17a、17bに印加するオンオフ信号により行う。

【0057】

図4（A）に図示するように、ソースドライバIC（回路）14は、プログラム電流（リセット電流I_a）を印加する前に、リセット動作を行う。リセット動作では、図1、図4（A）～（C）に図示するスイッチSW4、SW5はオープン（オフ）状態に設定される。スイッチSW2、SW3はクローズ（オン）にされて、コンデンサ52にグラウンド電位または所定の固定電圧が印加される。なお、スイッチSW1はクローズさせた状態でソース信号線18にプログラム電流を印加してもよい。

【0058】

以上の動作がリセット動作である。リセット動作では、コンデンサ52の一端子cに固定（既知）の電圧を印加する。既知の電圧とはグラウンド電圧も含まれる。コンデンサ52の容量は、0.05 pF以上2 pF以下とすることが好ましい。

【0059】

次の電圧読み取り動作では、スイッチSW1をクローズさせ、プログラム電流（リセット電流I_a）I_aをソース信号線18に印加する。このとき、スイッチSW4、SW5はオープン状態とし、スイッチSW2はクローズ状態にする（図4（A）を参照のこと）。

【0060】

図17（A）～（B）に示す画素16の駆動用トランジスタ11aは、プログラム電流I_aを流し、また、プログラム電流I_aを流すようにゲート端子電位を変化させる。ゲート端子電位は、トランジスタ11b、11cがクローズ状態であるため、ソース信号線18に出力される（読み出される）。ソースドライバIC（回路）14内のスイッチSW2がクローズされている。結果的にプログラム電流（リセット電流）I_aを流す駆動用トランジスタ11aのゲート端子電位は、ソースドライバIC（回路）14のa部に印加される（読み出される）ことになる（図1参照）。

【0061】

プログラム電流（リセット電流）I_aの大きさは、最大階調電流の1／8以上1倍以下

の範囲となるように設定することが好ましい。なお、書き込み時間を短縮するため、最大階調電流の1倍以上10倍以下に設定しても構わない。最大階調電流とは、最大階調でのEL素子15に流れる電流の大きさ、または画素16にプログラムされるプログラム電流の大きさである。たとえば、256階調では、最大階調電流は、255階調目でEL素子15にプログラムされる電流である（0階調から階調番号は開始されるとしている）。

【0062】

プログラム電流（リセット電流 I_a ）が小さいと、ソース信号線18の寄生容量を充放電する時間に長時間を必要とする。そのため、駆動用トランジスタ11aのゲート電位の変化が1水平走査期間（1H期間）の最初の短時間では収束しない。また、プログラム電流（リセット電流 I_a ）が大きいと、比較的駆動用トランジスタ11aの特性ばらつきの影響が画像表示として出現しやすい低階調領域での特性補償が低くなる。 10

【0063】

以上の動作により、コンデンサ52のa部には、駆動用トランジスタ11aのゲート端子電位が読み出される。または、コンデンサ52のa部に保持される。図1の実施の形態では、コンデンサ52のa部に駆動用トランジスタ11aのゲート端子電位を読み出し、保持するとした。本発明はこれに限定するものではない。たとえば、a部の電位をAD（アナログーデジタル）変換し、デジタルデータとして取得してもよい。取得したデジタルデータは、ソースドライバIC（回路）14内または外部に形成または構成されたメモリ回路に保持する。もちろん、アナログデータの状態で一定の期間、ソースドライバIC（回路）14外あるいは内の記憶手段などに保持させてもよい。 20

【0064】

次の動作は、読み取った電圧を基準（中心位置あるいは原点位置）にして階調電圧を印加する動作である（図4（B）を参照のこと）。この動作では、スイッチSW1、SW2、SW3がオープン状態となり、スイッチSW4、SW5がクローズ状態に制御される。コンデンサ52のa部には、選択した画素16の駆動用トランジスタ11aのゲート端子電圧（リセット電圧 V_a ）が保持されている（図4（A）参照）。リセット電流 I_a を流した時に保持される電圧をリセット電圧 V_a と呼ぶ。

【0065】

ゲート端子電圧は、駆動用トランジスタ11aが、プログラム電流（リセット電流 I_a ）をEL素子15に流すのに必要な電圧である。c部にグランド（GND）電圧が印加されているとすると、コンデンサ52の両電極間には、駆動用トランジスタ11aのゲート端子電圧が保持されていることになる。 30

【0066】

オペアンプ53の増幅率（ゲイン）が1とすると、a部の電圧がスイッチSW5を介してソース信号線18に印加されることになる。画素16のトランジスタ11b、11cは選択された1水平走査期間（1H期間）、クローズしている。この状態では、読み出された駆動用トランジスタ11aのゲート端子電圧が、再び画素16の駆動用トランジスタ11aのゲート端子に印加されることになる。

【0067】

したがって、駆動用トランジスタ11aはリセット電流 I_a に該当する電流をEL素子15に流す。以上の状態は駆動用トランジスタ11aの特性バラツキを補償し、精度よくEL素子15にリセット電流 I_a （プログラムされた電流）を流していることになる。 40

【0068】

なお、リセット電圧 V_a は、駆動用トランジスタ11aの特性により各画素で異なっていることは言うまでもない。しかし、EL素子15に流す電流は精度よくプログラム電流（リセット電流 I_a ）が印加される。

【0069】

電圧階調回路20は、各階調に対応する階調電圧 V_x を出力する。階調電圧 V_x とは、映像信号の階調番号に対応する電圧である。映像信号と考えてもよい。階調電圧 V_x をそのままあるいは一定処理（比例処理、シフト処理、加減算処理など）を行い、駆動用トラ 50

ンジスタ 11a にプログラム電圧として印加することにより画像表示を行うことができる。

【0070】

階調電圧 V_x は、スイッチ SW4 と介して、コンデンサ 52 の c 部に印加される。コンデンサ 52 の a 部の電位 V_a は、電圧階調回路 20 が出力する階調電圧 V_x 分がシフトされる。したがって、a 部の電位は、理想的には $V_a + V_x$ となる。

【0071】

$V_a +$ 階調電圧 V_x は、ゲイン 1 であるオペアンプ 53 で低インピーダンスにされて出力される。 $V_a +$ 階調電圧 V_x は、スイッチ SW5、出力端子 21 を介してソース信号線 18 に印加され、画素 16 の駆動用トランジスタ 11a のゲート端子に印加される。したがって、駆動用トランジスタ 11a は、 $V_a + V_x$ に対応する電流を EL 素子 15 に印加する。

10

【0072】

図 1 では、オペアンプ 53 は、ゲイン 1 としたがこれに限定するものではなく、1 以外でもよい。たとえば、2 倍であれば、オペアンプ 53 は a 部に印加された電圧を 2 倍してソース信号線 18 に印加される。また、印加された a 部の電圧の極性の反転動作を行ってもよい。また、階調電圧 V_x とは、各階調に対する任意の電圧である。階調電圧 V_x は、リセット電圧 V_a を中心として発生あるいは設定する。階調電圧 V_x は、プラス方向に設定してもよいし、マイナス方向に設定してもよい。また、構成により、±方向に設定してもよい。

20

【0073】

図 1 では、オペアンプ 53 を使用するとししたがこれに限定するものでない。入力インピーダンスが高く、出力インピーダンスが低いものであればいずれのものでもよい。たとえば、図 9 はトランジスタによるエミッタフォロワ回路 91 を用いた構成例である。トランジスタ Q と抵抗 R でエミッタフォロワ回路 91 が構成されている。

【0074】

a 部からトランジスタ Q のゲートをみたインピーダンスは高く、b 部の出力インピーダンスは低くなっている。したがって、コンデンサ 52 の電位を安定して保持することができる。スイッチ SW5 を介して印加する電圧によりソース信号線 18 を良好に充放電することができるため、画素 16 の駆動用トランジスタ 11a に良好に階調電圧を印加できる。

30

【0075】

図 1 において、定電流出力回路 10 は、各ソース信号線 18 に対応してソースドライバ IC (回路) 14 内に配置または形成するとししたが、本発明はこれに限定するものではない。たとえば、図 38 に図示するように、1 つの電流発生回路 413 が発生する定電流 (リセット電流 I_a) を、スイッチ回路 (選択切換回路) で、複数の電流保持回路 501 (図 49、図 50 およびその説明を参照のこと) に印加する構成が例示される。電流保持回路 501 は各ソース信号線 18 に接続あるいは配置されている。

【0076】

電流保持回路 501 は、画素 16 にリセット電流 I_a を印加する。電流保持回路 501 は、リセット電流 I_a を画素 16 に印加するとともに、画素 16 の駆動用トランジスタ 11a のリセット電圧 V_a を取得する機能も有する。各ソース信号線 18 に印加されているリセット電圧 V_a 、または各電流保持回路 501 が取得あるいは保持したリセット電圧 V_a は、スイッチ回路 381 の制御により読み出される。読み出したリセット電圧 V_a から、目標階調電圧 V_c を求め、各画素 16 に印加される。

40

【0077】

なお、定電流出力回路 10 または電流発生回路 413 が出力するリセット電流 I_a の大きさは、電流保持回路 501 など増幅させてもよい。増幅などはオペアンプ、差動増幅回路などで容易に実現できる。増幅とは 1 以上の場合を意味するが、本明細書では 1 以下の場合も含まれる。

【0078】

50

電流保持回路 501 はアレイ基板 382 に低温ポリシリコンなどのポリシリコン技術を用いて形成される。電流発生回路 413 もアレイ基板 382 に形成してもよいが、電流精度を要望される場合は、半導体チップで形成されたソースドライバ回路 14 内に形成することが好ましい。

【0079】

前記定電流出力回路 10 または電流発生回路 413 の出力電流（リセット電流 I_a ）はスイッチ回路 381 で切り替え、各ソース信号線 18 または各出力端子 21 に形成または構成された電流保持回路 501 に印加してもよい。図 50 などに図示するように、電流保持回路 501 は、カレントミラー回路あるいはカレントコピア回路で構成されている。

【0080】

定電流出力回路 10 または電流発生回路 413 が出力するリセット電流 I_a は、一定値のリセット電流 I_a に限定するものではない。64 階調あるいは 256 階調など、複数種類の階調数、異なる大きさの電流を出力できるものであってもよい。また、リセット電流 I_a は、水平同期信号（HD）、垂直同期信号（VD）ごとにその値を変化できるように構成してもよい。また、ドットクロックに同期して 1 画素ごとにその値を変化できるように構成してもよい。また、リセット電流 I_a は、図 52 のようなパネル温度検出回路を用いて、パネル温度に相関して変化させてもよい。

【0081】

階調電圧 V_x は階調番号に置き換えてもよい。たとえば、リセット電圧 V_a が 256 階調の 128 階調目とし、 $V_x = V_c - V_a$ が 64 階調分の電圧に該当するとする。電圧階調回路 20 が V_x を出力することにより、 V_c は $128 + 64 = 192$ 階調となる。 V_x が一方向に作用するとし、 $V_a - V_x$ が 64 階調分の電圧に該当するとすれば、電圧階調回路 20 が V_x を出力することにより、 V_b は $128 - 64 = 64$ 階調となる。図 7 では、 V_b に対応する電流は I_b である。もちろん、階調電圧 V_x は電圧であればいずれの単位、大きさのものであってもよいことはいうまでもない。

【0082】

以上の階調電圧 V_x による EL 素子 15 に流す電流は、図 7 で示される。図 7 の実線は、画素 16 の駆動用トランジスタ 11a の $V-I$ 特性を示している。図 7 では、リセット電圧 V_a では、電流 I_a が EL 素子 15 に流れるとしている。つまり、理想的にはリセット電圧 V_a を駆動用トランジスタ 11a のゲート端子に印加すれば、リセット電流 I_a が EL 素子 15 に流れる。現実には、駆動用トランジスタ 11a のゲート端子とゲート信号線 17a 間に発生する突き抜け電圧などの影響によりリセット電流 I_a と差異がある電流が EL 素子 15 に流れる。この場合も本発明を適用できることは言うまでもない。本明細書では理想状態を例示して説明を行う。また、リセット電圧 V_a は各駆動用トランジスタの特性により異なる。

【0083】

階調電圧 V_x は、各階調に対応する電圧である。階調電圧は、リセット電圧 V_a を中心に + 側（+ V_x ）と - 側（- V_x ）で変化させる。たとえば、+ 側に変化させた時、EL 素子 15 に印加される電流は I_c であり、- 側に変化させた時、EL 素子 15 に流れる電流は I_b である。つまり、電圧階調回路 20 は、リセット電圧 V_a を基準として + 側または - 側の電圧を加減算などし、a 部に保持させる。もちろん、リセット電圧 V_a を基準として、階調電圧 V_x をプラス方向（加算）のみに設定してもよい。また、リセット電圧 V_a を基準として、階調電圧 V_x をマイナス方向（減算）のみに設定してもよい。加算／減算は、アナログ電圧の加算／減算に限定するものではなく、デジタルデータを加算／減算することによって実現してもよい。

【0084】

電圧階調回路 20 は、半導体 IC チップで形成することに限定されない。アレイ基板 382 にポリシリコン技術を用いて形成してもよい。その場合は、点順次回路、線順次回路で構成する。また、図 35 に図示するようにサンプルホールド回路などを用いて構成してもよい。

10

20

30

40

50

【0085】

電圧階調回路20が出力する電圧は0であってもよいことは言うまでもない。この場合は、定電流出力回路10の出力電流は0とする（定電流出力回路10は不要である）。したがって、本発明は、定電流出力回路10を省略することができる。

【0086】

また、各画素の駆動用トランジスタのリセット電圧 V_a をあらかじめ測定しておき、測定したリセット電圧 V_a を用いて、各画素に印加する階調電圧 V_x を補正してもよい。

【0087】

この場合は、リセット電圧 V_a を測定するときに、定電流出力回路10などが出力するリセット電流 I_a が必要であるだけで、画像表示状態では定電流出力回路10は不要である。したがって、リセット電流 I_a は別途ソースドライバIC14の外部に配置した回路から供給すればよい。

【0088】

また、リセット電圧 V_a は間接的に光学的に測定することができる。EL表示装置を電圧駆動すれば各駆動用トランジスタの特性バラツキはムラとして光学的に表示されるからである。光学的に表示されたムラを測定すれば容易に各画素の駆動用トランジスタのリセット電圧 V_a あるいはそれに類する電圧を求めることができる。また、目標階調電圧 V_c 、階調電圧 V_x を補正することができる。

【0089】

該当する選択画素16のゲート信号線17aにオン電圧を印加する。ゲート信号線17aにオン電圧を印加することにより、駆動用トランジスタ11aは、EL素子15に流す電流が0となるように、ゲート端子電位を変動させる。このEL素子15に流す電流が0となる電圧 V_a が、オペアンプ53のa部に保持される。電圧階調回路20が+側の電圧を出力し、+側の電圧とa部に保持された電圧が加算されてオペアンプ53のb部に出力される（図11を参照のこと）。

【0090】

図11に示すように、定電流出力回路10からソース信号線18に流す電流を0とし、駆動用トランジスタ11aがEL素子15に流す電流が0となるように動作した後のソース信号線18の電位 V_0 を測定する。 V_0 はリセット動作した後の電圧である。リセット電圧 $V_a = V_0$ を駆動用トランジスタ11aのゲート端子に印加してもEL素子15には電流は流れない。リセット電圧 V_0 を基準として階調電圧 V_x を印加すれば、EL素子15に電流 I_e が流れる。

【0091】

図4(C)、図17(B)に示す第2の動作は、EL素子15に電流を印加する第2の動作である。第2の動作は、図2にあっては、駆動用トランジスタ11aのゲート端子に印加された電圧に基づき、駆動用トランジスタ11aがEL素子15に電流 I_e を印加する。各画素16のEL素子15は印加された電流 I_e により発光動作する。

【0092】

以上の動作は、ゲートドライバ回路12aが順次、画素行を選択することにより実施される。つまり、1水平走査期間に画素行を選択する。まず、1水平走査期間の最初に、選択した画素行にリセット電流 I_a を印加する。リセット電流 I_a を印加した状態で、前記駆動用トランジスタ11aがリセット電流 I_a を流すために必要なリセット電圧 V_a を読み取る。あるいはそのリセット電圧 V_a をa部に保持させる。

【0093】

次にリセット電圧 V_a に階調電圧 V_x を加減算する。加減算された電圧は、駆動用トランジスタ11aのゲート端子に印加する。以上で1水平走査期間が完了する。選択された画素行は、次の1水平走査期間以降の所定の期間の間、駆動用トランジスタからEL素子15に電流が供給され、EL素子15が発光する。

【0094】

次の1水平走査期間では、次の隣接した画素行が選択される。1水平走査期間に画素行

を選択し、水平走査期間の最初に選択した画素行にリセット電流 I_a を印加して、前記駆動用トランジスタ 11a がリセット電流 I_a を流すために必要な V_a を読み取る。

【0095】

次にリセット電圧 V_a に階調電圧を加減算して、駆動用トランジスタ 11a のゲート端子に印加する。以上で 1 水平走査期間が完了する。

【0096】

各画素 16 に印加するリセット電流 I_a の大きさを、各画素 16 の EL 素子 15 に流す電流 I_e の大きさ、書き換える電流差、点灯周期などに対応して、可変あるいは変化もしくは調整してもよい。また、表示領域 184 全体で使用する最大電流に対するそれぞれの画像表示で使用する電流の割合（点灯率）に対応して可変あるいは変化もしくは調整して

10

【0097】

特に最大値が 100% として、点灯率が 25% 以下の場合に、リセット電流 I_a を増加させることが好ましい。つまり、点灯率に対応してリセット電流 I_a の大きさを変化（制御）する。

【0098】

各画素 16 の EL 素子 15 に流す電流の大きさ、書き換える電流差、点灯周期などに対応して、オペアンプ 53 のアンプ倍率を変化させてもよい。また、リセット電流 I_a を印加している期間を可変してもよい。

【0099】

また、各画素 16 の EL 素子 15 に流す電流の大きさ、書き換える電流差、点灯周期などに対応して、電圧階調回路 20 が出力する階調電圧 V_x の増幅率を変化してもよい。また、リセット電圧 V_a 、リセット電圧 V_0 に対して一定量の電圧を用いて補正して、補正した V_a 、 V_0 を基準電圧として使用してもよい。また、スイッチ SW2 などは省略してもよい。

20

【0100】

本発明ではリセット電圧 V_a を求めるあるいは取得するとしているが、これに限定するものではない。リセット電圧 V_a に類するものであればよい。たとえば、リセット電圧 V_a と比例関係にある電圧、一定のレベルシフトした電圧が例示される。また、増幅した電圧が例示される。また、光学的に求めた電圧あるいはデジタルデータが例示される。

30

【0101】

リセット電圧 V_a はすべての画素に対して求めるあるいは取得する必要はない。一定間隔ごとに間引き行い、選択された画素から抽出したリセット電圧 V_a であってもよい。近傍の画素のリセット電圧 V_a は比較的一致しているからである。抽出したリセット電圧 V_a を近傍の画素のリセット電圧 V_a として、直接使用するかあるいは演算などの加工を行って使用する。

【0102】

つまり、画素間引きを行って、選択された画素のリセット電圧 V_a を取得し、このリセット電圧 V_a を用いて、選択されなかった画素のリセット電圧 V_a を求める。あるいはリセット電圧を類推する。

40

【0103】

図 1 は、図 5 のように構成してもよい。図 5 はスイッチ SW3 に DA（デジタル→アナログ）変換回路 51 を接続した構成である。DA 変換回路 51 は 8 ビットのデジタルデータ D A T A に基づきスイッチ SW3 を介して c 部に電圧を印加する。c 部には、グランド（GND）電位に限定せず、多種多様な電圧を印加することができる。

【0104】

たとえば、駆動用トランジスタ 11a のゲート端子から読み取ったリセット電圧 V_a をコンデンサ 52 の一方の電極 c 部に印加することができる。したがって、コンデンサ 52 の初期化を容易に実施することができる。

【0105】

50

図5の構成によりa部に印加される電圧を一定の電圧シフトを行うことができる。ゲート信号線17aがオン電圧印加状態からオフ電圧印加状態に変化した時に突き抜け電圧が発生する。突き抜け電圧により駆動用トランジスタ11aのゲート端子の電位がシフトする。図5の構成では、容易に電位シフトを補正することができる。他の構成は、図1と同様または類似であるので説明を省略する。

【0106】

図1では、ソース信号線18の電位をコンデンサ52などにより、アナログ的に保持させるとしたが、本発明はこれに限定するものではない。たとえば、図6のように構成してもよい。

【0107】

図6において、ソース信号線18の電位は、アナログーデジタル(A/D)変換回路62でアナログーデジタル変換される。A/D変換されたデジタルデータは、加算回路61により電圧階調回路20の出力電圧と加算される。加算された電圧は、図1と同様にオペアンプ53の入力a部に印加され、インピーダンス変換されてb部より出力される。他の動作、構成は図1と同様あるいは類似であるので説明を省略する。

【0108】

加算回路61は、図1のコンデンサ52と電圧階調回路と同様あるいは類似の機能を発揮する。A/D変換回路62は電位を測定し、保持する機能を有するため、図1のコンデンサ52の機能を有する。加算回路61は、電圧階調回路20の出力データにA/D変換回路62の出力データを加算(減算でもよい。また、加算および減算してもよい)して、a部に出力する。

【0109】

したがって、コンデンサ52のa部のリセット電圧 V_a と電圧階調回路の出力電圧 V_x を加えてa部の電位をシフトすると同様の動作となる。加算回路61は減算回路でもよい。加算はアナログ加算、デジタル加算のいずれでもよい。また、加算の概念は、レベルシフトなどの概念も含む。

【0110】

A/D変換回路62は測定あるいは保持した電圧をデジタルデータとして加算回路61に印加するとしたがこれに限定するものではない。たとえば、A/D変換回路62のデジタルデータをソースドライバIC(回路)14の外部あるいは内部に構成あるいは形成したメモリ回路(図示せず)に保持させてもよい。このデジタルデータを随時読み出し、加算回路61に印加あるいは出力する。

【0111】

ソース信号線18の電位は、ソースドライバIC(回路)14が出力する電圧または電流により変動する。基本的には、ソース信号線18の電位は、1水平走査期間ごとに書き換えられる。本発明によれば1水平走査期間(1H)の最初にリセット電流 I_a を印加して、駆動用トランジスタ11aを動作させ、動作が完了し定常状態となった駆動用トランジスタ11aのゲート電位を測定する。測定した電圧を基準として階調電圧を駆動用トランジスタ11aに印加することにより、駆動用トランジスタ11aの特性バラツキを補償する。

【0112】

リセット電流 I_a は1水平走査期間(1H期間)内において、定常的に所定のーリセット電流 I_a とすることに限定するものではない。たとえば、リセット電流 I_a を、リセット電流 I_a の印加開始時に大きな電流とし、一定期間後、所定のリセット電流 I_a に設定してもよい。このように動作させることにより、ソース信号線18などの寄生容量を短時間で充放電することができる。つまり、リセット電流 I_a は1H期間において、多段階に変化させてもよい。また、ソース信号線18の電位に基づいて、多段階に切り替えるリセット電流 I_a の大きさを変化あるいは変更してもよい。

【0113】

駆動用トランジスタ11aのゲート端子の電位を変動させ、駆動用トランジスタ11a

10

20

30

40

50

の特定バラツキを補償するためには、まず、リセット電流 I_a により（もちろん、駆動用トランジスタ 11a の動作も加わる）ソース信号線 18 の寄生容量を充放電させる必要がある。充放電時間は、1 水平走査期間前のソース信号線 18 の電位により左右される。そのため、ソース信号線 18 の電位状態によっては、所定時間内で充放電する時間が足りない場合がある。

【0114】

本発明によれば、この課題を解決するため、1 水平走査期間（1H）の最初の期間に、プリチャージ電圧 V_p をソース信号線 18 に印加する。プリチャージ電圧 V_p は、後に説明するが、ソースドライバ IC（回路）14 内に形成され、所定の電圧をソース信号線 18 に印加できるように構成する。なお、プリチャージ電圧 V_p は画素 16 に直接印加する
10
ように構成してもよい。たとえば、画素に予め形成されたカソード電圧 V_{ss} と駆動用トランジスタ 11a のゲート端子とを短絡するスイッチング用トランジスタを画素に形成し、このトランジスタをオンさせることにより、カソード電圧をプリチャージ電圧 V_p として画素に印加する方式でもよい。

【0115】

図 12 では、各水平走査期間の A 期間にプリチャージ電圧 V_p を印加している。プリチャージ電圧 V_p の印加により各ソース信号線は瞬時に充放電され電位 V_p となる。なお、本実施の形態において、画素 16 の構成は、図 2 を例示して説明する。画素 16 の駆動用トランジスタ 11a は P チャンネルトランジスタとして説明をする。なお、駆動用トランジスタ 11a が N チャンネルトランジスタであっても、当業者であれば、以降の説明を多
20
少変更するだけで画素 16 を実施できる。本発明は、駆動用トランジスタ 11a のチャンネル極性に限定されない。

【0116】

P チャンネルトランジスタの場合は、駆動用トランジスタ 11a のゲート端子電位は、 V_{dd} 電圧（アノード電圧）に近い方が、駆動用トランジスタ 11a の電流 I_e は小さくなる（黒表示もしくは低輝度表示）。駆動用トランジスタ 11a のゲート端子電位は、 GND 電圧（グラウンド電圧もしくはカソード電圧）に近い方が、駆動用トランジスタ 11a の電流 I_e は大きくなる（白表示もしくは高輝度表示）。

【0117】

プリチャージ電圧 V_p は、最大階調（白表示もしくは高輝度表示）に相当する電圧付近に設定する。プリチャージ電圧 V_p は、所定の固定電圧であってもよいが、リセット電圧 V_a またはリセット電圧 V_0 に対応して可変あるいは調整できるように構成することが好ましい。
30

【0118】

図 12 では、第 1H～第 3H（1～3 番目の水平走査期間）は、それぞれ 1 水平走査期間（1H）である。また、第 1～3H（1～3 番目の水平走査期間）は画素行が選択される順番である。画素行は、第 n 画素行あるとすると、1 フィールド（フレーム）期間は、 n 水平走査期間（画素行）とブランキング期間で構成される。それぞれの水平走査期間の最初の A 期間にプリチャージ電圧 V_p が印加される。

【0119】

したがって、1H 前のソース信号線 18 の電位がどんな電位であっても、瞬時にプリチャージ電圧 V_p となる。1H の A 期間後の B 期間に、定電流出力回路 10 からリセット電流 I_a が出力される。なお、リセット電流 I_a は A 期間も印加してもよい。リセット電流 I_a は画素 16 の駆動用トランジスタ 11a からソース信号線 18 を介して定電流出力回路 10 に流れ込む。
40

【0120】

リセット電流 I_a により画素 16 の駆動用トランジスタ 11a のゲート端子はリセット電圧 V_a となる。リセット電圧 V_a は、各画素 16 の駆動用トランジスタ 11a の特性バラツキにより異なっていることは言うまでもない。しかし、リセット電圧 V_a は最小と最大との差は、0.5V 程度である。リセット電圧 V_a と V_p 電圧との電位差は、ほぼ一定
50

である。1 H前のソース信号線18の電位がいずれであっても、プリチャージ電圧 V_p の印加により、リセット電流 I_a の印加時は、プリチャージ電圧 V_p から V_a への変化となっている。したがって、収束時間は略一定である。

【0121】

B期間の次のC期間は、映像信号としての目標階調電圧 V_c が印加される。したがって、リセット電圧 V_a を基準として目標階調電圧 $V_c = V_a + V_x$ としてソース信号線18に印加される。図12では、第1H期間では目標階調電圧が V_1 であり、第2H期間では目標階調電圧が V_2 であり、第3H期間では目標階調電圧が V_3 の例である。以降第 n Hまで画素行の選択位置がシフトされ上記と同様の動作が実施される。以上のように、プリチャージ電圧 V_p の印加により、リセット電流 I_a を画素16の駆動用トランジスタ11aに印加しやすくし、収束時間を短縮することができる。プリチャージ電圧 V_p はアレイ基板の回路で発生してもよいし、ソースドライバIC14内に形成された回路から発生してもよい。

10

【0122】

図12は、プリチャージ電圧 V_p を一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図13に図示するようにプリチャージ電圧 V_p を変化させてもよい。

【0123】

図13では、第1Hはプリチャージ電圧 V_{p1} であり、第2Hはプリチャージ電圧 V_{p2} であり、第3Hはプリチャージ電圧 V_{p3} の例である。以降第 n Hまで画素行の選択位置がシフトされ上記と同様の動作が実施される。プリチャージ電圧 V_p は階調電圧あるいは目標階調電圧 V_c に相関させて変化させることが好ましい。たとえば、目標階調電圧 $V_c = V_a + V_x$ と、プリチャージ電圧 V_p との電位差が所定電圧範囲になるように、プリチャージ電圧 V_p を設定することが例示される。

20

【0124】

図12は、プリチャージ電圧 V_p を一定とした実施例であったが、本発明はこれに限定するものではない。たとえば、図14に図示するようにリセット電圧 V_a を変化させてもよい。図14では、第1H期間ではリセット電圧は V_{a1} である。第2H期間ではリセット電圧は V_{a2} であり、第3Hはリセット電圧は V_{a3} である。以降第 n Hまで画素行の選択位置がシフトされ上記と同様の動作が実施される。図14の実施例では、リセット電圧 V_a は各画素16の駆動用トランジスタ11aのリセット電圧 V_a を補正したものである。

30

【0125】

リセット電流 I_a を階調的にあるいは多段階に変化させるには、電流データをソースドライバIC（回路）14に送信する必要がある。また、階調電圧 V_x を画素ごとに変化させるには、電圧データをソースドライバIC（回路）14に送信する必要がある。図15はその実施例である。8ビットのリセット電流データ ID （7：0）と8ビットの階調電圧データ VD （7：0）を組として、また交互に伝送している。リセット電流データ ID （7：0）は定電流出力回路10が出力するリセット電流 I_a を発生させるデータである。電圧データ VD （7：0）は、電圧階調回路20が出力する階調電圧 V_x を発生させるものである。

40

【0126】

以上の実施例では、プリチャージ電圧 V_p の印加により、ソース信号線18の電位を初期化する。初期化の後、ソース信号線18にリセット電流 I_a を印加する。プリチャージ電圧 V_p は画素16に直接に印加してもよい。

【0127】

なお、本実施の形態ではトランジスタにリセット電流 I_a を印加し、駆動用トランジスタ11aのゲート端子電圧を直接あるいは間接的に測定もしくは保持するとして説明する。しかし、本発明は、これに限定するものではない。リセット電流 I_a の意味には、電流値が0（リセット電流 I_a を流さない）の場合をも含む。また、リセット電流 I_a の印加

50

による電圧の測定は、電圧の大きさの測定に限定するものではなく、前後の電圧の変化量、電圧の変化速度、電圧の差分値の測定であってもよい。

【0128】

電圧の測定とは、測定した電圧をアナログーデジタル変換（A/D変換）して、ドライバ回路外部あるいは内部に保持する動作あるいは構成も含む。また、電圧をデジタルデータとしてメモリに保持する動作を含む。また、測定だけでなく、コンデンサなどの保持媒体に一時的に保持あるいはラッチもしくは記憶する動作あるいは構成も含む。

【0129】

図1などの実施例では、ゲートドライバ回路12aは、1画素行を順次選択し、各画素行の画素にリセット電流 I_a を印加するとしたが、本発明はこれに限定するものではない。たとえば、図16(A)～(B)に図示するように複数の画素行を選択してリセット電流 I_a を印加してもよい。また、複数画素を同時に、あるいは共通にリセット電圧 V_a またはリセット電圧 V_0 （図11参照）を測定等してもよい。リセット電圧 V_a 、リセット電圧 V_0 は隣接した画素行では近似しているからである。 10

【0130】

図16(A)の実施例は、隣接した2画素行を同時に選択し、2画素行でリセット電流 I_a を定電流出力回路10から印加した構成である。2つの画素16を同時に選択する場合は、リセット電流 I_a は1画素の場合の2倍にする。3つの画素16を同時に選択する場合は、リセット電流 I_a は1画素の場合の3倍にする。リセット電流 I_a を整数倍にする必要はなく、実数倍であればいずれの大きさでもよい。また、複数画素16を選択する場合においても、1画素16を選択するリセット電流 I_a と同一の大きさであってもよい。 20

【0131】

選択した2画素行の各画素行の駆動用トランジスタ11aがそれぞれ出力する電流には、駆動用トランジスタ11aの特性が異なるため差異がある。しかし、隣接した画素行ではその差異はわずかである。画素行の選択は、第1及び第2画素行、第3及び第4画素行、第5及び第6画素行・・・と2画素行ずつ順次選択してもよいし、第1及び第2画素行、第2及び第3画素行、第3及び第4画素行・・・と1画素行ずつ順次選択してもよい。

【0132】

図16(B)は、隣接した画素行でなく、1画素行離れた位置の画素行を選択した実施例である。たとえば第1及び第3画素行を選択し、次に第2及び第4画素行を選択し、次に第3及び第5画素行を選択していく。 30

【0133】

図16(A)～(B)においても、他の構成、動作は、図1などで説明した実施例と同様であるので説明を省略する。以上のように、複数画素行を同時に選択し、リセット電圧 V_a などを測定することは、定電流出力回路10の動作時間を短縮できる。また、定電流出力回路10などの構成を簡略化できる。

【0134】

図16(A)～(B)の実施例は、2画素行を同時に選択する駆動方式であった。本発明は2画素行に限定するものではない。3画素以上を同時に選択してもよい。また、画素行の選択は、画素行を順次走査して選択することに限定するものではなく、ランダムに画素行を選択してもよい。また、奇数フィールド（フレーム）目は画面の上から下方向に順次選択し、偶数フィールド（フレーム）目は画面の下から上に順次選択してもよい。 40

【0135】

1H期間に複数の画素行を順次選択し、それぞれの画素行にリセット電流 I_a を印加し、リセット電圧 V_a を測定してもよい。たとえば、1Hの前半の1/2H期間に、第1行目の画素行を選択してリセット電流 I_a を印加し、後半の1/2H期間に次の第2行目の画素行を選択する駆動方法が例示される。

【0136】

リセット電圧 V_a (図7を参照のこと)、リセット電圧 V_0 (図11を参照のこと)の測定は、順次画素行を選択し、行うこととしたが、これに限定するものではない。たとえば、映像信号のブランキング時間に表示領域内の画素行を順次選択して走査し、リセット電圧 V_a 、 V_0 を測定などして、メモリに記憶させておいてもよい。また、複数の画素行を同時にまたは順次に選択し、リセット電圧 V_a 、 V_0 を測定し一定期間保持し、この保持したリセット電圧 V_a 、 V_0 を順次読み出して、階調電圧 V_x と加減算して目標階調電圧を求めあるいは発生させ、各ソース信号線18に順次印加してもよい。

【0137】

図8も図1と同様に、ゲートドライバ回路12が順次、画素列を選択することにより実施される。つまり、1水平走査期間に画素行を選択する。まず、最初に、スイッチSW3をクローズし、スイッチSW4、SW2、SW5をオープンする。スイッチSW3のクローズにより、コンデンサ52の一方の端子c部にグラウンド(GND)電圧が印加され、グラウンド電圧に維持される。また、図5で説明したように任意の所定電圧を印加できるように構成してもよい。

【0138】

コンデンサ52のc部にグラウンド電圧を印加しリセットを行った後、次に、図10(A)に図示するように、スイッチSW2、SW3をクローズし、また、スイッチSW4、SW5をオープンする。コンデンサ52のa部には、駆動用トランジスタ11aがEL素子15に電流を流さない電圧(=駆動用トランジスタ11aのゲート端子電圧)が保持される。この期間も該当画素行が選択されている。該当画素行の各画素16の駆動用トランジスタ11aのゲート端子電位は、オフセット状態(トランジスタ11dをクローズしてもEL素子15に電流が流れない状態)に維持される。

【0139】

図10(A)の動作により、前記駆動用トランジスタ11aがオフセットとなるのに必要なりセット電圧 V_0 が読み取られる(保持される)。したがって、駆動用トランジスタ11aは図11に示すように、そのままリセット電圧 V_0 を駆動用トランジスタ11aのゲート端子に印加すれば、カットオフ状態(EL素子15に流す電流が0となる状態)となる。

【0140】

次に、図10(B)に図示するように、スイッチSW4、SW5をクローズし、また、スイッチSW2、SW3をオープンする。電圧階調回路20は、階調電圧 V_x を出力する。目標階調電圧 $V_c = V_0 + V_x$ とする。この期間も該当画素行が選択されている。

【0141】

電圧階調回路20に出力された電圧 V_x は、コンデンサ52のa部の電位を電位シフトさせる。a部の電位シフトにより、リセット電圧 V_0 と階調電圧 V_x が加算される。以上で1水平走査期間が完了する。選択された画素行は次の1水平走査期間でEL素子15に電流を印加し、EL素子15が発光する。

【0142】

以上の本発明の実施の形態は、リセット電圧 V_a 、 V_0 の測定と、これらの電圧に階調電圧 V_x を加減算して画素16の駆動用トランジスタ11aに印加すると言う点を中心に説明した。以下、本発明のEL表示装置の画像表示を中心に説明を行う。

【0143】

本発明では、プログラム電流(リセット電流) I_a を流した状態で駆動用トランジスタ11aのゲート端子の電位(図2のfで示す)を測定する(電位を取得する)。または、電位を図1のコンデンサ52に保持させる。もしくは、電位に対応するデータをメモリなどの記憶手段に保持する。

【0144】

図2において、ゲート端子の電位 f は、トランジスタ11b、11cがオン状態のため、ソース信号線18の電位(d で示す)と、同一電位となる。したがって、ソースドライバ回路14の端子93を介して、ソース信号線18の電位を測定すれば、トランジスタ1

10

20

30

40

50

1 a のゲート端子の電位 f を測定したことになる。

【0145】

第2の動作はトランジスタ11bとトランジスタ11cが閉じ、トランジスタ11dが開いた動作状態であり、そのときの等価回路は図17(B)となる。トランジスタ11aのソース・ゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 $I_e = I_a$ の電流は一定となる。なお、 I_e は駆動用トランジスタ11aがEL素子15に流す電流であり、 $I_e = I_a$ は、画素16に突き抜け電圧などの影響がなく、理想状態の場合である。本明細書の説明では、上記の理想状態の下での実施を説明する。理想状態以外であっても本発明の技術的思想を実施していれば、本発明の技術的範疇であり、本発明の実施である。

10

【0146】

以上の動作を表示画面184で図示すると、図18(A)～(B)に図示するようになる。図18(A)の181は、表示画面184における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。あるいは、リセット電圧 V_a 、リセット電圧 V_0 を測定している画素行(画素)である。また、目標階調電圧 V_c を書き込んでいる画素行(画素)である。画素(行)181は、非点灯(非表示画素(行))とする。非点灯にするには、ゲートドライバ回路12bを制御し、画素16のトランジスタ11dをオープン状態にすればよい。

【0147】

非点灯(非表示)とは、EL素子15に電流が流れていない状態をいう。もしくは、一定以内の小さな電流が流れている状態をいう(表示が暗い状態である)。つまり、暗い表示状態である。したがって、非点灯画素行とは、該当画素行のEL素子15に電流が流れていない状態あるいは比較的暗い表示状態を意味する。表示領域184の非表示(非点灯)の範囲を非表示領域182と呼ぶ。表示領域184の表示(点灯)の範囲を表示(点灯)領域183と呼ぶ。表示領域183の画素16のスイッチング用トランジスタ11dはクローズし、EL素子15に電流が流れている。ただし、黒表示の画像表示ではEL素子15に電流が流れないのは当然である。スイッチング用トランジスタ11dがオープンの領域は、非表示領域182となる。

20

【0148】

図2の画素構成の場合は、図17(A)に示すように、1Hの最初の期間(V_a または V_0 測定期間)に、プログラム電流(リセット電流) I_a がソース信号線18に流れる。このプログラム電流 I_a が駆動用トランジスタ11aを流れ、プログラム電流 I_a を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。または、駆動用トランジスタ11aのゲート端子にプログラム電流 I_a を流す電流が流れるようにコンデンサ19に電圧が保持される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

30

【0149】

EL素子15に電流を流す期間は図17(B)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

40

【0150】

図17(A)～(B)、図18(A)～(B)で説明した駆動方法のタイミングチャートを図19(A)～(C)に図示する。図19(A)～(C)において、選択された画素行では、ゲート信号線17aにオン電圧(V_{gl})が印加されている時(図19(A)を参照)には、ゲート信号線17bにはオフ電圧(V_{gh})が印加されている(図19(B)を参照)。この期間は、選択された画素行のEL素子15には電流が流れていない(非点灯状態)。なお、選択期間は1水平走査期間(1H)としている。

【0151】

ゲート信号線17aにオン電圧が印加されていない(選択されていない)画素行の内

50

、点灯状態の画素行では、ゲート信号線 17b にはオン電圧 (V_{gl}) が印加されている。この画素行の EL 素子 15 には電流が流れ、EL 素子 15 が発光している。

【0152】

ゲート信号線 17a にオン電圧が印加されていない（選択されていない）画素行の内では、非点灯状態の画素行では、ゲート信号線 17b にはオフ電圧 (V_{gh}) が印加されている。この画素行の EL 素子 15 には電流が流れず、EL 素子 15 は非発光状態である。

【0153】

リセット電圧 V_a を測定あるいは取得する際に、ソース信号線 18 の充放電を高速に行う場合、また、画像表示に黒挿入（非表示領域挿入）を行い、動画視認性を向上させる場合は、リセット電流 I_a の大きさを N 倍にする。リセット電流 I_a の大きさを N 倍にすることにより EL 素子 15 に流れる電流も N 倍となる。階調電圧 V_x を従来と同様に 1 倍とする場合は、 N 倍のリセット電流 I_a を書き込み効果によりソース信号線 18 の充放電を高速にできるという効果が発揮される。この場合は、基準となるリセット電圧 V_a がすでに N 倍の EL 電流となる電圧であるから、加減算する階調電圧 V_x もこの点を考慮して設定する必要がある。目標階調電圧 V_c も同様である。

【0154】

なお、リセット電圧 V_a 、目標階調電圧 V_c 、階調電圧 V_x 、リセット電流 I_a のうち、少なくとも 1 つは、 N 倍の N に比例もしくは相関となる関係にすることが好ましい。また、本発明は、図 18 (A) ~ (B)、図 21 (A) ~ (B)、図 22 (A) ~ (B) などの実施例と組み合わせて実施することが好ましい。

【0155】

以下、説明を容易にするため、リセット電圧 V_a を測定する際のリセット電流 I_a も N 倍とし、 V_a 、 V_0 に加算される V_x も駆動用トランジスタ 11a が EL 素子 15 に N 倍の電流を流すように設定されとする。また、1 倍の電流の時に EL 表示装置が表示する画面 184 の輝度は B とし、 N 倍の電流が流れる時は発光部の輝度は、 $B \times N$ の輝度で表示されるものとする。

【0156】

EL 素子 15 に流すリセット電流 I_a は、画面 184 の平均（所定）輝度 B を得るのに必要な電流の N 倍とする。したがって、EL 素子 15 は、平均（所定）輝度 B の N 倍の輝度 ($N \cdot B$) で点灯する。点灯期間は $1F/N$ とする。1F とは 1 フィールド（フレーム）である。つまり、なお、説明を容易にするため、1 フィールド（フレーム）にブランキング期間はないとして説明をする。実用上は、ブランキング期間があるため、正確には $N \cdot B$ とはならない。つまり、1F の $1/N$ の期間、 N 倍の輝度 ($N \cdot B$) で EL 素子 15 が発光する。したがって、1F を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ （所定輝度）となる。

【0157】

N は 1 より大きければ、いずれの実数値でもよい。ただし、 N があまりにも大きいと EL 素子 15 に流れる瞬時電流が大きいため、 N は 10 以下にすることが好ましい。もちろん、 $N = 1$ とし、書き込み画素行 181 以外を表示（点灯）領域 183 としてもよいことは言うまでもない。この場合は、EL 素子 15 に流す電流 I_a は、画面 184 の平均（所定）輝度 B を得るのに必要な電流とする。したがって、EL 素子 15 は、所定の輝度 B で点灯（発光）する。また、低輝度表示を実現するために、 N を 1 より小さくしてもよい。

【0158】

また、発光輝度 $N \cdot B$ となるように N 倍のリセット電流 I_a を流す理由の 1 つは、ソース信号線 18 の寄生容量の影響を小さくするためである。大きな電流を流すことにより、寄生容量の電荷を短時間で充放電することができるようになる。

【0159】

図 20 を用いて、本発明の EL 表示パネルで使用する電圧について説明をする。ゲートドライバ回路 12 は、バッファ回路 202 とシフトレジスタ回路 201 で構成される。バッファ回路 202 はオフ電圧 (V_{gh}) とオン電圧 (V_{gl}) を電圧として使用する。一

10

20

30

40

50

方、シフトレジスタ回路201はシフトレジスタの電圧V_{GDD}とグラント(GND)電圧を使用し、また、入力信号(CLK、UD、ST)の反転信号を発生させるためのV_{REF}電圧を使用する。また、ソースドライバ回路(IC)14は、電圧V_sとグラント(GND)電圧を使用する。ゲートドライバ回路12を動作させることにより、リセット電流I_aを印加する画素行を指定する。

【0160】

ゲートドライバ回路12aは、シフトレジスタ回路201aとバッファ回路202を具備している。したがって、ゲートドライバ回路12aはゲート信号線17aをオンオフ制御する。なお、説明を容易にするため、画素構成は図1を例にあげて説明をする。

【0161】

図18(A)～(B)では表示領域183を1つにした方式である。しかし、本発明はこれに限定するものではない。たとえば、図22(A)～(B)に図示するように、表示領域183と非表示領域182とを複数に分散させてもよい。

【0162】

図22(A)～(B)に図示するように、間欠する間隔(非表示領域182/表示領域183)は等間隔に限定されるものではない。たとえば、ランダムでもよい(全体として、表示期間もしくは非表示期間が所定値(一定割合)となればよい)。また、RGBで異なってもよい。つまり、白(ホワイト)バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値(一定割合)となるように調整(設定)すればよい。

【0163】

非表示領域182とは、ある時刻において非点灯EL素子15の画素16領域である。表示領域183とは、ある時刻においてEL素子15が点灯している領域である。ただし、映像信号が黒表示ではEL素子15は点灯しない。しかし、この場合であっても、黒表示を点灯しようと動作しているのであるから、点灯領域である。非表示領域182、表示領域183は、水平同期信号に同期して、1画素行ずつ位置がシフトしていく。

【0164】

図11の実施例では、電圧V₀を求め、この電圧V₀を基準として階調電圧V_xを加算し、目標階調電圧V_cを発生する方式であった。また、図4(A)～(C)は、リセット電圧V_aを求め、この電圧を基準にして階調電圧V_xを加減算などし、目標階調電圧V_cを発生させる方式であった。本発明はこれに限定するものでない。たとえば、リセット電圧V_aを求める際、印加するリセット電流I_aを最大階調I_{am}に該当する電流としてもよい。

【0165】

最大階調に該当するリセット電流I_{am}を駆動用トランジスタ11aに印加することにより、駆動用トランジスタ11aは最大階調の電流が流れるように、そのゲート端子にリセット電圧V_{am}が発生する。このV_{am}を基準にし、階調電圧V_xを減算して目標階調電圧V_cを発生させる。発生させた電圧V_{cm}を駆動用トランジスタ11aのゲート端子に印加する。

【0166】

本発明は、主として電流駆動方式の画素構成を有するEL表示装置に関するものである。また、駆動用トランジスタ11aもしくは駆動用トランジスタ11aとカレントミラー結合されたトランジスタ11bのドレイン端子またはソース端子が、直流的にソース信号線18に結線されている画素構成を有するEL表示装置に関するものである。また、駆動用トランジスタ11a(図2、図23など)などを流れる電流をソース信号線18に取り出す、もしくはソース信号線18から取得できる構成のEL表示パネルに関するものである。

【0167】

本発明の駆動方式は、リセット電流I_aを駆動用トランジスタ11に印加し、もしくは駆動用トランジスタ11からリセット電流I_aを流し、略定常状態となった時以降に、前記駆動用トランジスタ11のゲート端子電位を測定(取得)する。

10

20

30

40

50

【0168】

また、本発明の駆動方式は、測定（取得）した電位を基準（原点もしくは相対的な位置）として、階調電圧に対応する電圧を加減算などの処理をして、目標階調電圧 V_c を発生させる。発生した目標階調電圧を前記駆動用トランジスタ11のゲート端子などに印加する。また、前記駆動用トランジスタ11が目標階調電圧に対応する電流をEL素子15に流すようにするものである。なお、EL素子15に電流を流すとは、EL素子15に電流を供給する場合と、EL素子15から前記駆動用トランジスタ11に流れ込む場合の両方を含む。

【0169】

また、以上の実施例は、リセット電圧 V_a 、 V_0 、または V_{am} を基準として駆動用トランジスタ11に略1倍の電流 I_e を流す実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図18(A)～(B)、図21(A)～(B)、図22(A)～(B)などで説明した、「 $1F/N$ の期間の間だけ、EL素子15に電流を流し、他の期間($1F(N-1)/N$)は電流を流さない」駆動方式では、リセット電流 I_a を N 倍(N は実数)に設定してもよいことは言うまでもない。つまり、 N 倍の定電流（リセット電流 I_a ）に対応するリセット電圧 V_a を求め、このリセット電圧 V_a を基準にして目標階調電圧 V_c を発生させる。

【0170】

本発明の駆動方法では、図21(A)～(B)に図示するように赤(R)、緑(G)、青(B)ごとに間欠表示実施することができる。図21(A)では、R、G、Bで点灯領域183の面積を異ならせている。図21(B)は、R、G、Bで点灯領域183の面積は同一であるが、Bの点灯領域を複数とすることにより、点灯領域の面積の総和を異ならせている。R、G、Bの点灯領域183の面積を異ならせるあるいは変化もしくは調整することにより、画像表示のホワイトバランスを調整することができる。

【0171】

前述の実施例では、点灯領域183の面積を異ならせるとしたが、逆に、非点灯領域182の面積を異ならせたと考えてもよい。

【0172】

図18(A)～(B)の表示では、1つの表示領域183もしくは非表示領域182が画面の上から下方向に帯状に移動する。フレームレートが低いと、表示領域183が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0173】

この課題に対しては、図22(A)～(B)に図示するように、表示領域183を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図18(A)～(B)の明るさと同等になる。なお、分割された表示領域183は等しく（等分に）する必要はない。また、分割された非表示領域182も等しく（当分）する必要はない。

【0174】

本発明の画素構成は、図2の構成を例示して説明するが、これに限定するものではない。たとえば、図23などの他の画素構成であってもよい。

【0175】

図23の画素構成は、プログラム時は、トランジスタ11c、11dがオン（クローズ）する。ソースドライバIC（回路）14がプログラム電流（リセット電流） I_a を出力する。駆動用トランジスタ11bとカレントミラー回路を構成するトランジスタ11aにプログラム電流（リセット電流 I_a ） I_a が流れ、プログラム電流に対応した電圧がコンデンサ19に保持される。なお、トランジスタ11eはゲート信号線17bに印加した制御信号（オンオフ信号）により、オンオフ（クローズオープン）制御されて図18(A)～(B)、図21(A)～(B)、図22(A)～(B)などで説明した間欠制御などを実現する。

【0176】

10

20

30

40

50

図 23 の実施例は、E L 素子 15 に電流 I e を印加するトランジスタ 11 b にプログラム電流（リセット電流）I a を流す実施例ではない。図 2 の実施例は、E L 素子 15 に電流 I e を印加するトランジスタ 11 a にプログラム電流（リセット電流）I a を流す実施例である。本発明の技術的思想は、ソースドライバ I C（回路）14 などからリセット電流 I a などを通し、直接的に駆動用トランジスタ 11 a または間接的に E L 素子 15 に 1 電流を流す駆動用トランジスタ 11 b の特性補償を行う点にある。したがって、図 23 の構成も本発明の技術的範疇である。なお、図 23 の構成では、トランジスタ 11 e を省略してもよい。V a 測定時などにリセット電流 I a が分流されて E L 素子 15 に流れることがないからである。

【0177】

図 2 などの画素構成は、トランジスタ 11 d により E L 素子 15 に流す電流をトランジスタ 11 d により制御するものであったが、本発明はこれに限定するものではない。たとえば、図 26 に図示するように、トランジスタ 11 d がなくとも E L 素子 15 に印加する電流をオンオフ制御することができる。

【0178】

図 26 では、ゲートドライバ回路 12 b は、ゲート信号線 17 b を制御し、ゲート信号線 17 b の電位は、V d d 電圧と、それより低い電圧である E L 素子 15 に電流が流れない電圧 V g で駆動される。つまり、ゲート信号線 17 b には、V d d 電圧と V g 電圧が出力される。ゲート信号線 17 b に V d d 電圧が印加されたときは、E L 素子 15 に電流が流れ、ゲート信号線 17 b に V g 電圧が印加されたときには、E L 素子 15 には電流が流れない。駆動用トランジスタ 11 a にリセット電流 I a を印加する点において、図 26 でも図 2 と同様である。したがって、図 26 のように、ゲートドライバ 12 b を有さない構成も本発明の技術的範疇である。

【0179】

図 2 の変形として、図 27 の画素構成も例示される。図 2 と図 27 との差異は、トランジスタ 11 b が、トランジスタ 11 b 1 とトランジスタ 11 b 2 に分離されている点、ゲート信号線 17 a が、ゲート信号線 17 a 1、17 a 2 に分離されている点である。

【0180】

トランジスタ 11 b 1 はトランジスタ 11 c とともに、ゲート信号線 17 a 1 で制御される。また、トランジスタ 11 b 2 はゲート信号線 17 a 2 で制御される。プログラム電流（リセット電流）I a を印加し、リセット電圧 V a またはリセット電圧 V 0 を測定し、階調電圧 V c を選択した画素 16 に印加するときは、トランジスタ 11 b 1、11 b 2、11 c がクローズ状態である。

【0181】

画素の選択期間が完了（1 H 期間）する際、まず、ゲート信号線 17 a 2 にオフ電圧が印加され、トランジスタ 11 b 2 がオープン状態になる。次に、0.5 μ s e c 以上 5 μ s e c 以下の期間において、ゲート信号線 17 a 1 にオフ電圧が印加され、トランジスタ 11 b 1、11 c がオフ状態となる。なお、ゲート信号線 17 a 1 にオフ電圧が印加されるまで、あるいはトランジスタ 11 b 1 がオープン状態になるまでが、画素行の選択期間（1 H 期間）である。

【0182】

トランジスタ 11 b 2 がトランジスタ 11 b 1 より、先にオープン（オフ）状態となることより、ゲート信号線 17 a 1 に印加したオン電圧がオフ電圧に変化する時に発生する突き抜け電圧の影響を軽減できる。ゲート信号線 17 a 1 にオフ電圧が印加されてとき、トランジスタ 11 b 2 がすでにオフ（オープン）状態であるからである。したがって、突き抜け電圧の影響がトランジスタ 11 a のゲート端子に及ばない。

【0183】

図 2 などで説明した画素構成では、駆動用トランジスタ 11 a は各画素 16 に 1 つの構成である。しかし、本発明において、駆動用トランジスタ 11 a は 1 つに限定されるものでない。たとえば、図 24 の画素構成が例示される。

【0184】

図24は画素16を構成するトランジスタ数を6個とし、プログラム用トランジスタ11anはトランジスタ11b2とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成し、駆動用トランジスタ11a1はトランジスタ11b1とトランジスタ11cの2個のトランジスタを経由してソース信号線18に接続されるように構成した実施例である。

【0185】

図24において、駆動用トランジスタ11a1のゲート端子とプログラム用トランジスタ11anのゲート端子とを共通にしている。トランジスタ11b1は電流プログラム時に駆動用トランジスタ11a1のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ11b2は電流プログラム時にプログラム用トランジスタ11anのドレイン端子とゲート端子とを短絡するように動作する。

10

【0186】

図24において、駆動用トランジスタ11a1、トランジスタ11anと各1個のように図示しているが、本発明はこれに限定するものではない。たとえば、駆動用トランジスタ11a1を2個以上に形成してもよい。また、トランジスタ11anを2個以上に形成してもよい。また、トランジスタ11a1、11anの双方を複数個で形成してもよいことはいうまでもない。

【0187】

トランジスタ11cは駆動用トランジスタ11a1のゲート端子に接続されており、トランジスタ11dは駆動用トランジスタ11a1とEL素子15間に形成または配置され、EL素子15に流れる電流を制御する。また、駆動用トランジスタ11a1のゲート端子とアノード(Vdd)端子間には付加コンデンサ19が形成または配置されており、駆動用トランジスタ11a1とプログラム用トランジスタ11anのソース端子はアノード(Vdd)端子に接続されている。

20

【0188】

以上のように、駆動用トランジスタ11a1とプログラム用トランジスタ11anが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ11a1を流れる電流は、トランジスタ11b1、トランジスタ11cを通じてソース信号線18に流れる。また、プログラム用トランジスタ11anを流れる電流は、トランジスタ11b2、トランジスタ11cを通じてソース信号線18に流れる。したがって、駆動用トランジスタ11a1の電流と、プログラム用トランジスタ11anの電流は、同数の2つのトランジスタを通過してソース信号線18に流れるように構成されている。

30

【0189】

図25(A)～(B)は図24の画素構成の動作の説明図である。図25(A)は電流プログラム状態あるいはVaの測定状態の透過回路図である。図25(B)はEL素子15に電流を供給している状態を示している。なお、図25(B)の状態、トランジスタ11dをオンオフ(クローズオープン)させて間欠表示を実施してもよいことはいうまでもない。

40

【0190】

図25(A)では、ゲート信号線17aにオン電圧が印加され、トランジスタ11b1、11b2、11cがオンする。トランジスタ11a1は電流Ieを供給し、トランジスタ11anは電流Ia-Ieを供給し、合成したリセット電流IaがソースドライバICにプログラム電流(リセット電流Ia)Iaとなる。したがって、ソースドライバIC(回路)14はこのリセット電流Iaを画素16に供給する。

【0191】

以上の動作により、プログラム電流Iaに対応するリセット電圧Vaがコンデンサ52に保持される。この期間にはトランジスタ11dはオフ状態に保持される(ゲート信号線17bにはオフ電圧が印加されている)。その後、表示階調に対応する目標階調電圧Vc

50

が画素 16 に書き込まれる。

【0192】

EL 素子 15 に電流を流す場合が、図 25 (B) の動作状態にされる。ゲート信号線 17a にオフ電圧が印加され、ゲート信号線 17b にオン電圧が印加される。この状態では、トランジスタ 11b1、11b2、11c がオフ状態になり、トランジスタ 11d がオン状態になる。EL 素子 15 に I_e 電流が供給される。

【0193】

以上のように、図 2、図 23、図 24、図 26、図 27 などの多種多様の画素構成において、本発明を適用することができる。

【0194】

図 2、図 5、図 6 では、10 は定電流出力回路とした。以下、この定電流出力回路 10 の構成、動作を中心としてソースドライバ IC (回路) 14 を説明する。

【0195】

定電流出力回路 10 は、図 28 に図示するように、単位トランジスタ 284 の集合として構成される。単位電流とは、基準電流の大きさに対応して単位トランジスタが出力する 1 単位のプログラム電流の大きさである。また、単位トランジスタとは、1 単位あるいは最小単位のプログラム電流を出力するトランジスタもしくは電流源である。つまり、単位トランジスタ = 単位電流源である。また、複数の単位トランジスタが集合し、プログラム電流またはリセット電流 I_a を出力する構成あるいは部分を単位トランジスタ群と呼ぶ。

【0196】

単位電流の大きさは基準電流回路が出力する基準電流 I_c の大きさあるいは強さを調整することにより可変することができる。基準電流の調整は、ソースドライバ IC (回路) 14 内に内蔵した電子ポリウム 331 などで行う。基準電流を発生する基準電流回路は赤色 (R)、緑色 (G)、青色 (B) 回路ごとに設けられており、それぞれの RGB 基準電流回路の基準電流の大きさを調整することによりホワイトバランスをとることができる。したがって、R、G、B の画素のそれぞれのリセット電流 I_a、リセット電圧 V_a などの大きさを独立に設定することができる。また、R、G、B の画素のそれぞれの目標階調電圧 V_c、階調電圧 V_x を独立に設定することができる。図 33 にこの実施例を図示している。

【0197】

RGB の各出力段は単位トランジスタ 284 の集合で構成されており、単位トランジスタの出力電流 (単位プログラム電流) の大きさは、基準電流の大きさを調整できる。基準電流の大きさを調整すれば、RGB ごとに各階調のプログラム電流 (リセット電流) I_a の大きさを変更あるいは可変することができる。したがって、RGB の単位トランジスタの特性が同一であるような理想的状態では、RGB の基準電流の大きさの比率を変化させることにより、ホワイトバランスをとることができる。

【0198】

以下の実施例では、単位トランジスタ群 285 などはソースドライバ回路 (IC) 14 に形成あるいは構成するとして説明するが、本発明はこれに限定するものではない。たとえば、単位トランジスタ群 285 などはアレイ基板に形成してもよい。画素 16 と単位トランジスタ群 285、ゲートドライバ回路 12 をアレイ基板に形成し、他の部分をソースドライバ回路 (IC) 14 に形成してもよい。

【0199】

図 28、図 29 (A) ~ (B) などで示すように、ソースドライバ回路 (IC) 14 は、出力端子数に対応する出力段 (トランジスタ群) 285 が形成または配置されている。各出力段であるトランジスタ群 285 には、リセット電流 I_a の可変のビット数に対応する単位トランジスタ 284 が形成または配置されている。たとえば、基本的にはリセット電流 I_a の制御信号 (きざみ) が 6 ビット (D0 ~ D5) の場合は、2 の 6 乗 - 1 = 63 個のトランジスタ 284 が形成される。階調 0 は電流 0 であるから、いずれの単位トランジスタの出力もソース信号線 18 に出力されない状態である。リセット電流 I_a の制御信

10

20

30

40

50

号が8ビット(D0～D7)の場合は、2の8乗－1＝255個のトランジスタ284が形成される。

【0200】

以下、説明を容易にする、また作図を容易にするため、ソースドライバ回路(IC)14の定電流出力回路10は6ビットであるとして説明をする。図22(A)～(B)において、各単位トランジスタ284は、定電流データ(D0～D5)ごとに配置される。D0ビットには1個の単位トランジスタ284が配置される。D1ビットには2個の単位トランジスタ284が配置される。D2ビットには4個の単位トランジスタ284が配置され、D3ビットには8個の単位トランジスタ284が配置され、D4ビットには16個の単位トランジスタ284が配置される。同様に、D5ビットには32個の単位トランジスタ284が配置されている。 10

【0201】

各ビットの単位トランジスタ284の出力電流が出力端子21に出力されるか否かは、アナログスイッチ281(281a～281f)によるオンオフ制御で実現される。アナログスイッチ281a～281fは定電流の制御信号の各ビット(一例として6ビット)に対応する。D0ビットに対応するスイッチ281aが閉じると、1単位電流が出力端子21から出力(入力)される。出力端子21には、ソース信号線18が接続されている。同様に、D1ビットに対応するスイッチ281bが閉じると、2単位電流が出力端子21から出力(入力)される。

【0202】

以下同様に、D2ビットに対応するスイッチ281cが閉じると、4単位電流が出力端子21から出力(入力)される。D3ビットに対応するスイッチ281cが閉じると、8単位電流が出力端子21から出力(入力)される。D4ビットに対応するスイッチ281dが閉じると、16単位電流が出力端子21から出力(入力)される。D5ビットに対応するスイッチ281cが閉じると、32単位電流が出力端子21から出力(入力)される。 20

【0203】

以上のように、リセット電流Iaの制御信号のビットに対応して、デジタル的にスイッチ281がクローズまたはオープンし、単位電流の総和(プログラム電流)が出力端子21から出力される。 30

【0204】

単位トランジスタ284はトランジスタ286bとカレントミラー回路を構成している。なお、図28、図29(A)～(B)では、理解を容易にするためトランジスタ286bを1つと図示している。実際は、複数のトランジスタ(トランジスタ群)で構成(形成)される。

【0205】

トランジスタ286bには基準電流Icが流れ、この基準電流Icのカレントミラー比に応じた電流が単位トランジスタ284に流れる。図28の63個の単位トランジスタ284はすべて同一の単位電流を出力する。単位電流が流れるためには、該当のスイッチ281が閉じ、電流経路を構成する必要がある。 40

【0206】

基準電流Icはオペアンプ291aと抵抗R1からなる定電流発生回路で発生する。基準電流Icは基準電圧Vsを安定化かつ高精度化することにより一定化する。基準電流Icを設定する電圧ViとVsが抵抗R1の両端に印加される。したがって、基準電流Ic＝(Vs－Vi)／R1となる。基準電流IcはRGBごとに設定することができる。つまり、RGBごとにトランジスタ群285が構成(形成)されている。

【0207】

図29(A)は基準電流Icを、Vs電圧を用いて発生する回路構成である。図29(B)はGNDとオペアンプ291aの一端子間に配置(挿入)された抵抗R1を用いて基本的な電流を発生させ、トランジスタ292bとトランジスタ286aからなるカレント 50

ミラー回路で折り返し、トランジスタ 286b に基準電流 I_c を流す構成である。図 29 (B) の方が、基準電流の I_c の大きさを調整しやすい。しかし、トランジスタ 292b とトランジスタ 286a からなるカレントミラー回路で折り返すために、バラツキが発生しやすい。

【0208】

本発明は図 30 (A) に図示するように、各ビットに 1 個または複数の単位トランジスタ 284 を形成または配置するとした。たとえば、1 ビット目は、1 個の単位トランジスタを形成し、2 ビット目は 2 個の単位トランジスタを形成する。

【0209】

しかし、本発明はこれに限定するものではない。たとえば、各ビットに、各ビットに応じた電流を出力する 1 つのトランジスタ 284 を形成または配置してもよいことは言うまでもない。たとえば、1 ビット目のトランジスタは、0 ビット目のトランジスタの 2 倍の電流を出力するトランジスタを 1 個形成または配置する。2 ビット目のトランジスタは、0 ビット目のトランジスタの 4 倍の電流を出力するトランジスタを 1 個形成または形成する。その他、2 ビット目のトランジスタは、1 ビット目のトランジスタの 2 倍の電流を出力するトランジスタを 2 個形成または配置してもよい。

【0210】

図 30 (A) に図示するように、64 階調 (RGB 各 6 ビット) の場合は、63 個の単位トランジスタ 284 を形成するとした。したがって、256 階調 (RGB 各 8 ビット) の場合、255 個の単位トランジスタ 284 が必要になることになる。

【0211】

図 30 (A) は、各ビットに対して同一のサイズの単位トランジスタ 284 を配置したトランジスタ群 285 の構成である。説明を容易にするため、図 30 (A) は 63 個の単位トランジスタ 284 が構成され、6 ビットのトランジスタ群 285 を構成 (形成) しているとする。また、図 30 (B) は 8 ビットであるとする。

【0212】

図 30 (B) では、下位 2 ビット (A で示す) は、単位トランジスタ 284 よりも小さいサイズのトランジスタで構成している。最小ビット目の第 0 ビット目は、単位トランジスタ 284 のチャンネル幅 W の $1/4$ で形成している (単位トランジスタ 284b で示す)。また、第 1 ビット目は、単位トランジスタ 284 のチャンネル幅 W の $1/2$ で形成している (単位トランジスタ 284a で示す)。なお、単位トランジスタ 284a は、単位トランジスタ 284 のチャンネル幅 W の $1/4$ である単位トランジスタ 284b を 2 個で形成してもよい。

【0213】

単位トランジスタ 284a、284b、284 のゲート端子は同一のゲート配線 282 に接続される。ゲート配線 283 はトランジスタ 286b のゲート端子と接続されている。

【0214】

以上のように、下位 2 ビットは上位の単位トランジスタ 284 よりも小さいサイズの単位トランジスタ (284a、284b) で形成している。したがって、単位トランジスタ 284a、284b は、単位トランジスタ 284 の $1/2$ 、 $1/4$ の単位電流と出力することができる。単位トランジスタ 284a、284b が占める面積はわずかである。また、正規の単位トランジスタ 284 の個数は 63 個で変化がない。したがって、6 ビット (64 階調) から 8 ビット (256 階調) に変更しても、トランジスタ群 285 の形成面積は図 30 (A) と図 30 (B) で大差はない。つまり、プログラム電流方式で用いるソースドライバ IC (回路) 14 のチップサイズは階調数にほとんど依存しない。逆に、プログラム電圧方式で用いるソースドライバ IC (回路) 14 は、階調数に大きく依存する。

【0215】

図 32 でも図示しているように、トランジスタ群 285 を構成する単位トランジスタ 284 のゲート端子は、1 つのゲート配線 283 で接続されている。ゲート配線 283 に印

加された電圧により単位トランジスタ284の出力電流が決定される。したがって、トランジスタ群285内の単位トランジスタ284の形状が同一であれば、各単位トランジスタ284は同一の単位電流を出力する。

【0216】

本発明は、トランジスタ群285を構成する単位トランジスタ284のゲート配線283を共通にすることには限定されない。たとえば、図31(A)のように構成してもよい。なお、トランジスタ群251bとはトランジスタ286bが対応する。トランジスタ群285によりトランジスタ286bが構成されている。図31(A)において、トランジスタ群251b1とカレントミラー回路を構成する単位トランジスタ284と、トランジスタ群251b2とカレントミラー回路を構成する単位トランジスタ284とが配置されている。トランジスタ群285は階調電圧に対応した階調電流を出力することができる。したがって、目標階調電圧 V_c 、階調電圧 V_x に比例してあるいは相関したリセット電流 I_a を発生することができる。当然のことながら、所定値のリセット電流 I_a 、多段階のリセット電流 I_a を発生することができる。また、リセット電流 I_a の大きさはRGBで独立に設定あるいは調整することができる。

10

【0217】

トランジスタ群251b1はゲート配線283aで接続されている。トランジスタ群251b2はゲート配線283bで接続されている。図31(A)の一番上の1個の単位トランジスタ284はLSB(0ビット目)であり、2段目の2個の単位トランジスタ284は1ビット目、3段目の4個の単位トランジスタ284は2ビット目である。また、4

20

【0218】

図31(A)において、ゲート配線283aとゲート配線283bの印加電圧を変化させることにより、各単位トランジスタ284のサイズ、形状が同一であっても、各単位トランジスタ284の出力電流を変化(変更)することができる。

【0219】

図31(A)において、単位トランジスタ284のサイズなどを同一にして、ゲート配線283a、283bの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ284のサイズなどを異ならせ、印加するゲート配線283a、283bの電圧を調整することにより、異なる形状の単位トランジスタ284の出力電流を

30

【0220】

基準電流 I_c の変化させるのは、図33などの電子ボリウム331を変化させる方法がある。なお、図33には、電子ボリウム331と、RGBごとに構成された電子ボリウム331R、331G、331Bを表している。基準電流 I_c を水平走査期間(H)の同期信号(HD)、垂直走査期間(V)の同期信号(VD)に同期させて変化させることができる。VD、HDはソースドライバ回路の内部クロックに同期して発生させる。

【0221】

ソースドライバ回路(IC)14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージ回路を内蔵する(図12、図13、図14を参照のこと)。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧(電流)出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBで異なるからである。また、RGBでリセット電圧 V_a が異なるからである。

40

【0222】

図34はプリチャージ部の構成図である。 V_p はプリチャージ電圧である。プリチャージ電圧 V_p の印加期間は映像データD0~D5により決定することが好ましい。もしくは階調電圧 V_x に対応して V_p の印加期間を決定することが好ましい。また、プリチャージ電圧 V_p の大きさは映像データまたは階調電圧 V_x により決定することが好ましい。

【0223】

50

プリチャージ電圧 V_p は、 $H D$ または $V D$ に同期して出力される。プリチャージ電圧を出力する時間は、水平同期信号 $H D$ を基点としてカウンタ 3 4 2 の設定値で決定される。カウンタ 3 4 2 はクロック $C L K$ 信号に同期してカウントアップされる。プリチャージ電圧出力期間は、 $H D$ の最初から開始される。カウンタ 3 4 2 はカウントしたカウント値と設定値が一致すると、プリチャージ電圧の出力期間が終了する。カウンタ回路 3 4 2 の出力はアンド (AND) 回路 3 4 3 の a 部入力となる。なお、プリチャージ電圧 V_p は、オン (印加する) / オフ (印加しない) を切り替えられるように構成する。

【0224】

図 3 4 の構成では、どのような条件でプリチャージするかは、一致回路 3 4 1 で決定される。一致回路 3 4 1 には、映像データ $D 0 \sim D 5$ が印加される。一致回路はプリチャージ電圧範囲がメモリされている。一致回路 3 4 1 はクロック $C L K$ で同期して動作する。また、イネーブル信号 $E N$ が H の時、プリチャージ電圧は出力され、 L の時は映像データの値によらず、プリチャージ電圧は出力されない。一致回路 3 4 1 の出力はアンド回路 3 4 3 の b 端子入力となる。

10

【0225】

アンド回路 3 4 3 の a 部入力が H で、 b 端子入力が H の時、スイッチ 2 8 1 a が閉じ、プリチャージ電圧 V_p が内部配線 2 8 2 に印加され、かつ $H I$ 信号が H の時、スイッチ 2 8 1 b が閉じて出力端子 2 1 からプリチャージ電圧が出力される。

【0226】

図 3 5 は、ソースドライバ回路 (IC) 1 4 のプリチャージ回路 (プリチャージ電圧を出力する回路構成部) 3 5 3 を中心とするブロック図である。プリチャージ回路 3 5 3 とは、プリチャージ制御回路によりプリチャージ制御信号 $P C$ 信号 (赤 ($R P C$)、緑 ($G P C$)、青 ($B P C$)) が出力される回路である。

20

【0227】

選択 (セレクト) 回路 3 5 2 は、メインクロックに同期して出力段に対応するラッチ回路 3 5 1 に順次ラッチしていく。ラッチ回路 3 5 1 はラッチ回路 3 5 1 a とラッチ回路 3 5 1 b の 2 段構成である。ラッチ回路 3 5 1 b は水平走査クロック ($1 H$) に同期してプリチャージ回路 3 5 3 にデータを送出する。つまり、セレクトは、1 画素行分の映像データおよび $P C$ データを順次ラッチしていき、水平走査クロック ($1 H$) に同期して、ラッチ回路 3 5 1 b でデータをストアする。

30

【0228】

図 3 5 では、ラッチ回路 3 5 1 の R 、 G 、 B は $R G B$ の映像データ 6 ビットのラッチ回路であり、 P はプリチャージ信号 ($R P C$ 、 $G P C$ 、 $B P C$) の 3 ビットをラッチするラッチ回路である。

【0229】

プリチャージ回路 3 5 3 は、ラッチ回路 3 5 1 b の出力が H レベルの時、スイッチ 2 8 1 a をオンさせ、ソース信号線 1 8 にプリチャージ電圧 V_p を出力する。定電流出力回路 1 0 は映像データに応じて、プログラム電流 (リセット電流 I_a) をソース信号線 1 8 に出力する。

【0230】

以下、電圧階調回路 2 0 について説明をする。電圧階調回路 2 0 が出力する電圧 V_x をプログラム電圧と呼ぶ。プログラム電圧 V_x はリセット電圧 V_a またはリセット電圧 V_0 と加算されることにより目標の階調電圧 V_c (一例として、 $V_c = V_a + V_x$) となる。

40

【0231】

図 3 6 に図示するように、8 ビットの映像 $D A T A$ に対応する電圧 (プログラム電圧) が、映像クロックに同期して電子ボリウム 3 3 1 から出力される。プログラム電圧は $C c$ 容量に一時的に保持され、バッファアンプ 2 9 1 a から出力される。出力された電圧は、サンプルホールド回路 (この実施例では切り換え回路のように図示している) 3 6 1 により、各出力端子 2 1 に順次振り分けられる (出力端子 2 1 a 、2 1 b 、2 1 c 、2 1 d 、 $\dots$ 、2 1 n 、2 1 a 、2 1 b 、2 1 c 、 $\dots$ 、2 1 n 、 $\dots$)。振

50

り分けはクロック C L K に同期して実施される。

【0232】

電圧階調回路 20 が出力する電圧は、E L 表示パネルの駆動用トランジスタ 11 a の特性バラツキを反映したものであってもよい。各駆動用トランジスタ 11 a のリセット電圧 V a あるいはそれに類する電圧をあらかじめ測定しておく。測定とは、図 1 のように、リセット電圧 V a を電氣的に読み出す方法が例示される。また、E L 表示装置の表示領域に所定電圧を印加し、点灯している各 E L 素子の発光状態を、スキャナなどを用いて光学的に測定する。測定した測定した画像データから、各駆動用トランジスタ 11 a の特性バラツキを求める。求めたデータを用いて階調電圧 V x を補正する。

【0233】

10

(第 2 の実施の形態)

以下、本発明の第 2 の実施の形態について説明をする。なお、以下の実施の形態において、先に第 1 の実施の形態と同様な箇所、動作などは説明を省略する。説明は第 1 の実施の形態との差異を中心として説明をする。以前に説明した内容は、以降の実施の形態に適用される。たとえば、図 5、図 6、図 8、図 9 などのドライバ回路に関する構成が適用でき、適時組み合わせることができる。図 12、図 13、図 14 などのプリチャージ方法、図 34 のプリチャージ回路に関する構成が適用でき、適時組み合わせることができる。また、図 15 のデータ伝送方法に関する構成が適用でき、適時組み合わせることができる。また、図 20 のゲートドライバ回路、図 18 (A) ~ (B)、図 21 (A) ~ (B)、図 22 (A) ~ (B) の間欠表示、図 28、図 29 (A) ~ (B)、図 30 (A) ~ (B)、図 31 (A) ~ (B)、図 32、図 33、図 35、図 36、図 38 のソースドライバ回路に関する構成が適用でき、適時組み合わせることができる。以上の事項は、第 2 の実施の形態だけでなく、他の実施の形態にも適用される。

20

【0234】

図 39 は本発明の第 2 の実施の形態における E L 表示装置の画素構成などの説明図である。図 2 との差異は、コンデンサ 19 b とスイッチング用トランジスタ 11 e が付加された点である。コンデンサ 19 b は、駆動用トランジスタ 11 a のゲート端子とトランジスタ 11 e のドレイン端子間に配置される。コンデンサ 19 b は、信号の直流成分をカットする。E L 表示装置には、R G B の 3 種類の色の画素がマトリックス状に形成されている。説明を容易にするため、図 39 でも図 2 と同様に 1 画素を抽出して図示している。

30

【0235】

トランジスタ 11 b、トランジスタ 11 c は、ソース信号線 18 に印加された電流信号を駆動用トランジスタ 11 a に印加するために動作する (電流プログラム)。コンデンサ 19 b とトランジスタ 11 e はソース信号線 18 に印加された電圧信号を駆動用トランジスタ 11 a に印加するために動作する (電圧プログラム)。

【0236】

ゲートドライバ回路 12 は 12 a、12 b、12 c の 3 つを有する。ゲートドライバ回路 12 a はゲート信号線 17 a を制御する。ゲートドライバ回路 12 b はゲート信号線 17 b を制御する。ゲートドライバ回路 12 c はゲート信号線 17 c を制御する。ゲートドライバ回路 12 a、12 b、12 c はそれぞれ内部にシフトレジスタ回路を有し、同期を取って、画素行を選択するゲート信号線 12 位置をシフトさせる。

40

【0237】

図 40、図 41 は図 39 の本発明の E L 表示装置の駆動方法の説明図である。ソースドライバ回路 14 は、先の実施の形態と同様に定電流出力回路と電圧階調回路を具備する。動作は、図 42 に表に示すように、リセット期間と、書込み期間、保持 (発光) 期間に大別される。リセット期間は、駆動用トランジスタ 11 a にリセット電流 I a を印加する期間である。書込み期間は、目標階調電圧 V c を画素 16 に書き込む期間である。保持期間は、E L 素子 15 が発光する期間である。

【0238】

リセット期間は 1 H の最初に実施される。リセット期間の後に、書込み期間が開始され

50

る。リセット期間＋書込み期間＝１水平走査期間（１画素行を選択する期間）である。なお、場合によっては、リセット期間の開始直後に書込み期間を開始してもよい。

【０２３９】

第２の実施の形態も第１の実施の形態と同様に、画素１６にリセット電流 I_a を印加する段階と、画素１６に目標階調電圧 V_c を印加する段階とを有する。また、リセット電圧 V_a と階調電圧 V_x から目標階調電圧 V_c を発生させる動作とを有する。

【０２４０】

以下、図４２および図４０、図４１を参照しなから本発明のＥＬ表示装置の動作について説明をする。

【０２４１】

図４０に示すように、リセット期間では、ゲートドライバ回路１２ａはゲート信号線１７ａを制御し、１画素行を選択する。選択された画素行のトランジスタ１１ｃ、１１ｂはオン（クローズ）状態となる。ソースドライバ回路１４のスイッチＳＷ１はオンし、定電流出力回路４１３はリセット電流 I_a をソース信号線１８に印加する。リセット電流 I_a は選択された画素１６のアノード電圧 V_{dd} →駆動用トランジスタ１１ａ→トランジスタ１１ｃ→ソース信号線１８を流れる。なお、スイッチＳＷ２はオフ状態である。

【０２４２】

駆動用トランジスタ１１ａにリセット電流 I_a が流れることにより、駆動用トランジスタ１１ａのゲート端子には、リセット電流 I_a が流れるように電流プログラムが行われる。リセット電流 I_a を流すように設定するリセット電圧 V_a は第１の実施の形態と同様に駆動用トランジスタ１１ａにゲート端子に接続されたコンデンサ１９ｂに保持される（ａ点）。同時にトランジスタ１１ｃ、トランジスタ１１ｂがオン状態であるから、コンデンサ１９ｂのａ点の電位と、ｂ点の電位は同一電位となる。したがて、コンデンサ１９ｂの両端子には電位差が発生しない。以上の動作のとき、ゲート信号線１７ｃおよびゲート信号線１７ｂにはオフ電圧が印加されており、トランジスタ１１ｅ、トランジスタ１１ｄはオフ（オープン）状態に保持される。

【０２４３】

図４１は、書込み期間の動作の説明図である。書込み期間は電圧プログラムの期間である。書き込み期間では、ゲートドライバ回路１２ｃはゲート信号線１７ｃを制御し、リセット電流 I_a を印加した１画素行を選択する。選択された画素行のトランジスタ１１ｅはオン（クローズ）状態となる。ソースドライバ回路１４のスイッチＳＷ２はオンし、階調電圧回路４１１は階調電圧 V_x をソース信号線１８に印加する。なお、スイッチＳＷ１はオフ状態である。また、トランジスタ１１ｂ、１１ｃ、１１ｄはオフ状態である。

【０２４４】

階調電圧 V_x は、トランジスタ１１ｅを介して選択された画素１６のコンデンサ１９ｂのｂ端子に印加される。階調電圧 V_x は V_1 とする。なお、説明を容易にするため、階調電圧 V_1 はリセット電圧 V_a を基準として V_1 の電位差を発生するものとする。

【０２４５】

階調電圧 V_1 がコンデンサ１９ｂのｂ端子に印加されると、コンデンサ１９ｂのａ端子は、 V_1 の電位だけ電位シフトする。つまり、コンデンサ１９ｂのａ端子の電位は、リセット電圧 V_a ＋階調電圧 V_1 ＝目標階調電圧 V_c となる。この目標階調電圧 V_c が駆動用トランジスタ１１ａのゲート端子に印加される。

【０２４６】

保持（発光）期間では、ゲート信号線１７ｂにオン電圧が印加され、トランジスタ１１ｄがオン状態となる。トランジスタ１１ｄのオンオフ制御は、図１８（Ａ）～（Ｂ）、図２１（Ａ）～（Ｂ）、図２２（Ａ）～（Ｂ）の駆動方法に対応するように実施される。保持（発光）期間では、トランジスタ１１ｅ、１１ｂ、１１ｃはオフ状態に保持される。駆動用トランジスタ１１ａは目標階調電圧 V_c を電圧－電流変換し、変換した電流をＥＬ素子１５に印加する。ＥＬ素子１５は印加された電流に対応して発光する。

【０２４７】

10

20

30

40

50

以上のように、ゲート信号線 17 a とゲート信号線 17 c は組となって、画素行を順次選択する。選択された画素行には、リセット電流 I_a と階調電圧 V_x が印加され画素行の各画素には目標階調電圧 V_c が印加される。

【0248】

本発明の第 1 の実施の形態では、目標階調電圧 V_c はソースドライバ内などに形成されたコンデンサ 52 を用いて発生させていた。発生された目標階調電圧 V_c はソース信号線 18 に出力され駆動用トランジスタ 11 a に印加されていた。

【0249】

本発明の第 2 の実施の形態では、ソース信号線 18 には階調電圧 V_x が出力され、画素 16 のコンデンサ 19 b により、リセット電圧 V_a と階調電圧 V_x が加算（減算）され、目標階調電圧 V_c を発生させる。 10

【0250】

図 34 などのプリチャージ電圧 V_p 発生回路により、プリチャージ電圧 V_p を 1 H の最初に印加すれば、図 12 ～ 14 の駆動方式を実現できることは言うまでもない。また、第 2 の実施の形態において、図 16 (A) ～ (B) の複数画素行を選択する駆動方法と組み合わせることができる。また、定電流出力回路として、図 28 などの構成を採用することができる。

【0251】

以上のように、本発明の第 2 の実施の形態は、他の実施の形態と相互に組み合わせることができる。また、各構成部品、駆動方法を採用することができる。また、本明細書に記載する画素構成においても採用することができる。以上の事項は本発明の他の実施の形態においても同様に適用される。 20

【0252】

（第 3 の実施の形態）

図 43 は第 3 の実施の形態である。図 43 では、リセット電流 I_a を発生するソースドライバ回路 14 a と、階調電圧 V_x を発生するソースドライバ回路 14 b を具備する。ソースドライバ回路 14 a の出力端子は、ソース信号線 18 a に接続されている。ソースドライバ回路 14 b の出力端子は、ソース信号線 18 b に接続されている。トランジスタ 11 c のソース端子はソース信号線 18 a に接続され、トランジスタ 11 e のソース端子はソース信号線 18 b に接続されている。他の構成などは第 1 の実施の形態および第 2 の実施の形態と同様である。 30

【0253】

図 44 の表は本発明の第 3 の実施の形態の各構成要素の動作状態を示す。以下、図 43 および図 44 を参照しながら、本発明の第 3 の実施の形態について説明をする。なお、第 2 の実施の形態と同様に、階調電圧 V_x は V_1 として説明する。

【0254】

リセット期間では、ゲートドライバ回路 12 a はゲート信号線 17 a を制御し、1 画素行を選択する。選択された画素行のトランジスタ 11 c、11 b はオン（クローズ）状態となる。ソースドライバ回路 14 はリセット電流 I_a をソース信号線 18 a に印加する。リセット電流 I_a は選択された画素 16 のアノード電圧 V_{dd} → 駆動用トランジスタ 11 a → トランジスタ 11 c → ソース信号線 18 a を流れる。なお、前述の実施の形態などでも説明したが、リセット電流 I_a の電流方向は、画素 16 の構成にあわせて、吐き出し電流方向、吸い込み電流方向のいずれかを選択して採用する。 40

【0255】

駆動用トランジスタ 11 a にリセット電流 I_a が流れる。駆動用トランジスタ 11 a のゲート端子には、リセット電流 I_a が流れるように電流プログラムが行われる。したがって、駆動用トランジスタ 11 a のゲート端子にはリセット電流 I_a を流すようにリセット電圧 V_a が設定される。リセット電圧 V_a はコンデンサ 19 b の a 点に保持される。

【0256】

書込み期間では、ゲート信号線 17 c にオン電圧が印加され、トランジスタ 11 e がオ 50

ンされる。なお、トランジスタ 11 e はリセット期間にオンさせ、書込み期間にオン状態を継続させてもよい。書込み期間では、トランジスタ 11 b、11 c、11 d はオフ状態に維持される。

【0257】

書込み期間に、ソースドライバ回路 14 b は、入力される映像信号に基づいた階調電圧 V_1 をソース信号線 18 b に印加する。トランジスタ 11 e をオンさせることにより、ソース信号線 18 b に印加された電圧 V_1 がコンデンサ 19 b の b 端子に印加される。コンデンサ 19 b の b 端子の電位が初期状態の電圧 V_b から V_1 に変化する。

【0258】

b 端子の電圧が初期状態の電圧 V_b から V_1 電圧に変化することにより、コンデンサ 19 b の a 端子の電位が、 V_a 電圧から $V_a + V_1$ に変化する（加算方向の時）。もしくは、 $V_a - V_1$ に変化する（減算方向の時）。したがって、駆動用トランジスタ 11 a にゲート端子には、目標階調電圧 $V_c = V_a \pm V_x$ が印加される。

【0259】

初期状態の電圧 V_b は、リセット電圧 V_a としてもよい。リセット期間にソース信号線 18 a とソース信号線 18 b を電氣的に短絡することにより実現できる。短絡は、ソース信号線 18 a とソース信号線 18 b 間にアナログスイッチを形成することにより容易に実現できる。リセット期間にアナログスイッチをオンさせることにより、ソース信号線 18 a の電位 V_a がソース信号線 18 b に印加される。

【0260】

ソースドライバ回路 14 a は各ソース信号線 18 a に、リセット電流 I_a を定常的に印加する。したがって、ソース信号線 18 a の電位を安定的に保持できる。ただし、画素行の選択に当たって、駆動用トランジスタ 11 a の特性に対応してリセット電圧 V_a は変化する。

【0261】

保持（発光）期間では、ゲート信号線 17 b にオン電圧が印加され、トランジスタ 11 d がオン状態となる。トランジスタ 11 d のオンオフ制御は、図 18 (A) ~ (B)、図 21 (A) ~ (B)、図 22 (A) ~ (B) の駆動方法に対応するように実施される。保持（発光）期間では、トランジスタ 11 e、11 b、11 c はオフ状態に保持される。駆動用トランジスタ 11 a は目標階調電圧 V_c を電圧-電流変換し、変換した電流を EL 素子 15 に印加する。EL 素子 15 は印加された電流に対応して発光する。

【0262】

以上のように、ゲート信号線 17 a とゲート信号線 17 c は組となって、画素行を順次選択する。選択された画素行の駆動用トランジスタにはリセット電流 I_a が印加され、駆動用トランジスタ 11 a のゲート端子には目標階調電圧 V_c が印加される。

【0263】

（第 4 の実施の形態）

図 45 は第 4 の実施の形態である。図 46 の表は、図 45 の動作の説明図である。図 45 の実施例では、図 1、図 39 の実施例と同様に、各画素 16 は 1 本のソース信号線 18 に接続されている。大きな差異は、定電流出力回路を有するソースドライバ回路 12 a の出力端子と、階調電圧回路を有するソースドライバ回路 12 b の出力端子間が、コンデンサ 19 b で接続されている点である。

【0264】

リセット期間では、ゲートドライバ回路 12 a はゲート信号線 17 a を制御し、1 画素行を選択する。選択された画素行のトランジスタ 11 c、11 b はオン（クローズ）状態となる。ソースドライバ回路 14 a はリセット電流 I_a をソース信号線 18 に印加する。リセット電流 I_a は選択された画素 16 のアノード電圧 $V_{dd} \rightarrow$ 駆動用トランジスタ 11 a $\rightarrow$ トランジスタ 11 c $\rightarrow$ ソース信号線 18 を流れる。

【0265】

駆動用トランジスタ 11 a のゲート端子には、リセット電流 I_a が流れるように電流プ

プログラムが行われる。リセット電流 I_a を流すように設定するリセット電圧 V_a は第 1 の実施の形態と同様に駆動用トランジスタ 11 a にゲート端子およびソース信号線 18 に保持される。トランジスタ 11 d はリセット期間および書込み期間ではオフ状態である。

【0266】

リセット期間後に書込み期間が開始される。書き込み期間ではソースドライバ回路 14 b は階調電圧 V_x を出力する。なお、図 46 の表に示すように、リセット期間では、ソースドライバ回路 14 b の出力電圧は V_b 電圧であるとし、書込み期間では階調電圧 $V_x = V_1$ を出力するものとして説明する。

【0267】

書込み期間では、ソースドライバ回路 14 b の階調電圧回路 411 から階調電圧 V_1 が出力される。階調電圧 V_1 はコンデンサ 19 b を介して、ソース信号線 18 に印加される。したがって、ソース信号線 18 には、リセット電圧 $V_a +$ 階調電圧 $V_1 =$ 目標階調電圧 V_c となる。この目標階調電圧 V_c が駆動用トランジスタ 11 a のゲート端子に印加される。

【0268】

保持（発光）期間では、ゲート信号線 17 b にオン電圧が印加され、トランジスタ 11 d がオン状態となる。保持（発光）期間では、トランジスタ 11 b、11 c はオフ状態に保持される。駆動用トランジスタ 11 a は目標階調電圧 V_c を電圧－電流変換し、変換した電流を EL 素子 15 に印加する。EL 素子 15 は印加された電流に対応して発光する。

【0269】

以上のように、ゲート信号線 17 a は画素行を順次選択する。選択された画素行には、リセット電流 I_a が印加され、ソース信号線 18 にリセット電圧 V_a が取り出され、リセット電圧 V_a と階調電圧 V_x が加減算された電圧 V_c が、駆動用トランジスタ 11 a のゲート端子に印加される。

【0270】

（第 5 の実施の形態）

図 47 は第 5 の実施の形態である。図 48 の表は、図 47 の動作状態の説明図である。第 5 の実施の形態と第 4 の実施の形態の差異は、トランジスタ 11 b とトランジスタ 11 c がゲート信号線 17 a とゲート信号線 17 c により個別にオンオフ制御できる点である。

【0271】

図 47 も図 45 の実施例と同様に、各画素 16 は 1 本のソース信号線 18 に接続されている。リセット期間では、ゲートドライバ回路 12 a およびゲートドライバ 11 c はゲート信号線 17 a、17 c を制御し、1 画素行を選択する。選択された画素行のトランジスタ 11 c、11 b はオン（クローズ）状態となる。ソースドライバ回路 14 a はリセット電流 I_a をソース信号線 18 に印加する。リセット電流 I_a は選択された画素 16 のアノード電圧 $V_d \rightarrow$ 駆動用トランジスタ 11 a $\rightarrow$ トランジスタ 11 c $\rightarrow$ ソース信号線 18 を流れる。

【0272】

駆動用トランジスタ 11 a のゲート端子には、リセット電流 I_a が流れるように電流プログラムが行われる。リセット電流 I_a を流すように設定するリセット電圧 V_a は第 4 の実施の形態と同様に駆動用トランジスタ 11 a にゲート端子およびソース信号線 18 に出力される。トランジスタ 11 d はリセット期間および書込み期間ではオフ状態である。

【0273】

書込み期間では、ゲート信号線 17 a オン電圧が印加され、トランジスタ 11 c のオン状態が維持される。ゲート信号線 17 c にはオフ電圧が印加され、トランジスタ 11 b はオフ状態に制御される。書込み期間では、ソースドライバ回路 14 b の階調電圧回路 411 から階調電圧 V_1 が出力される。階調電圧 V_1 はコンデンサ 19 b を介して、ソース信号線 18 に印加される。したがって、ソース信号線 18 には、リセット電圧 $V_a +$ 階調電圧 $V_1 =$ 目標階調電圧 V_c となる。この目標階調電圧 V_c が駆動用トランジスタ 11 a の

10

20

30

40

50

ゲート端子に印加される。

【0274】

第5の実施の形態では、第4の実施の形態と相違して、書込み期間にトランジスタ11bをオフ状態にしているため、良好に駆動用トランジスタ11aに目標階調電圧Vcを書き込むことができる。

【0275】

保持（発光）期間では、ゲート信号線17bにオン電圧が印加され、トランジスタ11dがオン状態となる。保持（発光）期間では、トランジスタ11b、11cはオフ状態に保持される。駆動用トランジスタ11aは目標階調電圧Vcを電圧－電流変換し、変換した電流をEL素子15に印加する。EL素子15は印加された電流に対応して発光する。 10

【0276】

本発明の実施の形態において、画素16に印加するリセット電流Iaは1種類としたが、これに限定するものではない。たとえば、10μAである第1のリセット電流Ia1と、20μAである第2のリセット電流Ia2との2つのリセット電流を発生させ、これらのリセット電流を画素に印加して、それぞれの目標階調電圧などを求めてもよい。求めた目標階調電圧は、平均化処理を行うことにより、精度のよい目標階調電圧を得ることができる。

【0277】

本発明の実施の形態において、画素16に印加するリセット電流Iaの回数は1回としたが、これに限定するものではない。たとえば、画素16に10μAのリセット電流Ia 20を4回印加し、それぞれの目標階調電圧などを求めてもよい。求めた目標階調電圧は、平均化処理を行うことにより、精度のよい目標階調電圧を得ることができる。

【0278】

以下の事項は、第1の実施の形態～第5の実施の形態に共通の事項である。

【0279】

第1～第5の実施の形態では、定電流出力回路を使用している。定電流出力回路はソースドライバ回路14内に形成される場合もあるし、アレイ基板30に形成される場合もある。図49は、定電流出力回路を半導体IC技術で作製したソースドライバ回路14内に形成した例である。アレイ基板31には、電流保持回路501が形成されている。ソースドライバ回路14の1出力端子には、2の電流保持回路501（501a、501b）が 30接続されている。ソースドライバ回路14は吐き出し電流方向であるリセット電流Iaを出力する。

【0280】

図50は、2つの電流保持回路（501a、501b）の詳細構成図である。電流保持回路501は、電流を保持するコンデンサ19と、書き込まれた電流（保持された電流）を出力あるいは発生する駆動用トランジスタ11から構成される。また、スイッチSA、SBから構成される。

【0281】

画素16のリセット電流Iaが電流保持回路501aに流れ込んでいるときは、ソースドライバ回路14は電流保持回路501bにリセット電流Iaを書き込んでいる。画素16のリセット電流Ibが電流保持回路501bに流れ込んでいるときは、ソースドライバ回路14は電流保持回路501aにリセット電流Iaを書き込んでいる。電流保持回路501aと501bは交互にソースドライバ回路14からリセット電流Iaが書き込まれる。 40

【0282】

電流保持回路501aにソースドライバ回路14からリセット電流Iaを書き込むときは、トランジスタ（スイッチ）SAaをオンさせる。そのとき、トランジスタ（スイッチ）SAbはオフにされる。画素16から電流が電流保持回路501aに流れ込まずときには、トランジスタ（スイッチ）SAbをオンさせる。そのとき、トランジスタ（スイッチ）SAaはオフにされる。 50

【0283】

同様に、電流保持回路501bにソースドライバ回路14からリセット電流 I_a を書き込むときは、トランジスタ（スイッチ）SBaをオンさせる。そのとき、トランジスタ（スイッチ）SBbはオフにされる。画素16から電流が電流保持回路501aに流れ込まずときには、トランジスタ（スイッチ）SBbをオンさせる。そのとき、トランジスタ（スイッチ）SBaはオフにされる。以上のように構成することにより、ソースドライバ回路14の構成を簡略化でき、また、出力端子数を削減することができる。

【0284】

ソースドライバ回路14の出力端子21を削減するには、図51に示す様に画素16a、16bを構成することも効果的である。1つの出力端子21には、1本のソース信号線18が接続されている。1本のソース信号線には、2画素列が接続されている。画素16aと画素16bは同一のソース信号線18に接続されている。 10

【0285】

ソース信号線18にはリセット電流 I_a 、階調電圧 V_x または目標階調電圧 V_c が印加される。また、本発明の実施の形態の構成によっては、リセット電圧 V_a が出力される。

【0286】

画素16aは1水平走査期間の前半にリセット電流 I_a が印加され、画素16bには前記画素16bが選択されている期間以外の期間にリセット電流 I_a が印加される。つまり、画素16aと画素16bとは時分割で選択される。

【0287】

電圧プログラム方式では、階調電圧 V_x 、目標階調電圧 V_c に対して温度補償を実施することが好ましい。駆動用トランジスタ11aの電圧－電流（ $V-I$ ）特性が温度依存性を有しているためである。 20

【0288】

本発明では、図52に図示するように、画素16に構成と同一あるいは類似の構成の温度検出回路（画素）521をアレイ基板に形成している。温度検出回路521はリセット電圧 V_a の温度変化を検出する駆動用トランジスタ11と保持用コンデンサ19から構成される。

【0289】

温度検出回路521は、複数個がアレイ基板に形成される。1つの温度検出回路521では、この1つの温度検出回路521に欠陥があると、パネルモジュールが不良品になってしまうからである。図52の実施例のように、複数個の温度検出回路521を形成しておけば、少なくとも1つの温度検出回路521が良品であればよい。複数個の温度検出回路521から1つの温度検出回路521の選択は、セクタ回路524によって行う。 30

【0290】

各温度検出回路521には、定電流回路413が接続されている。定電流回路413はソースドライバ回路14内に形成されている。また、定電流回路413はリセット電流 I_a を出力する回路と同一である。定電流回路413は、リセット電流 I_a と同一の大きさの電流を温度検出回路521に流す。したがって、温度検出回路521の駆動用トランジスタ11のリセット電圧 V_a が検出配線527に取り出される。 40

【0291】

セクタ524は、1つの検出配線527を選択し、検出配線527に出力されているリセット電圧 V_a をAD変換回路523に出力する。なお、セクタ524はVDあるいはHDのタイミングで選択する温度検出回路521を変化させてもよいことは言うまでもない。この場合は、複数の温度検出回路521の出力 V_a を平均化処理する。

【0292】

AD変換回路523はリセット電圧 V_a をデジタルデータに変換する。データ比較回路525は、変換されたデジタルデータのリセット電圧 V_a を外部記憶回路（たとえば、EEPROM）522のデータと比較する。外部記憶回路522には、常温あるいは所定温度でのデジタルデータのリセット電圧 V_a が記憶されている。 50

【0293】

常温あるいは所定温度でのデジタルデータのリセット電圧 V_a と、温度検出回路 521 で取得したリセット電圧 V_a と比較することにより、現パネルの温度に対応する電圧変動値が求まる。温度補償回路 526 は、この電圧変動値を用いて、階調電圧 V_x 、目標階調電圧 V_c に対して温度補償を実施する。

【0294】

以下、本発明の EL 表示パネルまたは EL 表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図 53 は情報端末装置の一例としての携帯電話の平面図である。筐体 533 にアンテナ 531、テンキー 532 などに取り付けられている。

10

【0295】

図 54 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 542 とビデオカメラ本体 533 と具備し、撮影レンズ部 542 とビューファインダ部 533 とは背中合わせとなっている。また、ビューファインダ 533 には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 534 の表示画面 184 を観察する。

【0296】

本発明の EL 表示パネルは表示モニターとしても使用されている。表示部 184 は支点 541 で角度を自由に調整できる。表示部 184 を使用しない時は、格納部 543 に格納される。

20

【0297】

上記実施の形態の EL 表示装置などはビデオカメラだけでなく、図 55 に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体 551 に付属されたモニター 184 として用いる。カメラ本体 551 にはシャッター 553 の他、スイッチ 544 が取り付けられている。

【0298】

本発明の実施の形態で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体（3D）テレビ、プロジェクションテレビ、フィールドエミッションディスプレイ（FED）、SED（キャノンと東芝が開発したディスプレイ）、PDP（プラズマディスプレイパネル）などに適用できる。

30

【0299】

また、ビューファインダ、携帯電話のメインモニターおよびサブモニターあるいは時計表示部、PHS、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、デジタルスチルカメラ、電子スチルカメラにも適用できる。

【0300】

なお、本明細書では、駆動用トランジスタ 11a、スイッチング用トランジスタ 11b などは薄膜トランジスタとして説明するが、これに限定するものではない。MOS-FET、MOS トランジスタ、バイポーラトランジスタでもよい。

40

【0301】

ソースドライバ回路（IC）14 は、単なるドライバ機能だけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、レベルシフタ回路、データ変換回路、ラッチ回路、コマンドデコーダ、アドレス変換回路、画像メモリ（RAM）などを内蔵させてもよい。

【0302】

アレイ 382 基板はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、アレイ基板 382 は、金属基板、セラミック基板、プラスチックシート（板）などを使用してよい。

50

【0303】

なお、本明細書に記載する加算あるいは減算とは、計算による算出を意味するものではない。電圧レベルシフト、レベル変換、電圧多重、増幅などの広い概念を意味するものである。取得したアナログデータをデジタルデータに変換して加算あるいは減算してもよいことは言うまでもない。また、電圧を測定とは、電圧を取得すること、電圧などを保持すること、電圧サンプルホールドすることまで含む広い技術概念である。

【0304】

なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせられて実施されてもよい。

10

【図面の簡単な説明】

【0305】

【図1】本発明の表示装置の構成図

【図2】本発明の表示装置の画素の構成図

【図3】従来の表示装置の構成図

【図4】(A)～(C)：本発明の表示装置の動作の説明図

【図5】本発明の表示装置の構成図

【図6】本発明の表示装置の構成図

【図7】本発明の表示装置の説明図

【図8】本発明の表示装置の構成図

20

【図9】本発明の表示装置の構成図

【図10】(A)～(B)：本発明の表示装置の構成図

【図11】本発明の表示装置の説明図

【図12】本発明の表示装置の説明図

【図13】本発明の表示装置の説明図

【図14】本発明の表示装置の説明図

【図15】本発明の表示装置の駆動方法の説明図

【図16】(A)～(B)：本発明の表示装置の駆動方法の説明図

【図17】(A)～(B)：本発明の表示装置の説明図

【図18】(A)～(B)：本発明の表示装置の駆動方法の説明図

30

【図19】(A)～(C)：本発明の表示装置の駆動方法の説明図

【図20】本発明の表示装置の構成図

【図21】(A)～(B)：本発明の表示装置の駆動方法の説明図

【図22】(A)～(B)：本発明の表示装置の駆動方法の構成図

【図23】本発明の表示装置の説明図

【図24】本発明の表示装置の説明図

【図25】(A)～(B)：本発明の表示装置の説明図

【図26】本発明の表示装置の説明図

【図27】本発明の表示装置の説明図

【図28】本発明の表示装置の構成図

40

【図29】(A)～(B)：本発明の表示装置の構成図

【図30】(A)～(B)：本発明の表示装置の構成図

【図31】(A)～(B)：本発明の表示装置の構成図

【図32】本発明の表示装置の構成図

【図33】本発明の表示装置の構成図

【図34】本発明の表示装置の構成図

【図35】本発明の表示装置の構成図

【図36】本発明の表示装置の構成図

【図37】本発明の表示装置の構成図

【図38】本発明の表示装置の構成図

50

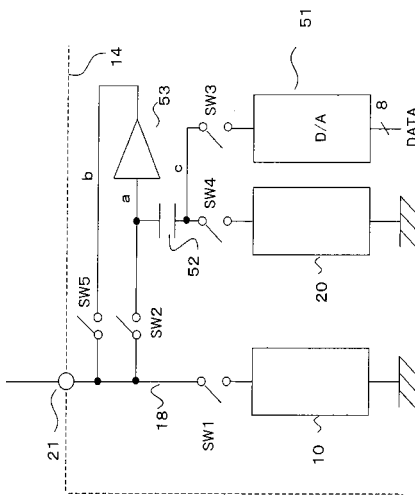
【図 3 9】	本発明の表示装置の構成図	
【図 4 0】	本発明の表示装置の構成図	
【図 4 1】	本発明の表示装置の構成図	
【図 4 2】	本発明の表示装置のトランジスタなどの動作を示した説明図	
【図 4 3】	本発明の表示装置の構成図	
【図 4 4】	本発明の表示装置のトランジスタなどの動作を示した説明図	
【図 4 5】	本発明の表示装置の構成図	
【図 4 6】	本発明の表示装置のトランジスタなどの動作を示した説明図	
【図 4 7】	本発明の表示装置の構成図	
【図 4 8】	本発明の表示装置のトランジスタなどの動作を示した説明図	10
【図 4 9】	本発明の表示装置の構成図	
【図 5 0】	本発明の表示装置の構成図	
【図 5 1】	本発明の表示装置の構成図	
【図 5 2】	本発明の表示装置の構成図	
【図 5 3】	本発明の表示装置を用いた携帯電話の平面図	
【図 5 4】	本発明の表示装置を用いたビデオカメラの斜視図	
【図 5 5】	本発明の表示装置を用いた電子カメラの斜視図	
【符号の説明】		
【 0 3 0 6 】		
1 0	定電流出力回路	20
1 1	トランジスタ（薄膜トランジスタ、T F T）	
1 2	ゲートドライバ I C（回路）	
1 4	ソースドライバ I C（回路）	
1 5	E L（素子、発光素子）	
1 6	画素	
1 7	ゲート信号線	
1 8	ソース信号線	
1 9	蓄積容量（付加コンデンサ、付加容量）	
2 0	電圧階調回路	
2 1	出力端子	30
5 5	D A 変換回路	
5 2	コンデンサ（D C 成分カット回路）	
5 3	オペアンプ	
6 1	加算回路	
6 2	A D 変換回路	
9 1	エミッタフォロワ回路	
1 8 1	書き込み行	
1 8 2	非表示領域（非点灯領域、黒表示領域）	
1 8 3	表示領域（点灯領域、画像表示領域）	
1 8 4	表示領域（表示画面、表示部）	40
2 0 1	シフトレジスタ回路	
2 0 2	バッファ回路	
2 8 1	スイッチ（オンオフ手段）	
2 8 2	内部配線（出力配線）	
2 8 3	ゲート配線	
2 8 4	単位トランジスタ	
2 9 1	オペアンプ	
2 9 2	トランジスタ	
3 3 1	電子ポリウム	
3 4 1	一致回路	50

- 3 4 2 カウンタ
- 3 4 3 A N D 回路
- 3 5 1 ラッチ回路
- 3 5 2 セレクタ回路
- 3 5 3 プリチャージ回路
- 3 6 1 サンプルホールド回路（電圧保持手段）
- 3 8 1 スイッチ回路
- 4 1 1 階調電圧回路
- 4 1 3 定電流回路（電流発生回路）
- 5 0 1 電流保持回路
- 5 2 1 温度検出回路
- 5 2 2 外部記憶回路
- 5 2 3 A / D 変換回路
- 5 2 4 セレクタ回路
- 5 2 5 データ比較回路
- 5 2 6 温度補償回路
- 5 3 1 アンテナ
- 5 3 2 キー
- 5 3 3 筐体
- 5 3 4 表示パネル
- 5 4 1 支点（回転部）
- 5 4 2 撮影レンズ（撮影手段）
- 5 4 3 格納部
- 5 4 4 スイッチ
- 5 5 1 本体
- 5 5 2 撮影部
- 5 5 3 シャッタスイッチ

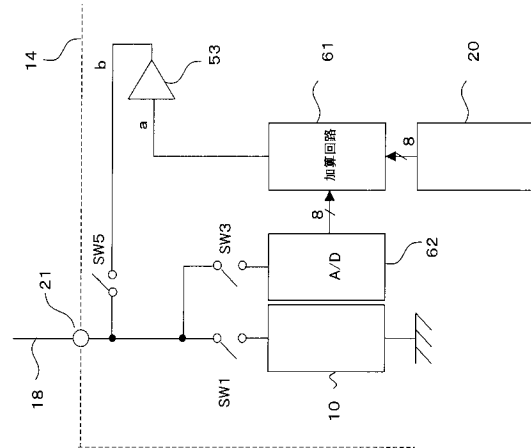
10

20

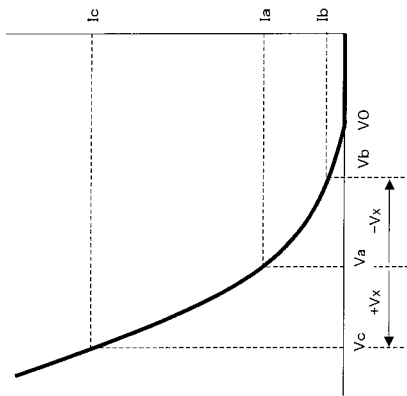
【図 5】



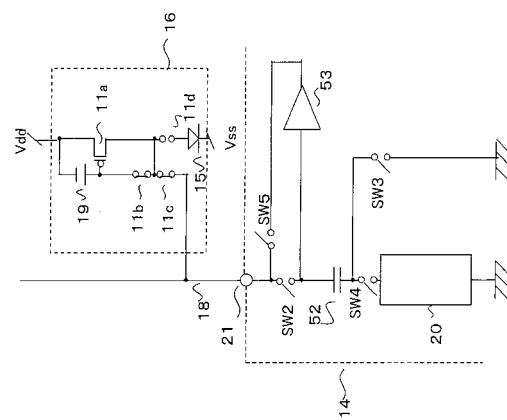
【図 6】



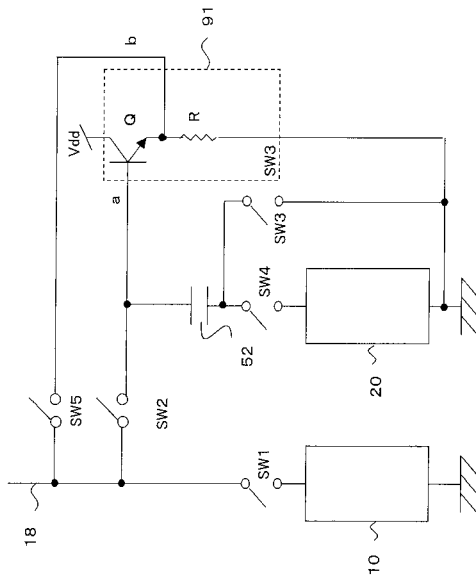
【図 7】



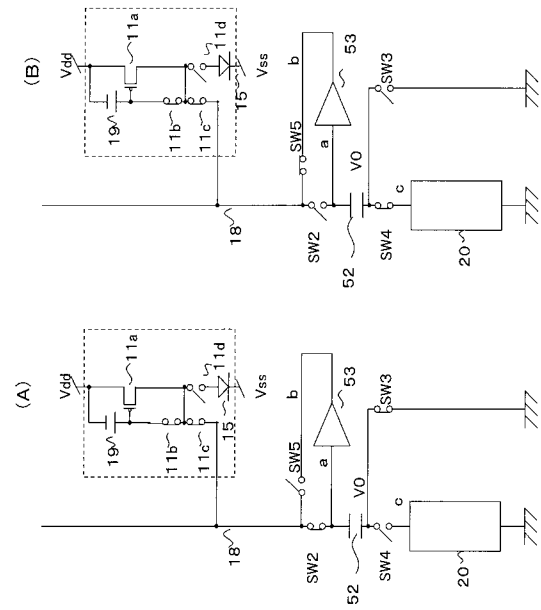
【図 8】



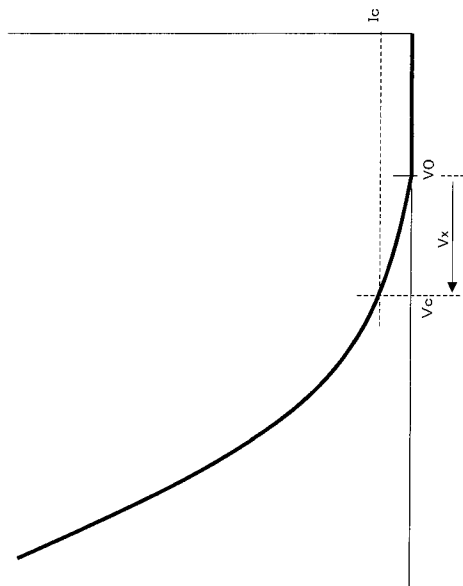
【図 9】



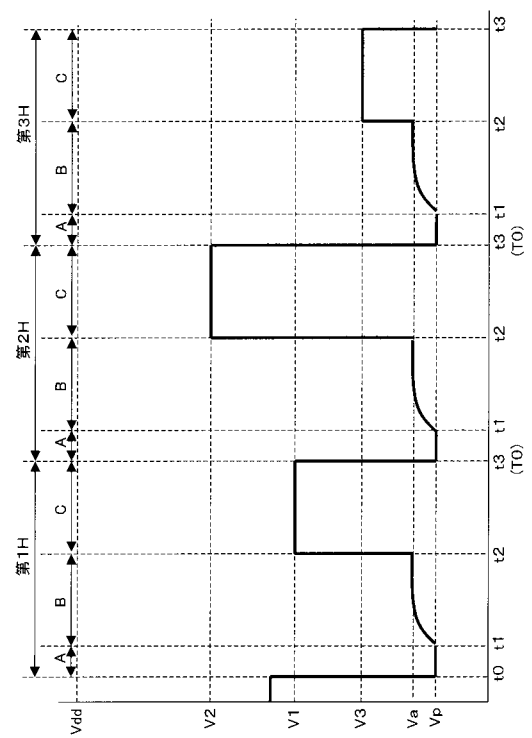
【図 10】



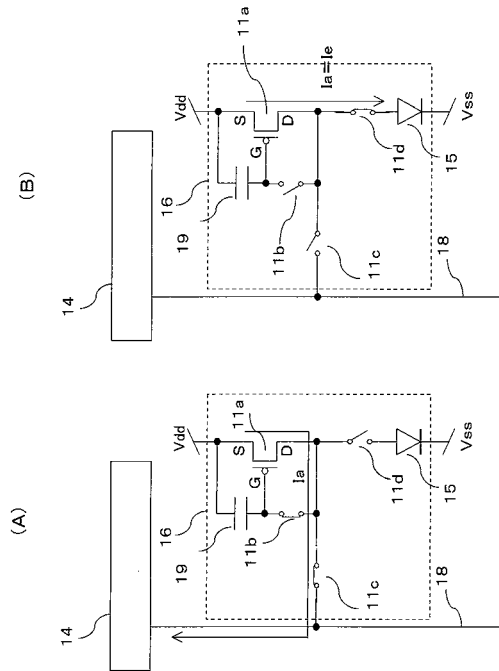
【図 11】



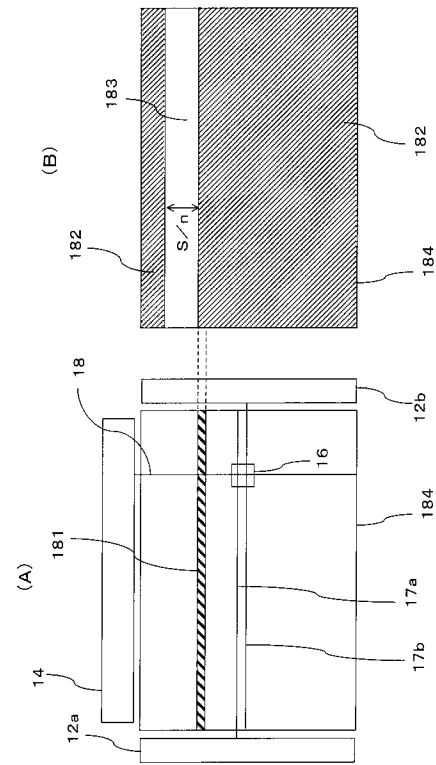
【図 12】



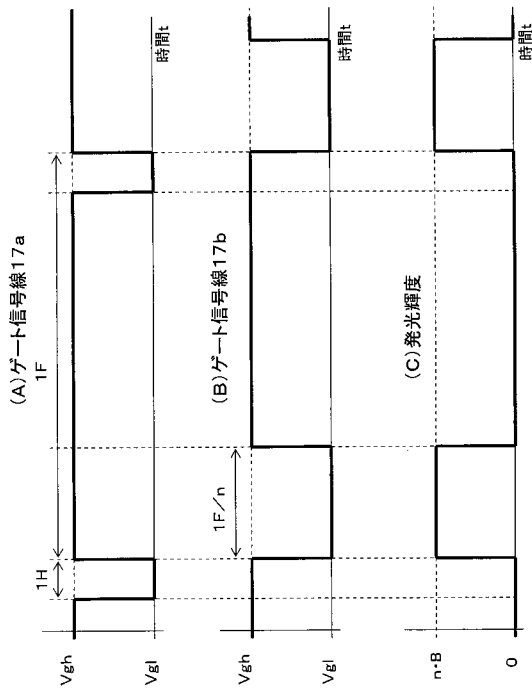
【図 17】



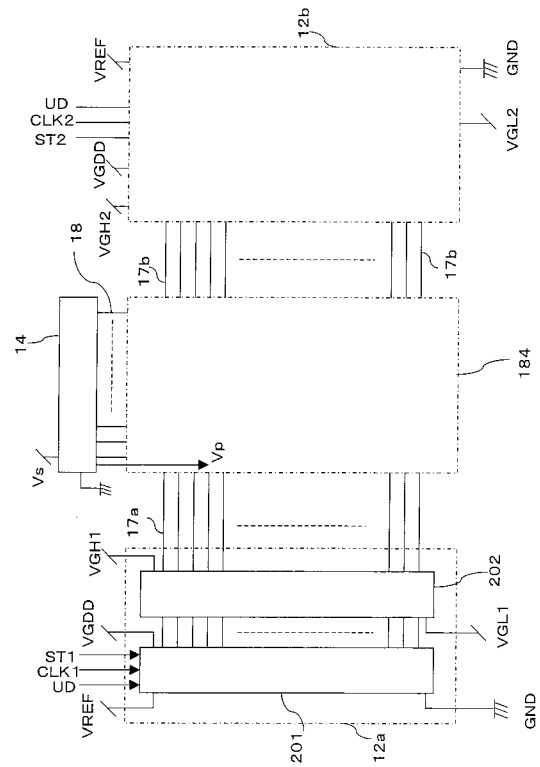
【図 18】



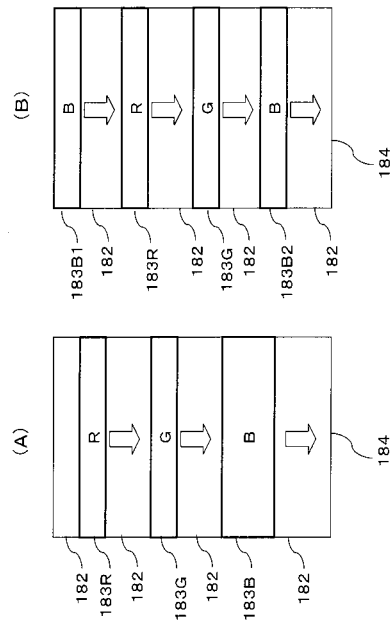
【図 19】



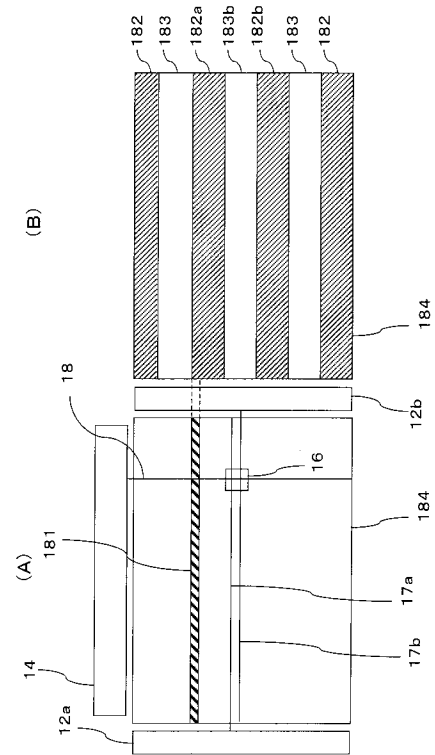
【図 20】



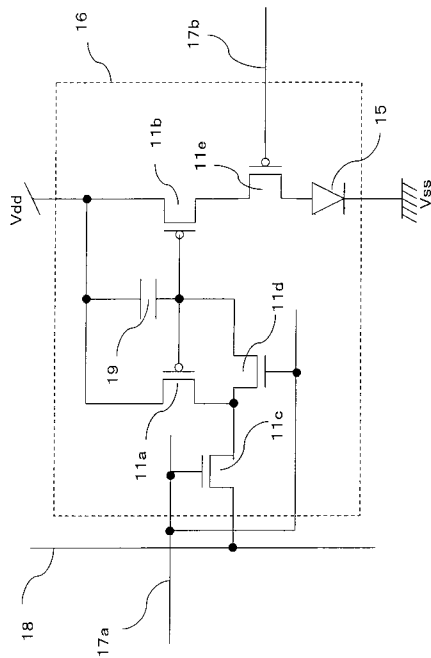
【図 2 1】



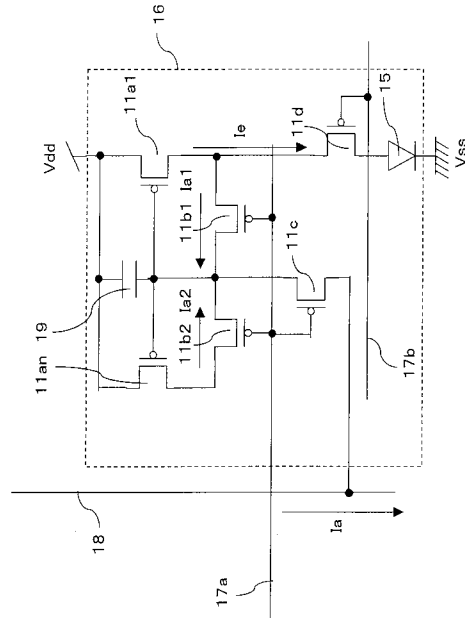
【図 2 2】



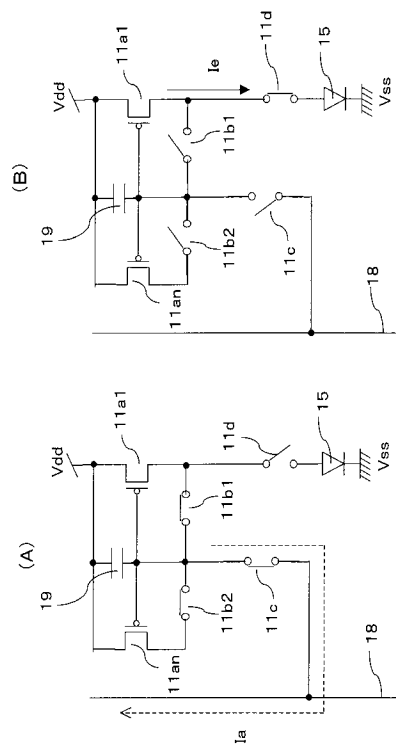
【図 2 3】



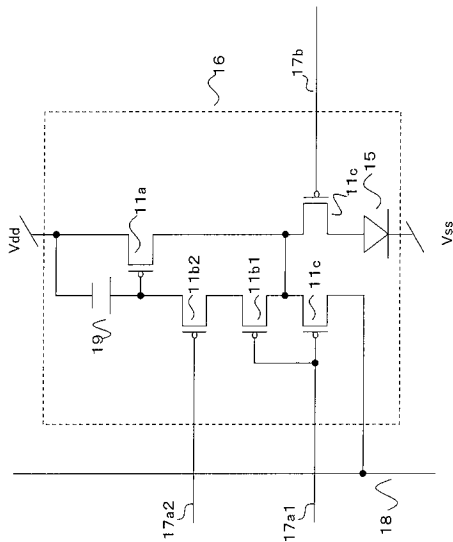
【図 2 4】



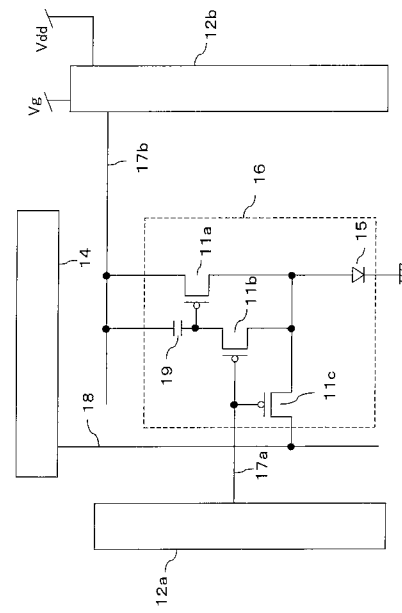
【図 25】



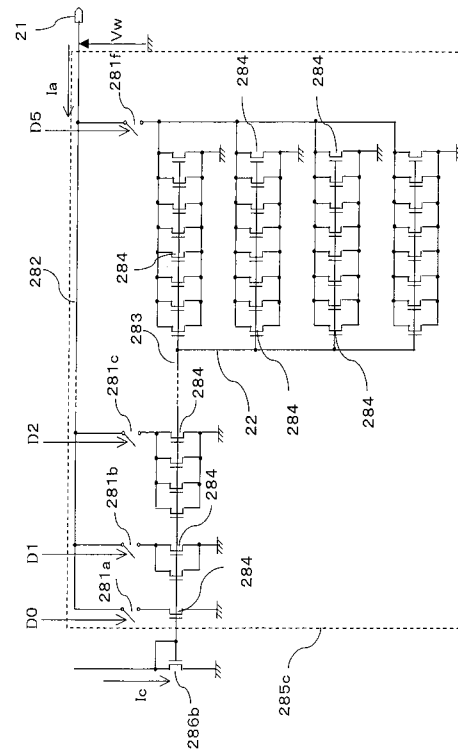
【図 27】



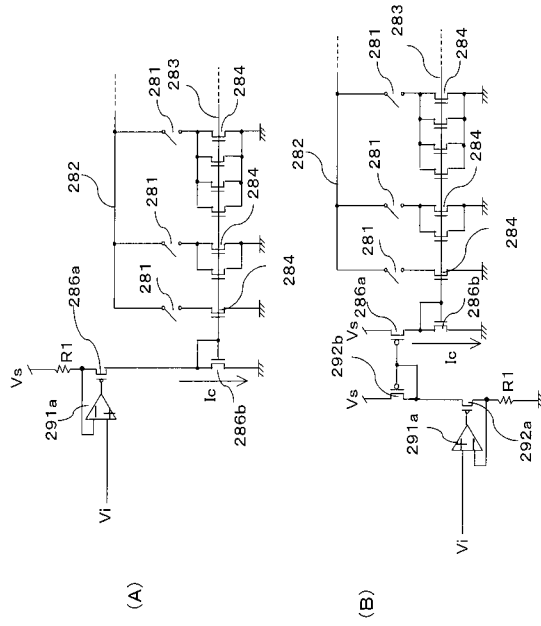
【図 26】



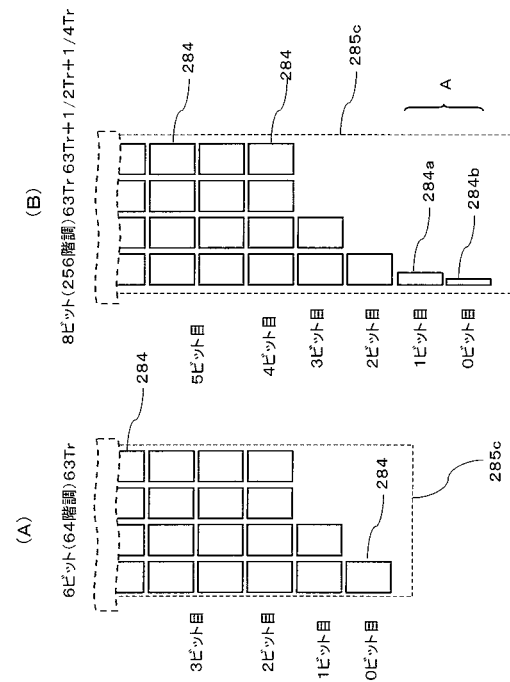
【図 28】



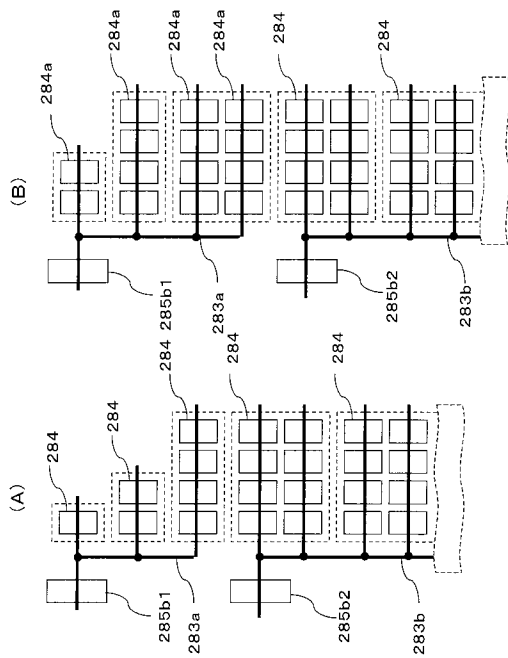
【図 29】



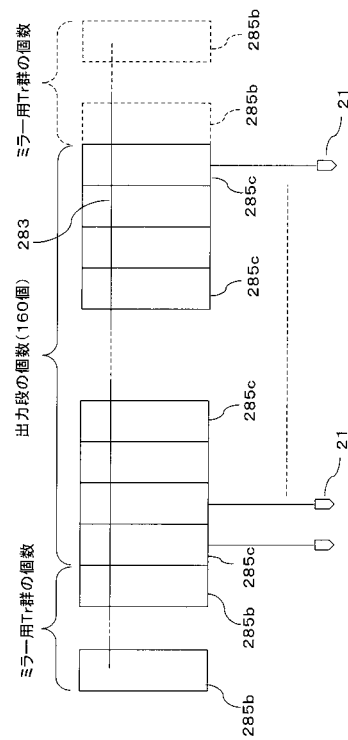
【図 30】



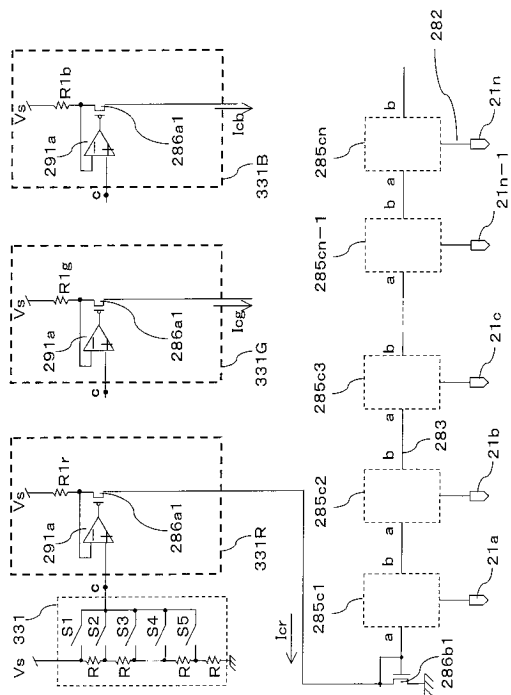
【図 31】



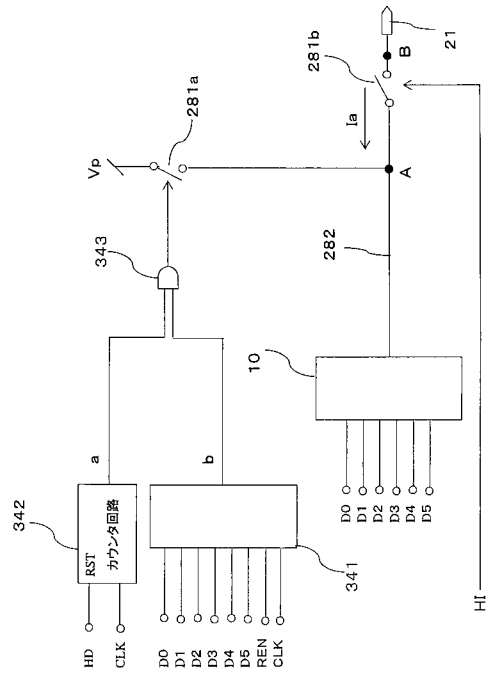
【図 32】



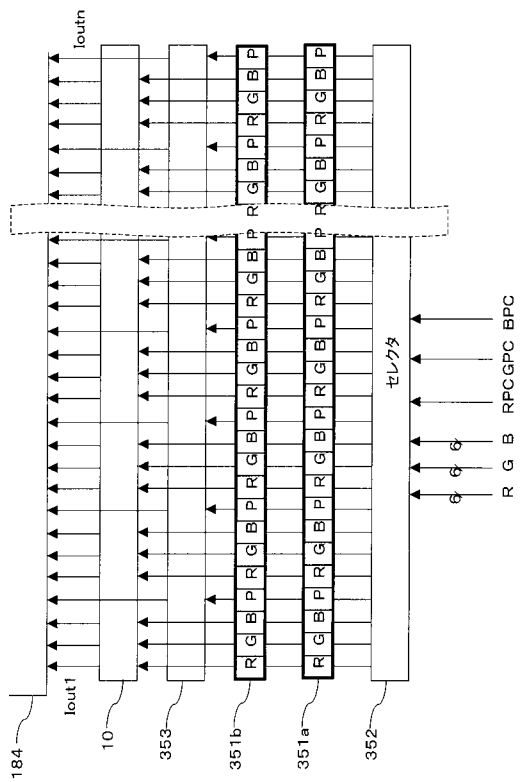
【図 3 3】



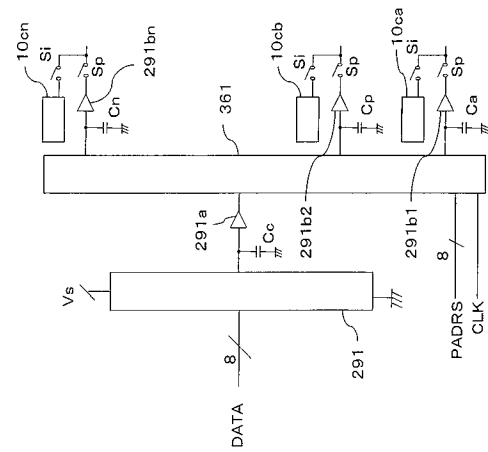
【図 3 4】



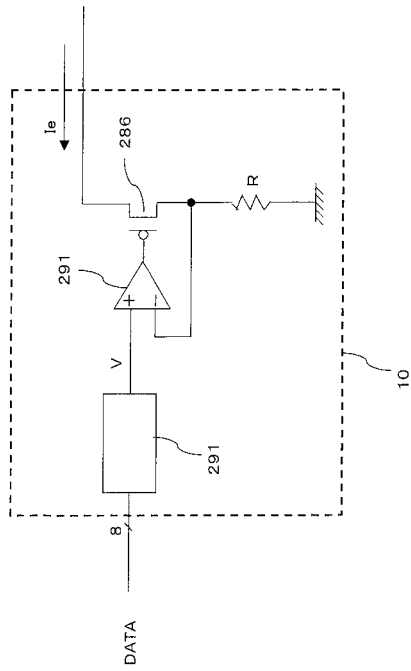
【図 3 5】



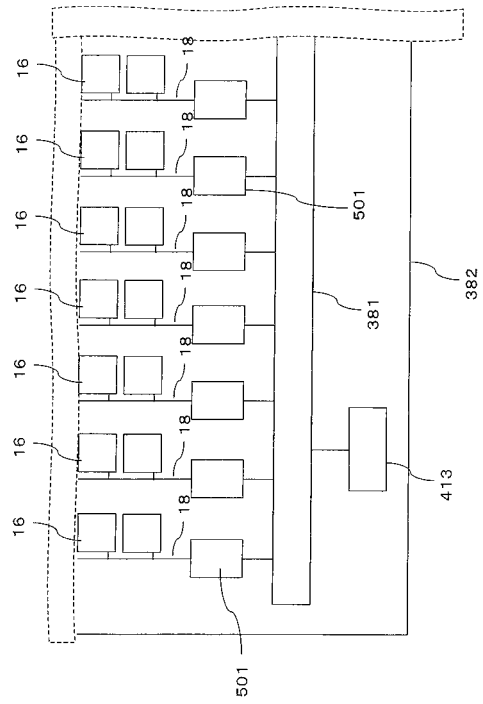
【図 3 6】



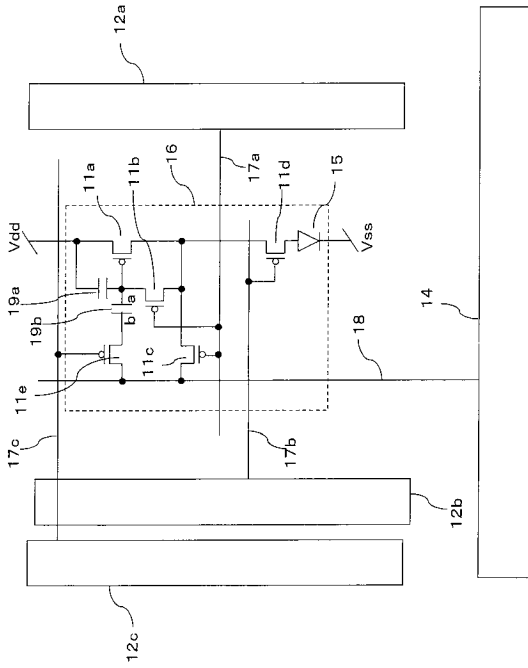
【図 37】



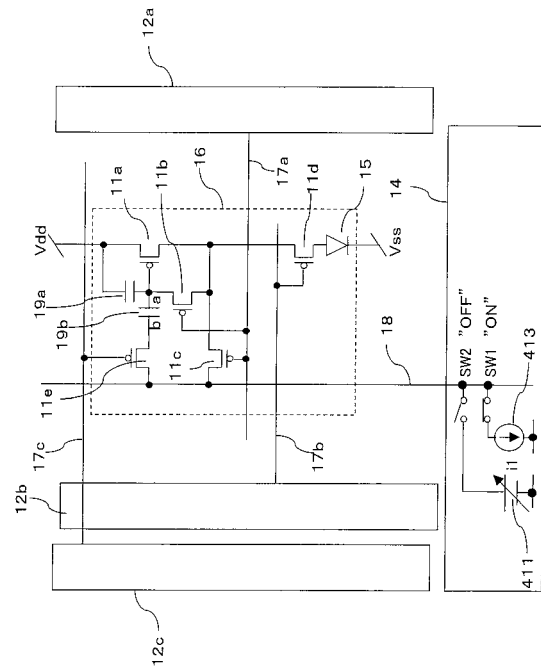
【図 38】



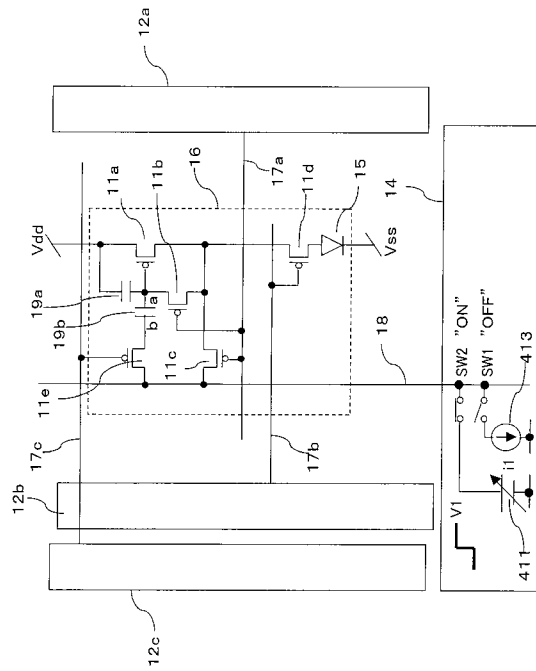
【図 39】



【図 40】



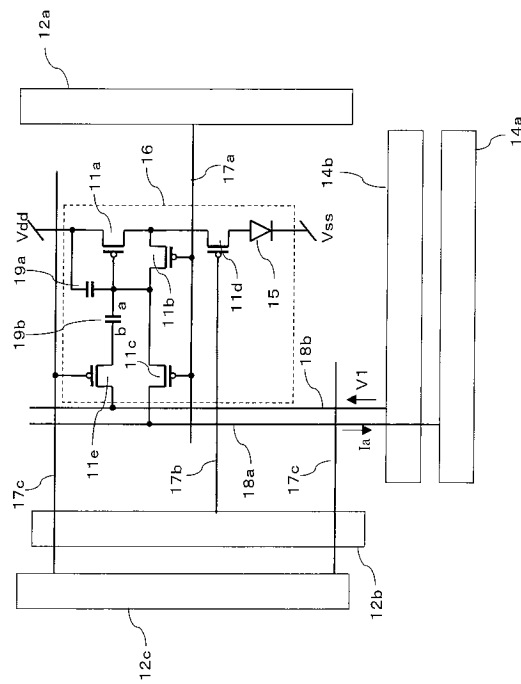
【図 4 1】



【図 4 2】

	リセット期間	書き込み期間	保持(発光)期間
トランジスタ11b	ON	OFF	OFF
トランジスタ11c	ON	OFF	OFF
トランジスタ11d	OFF	OFF	ON
トランジスタ11e	OFF	ON	OFF
SW1	ON	OFF	—
SW2	OFF	ON	—

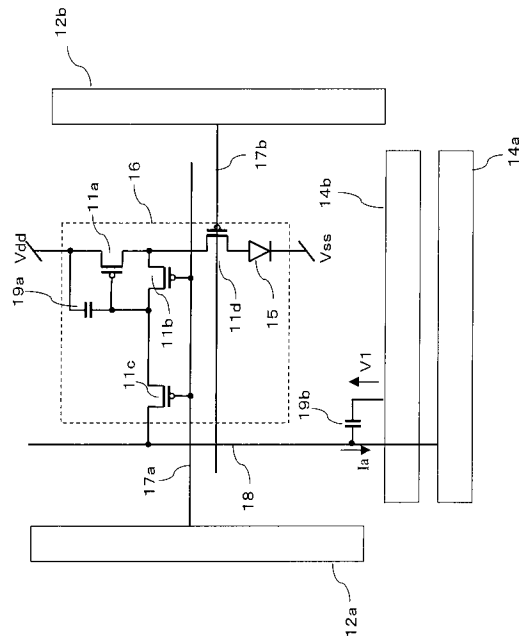
【図 4 3】



【図 4 4】

	リセット期間	書き込み期間	保持(発光)期間
トランジスタ11b	ON	OFF	OFF
トランジスタ11c	ON	OFF	OFF
トランジスタ11d	OFF	OFF	ON
トランジスタ11e	ON	ON	OFF
ドライバ18a	IO	IO	—
ドライバ18b	Vb	V1	—

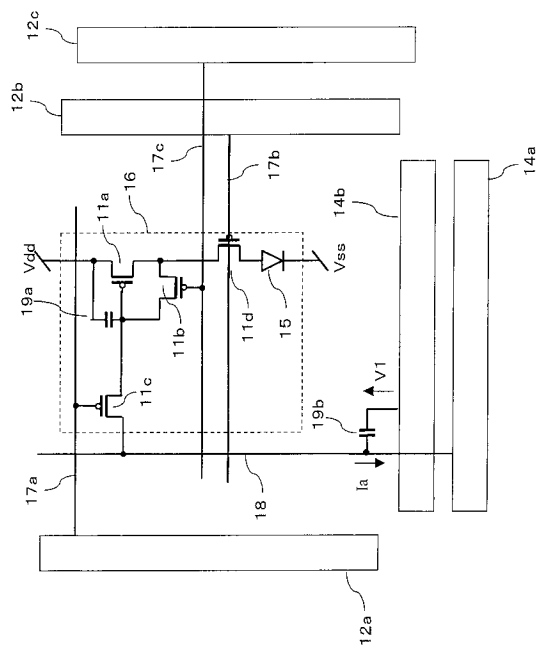
【図 4 5】



【図 4 6】

	リセット期間	書き込み期間	保持(発光)期間
トランジスタ11b	ON	ON	OFF
トランジスタ11c	ON	ON	OFF
トランジスタ11d	OFF	OFF	ON
ドライバ18a	IO	—	—
ドライバ18b	Vb	V1	—

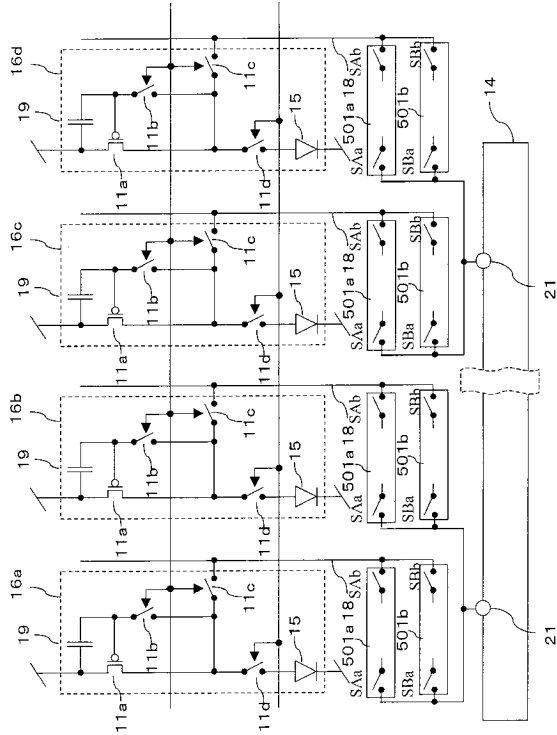
【図 4 7】



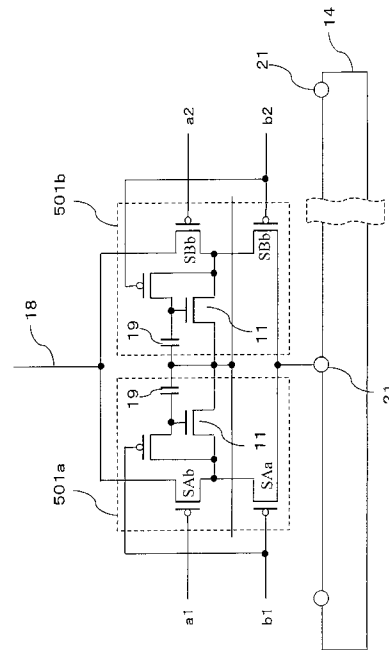
【図 4 8】

	リセット期間	書き込み期間	保持(発光)期間
トランジスタ11b	ON	ON	OFF
トランジスタ11c	ON	OFF	OFF
トランジスタ11d	OFF	OFF	ON
ドライバ18a	IO	—	—
ドライバ18b	Vb	V1	—

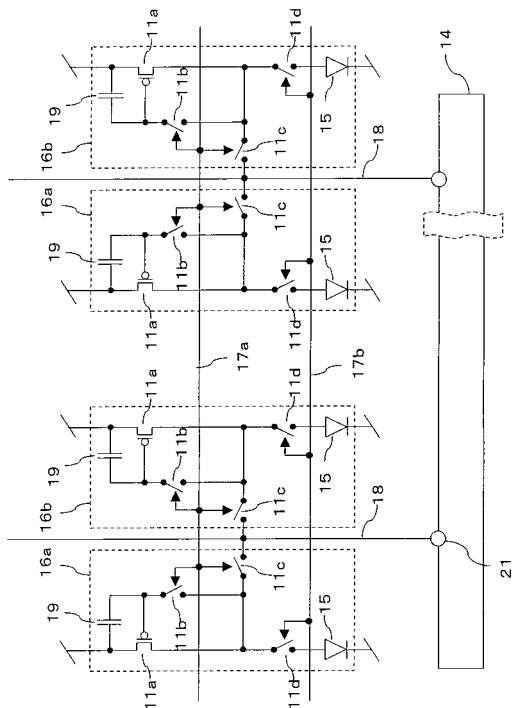
【図 49】



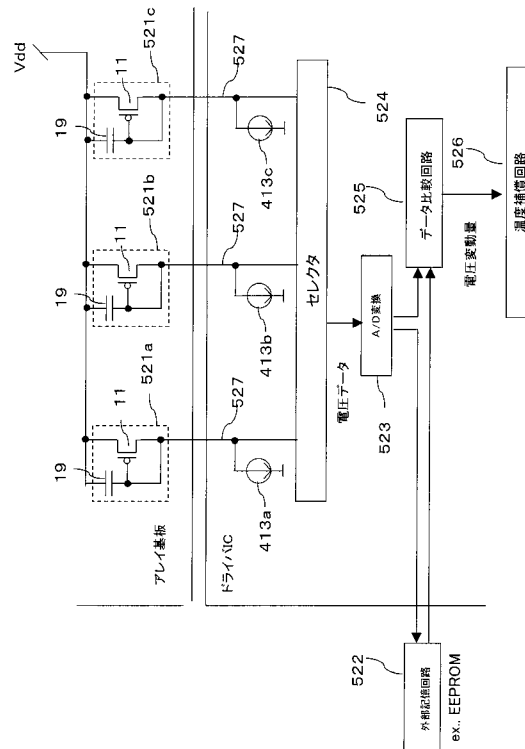
【図 50】



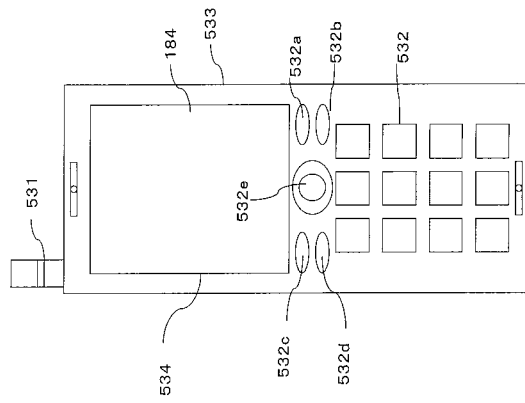
【図 51】



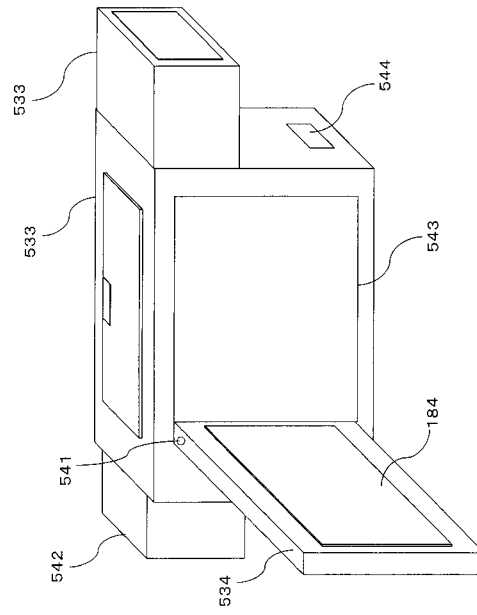
【図 52】



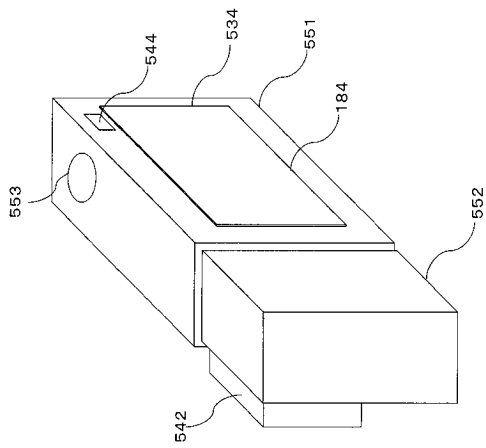
【図 5 3】



【図 5 4】



【図 5 5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 4 1 D
H 0 5 B	33/14	A

F ターム(参考) 5C080 AA06 BB05 CC03 DD04 DD05 DD08 DD20 DD23 DD28 EE29
EE30 FF11 GG05 GG07 GG12 HH09 JJ02 JJ03 JJ04 JJ05
JJ06 KK02 KK07 KK43

专利名称(译)	EL显示装置和EL显示装置的驱动方法		
公开(公告)号	JP2007179037A	公开(公告)日	2007-07-12
申请号	JP2006325005	申请日	2006-11-30
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司 中村則夫		
发明人	高原 博司 中村 則夫		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/20.612.F G09G3/20.624.B G09G3/20.642.P G09G3/20.623.Y G09G3/20.611.H G09G3/20.642.A G09G3/20.611.J G09G3/20.641.D H05B33/14.A G09G3/3241 G09G3/325 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB07 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD05 5C080/DD08 5C080/DD20 5C080/DD23 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG05 5C080/GG07 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC12 5C380/BA10 5C380/BA11 5C380/BA27 5C380/BA28 5C380/BA29 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA45 5C380/BB02 5C380/BB04 5C380/BB05 5C380/BB12 5C380/BB14 5C380/BB15 5C380/BB16 5C380/BC02 5C380/BC03 5C380/BC07 5C380/BC09 5C380/BC13 5C380/BC14 5C380/BE05 5C380/CA04 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA13 5C380/CA16 5C380/CA17 5C380/CA20 5C380/CA22 5C380/CA26 5C380/CA29 5C380/CA30 5C380/CA35 5C380/CA49 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB01 5C380/CB02 5C380/CB04 5C380/CB09 5C380/CB14 5C380/CB17 5C380/CB18 5C380/CB20 5C380/CB26 5C380/CB30 5C380/CC02 5C380/CC13 5C380/CC14 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD025 5C380/CE04 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE08 5C380/CF02 5C380/CF05 5C380/CF07 5C380/CF09 5C380/CF12 5C380/CF18 5C380/CF22 5C380/CF24 5C380/CF26 5C380/CF27 5C380/CF28 5C380/CF32 5C380/CF41 5C380/CF43 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF52 5C380/CF56 5C380/CF61 5C380/CF64 5C380/CF67 5C380/DA01 5C380/DA02 5C380/DA05 5C380/DA06 5C380/DA30 5C380/DA32 5C380/DA33 5C380/DA35 5C380/DA47 5C380/DA49 5C380/EA01 5C380/FA02 5C380/FA04 5C380/FA05 5C380/FA18 5C380/FA21 5C380/FA28 5C380/HA02 5C380/HA06 5C380/HA08 5C380/HA13		
代理人(译)	松田 正道		
优先权	2005348486 2005-12-01 JP		
外部链接	Espacenet		
摘要(译)			

要解决的问题：在所有灰度区域中产生不如现有技术产生的不足的写入，并且将由于晶体管特性的变化导致的显示不均匀性降低到低于现有技术。解决方案：公开了一种EL显示装置，其中形成具有EL元件15的像素16，具有产生预定恒定电流的恒流电路10;以及产生灰度电压的灰度电压电路20，其中由恒流电路10产生的恒定电流通过源极信号线18提供给像素16;并且由灰度电压电路20产生的灰度电压通过源极信号线18提供给像素

