

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-284172

(P2005-284172A)

(43) 公開日 平成17年10月13日(2005.10.13)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F 1

G09G 3/30

G09G 3/20

G09G 3/20 611H

G09G 3/20 631V

G09G 3/20 641D

テーマコード(参考)

3K007

5C080

審査請求 未請求 請求項の数 7 O L (全 12 頁) 最終頁に続く

(21) 出願番号

特願2004-101143 (P2004-101143)

(22) 出願日

平成16年3月30日 (2004.3.30)

(71) 出願人 590000846

イーストマン コダック カンパニー
アメリカ合衆国、ニューヨーク 14650
, ロチェスター、ステイト ストリート 3
43

(74) 代理人 100075258

弁理士 吉田 研二

(74) 代理人 100096976

弁理士 石田 純

(72) 発明者 水越 誠一

東京都中央区日本橋小網町 6番 1号 コダ
ック株式会社内

(72) 発明者 森 信幸

東京都中央区日本橋小網町 6番 1号 コダ
ック株式会社内

最終頁に続く

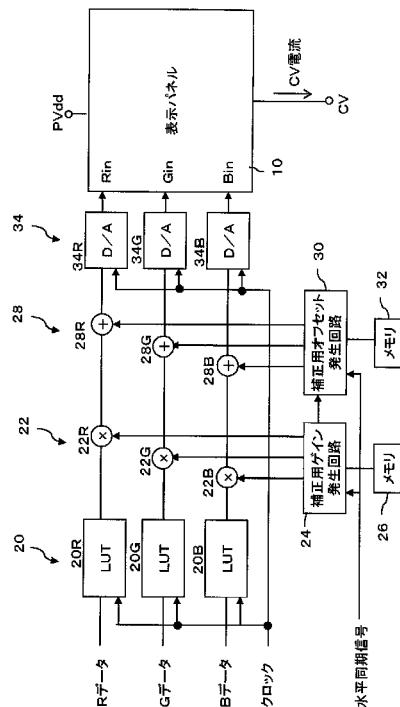
(54) 【発明の名称】有機EL表示装置

(57) 【要約】

【課題】輝度補正を効率的に行う。

【解決手段】補正用ゲイン発生回路 24、補正用オフセット発生回路 30 には、画素位置(例えば水平ライン毎)に対する駆動 TFT の V-I 特性に対応するゲイン、しきい値レベルに対応するオフセットについて補正值を発生する。そして、入力画像データの画素位置に応じて乗算器 22 で補正用ゲインを乗算し、加算器 28 で補正用オフセットを加算することで画像データの補正が行え、画面上の表示のばらつき発生を防止できる。

【選択図】図 4



【特許請求の範囲】**【請求項 1】**

有機EL素子および輝度データに応じた駆動電流を前記有機EL素子に供給する駆動トランジスタを各表示画素に含み、この表示画素をマトリクス配置する有機EL表示装置において、

表示画素の位置と、その表示画素における駆動トランジスタの輝度データに対する駆動電流の傾きを補正する補正用ゲインを記憶する補正用ゲイン記憶部と、

画素毎の輝度データを画素位置に応じて、前記補正用ゲイン記憶部に記憶されている補正用ゲインを得て、これを用いて該当画素の輝度データに補正して補正輝度データを生成する補正部と、

を有し、

前記補正部において生成された補正輝度データに基づいて、前記駆動トランジスタを駆動して対応する有機EL素子に駆動電流を供給して各表示画素の表示を行うことを特徴とする有機EL表示装置。

【請求項 2】

請求項1に記載の装置において、

前記補正部は、輝度データに対し、補正用ゲインを乗算することを特徴とする有機EL表示装置。

【請求項 3】

請求項1または2に記載の装置において、

さらに、

表示画素の位置と、その表示画素における駆動トランジスタの輝度データに対するオフセットを補正するための補正用オフセットを所定の複数の表示画素からなるエリア毎に記憶する補正用オフセット記憶部を有し、

前記補正部は、画素毎の輝度データを画素位置に応じて、前記電流特性記憶部に記憶されている補正用ゲインおよび前記補正用オフセット記憶部に記憶されている補正用オフセットを得て、これを用いて該当画素の輝度データに補正して補正輝度データを生成することを特徴とする有機EL表示装置。

【請求項 4】

請求項3に記載の装置において、

前記補正部は、前記補正用オフセットを前記輝度データに加算または減算することを特徴とする有機EL表示装置。

【請求項 5】

請求項1～4のいずれか1つに記載の装置において、

前記補正用ゲイン記憶部は、水平または垂直方向の1ライン毎に補正值を記憶することを特徴とする有機EL表示装置。

【請求項 6】

請求項1～5のいずれか1つに記載の装置において、

表示画素がマトリクス配置された表示エリア内の全部の表示画素について、互いに異なる2以上の輝度データに基づいて発光させる全体発光制御手段と、

前記表示エリア内の前記所定のエリア内の複数の表示画素の有機EL素子について、異なる2以上の輝度データに基づいて選択的に発光させる選択発光制御手段と、

全体および選択発光させた際の駆動電流をそれぞれ検出する電流検出手段と、

検出した駆動電流に基づき選択された表示画素における輝度データに対する駆動電流の傾きについて、全体の表示画素における輝度データに対する駆動電流の傾きとの関係を算出する傾き特性算出手段と、

をさらに有し、

傾き特性算出手段において算出された傾き特性に対応する補正用ゲインを前記補正用ゲイン記憶部に記憶させる有機EL表示装置。

【請求項 7】

10

20

30

40

50

請求項 6 に記載の装置において、

検出した駆動電流に基づき選択された表示画素における輝度データに対する駆動電流のオフセットについて、全体の表示画素における輝度データに対する駆動電流のオフセットとの関係を算出するオフセット特性算出手段と、

をさらに有し、

オフセット特性算出手段において算出されたオフセット特性に対応する補正用オフセットを前記補正用ゲイン記憶部に記憶させる有機 E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、有機 E L 素子を含む表示画素をマトリクス配置する有機 E L 表示装置、特に表示画素における輝度不均一性の補正に関する。 10

【背景技術】

【0 0 0 2】

図 1 に、アクティブ型の有機 E L 表示装置における 1 画素分の回路（画素回路）の構成例を示す。ソースが電源ライン P V d d に接続された P チャンネルの駆動 T F T 1 のドレインが有機 E L 素子 3 のアノードに接続され、有機 E L 素子 3 のカソードが陰極電源 C V に接続されている。駆動 T F T 1 のゲートには、N チャンネルの選択 T F T 2 のソースが接続されており、この選択 T F T 2 のドレインはデータライン D a t a に接続され、ゲートはゲートライン G a t e に接続されている。また、駆動 T F T 1 のゲートには、保持容量 C の一端が接続されており、他端は容量電源ライン V s c に接続されている。 20

【0 0 0 3】

従って、水平方向に伸びるゲートラインを H レベルにして、選択 T F T 2 をオンし、その状態で垂直方向に伸びるデータライン D a t a に表示輝度に応じた電圧を有するデータ信号をのせることで、データ信号が保持容量 C に蓄積される。これによって、駆動 T F T 1 がデータ信号に応じた駆動電流を有機 E L 素子 3 に供給して、有機 E L 素子 3 が発光する。

【0 0 0 4】

ここで、有機 E L 素子の発光量と電流はほぼ比例関係にある。通常、駆動 T F T 1 のゲート - P V d d 間には画像の黒レベル付近でドレイン電流が流れ始めるような電圧 (V t h) を与える。また、画像信号の振幅としては、白レベル付近で所定の輝度となるような振幅を与える。 30

【0 0 0 5】

図 2 は駆動 T F T 1 の入力信号電圧（ゲートソース間電圧 V g s = データライン D a t a の電圧と電源 P V d d の差）に対する有機 E L 素子 3 に流れる電流 i c v （輝度に対応する）の関係を示している。そして、黒レベル電圧として、V t h を与え、白レベル電圧として、V a を与えるように、データ信号を決定することで、有機 E L 素子 3 における適切な階調制御を行うことができる。

【0 0 0 6】

ここで、有機 E L 表示装置は、マトリクス状の多数の画素を配列した表示パネルで構成される。このため、製造上の問題で画素ごとに V t h がばらつき、1 枚の表示パネル上でも最適な黒レベルが画素ごとにばらつくことがある。その結果、データ信号（入力電圧）に対する発光量が画素ごとに不均一となり、輝度ムラが発生する。 40

【0 0 0 7】

そこで、各画素の輝度を測定し、メモリに記憶した補正データに従ってすべての画素について黒レベル電圧を補正することも提案されている（特許文献 1）。

【0 0 0 8】

【特許文献 1】特開平 11 - 282420 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、図3に示すように、画素駆動用 TFT の V_{th} のバラツキ (V_{th}) だけでなく、V-I特性の傾き (gm) がばらついている場合もある。すなわち、全画素の平均的特性 (a)に対し、ラインnの画素の平均的特性 (b) は、 V_{th} が V_{th} だけ異なるだけでなく、入力電圧に対する駆動電流 i_{cv} の傾きが異なっており、入力電圧 V_{a1} 、 V_{a2} 、 V_{a3} における特性 (a) と特性 (b) の差が均一でない。このような場合には V_{th} の補正だけでは十分な補正ができない。

【0010】

本発明は、輝度データに対する駆動トランジスタの電流特性についての補償を行うことを目的とする。

10

【課題を解決するための手段】

【0011】

本発明は、有機EL素子および輝度データに応じた駆動電流を前記有機EL素子に供給する駆動トランジスタを各表示画素に含み、この表示画素をマトリクス配置する有機EL表示装置において、表示画素の位置と、その表示画素における駆動トランジスタの輝度データに対する駆動電流の傾きを補正する補正用ゲインを記憶する補正用ゲイン記憶部と、画素毎の輝度データを画素位置に応じて、前記補正用ゲイン記憶部に記憶されている補正用ゲインを得て、これを用いて該当画素の輝度データに補正して補正輝度データを生成する補正部と、を有し、前記補正部において生成された補正輝度データに基づいて、前記駆動トランジスタを駆動して対応する有機EL素子に駆動電流を供給して各表示画素の表示を行うことを特徴とする。

20

【0012】

また、前記補正部は、輝度データに対し、補正用ゲインを乗算することが好適である。

【0013】

さらに、表示画素の位置と、その表示画素における駆動トランジスタの輝度データに対するオフセットを補正するための補正用オフセットを所定の複数の表示画素からなるエリア毎に記憶する補正用オフセット記憶部を有し、前記補正部は、画素毎の輝度データを画素位置に応じて、前記電流特性記憶部に記憶されている補正用ゲインおよび前記補正用オフセット記憶部に記憶されている補正用オフセットを得て、これを用いて該当画素の輝度データに補正して補正輝度データを生成することが好適である。

30

【0014】

また、前記補正部は、前記補正用オフセットを前記輝度データに加算または減算することが好適である。

【0015】

また、前記前記補正用ゲイン記憶部は、水平または垂直方向の1ライン毎に補正值を記憶することが好適である。

【0016】

また、表示画素がマトリクス配置された表示エリア内の全部の表示画素について、互いに異なる2以上の輝度データに基づいて発光させる全体発光制御手段と、前記表示エリア内の前記所定のエリア内の複数の表示画素の有機EL素子について、異なる2以上の輝度データに基づいて選択的に発光させる選択発光制御手段と、全体および選択発光させた際の駆動電流をそれぞれ検出する電流検出手段と、検出した駆動電流に基づき選択された表示画素における輝度データに対する駆動電流の傾きについて、全体の表示画素における輝度データに対する駆動電流の傾きとの関係を算出する傾き特性算出手段と、をさらに有し、傾き特性算出手段において算出された傾き特性に対応する補正用ゲインを前記補正用ゲイン記憶部に記憶させることが好適である。

40

【0017】

また、検出した駆動電流に基づき選択された表示画素における輝度データに対する駆動電流のオフセットについて、全体の表示画素における輝度データに対する駆動電流のオフセットとの関係を算出するオフセット特性算出手段と、をさらに有し、オフセット特性算

50

出手段において算出されたオフセット特性に対応する補正用オフセットを前記補正用ゲイン記憶部に記憶せることが好適である。

【発明の効果】

【0018】

本発明によれば、画素駆動用 TFT の V - I 特性の傾き (g m) がばらついている場合に、これを補償してムラのない適切な発光を維持することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施形態について、図面に基づいて説明する。

【0020】

図 4 には、本発明の有機 EL 表示装置における、輝度データから表示パネルに供給される補正された輝度データ（アナログ信号）を作成するための構成を示してある。

【0021】

表示パネル 10 は、RGB の各色ごとの画素を有しており、表示用の輝度データは、RGB の各色ごとに別に入力されてくる。例えば、画素は垂直方向に同一色のものを配置することで、各データラインには RGB のいずれかのデータが供給され、各色ごとの表示が行える。なお、この例において、RGB の各データは、それぞれ 8 ビットの輝度データである。

【0022】

R データはロックアップテーブル LUT 20 R、G データはロックアップテーブル LUT 20 G、B データはロックアップテーブル LUT 20 B に供給される。このロックアップテーブル LUT 20 (20 R、20 G、20 B) には、輝度データに対する発光輝度（駆動電流）の関係が所望のカーブとなるようにガンマ補正するとともに、表示パネル 10 において、平均的なオフセット、ゲインを考慮したテーブルデータが記憶されている。すなわち、図 3 における特性 (a) を補償するデータが記憶されている。従って、このロックアップテーブル LUT 20 を利用して輝度データを変換することで、平均的な特性の駆動 TFT を駆動した場合において、有機 EL 素子の発光量が輝度データに対応したものとなる。

【0023】

なお、ロックアップテーブル LUT 20 に代えて、特性式を記憶しておき、演算によって輝度データを変換してもよい。なお、この例では、ロックアップテーブル LUT 20 R、20 G、20 B の出力は、それぞれ 10 ビットのビット幅に広げられている。また、ロックアップテーブル LUT 20 R、20 G、20 B には、画素毎の入力データに同期したクロックが供給されており、ロックアップテーブル LUT 20 R、20 G、20 B からの出力も、このクロックに同期したものになっている。

【0024】

ロックアップテーブル LUT 20 R、20 G、20 B の出力は、乗算器 22 R、22 G、22 B に供給される。この乗算器 22 R、22 G、22 B には、補正用ゲイン発生回路 24 からの乗算補正值がそれぞれ供給されている。また、補正用ゲイン発生回路 24 には、メモリ 26 が接続されており、補正用ゲイン発生回路 24 は、入力されてくる輝度データがどの水平ラインに対応するかを入力されてくる水平同期信号から判定し、その水平ラインについての乗算補正值をメモリ 26 から読み出し、乗算補正值を発生する。

【0025】

乗算器 22 R、22 G、22 B の出力は、加算器 28 R、28 G、28 B にそれぞれ供給される。この加算器 28 R、28 G、28 B には、補正用オフセット発生回路 30 からのオフセット補正值がそれぞれ供給されている。また、補正用オフセット発生回路 30 には、メモリ 32 が接続されており、補正用オフセット発生回路 30 は、該当水平ラインについてのオフセット補正值をメモリ 32 から読み出し、オフセット補正值を発生する。

【0026】

加算器 28 R、28 G、28 B の出力は、D / A 変換器 34 R、34 G、34 B に供給

10

20

30

40

50

され、ここでアナログ信号に変換され、表示パネル10の各色ごとの入力端子Rin、Gin、Binに供給される。そこで、これら各色ごとに画素位置に応じて補正されたデータ信号がデータラインに供給され、各画素において、EL素子がデータ信号に応じた電流で駆動される。

【0027】

このように、本実施形態によれば、ルックアップテーブルLUT20によって、平均的な駆動TFTを対象としたオフセット、V-I特性の補償と、ガンマ補正を行う。そして、補正用ゲイン発生回路24、補正用オフセット発生回路30が、メモリ26、32を利用して、各画素の位置における補正用ゲイン、補正用オフセットを出力する。従って、各画素における駆動トランジスタ（駆動TFT）のしきい値電圧VthのバラツキVthを補償するだけでなく、ゲートソース間電圧Vgsに対するドレイン電流（有機ELの駆動電流）のV-I特性を補償して、輝度データに応じた適切な駆動電流を有機EL素子に供給することができる。

【0028】

本実施形態では、この補正用ゲイン発生回路24、補正用オフセット発生回路30は、ライン毎に一定の補正值を発生しているが、これに限定されることなく、表示パネル10を面と考え、各画素についての補正值を規定する式を記憶するようにしてもよい。すなわち、補正值 = ax + by + c（または係数a, b, c）を記憶する。そして、画素に同期したクロックに応じて、データ信号の画素位置x、yを認識し、これに対応した補正值を発生する。

【0029】

また、補正值は、この例のように、RGBごとに別に発生できるようにしてもよいし、RGBについて共通にしてもよい。

【0030】

なお、本実施形態では、補正用ゲイン発生回路24、補正用オフセット発生回路30からの出力補正值は10ビットであり、乗算器22R、22G、22B、加算器28R、28G、28Bビット幅は10ビットになっている。

【0031】

「補正用ゲインおよび補正用オフセット」

上述のように、本実施形態では、補正用ゲインがメモリ26、補正用オフセットがメモリ32に記憶されている。そこで、これらの補正用ゲイン、および補正用オフセットについて、以下に説明する。

【0032】

一例として、水平ライン毎のムラが発生している場合を考える。駆動TFTのVthとgmがラインによって違っているパネルの全画素に、ある入力電圧Va2を印加すると、CV電流はライン毎にばらつき、筋状のムラが発生する。このような、製造上の問題により有機EL表示パネルに発生する輝度不均一性を、補正用ゲインおよび補正用オフセットで補償する。

【0033】

これらの補正用ゲインおよび補正用オフセットの発生および補正は、次のようにして行う。

【0034】

i) 表示パネル10の全画素を2つ以上の入力電圧（この例では、図3における3点Va1, Va2, Va3）で点灯し、各入力電圧におけるCV電流を測定する。表示パネル10に流れる全電流を測定できれば、PVdd側で測定してもCV側で測定してもよい。

【0035】

各画素の平均電流(icc v)はこのCV電流を全画素数で割った値となるので、入力電圧対icc vの関係をプロットする。この結果により、このパネルの平均的なTFTのV-I特性を予想し、プロットする（図3の(a)）。

【0036】

10

20

30

40

50

i i) パネルの中の任意の一水平ライン(ラインn)のみを2つ以上の入力電圧(この例では3点V a 1, V a 2, V a 3)で点灯し、各入力電圧におけるC V電流を測定する。このラインの各画素の平均電流(i c v)はこのC V電流を1ラインの画素数で割った値となるので、このラインの一画素のTFTのV - I特性を予想し、プロットする(図3の(b))。同様にして、全てのラインのTFTのV - I特性を予想し、プロットする。これら各ラインのV - I特性も上述の全画素のV - I特性と同様に、近似式などを決定することができる。

【0037】

i i i) 図3により、平均的特性に対するラインnのV th及びgmのずれを求め、C V電流または輝度の差が最小となるように補正ゲインと補正オフセットを求める。すなわち、図5に示すように、図3の特性を補償する補正ゲインを求めればよい。この例では、補正オフセット/ゲイン特性を、直線で近似している。従って、補正用オフセットは、基準となるオフセット/ゲインの*i c v = 0*のパネル入力信号電圧と、特定のラインのオフセット/ゲインの*i c v = 0*のパネル入力信号電圧との差となる。また、補正用ゲインは、基準となるオフセット/ゲインの傾きで、特定のラインのオフセット/ゲインの傾きを除算した値となる。

【0038】

i v) このようにして得られた補正用ゲイン及び補正用オフセットの値をメモリ26、32に記憶させる。これによって、入力されてくる輝度データ(Rデータ、Gデータ、Bデータ)に対し、乗算器22(22R、22G、22B)において、補正用ゲインが乗算され、加算器28(28R、28G、28B)において補正用オフセットが加算され、輝度データが補正される。従って、各輝度データが駆動するTFTの特性(オフセット、V - I特性)に応じて適切に補正され、これがD/A変換されて表示パネル10に供給される。従って、輝度データに応じた電流が対応する有機EL素子に供給され、輝度データに応じた発光が確保される。

【0039】

このようにして、製造上の問題により駆動TFTの特性が変化し、有機EL表示素子に発生する輝度不均一性を、簡単な測定と、比較的簡単な外部回路により補正することができる。

【0040】

ここで、表示パネル10は、通常ガラス基板上に形成され、表示エリアには画素回路がマトリクス状に配置され、その周辺に駆動回路が配置される。画素回路は、例えばガラス基板上にTFTや配線などを通常の半導体集積回路を構成する手法で構成し、その後ITOなどの画素電極を形成し、その上に有機層、陰極を積層形成することで製作する。

【0041】

このようにして、表示パネルが製作された場合には、電源を接続するとともに有機EL素子に流れるトータルの電流Icvを計測する。すなわち、表示パネル10の各電源ラインP V d dに電源電圧P V d dを供給し、全有機EL素子に共通のカソードから電源C Vに流れる合計電流Icvを電流検出器によって検出し、得られた検出結果により、上述のようにして、補正值を作成する。

【0042】

図6には、上述のような補正を行う回路を製品自体に組み込んだ構成例を示してある。この構成において、表示パネル10は、図4と同様に、正側が電源P V d dに接続され、負側が低電圧電源C Vに接続され、表示パネル10と低電圧電源C Vとの間に電流検出器40が配置されている。

【0043】

そして、電流検出器40の検出値は、A/D変換器42によりデジタルデータに変換された後、CPU44に供給される。このCPU44は、有機EL表示装置の各種動作を制御するマイコンであり、必要なデータを適宜記憶するメモリ46が接続され、上述の実施形態において説明した電流検出器40の検出値に応じたオフセット制御のための処理も行

10

20

30

40

50

う。

【0044】

次に、図における電流検出器40の構成について説明する。表示パネル10の負側は、スイッチ50に入力される。このスイッチ50は、1つの出力側端子cが低電圧電源CVに接続されており、他の2つの入力側端子a, bの内の1つが選択的に電源CVに接続される。このスイッチ50の切り替えはCPU44によって制御される。表示パネル10の負側は、2つの入力端子a, bに接続されるが、aはそのまま、bは抵抗R1を介し、スイッチ50の入力端子に接続されている。

【0045】

そして、CPU44は、通常時は入力端子a、補正のための処理を行う場合は入力端子bを選択する。これによって、通常時には、電流検出器40における電圧降下をほぼ0とすることができます。また、入力端子bが選択された際には、CV電流に応じた電圧降下が抵抗R1において生じ、R1の上側の電圧がCV電流に応じたものになる。

【0046】

抵抗R1の上側（表示パネル10との接続側）は、抵抗R3を介しオペアンプOPの負入力端に接続されている。また、このオペアンプOPの正入力端は、抵抗R4を介し低電圧電源CVに接続されると共に、抵抗R5を介しグランドに接続されている。従って、オペアンプOPの正入力端子は、グランドと、CV電圧および抵抗R4、R5によって決定される電圧に維持される。また、オペアンプOPの負入力端子、出力端子間は、帰還抵抗R6によって接続されている。このため、オペアンプOPは、正入力端の電圧を基準として、抵抗R1の上側電圧を抵抗R3、R6によって決定される増幅率で増幅した出力をする。

【0047】

オペアンプOPの出力端は抵抗R7の一端に接続され、この抵抗R7の他端はA/D変換器42に接続されるとともに、コンデンサCを介しグランドに接続されている。従って、オペアンプOPの出力は、抵抗R7およびコンデンサCよりなる積分回路によって、平滑化され、平滑された電圧がA/D変換器42に入力される。

【0048】

このようにして、本実施形態では、スイッチ50を操作して、入力端子bを選択することで、表示パネル10における電流値がCPU44に取り込まれる。

【0049】

CPU44は、適宜のタイミングでスイッチ50を操作して、表示パネル10に流れる電流量を検出する。例えば、電源投入時や、製品の使用開始時、リセット時などに、CPU44は電流検出動作を行う。すなわち、スイッチ50により入力端子bを選択し、この状態で全体についての2回以上の発光を行い、次にライン毎の2回以上の発光を順次行い、表示パネル10全体における平均的な画素毎の電流量と、各ラインの平均的な画素毎の電流量を検出する。この際、パネル全体を発光させる時と、1ラインを発光させる時とで電流検出用抵抗値を変更し、より精度の高い測定を行うことが好適である。そして、検出した電流量に応じて、ライン毎の補正用ゲインおよび補正用オフセットを算出し、これをメモリ26、32に記憶させる。

【0050】

なお、補正值は上述のようなライン毎のゲイン、オフセットの補正值のみでなく、上述のような表示パネル10の全体的な傾向についての補正式でもよい。このような補正式は、表示エリア内の所定の小エリア（表示エリアを複数に分割したエリアであって、その一部でもよい）におけるCV電流を検出し、検出電流に基づき表示エリア全体の補正值を規定する面の式を計算ことで得られる。このような補正式またはその係数をメモリ26、32に記憶させることでも、上述の実施形態と同様に、適切な補正を行うことができる。なお、通常使用時には、上述のように、スイッチ50において、入力端子aを選択しておくことで、何ら問題は生じない。

【0051】

10

20

30

40

50

このように、図6の実施形態によれば、補正用ゲイン、補正用オフセット量検出のための構成が製品中に設けられている。そこで、製品の実際の使用時において、補正值算出式や補正值などを適宜決定し、記憶することができる。このような設定を適宜行うことによって使用状況の変化や、経年的な変化に対応することも可能である。

【0052】

「その他」

i) 全画素の平均的V - I特性を求める代わりに、代表的なTFTのV - I特性を求めて用いることもできる。すなわち、あるエリアまたはラインなどを点灯し、CV電流を点灯した画素数で割り基準となるV - I特性を求める。

ii) 上記実施形態では乗算器を用いたが、乗算器の変わりにルックアップテーブルを用いてもよい。

すなわち、乗算器による演算(リニア演算)だけでは補正が不十分な場合は、非直線な入出力特性をもったルックアップテーブルを多数用意し、ライン毎に最適なルックアップテーブルを選択することもできる。この場合メモリには、ラインに対応させた、選択すべきルックアップテーブルの番号などを格納しておく。

iii) 図4の乗算器22、加算器28等は、LUTの前に置いても良いし、D/A変換器34の出力の後でアナログ的に処理することも可能である。

iv) CV電流を測定して輝度不均一性を予測するかわりに実際に輝度を測定しても良い。

v) パネル出荷時に、補正のためのゲインとオフセットを、有機ELパネルのガラス基板上またはパネルから引き出されているフレキシブルケーブル上におかれた不揮発性メモリに予め書き込んでおくとよい。これによって、表示パネル10に輝度信号を供給する装置側の回路は、このデータを基に入力信号(輝度データ)の補正を行うことができる。こうすることにより、装置側は表示パネル10が変更されたときも、パネルモジュールの不揮発性メモリからデータを読み取り、輝度データの補正を行うことが可能になる。

vi) 不揮発性メモリには、ガンマデータ、輝点、滅点、明点、暗点の位置情報や、明るさなど、その他の表示パネル10に特有なデータを書き込んでおくこともできる。これによって、装置側において、これらデータを利用して表示を制御することもできる。

vii) 補正值について、画素位置と補正值の関係を示す式を記憶する場合において、平面の式を用いることが好適であるが、曲面の式を用いてもよい。例えば、x、yを変数とする高次の多項式とすることができる。

viii) Vthに関しては、CV電流が流れ始める点の入力電圧をVthとみなして測定することもできる。さらに、CV電流を測定して輝度不均一性を予測するかわりに実際に輝度を測定しても良い。

【図面の簡単な説明】

【0053】

【図1】アクティブ型の有機EL表示装置における画素回路の構成例を示す図である。

【図2】駆動TFTのゲートソース間電圧Vgsに対する輝度及び有機EL素子に流れる電流icvの関係を示す図である。

【図3】全体および1ラインの平均的な駆動TFTのゲートソース間電圧Vgsに対する輝度及び有機EL素子に流れる電流icvの関係を示す図である。

【図4】補正用ゲイン、補正用オフセットによる補正を行うEL表示装置の構成を示すブロック図である。

【図5】駆動TFTのゲートソース間電圧Vgsに対する有機EL素子に流れる電流icvの補正を示す図である。

【図6】補正算出式や補正值などを算出するための構成を含むEL表示装置の構成を示すブロック図である。

【符号の説明】

【0054】

10 表示パネル、20(20R, 20G, 20B) ルックアップテーブルLUT、

10

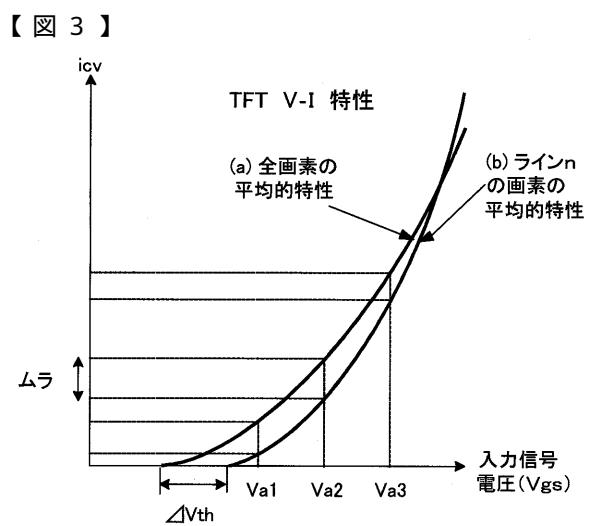
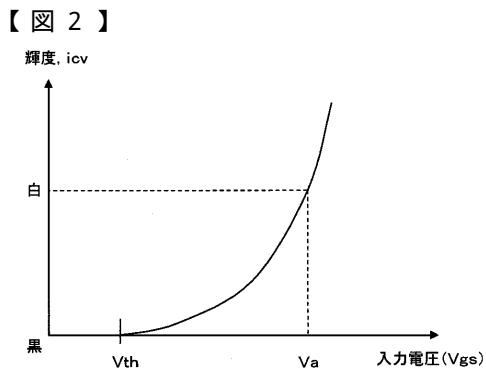
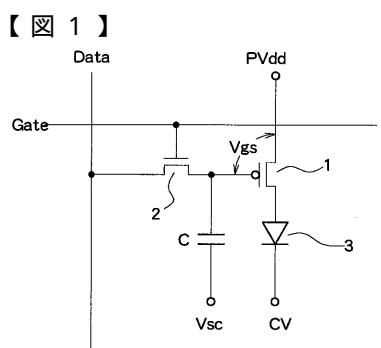
20

30

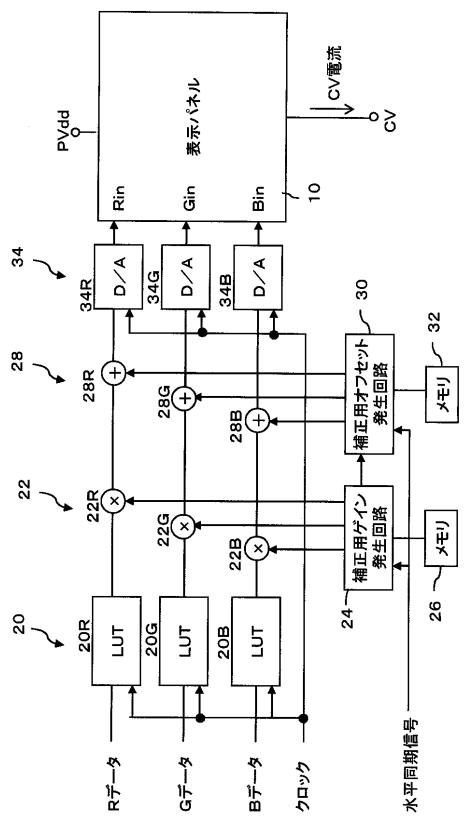
40

50

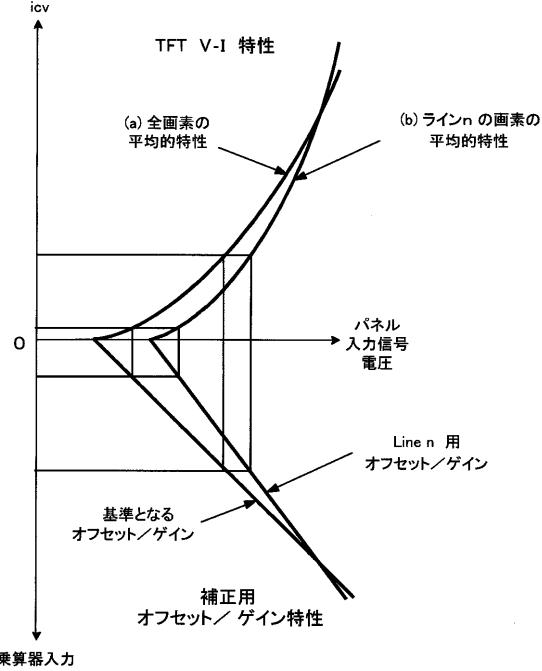
22(22R, 22G, 22B) 乗算器、24 補正用ゲイン発生回路、26, 32 メモリ、28(28R, 28G, 28B) 加算器、30 補正用オフセット発生回路、34(34R, 34G, 34B) D/A 変換器。



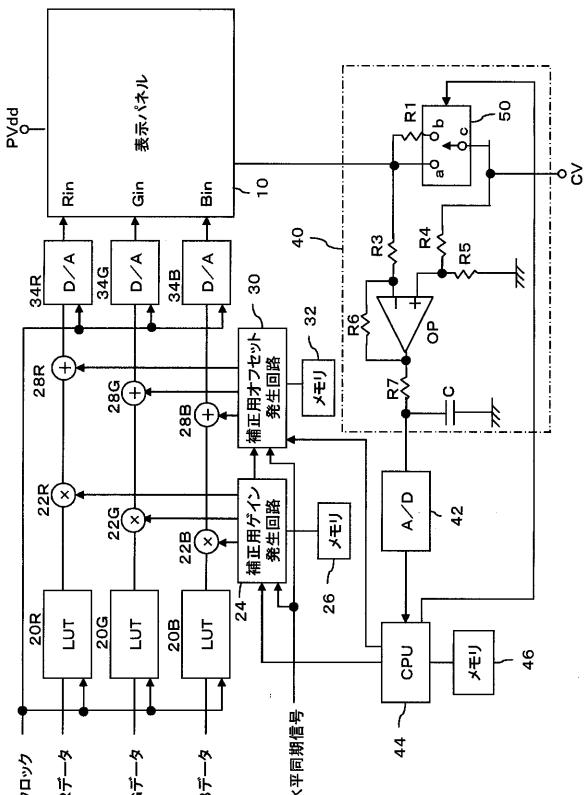
【図4】



【図5】



【図6】



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

(72)発明者 小野村 高一

東京都中央区日本橋小網町6番1号 コダック株式会社内

(72)発明者 河野 誠

東京都中央区日本橋小網町6番1号 コダック株式会社内

F ターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 EE28 FF11 GG12 JJ02 JJ03 JJ05

专利名称(译)	有机EL表示装置		
公开(公告)号	JP2005284172A	公开(公告)日	2005-10-13
申请号	JP2004101143	申请日	2004-03-30
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
[标]发明人	水越誠一 森信幸 小野村高一 河野誠		
发明人	水越 誠一 森 信幸 小野村 高一 河野 誠		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2320/0285 G09G2320/029 G09G2320/043		
FI分类号	G09G3/30.H G09G3/30.K G09G3/20.611.H G09G3/20.631.V G09G3/20.641.D G09G3/20.641.P G09G3/20.642.A H05B33/14.A G09G3/20.642.P G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA22 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BB13 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF01 5C380/CF05 5C380/CF13 5C380/CF18 5C380/CF19 5C380/CF20 5C380/CF27 5C380/CF41 5C380/CF43 5C380/CF48 5C380/CF49 5C380/CF62 5C380/DA06 5C380/DA32 5C380/DA39 5C380/EA02 5C380/EA05 5C380/FA03 5C380/FA22 5C380/FA28		
代理人(译)	吉田健治 石田 純		
其他公开文献	JP4855648B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：有效地执行亮度校正。校正增益产生电路和校正偏移产生电路包括对应于像素位置的驱动TFT的VI特性的增益（例如，对于每个水平线），对应于阈值电平的偏移的校正值的发生。可以通过乘法器22根据输入图像数据的像素位置乘以校正增益并且通过加法器28添加校正偏移来校正图像数据，使得在屏幕上显示的变化的发生可以预防。点域4

