

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2004-341241

(P2004-341241A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int.Cl.⁷

G O 9 G 3/30

G O 9 F 9/30

G O 9 G 3/20

H05B 33/14

F I

G O 9 G 3/30

GO 9 F 9/30

GO 9 F 9/30

G O 9 G 3/20

G O 9 G 3/20

テーマコード (参考)

3K007

5C080

5C094

審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2003-137728 (P2003-137728)

(22) 出願日 平成15年5月15日 (2003. 5. 15)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100075258

弁理士 吉田 研二

(74) 代理人 100096976

弁理士 石田 純

(72) 發明者 中井 慎吾

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

Fターム(参考) 3K007 AB17 DB03 GA00 GA04

5C080 AA06 BB05 DD08 FF07 FF11

JJ02 JJ03

5C094 AA13 AA53 BA03 BA29 CA19

DA13 DB04 EA04 FB14 FB19

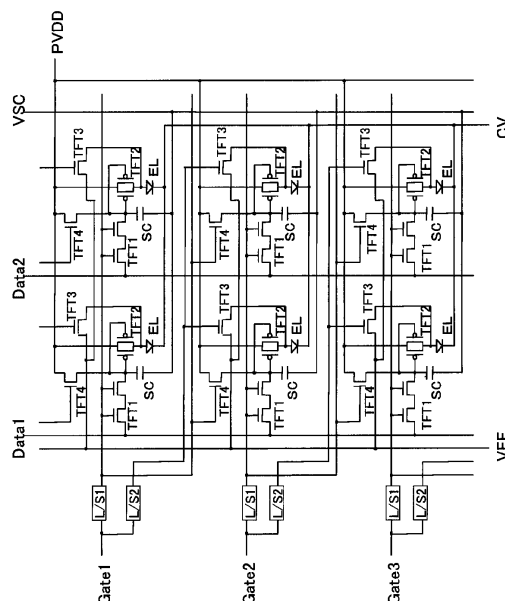
(54) 【発明の名称】 有機EL画素回路

(57) 【要約】

【課題】有機EL素子における残像を防止するトランジスタを効果的に駆動する。

【解決手段】有機EL素子ELの上側端とマイナス電源VEEを接続する放電用トランジスタTFT3と、保持容量SCの上側端を電源PVDDに接続する制御トランジスタTFT4を設ける。TFT3を前段のゲートライン用出力GeteをレベルシフタL/S2でシフトした電圧により駆動し、TFT4は前段のゲートラインと同じくゲートライン用出力GeteをレベルシフタL/S1でシフトした電圧により駆動する。これによって、両トランジスタTFT3、4をそれぞれに適した電圧で駆動することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

有機 E L 画素への駆動電圧の印加を制御する有機 E L 画素回路において、
有機 E L 素子の駆動電流を制御する駆動トランジスタと、
この駆動トランジスタを制御する制御電圧を保持する保持容量と、
保持容量に保持されている制御電圧を制御して前記駆動トランジスタ介する前記駆動電流
を制御する制御トランジスタと、
有機 E L 素子に生じる容量に蓄積される電荷を放電する放電用トランジスタと、
を有し、
前記制御トランジスタと、放電用トランジスタを制御する制御電圧を異なる電圧に設定す
ることを特徴とする有機 E L 画素回路。 10

【請求項 2】

請求項 1 に記載の有機 E L 画素回路において、
前記放電用トランジスタを制御する制御電圧を前記制御トランジスタを制御する制御電圧
より低い電圧に設定することを特徴とする有機 E L 画素回路。

【請求項 3】

請求項 1 または 2 に記載の有機 E L 画素回路において、
前記制御トランジスタと、放電用トランジスタを制御する制御電圧は、レベルシフト回路
を使用することによって、互いに異なる電圧とすることを特徴とする有機 E L 画素回路。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 つに記載の有機 E L 画素回路において、
前記有機 E L 画素はマトリクス配置されており、行方向の各画素は同一ゲートラインによ
り選択され、
前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲー
トラインによって、駆動されて有機 E L の容量に蓄積される電荷を放電することを特徴と
する有機 E L 画素回路。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

有機 E L 画素への駆動電圧の印加を制御する有機 E L 画素回路に関する。 30

【0002】

【従来の技術】

従来より、フラットパネルディスプレイとして、有機 E L パネルが知られている。この有
機 E L パネルは各画素が自発光するため、液晶のようにバックライトなどを必要とせず、
明るい表示が可能であるという利点がある。

【0003】

図 4 に、従来の薄膜トランジスタ (T F T) を利用した有機 E L パネルにおける画素回路
の構成例を示す。有機 E L パネルは、このような画素をマトリクス配置して構成される。

【0004】

行方向に伸びるゲートラインには、ゲートラインによって選択される n チャンネル薄膜ト
ランジスタである選択トランジスタ T F T 1 (以下、単に T F T 1 という) のゲートが接
続されている。この T F T 1 のドレインには列方向に伸びるデータラインが接続されてお
り、そのソースには他端が保持容量電源ラインに接続された保持容量 S C が接続されてい
る。また、T F T 1 のソースと保持容量 S C の接続点は、p チャンネル薄膜トランジスタ
である駆動トランジスタ T F T 2 (以下、単に T F T 2 という) のゲートに接続されてい
る。そして、この T F T 2 のソースが電源 P V D D に接続され、ドレインが有機 E L 素子
E L に接続されている。なお、有機 E L 素子 E L の他端はカソード電源 C V に接続されて
いる。 40

【0005】

従って、ゲートラインが H レベルの時に T F T 1 がオンとなり、そのときのデータライン 50

のデータが保持容量 S C に保持される。そして、この保持容量 S C に維持されているデータ（電位）に応じて T F T 2 がオンオフされ、T F T 2 がオンしている場合に有機 E L 素子 E L に電流が流れ、発光する。

【0006】

このようにして、各画素の発光が制御される。なお、保持容量 S C があるため、T F T 1 がオフした後も有機 E L 素子 E L の発光が可能となる。通常は、保持容量 S C は次のゲートラインの選択まで、T F T 2 をオンまたはオフを維持する。

【0007】

【発明が解決しようとする課題】

ここで、上述のような T F T を利用した有機 E L パネルにおいて、マトリクス状に配置された各画素は、有機 E L 素子、T F T 1、T F T 2 を含め同一の基板上に積層形成されている。従って、有機 E L 素子 E L に寄生容量が発生する。 10

【0008】

このため、T F T 2 がオフされた状況においても、有機 E L 素子の持つ容量に蓄積された電荷に応じて、有機 E L 素子 E L に電流が流れ、残像が発生するという問題がある。すなわち、有機 E L 素子をオンする場合には高速応答で動作するが、有機 E L 素子のオフの際には有機 E L の容量の影響で応答が遅くなり残像が生じてしまうという問題があった。

（関連技術）

【0009】

そこで、本出願人は、特願 2001-38642 号において、有機 E L 素子に生じる容量に蓄積される電荷を放電する放電用トランジスタを設けることを提案した。 20

【0010】

この構成によれば、放電用トランジスタによって、有機 E L の容量に蓄積されている電荷を放電できる。そこで、有機 E L 素子がオンからオフになったときに、有機 E L の容量に蓄積されている電荷によってオン状態が保持され残像が生じることを防止することができる。

【0011】

一方、各画素は、有機 E L 素子への駆動電流印加を制御する駆動トランジスタへの制御電圧を保持する保持容量を有している。このため、放電用トランジスタをオンする際に駆動トランジスタがオンしている場合も生じる。そして、駆動トランジスタと放電トランジスタの両方がオンしていると、放電トランジスタに大きな電流が流れる可能性がある。 30

【0012】

そこで、上記出願においては、保持容量に保持されている制御電圧を制御して前記駆動トランジスタをオフする制御トランジスタをさらに設けた。そして、制御トランジスタにより保持容量に充電することで、放電用トランジスタをオンする際に駆動トランジスタをオフすることができる。

【0013】

ここで、このような放電トランジスタによる放電や制御トランジスタによる充電は、自己の画素が選択される前に行うのが好ましい。例えば、前段の画素選択のタイミングで動作させることが考えられ、その場合前段のゲートラインで制御することができる。このゲートラインは、駆動トランジスタとデータラインを接続するスイッチトランジスタのオンオフを制御するラインである。そして、制御トランジスタは、駆動トランジスタをオンオフするものであり、スイッチトランジスタと同様の電圧でオンオフすればよいが、放電トランジスタについては、必ずしも同じ電圧で動作させればよいとは限らない。 40

【0014】

すなわち、放電トランジスタは、有機 E L の発光時には、確実にオフするとともに、駆動トランジスタが完全にオフした後に放電を開始した方がよい。また、この放電用トランジスタにかかる電圧は、制御用トランジスタとは異なるため、適切な制御電圧は異なると考えられる。

【0015】

本発明は上記課題に鑑みなされたものであり、放電トランジスタを適切に駆動できる有機 E L 画素回路を提供することを目的とする。

【0016】

【課題を解決するための手段】

本発明は、有機 E L 画素への駆動電圧の印加を制御する有機 E L 画素回路において、有機 E L 素子の駆動電流を制御する駆動トランジスタと、この駆動トランジスタを制御する制御電圧を保持する保持容量と、保持容量に保持されている制御電圧を制御して前記駆動トランジスタ介する前記駆動電流を制御する制御トランジスタと、有機 E L 素子に生じる容量に蓄積される電荷を放電する放電用トランジスタと、を有し、前記制御トランジスタと、放電用トランジスタを制御する制御電圧を異なる電圧に設定することを特徴とする。

10

【0017】

このように本発明によれば、放電用トランジスタを自己の行より前のゲートラインによって、駆動することにより、予め有機 E L の容量の放電が行われ、確実な残像発生防止が行える。また、制御トランジスタにより前記駆動トランジスタをオフすることで、放電トランジスタによる放電を行うときに、駆動トランジスタをオフすることができる。

【0018】

そして、2つのレベルシフタをゲートラインに対して設け、一方のレベルシフタの出力によって、対応する水平ラインの T F T 1 及び次の水平ラインの制御トランジスタを駆動し、他方のレベルシフタ 2 の出力により制御トランジスタと同じ次の水平ラインの放電トランジスタを駆動する。これによって、制御トランジスタ及び放電トランジスタの両方をそれぞれのトランジスタに適切な電圧で設定することができる。

20

【0019】

また、前記放電用トランジスタを制御する制御電圧を前記制御トランジスタを制御する制御電圧より低い電圧に設定することが好適である。

【0020】

前記制御トランジスタと、放電用トランジスタを制御する制御電圧は、レベルシフト回路を使用することによって、互いに異なる電圧とすることが好適である。これによって、タイミングを同一に保持しつつ電圧を変更することができる。

【0021】

また、前記有機 E L 画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲートラインによって、駆動されて有機 E L の容量に蓄積される電荷を放電することが好適である。

30

【0022】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。

【0023】

図 1 は、本実施形態の画素回路の 6 画素分の構成と一部の配線を概略的に示す図である。この中の 1 画素分の構成について説明する。水平方向に伸びるゲートライン (G e t e 1 ~ G e t e 3) には、n チャンネルの T F T からなる T F T 1 が接続されている。この T F T 1 は、T F T を直列接続したダブルゲート T F T として形成されている。なお、必ずしもダブルゲートにすることはない。

40

【0024】

そして、この T F T 1 の他端には、保持容量 S C の一端が接続されている。保持容量 S C の他端は、パネルのマイナス電源である V E E に接続されている。T F T 1 と保持容量 S C の接続点には、p チャンネル T F T からなる駆動トランジスタ T F T 2 のゲートが接続されている。この T F T 2 は、2つの T F T を並列接続した構成になっている。そして、T F T 2 の一端がパネル電源 P V D D に接続され、他端が有機 E L 素子 E L に接続されている。なお、有機 E L 素子の他端は、反対側の基板に設けられているカソードに接続されている。また、有機 E L 素子は、通常アノード、カソード間に正孔輸送層、有機発光層、

50

電子輸送層を有するものであり、各種の材料で構成される素子が利用できる。

【0025】

ここで、TFT1と保持容量SCの接続点には、制御トランジスタTFT4の一端が接続され、このTFT4の他端は電源PVDに接続されている。そして、この制御トランジスタTFT4のゲートは、前段のゲートラインに接続されている。すなわち、各画素のTFT4においては、自己の画素のTFT1が接続されるゲートラインより1水平ライン上のゲートラインに接続されている。例えば、左側の真ん中のGete2によってTFT1が制御される画素のTFT4のゲートには、垂直ドライバからの出力Gete1がレベルシフタL/S1で所定の電圧にレベルシフトして供給されるようになっている。

【0026】

従って、前段のゲートラインがHとなるタイミングでTFT4がオンして、TFT2のゲートがPVDに接続され、TFT2がオフされる。

【0027】

なお、このゲートラインは、垂直ドライバからの出力Gete(1~3)により選択時にH(高レベル)、非選択時にL(低レベル)に設定され、この電圧は、レベルシフタL/S1によってTFT1を適切にできる所定の電圧に設定されている。

【0028】

また、TFT2と有機EL素子ELとの接続点には、他端がVEEに接続された放電トランジスタTFT3の一端が接続されている。そして、このTFT3のゲートは、前述のTFT4と同様に前段(1つ上)の画素についての垂直ドライバ出力Geteに接続されているが、垂直ドライバの出力GeteがレベルシフタLS2でレベルシフトされて供給される。

【0029】

すなわち、垂直ドライバの各出力Gete1~Gete3は、分岐され、分岐した各ラインにレベルシフタL/S2がそれぞれ設けられている。すなわち、レベルシフタL/S1の出力が該当水平ラインのゲートラインとなり、次の水平ラインの各画素のTFT4のゲートに接続され、レベルシフタL/S2の出力が次の水平ラインの各画素のTFT3のゲートに接続されている。

【0030】

そして、レベルシフタL/S2の出力は、レベルシフタL/S1の出力に比べ、低電圧である。従って、TFT3は、駆動時においてそのゲートに印加される電圧がTFT4に比べ低い。

【0031】

なお、図においては、一部のみを示したが、レベルシフタL/S1、L/S2は、基本的にすべての垂直ドライバ出力に対し設ける。ただし、最下段の垂直ドライバ出力を最上段のTFT3、4のゲートへ配線するのは効率的でない。そこで、垂直ドライバの出力を1つ増やし、一番上の垂直ドライバ出力には画素を対応させず、TFT3、TFT4のドライブだけに利用するとよい。

【0032】

このような有機EL画素回路において、垂直ドライバにより、ゲートラインが順次オンされる。すなわち、垂直同期信号によって規定される1画面の表示において、水平同期信号に応じて、表示を行う水平ラインに対応したゲートラインが順次オンされる。

【0033】

また、水平ドライバによって、1つのゲートラインがオンしている1水平期間において、データラインが順次ビデオ信号ラインと接続され、各画素に応じたデータがデータライン(Data1~Data3)からTFT1を介し、TFT2のゲート及び保持容量SCに供給される。従って、データの印加は基本的に点順次となる。そして、印加されたデータは保持容量SCに蓄えられ、TFT2のオンまたはオフの状態がデータの印加終了後も保持される。なお、TFT1のゲートへ供給される電圧は、データラインのデータを保持容量SCに確実に取り込めることができるような電圧にL/S1によってレベルシフトされ

10

20

30

40

50

ている。

【0034】

そして、このTFT2のオンの場合に、電源PVD Dからの電流が有機EL素子ELに流れ、有機EL素子ELが発光する。

【0035】

なお、本実施形態では、TFT2がpチャンネルであり、保持容量SCに電荷が保持されHレベルとなっているときにオフ、電荷が放電されLレベルとなっているときにオンとなる。

【0036】

本実施形態においては、TFT4が前段のTFT1のオンと同時にオンする。これによって、保持容量Cの上端電圧がPVD Dに設定され、その水平ラインのTFT4がオフされる。すなわち、その水平ラインが選択される前の段階で、その水平ラインのTFT2が一旦オフされる。

【0037】

一方、TFT3のゲートもTFT4と同一のタイミングでHになる。しかし、レベルシフタL/S2の出力HはレベルシフタL/S1に比べ低電圧である。このTFT3ゲートに供給されるHは、TFT4のHに比べ低電圧である。このため、TFT4の方がTFT3より先にオンになる。そこで、TFT4がオンとなりTFT2がオフになって段階で、TFT3がオンになり有機EL素子ELに蓄積された電荷を効果的に放電することができる。

20

【0038】

また、TFT4のゲートに印加する制御電圧は、レベルシフタL/S2により任意に設定することができる。従って、1水平ラインに配置されているTFT4の数に合わせてこれらをオンできる電圧に設定することができる。従って、TFT4について最適の電圧でオンオフ制御が行える。また、TFT4のオフ時のゲート電圧を低い電圧とすることができ、有機EL素子ELがオンしているときにおいても確実にオフすることができる。

【0039】

このように、有機EL素子ELの上側、すなわちTFT2のドレインがTFT1のオンの1水平ライン前の段階で、マイナス電源VEEに接続される。従って、有機EL素子ELの容量に蓄積された電荷が放電される。そこで、自己のゲートラインが選択されて書き込まれたデータが黒であり、TFT2がオフされたときに有機EL素子ELに電流が流れることはなく、残像の発生を確実に防止することができる。

30

【0040】

例えば、図2に示すように、ゲートライン1、2、3は、1垂直期間の中で、1水平期間ずつ順番にHになる。ゲートライン1がHの時に次段のゲートライン2によってオンするTFT1に接続されたTFT4およびELに接続されているTFT3がオンする。

【0041】

これによって、2ライン目の画素の補助容量SCがPVD Dにより充電されTFT2がオフする。そして、この状態で、対応するTFT3がオンして有機EL素子ELの容量に蓄積された電荷が放電される。

40

【0042】

以上説明したように、本実施形態では、2つのレベルシフタL/S1、L/S2を各ゲートラインに設けた。従って、垂直ドライバからの出力Gateは、2つの電圧値の異なる信号にシフトされる。そして、レベルシフタL/S1の出力によって、対応する水平ラインのTFT1及び次の水平ラインのTFT4を駆動し、レベルシフタL/S2の出力によりTFT4と同じ次の水平ラインのTFT3を駆動する。従って、TFT1の駆動を十分なものとしつつ、TFT3のゲート電圧を比較的低くすることができる。図2にでは、TFT4のゲート制御電圧を実線で示し、TFT3のゲート制御電圧を破線で示してある。このように、TFT4のゲート制御電圧はTFT3のゲート制御電圧に対し、高電圧側にシフトしている。

50

【0043】

次に、レベルシフタ L/S 1、L/S 2 の構成について説明する。これらレベルシフタ L/S 1、L/S 2 は、基本的に同じ構成であり、出力段における正電源及び負電源の電圧が異なっているだけである。例えば L/S 1 の出力は、 $-2 \sim 8 \text{ V}$ 、L/S 2 の出力は $-5 \sim 5 \text{ V}$ となるように、正電源、負電源の電源電圧が決定される。

【0044】

図 3 は、レベルシフタ L/S 1、L/S 2 の構成例を示す。このように、レベルシフタは、第 1 の p チャンネルトランジスタ 11、第 2 の p チャンネルトランジスタ 12、インバータ 13、第 1 の n チャンネルトランジスタ 14、第 2 の n チャンネルトランジスタ 15、第 3 の n チャンネルトランジスタ 16、第 4 の n チャンネルトランジスタ 17、正電源 18、負電源 19 を有する。 10

【0045】

入力信号 S i g 1 を反転した反転信号 * S i g 1 が、第 1 の p チャンネルトランジスタ 11 のゲート、第 1 の n チャンネルトランジスタ 14 のゲートに入力されるとともに、入力信号 S i g 1 が、第 2 の p チャンネルトランジスタ 12 のゲート、第 2 の n チャンネルトランジスタ 15 のゲートに入力される。第 1 の p チャンネルトランジスタ 11、第 1 の n チャンネルトランジスタ 14、第 3 の n チャンネルトランジスタ 16 はこの順に互いに直列に接続され、第 2 の p チャンネルトランジスタ 12、第 2 の n チャンネルトランジスタ 15、第 4 の n チャンネルトランジスタ 17 もこの順に互いに直列に接続されている。そして、第 1 の p チャンネルトランジスタ 11 及び第 2 の p チャンネルトランジスタ 12 のソースは正電源 18 に接続され、第 3 の n チャンネルトランジスタ 16 及び第 4 の n チャンネルトランジスタ 17 のドレインは負電源 19 に接続されている。第 1 の p チャンネルトランジスタ 11 と第 1 の n チャンネルトランジスタ 14 の接続点が第 4 の n チャンネルトランジスタ 17 のゲートに接続され、第 2 の p チャンネルトランジスタ 12 と第 2 の n チャンネルトランジスタ 15 との接続点が第 3 の n チャンネルトランジスタ 16 のゲートに接続されて相補構造を形成している。出力信号 S i g 2 は第 2 の p チャンネルトランジスタ 12 と第 2 の n チャンネルトランジスタ 17 の接続点から出力されている。そして、最終段に、バッファとしてのインバータ 13 が配置されている。 20

【0046】

なお、垂直ドライバの各段出力が 1 つの場合には、インバータによって、反転信号を作り、垂直ドライバ出力と、その反転出力をレベルシフタ L/S 1、L/S 2 に入力すればよい。 30

【0047】

次に、本実施形態のレベルシフタの動作について説明する。

【0048】

まず、入力信号 S i g 1 がローの時、
 第 1 の p チャンネルトランジスタ 11：オフ
 第 2 の p チャンネルトランジスタ 12：オン
 第 1 の n チャンネルトランジスタ 14：オン
 第 2 の n チャンネルトランジスタ 15：オフ
 であり、第 2 の p チャンネルトランジスタ 12 を介してインバータ 3 が正電源 18 に接続されるので、出力信号 S i g 2 はロー出力として負電源電圧 V 3 となる。そして、第 2 の p チャンネルトランジスタ 12 を介して第 3 の n チャンネルトランジスタ 16 のゲートが正電源 18 に接続されるため、
 第 3 の n チャンネルトランジスタ 16：オン
 となり、第 1、第 2 の n チャンネルトランジスタ 14、16 を介して第 4 の n チャンネルトランジスタ 17 のゲートが負電源 19 に接続されるので
 第 4 の n チャンネルトランジスタ 17：オフ
 となる。 40

【0049】

次に、入力信号 S i g 1 がハイとなったとき、

第 1 の p チャネルトランジスタ 1 1 : オン

第 2 の p チャネルトランジスタ 1 2 : オフ

第 1 の n チャネルトランジスタ 1 4 : オフ

第 2 の n チャネルトランジスタ 1 5 : オン

である。そして、第 1 の p チャネルトランジスタ 1 1 を介して正電源 1 8 の電圧が第 4 の n チャネルトランジスタ 1 7 のゲートに印加され、

第 4 の n チャネルトランジスタ 1 7 : オン

となり、第 2、第 4 の n チャネルトランジスタ 1 5、1 7 を介してインバータ 1 3 が負電源 1 9 に接続されるので、出力信号 S i g 2 はハイ出力として正電源電圧 V 4 となる。そして、n チャネルトランジスタ 1 5、1 7 を介して第 3 の n チャネルトランジスタ 1 6 のゲートが負電源 1 9 に接続されるので、

第 3 の n チャネルトランジスタ 1 6 : オフ

となる。

【0050】

本実施形態のレベルシフタは、反転信号 * S i g 1 が第 1 の p チャネルトランジスタ 1 1 及び第 1 の n チャネルトランジスタ 1 4 のゲートに入力されるため、S i g 1 がハイ、ローのいずれの時にも、このどちらかのトランジスタがオン、もう一方のトランジスタがオフとなる。従って、トランジスタそのものの遷移時間が等しければ、貫通電流が流れることはない。同様に、第 2 の p チャネルトランジスタ 1 2、第 2 の n チャネルトランジスタ 1 5 のゲートに、入力信号 S i g 1 が入力されるため、いずれかのトランジスタがオフとなり、貫通電流が流れない。

【0051】

本実施形態の更なる利点として、動作速度が早いことが挙げられる。従来のレベルシフタは貫通電流が流れるため、インバータ 5 3 を切り換えるのに十分な電荷を供給するのに時間がかかり、その結果、特に出力信号 S i g 2 をローからハイに変化させるとき、規定された電圧まで出力電圧が上昇するのに時間がかかるのである。これに対し、本実施形態では、貫通電流が小さいので、インバータ 1 3 が従来に比較して早く切り替わり、出力信号 S i g 2 が早く切り替わる。

【0052】

また、ガラスのような融点の低い絶縁性透明基板上に直接回路を作り込む、低温ポリシリコン T F T の場合、個々のトランジスタの移動度が小さいため、貫通電流の問題はより顕著となる。低温ポリシリコンとは、例えばガラスのような、シリコン基板や石英基板に比較して融点の低い絶縁性透明基板上に、アモルファスシリコンを形成し、これをレーザアニールなどの基板融点（約 700℃）よりも低い温度の工程（数秒以下のごく短い時間であれば 800℃程度に加熱する場合もある）によって結晶化したポリシリコンである。低温ポリシリコンを用いると、ガラス基板上に画素とともに周辺制御回路を作り込めるため、コストが低く、表示装置を小型化できるメリットがある反面、多結晶化する温度が低いので、粒界が多く、ポリシリコンの電荷移動度が低いという短所がある。この低温ポリシリコンを活性層として用いた薄膜トランジスタ（低温ポリシリコン T F T）によって、従来のレベルシフタをガラス基板上に作り込むと、第 2 の n チャネルトランジスタ 1 5 が変化するのに要する時間がさらに長く、即ち多くの貫通電流が流れる。これに対し、本実施形態のレベルシフタであれば、貫通電流が流れる時間は、インバータ 1 3 の出力遷移時間のみで、移動度の低い低温ポリシリコン T F T であっても、貫通電流を低減することができる。従って、本発明は、低温ポリシリコン T F T を用いたアクティブマトリクス型表示装置に適用してより大きな効果を奏することができる。

【0053】

【発明の効果】

以上説明したように、本発明によれば、放電用トランジスタを自己の行より前のゲートラインによって、駆動することにより、予め有機 E L の容量の放電が行われ、確実な残像発

生防止が行える。また、制御トランジスタにより前記駆動トランジスタをオフすることで、放電トランジスタによる放電を行うときに、駆動トランジスタをオフすることができる。

【0054】

そして、2つのレベルシフタをゲートラインに対して設け、一方のレベルシフタの出力によって、対応する水平ラインのスイッチトランジスタ及び次の水平ラインの制御トランジスタを駆動し、他方のレベルシフタ2の出力により制御トランジスタと同じ次の水平ラインの放電トランジスタを駆動する。これによって、制御トランジスタ及び放電トランジスタの両方をそれぞれのトランジスタに適切な電圧で設定することができる。

【0055】

また、前記制御トランジスタと、放電用トランジスタを制御する制御電圧は、レベルシフト回路を使用することによって、互いに異なる電圧とすることで、タイミングを同一に保持しつつ電圧を変更することができる。

【図面の簡単な説明】

【図1】実施形態の構成を示す図である。

【図2】実施形態の動作を示すタイミングチャートである。

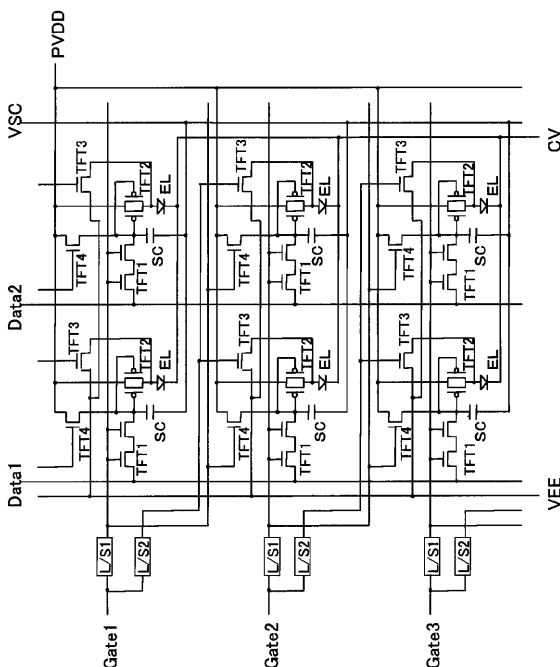
【図3】レベルシフタの構成を示す図である。

【図4】従来の画素回路の構成を示す図である。

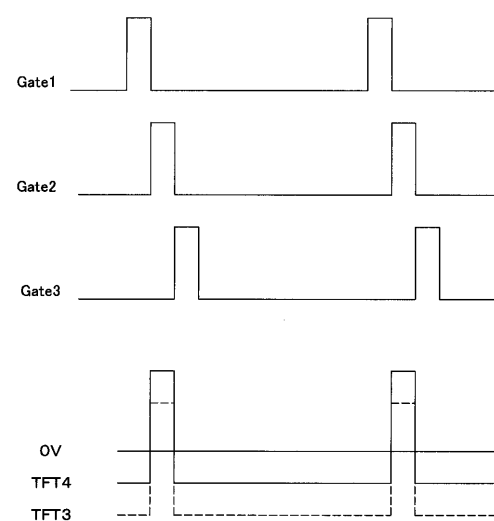
【符号の説明】

TFT1 選択トランジスタ、TFT2 駆動トランジスタ、TFT3 放電用トランジスタ、TFT4 制御トランジスタ、SC 保持容量、EL 有機EL素子。

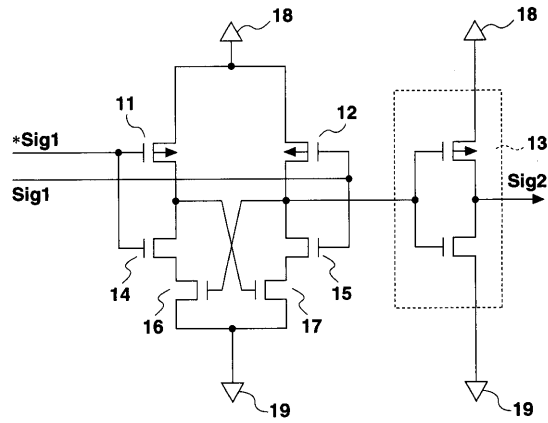
【図1】



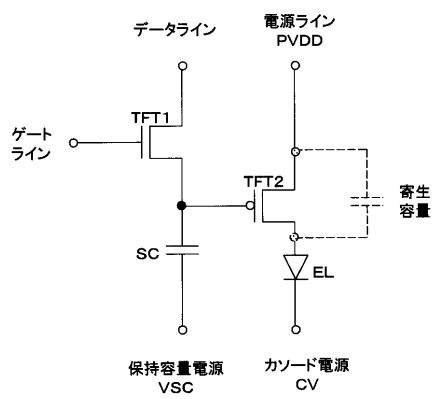
【図2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 4 B

H 0 5 B 33/14 A

专利名称(译)	有机EL画素回路		
公开(公告)号	JP2004341241A	公开(公告)日	2004-12-02
申请号	JP2003137728	申请日	2003-05-15
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	中井慎吾		
发明人	中井 慎吾		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H05B33/14		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.621.F G09G3/20.621.L G09G3/20.624.B H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD08 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C094/AA13 5C094/AA53 5C094/BA03 5C094/BA29 5C094/CA19 5C094/DA13 5C094/DB04 5C094/EA04 5C094/FB14 5C094/FB19 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB24 5C380/BA05 5C380/BA10 5C380/BA38 5C380/BA40 5C380/CB01 5C380/CB14 5C380/CC01 5C380/CC26 5C380/CC33 5C380/CC38 5C380/CC52 5C380/CC55 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD014 5C380/CD016 5C380/CD022 5C380/CE04 5C380/CF23 5C380/CF24 5C380/DA02		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

解决的问题：有效地驱动晶体管以防止有机EL元件中的残像。 提供了将有机EL元件EL的上端与负电源VEE连接的放电晶体管TFT3以及将存储电容器SC的上端与电源PVDD连接的控制晶体管TFT4。 与前级栅极线一样，TFT3由电平移位器L / S2移位前一级栅极线输出Gate所获得的电压驱动，而TFT4由电平移位器L / S1移位电平移位器L / S1中的栅极线输出Gate所获得的电压驱动。 结果，可以用适合于各自的电压来驱动晶体管TFT3和TFT4。 [选型图]图1

