

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-240248
(P2004-240248A)

(43) 公開日 平成16年8月26日(2004.8.26)

(51) Int.Cl.⁷

G09G 3/30
G09F 9/00
G09G 3/20
H03K 17/08
H03K 17/687

F I

G09G 3/30 J
G09F 9/00 346A
G09G 3/20 621B
G09G 3/20 622B
G09G 3/20 622C

テーマコード (参考)

3K007
5C080
5G435
5J055

審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2003-30448 (P2003-30448)
(22) 出願日 平成15年2月7日(2003.2.7)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 100071135
弁理士 佐藤 強
(74) 代理人 100119769
弁理士 小川 清
(72) 発明者 間瀬 徳之
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 二之湯 寿典
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

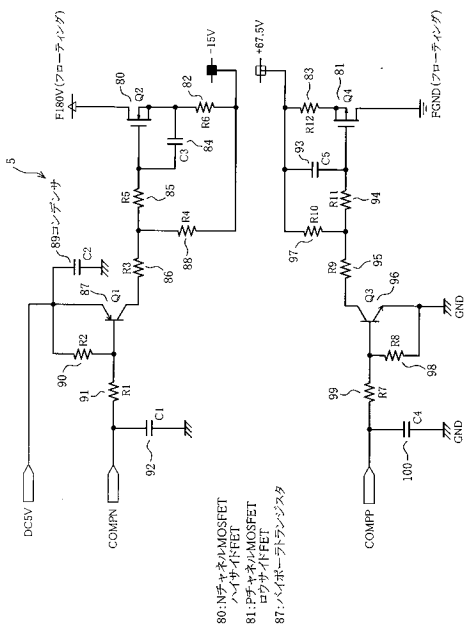
(54) 【発明の名称】 E Lディスプレイの駆動装置

(57) 【要約】

【課題】 F E Tと、そのF E Tを駆動するバイポーラトランジスタとの間の配線インピーダンスを低下させることが可能なE Lディスプレイの駆動装置を提供する。

【解決手段】 駆動装置121に、走査側ドライバIC2, 3が搭載される回路基板72と表示制御回路74が搭載される回路基板71とを備え、回路基板72には、走査電圧生成回路5を構成するF E T80, 81と、それらのF E T80, 81を駆動するバイポーラトランジスタ87, 96も共に搭載する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

走査電極とデータ電極との交点に形成される無機 E L 素子を画素としてなる E L ディスプレイを駆動するもので、オフセット電圧と選択電圧とに基づいて出力される走査電圧を前記走査電極に印加可能に構成される走査側駆動回路と、データ電圧を前記データ電極に印加するデータ側駆動回路とを備え、前記走査電圧と前記データ電圧との合成電圧を線順次走査方式により各画素に印加する E L ディスプレイ駆動装置において、前記走査側駆動回路は、前記走査電圧を両極性で出力可能であり、出力段に配置される F E T と、この F E T を駆動するバイポーラトランジスタとを備えて構成される走査電圧生成回路を備え、前記走査側駆動回路が搭載される第 1 回路基板と、前記走査側駆動回路に駆動制御信号を出力する制御回路が搭載される第 2 回路基板とを備えたことを特徴とする E L ディスプレイの駆動装置。

10

【請求項 2】

前記走査電圧生成回路は、バイポーラトランジスタの電源側端子とグランドとの間に接続されるコンデンサを備えることを特徴とする請求項 1 記載の E L ディスプレイの駆動装置。

【請求項 3】

前記走査電圧生成回路は、前記制御回路のグランドを基準とした場合に、一端側がフローティンググランドに接続されるロウサイド F E T と一端側がフローティング電圧電源に接続されるハイサイド F E T と、前記ロウサイド F E T の他端側に接続される正極性電圧電源と、前記ハイサイド F E T の他端側に接続される負極性のオフセット電圧電源とを備えて構成されていることを特徴とする請求項 1 又は 2 記載の E L ディスプレイの駆動装置。

20

【請求項 4】

前記走査電圧生成回路は、前記ロウサイド F E T が P チャネル M O S F E T で構成されると共に、前記ハイサイド F E T が N チャネル M O S F E T で構成され前記バイポーラトランジスタは、エミッタが正極性のトランジスタ駆動電圧電源に接続されると共に、コレクタ側が前記 N チャネル M O S F E T のゲートに接続される P N P 型トランジスタで構成され、コレクタ側が前記 P チャネル M O S F E T のゲートに接続されると共に、エミッタが前記制御回路のグランドに接続される N P N 型トランジスタを備え、前記 2 つのトランジスタのベースに、前記制御回路より駆動制御信号が与えられるように構成されていることを特徴とする請求項 3 記載の E L ディスプレイの駆動装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、走査電極とデータ電極との交点に形成される無機 E L 素子を画素としてなる E L ディスプレイを線順次走査方式で駆動する駆動装置に関する。

40

【0002】

【従来の技術】

特許文献 1 には、所謂オフセット駆動方式の E L 表示装置が開示されている。即ち、E L 素子に交流電圧を印加して発光させる際に、走査側の駆動回路ではグランド（接地）レベルよりも高いオフセット電圧を予め印加しておき、発光タイミングにおいて選択電圧を重畳することで走査側のドライバ I C に印加される電圧を見かけ上低下させる構成である。

【0003】

そして、特許文献 1 では、オフセット電圧を生成する回路を C M O S F E T で構成しており、オフセット電圧に選択電圧を重畳するために、N チャネル F E T のドレインに正の選

50

択電圧を印加し、ソースには負のオフセット電圧を印加している。

【0004】

図8は、ELパネル1とその駆動装置70との全体構成を示すものである。駆動装置70は三枚の回路基板71乃至73に分かれて構成されており、回路基板71には表示制御回路74が搭載され、回路基板72には走査側ドライバIC2, 3と電源回路60が、回路基板73にはデータ側ドライバIC4が搭載されている。

【0005】

そして、回路基板71と72との間、及び回路基板71と73との間は、夫々ハーネス76及び77で接続されている。また、回路基板72とのELパネル1との間、及び回路基板73とELパネル1との間は、夫々フレキシブル基板78及び79で接続されている。

10

【0006】

【特許文献1】

特開平9-54566号公報

【0007】

【発明が解決しようとする課題】

以上のように構成される場合、走査側ドライバIC2に存在するNチャネルFETを駆動するためゲートに印加する電圧は負電位が基準となり、表示制御回路74の出力端子からはゲート電圧を直接出力して駆動することができず、バイポーラトランジスタTrを介して駆動する必要がある。そして、このトランジスタTrの動作電源としては5V程度が望ましいが、そのように低い電圧は走査側ドライバIC2では扱わない。

20

【0008】

このような事情から、従来は、FET駆動用のトランジスタTrを表示制御回路74側の回路基板71に配置していた。そのため、トランジスタTrとFETとの間の配線が長くなり、配線インピーダンスが高くなり電磁波などのノイズの影響を受け易い状態にあり、誤動作や素子破壊を発生させる原因となっていた。

【0009】

本発明は上記事情に鑑みてなされたものであり、その目的は、FETと、そのFETを駆動するバイポーラトランジスタとの間の配線インピーダンスを低下させることが可能なELディスプレイの駆動装置を提供することにある。

【0010】

30

【課題を解決するための手段】

請求項1記載のELディスプレイの駆動装置によれば、走査側駆動回路が搭載される第1回路基板と制御回路が搭載される第2回路基板とを備え、第1回路基板には、走査電圧生成回路を構成するFETとそのFETを駆動するバイポーラトランジスタも共に搭載される。従って、バイポーラトランジスタとFETとの間の配線インピーダンスを大きく低下させることができ、耐ノイズ性を向上させることができる。

【0011】

請求項2記載のELディスプレイの駆動装置によれば、走査電圧生成回路に、バイポーラトランジスタの電源側端子とグランドとの間に接続されるコンデンサを備えるので、動作電源に印加されるノイズを吸収することができ、耐ノイズ性を更に向上させることができる。

40

【0012】

請求項3記載のELディスプレイの駆動装置によれば、ハイサイドFETをオフ、ロウサイドFETをオンさせると、フローティンググランドは、正極性のオフセット電圧VO1に電位が確定する。この時、ハイサイドFETのフローティング電圧VFSは、フローティンググランドの電位がオフセット電圧VO1に確定したことにより、電位が(VO1 + VFS)に確定することになる。

一方、ハイサイドFETをオン、ロウサイドFETをオフさせると、フローティング電圧VFSには、負極性のオフセット電圧-VO2が印加されるため、フローティンググランドの電位は(-VO2 - VFS)に確定することになる。

50

【 0 0 1 3 】

このように、異なるフローティング電位の間に両極性のオフセット電圧電源を配置し、2つのFETを介してフローティング電位をグランド基準の電位に確定する構成によれば、フローティング電圧VFSとオフセット電圧VO1、-VO2の電位を調整することで、EL素子を発光させるのに必要な走査電圧に対するオフセット電圧の設定を容易に行うことができる。また、オフセット電圧を高め設定した場合に回路にかかる耐圧や発熱の負担を軽減することができるので、走査側駆動回路をより低コストで構成することが可能となる。

【 0 0 1 4 】

請求項4記載のELディスプレイの駆動装置によれば、エミッタが正極性の選択電圧電源に接続されるPNPトランジスタはNチャネルFETを駆動し、エミッタが制御回路のグランドに接続されるNPN型トランジスタは、PチャネルFETを駆動する。従って、これら2つのバイポーラトランジスタによって出力段のFETを駆動することができる。

【 0 0 1 5 】

【 発明の実施の形態 】

以下、本発明を車両に搭載されるELパネルに適用した場合の一実施例について図1乃至図7を参照して説明する。尚、図8と同一部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。図5は、図8相当図であるが、回路基板(第2回路基板)71側のトランジスタTrは取り除かれている。また、電源回路60は異なる構成の電源回路75に置き換えられている。

【 0 0 1 6 】

図4は、ELパネル(ELディスプレイ)1と走査側ドライバIC(走査側駆動回路)2、3並びにデータ側ドライバIC(データ側駆動回路)4を中心とする構成を示すものである。尚、図4に示す基本構成は特許文献1に開示されているものと略同様であり、以下、概略的に説明する。

【 0 0 1 7 】

ELパネル1は、透明電極(走査電極)、背面電極(データ電極)を行列状に複数配置して、マトリクス表示を行うように構成されている。具体的には、行方向に奇数走査電極201、202、・・・数走査電極301、302、・・・が形成され、列方向にデータ電極401、402、403、・・・が形成されている。

【 0 0 1 8 】

走査電極201、301、202、302、・・・とデータ電極401、402、403、・・・との夫々の交差領域には、画素たる無機EL素子511、512・・・、521、・・・が形成されている。このELパネル1の表示駆動を行うために、走査側ドライバIC2、3及びデータ側ドライバIC4が設けられている。

【 0 0 1 9 】

走査側ドライバIC2は、プッシュプルタイプの駆動回路であり、奇数走査電極201、202、・・・に接続されたFET21a、22a、・・・とFET21b、22b、・・・を有し、駆動制御回路20からの出力に従って奇数走査電極201、202、・・・に走査電圧を印加する。また、FET21a、21b、22a、22b、・・・の夫々には寄生ダイオード21c、21d、22c、22d、・・・が形成されており、走査電極を所望の基準電圧に設定する。

【 0 0 2 0 】

走査側ドライバIC3も同様の構成で、駆動制御回路30、FET31a、32a、・・・とFET31b、32b、・・・を有し、偶数走査電極301、302、・・・に走査電圧を供給する。データ側ドライバIC4も同様に、駆動制御回路40、FET41a、42a、・・・とFET41b、42b、・・・を有し、データ電極401、402、403、・・・にデータ電圧を供給する。

【 0 0 2 1 】

走査側ドライバIC2、3におけるFETソース側共通線L1、L2は、図1又は図5に

示す走査電圧生成回路（走査側駆動回路）５のフローティング電圧電源（ $F180V$ ）、フローティンググランド（ $FGND$ ）に夫々接続されている。そして、ソース側共通線 $L1$ 、 $L2$ には、走査電圧生成回路５の動作により走査電圧が供給されるようになっている。尚、走査電圧生成回路５の詳細な構成については後述する。

【００２２】

また、データ側ドライバＩＣ４に対し、データ電圧供給回路７が設けられており（図５では図示を省略）、データ側ドライバＩＣ４のＦＥＴソース側共通線に直流電圧（変調電圧） V_m を供給し、ＦＥＴソース側共通線に接地電圧を供給する。上記構成においてＥＬ素子１１１等を発光させるには、走査電極とデータ電極との間に交流のパルス電圧を印加する必要があり、このためフィールド毎に正負に極性反転するパルス電圧を各走査線毎に作成して駆動する（フィールド反転駆動）。 10

【００２３】

図１は、走査側ドライバＩＣ２、３と共に回路基板（第１回路基板）７２上に構成される走査電圧生成回路５の詳細な電氣的構成を示すものである。走査電圧生成回路５の出力段には、ドレインにフローティング $180V$ （ $F180V$ と称す）が供給されるＮチャネルＭＯＳＦＥＴ（ハイサイドＦＥＴ）８０と、ドレインがフローティンググランド（ $FGND$ ）に接続されるＰチャネルＭＯＳＦＥＴ（ロウサイドＦＥＴ）８１とが配置されている。また、ＦＥＴ８０のソースには、抵抗８２を介して負側のオフセット電源－ $15V$ が与えられており、ＦＥＴ８１のソースには、抵抗８３を介して正側のオフセット電源 $67.5V$ が与えられている。 20

尚、ここでの「フローティング」とは、回路基板７１に搭載されている表示制御回路７４側のグランド（ GND ）を基準電位としないことを言う。

【００２４】

ＦＥＴ８０のゲートは、コンデンサ８４を介してソースに接続されていると共に、２直列抵抗８５及び８６を介してＰＮＰ型のバイポーラトランジスタ８７のコレクタに接続されている。また、抵抗８５及び８６の共通接続点には、抵抗８８を介してオフセット電源－ $15V$ が与えられている。

【００２５】

トランジスタ８７は、ＦＥＴ８０を駆動するものであり、そのエミッタには、動作電源 $5V$ が与えられている。その電源 $5V$ は、回路基板７１上で表示制御回路７４の動作電源として生成されるもので、ハーネス７６を介して回路基板７２に供給されている。また、トランジスタ８７のエミッタ（電源側端子）は、コンデンサ８９を介してグランドに接続されていると共に、抵抗９０を介してベースに接続されている。そして、トランジスタ８７のベースには、抵抗９１を介して表示制御回路７４より制御信号 $COMP_N$ が与えられると共に、コンデンサ９２を介してグランドに接続されている。 30

尚、コンデンサ８９には、例えば容量が $0.1\mu F$ の積層セラミックコンデンサで、低インピーダンス品を用いる。また、トランジスタ８７は、従来技術を示す図８における駆動用トランジスタ T_r に相当するものであり、本実施例では回路基板７２側に配置されている。

【００２６】

一方、ＦＥＴ８１のゲートには、コンデンサ９３を介してオフセット電源 $67.5V$ が与えられており、２直列抵抗９４及び９５を介してＮＰＮ型のバイポーラトランジスタ９６のコレクタに接続されている。また、抵抗９４及び９５の共通接続点には、抵抗９７を介してオフセット電源 $67.5V$ が与えられている。 40

【００２７】

トランジスタ９６は、ＦＥＴ８１を駆動するものであり、そのエミッタはグランドに接続されていると共に抵抗９８を介してベースに接続されている。また、トランジスタ８７のベースには、抵抗９９を介して表示制御回路７４より制御信号 $COMP_P$ が与えられると共に、コンデンサ１００を介してグランドに接続されている。

【００２８】

図 3 は、電源回路 75 の詳細な電氣的構成を示すものである。トランス 101 の一次巻線 102 の一端は、車両のバッテリー + B に接続されていると共にコンデンサ 103 を介してグラウンドに接続されており、他端は、N チャンネル MOS FET 104 を介してグラウンドに接続されている。

【0029】

トランス 101 の二次側には、2 つの二次巻線 105 及び 106 がある。二次巻線 105 には、グラウンドに接続されているタップ 107 が取られており、更にそのタップ 107 を一端とする二次巻線 108 が存在する。また、二次巻線 105 の一端 105 a は整流ダイオード 109 のアノードに接続されており、他端 105 b は整流ダイオード 110 のカソードに接続されている。二次巻線 108 の他端は、整流ダイオード 111 のアノードに接続されている。 10

【0030】

タップ 107 と整流ダイオード 110 のアノードとの間、また、タップ 107 と整流ダイオード 111 のカソードとの間、更にタップ 107 と整流ダイオード 109 のカソードとの間には、夫々平滑用の電解コンデンサ 112, 113, 114 が接続されている。

【0031】

そして、整流ダイオード 109 のカソード側からはオフセット電圧 67.5 V が生成供給され、整流ダイオード 111 のカソード側からはデータ側の駆動電圧 52.5 V が生成供給される。また、整流ダイオード 110 のアノード側からはオフセット電圧 -15 V が生成供給される。 20

【0032】

一方、二次巻線 106 の一端 106 a は、整流ダイオード 115 のアノードに接続されており、他端 106 b は F G N D に接続されている。また、その他端 106 b を共通端とする二次巻線 116 が存在し、二次巻線 116 の他端は整流ダイオード 117 のアノードに接続されている。

【0033】

そして、二次巻線 106 の一端 106 a と整流ダイオード 115 のアノードとの間、また、一端 106 a と整流ダイオード 117 との間には、夫々平滑用の電解コンデンサ 118, 119 が接続されており、整流ダイオード 115 のカソード側からは F 180 V が生成供給され、整流ダイオード 117 のカソード側からは F 5 V が生成供給される。 30

【0034】

電源制御回路 120 は、データ側の駆動電圧 52.5 V のレベルを参照して F E T 104 のスイッチングを行い、トランス 101 の二次側に出力される電圧レベルが適正となるように制御する。

以上が、駆動装置 121 を構成している。

【0035】

次に、本実施例の作用について図 2, 図 6 及び図 7 も参照して説明する。

(正フィールド)

図 2 は、走査電圧生成回路 5 の動作を示す電圧信号のタイミングチャートである。正フィールドにおいては、表示制御回路 74 よりトランジスタ 87, 96 のベースにハイレベル (3.3 V) の制御信号 (C O M P N, C O M P P) が出力されて、トランジスタ 87, 96 は夫々オフ, オンとなる。すると、F E T 81 のゲートには、抵抗 95 及び 97 によりオフセット電源電圧 67.5 V を分圧した正電位が印加される。この時、F E T 81 のゲート電位はソース基準で約 18 V となるように分圧比が設定されている。すると、F E T 81 はオンするため、ドレイン側の F G N D の電位はオフセット電圧 67.5 V に設定される。 40

【0036】

一方、トランジスタ 87 がオフとなるので、F E T 80 もオフとなる。すると、ドレイン側の F 180 V は、F G N D の電位が 67.5 V に設定されたことにより、G N D 基準で、 $67.5 + 180 = 247.5$ (V) になる。 50

【0037】

この時、図6のタイミングチャートに示すように、走査側ドライバIC2, 3の両サイドFETが何れもオフであれば、走査電極201等の電位は、ダイオード21d等の作用によりオフセット電圧67.5Vとなっている。そして、走査側ドライバIC2, 3が、ハイサイドFET21a等をオンすることで、走査電極201等には247.5Vの選択電圧が供給される。

【0038】

そのタイミングに合わせて、データ側ドライバIC4は、FET42a側をオフしてFET42b側をオンさせる。すると、データ電極401等の電位は0Vになり、EL素子501等の両端には走査電圧とデータ電圧との合成電圧として247.5Vが印加されて発光する。そして、EL素子を発光させない場合は、FET42a側をオンさせることでデータ電極401等の電位を $V_m = 52.5V$ にする。すると、そのEL素子の両端には、 $247.5V - 52.5 = 195V$ が合成電圧として印加され、発光しきい値を越えないため発光しない。

【0039】

(負フィールド)

負フィールドにおいては、表示制御回路74よりトランジスタ87, 96のベースにロウレベル(0V)の制御信号が出力されて、トランジスタ87, 96は夫々オン、オフとなる。すると、FET80のゲートには、トランジスタ87を介して5Vが印加される。この時、FET80のゲート電位はソース基準(-15V)で約20Vとなる。すると、FET80はオンするため、ドレイン側のF180Vはオフセット電圧-15Vに接続される。

【0040】

一方、トランジスタ96がオフとなるので、FET81もオフとなる。すると、ドレイン側のFGNDは、F180Vにオフセット電圧-15Vが印加されたことにより、GND基準で、 $-15 - 180 = 195(V)$ になる。

【0041】

この時、図6のタイミングチャートに示すように、走査側ドライバIC2, 3の両サイドFETが何れもオフであれば、走査電極201等の電位は、ダイオード21c等の作用によりオフセット電圧-15Vとなっている。そして、走査側ドライバIC2, 3がロウサイドFET21a等をオンすることで、走査電極201等には-195Vの選択電圧が供給される。

【0042】

そのタイミングに合わせて、データ側ドライバIC4は、FET42b側をオフしてFET42a側をオンさせる。すると、データ電極401等の電位は、0Vから52.5Vになり、EL素子501等の両端には合成電圧として247.5Vが印加されて発光する。そして、EL素子を発光させない場合は、FET42b側をオンさせることでデータ電極401等の電位を $V_m = 0V$ にする。すると、そのEL素子の両端には、195Vが印加され、発光しきい値を越えないため発光しない。

【0043】

ここで、図7には、オフセット電圧を変化させた場合における走査側ドライバIC2, 3及び走査電圧生成回路5のFET80, 81の発熱温度を示す。この図7から明らかなように、オフセット電圧を高く設定するほど走査側ドライバICの発熱温度は低下する傾向を示している。逆に、走査電圧生成回路のPチャネル, NチャネルFETの発熱は上昇するが、許容温度に対するマージンが十分に確保される。このように発熱温度を低下させることで、走査側ドライバICを1個で構成することも可能となる。

【0044】

以上のように本実施例によれば、駆動装置121に、走査側ドライバIC2, 3が搭載される回路基板72と表示制御回路74が搭載される回路基板71とを備え、回路基板72には、走査電圧生成回路5を構成するFET80, 81と、それらのFET80, 81を

10

20

30

40

50

駆動するバイポーラトランジスタ 87, 96 も共に搭載した。従って、トランジスタ 87 と FET 80 との間の配線インピーダンスを大きく低下させることができ、耐ノイズ性を向上させることができる。

【0045】

また、走査電圧生成回路 5 に、トランジスタ 87 のエミッタとグランドとの間に接続されるコンデンサ 89 を備えるので、動作電源に印加されるノイズを吸収することができ、耐ノイズ性を更に向上させることができる。

【0046】

そして、走査電圧生成回路 5 を、異なるフローティング電位の間に両極性のオフセット電圧電源 (- 15 V , + 67.5 V) を配置し、2つの FET 80 , 81 を介してフローティング電位 F180 V , FGND を表示制御回路 74 の GND 基準の電位に確定する構成としたので、フローティング電位とオフセット電圧とを調整することで、EL 素子 501 等を発光させるのに必要な走査電圧に対するオフセット電圧の設定を容易に行うことができる。また、オフセット電圧を高めにした場合に回路にかかる耐圧や発熱の負担を軽減することができるので、走査側ドライバ IC 2 , 3 をより低コストで構成することが可能となる。

【0047】

本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、以下のような変形または拡張が可能である。

コンデンサ 89 は、必要に応じて設ければよい。

走査電圧生成回路 5 及び電源回路 75 の構成は、実施例に開示したものに限らず、例えば、特許文献 1 に開示されているものと同様の構成としても良い。

車両用の表示装置に限ることなく、無機 EL 素子を用いて構成される EL ディスプレイを駆動するものであれば適用が可能である。

【図面の簡単な説明】

【図 1】本発明を車両に搭載される EL パネルに適用した場合の一実施例であり、走査電圧生成回路の詳細な電氣的構成を示す図

【図 2】走査電圧生成回路の動作を示す電圧信号のタイミングチャート

【図 3】電源回路の詳細な電氣的構成を示す図

【図 4】EL パネルと走査側ドライバ IC 並びにデータ側ドライバ IC を中心とする電氣的構成を示す図

【図 5】EL パネルとその駆動装置との全体構成を示す図

【図 6】EL パネルに印加される電圧信号のタイミングチャート

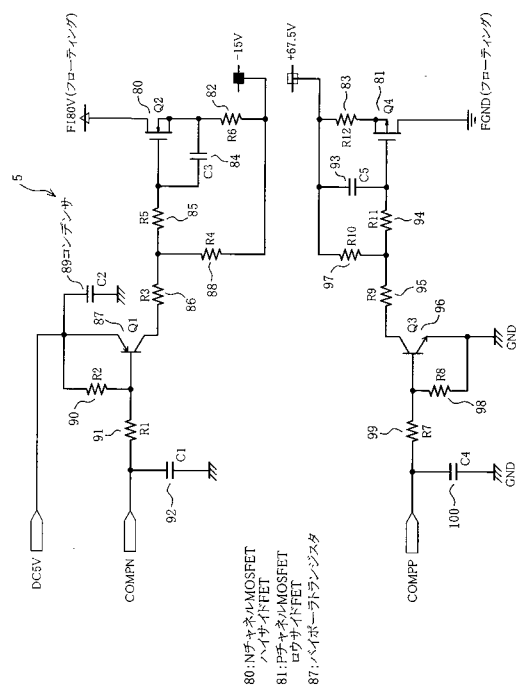
【図 7】オフセット電圧を変化させた場合における走査側ドライバ IC の発熱温度を示す図

【図 8】従来技術を示す図 5 相当図

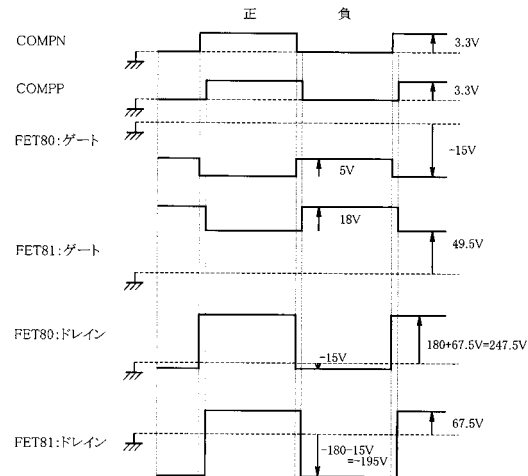
【符号の説明】

1 は EL パネル (EL ディスプレイ)、2 , 3 は走査側ドライバ IC (走査側駆動回路)、4 はデータ側ドライバ IC (データ側駆動回路)、5 は走査電圧生成回路 (走査側駆動回路)、71 は回路基板 (第 2 回路基板)、72 は回路基板 (第 1 回路基板)、74 は表示制御回路 (制御回路)、75 は電源回路、80 は N チャネル MOS FET (ハイサイド FET)、81 は P チャネル MOS FET (ロウサイド FET)、87 はバイポーラトランジスタ、89 はコンデンサを示す。

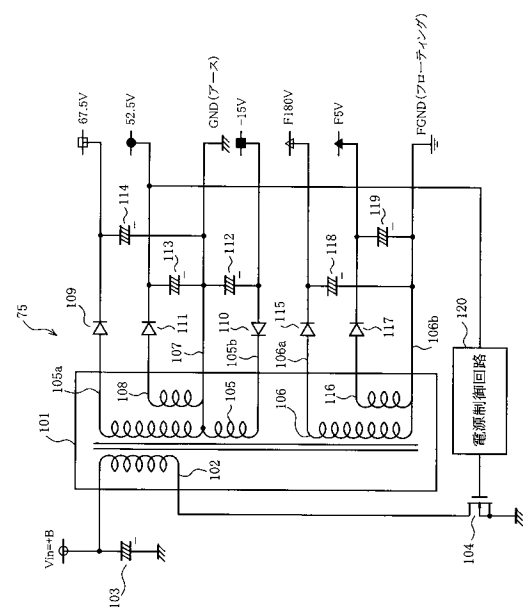
【図 1】



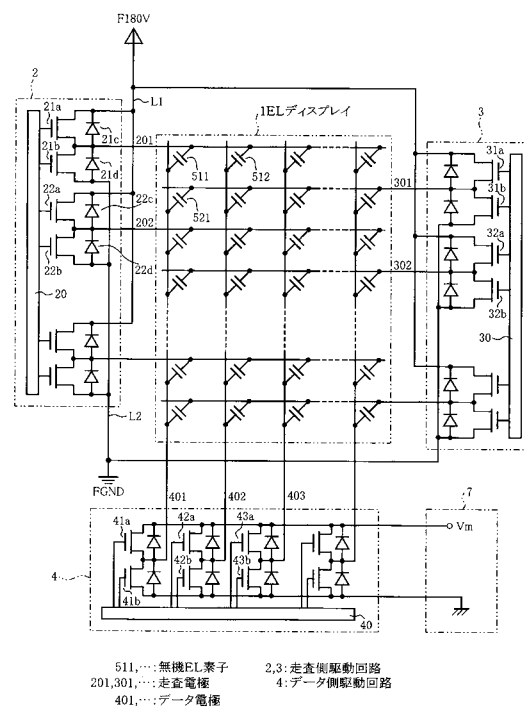
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 3 K 17/693	G 0 9 G 3/20	6 8 0 G
H 0 5 B 33/08	H 0 3 K 17/08	D
	H 0 3 K 17/693	C
	H 0 5 B 33/08	
	H 0 3 K 17/687	F

(72)発明者 長田 雅彦

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

F ターム(参考) 3K007 AB05 BA06 GA00
 5C080 AA06 BB05 DD09 DD18 DD27 FF01 FF12 JJ02 JJ03 JJ04
 JJ05
 5G435 AA16 BB05 CC09 EE34 HH13
 5J055 AX23 AX32 BX09 BX16 CX29 DX22 DX72 DX73 DX83 EX02
 EX06 EY01 EY07 EY10 EY12 EY17 EY21 EZ15 FX18 GX01
 GX04 GX05 GX06 GX09

专利名称(译)	EL显示器的驱动装置		
公开(公告)号	JP2004240248A	公开(公告)日	2004-08-26
申请号	JP2003030448	申请日	2003-02-07
[标]申请(专利权)人(译)	日本电装株式会社		
申请(专利权)人(译)	Denso公司		
[标]发明人	間瀬徳之 二之湯寿典 長田雅彦		
发明人	間瀬 徳之 二之湯 寿典 長田 雅彦		
IPC分类号	H05B33/08 G09F9/00 G09G3/20 G09G3/30 H03K17/08 H03K17/687 H03K17/693		
FI分类号	G09G3/30.J G09F9/00.346.A G09G3/20.621.B G09G3/20.622.B G09G3/20.622.C G09G3/20.680.G H03K17/08.D H03K17/693.C H05B33/08 H03K17/687.F H03K17/081 H03K17/0812		
F-TERM分类号	3K007/AB05 3K007/BA06 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD09 5C080/DD18 5C080/DD27 5C080/FF01 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5G435/AA16 5G435/BB05 5G435/CC09 5G435/EE34 5G435/HH13 5J055/AX23 5J055/AX32 5J055/BX09 5J055/BX16 5J055/CX29 5J055/DX22 5J055/DX72 5J055/DX73 5J055/DX83 5J055/EX02 5J055/EX06 5J055/EY01 5J055/EY07 5J055/EY10 5J055/EY12 5J055/EY17 5J055/EY21 5J055/EZ15 5J055/FX18 5J055/GX01 5J055/GX04 5J055/GX05 5J055/GX06 5J055/GX09 3K107/AA05 3K107/BB01 3K107/BB08 3K107/CC11 3K107/CC21 3K107/CC45 3K107/EE02 3K107/HH01 5C380/AA02 5C380/AB05 5C380/BA05 5C380/BA08 5C380/BA13 5C380/BA19 5C380/BA28 5C380/BC04 5C380/BC13 5C380/BC15 5C380/CA08 5C380/CB01 5C380/CB31 5C380/CB37 5C380/CF25 5C380/CF43 5C380/DA01 5C380/DA35		
代理人(译)	佐藤 强 小川 清		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种EL显示器的驱动装置，其能够减小FET和驱动该FET的双极晶体管之间的布线阻抗。驱动装置（121）具有：安装有扫描侧驱动器IC（2、3）的电路基板（72）；以及安装有显示控制电路（74）的电路基板（71）；电路基板（72）具有扫描电压产生电路（5）。还安装了组成FET 80、81和用于驱动FET 80、81的双极晶体管87、96。[选型图]图1

