

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-233960
(P2004-233960A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611F	5C080
G09G 3/22	G09G 3/20 621M	
H05B 33/14	G09G 3/20 624B	
	G09G 3/20 641D	
審査請求 未請求 請求項の数 7 O L (全 37 頁) 最終頁に続く		

(21) 出願番号	特願2003-207268 (P2003-207268)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成15年8月12日 (2003.8.12)	(74) 代理人	100080034 弁理士 原 謙三
(31) 優先権主張番号	特願2002-353828 (P2002-353828)	(74) 代理人	100113701 弁理士 木島 隆一
(32) 優先日	平成14年12月5日 (2002.12.5)	(74) 代理人	100116241 弁理士 金子 一郎
(33) 優先権主張国	日本国 (JP)	(72) 発明者	仙田 孝裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	室井 孝夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		最終頁に続く	

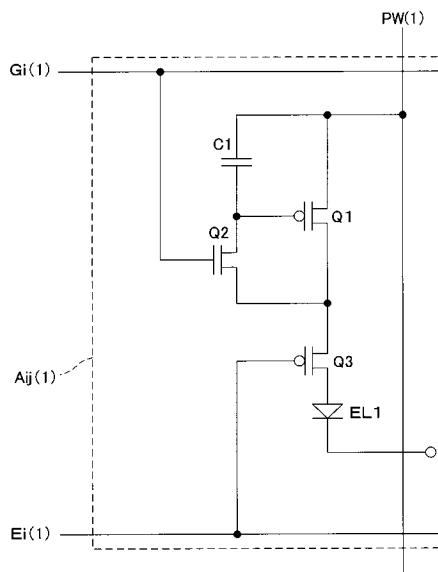
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供する。

【解決手段】 各画素回路 $A_{ij}(1)$ において、ゲート配線 $G_i(1)$ により TFT 素子 Q_2 を、制御配線 $E_i(1)$ により TFT 素子 Q_3 を、それぞれ導通させ、電流源回路から電源配線 $PW(1)$ および TFT 素子 $Q_1 \cdot Q_3$ を介して有機 EL 素子 EL_1 に所定の値の電流を流す。そして、TFT 素子 $Q_2 \cdot Q_3$ を遮断して、コンデンサ C_1 に上記電流の値に応じた TFT 素子 Q_1 のゲート・ソース間電圧を保持させることにより、有機 EL 素子 EL_1 を駆動する電流の値を設定する。その後、TFT 素子 Q_2 を遮断したまま TFT 素子 Q_3 を導通させることにより、TFT 素子 Q_1 に設定した値の電流を電圧源回路から電源配線 $PW(1)$ を介して有機 EL 素子 EL_1 に流し、有機 EL 素子 EL_1 を駆動する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、

上記各画素には、

上記電気光学素子に上記電流を流すための第 1 の配線と、

上記第 1 の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第 1 のアクティブ素子と、

上記経路に上記電気光学素子および上記第 1 のアクティブ素子と直列に挿入されるとともに導通 / 遮断用の制御端子を有する第 2 のアクティブ素子と、

電荷を蓄積し、蓄積した電荷に応じた電圧を上記第 1 のアクティブ素子の導通抵抗の制御電圧として上記第 1 のアクティブ素子の制御端子に印加する電荷保持手段と、

上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通 / 遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第 3 のアクティブ素子と、

上記第 2 のアクティブ素子の制御端子に導通 / 遮断用の制御電圧を印加する第 2 の配線と、

上記第 3 のアクティブ素子の制御端子に導通 / 遮断用の制御電圧を印加する第 3 の配線とが配置されていることを特徴とする表示装置。

10

【請求項 2】

電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、

上記各画素には、

上記電気光学素子に上記電流を流すための第 1 の配線と、

上記第 1 の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第 1 のアクティブ素子と、

上記経路に上記電気光学素子および上記第 1 のアクティブ素子と直列に挿入されるとともに導通 / 遮断用の制御端子を有する第 2 のアクティブ素子と、

電荷を蓄積し、蓄積した電荷に応じた電圧を上記第 1 のアクティブ素子の導通抵抗の制御電圧として上記第 1 のアクティブ素子の制御端子に印加する電荷保持手段と、

上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通 / 遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第 3 のアクティブ素子と、

上記第 2 のアクティブ素子の制御端子に導通 / 遮断用の制御電圧を印加する第 2 の配線と、

上記第 3 のアクティブ素子の制御端子に導通 / 遮断用の制御電圧を印加する第 3 の配線と、

上記第 1 のアクティブ素子と上記第 2 のアクティブ素子との接続点と上記第 2 の配線との間に接続されるとともに、上記第 3 の配線に接続される導通 / 遮断用の制御端子を有する第 4 のアクティブ素子とが配置されていることを特徴とする表示装置。

20

30

40

【請求項 3】

上記第 1 の配線には電流源回路と電圧源回路とが切り替え可能に接続されることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

上記電流源回路を上記第 1 の配線に接続して各画素に上記電気光学素子に流す電流の値を設定する第 1 の動作を行った後、上記電圧源回路を上記第 1 の配線に接続して各画素の上記電気光学素子に上記第 1 の動作で設定した値の電流を流す第 2 の動作を行うことを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

上記電流源回路が出力することのできる電流値は複数通りあり、

50

上記第 1 の動作を行うとともに上記第 1 の動作の後に上記第 2 の動作を行うことを、所定期間に複数回行うことを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、

上記各画素には、

上記電気光学素子に上記電流を流すための第 1 番配線と、

上記第 1 番配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第 1 番アクティブ素子と、

電荷を蓄積し、蓄積した電荷に応じた電圧を上記第 1 番アクティブ素子の導通抵抗の制御電圧として上記第 1 番アクティブ素子の制御端子に印加する電荷保持手段と、 10

上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通 / 遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第 2 番アクティブ素子と、

上記第 2 番アクティブ素子の制御端子に導通 / 遮断用の制御電圧を印加する第 2 番配線と、

上記電荷保持手段の蓄積した電荷に応じた電圧に含まれる基準電圧分を上記電荷保持手段に与える第 3 番配線とが配置されていることを特徴とする表示装置。

【請求項 7】

電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、

上記各画素には、

上記電気光学素子に上記電流を流すための配線が配置されており、

上記配線から上記電気光学素子に上記電流を流す経路に、導通抵抗の制御端子を有するアクティブ素子が、上記電気光学素子と直列に挿入されるとともに、

電荷を蓄積し、蓄積した電荷に応じた電圧を上記アクティブ素子の導通抵抗の制御電圧として上記アクティブ素子の制御端子に印加する電荷保持手段とが配置され、

上記電流を上記画素の回路に記憶させるために上記アクティブ素子に上記電流を流して上記電荷保持手段に上記電流に応じた電荷を蓄積させる第 1 の動作を行うために、上記配線に定電流を出力する電流源回路と、

上記第 1 の動作の後に、上記回路に記憶させた上記電流を上記アクティブ素子を介して上記電気光学素子に流す第 2 の動作を行うために上記配線に定電圧を出力する電圧源回路とが、上記配線に切り替え可能に接続されていることを特徴とする表示装置。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) 等の電流駆動型の電気光学素子を用いた表示装置に関するものである。 30

上記配線に定電流を出力する電流源回路と、上記第 1 の動作の後に、上記回路に記憶させた上記電流を上記アクティブ素子を介して上記電気光学素子に流す第 2 の動作を行うために上記配線に定電圧を出力する電圧源回路とが、上記配線に切り替え可能に接続されていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) 等の電流駆動型の電気光学素子を用いた表示装置に関するものである。 40

【0002】

【従来の技術】

近年、有機 EL ディスプレイや FED ディスプレイの研究開発が活発に行われている。特に有機 EL ディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話や PDA (Personal Digital Assistants) などの携帯機器用として注目されている。

【0003】

この有機 EL ディスプレイは単純マトリクス型から商品化が始まったが、将来アクティブマトリクス型が主流になると考えられている。この有機 EL 用アクティブ素子は、アモルファスシリコン TFT でも実現可能であるが、ドライブ回路も同時に形成できて、より小型の TFT で有機 EL を駆動できる (TFT の移動度が高い)、単結晶シリコン TFT 50

TやポリシリコンTFTやCG(Continuous Grain)シリコンTFTが有力視されている。特に、直視型ディスプレイ用としてガラス基板上に形成できる低温ポリシリコンTFTやCGシリコンTFTが好まれている。

【0004】

この低温ポリシリコンやCGシリコンを用いたアクティブマトリックス型有機ELの画素回路は、非特許文献1等で参照されているように、基本的に図13に示すように2つのTFT素子 Q_a ・ Q_b とコンデンサ C_a と有機EL素子 EL_a とから構成される。

【0005】

即ち、電源配線 V_{ref} と電源端子 V_{com} との間で駆動用TFT素子 Q_b が有機EL素子 EL_a と直列に配置され、その駆動用TFT素子 Q_b のゲート端子とソース端子との間にコンデンサ C_a が接続され、ソース端子は電源配線 V_{ref} に接続されている。また、選択用TFT素子 Q_a のゲート端子はゲート配線 G_i に接続されており、ソース・ドレイン端子はソース配線 S_j と駆動用TFT素子 Q_b のゲート端子とを接続するように接続されている。選択用TFT素子 Q_a を導通状態(ON状態)として、ソース配線 S_j からコンデンサ C_a へ電圧を入力することで、駆動用TFT素子 Q_b の導通抵抗を制御し、有機EL素子 EL_a に流れる電流を制御し、画素の輝度を制御する構成である。また、その後、選択用TFT素子 Q_a を非導通状態(OFF状態)として、コンデンサ C_a の電位を保持し、駆動用TFT素子 Q_b の導通状態を保持し、画素の輝度を維持する構成である。

10

【0006】

有機EL素子の発光輝度は、有機EL素子を流れる電流値に比例するので、この構成では、有機EL素子 EL_a の印加電圧-電流特性が変化すれば、有機EL素子 EL_a を流れる電流値が変化するという課題がある。

20

【0007】

そこで、非特許文献2で示された画素回路構成を図14に示す。図14の回路構成では、駆動用TFT素子 Q_b と有機EL素子 EL_a との間にスイッチ用TFT素子 Q_c を配置し、駆動用TFT素子 Q_b とスイッチ用TFT素子 Q_c との接続点と、ソース配線 S_j との間に選択用TFT素子 Q_a を接続し、選択用TFT素子 Q_a とコンデンサ C_a との間にスイッチ用TFT素子 Q_d を配置している。選択用TFT素子 Q_a のゲート端子およびスイッチ用TFT素子 Q_c ・ Q_d のゲート端子はゲート配線 G_i に接続されている。

【0008】

この構成では、スイッチ用TFT素子 Q_c をOFF状態として、選択用TFT素子 Q_a とスイッチ用TFT素子 Q_d とをON状態とすることで、電源配線 V_{ref} よりソース配線 S_j へ電流が流れる。この電流量を図示しないソースドライブ回路の電流源で制御することで、駆動用TFT素子 Q_b のゲート電圧が、駆動用TFT素子 Q_b の閾値電圧・移動度に依らず、駆動用TFT素子 Q_b にそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、選択用TFT素子 Q_a とスイッチ用TFT素子 Q_d とをOFF状態として、スイッチ用TFT素子 Q_c をON状態とすることで、コンデンサ C_a にこの時の電位が保持され、駆動用TFT素子 Q_b から設定された電流量が有機EL素子 EL_a へ流れるよう制御される。

30

【0009】

また、特許文献1で示された画素回路構成を図15に示す。図15の回路構成では、駆動用TFT素子 Q_b と電源配線 V_{ref} との間にスイッチ用TFT素子 Q_g が、駆動用TFT素子 Q_b とソース配線 S_j との間にスイッチ用TFT素子 Q_f が、有機EL素子 EL_a とコンデンサ C_a との間に選択用TFT素子 Q_e が配置されている。スイッチ用TFT素子 Q_f ・ Q_g および選択用TFT素子 Q_e の各ゲート端子はゲート配線 G_i に接続されている。

40

【0010】

この構成では、スイッチ用TFT素子 Q_g をOFF状態として、選択用TFT素子 Q_e とスイッチ用TFT素子 Q_f とをON状態とすることで、ソース配線 S_j より有機EL素子 EL_a へ電流が流れる。この電流量を図示しないソースドライブ回路の電流ドライブ回路

50

P_jで制御することで、駆動用TFT素子Q_bのゲート端子電圧が、駆動用TFT素子Q_bの閾値電圧・移動度に依らず、駆動用TFT素子Q_bにそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、スイッチ用TFT素子Q_fと選択用TFT素子Q_eとをOFF状態とし、スイッチ用TFT素子Q_gをON状態とすることで、コンデンサC_aにこの時の電位が保持され、駆動用TFT素子Q_bから設定された電流量が有機EL素子E_L_aに流れるよう制御される。

【0011】

なお、CGシリコンTFTの構成に関しては、非特許文献4等で発表されている。また、CGシリコンTFTプロセスに関しては、非特許文献5等で発表されている。また、有機EL素子の構成については、非特許文献6等で発表されている。

10

【0012】

【特許文献1】

特表2002-514320号公報

公表日 2002年5月14日

【0013】

【非特許文献1】

"Active Matrix Addressing of Polymer Light Emitting Diodes Using Low Temperature Poly Silicon TFTs", AM-LCD 2000 pp 249 - 252

【0014】

20

【非特許文献2】

"Active Matrix PolyLED Displays", IDW '00 pp 235 - 238

【0015】

【非特許文献3】

"Improved Polysilicon TFT Drivers for Light Emitting Polymer Displays", IDW '00 pp 243 - 246

【0016】

【非特許文献4】

30

SID '00 Digest pp. 924 - 927の "4.0-in. TFT-OLED Displays and a Novel Digital Driving Method" 半導体エネルギー研究所

【0017】

【非特許文献5】

AM-LCD 2000 pp. 25 - 28の "Continuous Grain Silicon Technology and Its Applications for Active Matrix Display" 半導体エネルギー研究所

【0018】

【非特許文献6】

40

AM-LCD '01 pp. 211 - 214の "Polymer Light-Emitting Diodes for use in Flat panel Display"

【0019】

【発明が解決しようとする課題】

上記非特許文献2や特許文献1では、選択期間にソース配線S_jから所定の電流値を供給することで有機EL素子E_L_aを駆動するためのアクティブ素子である駆動用TFT素子Q_bのゲート端子電位を設定するので、有機EL素子E_L_aを流れる電流値がその設定された電流値で決まり、有機EL素子E_L_aの印加電圧-電流特性が変化しても、有機EL素子E_L_aを流れる電流値が変化せず、その発光輝度が変化し難いという利点がある。

50

【0020】

しかし、上記非特許文献2や特許文献1の画素回路構成は、有機EL素子1個当たり1個のコンデンサおよび4個のTFT素子と、1本の電源配線と、1本のソース配線および1本のゲート配線とを必要とする4TFT画素回路構成となっている。その為、これら4TFT画素回路構成では、コンデンサや配線やTFT素子に取られる面積が増え、有機EL素子を形成する為の透明電極（例えばITO）の面積（すなわち陽極面積）が小さくなってしまふ。特に、TFT素子サイズや配線幅の最小値はプロセスルールで決定されるので、画素サイズが小さくても、それらTFT素子サイズや配線幅を小さくすることはできないのが現状である。

【0021】

この為、100ppi以上の高精細パネルを製造しようとする時、図14や図15の4TFT画素回路構成では、確保できる透明電極の面積が図13の2TFT画素回路構成の半分以下になってしまう。

【0022】

また、所定の輝度を得るための好ましい電源電圧はRGB各ドットで異なるので、前記電源配線VrefはRGB各色毎に異ならせることが望ましい。この場合、RGB各色は電源配線Vrefに沿って形成され、図16に示すように、画素回路Aijは電源配線Vrefに沿って3分割されてRGB各ドットが形成される。しかし、前記ソース配線Sjもこの電源配線Vrefに平行に形成されるので、画素回路Aijを通る配線は、電源配線Vrefが3本、ソース配線Sjが3本、ゲート配線Giが1本となる。

【0023】

結局、図14や図15の画素回路を有する表示装置では、図16に示すように、TFT領域7やゲート配線Giの領域の他に、ソース配線Sjの為に発光に使用できなかった画素エリア（RGBの各1ドット9・10・11で1画素を形成する）が、

画素長×（ソース配線幅Y[μm]+プロセス上の抜きP[μm]）×3

と大きかった。ここで、画素長=RGB各ドットの長さ=RGB各ドットの幅X[μm]×3である。その結果、ITO領域8の面積、すなわち透明電極を形成するための面積が非常に小さくなるという課題が生じていた。

【0024】

本発明は上記課題を解決するためになされたものであり、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することを目的とする。

【0025】

【課題を解決するための手段】

本発明の表示装置は、上記課題を解決するために、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第1の配線と、上記第1の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第1のアクティブ素子と、上記経路に上記電気光学素子および上記第1のアクティブ素子と直列に挿入されるとともに導通/遮断用の制御端子を有する第2のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1のアクティブ素子の導通抵抗の制御電圧として上記第1のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通/遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第3のアクティブ素子と、上記第2のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第2の配線と、上記第3のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第3の配線とが配置されていることを特徴としている。

【0026】

上記の発明によれば、各画素において、第2および第3の配線からの制御端子への制御電圧印加により第2および第3のアクティブ素子を導通させると、第1の配線から第1のアク

10

20

30

40

50

クティブ素子を介して電気光学素子に所定の値の電流を流すことが可能な状態となる。このとき、電荷保持手段に上記値の電流に対応した電荷が蓄積されるようにし、この後、第3の配線からの制御電圧印加により第3のアクティブ素子を遮断すれば、上記値の電流が第1のアクティブ素子に流れるような制御電圧が第1のアクティブ素子の制御端子に印加されるように、電荷保持手段が電荷を保持する。従って、これにより電気光学素子に流す電流の値を設定することができる。

【0027】

そして、第2の配線からの制御電圧印加により第2のアクティブ素子を遮断すれば、電荷保持手段が上記電荷を保持した状態で電気光学素子へ流れる電流を遮断することができる。この遮断期間には、例えば同一の第1配線につながる別の画素において電気光学素子に流す電流の値を設定することができる。このようにして各画素に電気光学素子の電流の値を設定し、再び第2のアクティブ素子を導通させれば、設定した値の電流で電気光学素子を駆動することができる。

10

【0028】

上記の構成では、アクティブ素子は1画素につき3個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2および第3の配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、4個のTFT素子、1個のコンデンサ、1本の電源配線、1本のソース配線、および1本のゲート配線を備えた従来の4TFT画素回路構成よりもアクティブ素子が1つ少なく済むことから、透明電極の面積を大きくとることができる。さらに、従来の4TFT画素回路構成ではカラー表示装置の場合にRGB各画素に対してゲート配線の共通化はできてもソース配線がそれぞれに必要であったが、本発明ではこのソース配線が不要であることから、さらに透明電極の面積を大きくとることができる。

20

【0029】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることができる表示装置を提供することができる。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善される。

【0030】

また、本発明の表示装置は、上記課題を解決するために、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第1の配線と、上記第1の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第1のアクティブ素子と、上記経路に上記電気光学素子および上記第1のアクティブ素子と直列に挿入されるとともに導通/遮断用の制御端子を有する第2のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1のアクティブ素子の導通抵抗の制御電圧として上記第1のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通/遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第3のアクティブ素子と、上記第2のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第2の配線と、上記第3のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第3の配線と、上記第1のアクティブ素子と上記第2のアクティブ素子との接続点と上記第2の配線との間に接続されるとともに、上記第3の配線に接続される導通/遮断用の制御端子を有する第4のアクティブ素子とが配置されていることを特徴としている。

30

40

【0031】

上記の発明によれば、各画素において、第2および第3の配線からの制御端子への制御電圧印加により第3および第4のアクティブ素子を導通させると、第1の配線から第1のアクティブ素子に所定の値の電流を流すことが可能な状態となる。このとき、電荷保持手段に上記値の電流に対応した電荷が蓄積されるようにし、この後、第3の配線からの制御電

50

圧印加により第3のアクティブ素子を遮断すれば、上記値の電流が第1のアクティブ素子に流れるような制御電圧が第1のアクティブ素子の制御端子に印加されるように、電荷保持手段が電荷を保持する。従って、これにより電気光学素子に流す電流の値を設定することができる。

【0032】

そして、第3のアクティブ素子の遮断期間には、第4のアクティブ素子をも遮断することにより、例えば同一の第1配線につながる別の画素において電気光学素子に流す電流の値を設定することができる。このようにして各画素に電気光学素子の電流の値を設定し、次いで第2のアクティブ素子を導通させれば、設定した値の電流で電気光学素子を駆動することができる。

10

【0033】

上記の構成では、アクティブ素子は1画素につき4個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2および第3の配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、4個のTF T素子、1個のコンデンサ、1本の電源配線、1本のソース配線、および1本のゲート配線を備えた従来の4TF T画素回路構成では、カラー表示装置の場合にRGB各画素に対してゲート配線の共通化はできてもソース配線がそれぞれに必要であったが、本発明ではこのソース配線が不要であることから、透明電極の面積を大きくとることができる。

【0034】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することができる。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善される。

20

【0035】

さらに本発明の表示装置は、上記課題を解決するために、上記第1の配線には電流源回路と電圧源回路とが切り替え可能に接続されることを特徴としている。

【0036】

上記の発明によれば、各画素に電気光学素子の電流の値を設定するときには第1の配線に電流源回路を接続してこの電流源回路からの電流で電気光学素子の電流の値を設定し、電気光学素子の電流の値を設定した後に第1の配線に電圧源回路を切り替え接続してこの電圧源回路からの印加電圧により、第2のアクティブ素子が導通状態である期間に、他の画素の電気光学素子の駆動状態に関わらずに、電気光学素子を設定した値の電流で駆動することができる。

30

【0037】

さらに本発明の表示装置は、上記課題を解決するために、上記電流源回路を上記第1の配線に接続して各画素に上記電気光学素子に流す電流の値を設定する第1の動作を行った後、上記電圧源回路を上記第1の配線に接続して各画素の上記電気光学素子に上記第1の動作で設定した値の電流を流す第2の動作を行うことを特徴としている。

【0038】

上記の発明によれば、第1の動作により電流源回路からの電流で各画素に電気光学素子の電流の値を設定することができ、その後、第2の動作により、第1の動作で設定された値の電流を電圧源回路から電気光学素子に流して電気光学素子を駆動することができる。

40

【0039】

さらに本発明の表示装置は、上記課題を解決するために、上記電流源回路が出力することのできる電流値は複数通りあり、上記第1の動作を行うとともに上記第1の動作の後に上記第2の動作を行うことを、所定期間に複数回行うことを特徴としている。

【0040】

上記の発明によれば、第1の動作によって各画素に設定することのできる電気光学素子の電流値の種類、すなわち電流源回路から出力できる電流値の種類が、設定した階調数より少ない状態に制限されるような場合があっても、次のようにして多階調表示を行うことが

50

できる。すなわち、第1の動作を行うとともに第1の動作の後に第2の動作を行うことを、所定期間に複数回行う。これは、所定期間内に複数回、電流設定動作 + 発光動作を行うことに等しい。これにより、所定期間に電気光学素子に電流が流された期間の長さの総和に応じて、電流源回路の電流値の数以上に細かい階調表示を確保することができる。

【0041】

特に、第1の配線に接続される電流源回路がTFT等で作られている場合には、電流源回路から出力することのできる電流値の数に制限がある、すなわち出力電流値の数がゼロを含めて2以上のある整数値に制限される場合が多いので、本発明の階調表示が有効である。

【0042】

さらに、本発明の表示装置は、上記課題を解決するために、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第1番配線と、上記第1番配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第1番アクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1番アクティブ素子の導通抵抗の制御電圧として上記第1番アクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通/遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第2番アクティブ素子と、上記第2番アクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第2番配線と、上記電荷保持手段の蓄積した電荷に応じた電圧に含まれる基準電圧分を上記電荷保持手段に与える第3番配線とが配置されていることを特徴としている。

10

20

【0043】

上記の発明によれば、各画素において、第2番配線から第2番アクティブ素子の制御端子への制御電圧印加により第2番アクティブ素子を導通させると、電荷保持手段に対する電荷供給経路が電荷供給可能な状態となる。電荷保持手段は電荷を蓄積し、蓄積した電荷に応じた電圧を第1番アクティブ素子の導通抵抗の制御電圧として第1番アクティブ素子の制御端子に与える。このとき、第1番配線から第1番アクティブ素子を介して電気光学素子に所定の電流を流せば、この所定の電流に対応した電荷を電荷保持手段が蓄積する。そして、第2番配線からの制御電圧印加により第2番アクティブ素子を遮断すれば、電荷保持手段は上記電荷を保持する。従って、これにより電気光学素子に流す電流の値を設定することができる。

30

【0044】

ここで、第3番配線は、電荷保持手段の蓄積した電荷に応じた電圧に含まれる基準電圧分を電荷保持手段に与えているが、この基準電圧分を適切に変えれば、電荷保持手段が上記電荷を保持した状態で第1番アクティブ素子の導通抵抗を遮断相当のものとし、電気光学素子へ流れる電流を遮断することができる。この遮断期間には、例えば同一の第1番配線につながる別の画素において電気光学素子に流す電流の値を設定することができる。このようにして各画素に電気光学素子の電流の値を設定し、第2番アクティブ素子を遮断したままで、第3番配線が与える基準電圧分を、先に電荷保持手段への電荷供給経路を電荷供給可能な状態としたときの値に戻せば、設定した値の電流で電気光学素子を駆動することができる。

40

【0045】

上記の構成では、アクティブ素子は1画素につき2個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2番および第3番配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、4個のTFT素子、1個のコンデンサ、1本の電源配線、1本のソース配線、および1本のゲート配線を備えた従来の4TFT画素回路構成よりもアクティブ素子が2つ少なく済むことから、透明電極の面積を大きくとることができる。さらに、従来の4TFT画素回路構成ではカラー表示装置の場合にRGB各画素に対してゲート配線の共通化はできてもソース配線がそれぞれに

50

必要であったが、本発明ではこのソース配線が不要であることから、さらに透明電極の面積を大きくとることができる。

【0046】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することができる。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善される。

【0047】

また、本発明の表示装置は、上記課題を解決するために、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための配線が配置されており、上記配線から上記電気光学素子に上記電流を流す経路に、導通抵抗の制御端子を有するアクティブ素子が、上記電気光学素子と直列に挿入されるとともに、電荷を蓄積し、蓄積した電荷に応じた電圧を上記アクティブ素子の導通抵抗の制御電圧として上記アクティブ素子の制御端子に印加する電荷保持手段とが配置され、上記電流を上記画素の回路に記憶させるために上記アクティブ素子に上記電流を流して上記電荷保持手段に上記電流に応じた電荷を蓄積させる第1の動作を行うために、上記配線に定電流を出力する電流源回路と、上記第1の動作の後に、上記回路に記憶させた上記電流を上記アクティブ素子を介して上記電気光学素子に流す第2の動作を行うために上記配線に定電圧を出力する電圧源回路とが、上記配線に切り替え可能に接続されていることを特徴としている。

10

20

【0048】

上記の発明によれば、配線に電流源回路を接続してアクティブ素子に定電流を流せば、アクティブ素子の制御端子に接続された電荷保持手段は、上記定電流がアクティブ素子に流れるような制御電圧がアクティブ素子の制御端子に印加されるように電荷を蓄積する。従って、上記定電流を電気光学素子に流す電流として設定すれば、第1の動作によって、画素の回路が上記電流を記憶するために、アクティブ素子に流れる定電流に応じた電荷を電荷保持手段が蓄積するので、画素に電気光学素子に流す電流の値を設定することができる。次いで、配線に接続する電源回路を電流源回路から電圧源回路に切り替えれば、第2の動作によって、第1の動作の後に、画素の回路に記憶させた上記電流がアクティブ素子を介して電気光学素子に流れるので、設定した値の電流で電気光学素子を駆動することができる。

30

【0049】

このように、従来は各画素の回路ごとにそれぞれ1本ずつ必要であった電源配線とソース配線とを、上記配線によって共通化しており、配線数を抑えることができるので、この構成は、透明電極の面積を大きくとる上で有用である。

【0050】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することができる。特にスイッチング素子を配置した基板側より発光を取り出す構成、すなわちボトムエミッション構造において、透明電極の面積を拡大することが期待できる。

40

【0051】

【発明の実施の形態】

以下、種々の実施の形態を挙げて本発明の詳細な説明を行う。

【0052】

本発明に用いられる各スイッチング素子は低温ポリシリコンTF TやCGシリコンTF Tなどで構成できるが、以下の実施の形態ではCGシリコンTF Tを用いることとする。

【0053】

なお、このCGシリコンTF Tの構成に関しては、非特許文献4等で発表されているので、ここではその詳細な説明は省略する。

【0054】

50

また、CGシリコンTFTプロセスに関しては、非特許文献5等で発表されているので、ここではその詳細な説明は省略する。

【0055】

また、以下の実施の形態で用いる電気光学素子である有機EL素子の構成についても、非特許文献6等で発表されているので、ここではその詳細な説明は省略する。

【0056】

〔実施の形態1〕

本発明の一実施の形態について図1ないし図4に基づいて説明すれば以下の通りである。

【0057】

図1に、本実施の形態に係る表示装置の画素回路 $A_{ij}(1)$ を示す。画素回路 $A_{ij}(1)$ は画素1つ分を示し、RGBの各画素があればその1つ分を示す。 10

【0058】

画素回路 $A_{ij}(1)$ には、電流駆動型の有機EL素子 $EL1$ 、p型のTFT素子 $Q1$ ・ $Q3$ 、n型のTFT素子 $Q2$ 、コンデンサ $C1$ 、ゲート配線 $G_i(1)$ 、ソース配線兼電源配線（以降、電源配線と記す） $PW(1)$ 、および制御配線 $E_i(1)$ が配置されている。

【0059】

電源配線（第1の配線、配線） $PW(1)$ にTFT素子（第1のアクティブ素子、アクティブ素子） $Q1$ とコンデンサ（電荷保持手段） $C1$ とが接続されている。コンデンサ $C1$ はTFT素子 $Q1$ のゲート端子とソース端子との間に接続されている。そのTFT素子 $Q1$ に直列に、TFT素子（第2のアクティブ素子） $Q3$ と有機EL素子（電気光学素子） $EL1$ とが、TFT素子 $Q3$ をTFT素子 $Q1$ 側として接続されている。TFT素子 $Q3$ のゲート端子は制御配線（第2の配線） $E_i(1)$ に接続されている。有機EL素子 $EL1$ は、陽極がTFT素子 $Q3$ 側となるように接続されている。 20

【0060】

また、TFT素子 $Q1$ のゲート端子と、TFT素子 $Q1$ とTFT素子 $Q3$ との接続点との間に、TFT素子（第3のアクティブ素子） $Q2$ が接続されている。このTFT素子 $Q2$ のゲート端子はゲート配線（第3の配線） $G_i(1)$ に接続されている。

【0061】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機EL素子 $EL1$ に流す電流の値を設定し、有機EL素子 $EL1$ を上記値の電流で駆動するものである。電源配線 $PW(1)$ は、有機EL素子 $EL1$ に電流を流すための配線である。従って、上述の内容から分かるように、TFT素子 $Q1$ は、電源配線 $PW(1)$ から有機EL素子 $EL1$ に上記電流を流す経路に有機EL素子 $EL1$ と直列に挿入されており、そのゲートが導通抵抗の制御端子である。ゲートに印加される電圧がロー側であるほど導通抵抗は小さく、ハイ側であるほど導通抵抗は大きくなる。また、TFT素子 $Q3$ は上記経路に有機EL素子 $EL1$ およびTFT素子 $Q1$ と直列に挿入されたスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。 30

【0062】

そしてコンデンサ $C1$ は、蓄積した電荷に応じた電圧をTFT素子 $Q1$ の導通抵抗の制御電圧としてTFT素子 $Q1$ のゲート端子に印加する。TFT素子 $Q2$ は、コンデンサ $C1$ に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサ $C1$ への電荷供給を可能にし、遮断している間はコンデンサ $C1$ に蓄積した電荷を保持させる。 40

【0063】

また、制御配線 $E_i(1)$ およびゲート配線 $G_i(1)$ は、各画素内で電源配線 $PW(1)$ と直交しており、制御配線 $E_i(1)$ はTFT素子 $Q3$ のスイッチング状態を決める電圧（導通/遮断用の制御電圧）をTFT素子 $Q3$ のゲート端子に印加し、ゲート配線 G_i 50

(1)はTFT素子Q2のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をTFT素子Q2のゲート端子に印加する。

【0064】

この画素回路A_{ij}(1)をm×nのマトリックス状に配置することで表示装置を形成することができるが、図2には、説明を簡単にするために、画素回路A_{ij}(1)が3×2配置された表示装置12を図示する。

【0065】

表示装置12は、ソースドライバ回路1、ゲートドライバ回路5、および電圧源回路6を備えている。表示装置12において、各画素回路A_{ij}(1)のゲート配線G_i(1)および制御配線E_i(1)はゲートドライバ回路5に接続され、電源配線PW(1)はソースドライバ回路1に接続されている。ゲート配線G_i(1)および制御配線E_i(1)はマトリックスの各行に設けられ、同一行の各画素には共通化されている。電源配線PW(1)はマトリックスの各列に設けられ、同一列の各画素には共通化されている。また、ゲートドライバ5からはさらに制御配線T_{im}がソースドライバ回路1へ引き回されている。

10

【0066】

ソースドライバ回路1は、電流源回路2およびスイッチ素子3・4を備えている。スイッチ素子3はn型のTFTであり、スイッチ素子4はp型のTFTである。ソースドライバ回路1では各電源配線PW(1)がスイッチ素子3・4に接続され、いずれのスイッチ素子が導通状態になるかはゲートドライバ回路5より制御配線T_{im}に出力される電圧により制御される。制御配線T_{im}は各スイッチ素子3・4のゲート端子に接続されている。制御配線T_{im}にハイの電圧が出力されるとスイッチ素子3は導通するとともにスイッチ素子4は遮断され、制御配線T_{im}にローの電圧が出力されるとスイッチ素子3は遮断されるとともにスイッチ素子4は導通する。

20

【0067】

また、スイッチ素子3のそれぞれには電流源回路2が個別に接続されており、スイッチ素子3が導通すると電源配線PW(1)が電流源回路2に接続される。電流源回路2は図示しないデータ配線および制御配線により制御され、複数の電流値を出力することが可能である。ここでは、複数の電流値の一例として、ゼロとその他の1つの値との2通りを取ることができるものとする。さらに、スイッチ素子4のそれぞれは共通の電圧源回路6に接続されており、スイッチ素子4が導通すると電源配線PW(1)が電圧源回路6に接続される。このように、電源配線PW(1)には、電流源回路2と電圧源回路6とが切り替え接続されるようになっている。

30

【0068】

次に、この表示装置12の駆動方法を図3を用いて説明する。なお、図3では、ゲート配線G_i(1)が2本だけでは動作が判りにくいので、ゲート配線G_i(1)が6本である場合を図示している。

【0069】

同図では、横軸が時間を示し、縦軸が各配線の電圧を示す。

【0070】

同図に示すように、表示装置12の1フレーム期間は期間0~34tの35t期間であり、最初の9t期間が第1フィールド期間であり、次の11t期間が第2フィールド期間であり、最後の15t期間が第3フィールド期間である。そして、第1フィールド期間の期間0~7tに渡り制御配線T_{im}がハイ状態となり、図2の電源配線PW(1)は電流源回路2に接続される。

40

【0071】

この間、電流源回路2から電源配線PW(1)を介して画素回路A_{1j}~A_{6j}に、それぞれの第1ビットに対応した電流が供給される。このとき、ゲート配線G₁(1)~G₆(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつハイ状態となり、制御配線E₁(1)~E₆(1)のそれぞれは、図示されるように対応するタイ

50

ミングで順次 $1t$ 期間ずつロー状態となる。各ゲート配線 $G_i(1)$ がハイ状態となるときに、各制御配線 $E_i(1)$ がロー状態になり、各ゲート配線 $G_i(1)$ がロー状態となるときに、各制御配線 $E_i(1)$ がハイ状態になる。

【0072】

この各ゲート配線 $G_i(1)$ がハイ状態で各制御配線 $E_i(1)$ がロー状態であるとき、図1の画素回路 $A_{ij}(1)$ ではTFT素子 Q_2 とTFT素子 Q_3 とが導通状態となり、電流源回路2より供給された電流は電源配線 $PW(1)$ とTFT素子 Q_1 とTFT素子 Q_3 とを通過して、有機EL素子 EL_1 に流れ込む。

【0073】

このとき、TFT素子 Q_1 のゲート・ソース間電圧は、与えられた値の電流をTFT素子 Q_1 が通すように設定される。これは、TFT素子 Q_1 のゲート電位が低いとき(ゲート・ソース間電圧が大きいとき)、より多くの電流を流してしまうので、電源配線 $PW(1)$ の電位(ソース電位)が下がり、TFT素子 Q_1 のゲート・ソース間電圧が電流源回路2より供給された電流を流すよう調整されるからである。また、これは、TFT素子 Q_1 のゲート電位が高いとき(ゲート・ソース間電圧が低いとき)、余り電流が流れないので、電源配線 $PW(1)$ の電位(ソース電位)が上がって、TFT素子 Q_1 のゲート・ソース間電圧が電流源回路2より供給された電流を流すよう調整されるからである。TFT素子 Q_1 のゲート・ソース間電圧はコンデンサ C_1 の端子間電圧として設定される。

【0074】

また、同時に同一列の2つの画素回路 $A_{ij}(1)$ へ電流源回路2より電流が流れないよう、選択されていない画素回路 $A_{ij}(1)$ の各ゲート配線 $G_i(1)$ はロー状態となり、各制御配線 $E_i(1)$ はハイ状態となっている。これにより、同一列に設けられている各画素回路 $A_{ij}(1)$ への電流値設定を可能にしている。電流の値の設定が終了すると、その画素のゲート配線 $G_i(1)$ はロー状態となり、制御配線 $E_i(1)$ はハイ状態となる。このとき、TFT素子 $Q_2 \cdot Q_3$ はともに遮断される。これにより、コンデンサ C_1 は端子間電圧を保持する。

【0075】

このように、第1フィールド期間の期間 $0 \sim 8t$ において各画素回路 $A_{ij}(1)$ のゲート配線 $G_i(1)$ がハイ状態で制御配線 $E_i(1)$ がロー状態となる期間は、電流源回路2を電源配線 $PW(1)$ に接続して各画素に有機EL素子 EL_1 に流す電流の値を設定する第1の動作を行う期間となっている。第1の動作は、有機EL素子 EL_1 に流す電流を各画素回路 $A_{ij}(1)$ に記憶させるために、TFT素子 Q_1 に上記電流を流してコンデンサ C_1 に上記電流に応じた電荷を蓄積させる動作でもある。

【0076】

そして、第1フィールド期間の期間 $8t$ では制御配線 T_{im} がロー状態となり、図2の電源配線 $PW(1)$ は電圧源回路6に接続される。このとき、各画素回路 $A_{ij}(1)$ のゲート配線 $G_i(1)$ はロー状態のまま制御配線 $E_i(1)$ が一斉にロー状態となり、電圧源回路6より、各画素回路 $A_{ij}(1)$ のTFT素子 Q_1 に設定された値の電流が、有機EL素子 EL_1 に流れる。このとき、TFT素子 Q_2 は遮断状態のままであり、TFT素子 Q_3 は導通状態となる。またこのとき、各画素の有機EL素子 EL_1 には、その他の画素の有機EL素子 EL_1 の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0077】

このように、第1フィールド期間の期間 $8t$ は、電圧源回路6を電源配線 $PW(1)$ に接続して各画素の有機EL素子 EL_1 に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。第2の動作は、第1の動作の後に、各画素回路 $A_{ij}(1)$ に記憶させた電流をTFT素子 Q_1 を介して有機EL素子 EL_1 に流す動作でもある。

【0078】

次に、第2フィールド期間となり、期間 $9t \sim 16t$ に渡り制御配線 T_{im} がハイ状態となり、図2の電源配線 $PW(1)$ は電流源回路2に接続される。この間、電流源回路2か

ら電源配線PW(1)を介して画素回路A1j~A6jに、それぞれの第2ビットに対応した電流が供給される。このとき、ゲート配線G1(1)~G6(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつハイ状態となり、制御配線E1(1)~E6(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつロー状態となる。各ゲート配線Gi(1)がハイ状態となるときに、各制御配線Ei(1)がロー状態になり、各ゲート配線Gi(1)がロー状態となるときに、各制御配線Ei(1)がハイ状態になる。

【0079】

このように、第2フィールド期間の期間9t~16tにおいて各画素回路Aij(1)のゲート配線Gi(1)がハイ状態で制御配線Ei(1)がロー状態となる期間は、電流源回路2を電源配線PW(1)に接続して各画素に有機EL素子EL1に流す電流の値を設定する第1の動作を行う期間となっている。

10

【0080】

そして、第2フィールド期間の期間17t~19tに渡り制御配線Timがロー状態となり、図2の電源配線PW(1)は電圧源回路6に接続される。このとき、各画素回路Aij(1)のゲート配線Gi(1)はロー状態のまま制御配線Ei(1)が一斉にロー状態となり、電圧源回路6より、各画素回路Aij(1)のTFT素子Q1に設定された値の電流が、有機EL素子EL1に流れる。またこのとき、各画素の有機EL素子EL1には、その他の画素の有機EL素子EL1の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

20

【0081】

このように、第2フィールド期間の期間17t~19tは、電圧源回路6を電源配線PW(1)に接続して各画素の有機EL素子EL1に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0082】

最後に、第3フィールド期間となり、期間20t~27tに渡り制御配線Timがハイ状態となり、図2の電源配線PW(1)は電流源回路2に接続される。この間、電流源回路2から電源配線PW(1)を介して画素回路A1j~A6jに、それぞれの第3ビットに対応した電流が供給される。このとき、ゲート配線G1(1)~G6(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつハイ状態となり、制御配線E1(1)~E6(1)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつロー状態となる。各ゲート配線Gi(1)がハイ状態となるときに、各制御配線Ei(1)がロー状態になり、各ゲート配線Gi(1)がロー状態となるときに、各制御配線Ei(1)がハイ状態になる。

30

【0083】

このように、第3フィールド期間の期間20t~27tにおいて各画素回路Aij(1)のゲート配線Gi(1)がハイ状態で制御配線Ei(1)がロー状態となる期間は、電流源回路2を電源配線PW(1)に接続して各画素に有機EL素子EL1に流す電流の値を設定する第1の動作を行う期間となっている。

【0084】

そして、第3フィールド期間の期間28t~34tに渡り制御配線Timがロー状態となり、図2の電源配線PW(1)は電圧源回路6に接続される。このとき、各画素回路Aij(1)のゲート配線Gi(1)はロー状態のまま制御配線Ei(1)が一斉にロー状態となり、電圧源回路6より、各画素回路Aij(1)のTFT素子Q1に設定された値の電流が、有機EL素子EL1に流れる。またこのとき、各画素の有機EL素子EL1には、その他の画素の有機EL素子EL1の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

40

【0085】

このように、第3フィールド期間の期間28t~34tは、電圧源回路6を電源配線PW(1)に接続して各画素の有機EL素子EL1に上記第1の動作で設定した値の電流を流

50

す第2の動作を行う期間となっている。

【0086】

なお、上記駆動方法では、各画素回路 $A_{ij}(1)$ の制御配線 $E_i(1)$ を一斉にロー状態とする期間の比率、すなわち第2の動作を行う期間の比率は1:3:7であるが、既に第1の動作においてTFT素子 Q_1 のゲート・ソース間電圧を設定するために各画素回路 $A_{ij}(1)$ の有機EL素子 EL_1 が1t期間だけ表示に使われているので、実質的な表示期間の比率は、2:4:8となり各ビットの重み1:2:4に対応する。

【0087】

前述の図1に示すように本実施の形態に係る画素回路 $A_{ij}(1)$ では、1画素 (= 1ドット) は、有機EL素子 EL_1 (陽極電極たるITO電極) を備える他、1本の電源配線 $PW(1)$ と、1本のゲート配線 $G_i(1)$ および1本の制御配線 $E_i(1)$ と (すなわちゲート配線2本と)、3個のTFT素子と、1個のコンデンサ C_1 とが配置されている。この為、TFT特性のバラツキを電源配線 PW から供給する均一な値の電流により補償し、設定された値の電流を有機EL素子 EL_1 へ流すことができる。そして、従来技術に示した図14や図15の4TFT画素回路構成に比べてTFT素子が1つ少ないことから、ITO面積を広く取ることができる。従って、同一の表示輝度を得るのに必要な有機EL素子 EL_1 の発光輝度は低くて済むので、その分有機EL素子 EL_1 の発光輝度を下げ、有機EL素子 EL_1 の長寿命化を図ることができる。

【0088】

また、従来技術に対して増加したゲート配線である制御配線 $E_i(1)$ は、図4に示すようにゲート配線 $G_i(1)$ とともにRGB各ドットを共通に横切る。従って、従来技術の図14や図15では、TFT領域7やゲート配線 G_i の領域の他に、ソース配線 S_j の為に発光に使えなかった画素エリア (RGB各1ドットで1画素を形成する) が図16のように、

画素長 \times (ソース配線幅 $Y [\mu m] +$ プロセス上の抜き $P [\mu m]$) $\times 3$

であったのに対し、本実施の形態に係る画素回路 $A_{ij}(1)$ の構成では、電源配線 $PW(1)$ が電源配線とソース配線とを兼ねるため、従来の画素回路におけるソース配線が不要となり、図4のように、

画素幅 \times (ゲート配線幅 $Z [\mu m] +$ プロセス上の抜き $P [\mu m]$)

となる。多くの画素では画素幅 画素長 (= RGB各ドットの長さ = RGB各ドットの幅 $X [\mu m] \times 3$) なので、上記差の分だけ本実施の形態の表示装置の方がITO領域8の面積 (即ち有機EL面積) を広く取ることができるので、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度をその分下げ、有機EL素子 EL_1 の長寿命化を図ることができる。

【0089】

また、その結果、各RGBドット辺りのドット幅を広く取ることができる。これは、インクジェットプロセスなどのバンクを形成して、RGB各色の液滴を打ち込むプロセスに置いて、標的となる穴の形状を円形に近づけるので好ましい。

【0090】

以上のように、本実施の形態に係る表示装置によれば、有機EL素子 EL_1 に設定した値の電流を流す画素回路構成を備えながら、より広い面積を透明電極に割り当てることができ、特にスイッチング素子を配置した基板側より発光を取り出す構成、すなわちボトムエミッション構成の画素回路において、透明電極の面積を拡大する効果が大きい。

【0091】

また、従来は各画素の回路ごとにそれぞれ1本ずつ必要であった電源配線とソース配線とを、本実施の形態では電源配線 $PW(1)$ によって共通化しており、配線数を抑えることができるので、この構成は、透明電極の面積を大きくとる上で有用である。これによって、有機EL素子 EL_1 に設定した値の電流を流す画素回路構成を備えながら、より広い面積を透明電極に割り当てることができる表示装置を提供することができる。特にボトムエミッション構造において、透明電極の面積を拡大することが期待できる。

10

20

30

40

50

【0092】

また、有機EL素子は流れる電流の大きさによってその明るさが変わるため、例えば、1出力からの電流のレベルが256段階に分かれていれば、256階調の表示を行うことができる。従って、単純には、設定した階調数を表現するのに、階調数と同じ個数の電流値を用いることが考えられる。しかし、実際には微小な電流を扱うため、特に電流源回路をTFT素子で構成している場合などには技術的な問題から達成できる電流値の数が階調数よりも少なくなることがある。また、最低でも発光素子が光っている状態と光っていない状態とに分ける場合には、電流値はゼロを含めて2つ以上必要になる。こうした制約の中で所定の階調数を得るためには、例えば足りない電流値の数を補うように所定期間内に複数回発光動作を繰り返し、その回数と発光時間とを掛け合わせることでビット数に対応する重みをつけて階調を表現する時間分割法を用いることが考えられる。よって、電流源回路2は、階調を表現するために、最低でも電流値を2以上の複数の値を持つようにし、本実施の形態では少なくとも発光と非発光とに分けるためにゼロの場合を含めて2以上の複数の値を持つようにしている。発光回数と共に電流値を複数の値に設定することにより、回路の設計および素子の駆動条件設定が容易になる利点が生じる。

10

【0093】

これに従って、前述の例では多階調表示を行うようにしている。すなわち、図3において第1～第3フィールド期間を設けたように、第1の動作を行うとともに第1の動作の後に第2の動作を行うことを、1フレーム期間という所定期間に複数回行う。これは、1フレーム期間内に複数回(上記例では3回)、電流設定動作+発光動作を行うことに等しい。前述した1:2:4といった比率の期間を組み合わせることにより、1フレーム期間に有機EL素子EL1に電流が流された期間の長さの総和を変えることができるので、この総和に応じて、電流源回路2の電流値の数以上に細かい階調表示を確保することができる。例えば1:2:4では8階調表示を行うことができる。

20

【0094】

特に、電源配線PW(1)に接続される電流源回路2がTFT等で作られている場合には、電流源回路2から出力することのできる電流値の数の制限がある、すなわち出力電流値の数がゼロを含めて2以上のある整数値に制限される場合が多いので、上述した階調表示が有効である。

【0095】

なお、本実施の形態では表示装置として有機ELディスプレイを例に挙げたが、FED(Field Emission Display)などの表示装置として実現することもできる。

30

【0096】

〔実施の形態2〕

本発明の他の実施の形態について図5および図6を用いて説明すれば以下の通りである。なお、前記実施の形態1で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0097】

図5に、本実施の形態に係る表示装置の画素回路Aij(2)を示す。画素回路Aij(2)は画素1つ分を示し、RGBの各画素があればその1つ分を示す。

40

【0098】

画素回路Aij(2)には、電流駆動型の有機EL素子EL2、n型のTFT素子Q4・Q5、p型のTFT素子Q6、コンデンサC2、ゲート配線Gi(2)、電源配線PW(2)、および制御配線Ei(2)が配置されている。

【0099】

電源配線(第1の配線、配線)PW(2)にTFT素子(第2のアクティブ素子)Q6が接続されている。TFT素子Q6のゲート端子はゲート配線(第2の配線)Gi(2)に接続されている。また、TFT素子Q6の電源配線PW(2)との接続点と反対側に、TFT素子(第1のアクティブ素子、アクティブ素子)Q4と有機EL素子EL1とが、T

50

F T素子Q 4をT F T素子Q 6側として直列に接続されている。有機E L素子E L 2の陽極はT F T素子Q 4側となっている。

【0100】

コンデンサ(電荷保持手段)C 2はT F T素子Q 4のゲート端子とソース端子との間に接続されている。T F T素子(第3のアクティブ素子)Q 5はT F T素子Q 4のドレイン端子とゲート端子との間に接続されている。T F T素子Q 5のゲート端子は制御配線(第3の配線)E iに接続されている。

【0101】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機E L素子E L 2に流す電流の値を設定し、有機E L素子E L 2を上記値の電流で駆動するものである。電源配線P W(2)は、有機E L素子E L 2に電流を流すための配線である。従って、上述の内容から分かるように、T F T素子Q 4は、電源配線P W(2)から有機E L素子E L 2に上記電流を流す経路に有機E L素子E L 2と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がハイ側であるほど導通抵抗は小さく、ロー側であるほど導通抵抗は大きくなる。また、T F T素子Q 6は上記経路に有機E L素子E L 2およびT F T素子Q 4と直列に挿入されたスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0102】

そしてコンデンサC 2は、蓄積した電荷に応じた電圧をT F T素子Q 4の導通抵抗の制御電圧としてT F T素子Q 4のゲート・ソース間に印加する。T F T素子Q 5は、コンデンサC 2に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC 2への電荷供給を可能にし、遮断されている間はコンデンサC 2に蓄積した電荷を保持させる。

【0103】

また、制御配線E i(2)およびゲート配線G i(2)は、各画素内で電源配線P W(2)と直交しており、制御配線E i(2)はT F T素子Q 5のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をT F T素子Q 5のゲート端子に印加し、ゲート配線G i(2)はT F T素子Q 6のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をT F T素子Q 6のゲート端子に印加する。

【0104】

上記構成の画素回路A i j(2)も、実施の形態1で述べた図2の構成のようにm x nのマトリクスをなして表示装置を構成する。このような構成の表示装置の動作を図6を用いて説明する。図6は実施の形態1の図3に対応させて図示してある。

【0105】

1フレーム期間や第1~第3フィールド期間、第1の動作および第2の動作の期間の設定は図3の場合と同じである。異なるところは、ゲート配線G i(2)の電圧状態と制御配線E i(2)の電圧状態とが、実施の形態1のゲート配線G i(1)の電圧状態と制御配線E i(1)の電圧状態とを入れ替えたものとなっていることである。このように電圧状態の入れ替わりはあるが、T F T素子Q 4、T F T素子Q 5、T F T素子Q 6、コンデンサC 2の動作は、順に、図1のT F T素子Q 1、T F T素子Q 2、T F T素子Q 3、コンデンサC 1の果たす役割と同じである。

【0106】

本実施の形態に係る画素回路A i j(2)では、1画素(=1ドット)は、有機E L素子E L 2(陽極電極たるI T O電極)を備える他、1本の電源配線P W(2)と、1本のゲート配線G i(2)と1本の制御配線E i(2)と(すなわちゲート配線2本)、3個のT F T素子と、1個のコンデンサC 2とが配置されている。従って、実施の形態1と同様に、透明電極の面積を広く取ることができる。また、その他の効果が実施の形態1と同様に得られることは明らかである。

10

20

30

40

50

【0107】

〔実施の形態3〕

本発明のさらに他の実施の形態について図7および図8に基づいて説明すれば以下の通りである。なお、前記実施の形態1および2で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0108】

図7に、本実施の形態に係る表示装置の画素回路 $A_{ij}(3)$ を示す。画素回路 $A_{ij}(3)$ は画素1つ分を示し、RGBの各画素があればその1つ分を示す。

【0109】

画素回路 $A_{ij}(3)$ には、電流駆動型の有機EL素子 $EL3$ 、p型のTFT素子 $Q7$ ・ $Q9$ 、n型のTFT素子 $Q8$ 、コンデンサ $C3$ 、ゲート配線 $G_i(3)$ 、電源配線 $PW(3)$ 、および制御配線 $E_i(3)$ が配置されている。

【0110】

電源配線(第1の配線、配線) $PW(3)$ にTFT素子(第2のアクティブ素子) $Q9$ が接続されている。TFT素子 $Q9$ のゲートは制御配線(第2の配線) $E_i(3)$ に接続されている。また、TFT素子 $Q9$ の電源配線 $PW(3)$ との接続点と反対側に、TFT素子(第1のアクティブ素子、アクティブ素子) $Q7$ と有機EL素子 $EL3$ とが、TFT素子 $Q7$ をTFT素子 $Q9$ 側として直列に接続されている。有機EL素子 $EL3$ の陰極はTFT素子 $Q7$ 側となっている。

【0111】

コンデンサ(電荷保持手段) $C3$ はTFT素子 $Q7$ のゲート端子とソース端子との間に接続されている。TFT素子(第3のアクティブ素子) $Q8$ はTFT素子 $Q7$ のドレイン端子とゲート端子との間に接続されている。TFT素子 $Q8$ のゲート端子はゲート配線(第3の配線) $G_i(3)$ に接続されている。

【0112】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機EL素子 $EL3$ に流す電流の値を設定し、有機EL素子 $EL3$ を上記値の電流で駆動するものである。電源配線 $PW(3)$ は、有機EL素子 $EL3$ に電流を流すための配線である。なお、電源配線 $PW(3)$ において電流が流れる向きは、実施の形態1の電源配線 $PW(1)$ および実施の形態2の電源配線 $PW(2)$ とは逆である。従って、上述の内容から分かるように、TFT素子 $Q7$ は、電源配線 $PW(3)$ から有機EL素子 $EL3$ に上記電流を流す経路に有機EL素子 $EL3$ と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がロー側であるほど導通抵抗は小さく、ハイ側であるほど導通抵抗は大きくなる。また、TFT素子 $Q9$ は上記経路に有機EL素子 $EL3$ およびTFT素子 $Q7$ と直列に挿入されたスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0113】

そしてコンデンサ $C3$ は、蓄積した電荷に応じた電圧をTFT素子 $Q7$ の導通抵抗の制御電圧としてTFT素子 $Q7$ のゲート・ソース間に印加する。TFT素子 $Q8$ は、コンデンサ $C3$ に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサ $C3$ への電荷供給を可能にし、遮断されている間はコンデンサ $C3$ に蓄積した電荷を保持させる。

【0114】

また、制御配線 $E_i(3)$ およびゲート配線 $G_i(3)$ は、各画素内で電源配線 $PW(3)$ と直交しており、制御配線 $E_i(3)$ はTFT素子 $Q9$ のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をTFT素子 $Q9$ のゲート端子に印加し、ゲート配線 $G_i(3)$ はTFT素子 $Q8$ のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をTFT素子 $Q8$ のゲート端子に印加する。

【0115】

上記構成の画素回路 $A_{ij}(3)$ も、実施の形態 1 で述べた図 2 の構成のように $m \times n$ のマトリックスをなして表示装置を構成する。このような構成の表示装置の動作を図 8 を用いて説明する。図 8 は実施の形態 1 の図 3 に対応させて図示してある。

【0116】

1 フレーム期間や第 1 ~ 第 3 フィールド期間、第 1 の動作および第 2 の動作の期間の設定は実施の形態 1 と同じであり、ゲート配線 $G_i(3)$ と制御配線 $E_i(3)$ とのハイ状態およびロー状態の関係は、実施の形態 1 のゲート配線 $G_i(1)$ と制御配線 $E_i(1)$ とのハイ状態およびロー状態の関係と同じである。ただし、電源配線 $PW(3)$ が電圧源回路 6 に接続される際には、電圧源回路 6 の出力端子電位は有機 EL 素子 EL_3 の陽極側電位よりも低く設定され、これは、実施の形態 1 において電圧源回路 6 の出力端子電位が有機 EL 素子 EL_1 の陰極側電位よりも高く設定されること、および、実施の形態 2 において電圧源回路 6 の出力端子電位が有機 EL 素子 EL_2 の陰極側電位よりも高く設定されることと異なっている。このように電圧の極性について実施の形態 1 および 2 と異なっているところはあるが、TFT 素子 Q_7 、TFT 素子 Q_8 、TFT 素子 Q_9 、コンデンサ C_3 の動作は、順に、図 3 の TFT 素子 Q_1 、TFT 素子 Q_2 、TFT 素子 Q_3 、コンデンサ C_1 と同じである。

10

【0117】

本実施の形態に係る画素回路 $A_{ij}(3)$ では、1 画素 (= 1 ドット) は、有機 EL 素子 EL_3 (陽極電極たる ITO 電極) を備える他、1 本の電源配線 $PW(3)$ と、1 本のゲート配線 $G_i(3)$ と 1 本の制御配線 $E_i(3)$ と (すなわちゲート配線 2 本)、3 個の TFT 素子と、1 個のコンデンサ C_3 とが配置されている。従って、実施の形態 1 と同様に、透明電極の面積を広く取ることができる。また、その他の効果が実施の形態 1 と同様に得られることは明らかである。

20

【0118】

〔実施の形態 4〕

本発明のさらに他の実施の形態について図 9 および図 10 に基づいて説明すれば以下の通りである。なお、前記実施の形態 1 ないし 3 で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0119】

図 9 に、本実施の形態に係る表示装置の画素回路 $A_{ij}(4)$ を示す。画素回路 $A_{ij}(4)$ は画素 1 つ分を示し、RGB の各画素があればその 1 つ分を示す。

30

【0120】

画素回路 $A_{ij}(4)$ には、電流駆動型の有機 EL 素子 EL_4 、n 型の TFT 素子 $Q_{10} \cdot Q_{11}$ 、p 型の TFT 素子 Q_{12} 、コンデンサ C_4 、ゲート配線 $G_i(4)$ 、電源配線 $PW(4)$ 、および制御配線 $E_i(4)$ が配置されている。

【0121】

電源配線 (第 1 の配線、配線) $PW(4)$ に TFT 素子 (第 2 のアクティブ素子) Q_{12} が接続されている。TFT 素子 Q_{12} のゲート端子はゲート配線 (第 2 の配線) $G_i(4)$ に接続されている。また、TFT 素子 Q_{12} の電源配線 $PW(4)$ との接続点と反対側に、TFT 素子 (第 1 のアクティブ素子、アクティブ素子) Q_{10} と有機 EL 素子 EL_4 とが、TFT 素子 Q_{10} を TFT 素子 Q_{12} 側として直列に接続されている。有機 EL 素子 EL_4 の陽極は TFT 素子 Q_{10} 側となっている。

40

【0122】

コンデンサ (電荷保持手段) C_4 は TFT 素子 Q_{10} のゲート端子とソース端子との間に接続されている。TFT 素子 (第 3 のアクティブ素子) Q_{11} は TFT 素子 Q_{10} のゲート端子と電源配線 $PW(4)$ との間に接続されている。TFT 素子 Q_{11} のゲート端子は制御配線 (第 3 の配線) E_i に接続されている。

【0123】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機 EL 素子

50

EL4に流す電流の値を設定し、有機EL素子EL4を上記値の電流で駆動するものである。電源配線PW(4)は、有機EL素子EL4に電流を流すための配線である。従って、上述の内容から分かるように、TFT素子Q10は、電源配線PW(4)から有機EL素子EL4に上記電流を流す経路に有機EL素子EL4と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がハイ側であるほど導通抵抗は小さく、ロー側であるほど導通抵抗は大きくなる。また、TFT素子Q12は上記経路に有機EL素子EL4およびTFT素子Q10と直列に挿入されたスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

【0124】

そしてコンデンサC4は、蓄積した電荷に応じた電圧をTFT素子Q10の導通抵抗の制御電圧としてTFT素子Q10のゲート・ソース間に印加する。TFT素子Q11は、コンデンサC4に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC4への電荷供給を可能にし、遮断されている間はコンデンサC4に蓄積した電荷を保持させる。

【0125】

また、制御配線Ei(4)およびゲート配線Gi(4)は、各画素内で電源配線PW(4)と直交しており、制御配線Ei(4)はTFT素子Q11のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をTFT素子Q11のゲート端子に印加し、ゲート配線Gi(4)はTFT素子Q12のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をTFT素子Q12のゲート端子に印加する。

【0126】

上記構成の画素回路Aij(4)も、実施の形態1で述べた図2の構成のようにm×nのマトリクスをなして表示装置を構成する。このような構成の表示装置の動作を図10を用いて説明する。図10は実施の形態1の図3に対応させて図示してある。

【0127】

1フレーム期間や第1～第3フィールド期間、第1の動作および第2の動作の期間の設定は図3の場合と同じである。異なるところは、ゲート配線Gi(4)の電圧状態と制御配線Ei(4)の電圧状態とが、実施の形態1のゲート配線Gi(1)の電圧状態と制御配線Ei(1)の電圧状態とを入れ替えたものとなっていることである。このように電圧状態の入れ替わりはあるが、TFT素子Q10、TFT素子Q11、TFT素子Q12、コンデンサC4の動作は、順に、図3のTFT素子Q1、TFT素子Q2、TFT素子Q3、コンデンサC1の動作と同じである。

【0128】

本実施の形態に係る画素回路Aij(4)では、1画素(=1ドット)は、有機EL素子EL4(陽極電極たるITO電極)を備える他、1本の電源配線PW(4)と、1本のゲート配線Gi(4)と1本の制御配線Ei(4)と(すなわちゲート配線2本)、3個のTFT素子と、1個のコンデンサC4とが配置されている。従って、実施の形態1と同様に、透明電極の面積を広く取ることができる。また、その他の効果が実施の形態1と同様に得られることは明らかである。

【0129】

〔実施の形態5〕

本発明のさらに他の実施の形態について図11および図12に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし4で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0130】

図11に、本実施の形態に係る表示装置の画素回路Aij(5)を示す。画素回路Aij(5)は画素1つ分を示し、RGBの各画素があればその1つ分を示す。

【0131】

10

20

30

40

50

画素回路 $A_{ij}(5)$ には、電流駆動型の有機 EL 素子 $EL5$ 、 p 型の TFT 素子 $Q13$ 、 n 型の TFT 素子 $Q14 \cdot Q15 \cdot Q16$ 、コンデンサ $C5$ 、ゲート配線 $G_i(5)$ 、電源配線 $PW(5)$ 、および制御配線 $E_i(5)$ が配置されている。

【0132】

電源配線（第 1 の配線、配線） $PW(5)$ に TFT 素子（第 1 のアクティブ素子、アクティブ素子） $Q13$ とコンデンサ（電荷保持手段） $C5$ とが接続されている。コンデンサ $C5$ は TFT 素子 $Q13$ のゲート端子とソース端子との間に接続されている。その TFT 素子 $Q13$ に、TFT 素子（第 2 のアクティブ素子） $Q15$ と有機 EL 素子（電気光学素子） $EL5$ とが、TFT 素子 $Q15$ を TFT 素子 $Q13$ 側として順に接続されている。TFT 素子 $Q15$ のゲート端子は制御配線（第 2 の配線） $E_i(5)$ に接続されている。有機 EL 素子 $EL5$ は、陽極が TFT 素子 $Q15$ 側となるように接続されている。

10

【0133】

また、TFT 素子 $Q13$ のゲート端子と、TFT 素子 $Q13$ と TFT 素子 $Q15$ との接続点との間に、TFT 素子（第 3 のアクティブ素子） $Q14$ が接続されている。この TFT 素子 $Q14$ のゲート端子はゲート配線（第 3 の配線） $G_i(5)$ に接続されている。また、TFT 素子（第 4 のアクティブ素子） $Q16$ は、TFT 素子 $Q13$ と TFT 素子 $Q15$ との接続点と、制御配線 $E_i(5)$ との間に接続されている。TFT 素子 $Q16$ のゲート端子はゲート配線 $G_i(5)$ に接続されている。

【0134】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機 EL 素子 $EL5$ に流す電流の値を設定し、有機 EL 素子 $EL5$ を上記値の電流で駆動するものである。電源配線 $PW(5)$ は、有機 EL 素子 $EL5$ に電流を流すための配線である。有機 EL 素子 $EL5$ に電流を流すときには、後述するように TFT 素子 $Q15$ は導通し、TFT 素子 $Q16$ は遮断される。従って、上述の内容から分かるように、TFT 素子 $Q13$ は、電源配線 $PW(5)$ から有機 EL 素子 $EL5$ に上記電流を流す経路に有機 EL 素子 $EL5$ と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がロー側であるほど導通抵抗は小さく、ハイ側であるほど導通抵抗は大きくなる。また、TFT 素子 $Q15$ は上記経路に有機 EL 素子 $EL5$ および TFT 素子 $Q13$ と直列に挿入されたスイッチング素子であり、そのゲート端子が導通 / 遮断用の制御端子である。ゲート端子にローの電圧が印加されるときに導通し、ハイの電圧が印加されるときに遮断される。

20

30

【0135】

そしてコンデンサ $C5$ は、蓄積した電荷に応じた電圧を TFT 素子 $Q13$ の導通抵抗の制御電圧として TFT 素子 $Q13$ のゲート端子に印加する。TFT 素子 $Q14$ は、コンデンサ $C5$ に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通 / 遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサ $C5$ への電荷供給を可能にし、遮断されている間はコンデンサ $C5$ に蓄積した電荷を保持させる。TFT 素子 $Q16$ は、ゲート端子を導通 / 遮断用の制御端子とする。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。

40

【0136】

また、制御配線 $E_i(5)$ およびゲート配線 $G_i(5)$ は、各画素内で電源配線 $PW(5)$ と直交しており、制御配線 $E_i(5)$ は TFT 素子 $Q15$ のスイッチング状態を決める電圧（導通 / 遮断用の制御電圧）を TFT 素子 $Q15$ のゲート端子に印加し、ゲート配線 $G_i(5)$ は TFT 素子 $Q14 \cdot Q16$ のスイッチング状態を決める電圧（導通 / 遮断用の制御電圧）を TFT 素子 $Q14 \cdot Q16$ のゲート端子に印加する。

【0137】

この画素回路 $A_{ij}(5)$ も、実施の形態 1 で図 2 を用いて説明したように、 $m \times n$ のマトリックス状に配置することで表示装置を形成することができる。

【0138】

50

次に、この表示装置の駆動方法を図 1 2 を用いて説明する。なお、図 1 2 も実施の形態 1 の図 3 に対応させて図示してある。

【 0 1 3 9 】

同図に示すように、表示装置の 1 フレーム期間は期間 0 ~ 3 7 t の 3 8 t 期間であり、最初の 1 0 t 期間が第 1 フィールド期間であり、次の 1 2 t 期間が第 2 フィールド期間であり、最後の 1 6 t 期間が第 3 フィールド期間である。そして、第 1 フィールド期間の期間 0 ~ 7 t に渡り制御配線 T i m がハイ状態となり、図 1 1 の電源配線 P W (5) は電流源回路 2 に接続される。

【 0 1 4 0 】

この間、電流源回路 2 から電源配線 P W (5) を介して画素回路 A 1 j ~ A 6 j に、それぞれの第 1 ビットに対応した電流が供給される。このとき、ゲート配線 G 1 (5) ~ G 6 (5) のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつハイ状態となり、制御配線 E 1 (5) ~ E 6 (5) のそれぞれはロー状態を保つ。

【 0 1 4 1 】

この各ゲート配線 G i (5) がハイ状態で各制御配線 E i (5) がロー状態であるとき、画素回路 A i j (5) では T F T 素子 Q 1 4 と T F T 素子 Q 1 6 とが導通状態、T F T 素子 Q 1 5 が遮断状態となり、電流源回路 2 より供給された電流は電源配線 P W (5) と T F T 素子 Q 1 3 と T F T 素子 Q 1 6 とを通過して、制御配線 E i (5) に流れ込む。

【 0 1 4 2 】

このとき、T F T 素子 Q 1 3 のゲート・ソース間電圧は、与えられた値の電流を T F T 素子 Q 1 3 が通すように設定される。これは、T F T 素子 Q 1 3 のゲート電位が低いとき（ゲート・ソース間電圧が大きいとき）、より多くの電流を流してしまうので、電源配線 P W (5) の電位（ソース電位）が下がり、T F T 素子 Q 1 3 のゲート・ソース間電圧が電流源回路 2 より供給された電流を流すよう調整されるからである。また、これは、T F T 素子 Q 1 3 のゲート電位が高いとき（ゲート・ソース間電圧が低いとき）、余り電流が流れないので、電源配線 P W (5) の電位（ソース電位）が上がって、T F T 素子 Q 1 3 のゲート・ソース間電圧が電流源回路 2 より供給された電流を流すよう調整されるからである。T F T 素子 Q 1 3 のゲート・ソース間電圧はコンデンサ C 5 の端子間電圧として設定される。

【 0 1 4 3 】

また、同時に同一列の 2 つの画素回路 A i j (5) へ電流源回路 2 より電流が流れないように、選択されていない画素回路 A i j (5) の各ゲート配線 G i (5) および各制御配線 E i (5) はロー状態となっている。これにより、同一列に設けられている各画素回路 A i j (1) への電流値設定を可能にしている。電流の値の設定が終了すると、その画素のゲート配線 G i (5) はロー状態となる。このとき、T F T 素子 Q 1 4 ・ Q 1 6 はともに遮断される。これにより、コンデンサ C 5 は端子間電圧を保持する。

【 0 1 4 4 】

このように、第 1 フィールド期間の期間 0 ~ 7 t において各画素回路 A i j (5) のゲート配線 G i (5) がハイ状態で制御配線 E i (5) がロー状態となる期間は、電流源回路 2 を電源配線 P W (5) に接続して各画素に有機 E L 素子 E L 5 に流す電流の値を設定する第 1 の動作を行う期間となっている。第 1 の動作は、有機 E L 素子 E L 5 に流す電流を各画素回路 A i j (5) に記憶させるために、T F T 素子 Q 1 3 に上記電流を流してコンデンサ C 5 に上記電流に応じた電荷を蓄積させる動作でもある。

【 0 1 4 5 】

そして、第 1 フィールド期間の期間 8 t ~ 9 t に渡り制御配線 T i m がロー状態となり、電源配線 P W (5) は電圧源回路 6 に接続される。このとき、各画素回路 A i j (5) のゲート配線 G i (5) はロー状態のまま制御配線 E i (5) が一斉にハイ状態となり、電圧源回路 6 より、各画素回路 A i j (5) の T F T 素子 Q 1 3 に設定された値の電流が、有機 E L 素子 E L 5 に流れる。このとき、T F T 素子 Q 1 4 ・ Q 1 6 は遮断状態のままであり、T F T 素子 Q 1 5 は導通状態となる。またこのとき、各画素の有機 E L 素子 E L

5には、その他の画素の有機EL素子EL5の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0146】

このように、第1フィールド期間の期間 $8t \sim 9t$ は、電圧源回路6を電源配線PW(5)に接続して各画素の有機EL素子EL5に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。第2の動作は、第1の動作の後に、各画素回路 A_{ij} (5)に記憶させた電流をTFT素子 Q_{13} を介して有機EL素子EL5に流す動作でもある。

【0147】

次に、第2フィールド期間となり、期間 $10t \sim 17t$ に渡り制御配線Timがハイ状態となり、電源配線PW(5)は電流源回路2に接続される。この間、電流源回路2から電源配線PW(5)を介して画素回路 $A_{1j} \sim A_{6j}$ に、それぞれの第2ビットに対応した電流が供給される。このとき、ゲート配線 $G_1(5) \sim G_6(5)$ のそれぞれは、図示されるように対応するタイミングで順次 $1t$ 期間ずつハイ状態となり、制御配線 $E_1(5) \sim E_6(5)$ のそれぞれはロー状態を保つ。

【0148】

このように、第2フィールド期間の期間 $10t \sim 17t$ において各画素回路 $A_{ij}(5)$ のゲート配線 $G_i(5)$ がハイ状態で制御配線 $E_i(5)$ がロー状態となる期間は、電流源回路2を電源配線PW(5)に接続して各画素に有機EL素子EL5に流す電流の値を設定する第1の動作を行う期間となっている。

【0149】

そして、第2フィールド期間の期間 $18t \sim 21t$ に渡りの制御配線Timがロー状態となり、電源配線PW(5)は電圧源回路6に接続される。このとき、各画素回路 $A_{ij}(5)$ のゲート配線 $G_i(5)$ がロー状態のまま制御配線 $E_i(5)$ は一斉にハイ状態となり、電圧源回路6より、各画素回路 $A_{ij}(5)$ のTFT素子 Q_{13} に設定された値の電流が、有機EL素子EL5に流れる。このとき、各画素の有機EL素子EL5には、その他の画素の有機EL素子EL5の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0150】

このように、第2フィールド期間の期間 $18t \sim 21t$ は、電圧源回路6を電源配線PW(5)に接続して各画素の有機EL素子EL5に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0151】

最後に、第3フィールド期間となり、期間 $22t \sim 29t$ に渡り、制御配線Timがハイ状態となり、電源配線PW(5)は電流源回路2に接続される。この間、電流源回路2から電源配線PW(5)を介して画素回路 $A_{1j} \sim A_{6j}$ に、それぞれの第3ビットに対応した電流が供給される。このとき、ゲート配線 $G_1(5) \sim G_6(5)$ のそれぞれは、図示されるように対応するタイミングで順次 $1t$ 期間ずつハイ状態となり、制御配線 $E_1(5) \sim E_6(5)$ のそれぞれはロー状態を保つ。

【0152】

このように、第3フィールド期間の期間 $22t \sim 29t$ において各画素回路 $A_{ij}(5)$ のゲート配線 $G_i(5)$ がハイ状態で制御配線 $E_i(5)$ がロー状態となる期間は、電流源回路2を電源配線PW(5)に接続して各画素に有機EL素子EL5に流す電流の値を設定する第1の動作を行う期間となっている。

【0153】

そして、第3フィールド期間の期間 $30t \sim 37t$ に渡り、制御配線Timがロー状態となり、電源配線PW(5)は電圧源回路6に接続される。このとき、各画素回路 $A_{ij}(5)$ のゲート配線 $G_i(5)$ がロー状態のまま制御配線 $E_i(5)$ は一斉にハイ状態となり、電圧源回路6より、各画素回路 $A_{ij}(5)$ のTFT素子 Q_{13} に設定された値の電流が、有機EL素子EL5に流れる。このとき、各画素の有機EL素子EL5には、そ

の他の画素の有機EL素子EL5の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0154】

このように、第3フィールド期間の期間 $30t \sim 37t$ は、電圧源回路6を電源配線PW(5)に接続して各画素の有機EL素子EL5に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0155】

上述の画素回路 $A_{ij}(5)$ の駆動方法では、第1の動作を行う期間には有機EL素子EL5には電流を流さず、第2の動作を行う期間にのみ有機EL素子EL5に電流を流すようにしている。従って、第1～第3フィールド期間の発光可能期間の比率は第2の動作を行う期間の比率に等しく、1:2:4となっている。

10

【0156】

本実施の形態に係る画素回路 $A_{ij}(5)$ では、1画素(=1ドット)は、有機EL素子EL5(陽極電極たるITO電極)を備える他、1本の電源配線PW(5)と、1本のゲート配線 $G_i(5)$ と1本の制御配線 $E_i(5)$ と(すなわちゲート配線2本)、4個のTFT素子と、1個のコンデンサC5とが配置されている。また、従来技術に対して増加したゲート配線である制御配線 $E_i(5)$ は、前述の図4に示したのと同じように、ゲート配線 $G_i(5)$ とともにRGB各ドットを共通に横切る。このことと、ソース配線が不要であることから、TFT素子が4つであっても本実施の形態の表示装置は、従来技術の図14や図15の画素回路を用いた構成の表示装置よりも、ITO領域の面積(即ち有機EL面積)を広く取ることができる。従って、その分、有機EL素子EL5の発光輝度を下げ、有機EL素子EL5の長寿命化を図ることができる。

20

【0157】

また、その結果、各RGBドット辺りのドット幅を広く取ることができる。これは、インクジェットプロセスなどのバンクを形成して、RGB各色の液滴を打ち込むプロセスに置いて、標的となる穴の形状を円形に近づけるので好ましい。

【0158】

以上のように、本実施の形態に係る表示装置によれば、有機EL素子EL5に設定した値の電流を流す画素回路構成を備えながら、より広い面積を透明電極に割り当てることができる。

30

【0159】

実施の形態1で述べたその他の効果が同様に得られることは明らかである。

【0160】

〔実施の形態6〕

本発明のさらに他の実施の形態について図17および図18に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし5で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0161】

図17に、本実施の形態に係る表示装置の画素回路 $A_{ij}(6)$ を示す。画素回路 $A_{ij}(6)$ は画素1つ分を示し、RGBの各画素があればその1つ分を示す。

40

【0162】

画素回路 $A_{ij}(6)$ には、電流駆動型の有機EL素子EL6、p型のTFT素子Q17、n型のTFT素子Q18、コンデンサC6、ゲート配線 $G_i(6)$ 、電源配線PW(6)、および制御配線 $W_i(6)$ が配置されている。

【0163】

電源配線(第1番配線、配線)PW(6)にTFT素子(第1番アクティブ素子、アクティブ素子)Q17のソース端子が接続され、TFT素子Q17のゲート端子にはコンデンサ(電荷保持手段)C6の一方の端子とTFT素子(第2番アクティブ素子)Q18のソース端子とが接続されている。TFT素子Q18のゲート端子はゲート配線(第2番配線) $G_i(6)$ に接続されている。コンデンサC6の他方の端子は制御配線(第3番配線)

50

W_i(6)に接続され、TFT素子Q₁₇・Q₁₈のドレイン端子には有機EL素子(電気光学素子)E_{L6}の陽極が接続されている。

【0164】

本実施の形態に係る表示装置は、各画素に、上記各素子および配線を用いて有機EL素子E_{L6}に流す電流の値を設定し、有機EL素子E_{L6}を上記値の電流で駆動するものである。電源配線PW(6)は、有機EL素子E_{L6}に電流を流すための配線である。有機EL素子E_{L6}に流す電流値を設定するときには、後述するようにTFT素子Q₁₈を導通させる。従って、上述の内容から分かるように、TFT素子Q₁₇は、電源配線PW(6)から有機EL素子E_{L6}に上記電流を流す経路に有機EL素子E_{L6}と直列に挿入されており、そのゲート端子が導通抵抗の制御端子である。ゲート端子に印加される電圧がロー側であるほど導通抵抗は小さく、ハイ側であるほど導通抵抗は大きくなる。

10

【0165】

そしてコンデンサC₆は、蓄積した電荷に応じた電圧をTFT素子Q₁₇の導通抵抗の制御電圧としてTFT素子Q₁₇のゲート端子に印加する。TFT素子Q₁₈は、コンデンサC₆に対する電荷供給経路上に挿入されるスイッチング素子であり、そのゲート端子が導通/遮断用の制御端子である。ゲート端子にハイの電圧が印加されるときに導通し、ローの電圧が印加されるときに遮断される。導通している間はコンデンサC₆への電荷供給を可能にし、遮断されている間はコンデンサC₆に蓄積した電荷を保持させる。

【0166】

また、制御配線W_i(6)およびゲート配線G_i(6)は、各画素内で電源配線PW(6)と直交しており、ゲート配線G_i(6)はTFT素子Q₁₈のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をTFT素子Q₁₈のゲート端子に印加する。制御配線W_i(6)はコンデンサC₆の端子電位を制御し、TFT素子Q₁₇のスイッチング状態を決める電圧(導通/遮断用の制御電圧)をTFT素子Q₁₇のゲート端子に印加する。

20

【0167】

この画素回路A_{ij}(6)も、実施の形態1で図2を用いて説明したように、m×nのマトリックス状に配置することで表示装置を形成することができる。

【0168】

次に、この表示装置の駆動方法を図18を用いて説明する。なお、図18も実施の形態1の図3に対応させて図示してある。ただし、図3のE_i(1)は図18ではW_i(6)となっている。

30

【0169】

同図に示すように、表示装置の1フレーム期間は期間0~34tの35t期間であり、最初の9t期間が第1フィールド期間であり、次の11t期間が第2フィールド期間であり、最後の15t期間が第3フィールド期間である。そして、第1フィールド期間の期間0~7tに渡り制御配線T_{im}がハイ状態となり、図17の電源配線PW(6)は電流源回路2に接続される。

【0170】

この間、電流源回路2から電源配線PW(6)を介して画素回路A_{1j}~A_{6j}に、それぞれの第1ビットに対応した電流が供給される。このとき、ゲート配線G₁(6)~G₆(6)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつハイ状態となり、制御配線W₁(6)~W₆(6)のそれぞれは、図示されるように対応するタイミングで順次1t期間ずつロー状態となる。

40

【0171】

この各ゲート配線G_i(6)がハイ状態で各制御配線W_i(6)がロー状態であるとき、画素回路A_{ij}(6)ではTFT素子Q₁₈が導通状態となり、電流源回路2より供給された電流は電源配線PW(6)とTFT素子Q₁₇とを通過して有機EL素子E_{L6}に流れ込む。

【0172】

50

このとき、TFT素子Q17のゲート・ソース間電圧は、与えられた値の電流をTFT素子Q17が通すように設定される。これは、TFT素子Q17のゲート電位が低いとき（ゲート・ソース間電圧が大きいとき）、より多くの電流を流してしまうので、TFT素子Q17のドレイン電位が上がり、電流を減少させてTFT素子Q17のゲート・ソース間電圧が電流源回路2より供給された電流を流すよう調整されるからである。また、これは、TFT素子Q17のゲート電位が高いとき（ゲート・ソース間電圧が低いとき）、余り電流が流れないので、TFT素子Q17のドレイン電位が下がり、電流を増加させてTFT素子Q17のゲート・ソース間電圧が電流源回路2より供給された電流を流すよう調整されるからである。

【0173】

TFT素子Q17のゲート・ソース間電圧は、コンデンサC6の端子間電圧と制御配線Wi(6)の電圧とで設定される。すなわち、TFT素子Q17のゲート端子と接続されているコンデンサC6の端子の電位は、制御配線Wi(6)の電圧（電位）にコンデンサC6の端子間電圧を加えたものとなる。なお、TFT素子Q17が導通しているときのソース端子の電位は、TFTQ17および有機EL素子EL6に定電流が流れることによりある所定値をとる。従って、コンデンサC6がTFTQ17のゲート端子に印加する制御電圧は、コンデンサC6の蓄積した電荷に応じた電圧となっているが、この電圧には制御配線Wi(6)の電圧が基準電圧分として含まれていて、制御電圧はこの基準電圧分にコンデンサC6の端子間電圧を加えたものとなる。このように、制御配線Wi(6)はコンデンサC6に制御電圧の基準電圧分を与える。TFT素子Q17の導通抵抗を遮断相当のものとするときはゲート端子に十分に大きな制御電圧を印加すればよいので、例えば基準電圧分を大きくすることで達成される。

【0174】

また、同時に同一列の2つの画素回路Aij(6)へ電流源回路2より電流が流れないよう、選択されていない(ki)画素回路Akj(6)の各ゲート配線Gk(6)はロー状態となり各制御配線Wk(6)はハイ状態となっている。これにより、同一列に設けられている各画素回路Aij(6)への個別の電流値設定を可能にしている。電流の値の設定が終了すると、その画素のゲート配線Gi(6)はロー状態となりTFT素子Q18は遮断される。これにより、コンデンサC6は蓄積した電荷を保持し、端子間電圧を保持する。また、制御配線Wi(6)もハイ状態となる。制御配線Wi(6)の電位がロー状態からハイ状態へ変化したことと、コンデンサC6の電荷が保持されたこととに対応して、コンデンサC6の両端子の電位は上昇する。その結果、TFT素子Q17のゲート端子電位も上昇し、TFT素子Q17は遮断される。すなわち、制御配線Wi(6)が与える基準電圧分をロー状態からハイ状態というように適切に変えれば、コンデンサC6が上記電荷を保持した状態でTFT素子Q17の導通抵抗を遮断相当のものとし、有機EL素子EL6へ流れる電流を遮断することができる。

【0175】

このように、第1フィールド期間の期間0~7tにおいて各画素回路Aij(6)のゲート配線Gi(6)がハイ状態で制御配線Wi(6)がロー状態となる期間は、電流源回路2を電源配線PW(6)に接続して各画素に有機EL素子EL6に流す電流の値を設定する第1の動作を行う期間となっている。第1の動作は、有機EL素子EL6に流す電流を各画素回路Aij(6)に記憶させるために、TFT素子Q17に上記電流を流してコンデンサC6に上記電流に応じた電荷を蓄積させる動作でもある。

【0176】

そして、第1フィールド期間の期間8tでは制御配線Timがロー状態となり、電源配線PW(6)は電圧源回路6に接続される。このとき、各画素回路Aij(6)のゲート配線Gi(6)はロー状態のままで制御配線Wi(6)が一斉にロー状態となり、電圧源回路6より、各画素回路Aij(6)のTFT素子Q17に設定された値の電流が、有機EL素子EL6に流れる。このとき、TFT素子Q18は遮断状態のままである。すなわち、TFT素子Q18を遮断したままで、制御配線Wi(6)が与える基準電圧分を、先に

10

20

30

40

50

コンデンサ C 6 への電荷供給経路を電荷供給可能な状態としたときの値に戻せば、設定した値の電流で有機 E L 素子 E L 6 を駆動することができる。またこのとき、各画素の有機 E L 素子 E L 6 には、その他の画素の有機 E L 素子 E L 6 の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【 0 1 7 7 】

このように、第 1 フィールド期間の期間 8 t は、電圧源回路 6 を電源配線 P W (6) に接続して各画素の有機 E L 素子 E L 6 に上記第 1 の動作で設定した値の電流を流す第 2 の動作を行う期間となっている。第 2 の動作は、第 1 の動作の後に、各画素回路 A i j (6) に記憶させた電流を T F T 素子 Q 1 7 を介して有機 E L 素子 E L 6 に流す動作でもある。

【 0 1 7 8 】

次に、第 2 フィールド期間となり、期間 9 t ~ 1 6 t に渡り制御配線 T i m がハイ状態となり、電源配線 P W (6) は電流源回路 2 に接続される。この間、電流源回路 2 から電源配線 P W (6) を介して画素回路 A 1 j ~ A 6 j に、それぞれの第 2 ビットに対応した電流が供給される。このとき、ゲート配線 G 1 (6) ~ G 6 (6) のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつハイ状態となり、制御配線 W 1 (6) ~ W 6 (6) のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつロー状態となる。

【 0 1 7 9 】

このように、第 2 フィールド期間の期間 9 t ~ 1 6 t において各画素回路 A i j (6) のゲート配線 G i (6) がハイ状態で制御配線 W i (6) がロー状態となる期間は、電流源回路 2 を電源配線 P W (6) に接続して各画素に有機 E L 素子 E L 6 に流す電流の値を設定する第 1 の動作を行う期間となっている。

【 0 1 8 0 】

そして、第 2 フィールド期間の期間 1 7 t ~ 1 9 t に渡り制御配線 T i m がロー状態となり、電源配線 P W (6) は電圧源回路 6 に接続される。このとき、各画素回路 A i j (6) のゲート配線 G i (6) がロー状態のままで制御配線 W i (6) は一斉にロー状態となり、電圧源回路 6 より、各画素回路 A i j (6) の T F T 素子 Q 1 7 に設定された値の電流が、有機 E L 素子 E L 6 に流れる。このとき、各画素の有機 E L 素子 E L 6 には、その他の画素の有機 E L 素子 E L 6 の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【 0 1 8 1 】

このように、第 2 フィールド期間の期間 1 7 t ~ 1 9 t は、電圧源回路 6 を電源配線 P W (6) に接続して各画素の有機 E L 素子 E L 6 に上記第 1 の動作で設定した値の電流を流す第 2 の動作を行う期間となっている。

【 0 1 8 2 】

最後に、第 3 フィールド期間となり、期間 2 0 t ~ 2 7 t に渡り、制御配線 T i m がハイ状態となり、電源配線 P W (6) は電流源回路 2 に接続される。この間、電流源回路 2 から電源配線 P W (6) を介して画素回路 A 1 j ~ A 6 j に、それぞれの第 3 ビットに対応した電流が供給される。このとき、ゲート配線 G 1 (6) ~ G 6 (6) のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつハイ状態となり、制御配線 W 1 (6) ~ W 6 (6) のそれぞれは、図示されるように対応するタイミングで順次 1 t 期間ずつロー状態となる。

【 0 1 8 3 】

このように、第 3 フィールド期間の期間 2 0 t ~ 2 7 t において各画素回路 A i j (6) のゲート配線 G i (6) がハイ状態で制御配線 W i (6) がロー状態となる期間は、電流源回路 2 を電源配線 P W (6) に接続して各画素に有機 E L 素子 E L 6 に流す電流の値を設定する第 1 の動作を行う期間となっている。

【 0 1 8 4 】

そして、第 3 フィールド期間の期間 2 8 t ~ 3 4 t に渡り、制御配線 T i m がロー状態となり、電源配線 P W (6) は電圧源回路 6 に接続される。このとき、各画素回路 A i j (

10

20

30

40

50

6)のゲート配線 $G_i(6)$ がロー状態のまま制御配線 $W_i(6)$ は一斉にロー状態となり、電圧源回路6より、各画素回路 $A_{ij}(6)$ のTFT素子 Q_{17} に設定された値の電流が、有機EL素子 EL_6 に流れる。このとき、各画素の有機EL素子 EL_6 には、その他の画素の有機EL素子 EL_6 の駆動状態、すなわち電流を流すか否かに関わらず、設定された値の電流が流れる。

【0185】

このように、第3フィールド期間の期間 $28t \sim 34t$ は、電圧源回路6を電源配線 $PW(6)$ に接続して各画素の有機EL素子 EL_6 に上記第1の動作で設定した値の電流を流す第2の動作を行う期間となっている。

【0186】

上述の画素回路 $A_{ij}(6)$ の駆動方法では、第1の動作を行う期間でも有機EL素子 EL_6 に各 $1t$ 期間ずつ電流を流す。従って、第1～第3フィールド期間の第2の動作を行う期間の比率は $1:3:7$ となっているが、各フィールド期間の発光可能期間の比率は上記各 $1t$ 期間ずつを足した比率である $1:2:4$ となっている。

【0187】

本実施の形態に係る画素回路 $A_{ij}(6)$ では、1画素 (= 1ドット) は、有機EL素子 EL_6 (陽極電極たるITO電極) を備える他、1本の電源配線 $PW(6)$ と、1本のゲート配線 $G_i(6)$ と1本の制御配線 $W_i(6)$ と (すなわちゲート配線2本と)、2個のTFT素子と、1個のコンデンサ C_6 とが配置されている。また、ゲート配線 $G_i(6)$ および制御配線 $W_i(6)$ は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、従来の4TFT画素回路構成よりもアクティブ素子が2つ少なく済むことから、透明電極の面積 (即ち有機EL面積) を広く取ることができる。従って、その分、有機EL素子 EL_6 の発光輝度を下げ、有機EL素子 EL_6 の長寿命化を図ることができる。また、実施の形態1で述べたその他の効果が同様に得られることは明らかである。

【0188】

【発明の効果】

本発明の表示装置は、以上のように、上記各画素には、上記電気光学素子に上記電流を流すための第1の配線と、上記第1の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第1のアクティブ素子と、上記経路に上記電気光学素子および上記第1のアクティブ素子と直列に挿入されるとともに導通/遮断用の制御端子を有する第2のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1のアクティブ素子の導通抵抗の制御電圧として上記第1のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通/遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第3のアクティブ素子と、上記第2のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第2の配線と、上記第3のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第3の配線とが配置されている構成である。

【0189】

それゆえ、アクティブ素子は1画素につき3個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2および第3の配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、従来の4TFT画素回路構成よりもアクティブ素子が1つ少なく済むことから、また、従来のソース配線が不要であることから、透明電極の面積を大きくとることができる。

【0190】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることのできる表示装置を提供することができるという効果を奏する。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善されるという効果を奏する。

10

20

30

40

50

【0191】

また、本発明の表示装置は、以上のように、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第1の配線と、上記第1の配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第1のアクティブ素子と、上記経路に上記電気光学素子および上記第1のアクティブ素子と直列に挿入されるとともに導通/遮断用の制御端子を有する第2のアクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1のアクティブ素子の導通抵抗の制御電圧として上記第1のアクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通/遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第3のアクティブ素子と、上記第2のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第2の配線と、上記第3のアクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第3の配線と、上記第1のアクティブ素子と上記第2のアクティブ素子との接続点と上記第2の配線との間に接続されるとともに、上記第3の配線に接続される導通/遮断用の制御端子を有する第4のアクティブ素子とが配置されている構成である。

10

【0192】

それゆえ、アクティブ素子は1画素につき4個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2および第3の配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、従来のソース配線が不要であることから、透明電極の面積を大きくとることができる。

20

【0193】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることができる表示装置を提供することができるという効果を奏する。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善されるという効果を奏する。

【0194】

さらに本発明の表示装置は、以上のように、上記第1の配線には電流源回路と電圧源回路とが切り替え可能に接続される構成である。

30

【0195】

それゆえ、各画素に電気光学素子の電流の値を設定するときには第1の配線に電流源回路を接続してこの電流源回路からの電流で電気光学素子の電流の値を設定し、電気光学素子の電流の値を設定した後に第1の配線に電圧源回路を切り替え接続してこの電圧源回路からの印加電圧により、第2のアクティブ素子が導通状態である期間に、他の画素の電気光学素子の駆動状態に関わらずに、電気光学素子を設定した値の電流で駆動することができるという効果を奏する。

【0196】

さらに本発明の表示装置は、以上のように、上記電流源回路を上記第1の配線に接続して各画素に上記電気光学素子に流す電流の値を設定する第1の動作を行った後、上記電圧源回路を上記第1の配線に接続して各画素の上記電気光学素子に上記第1の動作で設定した値の電流を流す第2の動作を行う構成である。

40

【0197】

それゆえ、第1の動作により電流源回路からの電流で各画素に電気光学素子の電流の値を設定することができ、その後、第2の動作により、第1の動作で設定された値の電流を電圧源回路から電気光学素子に流して電気光学素子を駆動することができるという効果を奏する。

【0198】

さらに本発明の表示装置は、以上のように、上記電流源回路が出力することのできる電流値は複数通りあり、上記第1の動作を行うとともに上記第1の動作の後に上記第2の動作

50

を行うことを、所定期間に複数回行う構成である。

【0199】

それゆえ、所定期間に電気光学素子に電流が流された期間の長さの総和に応じて、電流源回路の電流値の数以上に細かい階調表示を確保することができるという効果を奏する。

【0200】

特に、第1の配線に接続される電流源回路がTFT等で作られている場合には、電流源回路から出力することのできる電流値の数に制限がある場合が多いので、上記の階調表示が有効であるという効果を奏する。

【0201】

また、本発明の表示装置は、以上のように、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための第1番配線と、上記第1番配線から上記電気光学素子に上記電流を流す経路に上記電気光学素子と直列に挿入されるとともに導通抵抗の制御端子を有する第1番アクティブ素子と、電荷を蓄積し、蓄積した電荷に応じた電圧を上記第1番アクティブ素子の導通抵抗の制御電圧として上記第1番アクティブ素子の制御端子に印加する電荷保持手段と、上記電荷保持手段に対する電荷供給経路上に挿入されるとともに導通/遮断用の制御端子を有し、遮断によって上記電荷保持手段に蓄積した電荷を保持させる第2番アクティブ素子と、上記第2番アクティブ素子の制御端子に導通/遮断用の制御電圧を印加する第2番配線と、上記電荷保持手段の蓄積した電荷に応じた電圧に含まれる基準電圧分を上記電荷保持手段に与える第3番配線とが配置されている構成である。

【0202】

それゆえ、アクティブ素子は1画素につき2個、コンデンサなどの電荷保持手段が1個、さらに配線が3本あればよく、また、第2番および第3番配線は、カラー表示装置の場合にRGB各画素に共通に設けることができる。従って、従来の4TFT画素回路構成よりもアクティブ素子が2つ少なく済むことから、透明電極の面積を大きくとることができる。また、従来のソース配線が不要であることから、さらに透明電極の面積を大きくとることができる。

【0203】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることができる表示装置を提供することができるという効果を奏する。またこれにより、例えば同一の表示輝度を得るために必要な有機EL素子の発光輝度を低下させることができ、その輝度寿命を改善されるという効果を奏する。

【0204】

また、本発明の表示装置は、以上のように、電気光学素子を備える各画素に上記電気光学素子に流す電流の値を設定して、上記電気光学素子を上記電流で駆動する表示装置において、上記各画素には、上記電気光学素子に上記電流を流すための配線が配置されており、上記配線から上記電気光学素子に上記電流を流す経路に、導通抵抗の制御端子を有するアクティブ素子が、上記電気光学素子と直列に挿入されるとともに、電荷を蓄積し、蓄積した電荷に応じた電圧を上記アクティブ素子の導通抵抗の制御電圧として上記アクティブ素子の制御端子に印加する電荷保持手段とが配置され、上記電流を上記画素の回路に記憶させるために上記アクティブ素子に上記電流を流して上記電荷保持手段に上記電流に応じた電荷を蓄積させる第1の動作を行うために、上記配線に定電流を出力する電流源回路と、上記第1の動作の後に、上記回路に記憶させた上記電流を上記アクティブ素子を介して上記電気光学素子に流す第2の動作を行うために上記配線に定電圧を出力する電圧源回路とが、上記配線に切り替え可能に接続されている構成である。

【0205】

それゆえ、従来は各画素の回路ごとにそれぞれ1本ずつ必要であった電源配線とソース配線とを、上記配線によって共通化することができ、配線数を抑えることができるので、透明電極の面積を大きくとる上で有用である。

10

20

30

40

50

【 0 2 0 6 】

この結果、電気光学素子に設定した値の電流を流す画素回路構成の表示装置において、より広い面積を透明電極に割り当てることができる表示装置を提供することができるという効果を奏する。特にスイッチング素子を配置した基板側より発光を取り出す構成、すなわちボトムエミッション構造において、透明電極の面積を拡大することが期待できるという効果を奏する。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【 図 2 】 本発明の第 1 の実施の形態に係る表示装置の構成を示す回路ブロック図である。

10

【 図 3 】 本発明の第 1 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【 図 4 】 図 1 の画素回路を備える画素のレイアウトを示す平面図である。

【 図 5 】 本発明の第 2 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【 図 6 】 本発明の第 2 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【 図 7 】 本発明の第 3 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【 図 8 】 本発明の第 3 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

20

【 図 9 】 本発明の第 4 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【 図 1 0 】 本発明の第 4 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【 図 1 1 】 本発明の第 5 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【 図 1 2 】 本発明の第 5 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【 図 1 3 】 従来が表示装置が備える画素回路の第 1 の例の構成を示す回路図である。

30

【 図 1 4 】 従来が表示装置が備える画素回路の第 2 の例の構成を示す回路図である。

【 図 1 5 】 従来が表示装置が備える画素回路の第 3 の例の構成を示す回路図である。

【 図 1 6 】 図 1 4 または図 1 5 の画素回路を備える画素のレイアウトの例を示す平面図である。

【 図 1 7 】 本発明の第 6 の実施の形態に係る表示装置が備える画素回路の構成を示す回路図である。

【 図 1 8 】 本発明の第 6 の実施の形態に係る表示装置の動作を示すタイミングチャートである。

【 符号の説明 】

2 電流源回路

40

6 電圧源回路

E L 1 ~ E L 6

有機 E L 素子 (電気光学素子)

P W (1) ~ P W (5)

ソース配線兼電源配線、電源配線 (第 1 の配線、配線)

P W (6) ソース配線兼電源配線、電源配線 (第 1 番配線、配線)

G i (1)、G i (3)、G i (5)

ゲート配線 (第 3 の配線)

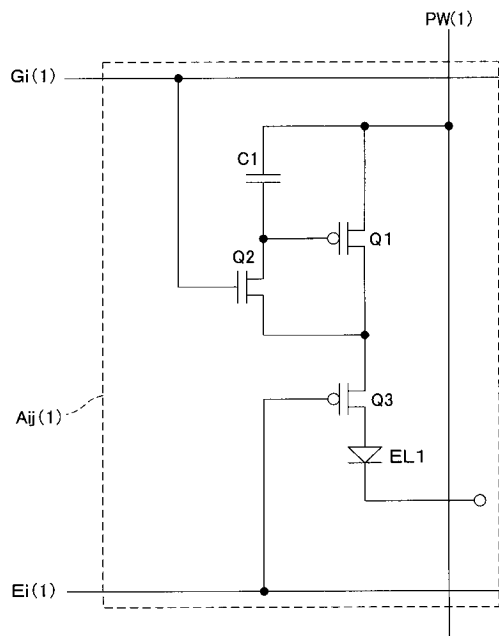
G i (2)、G i (4)

ゲート配線 (第 2 の配線)

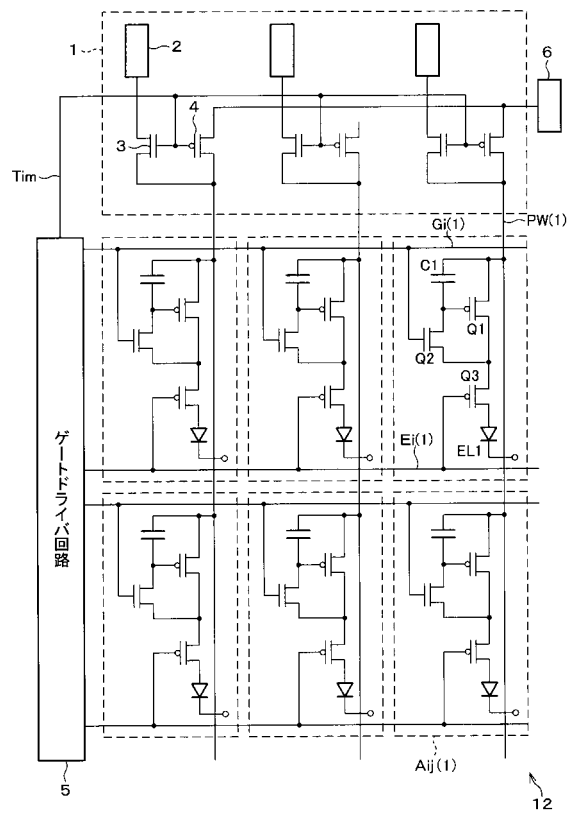
50

- Gi (6) ゲート配線 (第 2 番配線)
- Ei (1)、Ei (3)、Ei (5)
- 制御配線 (第 2 の配線)
- Ei (2)、Ei (4)
- 制御配線 (第 3 の配線)
- Q 1、Q 4、Q 7、Q 1 0、Q 1 3
- TFT 素子 (第 1 のアクティブ素子、アクティブ素子)
- Q 3、Q 6、Q 9、Q 1 2、Q 1 5
- TFT 素子 (第 2 のアクティブ素子)
- Q 2、Q 5、Q 8、Q 1 1、Q 1 4
- TFT 素子 (第 3 のアクティブ素子)
- Q 1 6 TFT 素子 (第 4 のアクティブ素子)
- Q 1 7 TFT 素子 (第 1 番アクティブ素子、アクティブ素子)
- Q 1 8 TFT 素子 (第 2 番アクティブ素子)
- Wi (6) 制御配線 (第 3 番配線)

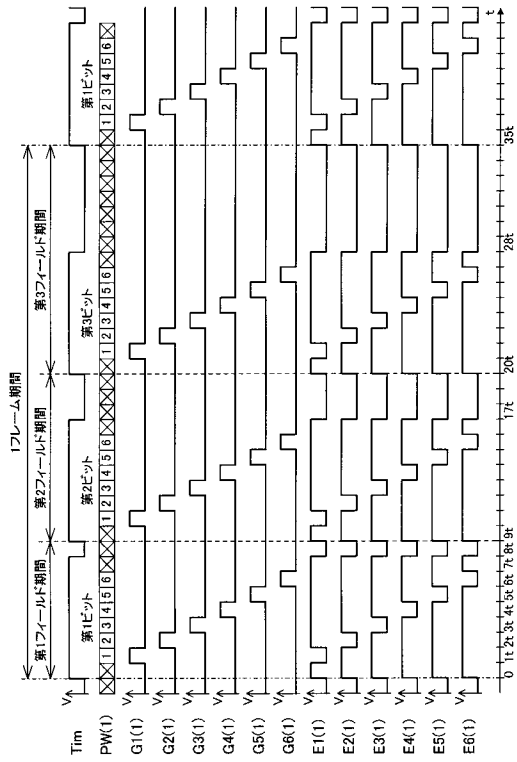
【 図 1 】



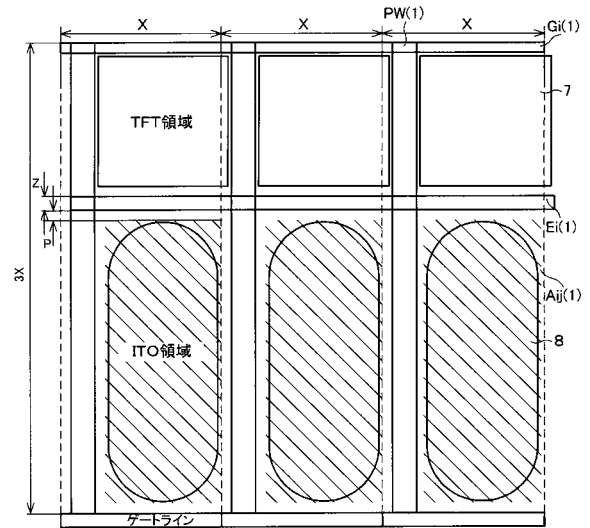
【 図 2 】



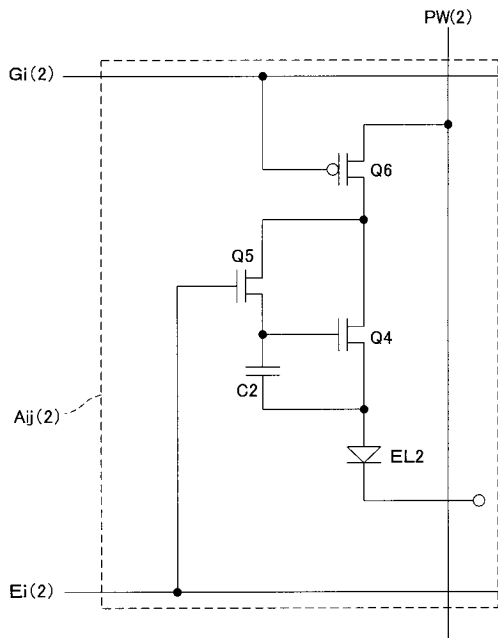
【図3】



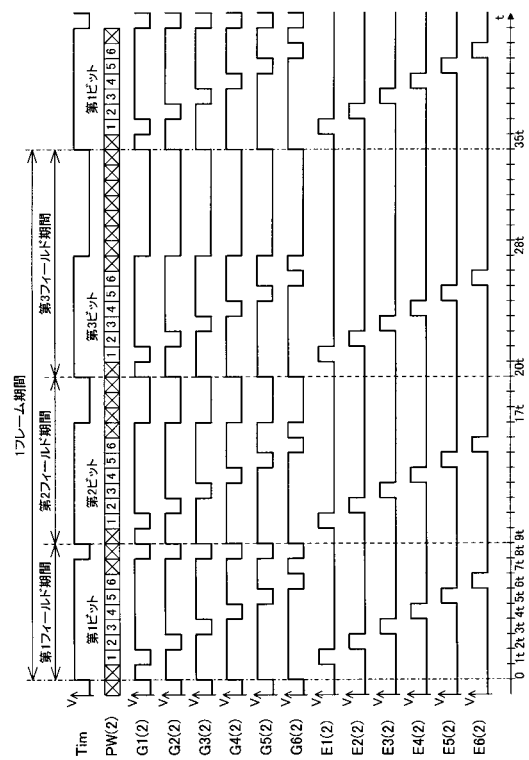
【図4】



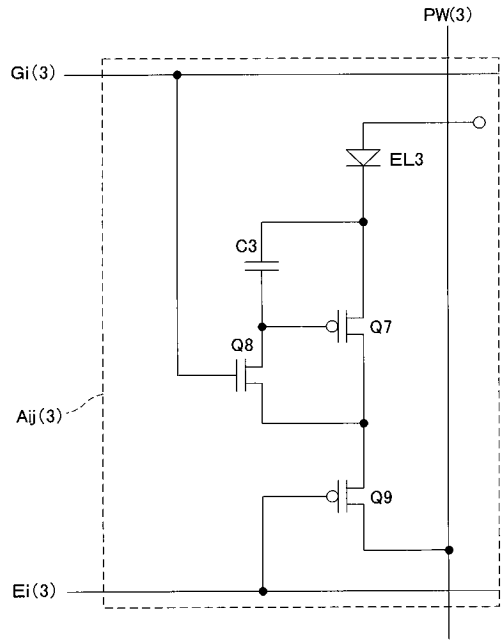
【図5】



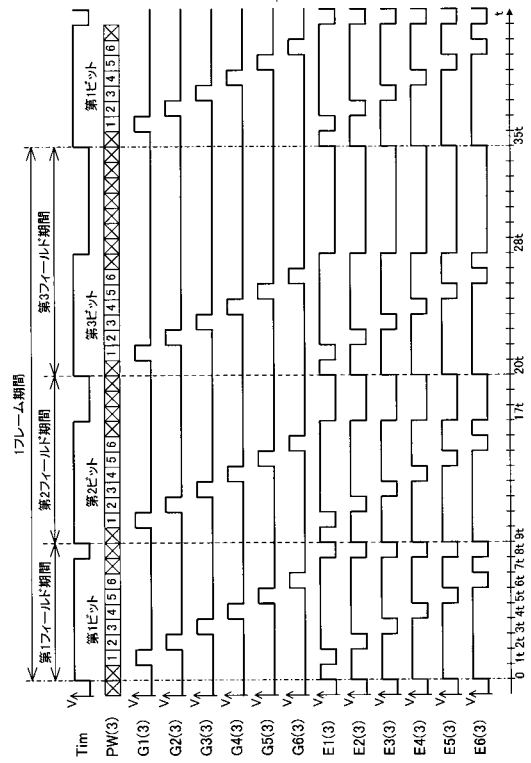
【図6】



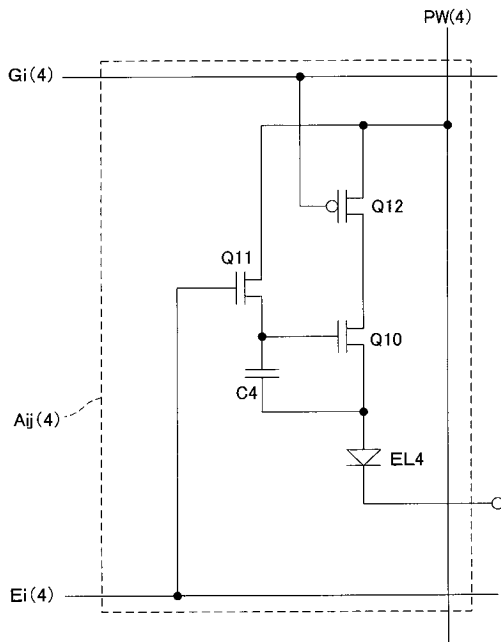
【 図 7 】



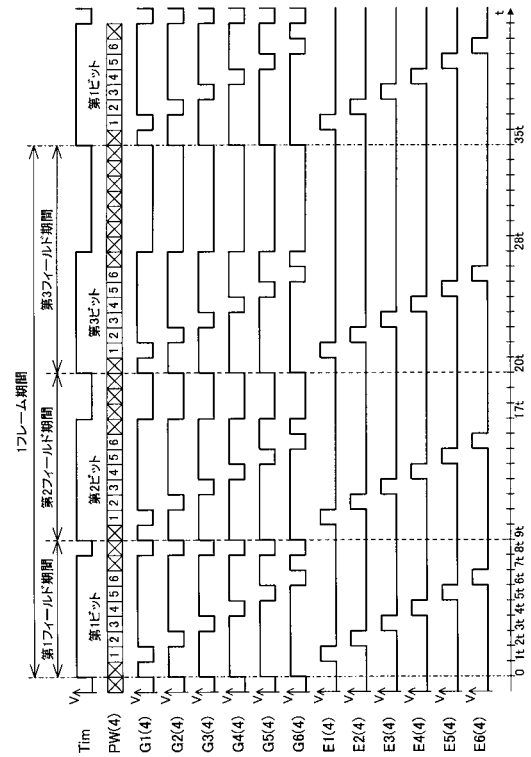
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/22	E
H 0 5 B	33/14	A

Fターム(参考) 3K007 AB02 AB03 BA06 DB03 GA00

5C080 AA06 AA18 BB05 DD03 DD23 DD28 FF11 JJ03 JJ04 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2004233960A5	公开(公告)日	2005-10-27
申请号	JP2003207268	申请日	2003-08-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	仙田孝裕 室井孝夫		
发明人	仙田 孝裕 室井 孝夫		
IPC分类号	H01L51/50 G09G3/20 G09G3/22 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3233 G09G3/2022 G09G2300/0465 G09G2300/0842 G09G2300/0861 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.611.F G09G3/20.621.M G09G3/20.624.B G09G3/20.641.D G09G3/20.670.K G09G3/20.680.G G09G3/22.E H05B33/14.A		
F-TERM分类号	3K007/AB02 3K007/AB03 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/AA18 5C080/BB05 5C080/DD03 5C080/DD23 5C080/DD28 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC36 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA10 5C380/AB06 5C380/AB12 5C380/AB24 5C380/AB34 5C380/AB45 5C380/AC11 5C380/AC12 5C380/BA38 5C380/BD16 5C380/CA12 5C380/CA13 5C380/CC02 5C380/CC03 5C380/CC12 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC33 5C380/CC35 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CD013 5C380/CD014 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA16 5C380/DA58		
代理人(译)	木岛隆一 金子 一郎		
优先权	2002353828 2002-12-05 JP		
其他公开文献	JP2004233960A JP4566528B2		

摘要(译)

解决的问题：提供一种显示装置，其中在具有像素电路构造的显示装置中可以将更大的区域分配给透明电极，在该像素装置中，流过在电光元件中设定的值的电流。在每个像素电路Aij(1)中，通过栅极布线Gi(1)使TFT元件Q2导通，并且通过控制布线Ei(1)使TFT元件Q3导通，并且电源布线PW(1)以及TFT元件Q1和Q3，预定值的电流流过有机EL元件EL1。然后，TFT元件Q2和Q3被截止，并且电容器C1根据电流值保持TFT元件Q1的栅极-源极电压，从而设置用于驱动有机EL元件EL1的电流值。此后，通过在保持TFT元件Q2截止的同时导通TFT元件Q3，使为TFT元件Q1设置的值的电流通过电源配线PW(1)从电压源电路流向有机EL元件EL1和有机EL元件。驱动元件EL1。[选型图]图1