(19)日本国特許庁（ＪＰ）　(12) **公表特許公報**（Ａ）　(11)特許出願公表番号

特表2003－509728
(P2003－509728A)

(43)公表日 平成15年3月11日(2003.3.11)

(51)Int.Cl⁷	識別記号	ＦＩ		テーマコード（参考）
Ｇ０９Ｇ 3/30		Ｇ０９Ｇ 3/30	Ｊ	３Ｋ００７
3/20	624	3/20	624 Ｂ	５Ｃ０８０
	642		642 Ｃ	
			642 Ｐ	
	670		670 Ｊ	

審査請求　未請求　予備審査請求（全 34数）　最終頁に続く

(21)出願番号　特願2001－524090(P2001－524090)

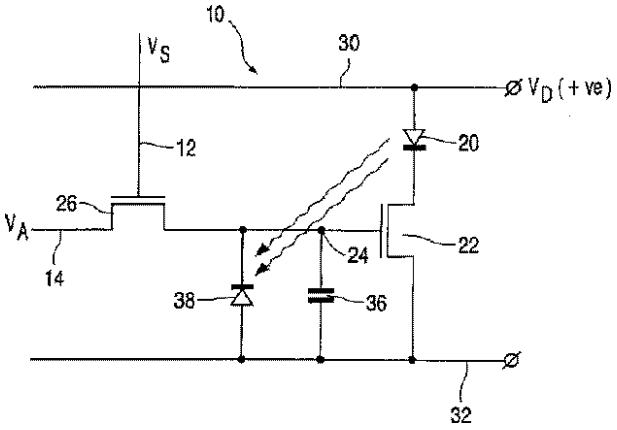
(86)(22)出願日　平成12年9月6日(2000.9.6)
(85)翻訳文提出日　平成13年5月11日(2001.5.11)
(86)国際出願番号　PCT/EP00/08719
(87)国際公開番号　WO01/020591
(87)国際公開日　平成13年3月22日(2001.3.22)
(31)優先権主張番号　9921425.6
(32)優先日　平成11年9月11日(1999.9.11)
(33)優先権主張国　イギリス(GB)
(31)優先権主張番号　0005811.5
(32)優先日　平成12年3月13日(2000.3.13)
(33)優先権主張国　イギリス(GB)

(71)出願人　コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ
ＫＯＮＩＮＫＬＩＪＫＥ　ＰＨＩＬＩＰＳ　ＥＬＥＣＴＲＯＮＩＣＳ　Ｎ．Ｖ．
オランダ国　5621　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　1
(72)発明者　ジョン　エム　シャノン
オランダ国　5656　アーアー　アインドーフェン　プロフ　ホルストラーン　6
(72)発明者　アラン　ヘー　クナップ
オランダ国　5656　アーアー　アインドーフェン　プロフ　ホルストラーン　6
(74)代理人　弁理士　杉村　興作　（外１名）

最終頁に続く

(54)【発明の名称】　アクティブマトリックスＥＬディスプレイ装置

(57)【要約】
駆動期間における各画素（１０）のELディスプレイ素子（２０）を流れる駆動電流を前のアドレス期間中供給され関連する蓄積コンデンサ（３６）に電圧として蓄積される駆動信号に基づいて駆動装置（２２）によっ制御するアクティブマトリックスELディスプレイ装置を提供する。所定の駆動信号レベルの光出力が時間とともに減少するディスプレイ素子のエージングの影響を中和するために、画素に、蓄積コンデンサに結合されディスプレイ素子の光出力に応答する電子－光学放電手段（３８）を設け、蓄積電荷を漏洩するとともに駆動期間にディスプレイ素子の積分光出力を制御する。制御に当たり、ディスプレイ素子を低レベルで駆動する際駆動期間における制御点でコンデンサを急速に放電するように放電手段を配列する。この目的のために光感応トランジスタを慣例のように用いる。



【特許請求の範囲】

【請求項１】　各々がELディスプレイ素子を具える表示画素のアレイと、駆動期間の前のああドレス期間中画素に供給され、関連する蓄積キャパシタンスに電荷として蓄積される駆動信号に基づく駆動期間に全部をディスプレイ素子に流れる電流を制御する駆動装置とを具えるアクティブマトリックスELディスプレイ装置において、各画素は、前記蓄積キャパシタンスに結合され駆動期間に前記画素からの光出力の量を制御する電気－光放電手段を含み、この電気－光放電手段を、前記駆動期間中前記ディスプレイ素子によって発生する光に応答して前記駆動期間におけるディスプレイ素子の光出力に依存する割合で前記蓄積キャパシタンスから電荷を漏洩させるように配列したことを特徴とするアクティブマトリックスELディスプレイ装置。

【請求項２】　前記放電手段は前記蓄積キャパシタンスに接続された逆バイアスフォトダイオードを具えることを特徴とする請求項１に記載のアクティブマトリックスELディスプレイ装置。

【請求項３】　前記駆動装置はトランジスタを具え、前記蓄積キャパシタンスおよびフォトダイオードは前記トランジスタのゲートおよび電流搬送電極間に並列に接続するようにしたことを特徴とする請求項２に記載のアクティブマトリックスELディスプレイ装置。

【請求項４】　前記放電手段は、さらに、前記蓄積キャパシタンスを迅速に放電するとともに前記ディスプレイ素子の作動により制御されるとともにこの作動に依存する駆動期間にある点におけるディスプレイ素子からの光出力を短縮するように配列することを特徴とする請求項１に記載のアクティブマトリックスELディスプレイ装置。

【請求項５】　前記放電手段が前記蓄積キャパシタンスを迅速に放電する制御点は、ある低いレベルに到達するディスプレイ素子の光出力を示す画素の動作特性によって決まるようにしたことを特徴とする請求項４に記載のアクティブマトリックスELディスプレイ装置。

【請求項６】　前記放電手段が前記蓄積キャパシタンスを迅速に放電する制御点は、ディスプレイ素子の駆動レベルに従って変化する電気パラメータによって決

めるようにしたことを特徴とする請求項４または５に記載のアクティブマトリックスELディスプレイ装置。

【請求項７】　前記蓄積キャパシタンスを急速に放電する放電手段の作動を前記ディスプレイ素子を流れる電流のレベルに従って制御するようにしたことを特徴とする請求項６に記載のアクティブマトリックスELディスプレイ装置。

【請求項８】　前記放電手段は前記蓄積キャパシタンスの両端間に接続され、且つ前記蓄積キャパシタンスを急速に放電し得るスイッチング装置を具えることを特徴とする請求項４～７の何れかの項に記載のアクティブマトリックスELディスプレイ装置。

【請求項９】　前記駆動手段は前記ディスプレイ素子に直列に接続されたトランジスタを具えるとともに前記スイッチング装置の作動を前記駆動装置の両端間の電圧によって制御するようにしたことを特徴とする請求項８に記載のアクティブマトリックスELディスプレイ装置。

【請求項１０】　前記駆動装置および前記スイッチング装置はTFT（薄膜トランジスタ）を具えることを特徴とする請求項８に記載のアクティブマトリックスELディスプレイ装置。

【請求項１１】　前記放電手段は前記蓄積キャパシタンスに両端間に接続され、前記ディスプレイ素子からの光出力に応答して前記蓄積キャパシタンスから電荷を漏洩する光応答素子を含むようにしたことを特徴とする請求項１０に記載のアクティブマトリックスELディスプレイ装置。

【請求項１２】　前記光応答素子は逆バイアスされたフォトダイオードを具えることを特徴とする請求項１に記載のアクティブマトリックスELディスプレイ装置。

【請求項１３】　前記放電手段は前記ディスプレイ素子からの光により内部に発生する光電流によって漏洩するとともにそのゲートが前記ディスプレイ素子を流れる電流に依存する電位源に係合された光応答トランジスタを具えることを特徴とする請求項８に記載のアクティブマトリックスELディスプレイ装置。

【請求項１４】　前記光応答トランジスタのゲートを前記ディスプレイ素子および前記駆動装置間のノードに係合するようにしたことを特徴とする請求項１３に

記載のアクティブマトリックスELディスプレイ装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明はELディスプレイ画素のアレイを具えるアクティブマトリックスELディスプレイ装置に関するものである。

特に、本発明は各々がELディスプレイ素子を具える表示画素のアレイと、駆動期間の前のアドレス期間中画素に供給され、関連する蓄積キャパシタンスに電荷として蓄積される駆動信号に基づく駆動期間に全部をディスプレイ素子に流れる電流を制御する駆動装置とを具えるアクティブマトリックスELディスプレイ装置に関するものである。

【０００２】

【従来の技術】

EL発光ディスプレイ素子を用いるマトリックスディスプレイ装置は既知である。このディスプレイ素子は例えばポリマー材料を用いる有機薄膜EL素子または慣例のIII-Ｖ半導体化合物を用いる発光ダイオード（LED）を具える。有機EL材料、特にポリマー材料の最近の開発は、特にビデオディスプレイ装置に用い得る能力を論証している。代表的には、これら材料は、一対の電極間にサンドイッチ状に介挿されたEL材料、例えば半導電複合材料の１つ以上の層を具え、一方の電極を透明とし、他方の電極は正孔または電子をポリマー材料ないに注入するに好適な材料とする。このポリマー材料はCVD処理を用いて、または印刷により簡単に、あるいは溶解性複合ポリマー用いるスピンコーティング技術によって造ることができる。

【０００３】

有機EL材料はダイオード状のI-V特性を呈するため、これら有機EL材料はディスプレイ機能およびスイッチング機能の双方を呈することができ、従って、受動型のディスプレイに用いることができる。

【０００４】

しかし、本発明は各画素がディスプレイ素子およびこの素子を流れる電流を制御するスイッチング装置を具えるアクティブマトリックスディスプレイ装置に関

するものである。アクティブマトリックスELディスプレイ装置の例はEP-A-0653741およびEP-A-0717446に記載されている。ディスプレイ素子を容量性とし、従って実質的に電流を流さないようにするとともに全フレーム期間に亘りキャパシタンスに駆動信号電圧を蓄積せしめるアクティブマトリックス液晶表示装置とは相違して、ELディスプレイ素子は電流を連続的に通過させて光を発生させる必要がある。通常TFT（薄膜トランジスタ）を具える画素の駆動装置はディスプレイ素子に流れる電流を制御するように応答する。ディスプレイ素子の輝度はこれを流れる電流に依存する。画素のアドレス期間中、要求される出力をディスプレイ素子から決める駆動（データ）信号を画素に供給するとともに蓄積キャパシタンスに対応する電圧として蓄積し、この蓄積キャパシタンスは電流制御駆動装置に結合するとともにその作動を、画素が再びアドレス指定されるまで、フレーム期間に相当する次の駆動期間中ディスプレイ素子を電流を供給するスイッチング装置の作動を保持するための蓄積で電圧によって制御する。

【０００５】

既知のEL材料、特にポリマー材料の問題点はこれら材料はその安定性が乏しくエージングの影響を受け、これにより例えば、所定駆動電流に対する光出力が或る作動期間に亘って減少するようになる。或る用途では、かかるエージングの影響は臨界的ではないが、画素状ディスプレイの結果は厳しいものである。その理由は画素からの光出力の僅かな変化も監視者によって容易に感知し得るからである。

【０００６】

【発明が解決しようとする課題】

本発明の目的はかかる問題を少なくとも或る程度克服するアクティブマトリックスELディスプレイ装置を提供せんとするにある。

【０００７】

かかる安定性を改善するEL材料自体の開発がなされていない場合には、電子技術を用いてかかる劣化の影響を適宜に電気的に補正することができる。

【０００８】

【課題を解決するための手段】

本発明は各々がELディスプレイ素子を具える表示画素のアレイと、駆動期間の前のああドレス期間中画素に供給され、駆動装置に関連する蓄積キャパシタンスに電荷として蓄積される駆動信号に基づく駆動期間に全部をディスプレイ素子に流れる電流を制御する駆動装置とを具えるアクティブマトリックスELディスプレイ装置において、各画素は、前記蓄積キャパシタンスに結合され駆動期間に前記画素からの光出力の量を制御する電気－光放電手段を含み、この電気－光放電手段を、前記駆動期間中前記ディスプレイ素子によって発生する光に応答して前記駆動期間におけるディスプレイ素子の光出力に依存する割合で前記蓄積キャパシタンスから電荷を漏洩させるように配列したことを特徴とする。

【０００９】

【作用】

これがため、アドレス指定に続くディスプレイ素子の所望の光出力レベルを決める所定の蓄積された信号電圧を、駆動期間における放電手段の作動中画素のディスプレイ素子の光出力特性に従って駆動期間に漸次変化させ、この光出力を可変フィードバックとして作用させ、これにより駆動期間にディスプレイ素子の附勢（従ってこれからの光出力）を制御する駆動装置の作動を対応的に漸次調整する。従ってディスプレイ素子を附勢して光出力を発生する利用可能な駆動期間の比例は、その光出力に従って蓄積キャパシタンスを放電する際の、放電手段の作動に依存しこれにより調整する。斯様にしてフレーム期間においてディスプレイ素子からの積分光出力を制御してエージングの影響を中和し得るようにするとともに個別のディスプレイ素子の劣化が異なるにもかかわらず、ディスプレイ出力の改善された均一性が得られる。

【００１０】

行アドレス指定期間容量も少ないフレーム期間にほぼ相当する駆動期間において劣化したディスプレイ素子からの光のほぼ同様の最大量を得るためには、アドレス指定期間における蓄積キャパシタンスに初期蓄積された電荷の量をデータ信号の大きさを適宜に増大することにより既知の装置における電荷の量と比較して僅かに増大させることができ、従って劣化していないディスプレイ素子から生じた光子と同数の光子を、ディスプレイ素子が遮断され始めるまで、蓄積キャパシ

タンスに蓄積された値が放電手段の作動時にディスプレイ素子の光放出に基づく割合で減少する前に、劣化したディスプレイ素子から得ることができる。或は又、ディスプレイ素子に供給される駆動電圧は適宜に調製することができる。これがため、劣化した（エージングされた）ディスプレイ素子によって生じる光の量は劣化前のディスプレイ素子からの光の量と同量に保持することができる。

【００１１】

好適には、画素の駆動装置はTFTを具え、且つｎ型またはｐ型のTFT、例えばポリシリコンMOSTFTの何れかとすることができる。従って、放電に関する基準は双方の場合に対するアドレス指定状態での蓄積キャパシタンスに蓄積された電荷の特性に関して適宜に構成することができる。

【００１２】

好適には、放電手段はフォトダイオードの形態の光感応素子を具え、このフォトダイオードは蓄積キャパシタンスに接続するとともに駆動期間に逆バイアスするように配列し、これに入射するディスプレイ素子からの光に応答して蓄積キャパシタンスから電荷を漏洩し得るようにする。入射光に応答し駆動期間に入射光レベルに依存する割合で蓄積キャパシタンスからの電荷を漏洩するように作動するフォトダイオード以外の光感応装置を用いることができるが、この目的のためには、フォトダイオードが好適である。その理由はその漏洩時の作動がその両端間の電圧とは無関係であり、入射光のレベルにほぼ直線的に比例するからである。

【００１３】

既知の装置のように、異なる電圧レベルの２つの給電線間にディスプレイ素子に直列に接続された電流制御トランジスタ（TFT）を具える駆動装置と、このトランジスタのゲートノードおよび給電線の一方間に接続された蓄積キャパシタンスとにはゲートノードおよびこの給電線間の蓄積キャパシタンスに並列に逆バイアスすべき適宜の極性でフォトダイオードを接続することができる。フォトダイオードにディスプレイ素子からの光によって発生する光電流によってフォトダイオードを経て蓄積電荷を漏洩し、従ってゲートノードの電圧を徐々に減少する。

【００１４】

本発明の比較的簡単な例では、放電手段は上述したように作動するフォトダイオードのみを具える。かかる配列によって、多くの状況でのディスプレイ素子の劣化による問題点を有効な程度に解決するに有利である。

【００１５】

しかし、蓄積キャパシタンスの両端間に接続された逆バイアスフォトダイオードのような光感応素子を放電手段として用いる場合にのみ、問題が生じる。蓄積キャパシタンスの放電時における放電手段の作動の結果として、ディスプレイ素子から生じる光のレベルは徐々に減少するとともにこれによりディスプレイ素子を緩慢にターンオフし、これは所望の調整制御に対し適宜の精度とはならない。比較的低い光出力レベルでは、画素の作動は左程良好に制御されない。代表的には、フォトダイオードの特性はこれが比較的低い光レベルでは充分とはならない。また、駆動装置がTFTを具える場合には、個別の駆動装置の作動は充分規定されなくなる。その理由はゲート電圧がそのスレシホルド電圧に近づき始め、従ってアレイの装置の作動が均等にならなくなるからである。

【００１６】

本発明の好適な例では、前記放電手段は、さらに、前記蓄積キャパシタンスを迅速に放電するとともに前記ディスプレイ素子の作動により制御されるとともにこの作動に依存する駆動期間にある点におけるディスプレイ素子からの光出力を短縮するように配列することを特徴とする。この点で、放電手段の作動は好適にはディスプレイ素子の光出力を或る低いレベルに低下せしめる動作特性によって決める。これがため、低い光レベルにおけるフォトダイオードのような光感応素子の特性の性質およびスレシホルド電圧に近い駆動TFTの作動による問題を回避する。この目的のため、放電手段はディスプレイ素子の光出力に直接応答させるが、この点で放電手段の作動は、ディスプレイ素子の駆動レベルに従って、例えばディスプレイ素子を流れる電流、またはかかる電流（ディスプレイ素子の光レベルはこの電流に依存する）に従って変化する画素回路の電圧のレベルに従って、変化する電気的パラメータに依存させるのが好適である。これによってこの目的のために使用すべきスイッチング装置または回路を光学的によりはむしろ電気的に応答させることができる。

【００１７】

ディスプレイ素子からの光出力は極めて徐々に減少するよりもむしろ突然に終了するため、グレイスケールを容易に制御することができ、且つ公立をゆ改善することができる。

【００１８】

本例では、放電手段は、蓄積キャパシタンスの両端間に接続されディスプレイ素子によって発生する光に応答して蓄積キャパシタンスに蓄積された電荷を漏洩する逆バイアスフォトダイオードと、蓄積キャパシタンスの両端間に光感応素子に並列に接続されディスプレイ素子を流れる電流のレベルが或る低いレベルに到達すると蓄積キャパシタンスを迅速に放電するトランジスタのようなスイッチング装置とを具える。

【００１９】

しかし、好適には、放電手段は蓄積キャパシタンスの両端間に接続された光感応トランジスタを具え、このトランジスタを経てディスプレイ素子からの光により内部に発生する光電流によって電荷を漏洩するとともにこのトランジスタのゲートをディスプレイ素子を流れる電流に依存する電位源に結合する。トランジスタの一方の電流搬送電極、例えばドレイン接合は逆バイアスとなるように配列してこれに入射する光に応答してそのドレイン－ソース通路がトランジスタのオフ時に逆バイアスフォトダイオードとして作動し、そのゲートに供給される電位によってそのスイッチング作動を制御する。これがため、一つの装置を必要とするだけで蓄積キャパシタンスの最初は緩慢に、次いで迅速に放電する放電手段に必要な機能を満足させることができる。かかるトランジスタは比較的簡単で、アクティブマトリックス回路、のトランジスタ、例えば、駆動TFTと並列して同時に製造することができる。

【００２０】

光感応トランジスタのゲートはディスプレイ素子および駆動装置間のノードに結合することができる。このノードの電圧はディスプレイ素子を流れる電流のレベルに従って変化する。蓄積キャパシタンスは光感応トランジスタの光電流により放電するため、ゲート電圧は減少し、ディスプレイ素子の両端間の電圧は、光

感応トランジスタのスレシホルドレベルがある点に到達しこのトランジスタをターンオンし蓄積キャパシタンスを急速に放電するまで、増大する。

【００２１】

TFTを画素の駆動装置として用いる場合には、本発明によればさらに重要な利点を提供する。ディスプレイ素子の駆動電流は蓄積キャパシタンスに蓄積された電圧によって決まるため、この駆動電流はTFTの特性に強く依存し、従って例えば製造処理の許容公差のためアレイ上の画素の個別のTFTのスレシホルド電圧、移動度および寸法の変化によってディスプレイ素子の電流従って発生した出力光レベルに不所望な変動を生ぜしめ得るようになり、これにより表示出力に不均等を生ぜしめ得るようになる。従って蓄積された電圧信号の制御時に放電手段の影響をもTFTの特性のかかる変動に対してある程度補償するのが好適である。

【００２２】

他の利点は、放電手段の作動によって、１行のディスプレイ素子、例えば、全ての画素に接続されこれにより割当てられた共通電流ライン（接地ライン）の駆動期間中に発生する電圧降下による問題をある程度打消すことができる。

【００２３】

本発明はポリマーLED材料を用いる装置に特に有利であるが、使用するEL材料が同様にエージング効果に左右され或る作動期間に亘って所定の駆動電流に対する光出力を低下するアクティブマトリックスEL装置に有利に適用し得ること勿論である。

【００２４】

【実施例】

図面につき本発明を説明する。

図面は単なる該略図であり、全図を通じて同一部分には同一符号を付して示す。

図１によれば、アクティブマトリックスELディスプレイ装置は等間隔に配列されたブロックで示される画素１０の行列マトリックスアレイを有するパネルを具える。各ブロックはディスプレイ素子を流れる電流を制御する関連の駆動装置を具え、各画素は行（選択）および列（データ）アドレス指定導体またはライン１

２および１４の交差組間の交点に位置させる。図面には説明の便宜上数個の画素のみを示す。画素１０は、アドレス導体の組を経て、これら各組の端部に接続された行走査駆動回路１６および列データ駆動回路１８を具える周辺駆動回路によってアドレス指定する。

【００２５】

画素の各行は行走査駆動回路１６によって関連する行導体１２に供給される選択信号により順次アドレス指定して行の画素に各駆動信号をロードして列データ駆動回路１８により列導体に並列に供給される各データ信号に従って各ディスプレイ出力をきめるようにする。各行をアドレス指定するにつれてデータ信号を列データ駆動回路１８により適宜同期して供給する。

【００２６】

図２は既知の装置の数個の代表的な画素の回路を示す。各画素１０はダイオード素子（LED）として表わされる発光有機ELディスプレイ素子２０を含むとともに一対の電極を具え、その間に有機EL材料の１つ以上のアクティブ層をサンドウイッチ状に介挿する。この特定の例では、かかる有機EL材料としてはポリマーLCD材料を具えるが、低分子量材料のような他の有機EL材料を用いることもできる。マトリックスアレイのディスプレイ素子は絶縁支持体の片側に関連するアクティブマトリックス回路とともに支持する。ディスプレイ素子の陰極または陽極の何れかは透明導電材料で造る。かかる支持体はガラスのような透明材料で造るとともに基板にもっとも近い個別のディスプレイ素子２０の電極はITOのような透明導電材料で構成し、EL層によって発生した光をこれら電極および支持体を経て伝搬し、支持体の他側で視聴者が観察し得るようにする。或は又、光出力はパネルの上方から観察できるとともにこの場合にディスプレイ素子の陽極はアレイのすべてのディスプレイ素子に共通の給電線を構成する連続ITO層の部分を具える。ディスプレイ素子の陰極はカルシウムまたはマグネシウム銀合金のような低仕事関数の金属を具える。使用し得る好適な有機共役ポリマー材料の例はWO 96/36959に記載されている。他の低分子量有機材料の例はEP-A-0717446に記載されており、また、このEP-A-0717446にはアクティブマトリックスEL装置の構成および作動も記載されている。

【００２７】

各画素１０は画素に供給されるデータ信号電圧に基づいてディスプレイ素子２０に流れる電流およびディスプレイ素子の作動を制御するTFT２２の形状の駆動装置を含む。画素の信号電圧を画素の各列間に配分された列導体１４を経て供給する。この列導体１４をアドレスTFT２６を経て電流制御駆動トランジスタ２２のゲートに結合する。１行の画素のアドレスTFT２６のゲートは共通行導体１２にすべて接続する。

【００２８】

また、画素１０の各行は所定の電位に保持され、通常はすべての画素に共通の連続電極として設けられた共通電圧給電線３０および個別の共通電流線３２に割当てられる。ディスプレイ素子２０および駆動装置２２は正電圧供給線３０と給電線３０に対して負電位、例えば接地電位にある共通ライン３２との間に直列に接続し、ディスプレイ素子２０を流れる電流の電流源として用いる。ディスプレイ素子２０を流れる電流はスイッチング装置２２によって制御するとともにトランジスタ２２のゲート電圧の関数となり、このゲート電圧は共通導体１４に供給されたデータ信号によって決まる蓄積制御信号に依存する。

【００２９】

画素の行は選択パルスを行導体１２に供給する行駆動回路１６によって選択され、且つアドレス指定され、この行導体１２によって画素の各行のアドレスTFT２６をスイッチオンするとともに各行アドレス期間を規定する。駆動回路１８によって供給されるビデオ情報から取出した電圧レベルを駆動回路１８によって列導体１４に供給するとともにアドレスTFT２６によって駆動トランジスタ２２のゲートノード２４に転送する。或る行の画素が行導体１２を経てアドレス指定されない期間中アドレストランジスタ２６をターンオフするが、駆動トランジスタ２２のゲートノードの電圧は、駆動トランジスタ２２のゲートおよび共通電流ライン３２間に接続された画素蓄積コンデンサ３６によって保持され、この駆動期間中ディスプレイ素子の作動を保持し得るようにする。駆動トランジスタ２２のゲートおよび共通電流ライン３２間の電圧によって画素１０のディスプレイ素子２０を流れる電流を決めるようにする。これがため、ディスプレイ素子を流れる

電流は駆動トランジスタ駆動トランジスタ２２のゲート－ソース電圧の関数となる（nチャネル型トランジスタ２２のソースを共通電流ライン３２に接続し、このトランジスタ２２のドレインをディスプレイ素子２０に接続する）。この電流によって画素の光出力レベル（グレイ-スケール）を制御する。

【００３０】

スイッチングトランジスタ２２は飽和状態で作動するように配列してトランジスタを流れる電流がドレイン-ソース電圧に不感性となり、ゲート-ソース電圧に依存し得るようにする。これがため、ドレイン電圧の僅かな変動もディスプレイ素子を流れる電流２０に影響を与えないようにする。従って、電圧供給線３０の電圧は画素の正しい作動に臨界的ではなくなる。

【００３１】

斯様にして、画素の各行は各行アドレス期間に順次アドレス指定して各行の画素をその駆動信号に従ってロードするとともに画素が次にアドレス指定されるまで、フレーム期間にほぼ相当する駆動期間に対して所望の表示出力を得るように画素を設定する。

【００３２】

既知の画素回路によれば、蓄積コンデンサ３６に蓄積された電圧を供給されたデータ信号電圧によってほぼ決めるとともにこの電圧によって駆動トランジスタ２２従ってディスプレイ素子２０を流れる電流を順次制御するにつれて任意時間にディスプレイ素子の発生光出力レベルはディスプレイ素子の現存の電流／光出力レベル特性に依存するようになり、この光出力レベルはフレーム期間全体を通じてほぼ一定となる。ディスプレイ素子のEL材料は作動期間全体に亘り劣化し得、ひいてはエージング効果をもたらすようになる。素子のエージングによって素子の両端間の電圧降下および特定の電流駆動レベルで形成された光出力によりその作動効率を変化させるようにする。これら効率の何れか一方或は双方のため劣化問題を生じ得るようになる。これがため、一層長く（または一層ハードに）駆動されるこれら画素のため輝度を低減し、表示を不均質とする。ポリマーLED材料を用いる場合にはかかるエージングの作用が著しくなる。

【００３３】

本発明では、光-電子技術を各画素に用いてディスプレイ素子の劣化に有効に応答せしめ、且つこれに従ってフレーム期間に積分光出力を制御することによってかかる影響を中和する。この技術では、光フィードバックを用いて蓄積コンデンサを駆動期間中ディスプレイ素子の瞬時光放出に依存する割合で放電し得るようにする。これがため所定のデータ信号に対して、ディスプレイ素子を附勢してアドレス期間を後続する駆動期間中光を発生する時間の長さを、ディスプレイ素子の存在する光放出特性および供給されたデータ信号のレベルに従って調整するため、画素からの光出力を劣化していないディスプレイ素子で得られる場合とほぼ同様とすることができる。一つの画素から一層高い輝度が得られる場合には、供給されたデータ信号を増減することによってディスプレイ素子を一層長く、（得られる駆動フレーム期間に相当する最大値まで）附勢する。

【００３４】

図３につき、この技術を用いるエージングの影響を少なくともある程度除去するための本発明ディスプレイ装置の第１例における１つの代表的な画素の等価回路を線図的に示す。この画素１０では、ディスプレイ素子２０を、同様に画素の行に共通の例えば接地電位にある電流ライン３２とこの電流ライン３２に対して正電位にある給電ライン３０との間にn-チャネル駆動トランジスタ２（再び飽和モードで作動する）に直列に接続するとともにTFT２２のゲートノード２４をアドレストランジスタ２６のドレインに接続し、アドレストランジスタ２６のゲートおよびソースには関連する行および列導体１２および１４を経て選択信号およびデータ信号を夫々供給する。再び蓄積コンデンサ３６を駆動トランジスタ２２のゲートノードおよび電流ライン３２間に接続する。

【００３５】

さらに、画素１０には蓄積コンデンサ３６を放電する電子-光学放電手段を含み、この蓄積コンデンサ３６はTFT２２のゲートノード２４および電流ライン３２間に蓄積コンデンサ３６に並列に接続され、且つゲートノードおよびライン３２に夫々接続された陰極端子および陽極端子に逆バイアス状態で配列されたフォトダイオード３８を具える。例えばアモルファスシリコンから形成されpin構造を有するフォトダイオード３８はディスプレイ素子２０に対して物理的に配列し

図３に波状矢印で示されるように装置の作動時にソース０によって発生する光の一部を受け得るようにする。このフォトダイオードは周囲光から遮蔽することができる。既知の画素回路と同様に、この画素回路の作動は２つのフェーズ、即ち、画素を供給されたデータ信号に依存する所望の表示出力状態に設定するアドレス指定フェーズと、画素が例えば次のフレームで再びアドレス指定されるまで、設定状態に従ってディスプレイ素子を駆動する駆動フェーズとを有する。

【００３６】

アドレス指定フェーズでは、画素を行導体１２に供給された選択パルスによって前述した所と同様にアドレス指定して各行アドレス期間にアドレスTFT２６をターンオンするとともに列導体１４に存在するデータ信号のレベルに従ってアドレスTFT２６のゲートノードを駆動信号電圧値に荷電し得るようにする。この蓄積された電圧値を応答自在とするとともに行選択アドレス期間の終端にアドレスTFT２６のターンオフに続く駆動期間にディスプレイ素子に流れる駆動電流を決めるようにする。

【００３７】

駆動フェーズにおいて、ディスプレイ素子２２および逆バイアスフォトダイオード３８間を光学結合することはディスプレイ素子によって発生しフォトダイオードに入射する光によって瞬時光出力レベルにほぼ直線的に比例する僅かな光電流を発生する。この光電流のため、フォトダイオード３８はゲートノード２４の電荷を漏洩し、TFT２２のゲート電圧がそのスレシホルドレベルに到達するまでこのノードがフォトダイオードを経て徐々に放電するが、TFT２２がターンオフすると直ちにディスプレイ素子２０に流れる電流が流れなくなる。かかる放電はディスプレイ素子の瞬時光放出レベルに依存する割合で発生する。

【００３８】

この光学的フィードバック技術によって駆動期間内にディスプレイ素子によって放出され、観察者が輝度として認識する光の総集積量を調整するとともにディスプレイ素子の劣化の影響を弱めるようにする。集積された光出力（輝度）はディスプレイ素子を附勢する駆動期間の時間長さおよび初期光レベルに依存する。ディスプレイ素子の実際の光出力レベルに依存する割合で蓄積コンデンサを放電

する際、従ってディスプレイ素子を駆動期間に附勢する期間（長さ）を制御する際における放電手段の作動のため、同一のデータ信号値が供給されるアレイの種々の画素は個別のディスプレイ素子の劣化の変化に関係なく、同様に認識された輝度レベルを発生し得る傾向にある。換言すれば、同一のデータ信号値でアドレス指定された個別のディスプレイ素子からの光出力の総量は、駆動期間の開始時における各光出力レベルが劣化により異なる場合でも、同量となる。かかる光学的フィードバックによれば、個別の画素の附勢期間をその光出力に従って調整することによりかかる差を有効に補償することができ、従って一層均一な表示出力を得ることができる。

【００３９】

通常のように、供給されるデータ信号のレベルを適宜調整して画素から種々のグレイ-スケールを得るようにする。データ信号従ってゲートノード２４の電荷を増大する場合には、TFT２２をスイッチオフする前の駆動期間中ディスプレイ素子から多くの光子を必要とし、従って一層高いグレイスケールおよび一層低いグレイスケールを得ることができる。

【００４０】

慣例の表示装置における劣化していないディスプレイ素子により得られる輝度の最大レベルと同様に、劣化したディスプレイ素子からの輝度の最大レベルを得るために、供給されたデータ信号の電圧の振幅範囲は増大することができ、或は又、例えば、ライン３０の電圧レベルを増大することによって、ディスプレイ素子の駆動電圧レベルを調整することができる。

【００４１】

図４はアレイにこの回路を用いる数個の代表的な画素および共通給電線並びに関連する行および列アドレス線の相互接続の例を示す。この特定の例では、個別の給電ライン３２を２つの隣接する行の画素に割当てる。特に、共通ライン３０は実際上全ての画素に共通の連続導体によって構成する。符号Yn、Yn+1、Yn+2等は画素の各行に対し１つ宛の行アドレスラインであり、これらラインに選択信号（Vs）を順次供給し、Xn、Xn+1、Xn+2等は列アドレスラインであり、これらラインを経てデ-タ信号を選択された行の関連する画素に供給する。

【００４２】

図５はエージングの影響を少なくともある程度除去する電子－光学フィードバック回路を用いる本発明表示装置の第２例における数個の代表的な画素の等価回路を示す。各画素１０においてディスプレイ素子２０は同様に例えば接地電位にある共通電流ライン３２とこのライン３２に対して正の電位にあり全ての画素が割当てられる共通陽極電極層によって構成される給電ライン３０との間に駆動トランジスタ２２（再び飽和モード電極作動する）によって直列に接続され、アドレストランジスタ２６ノードゲートおよびソースを関連する行および連続２および１４にそれぞれ接続する。前述したように、調整コンデンサ３６は駆動トランジスタ２２のゲートノード２４および電流ライン３２間に接続する。

【００４３】

さらに画素１０には他のTFTを具える光応答装置４０を具え、他のTFTのソースおよびドレイン電極を蓄積コンデンサ３６と並列に駆動トランジスタ２２のゲートノード２４および電流ライン３２に接続し、そのゲートを駆動トランジスタ２２およびディスプレイ素子２０間のノード４１に接続する。駆動トランジスタ２２がn型の低温度ポリシリコンTFTを具える場合には、装置４０も同一の導電型とする。

【００４４】

画素を適宜構成し、配列して光応答装置４０を画素の作動時に、ディスプレイ素子２０によって放出された光に曝されるようにする。これら構成素子間のかかる光学的結合は以下に述べる画素の作動から明らかである。

【００４５】

既知の画素回路および前述した例では、この画素回路の作動は２つのフェーズ、即ち、画素を供給されたデ-タ信号に依存する所望の表示出力状態に設定するアドレス指定フェーズと、画素が例えば次のフレームで再びアドレス指定されるまで、設定条件に従ってディスプレイ素子を駆動する続く駆動フェーズとを有する。アドレス指定フェーズでは、行駆動回路１６によって選択パルス信号を各行アドレス期間に行導体１２に供給し、行の各画素のTFT２６をターンオンし、各デ-タ信号をドライバ１８によって列導体１４に供給する。蓄積構成される６は

アドレス指定期間の開始時に簡単に完全に放電するものとする。これがため、デ-タ信号のレベルに従って駆動TFT２２のゲートノード２４に設定するとともに蓄積コンデンサ３６をこの電圧レベルに充電し選択パルスの除去後且つ行導体アドレス期間の終端で既知の画素における場合と同様に次の駆動フェーズにおいてTFT２２のゲート電圧を少なくとも初期値に保持し得るようにする。

【００４６】

TFT２２のゲートノードに結合された光応答TFT４０のドレイン接合を逆バイアスする。この接合を光感応性とするとともに光応答TFT４０をディスプレイ素子２０と光学的に結合するため、この装置に入射し駆動期間にディスプレイ素子により放出された光によって装置４０に僅かな光電流を生ぜしめ、この電流を逆バイアスされているためにディスプレイ素子の瞬時光出力レベルにほぼ直線的に比例させるようにする。この光電流の影響によって蓄積コンデンサ３６を徐々に放電し、光電流の量、従って放電の割合をディスプレイ素子の光出力レベルに依存させる。駆動期間の初期段階では、ノード４１の電圧に相当する装置４０のゲートの電圧を比較的小さくトランジスタ４０のスレシホルド電圧レベル以下にする。従って内部に発生した光電流のため、この時点でトランジスタ４０は逆バイアスフォトダイオードのように漏洩装置としてのみ作用し、コンデンサ３６の電荷をこれを経て漏洩する。

【００４７】

これがため、コンデンサ３６は駆動期間に徐々に放電し、駆動期間TFT２２のゲートの電圧はTFT２２がそのスレシホルドレベル、スレシホルド値ターンオフレベルに近付くにつれて、徐々に減少し、ディスプレイ素子２０を流れる電流を低下させる。ディスプレイ素子の光出力はゲート電圧の減少とともにこれに対応して減少する。ディスプレイ素子２０を流れる電流が減少すると、ノード４１の電圧レベルが徐々に増大し、所定の低い限界に到達する光出力レベルに相当する或る時点で、ライン３２に対するノード４１の電圧はトランジスタ４０のスレシホルド電圧レベルに到達し、トランジスタ４０を急激にターンオンするようになる。この影響によりコンデンサ３６を極めて急激に放電するとともにTFT２２のゲート電圧をライン３２の電位レベルにし、これによりTFT２２を迅速にターン

オフし、他の電流がディスプレイ素子２０に流れるのを防止し、従って画素からの光出力を突然遮断する。これがため、光出力は、この光出力が特定のレベルに降下する際の駆動期間中規定された段階で終了する。画素の作動時に存在する代表的な電圧の例として、例えば両TFT２２および４０が５Vのスレシホルド、給電ライン３０を８V、共通電流ライン３２を０Vとすると、トランジスタ２２のゲートノードの電圧は１０Vから６Vに変化し、ノード４１の電圧は２Vから５Vに変化させることができる。

【００４８】

この点で、画素の作動を図６にグラフで示す。図６はディスプレイ素子の瞬時光出力レベルI(即ち、秒当たりの放出光子の数)と時間Tとの間の関係を示す。時間軸上のTdはアドレス期間の直前の画素の駆動期間の開始を示し、Tfはフレーム期間の終端を示す。従って駆動期間の開始時にはディスプレイ素子からの光出力は比較的高い（供給されたデ-タ信号によって決まる）。装置４０に発生した光電流はTFT２２のゲート電圧を徐々に、一般に直線的に減少する効果を有し、従ってディスプレイ素子の光出力レベルは図４の領域Xに示すように対応して減少する。装置４０のゲートスレシホルド電圧レベルがノード４１で達成されると、ディスプレイ素子を流れる駆動電流がある低い限界に降下するため、装置４０は点Tyでスイッチオンすると直ちにTFT２２がターンオンし、ディスプレイ素子２０からの光出力は消失する。

【００４９】

図６に示す曲線の破線部分は、第１例におけるように、逆バイアスフォトダイオードのような光応答装置が装置４０ではなくコンデンサ３６の両端間に接続される場合に得られる光出力の影響を示す。図面から明らかなように、ディスプレイ素子を流れる電流は十分緩慢にスイッチオフされる。ディスプレイ素子の光子出力が比較的低レベルに減少するとともにフォトダイオードの代表的な応答性能のため、特性曲線に長い“テール”が形成される。かかるテールによって低い光レベルでの制御を一層困難にする。その理由は先ず第１に駆動TFT２２がこの段階でスレシホルド電圧レベル近くで作動し、第２に、光放出がフォトダイオードの特性の有効部分で発生するからである。この第２例では、画素回路によってか

かる問題を解決し、グレイスケールを容易に達成し、公立を改善することができる。

【００５０】

ディスプレイ素子を一部で附勢する時間の長さによって光出力の総量を決め、従って輝度（初期電流駆動レベルもファクタとなる）およびこの期間をフレーム期間（Tf）に相当する最大値まで変化させることができ、この時点で画素を再びアドレス指定する。駆動期間中ディスプレイ素子によって出力される光は観察者の眼によって積分され、従って観察者が認識する光の量即ち、輝度は曲線以下の区域に比例する。放電手段の作動中この区域、即ち、光出力の積分値は個別のディスプレイ素子の劣化とは無関係に、所定のデ-タ信号に対してほぼ同一値に保持させることができる。

【００５１】

フレーム期間にディスプレイ素子からの光出力、従ってそのグレイスケールを変化させるためには、アドレス期間中TFT２２のゲートノードの電荷を、デ-タ信号電圧レベルの増減によって適宜に調整することができる。この電荷が増大すると、TFT２２がスイッチオフまたはオンする前の放電期間中ディスプレイ素子から多くの光子を必要とする。

【００５２】

ディスプレイ素子の光出力はフレーム全体に亙って減少する為、光出力レベルがフレーム期間中ほぼ一定に維持される通常の装置における劣化していない画素によって達成されるのと同様な最大レベルの輝度（このような輝度は図６の曲線よりも下の領域に対応する）を得るために、供給されるデータ信号の最大値を高めて、（Ｔｄにおける）初期の照明レベルを高めるようにすることができる。或いはまた、おそらく好ましいことに、例えばライン３０の電圧レベルを上昇させることにより、ディスプレイ素子に与えられる駆動電圧レベルを適切に調整することができる。

【００５３】

図７は図６に類似するも、種々の駆動レベルにおける画素の動作と、エージング効果とをグラフ状に示している。このグラフでは、曲線Ｉ及びIIは、装置の動

作寿命中の早期の段階で供給されるデータ信号の２つの異なるレベルに対する光出力を示し、Ｉに対するレベルはIIに対するレベルよりも高い。これら２つの曲線のそれぞれにより画成される面積は互いにかなり相違すること明らかである。曲線 III及びIVは、それぞれ、曲線Ｉ及びIIを得るのに用いる同様なデータ信号レベルに対し装置の寿命中の末期の段階で生じるディスプレイ素子のエージング効果及び劣化を示す。従って、曲線Ｉ及びIII を比較することから明らかなように、光出力レベルは最初及び駆動期間全体に亙ってエージング効果により減少するも、放電手段が動作する結果として、曲線の下の面積によって決まる発生光の総量は、附勢期間が適切に変化（増大）することにより保たれる。曲線II及びIVは、光出力レベルが低い場合の、上述したのと同様な結果を示す。

【００５４】

光応答トランジスタ４０を有する放電手段は、アドレス期間中いかなる顕著な効果を有さない。次のアドレス期間の開始時にも、トランジスタ４０は依然としてオン状態にある。しかし、このトランジスタにまたがる電圧降下は、トランジスタ２２のゲートノードの電圧が新たなデータ信号の供給時に上昇することを意味し、このトランジスタ２２は導通し始め、これによりノード４１における電圧を降下させ、トランジスタ４０をターンオフさせる。必要に応じこのような動作を確実にするために、キャパシタ３６とトランジスタ２２のゲートとの間の相互接続点と、トランジスタ４０のドレインとの間に小抵抗を接続しうる。アドレス期間は駆動期間よりも著しく短く、例えば、約２０ミリ秒のフレーム期間の場合３２μ秒よりも短い為、アドレス期間中の光電流により後にトランジスタ４０を流れる漏洩電流による影響は著しいものとはならない。

【００５５】

光応答トランジスタ４０は、駆動ＴＦＴ２２と完全に匹敵するものにでき（これら双方のトランジスタを同じ導電型、例えば、ｎ型の低温ポリシリコンＴＦＴとして形成でき）、動作中トランジスタ４０に発生される光電流の代表的なレベルは、容易に集積化される蓄積キャパシタと匹敵するものとしうる。

【００５６】

上述した画素回路の動作方法（及び同様に第１実施例の動作方法）は、ディス

プレイ素子のエージング効果を自動的に補償する以外に、例えば、アレイ中の種々の画素のＴＦＴ２２を形成するのに用いる薄膜製造処理の特性の為にこれらＴＦＴのしきい値電圧、寸法及び移動度が変化することによりこれらＴＦＴの動作特性が変化するのを自動的に有効に補償することも意味する。その結果、アレイ全体に亙るディスプレイ素子からの光出力の均一性が更に改善される。更に、画素回路は、共通ライン３２及び３０に生じる電圧降下によって駆動期間中に生ぜしめられる不所望な影響を回避する援助を行なう。

【００５７】

画素回路の上述した実施例で用いたＴＦＴは全てｎチャネルMＯＳＴＦＴを有する。しかし、これに代えて、ｐチャネルＴＦＴを用いることができるも、この場合、ディスプレイ素子２０の極性及び印加駆動電圧を反転させる。この場合、ここに用いる放電に関することも、当業者にとって明らかなように、適宜構成する必要がある。ポリシリコンＴＦＴを用いるのが好ましいが、非晶質シリコンのＴＦＴを用いることもできる。

【００５８】

トランジスタ４０は、ディスプレイ素子２０により放出される光に当るように配置したが、これを装置に当る外部光から遮蔽させて、このトランジスタが動作中ディスプレイ素子からの光にのみ応答するようにするのが好ましい。

【００５９】

上述の実施例ではその代わりに現在ラインを列方向に延在させることができ、この場合には各現在ラインは各列の画素で共用される。

この第２の実施例では光応答トランジスタが電気光学放電手段に好適であるが、この放電手段は異なる構成にすることもでき、例えばキャパシタ３６と並列に接続されたＴＦＴのようなスイッチング装置と別個のフォトダイオードを具え、同様にＴＦＴのゲートをノード４１に接続するとともにフォトダイオードを逆バイアスすることも考えられる。また、放電手段のスイッチング装置の動作は、そのゲートをノード４１に接続する以外の方法で制御することもでき、例えばそのゲートを表示素子を流れる駆動電流に従って変換する電圧を有する画素回路内の他の点に接続してスイッチング装置を駆動電流が所定の低レベルに低下するのに

応答してターンオンさせることもできる。

【００６０】

蓄積キャパシタを高速放電する放電手段のスイッチング動作は、表示素子を流れる電流に従って変化する画素回路内の電流により制御することもでき、また表示素子により放出される光に直接応答する光感応スイッチ回路によって制御することもでき、該回路は受光レベルが所定値に低下するときターンオンしてキャパシタを放電するしきい値特性を有するものとする。

【００６１】

本発明は、上述した実施例のように電圧データで駆動される以外にも、電流データで駆動される画素に対し使用することもできる。図８は電流データ信号を使用するのに好適な画素回路の他の例を示す。同一の参照番号は対応する素子を示す。放電手段４０を除いて、この画素回路はWO99/65012に開示されている実施例に類似し、詳細についてはこれを参照されたい。簡単に説明すると、この画素回路は図に示すようにＴＦＴ２２のゲートノードと、ライン３２と、アドレスＴＦＴ２６の出力端子との間に相互接続された２つの他のＴＦＴ５０及び５１を更に具える。他のＴＦＴ５０とＴＦＴ２２はカレントミラー回路を構成し、この回路は各画素内のＴＦＴ２２のしきい値電圧の変化を補償するよう動作する。

【００６２】

行アドレス期間において、ＴＦＴ２６及び５１がターンオンし、ＴＦＴ５０がＴＦＴ２６から導体１４に流れる入力データ電流をサンプルする。この電流はＴＦＴ２２により比例電流が生成され、この電流が表示素子２０を流れる。電流が安定すると、蓄積キャパシタ３６の電圧がこの電流の発生に必要なＴＦＴ２２及び５０のゲート電圧に等しくなる。

放電手段４０は前実施例と同様に次の駆動期間に動作する。

【００６３】

以上　要約すれば、駆動期間において各画素のエレクトロルミネッセンス表示素子を流れる駆動電流を、前アドレス期間中に供給され且つ関連する蓄積キャパシタの電圧として蓄積された駆動信号に基づいて駆動装置により制御されるアクティブマトリクスエレクトロルミネッセンス表示装置について説明した。所定の

駆動信号レベルに対する光出力の経時低下を生ずる表示素子の経年変化の影響を抑えるために、画素は蓄積キャパシタに結合された電気光学放電手段を含み、この放電手段が表示素子の光出力に応答して蓄積電荷を放電し駆動期間中の表示素子の積分光出力を制御する。改良制御のために、放電手段は表示素子の駆動が低レベルに低下する駆動期間内の制御点においてキャパシタを急速に放電するよう構成する。この目的のためには光応答トランジスタを使用することができる。

【００６４】

本明細書を読めば、他の種々の変更が当業者に明かである。これらの変更は、アクティブマトリクスエレクトロルミネッセンス表示装置及びその構成部品の分野において既知であるが上述した本発明の構成要素の代わりに又は加えて使用し得る他の構成要素も含むものとする。

【図面の簡単な説明】

【図１】　画素アレイを具える既知のアクティブマトリックスELディスプレイ装置の構成を示す該略図である。

【図２】　図１の既知のアクティブマトリックスELディスプレイ装置の数個の代表的な画素の構成を示す該略図である。

【図３】　本発明アクティブマトリックスELディスプレイ装置の第１例における一つの代表的な画素の等価回路図である。

【図４】　図３のアクティブマトリックスELディスプレイ装置の数個の画素の接続態様の一例を示す接続図である。

【図５】　本発明アクティブマトリックスELディスプレイ装置の第２例の数個の代表的な画素の等価回路図である。

【図６】　図５のアクティブマトリックスELディスプレイ装置の代表的な画素の作動を説明するための特性図である。

【図７】　図５のアクティブマトリックスELディスプレイ装置の代表的な画素の作動を説明するための特性図である。

【図８】　本発明アクティブマトリックスELディスプレイ装置の他の例における画素の変更例を示す等価回路図である。

【図１】

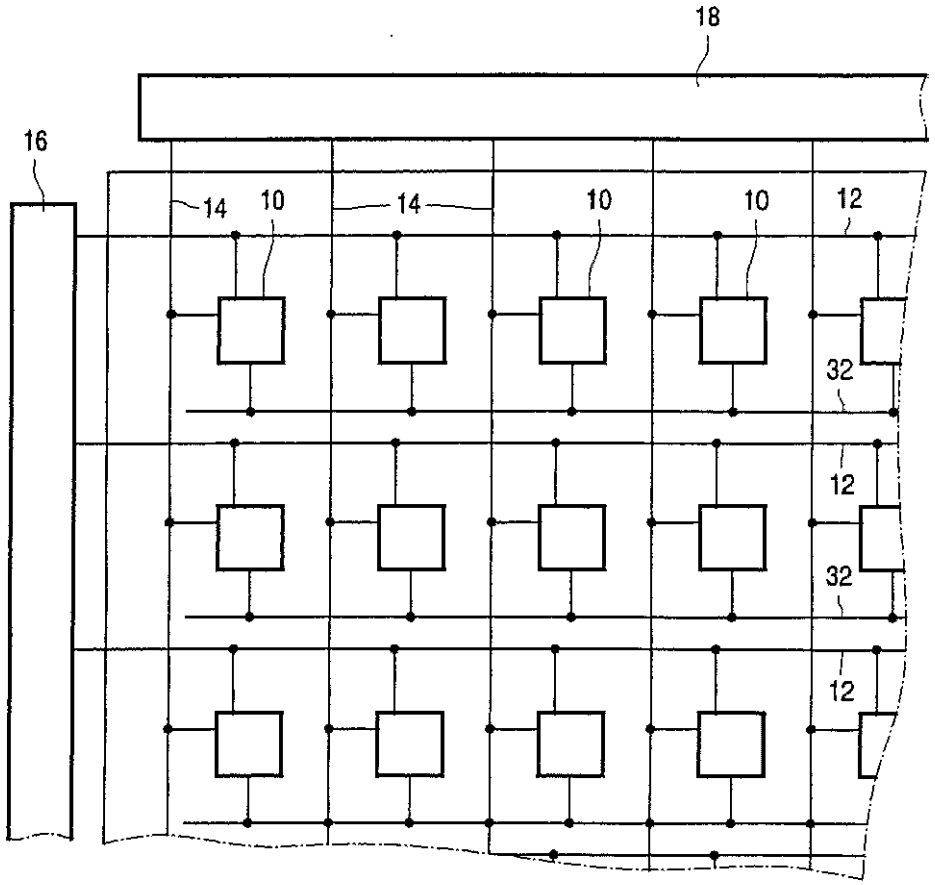


FIG. 1

【図２】

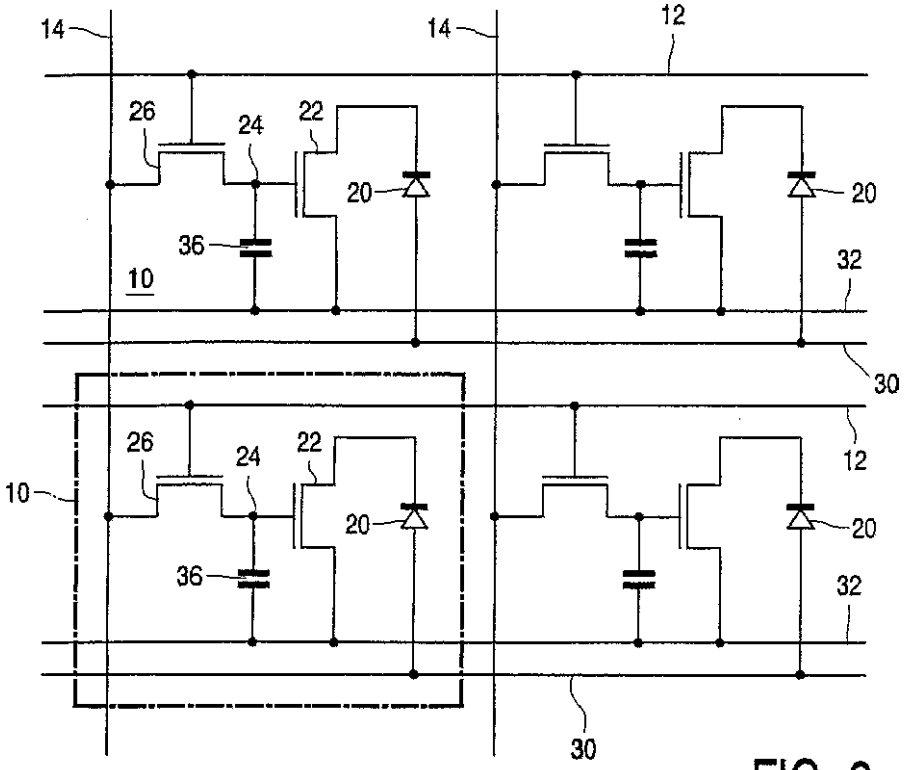


FIG. 2

【図３】

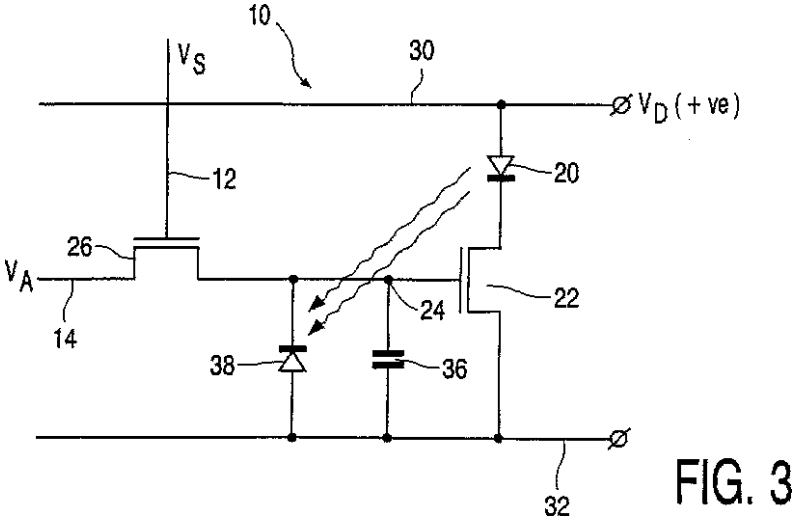


FIG. 3

【図４】

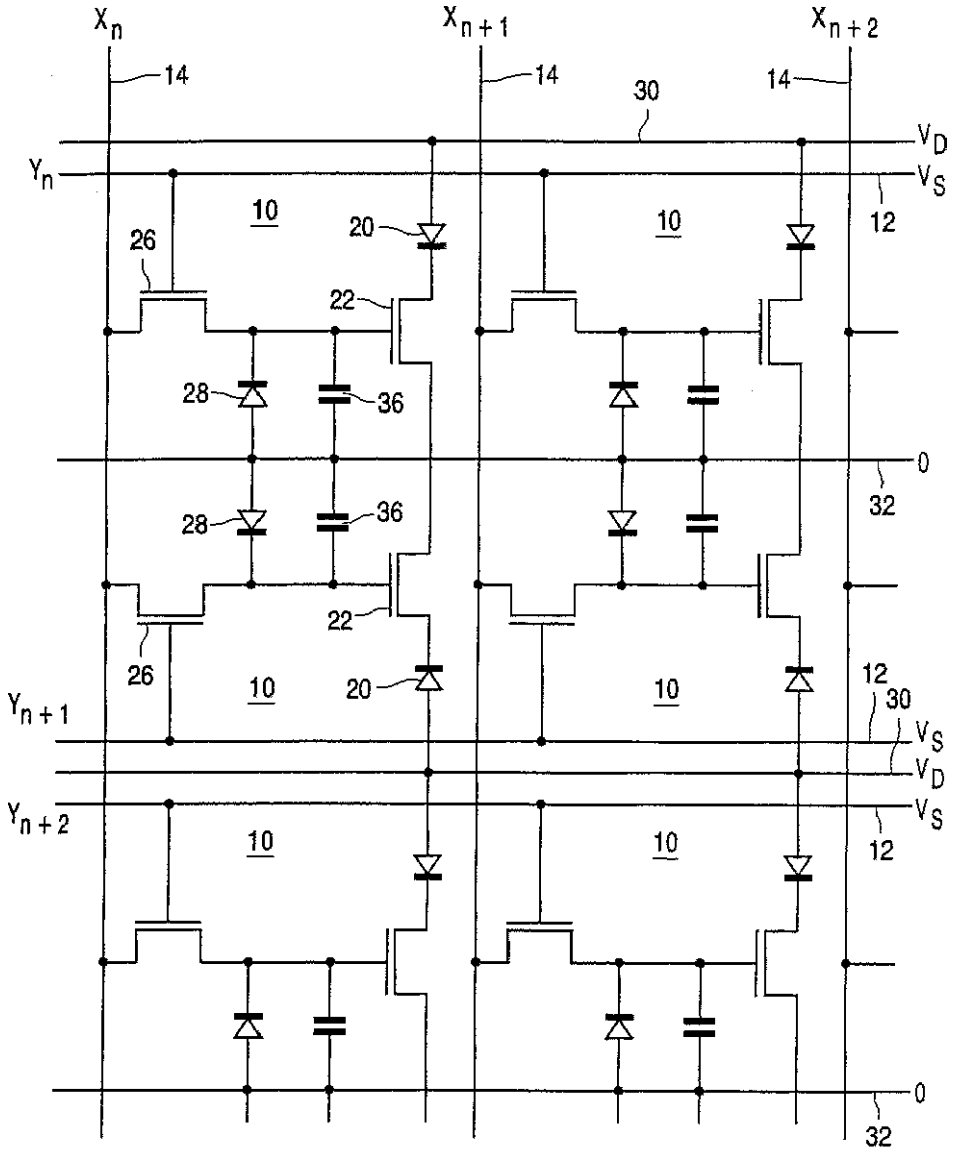

Xn
Xn+1
Xn+2
14
14
14
30
VD
Yn
VS
12
10
10
20
26
22
28
36
0
32
28
36
22
26
10
20
10
12
30
Yn+1
VS
VD
Yn+2
VS
12
10
10
0
32

FIG. 4

【図５】

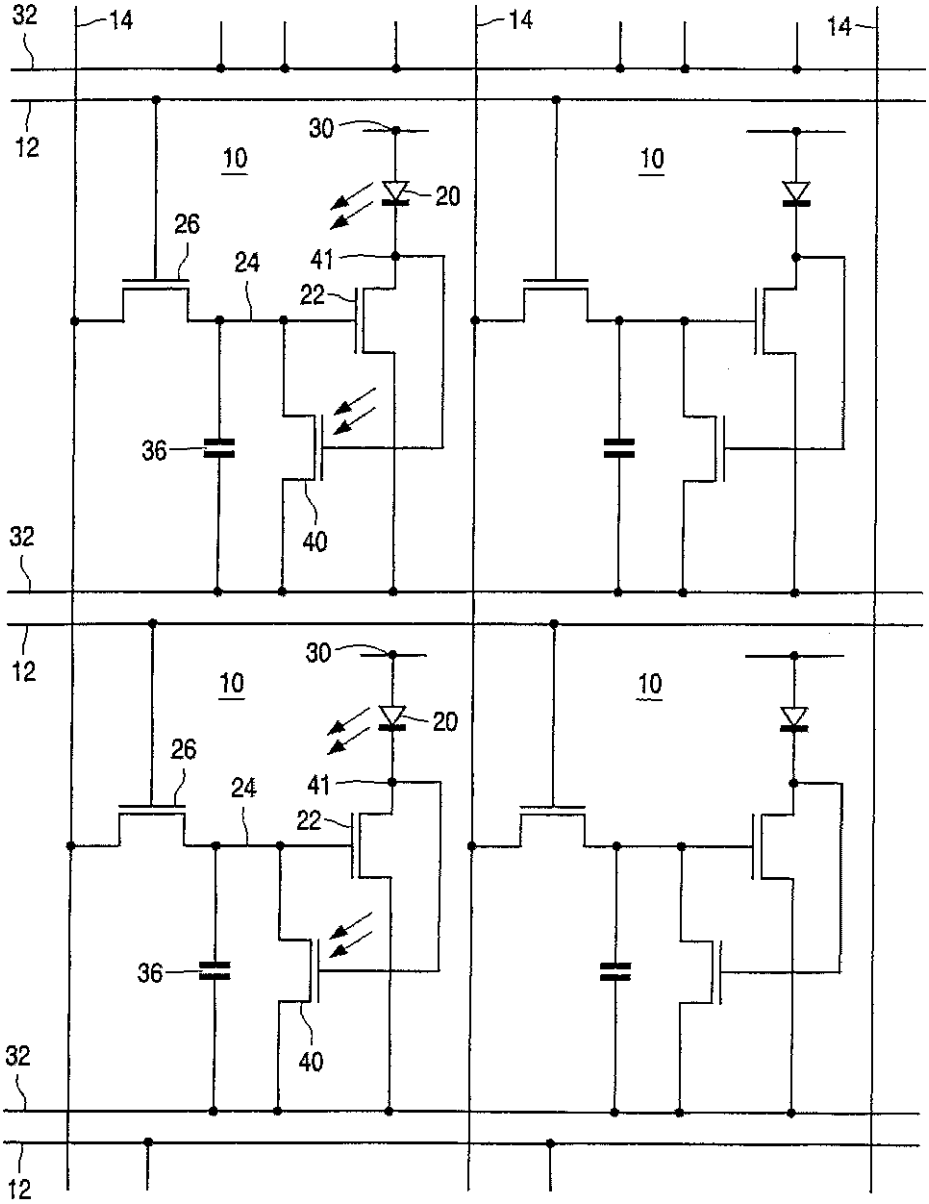

32
14
14
14
12
30
10
10
20
26
24
41
22
36
40
32
12
30
10
10
20
26
24
41
22
36
40
32
12

FIG. 5

【図６】

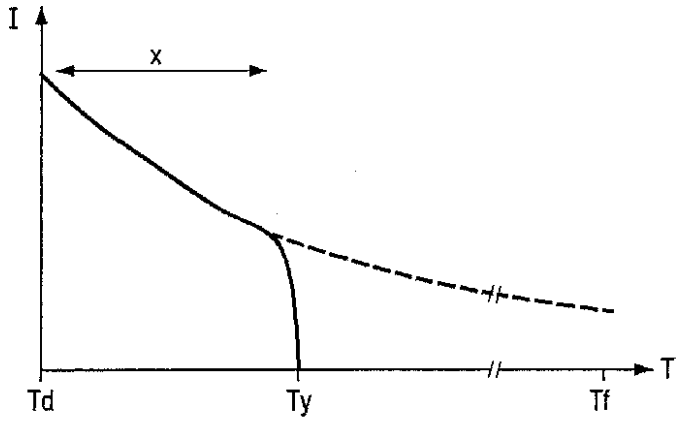


FIG. 6

【図７】

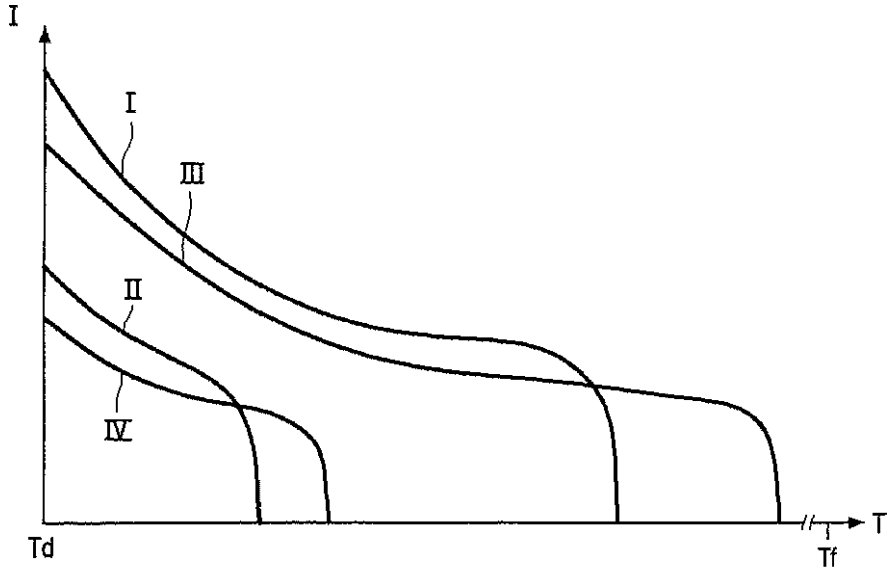


FIG. 7

【図８】

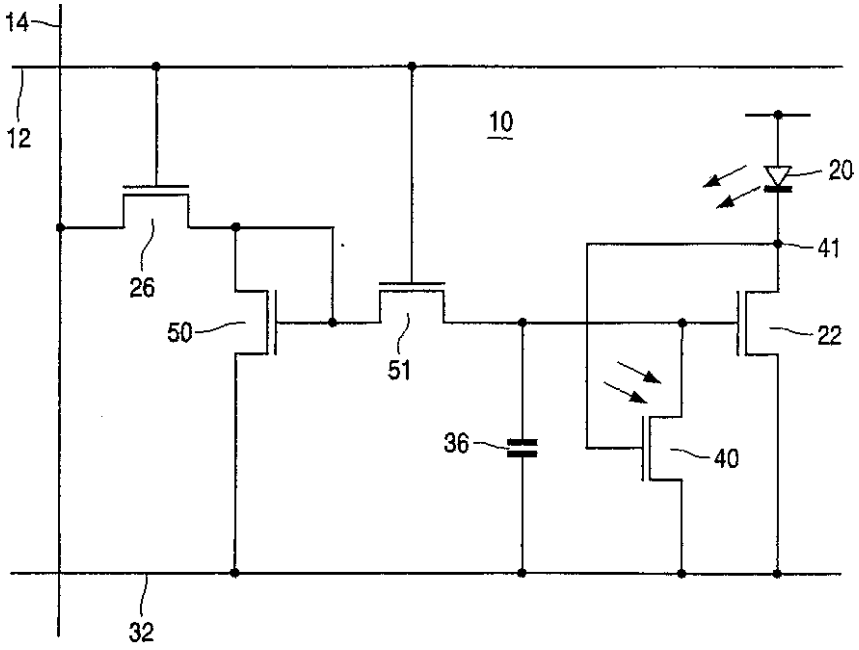


FIG. 8

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 00/08719

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 923 067 A (SEIKO EPSON CORP) 16 June 1999 (1999-06-16)	1-3
A	column 26, line 30 -column 27, line 10 column 39, line 6 - line 23; figure 13 column 42, line 8 -column 43, line 18; figure 15	4,6-12

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
2 November 2000	09/11/2000
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Amian, D

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP 00/08719

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0923067 A	16-06-1999	WO 9840871 A	17-09-1998

フロントページの続き

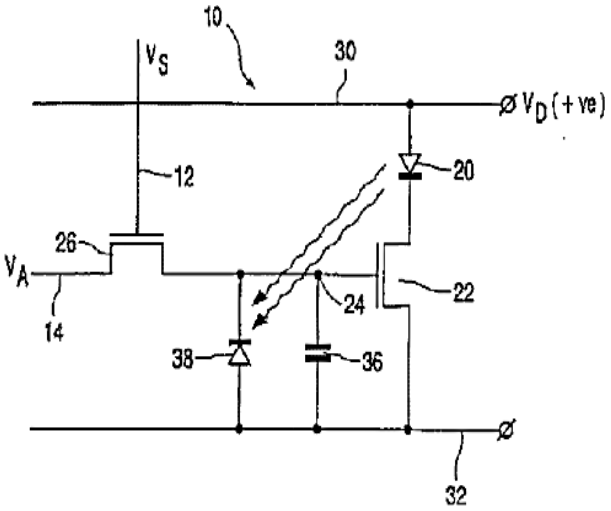
(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０５Ｂ　33/14		Ｈ０５Ｂ　33/14	Ａ

(81)指定国　ＥＰ(ＡＴ，ＢＥ，ＣＨ，ＣＹ，ＤＥ，ＤＫ，ＥＳ，ＦＩ，ＦＲ，ＧＢ，ＧＲ，ＩＥ，ＩＴ，ＬＵ，ＭＣ，ＮＬ，ＰＴ，ＳＥ)，ＪＰ，ＫＲ

(72)発明者　アラン　ヘー　クナップ
オランダ国　5656　アーアー　アインドーフェン　プロフ　ホルストラーン　６

Ｆターム(参考)　3K007 AB11 AB17 DB03 GA04
5C080 AA06 BB05 DD03 EE28 FF11 JJ03 JJ05

专利名称(译)	有源矩阵EL显示器件		
公开(公告)号	JP2003509728A	公开(公告)日	2003-03-11
申请号	JP2001524090	申请日	2000-09-06
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ジョンエムシャノン アランヘークナップ		
发明人	ジョン エム シャノン アラン ヘー クナップ		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H05B33/14		
CPC分类号	G09G3/3233 G09G3/3241 G09G2300/0809 G09G2300/0819 G09G2300/0842 G09G2300/088 G09G2320/043 G09G2360/148 H01L27/3269		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.C G09G3/20.642.P G09G3/20.670.J H05B33/14.A		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ05		
优先权	1999021425 1999-09-11 GB 2000005811 2000-03-13 GB		
外部链接	Espacenet		

摘要(译)

基于驱动信号的驱动设备（22），在前一个寻址周期的驱动周期中，该驱动信号被提供有流过每个像素（10）的EL显示元件（20）的驱动电流，并作为电压存储在相关的存储电容器（36）中。 提供一种由其控制的有源矩阵EL显示装置。 电子-光放电装置（38）耦合到存储电容器到像素，并响应于显示元件的光输出以抵消显示元件老化的影响，其中对于给定驱动信号电平的光输出随时间减小。 提供以在驱动期间泄漏累积的电荷并控制显示元件的积分光输出。 在控制中，放电装置被布置为当以低电平驱动显示元件时在驱动周期中的控制点处使电容器快速放电。 为此，通常使用光敏晶体管。