

【特許請求の範囲】

【請求項 1】 複数の第 1 電極と、該複数の第 1 電極にそれぞれ交差する複数の第 2 電極とを有し、各第 1 電極と各第 2 電極とのそれぞれの交点に、各第 1 電極および各第 2 電極との間にそれぞれ絶縁膜を介して、発光特性が異なる複数種類の発光層がそれぞれ配置された表示パネルと、

各第 1 電極に接続され、入力信号に応じた変調電圧をそれぞれ供給するデータ側駆動回路と、

該データ側駆動回路に変調電源電圧を供給する変調駆動電源回路と、

各第 2 電極に接続され、書き込み電圧を線順次に第 2 電極へ供給する走査側駆動回路と、

該走査側駆動回路に書き込み電圧を供給する書き込み駆動電源回路と、

外部から入力される信号に基づいて、該データ側駆動回路、該変調駆動電源回路、該走査側駆動回路および該書き込み駆動電源回路を制御する駆動制御回路とを有し、該データ側駆動回路から出力される変調電圧の振幅を変化させることによって階調表示を行う場合に、

該駆動制御回路は、入力される表示データ信号に基づいて各発光層の発光特性に応じた最適な変調電圧の振幅が得られるように、該データ側駆動回路に対して、所望される階調数 m に対して調整範囲 n (n は 1 以上の整数) を加えた $m + n$ 種類のデータ信号を該データ側駆動回路に供給可能であり、

該データ側駆動回路は、該駆動制御回路から供給されるデータ信号に応じて、 $m + n$ 種類の振幅の変調電圧を該第 1 電極に対して出力可能であり、

入力される表示データ信号に基づいて各発光層の発光特性に応じた最適な振幅の変調電圧が、 n の範囲で調整されて該第 1 電極に供給される、表示装置。

【請求項 2】 前記調整範囲 n は、前記駆動制御回路に入力される信号に基づいて規定される請求項 1 に記載の表示装置。

【請求項 3】 前記調整範囲 n は、前記駆動制御回路に予め内蔵されたデータに基づいて規定される請求項 1 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、容量性フラットマトリクスディスプレイである表示装置に関し、特に、発光特性が異なる複数種類の発光層を有する無機 EL (Electro Luminescence) 表示装置に関する。

【0002】

【従来の技術】無機 EL 表示装置の表示パネルは、基板上に、透明導電性物質からなり、互いに平行に配置された帯状の複数本の第 1 電極 (データ側電極) と、第 2 電極 (走査側電極) とが互いに直交する方向に配置されて

いる。第 1 電極と第 2 電極との交差部には、誘電物質からなる絶縁層 - 発光層 - 誘電物質からなる絶縁層の 3 層が積層されて無機 EL 素子が構成され、マトリクス状の表示ドットとなっている。表示パネルには、発光色を変えること等を目的として、複数種類の発光層が設けられる。無機 EL 素子は、図 7 に示すような印加電圧 - 輝度特性を有しており、200V 程度の比較的高い電圧によって駆動される。

【0003】従来、このような無機 EL 表示装置には、走査側電極の駆動回路として、データ側電極に対して負極性の電圧を印加する出力素子と正極性の電圧を印加する出力素子とが設けられたプッシュプル構造の走査側駆動回路が設けられている。また、データ側電極の駆動回路として、発光層に変調電圧を充電するソースフォロワ型の出力素子によって構成されたデータ側駆動回路が設けられている。

【0004】データ側駆動回路では、充電用出力素子および放電用出力素子を用いて、表示データ信号に従って任意の振幅の変調電圧まで無機 EL 素子の充放電を行う変調駆動が行われる。また、走査側駆動回路では、サイリスタ等のスイッチ素子を用いて、所謂フィールド反転駆動が行われる。これによって、発光層に対して対称性の良い交流パルスが印加され、信頼性の高い表示が得られる。

【0005】以下に、無機 EL 表示装置の具体的な構成について、図 1 に示す回路図を用いて説明する。なお、ここでは 8 階調を表示する場合を例として説明する。

【0006】この無機 EL 表示装置は、EL 表示パネル 106 が設けられている。EL 表示パネル 106 には、データ側電極 $X1a$ 、 $X1b$ 、 $\dots$ 、 Xna および Xnb と、走査側電極 $Y1$ 、 $Y2$ 、 $\dots$ 、 Ym とが互いに直交するように設けられており、データ側電極と走査側電極との各交差部に、図 7 に示すような電圧 - 輝度特性 (発光層 A) を有し、発光しきい値電圧が VWa 、発光飽和電圧が VSa である発光層 A と、図 7 に示すような電圧 - 輝度特性 (発光層 B) を有し、発光しきい値電圧が VWb 、発光飽和電圧が VSb である発光層 B とが、X 方向に交互に配置されて表示ドットが構成されている。1 画素は、これら 2 種類の発光層からなる一対の表示ドットによって構成されている。

【0007】EL 表示パネル 106 の周辺には、駆動制御回路 101 が設けられている。駆動制御回路 101 には、垂直同期信号 VS 、水平同期信号 HS 、データ転送クロック信号 CKD および表示データ信号 $D0 \sim D2$ 等の信号が外部から入力される。外部から入力される表示データ信号 $D0 \sim D2$ は、8 階調の階調度を示す。最も暗い輝度から順に $L0$ 、 $L1$ 、 $\dots$ とし、最も明るい輝度を $L7$ とした場合の表示データ信号 $D0 \sim D2$ と輝度との関係を下記表 1 に示す。

【0008】

【表1】

	輝度	D2	D1	D0
明	L7	H	H	H
	L6	H	H	L
	L5	H	L	H
	L4	H	L	L
	L3	L	H	H
暗	L2	L	H	L
	L1	L	L	H
	L0	L	L	L

駆動制御回路101は、外部から入力される論理回路用 10
電圧VL（例えば5V）によって動作する。

【0009】駆動制御回路101では、入力される各信号に応じて、EL表示装置の各部分の動作タイミングを制御するために、以下のような制御信号が生成される。PNフレーム信号PNFは、表示フレームの第1フレームと第2フレームとを制御する信号であり、第1フレームでは「H」、第2フレームでは「L」となる。ランプ波出力信号RPは、ランプ波を制御する信号であり、「H」の期間にランプ波が出力される。ステップクロック信号SCKは、ランプ波出力信号RPが「H」の期間 20
を7等分するクロック信号である。変調電圧出力信号MOは、変調基準電圧パルスを制御する信号であり、「H」の期間に変調基準電圧パルスが変調共通電圧線123に導出される。また、CKDはデータ転送クロック信号であり、DLSはデータラッチ信号である。

【0010】また、無機EL表示装置においては、信頼性の高い表示を得るために、発光層に対して対称性の良い交流パルスが印加されており、第1フレームでは正極性の書き込み電圧である $+(VW+VM)$ が印加され、第2フレームでは負極性の書き込み電圧である $-VW$ が 30
印加される。従って、第1フレームでは輝度レベルが高いほど変調電圧の振幅は低く、輝度レベルが低いほど変調電圧の振幅を高くする必要がある。第2フレームでは、第1フレームとは反対に、輝度レベルが高いほど変調電圧の振幅は高く、輝度レベルが低いほど変調電圧の振幅を低くする必要がある。このため、第1フレームでは、駆動制御回路101に入力される表示データ信号が反転されてデータ側駆動回路103に供給され、第2フレームでは表示データ信号がそのままデータ側駆動回路 40
103に供給される。データ側駆動回路103に供給される表示データ信号DA0～DA2は、駆動制御回路101に入力される表示データ信号D0～D2とPNフレーム信号PNFとのEXORによって生成される。

【0011】駆動制御回路101によって生成される変調電圧出力信号MOは、変調駆動電源回路102が有する変調電源回路121に供給される。変調電源回路121では、DC/DCコンバータ等を用いて外部から入力される駆動回路用電圧VD（例えば12V）が振幅VM（例えば35V）のDC電圧に昇圧され、変調電圧出力信号MOに同期して、昇圧されたDC電圧が変調基準電 50

圧パルスVMBに変換される。変調電源回路121によって生成された変調基準電圧VMBは、変調電源電圧として変調共通電圧線123へ導出される。

【0012】また、駆動制御回路101によって生成されるランプ波出力信号RPは、変調駆動電源回路102が有するランプ波生成回路122に供給される。ランプ波生成回路122では、ランプ波出力信号RPの立ち上がり時に同期して、駆動回路用電圧VDから振幅VM（例えば35V）をピークとするランプ波RVMの生成が開始される。ランプ波は、ランプ波出力信号RPの立ち下がり時にピーク振幅VMに到達する傾きで生成され、ランプ波出力信号の立ち下がり時に同期してGNDに戻る。ランプ波生成回路122によって生成されたランプ波RVMは、ランプ波線124へ導出される。

【0013】駆動制御回路101によって生成される表示データ信号DA0～DA2、ランプ波出力信号RP、変調電圧出力信号MO、データ転送クロック信号CKD、データラッチ信号DLSおよびステップクロック信号SCKは、データ側駆動回路103が有するデータ側制御回路131に供給される。データ側制御回路131は、図2に示すように、シフトレジスタ・ラッチ回路200および振幅制御回路201によって構成されている。

【0014】シフトレジスタ・ラッチ回路200には、データ転送クロック信号CKD、データラッチ信号DLSおよび表示データ信号DA0～DA2が供給される。シフトレジスタ・ラッチ回路200は、図3に示すように、データ側電極X1a、X1b、X2a、・・・のそれぞれに対応して、表示データ信号DA0～DA2がD入力端子に入力され、データ転送クロック信号CKDがCLK入力端子に入力される3つのシフトレジスタと、シフトレジスタのQ出力端子がD入力端子に接続され、データラッチ信号DLSがCLK入力端子CLKに入力され、Q出力端子が振幅制御回路201に接続される3つのラッチ部とによって構成されている。シフトレジスタのQ出力端子は、次のデータ側電極に対応するシフトレジスタのD入力端子に接続されている。

【0015】シフトレジスタ・ラッチ回路200において、表示データ信号DA0～DA2は、データ転送クロック信号CKDに同期して、それぞれ対応するシフトレジスタ内を3ビット並列に転送される。そして、1水平期間終了後に、データラッチ信号DLSによってラッチ部にデータがラッチされ、表示データ信号DA0(X)～DA2(X)が得られる。

【0016】また、振幅制御回路201には、駆動制御回路101によって生成されるランプ波出力信号RP、変調電圧出力信号MOおよびステップクロック信号SCKと、シフトレジスタ・ラッチ回路200からの表示データ信号DA0(X)～DA2(X)が供給される。振幅制御回路201は、図4(a)に示すように、カウン

ター回路 220 と、デコード回路 221 と、マスク回路 222 とを有している。

【0017】カウンタ回路 220 は、ステップクロック信号 SCK が CLK 入力端子に入力され、ランプ波出力信号 RP が CLR 端子に入力され、Q 出力端子が右側のフリップフロップの D 入力端子に接続され、Qバー出力端子がマスク回路 222 を構成する OR 回路の入力に接続されている 7 つのフリップフロップを有している。左端のフリップフロップの D 入力端子は、電源電圧 VCC に接続されている。カウンタ回路 220 では、ステップクロック信号 SCK およびランプ波出力信号 RP が入力され、各フリップフロップの Qバー端子から、それぞれ同じタイミングで立ち上がり、ステップクロック信号 SCK の立ち上がり同期して右側のフリップフロップ程、遅いタイミングで立ち下がる、パルス幅が 7 通りの信号が出力される。

【0018】デコード回路 221 は、3 bit To 8 line Decoder (標準ロジック回路 74137 相当) によって構成されており、セレクト入力端子 (A、B および C) にシフトレジスタ・ラッチ回路 200 からの表示データ信号 DA0(X) ~ DA2(X) がそれぞれ入力されることによって、階調に応じたマスク信号が出力端子 Y0 ~ Y7 からそれぞれ出力される。マスク信号は、カウンタ回路 220 から出力される 7 通りのパルス幅の信号のうち、必要なパルス幅の信号のみを RP 信号として出力し、それ以外の 6 通りの信号をマスクするために用いられる。出力端子 Y0 ~ Y6 からのマスク信号は、マスク回路 222 の 7 つの OR 回路の一方の入力にそれぞれ接続され、出力端子 Y7 からのマスク信号は、マスク回路 222 の AND 回路のうち、上側右端の AND 回路の一方の入力に接続されている。

【0019】マスク回路 222 は、AND 回路と OR 回路によって構成されており、カウンタ回路 220 から出力される 7 通りのパルス幅の信号から、表示データ信号 DA0(X) ~ DA2(X) に応じたパルス幅の信号が選択される。マスク回路 222 の出力は、ランプ波出力信号 RP と共にマスク回路 222 の右側に設けられた AND 回路に入力され、データ側ドライバ 132 を制御するアナログスイッチ制御信号 MP が生成される。

【0020】さらに、振幅制御回路 201 は、図 4 (b) に示すように、電源電圧 VCC が D 入力端子に接続され、変調電圧出力信号 MO をインバータによって反転した信号が CLK 入力端子に入力され、Q 出力端子が直列に接続された 3 つのインバータを介し、反転されて CLR 端子に入力されるフリップフロップを有しており、ランプ波放電信号 MD が生成される。

【0021】振幅制御回路 201 によって生成されるアナログスイッチ制御信号 MP およびランプ波放電信号 MD は、データ側ドライバ 132 に供給される。また、変調駆動電源回路 102 によって生成される変調基準電圧

パルス VMB およびランプ波は、データ側駆動回路 103 が有するデータ側ドライバ 132 に供給される。

【0022】データ側ドライバ 132 は、図 2 に示すように、ソース同士が接続された N チャンネル FET 300 と P チャンネル FET 301 とを有しており、それぞれの FET には並列に寄生ダイオード 302 および 303 が接続されてソースフォロワ型出力素子が構成されている。両 FET 300 および 301 の接続されたソースは、EL 表示パネル 106 のデータ側電極に接続されている。N チャンネル FET 300 のドレインは変調駆動電源回路 102 に接続された変調共通電圧線 123 と接続され、P チャンネル FET 301 のドレインは GND 電位に接続されている。両 FET 300 および 301 のゲートには、ゲート容量 304 が接続されると共に、アナログスイッチ 305 を介して変調駆動電源回路 102 に接続されたランプ波線 124 と接続されている。

【0023】アナログスイッチ 305 のゲートは、振幅制御回路 201 から出力されるアナログスイッチ制御信号 MP によって制御される。アナログスイッチ制御信号 MP に従ってアナログスイッチ 305 が導通状態になると、ランプ波の電位がゲート容量 C304 に充電され、ゲート容量 C304 に充電された電位が忠実に変調電位としてデータ側電極に充電される。アナログスイッチ制御信号 MP は、駆動フレームおよび階調度に対応した期間が「H」となり、そのパルス幅は、ランプ波と同期することによって変調電圧振幅に変換される。

【0024】各フレームにおいて、外部から入力される表示データ D0 ~ D2 と出力変調電圧の振幅レベルとの関係を下記表 2 に示す。

【0025】

【表 2】

第1フレーム(書き込み⁷電圧:正極性)

PNF	D2	D1	D0	変調駆動電圧
H	H	H	H	0V
H	H	H	L	5V(1/7VM)
H	H	L	H	10V(2/7VM)
H	H	L	L	15V(3/7VM)
H	L	H	H	20V(4/7VM)
H	L	H	L	25V(5/7VM)
H	L	L	H	30V(6/7VM)
H	L	L	L	35V(7/7VM)

第2フレーム(書き込み⁸電圧:負極性)

PNF	D2	D1	D0	変調駆動電圧
L	H	H	H	35V(7/7VM)
L	H	H	L	30V(6/7VM)
L	H	L	H	25V(5/7VM)
L	H	L	L	20V(4/7VM)
L	L	H	H	15V(3/7VM)
L	L	H	L	10V(2/7VM)
L	L	L	H	5V(1/7VM)
L	L	L	L	0V

第1フレームでは正極性の書き込み電圧が走査側電極に印加されるため、輝度レベルが高いほど、データ側電極に印加される変調駆動電圧の振幅は低く、輝度レベルが低いほど、データ側電極に印加される変調駆動電圧の振幅は高くなっている。また、第2フレームでは負極性の書き込み電圧が走査側電極に印加されるため、輝度レベルが高いほど、データ側電極に印加される変調駆動電圧の振幅は高く、輝度レベルが低いほど、データ側電極に印加される変調駆動電圧の振幅は低くなっている。

【0026】さらに、ゲート容量C304と並列に、NチャンネルFET306が設けられており、NチャンネルFET306のゲートにはランプ波放電信号MDが接続されている。ランプ波放電信号MDは、変調電圧出力信号MOの立ち上がりエッジに同期して一定期間「H」となり、FET306が導通状態となって、ゲート容量304に充電された電荷が放電される。

【0027】DC/DCコンバータ等を用いて外部から入力される駆動回路用電圧VDは、書き込み駆動電源回路104が有する書き込み電源回路140によって、正極性のDC電圧である $+(VW+VM)$ 、および負極性のDC電圧である $-VW$ に昇圧される。書き込み電源回路140によって昇圧された正負両極性のDC電圧は、書き込みパルス生成回路141に供給され、駆動制御回路101から供給される制御信号に従って、正負両極性のパルス状書き込み電圧に変換される。この場合、VWは発光層Aの発光しきい値電圧VWa(=180V)であり、駆動回路用電圧VDは例えば12Vである。ま

た、書き込み駆動電源回路104は、書き込み電圧を放電する際には0Vを出力し、書き込みおよび放電以外のタイミングではフローティング状態となる。

【0028】書き込み駆動電源回路104によって発生される正負両極性のパルス状書き込み電圧は、それぞれ、プルアップラインおよびプルダウンラインを介して、走査側駆動回路105が有する走査側ドライバ152に供給される。走査側ドライバ152は、図5に示すように、プルアップサイリスタ153とプルダウンサイリスタ154とを有するプッシュプル構造のスイッチ回路が複数個、並列に接続されて構成されている。プルアップラインとQ出力端子間、およびQ出力端子とプルダウンライン間は、それぞれ250V程度の耐圧を有し、プルアップラインとプルダウンライン間は約5Vの電位で変化する。

【0029】走査側ドライバ152は、走査側制御回路151に接続されている。走査側ドライバ152は、走査側制御回路151に設けられたシフトレジスタによって、走査側電極のそれぞれに順次的に対応付けられており、全ての走査側電極が順次走査される。走査側制御回路151ではGND電位が正負に振れているため、駆動制御回路101側と絶縁する必要があり、走査側制御回路151からの制御信号は、フォトカプラ等を用いたアイソレーション回路107を介して、駆動制御回路101側とは絶縁されて入力される。

【0030】このように構成された無機EL表示装置の駆動方法について、図6Aおよび図6Bに示す駆動例を用いて説明する。ここでは、データ側電極X1aおよびX1bと走査側電極Y1との交点に構成される画素AのEL素子(X1a、Y1)および(X1b、Y1)を、輝度レベル6で発光させる場合について説明する。なお、データ側電極X1aと走査側電極Y1との交点(X1a、Y1)には発光層aが配置され、データ側電極X1bと走査側電極Y1との交点(X1b、Y1)には発光層bが配置されている。なお、図6Aおよび図6Bでは、発光層aと発光層bとに同じ電圧が印加されるため、発光層aについて示しており、発光層bについては記載を省略している。

【0031】第1のフレームでは、駆動制御回路101に入力される表示データ信号D0~D2とPNフレーム信号PNFとのEXORによって、表示データ信号D0~D2が反転されて表示データ信号DA0~DA2が生成され、データ側駆動回路103に出力される。

【0032】データ側駆動回路103には、表示データ信号DA0~DA2、データ転送クロック信号CKD、データラッチ信号DLSが入力される。表示データ信号DA0~DA2は、データ転送クロック信号CKDによって、データ側制御回路131内のシフトレジスタ・ラッチ回路200の正規の場所に転送され、その後、データラッチ信号DLSの立ち上がり時に一旦ラッチされ

て、表示データ信号 $DA0(X) \sim DA2(X)$ が生成される。

【0033】走査側駆動回路 105 に接続されている全走査側電極は、フローティング電位（実質的に 0V）に保たれている。また、変調共通電圧線 123 には、変調電圧出力信号 MO に従って、変調基準電圧パルス VMB が出力される。データ側電極には、ステップクロック信号 SCK、ランプ波出力信号 RP および表示データ信号 $DA0(X) \sim DA2(X)$ をデータ側駆動制御回路 131 にて処理することによって得られるアナログスイッチ制御信号 MP およびランプ波線 124 から供給されるランプ波 RVM に基づいて、データ側ドライバ 132 から所望の電圧レベルの変調電圧が、それぞれ EL パネル 106 に印加される。

【0034】輝度レベル 6 で発光させる画素 A の EL 素子 (X1a、Y1) および (X1b、Y1) のデータ側電極 X1a および X1b に接続されるデータ側ドライバ 132 は、ゲート容量 C304 が $1/7VM (= 5V)$ まで充電され、FET300 が ON 状態になり、接続された画素 A のデータ側電極 X1a および X1b が、 $1/7VM (= 5V)$ になるまで充電される。

【0035】次に、書き込み電源回路 104 から供給されるパルス状の書き込み駆動電圧である $+ (VW + VM) (= 215V)$ が、プルアップラインおよび走査側ドライバ 152 内の選択されたプルアップサイリスタ 153 を介して、選択された走査側電極 Y1 に供給され、走査側電極 Y1 が $+ (VW + VM) (= 215V)$ に充電される。

【0036】その結果、データ側電極 X1a と走査側電極 Y1 の交点に構成される EL 素子 (X1a、Y1)、およびデータ側電極 X1b と走査側電極 Y1 の交点に構成される EL 素子 (X1b、Y1) の両端に印加される電圧は、書き込み駆動電圧と変調電圧とが重畳されて $VW + 6/7VM (= 210V)$ となる。この場合、EL 素子 (X1a、Y1) は輝度レベル L6 にて発光するが、EL 素子 (X1b、Y1) は輝度レベル L4 程度の発光しか得られない。

【0037】所定の時間、EL 素子が発光した後、走査側電極 Y1 は、走査側ドライバ 152 における選択されたプルダウンサイリスタ 154 からプルダウンラインを介して、0V に放電される。また、変調電圧出力信号 MO が「L」となり、変調共通電圧線 123 への変調基準電圧 VM の導出が停止される。さらに、ランプ波放電信号 MD が一定期間「H」となり、FET306 が ON 状態となって、ゲート容量 304 に充電された電荷が放電される。これによって、P チャンネル FET301 が ON 状態となり、EL 素子に充電された電荷は放電される。

【0038】以上によって、選択された走査側電極 Y1 の駆動が終了し、走査側電極 Y1 は第 2 フレームの Y1

の駆動が始まるまでの間、書き込み駆動電源回路 104 から電氣的に切り離されフローティング状態となる。同様に Y2 ~ Ym までの駆動を線順次に繰り返すことによって、第 1 フレームの駆動が完了する。

【0039】第 2 のフレームでは、駆動制御回路 101 に入力される表示データ信号 D0 ~ D2 と PN フレーム信号 PNF との EXOR によって、表示データ信号 D0 ~ D2 が反転されず、表示データ信号 $DA0 \sim DA2$ としてデータ側駆動回路 103 に出力される。

【0040】データ側駆動回路 103 には、表示データ信号 $DA0 \sim DA2$ 、データ転送クロック信号 CKD、データラッチ信号 DLS が入力される。表示データ信号 $DA0 \sim DA2$ は、第 1 フレームと同様に、データ転送クロック信号 CKD によって、データ側制御回路 131 内のシフトレジスタ・ラッチ回路 200 の正規の場所に転送され、その後、データラッチ信号 DLS の立ち上がり時に一旦ラッチされて、表示データ信号 $DA0(X) \sim DA2(X)$ が生成される。

【0041】走査側駆動回路 105 に接続されている全走査側電極は、フローティング電位に保たれている。また、変調共通電圧線 123 には、変調電圧出力信号 MO に従って、変調基準電圧パルス VMB が出力される。データ側電極には、ステップクロック信号 SCK、ランプ波出力信号 RP および表示データ信号 $DA0(X) \sim DA2(X)$ をデータ側駆動制御回路 131 にて処理することによって得られるアナログスイッチ制御信号 MP およびランプ波線 124 から供給されるランプ波 RVM に基づいて、データ側ドライバ 132 から所望の電圧レベルの変調電圧が、それぞれ表示パネル 106 に印加される。

【0042】輝度レベル 6 で発光させる画素 A の EL 素子 (X1a、Y1) および (X1b、Y1) のデータ側電極 X1a および X1b に接続されるデータ側ドライバ 132 は、ゲート容量 C304 が $6/7VM (= 30V)$ まで充電され、FET300 が ON 状態になり、接続された画素 A のデータ側電極 X1a および X1b が、 $6/7VM (= 30V)$ になるまで充電される。

【0043】次に、書き込み電源回路 104 から供給されるパルス状の書き込み駆動電圧である $- VW (= - 180V)$ が、プルダウンラインおよび走査側ドライバ 152 内の選択されたプルダウンサイリスタ 154 を介して、選択された走査側電極 Y1 に供給され、走査側電極 Y1 が $- VW (= - 180V)$ に充電される。

【0044】その結果、データ側電極 X1a と走査側電極 Y1 の交点に構成される EL 素子 (X1a、Y1)、およびデータ側電極 X1b と走査側電極 Y1 の交点に構成される EL 素子 (X1b、Y1) の両端に印加される電圧は、書き込み駆動電圧と変調電圧とが重畳されて $- (VW + 6/7VM) (= 210V)$ となる。この場合、EL 素子 (X1a、Y1) は輝度レベル L6 にて発

光するが、EL素子(X1b、Y1)は輝度レベルL4程度の発光しか得られない。

【0045】所定の時間、EL素子が発光した後、走査側電極Y1は、走査側ドライバ152における選択されたプルアップサイリスタ153からプルアップラインを介して、0Vに放電される。また、変調電圧出力信号MOが「L」となり、変調共通電圧線123への変調基準電圧VMの導出が停止される。さらに、ランプ波放電信号MDが一定期間「H」となり、FET306がON状態となって、ゲート容量304に充電された電荷が放電される。これによって、PチャンネルFET301がON状態となり、EL素子に充電された電荷は放電される。

【0046】以上によって、選択された走査側電極Y1の駆動が終了し、走査側電極Y1は第1フレームのY1の駆動が始まるまでの間、書き込み駆動電源回路104から電氣的に切り離されフローティング状態となる。同様にY2～Ymまでの駆動を線順次に繰り返すことによって、第2フレームの駆動が完了する。

【0047】

【発明が解決しようとする課題】上述した従来の無機EL表示装置において、データ側駆動回路103から出力される変調電圧は、表示データ信号に基づいて所定の振幅によって出力されるが、画素を構成するいずれの表示ドットの発光層においても、表示データ信号と変調電圧の振幅との関係は同じである。

【0048】図7に示すように、電圧-輝度特性が異なる複数種類の発光層を用いた無機EL素子において、発光層Aの発光しきい値電圧VWa(=180V)にVWが設定され、VMが35Vに設定され、VMを7等分した電圧振幅によって階調表示が行われている。従って、発光層Aに対して最適な印加電圧であっても、発光層Bに対しては非発光-低輝度領域のみの発光となり、十分な階調表示を得ることができない。このように、いずれかの発光層で全消去状態から全発光状態まで、最適な階調を得るためにVWを設定した場合には、他の発光層では最適な階調表示が得られないという問題がある。

【0049】また、発光層Aの発光しきい値電圧VWa(=180V)から発光層Bの発光飽和電圧Vsb(=225V)の差(=45V)をVMとして、この電圧を7等分した電圧振幅を印加する場合には、発光層Aでは高輝度階調の間隔が狭くなり、発光層Bでは低輝度階調の間隔が狭くなって、いずれの発光層に対しても最適な階調表示を得ることができない。

【0050】このような電圧-輝度特性が異なる複数種類の発光層を用いた無機EL表示装置において、発光の最適化を図るために、それぞれの発光層に印加される駆動パルスの印加時間(パルス幅)を発光層毎に最適化する方法が、特開平10-39835号公報に開示されている。しかしながら、無機EL素子は、その構造からも

明らかなように、容量性の素子であるため、本来、パルス幅階調法には適していない。

【0051】無機EL素子に矩形波状の駆動パルスを印加すると、発光に寄与する電流は、電圧の立ち上がり直後に急峻なピークをもって立ち上がり、コンデンサへの充電電流と同様の挙動を示す。電流が流れる時間は数μ秒という短い時間であり、電流が流れた後のパルス幅を制御しても、階調間に十分な輝度差を得ることができない。従って、パルス幅の制御によって十分な輝度差を有する階調表示を得るためには、充電電流が流れる数μ秒の時間に多段階のパルス幅を設定する必要がある。しかし、駆動回路の応答速度およびパルス幅の制御精度等によって、パルス幅が僅かでも変化すると、輝度が大きく変化するという問題がある。

【0052】無機EL素子において、複数種類の発光層に対する電圧-輝度特性を全く同じように作製することができれば、いずれの発光層に対しても最適な階調表示を得ることができるが、そのような無機EL素子を再現性良く作製することは非常に困難である。

【0053】本発明は、このような従来技術の課題を解決するためになされたものであり、電圧-輝度特性が異なる複数種類の発光層を用いた表示装置において、各発光層毎に最適な階調表示を得ることができる表示装置を提供することを目的とする。

【0054】

【課題を解決するための手段】本発明の表示装置は、複数の第1電極と、該複数の第1電極にそれぞれ交差する複数の第2電極とを有し、各第1電極と各第2電極とのそれぞれの交点に、各第1電極および各第2電極との間にそれぞれ絶縁膜を介して、発光特性が異なる複数種類の発光層がそれぞれ配置された表示パネルと、該第1電極に接続され、入力信号に応じた変調電圧をそれぞれ供給するデータ側駆動回路と、該データ側駆動回路に変調電源電圧を供給する変調駆動電源回路と、各第2電極に接続され、書き込み電圧を選択的に第2電極へ供給する走査側駆動回路と、該走査側駆動回路に書き込み電圧を供給する書き込み駆動電源回路と、外部から入力される信号に基づいて、該データ側駆動回路、該変調駆動電源回路、該走査側駆動回路および該書き込み駆動電源回路を制御する駆動制御回路とを有し、該データ側駆動回路から出力される変調電圧の振幅を変化させることによって階調表示を行う場合に、該駆動制御回路は、入力される表示データ信号に基づいて各発光層の発光特性に応じた最適な変調電圧の振幅が得られるように、該データ側駆動回路に対して、所望される階調数mに対して調整範囲n(nは1以上の整数)を加えたm+n種類のデータ信号を該データ側駆動回路に供給可能であり、該データ側駆動回路は、該駆動制御回路から供給されるデータ信号に応じて、階調数mに対して調整範囲nを加えたm+n種類の振幅の変調電圧を該第1電極に対して出力可能

であり、入力される表示データ信号に基づいて各発光層の発光特性に応じた最適な振幅の変調電圧が、 n の範囲で調整されて該第1電極に供給され、そのことにより上記目的が達成される。

【0055】前記調整範囲 n は、前記駆動制御回路に入力される信号に基づいて規定されてもよい。または、前記調整範囲 n は、前記駆動制御回路に予め内蔵されたデータに基づいて規定されてもよい。

【0056】前記データ側駆動回路の変調電圧出力部は、ソースフォロワ型素子によって構成されていてもよい。

【0057】以下に、本発明の作用について説明する。

【0058】本発明にあっては、電圧-輝度特性が異なる複数種類の発光層を用いた表示装置において、階調表示を行う場合に、データ側駆動回路部から出力される変調電圧 V_M が、表示データ信号および各発光層の発光特性に応じた最適な振幅に調整されるため、各発光層毎に最適な階調表示を得ることができる。

【0059】変調電圧の振幅調整範囲 n は、駆動制御回路に入力される信号に基づいて規定することができる。また、駆動制御回路に予めデータとして内蔵させておくことにより、予め規定された発光層に対応して自動的に振幅調整範囲を規定することができる。

【0060】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照しながら説明する。

【0061】図8は、本発明の一実施形態である無機EL表示装置の構成を説明するための回路図である。なお、本実施形態では、図7に示すような異なる輝度-電圧特性を有する2種類の発光層を用いて、8階調を表示する際に、2階調分の調整電圧幅を設ける場合を例として説明する。

【0062】この無機EL表示装置は、EL表示パネル506が設けられている。EL表示パネル506には、データ側電極 $X1a$ 、 $X1b$ 、 $\dots$ 、 Xna および Xnb と、走査側電極 $Y1$ 、 $Y2$ 、 $\dots$ 、 Ym とが互いに直交するように設けられており、データ側電極と走査側電極との各交差部に、図7に示すような電圧-輝度特性（発光層A）を有し、発光しきい値電圧が VWa 、発光飽和電圧が VSa である発光層Aと、図7に示すような電圧-輝度特性（発光層B）を有し、発光しきい値電圧が VWb 、発光飽和電圧が VSb である発光層Bとが、 X 方向に交互に配置されて表示ドットが構成されている。1画素は、これら2種類の発光層からなる一対の表示ドットによって構成されている。

【0063】EL表示パネル506の周辺には、駆動制御回路501が設けられている。駆動制御回路501には、垂直同期信号 VS 、水平同期信号 HS 、データ転送クロック信号 CKD 、表示データ信号 $D0 \sim D2$ 、変調電圧調整信号 $MA0$ および $MA1$ 等の信号が外部から入

*力される。外部から入力される表示データ信号 $D0 \sim D2$ は、8階調の階調度を示す。最も暗い輝度から順に $L0$ 、 $L1$ 、 $\dots$ とし、最も明るい輝度を $L7$ とした場合の表示データ信号 $D0 \sim D2$ と輝度との関係を下記表3に示す。

【0064】

【表3】

	輝度	D2	D1	D0
明 :	L7	H	H	H
	L6	H	H	L
	L5	H	L	H
	L4	H	L	L
	L3	L	H	H
	L2	L	H	L
	L1	L	L	H
暗	L0	L	L	L

駆動制御回路501は、外部から入力される論理回路用電圧 V_L （例えば5V）によって動作する。

【0065】駆動制御回路501では、入力される各信号に応じて、EL表示装置の各部分の動作タイミングを制御するために、以下のような制御信号が生成される。PNフレーム信号 PNF は、表示フレームの第1フレームと第2フレームとを制御する信号であり、第1フレームでは「H」、第2フレームでは「L」となる。ランプ波出力信号 RP は、ランプ波を制御する信号であり、「H」の期間にランプ波が出力される。ステップクロック信号 SCK は、ランプ波出力信号 RP が「H」の期間を9等分するクロック信号である。変調電圧出力信号 MO は、変調基準電圧パルスを制御する信号であり、「H」の期間に変調基準電圧パルスが変調共通電圧線523に導出される。また、 CKD はデータ転送クロック信号であり、 $DL S$ はデータラッチ信号である。

【0066】変調電圧調整信号 $MA0$ および $MA1$ は、階調度のシフト量を規定するための信号であり、表示データ信号 $D0 \sim D2$ と同様に、データ転送クロック信号 CKD に同期して入力される。本実施形態では、例えば下記表4に示すようにシフト量が定義付けられている。ここでは、「シフトなし」、「1階調シフト」および「2階調シフト」の3種類を2bitで制御するために「シフトなし」が LL および LH に割り当てられている。

【0067】

【表4】

MA0	MA1	階調度のシフト量
L	L	階調度のシフトなし
L	H	階調度のシフトなし
H	L	1階調度 高階調度側へシフト
H	H	2階調度 高階調度側へシフト

入力された表示データ信号 $D0 \sim D2$ と、変調電圧調整信号 $MA0$ および $MA1$ は、駆動制御回路501内に設

けられた加算器508によって加算され、加算結果が表示データ信号DA0～DA3として出力される。従って、例えば輝度レベルL6の階調度は、下記表5に示す範囲で調整される。

【0068】

【表5】

	—	D2	D1	D0
L6	—	H	H	L
	DA3	DA2	DA1	DA0
MA0,MA1(L, L)	L	H	H	L
MA0,MA1(L, H)	L	H	H	L
MA0,MA1(H, L)	L	H	H	H
MA0,MA1(H, H)	H	L	L	L

また、無機EL表示装置においては、信頼性の高い表示を得るために、発光層に対して対称性の良い交流パルスが印加されており、第1フレームでは正極性の書き込み電圧である $+(VW+VM)$ が印加され、第2フレームでは負極性の書き込み電圧である $-VW$ が印加される。従って、第1フレームでは輝度レベルが高いほど変調電圧の振幅は低く、輝度レベルが低いほど変調電圧の振幅*

*を高くする必要があり、第2フレームでは、第1フレームとは反対に、輝度レベルが高いほど変調電圧の振幅は高く、輝度レベルが低いほど変調電圧の振幅を低くする必要がある。

【0069】本実施形態において、第1フレームでは、駆動制御回路501に入力される表示データ信号D0～D2に変調電圧調整信号MA0～MA1を加算した結果とPNF信号とのEXORから得られる値、すなわち、MA0～MA1を加算した結果を反転させた値から減算器509にて6を引いた表示データ信号がデータ側駆動回路503に供給され、第2フレームでは、表示データ信号D0～D2に変調電圧調整信号MA0～MA1を加算した結果とPNF信号とのEXORから得られる値、すなわち、MA0～MA1を加算した結果がそのままデータ側駆動回路503に供給される。データ側駆動回路503に供給される表示データ信号DA0～DA2は、下記表6に示すようなものになる。

【0070】

【表6】

輝度レベル	第1フレーム				第2フレーム			
	DA3	DA2	DA1	DA0	DA3	DA2	DA1	DA0
明	L	L	L	L	H	L	L	H
	L	L	L	H	H	L	L	L
	L	L	H	L	L	H	H	H
	L	L	H	H	L	H	H	L
	L	H	L	L	L	H	L	H
	L	H	L	H	L	H	L	L
	L	H	H	L	L	L	H	H
	L	H	H	H	L	L	H	L
暗	H	L	L	L	L	L	L	H
	H	L	L	H	L	L	L	L

駆動制御回路501によって生成される変調電圧出力信号MOは、変調駆動電源回路502が有する変調電源回路521に供給される。変調電源回路521では、DC/DCコンバータ等を用いて外部から入力される駆動回路用電圧VD（例えば12V）が振幅VMのDC電圧に昇圧され、変調電圧出力信号MOに同期して、昇圧されたDC電圧が変調基準電圧パルスVMBに変換される。本実施形態では、発光層Aの発光しきい値電圧VWa（＝180V）から発光層Bの発光飽和電圧Vsb（＝225V）の差（＝45V）がVMに設定される。変調電源回路521によって生成された変調基準電圧VMBは、変調共通電圧線523へ導出される。

【0071】また、駆動制御回路501によって生成されるランプ波出力信号RPは、変調駆動電源回路502が有するランプ波生成回路522に供給される。ランプ波生成回路522では、ランプ波出力信号RPの立ち上がり時に同期して、駆動回路用電圧VDから振幅VMをピークとするランプ波RVMの生成が開始される。

【0072】ランプ波は、ランプ波出力信号RPの立ち下がり時にピーク振幅VMに到達する傾きで生成され、ランプ波出力信号の立ち下がり時に同期してGNDに戻

される。ランプ波生成回路522によって生成されたランプ波RVMは、ランプ波線524へ導出される。

【0073】駆動制御回路501によって生成される表示データ信号DA0～DA3、ランプ波出力信号RP、変調電圧出力信号MO、データ転送クロック信号CKD、データラッチ信号DLSおよびステップクロック信号SCCKは、データ側駆動回路503が有するデータ側制御回路531に供給される。データ側制御回路531は、図9に示すように、シフトレジスタ・ラッチ回路600および振幅制御回路601によって構成されている。

【0074】シフトレジスタ・ラッチ回路600には、データ転送クロック信号CKD、データラッチ信号DLSおよび表示データ信号DA0～DA3が供給される。シフトレジスタ・ラッチ回路600は、図10に示すように、データ側電極X1a、X1b、X2a、・・・のそれぞれに対応して、表示データ信号DA0～DA3がD入力端子に入力され、データ転送クロック信号CKDがCLK入力端子に入力される3つのシフトレジスタと、シフトレジスタのQ出力端子がD入力端子に接続され、データラッチ信号DLSがCLK入力端子CLKに

入力され、Q出力端子が振幅制御回路601に接続される3つのラッチ部とによって構成されている。シフトレジスタのQ出力端子は、次のデータ側電極に対応するシフトレジスタのD入力端子に接続されている。

【0075】シフトレジスタ・ラッチ回路600において、表示データ信号DA0～DA3は、データ転送クロック信号CKDに同期して、それぞれ対応するシフトレジスタ内を4ビット並列に転送される。そして、1水平期間終了後に、データラッチ信号DLSによってラッチ部にデータがラッチされ、表示データ信号DA0(X) 10～DA3(X)が得られる。

【0076】また、振幅制御回路601には、駆動制御回路501によって生成されるランプ波出力信号RP、変調電圧出力信号MOおよびステップクロック信号SCKと、シフトレジスタ・ラッチ回路600からの表示データ信号DA0(X)～DA3(X)が供給される。振幅制御回路601は、図11(a)に示すように、カウンタ回路620と、デコード回路621と、マスク回路622とを有している。

【0077】カウンタ回路620は、ステップクロック信号SCKがCLK入力端子に入力され、ランプ波出力信号RPがCLR端子に入力され、Q出力端子が右側のフリップフロップのD入力端子に接続され、Qバー出力端子がマスク回路622を構成するOR回路の入力に接続されている9つのフリップフロップを有している。左端のフリップフロップのD入力端子は、電源電圧VCCに接続されている。カウンタ回路620では、ステップクロック信号SCKおよびランプ波出力信号RPが入力され、各フリップフロップのQバー端子から、それぞれ同じタイミングで立ち上がり、ステップクロック信号SCKの立ち上がり同期して右側のフリップフロップ程、遅いタイミングで立ち下がる、パルス幅が9通りの信号が出力される。 30

【0078】デコード回路621は、4bit To 16line Decoder(標準ロジック回路74154相当)によって構成されており、セレクト入力端子(A～D)にシフトレジスタ・ラッチ回路600からの表示データ信号DA0(X)～DA2(X)がそれぞれ入力されることによって、階調に応じたマスク信号が出力端子0～9からそれぞれ出力される。10～15は空き端子である。マスク信号は、カウンタ回路620から出力される9通りのパルス幅の信号のうち、必要なパルス幅の信号のみをRP信号として出力し、それ以外の8通りの信号をマスクするために用いられる。出力端子0～8からのマスク信号は、マスク回路622の9つのOR回路の一方の入力にそれぞれ接続され、出力端子9からのマスク信号は、マスク回路622のAND回路のうち、上側右端のAND回路の一方の入力に接続されている。 40

【0079】マスク回路622は、AND回路とOR回 50

路によって構成されており、カウンタ回路620から出力される9通りのパルス幅の信号から、表示データ信号DA0(X)～DA2(X)に応じたパルス幅の信号が選択される。マスク回路622の出力は、ランプ波出力信号RPと共にマスク回路622の右側に設けられたAND回路に入力され、データ側ドライバ532を制御するアナログスイッチ制御信号MPが生成される。

【0080】さらに、振幅制御回路601は、図11(b)に示すように、電源電圧VCCがD入力端子に接続され、変調電圧出力信号MOをインバータによって反転した信号がCLK入力端子に入力され、Q出力端子が直列に接続された3つのインバータを介し、反転されてCLR端子に接続されたフリップフロップを有しており、ランプ波放電信号MDが生成される。

【0081】振幅制御回路601によって生成されるアナログスイッチ制御信号MPおよびランプ波放電信号MDは、データ側ドライバ632に供給される。また、変調駆動電源回路602によって生成される変調基準電圧パルスVMBおよびランプ波は、データ側駆動回路503が有するデータ側ドライバ532に供給される。

【0082】データ側ドライバ532は、図9に示すように、ソース同士が接続されたNチャンネルFET700とPチャンネルFET701とを有しており、それぞれのFETには並列に寄生ダイオード702および703が接続されてソースフォロワ型出力素子が構成されている。両FET700および701の接続されたソースは、EL表示パネル706のデータ側電極に接続されている。NチャンネルFET700のドレインは変調駆動電源回路502に接続された変調共通電圧線523と接続され、PチャンネルFET701のドレインはGND電位に接続されている。両FET700および701のゲートには、ゲート容量704が接続されると共に、アナログスイッチ705を介して変調駆動電源回路502に接続されたランプ波線524と接続されている。

【0083】アナログスイッチ705のゲートは、振幅制御回路601から出力されるアナログスイッチ制御信号MPによって制御される。アナログスイッチ制御信号MPに従ってアナログスイッチ305が導通状態になると、ランプ波の電位がゲート容量C304に充電され、ゲート容量C304に充電された電位が忠実に変調電位としてデータ側電極に充電される。アナログスイッチ制御信号MPは、駆動フレームおよび階調度に対応した期間が「H」となり、そのパルス幅は、ランプ波と同期することによって変調電圧振幅に変換される。

【0084】各フレームにおいて、外部から入力される表示データD0～D2と出力変調電圧の振幅レベルとの関係を下記表7に示す。

【0085】

【表7】

第1フレーム
(書き込み電圧：正極性)

D2	D1	D0	変調駆動電圧
H	H	H	0V
H	H	L	5V(1/9VM)
H	L	H	10V(2/9VM)
H	L	L	15V(3/9VM)
L	H	H	20V(4/9VM)
L	H	L	25V(5/9VM)
L	L	H	30V(6/9VM)
L	L	L	35V(7/9VM)
—	—	—	40V(8/9VM)
—	—	—	45V(VM)

29 第2フレーム
(書き込み電圧：負極性)

D2	D1	D0	変調駆動電圧
—	—	—	45V(VM)
—	—	—	40V(8/9VM)
H	H	H	35V(7/9VM)
H	H	L	30V(6/9VM)
H	L	H	25V(5/9VM)
H	L	L	20V(4/9VM)
L	H	H	15V(3/9VM)
L	H	L	10V(2/9VM)
L	L	H	5V(1/9VM)
L	L	L	0V

※ 表中の「—」は振幅調整時に適用されるレベルである。

第1フレームでは正極性の書き込み電圧が走査側電極に印加されるため、輝度レベルが高いほど、データ側電極に印加される変調駆動電圧の振幅は低く、輝度レベルが低いほど、データ側電極に印加される変調駆動電圧の振幅は高くなっている。また、第2フレームでは負極性の書き込み電圧が走査側電極に印加されるため、輝度レベルが高いほど、データ側電極に印加される変調駆動電圧の振幅は高く、輝度レベルが低いほど、データ側電極に印加される変調駆動電圧の振幅は低くなっている。なお、上記表7中、D0～D2が「-」となっているレベルは、振幅調整時に適用されるレベルである。

【0086】さらに、ゲート容量C704と並列に、NチャンネルFET706が設けられており、NチャンネルFET706のゲートにはランプ波放電信号MDが接続されている。ランプ波放電信号MDは、変調電圧出力信号MOの立ち下がりエッジに同期して一定期間「H」となり、FET706が導通状態となって、ゲート容量704に充電された電荷が放電される。

【0087】DC/DCコンバータ等を用いて外部から入力される駆動回路用電圧VDは、書き込み駆動電源回路504が有する書き込み電源回路540によって、正極性のDC電圧である $+(VW+VM)$ 、および負極性のDC電圧である $-VW$ に昇圧される。書き込み電源回路540によって昇圧された正負両極性のDC電圧は、書き込みパルス生成回路541に供給され、駆動制御回路501から供給される制御信号に従って、正負両極性のパルス状書き込み電圧に変換される。この場合、VWは発光層Aの発光しきい値電圧VWa(=180V)であり、駆動回路用電圧VDは例えば12Vである。また、書き込み駆動電源回路504は書き込み電圧を放電する際には一定電圧を出力し、書き込みおよび放電以外のタイミングではフローティング状態となる。一定電圧は書き込み電圧より絶対値の小さな電圧であり、例えば0Vである。

【0088】書き込み駆動電源回路504によって発生

される正負両極性のパルス状書き込み電圧は、それぞれ、プルアップラインおよびプルダウンラインを介して、走査側駆動回路505が有する走査側ドライバ552に供給される。走査側ドライバ552は、図12に示すように、プルアップサイリスタ553とプルダウンサイリスタ554とを有するプッシュプル構造のスイッチ回路が複数個、並列に接続されて構成されている。プルアップラインとQ出力端子間、およびQ出力端子とプルダウンライン間は、それぞれ250V程度の耐圧を有し、プルアップラインとプルダウンライン間は約5Vの電位で変化する。

【0089】走査側ドライバ552は、走査側制御回路551に接続されている。走査側ドライバ552は、走査側制御回路551に設けられたシフトレジスタによって、走査側電極のそれぞれに順次的に対応付けられており、全ての走査側電極が順次走査される。走査側制御回路551ではGND電位が正負に振れているため、駆動制御回路501側と絶縁する必要があり、走査側制御回路551からの制御信号は、フォトカプラ等を用いたアイソレーション回路507を介して、駆動制御回路501側とは絶縁されて入力される。

【0090】このように構成された本実施形態の無機EL表示装置の駆動方法について、図13A、図13B、図14Aおよび図14Bに示す駆動例を用いて説明する。ここでは、データ側電極X1aおよびX1bと走査側電極Y1との交点に構成される画素AのEL素子(X1a、Y1)および(X1b、Y1)を、輝度レベル6で発光させる場合について説明する。図13Aおよび図13BはEL素子(X1a、Y1)の駆動例を示し、図14Aおよび図14BはEL素子(X1b、Y1)の駆動例を示す。なお、データ側電極X1aと走査側電極Y1との交点(X1a、Y1)には発光層aが配置され、データ側電極X1bと走査側電極Y1との交点(X1b、Y1)には発光層bが配置されている。

【0091】第1のフレームでは、駆動制御回路501

において、データ転送クロック信号CKDに同期して外部から入力される表示データ信号D0～D2と変調電圧調整信号MA0およびMA1とが、加算器508によって加算され、得られた加算結果とPNF信号とのEXORから得られる値、すなわち、MA0～MA1を加算した結果を反転させた値から減算器509にて6を引いて表示データ信号DA0～DA3が生成されて、データ側駆動回路503に出力される。

【0092】発光層Bは、発光層Aよりも発光開始電圧

	MA0	MA1	DA3	DA2	DA1	DA0
(X1a,Y1)発光層A	L	L	L	L	H	H
(X1b,Y1)発光層B	H	H	L	L	L	H

※ 外部からの入力データは何れの画素も同じ。(D0: L, D1: H, D2: H)

データ側駆動回路503には、表示データ信号DA0～DA3、データ転送クロック信号CKD、データラッチ信号DLSが入力される。表示データ信号DA0～DA3は、データ転送クロック信号CKDによって、データ側制御回路531内のシフトレジスタ・ラッチ回路600の正規の場所に転送され、その後、データラッチ信号DLSの立ち上がり時に一旦ラッチされて、表示データ信号DA0(X)～DA3(X)が生成される。

【0094】走査側駆動回路505に接続されている全走査側電極は、フローティング電位(実質的に0V)に保たれている。また、変調共通電圧線523には、変調電圧出力信号MOに従って、変調基準電圧パルスVMBが出力される。データ側電極には、ステップクロック信号SCK、ランプ波出力信号RPおよび表示データ信号DA0(X)～DA3(X)をデータ側駆動制御回路531にて処理することによって得られるアナログスイッチ制御信号MPおよびランプ波線524から供給されるランプ波RVMに基づいて、データ側ドライバ532から所望の電圧レベルの変調電圧が、それぞれ表示パネル506に印加される。

【0095】EL素子(X1a、Y1)のデータ側電極X1aに接続されるデータ側ドライバ532は、ゲート容量C704が $3/9VM (= 15V)$ まで充電され、FET700がON状態になり、接続されたデータ側電極X1aが、 $3/9VM (= 15V)$ になるまで充電される。また、EL素子(X1b、Y1)のデータ側電極X1bに接続されるデータ側ドライバ532は、ゲート容量C704が $1/9VM (= 5V)$ まで充電され、FET700がON状態になり、接続されたデータ側電極X1bが、 $1/9VM (= 5V)$ になるまで充電される。

【0096】次に、書き込み電源回路504から供給されるパルス状の書き込み駆動電圧である $+(VW+VM) (= 225V)$ が、プルアップラインおよび走査側ドライバ552内の選択されたプルアップサイリスタ5

が2階調分だけ高いため、発光層Aに対応する変調電圧調整信号として階調をシフトさせない「MA0:L、MA1:L」が入力され、発光層Bに対応する変調電圧調整信号として高階調側へ2階調度シフトさせる「MA0:H、MA1:H」が入力される。従って、それぞれの表示ドットに対応する表示データは、下記表8に示すようなものになる。

【0093】

【表8】

	MA0	MA1	DA3	DA2	DA1	DA0
(X1a,Y1)発光層A	L	L	L	L	H	H
(X1b,Y1)発光層B	H	H	L	L	L	H

53を介して、選択された走査側電極Y1に供給され、走査側電極Y1が $+(VW+VM) (= 225V)$ に充電される。

【0097】その結果、データ側電極X1aと走査側電極Y1の交点に構成されるEL素子(X1a、Y1)の両端に印加される電圧は、書き込み駆動電圧と変調電圧とが重畳されて $VW+6/9VM (= 210V)$ となる。一方、データ側電極X1bと走査側電極Y1の交点に構成されるEL素子(X1b、Y1)の両端に印加される電圧は、書き込み駆動電圧と変調電圧とが重畳されて $VW+8/9VM (= 220V)$ となる。これによって、図7に示すような電流・輝度特性を有する発光層Aによって構成されるEL素子(X1a、Y1)は輝度レベルL6にて発光し、発光層Bによって構成されるEL素子(X1b、Y1)も輝度レベルL6にて発光する。

【0098】所定の時間、EL素子が発光した後、走査側電極Y1は、走査側ドライバ552における選択されたプルダウンサイリスタ554からプルダウンラインを介して、一定電圧に放電される。一定電圧は書き込み電圧より絶対値の小さな電圧であり例えば0Vである。また、変調電圧出力信号MOが「L」となり、変調共通電圧線523への変調基準電圧VMの導出が停止される。さらに、ランプ波放電信号MDが一定期間「H」となり、FET706がON状態となって、ゲート容量704に充電された電荷が放電される。これによって、PチャンネルFET701がON状態となり、EL素子に充電された電荷は放電される。

【0099】以上によって、選択された走査側電極Y1の駆動が終了し、走査側電極Y1は第2フレームのY1の駆動が始まるまでの間、書き込み駆動電源回路504から電氣的に切り離されフローティング状態となる。同様にY2～Ymまでの駆動を線順次に繰り返すことによって、第1フレームの駆動が完了する。

【0100】第2のフレームでは、駆動制御回路501において、データ転送クロック信号CKDに同期して外

部から入力される表示データ信号D0～D2と変調電圧調整信号MA0およびMA1とが、加算器508によって加算されて表示データ信号DA0～DA3が生成されて、データ側駆動回路503に出力される。

【0101】発光層Bは、発光層Aよりも発光開始電圧が2階調分だけ高いため、発光層Aに対応する変調電圧調整信号として階調をシフトさせない「MA0:L、M

	MA0	MA1	DA3	DA2	DA1	DA0
(X1a,Y1)発光層A	L	L	L	H	H	L
(X1b,Y1)発光層B	H	H	H	L	L	L

※ 外部からの入力データは何れの画素も同じ。(D0: L, D1: H, D2: H)

データ側駆動回路503には、表示データ信号DA0～DA3、データ転送クロック信号CKD、データラッチ信号DLSが入力される。表示データ信号DA0～DA3は、データ転送クロック信号CKDによって、データ側制御回路531内のシフトレジスタ・ラッチ回路600の正規の場所に転送され、その後、データラッチ信号DLSの立ち上がり時に一旦ラッチされて、表示データ信号DA0(X)～DA3(X)が生成される。

【0103】走査側駆動回路505に接続されている全走査側電極は、フローティング電位(実質的に0V)に保たれている。また、変調共通電圧線523には、変調電圧出力信号MOに従って、変調基準電圧パルスVMBが出力される。データ側電極には、ステップクロック信号SCK、ランプ波出力信号RPおよび表示データ信号DA0(X)～DA3(X)をデータ側駆動制御回路531にて処理することによって得られるアナログスイッチ制御信号MPおよびランプ波線524から供給されるランプ波RVMに基づいて、データ側ドライバ532から所望の電圧レベルの変調電圧が、それぞれ表示パネル506に印加される。

【0104】EL素子(X1a、Y1)のデータ側電極X1aに接続されるデータ側ドライバ532は、ゲート容量C704が $6/9VM (= 30V)$ まで充電され、FET700がON状態になり、接続されたデータ側電極X1aが、 $6/9VM (= 30V)$ になるまで充電される。また、EL素子(X1b、Y1)のデータ側電極X1bに接続されるデータ側ドライバ532は、ゲート容量C704が $8/9VM (= 40V)$ まで充電され、FET700がON状態になり、接続されたデータ側電極X1bが、 $8/9VM (= 40V)$ になるまで充電される。

【0105】次に、書き込み電源回路504から供給されるパルス状の書き込み駆動電圧である $-(VW+VM) (= -225V)$ が、プルダウンラインおよび走査側ドライバ552内の選択されたプルダウンサイリスタ554を介して、選択された走査側電極Y1に供給され、走査側電極Y1が $-(VW+VM) (= -225$

A1:L」が入力され、発光層Bに対応する変調電圧調整信号として高階調側へ2階調度シフトさせる「MA0:H、MA1:H」が入力される。従って、それぞれの表示ドットに対応する表示データは、下記表9に示すようなものになる。

【0102】

【表9】

V)に充電される。

【0106】その結果、データ側電極X1aと走査側電極Y1の交点に構成されるEL素子(X1a、Y1)の両端に印加される電圧は、書き込み駆動電圧と変調電圧とが重畳されて $-(VW-6/9VM) (= -210V)$ となる。一方、データ側電極X1bと走査側電極Y1の交点に構成されるEL素子(X1b、Y1)の両端に印加される電圧は、書き込み駆動電圧と変調電圧とが重畳されて $-(VW-8/9VM) (= -220V)$ となる。これによって、図7に示すような電流-輝度特性を有する発光層Aによって構成されるEL素子(X1a、Y1)は輝度レベルL6にて発光し、発光層Bによって構成されるEL素子(X1b、Y1)も輝度レベルL6にて発光する。

【0107】所定の時間、EL素子が発光した後、走査側電極Y1は、走査側ドライバ552における選択されたプルアップサイリスタ553からプルアップラインを介して、一定電圧に放電される。一定電圧は書き込み電圧より絶対値の小さな電圧であり例えば0Vである。また、変調電圧出力信号MOが「L」となり、変調共通電圧線523への変調基準電圧VMの導出が停止される。さらに、ランプ波放電信号MDが一定期間「H」となり、FET706がON状態となって、ゲート容量704に充電された電荷が放電される。これによって、PチャンネルFET701がON状態となり、EL素子に充電された電荷は放電される。

【0108】以上によって、選択された走査側電極Y1の駆動が終了し、走査側電極Y1は第1フレームのY1の駆動が始まるまでの間、書き込み駆動電源回路504から電気的に切り離されフローティング状態となる。同様にY2～Ymまでの駆動を線順次に繰り返すことによって、第2フレームの駆動が完了する。

【0109】なお、以上の実施形態では、変調電圧調整信号MA0およびMA1を外部から入力して表示データ信号D0～D2に加算したが、駆動制御回路501内に加算データを内蔵しておくことによって、予め規定された発光層に対応するデータ信号に自動的に加算すること

も可能である。

【0110】さらに、本発明は、発光層が2種類以上の場合、階調数がさらに多い場合、およびシフトされる階調度がさらに多い場合等についても適用可能であることは言うまでもない。

【0111】以上、発明の実施の形態として、無機EL表示装置について記載しているが本願発明は、他の表示装置にも適用できることは言うまでもない。

【0112】

【発明の効果】以上詳述したように、本発明によれば、10 表示装置において多階調表示を行う場合に、同じ輝度レベルの表示データが入力された場合でも、それぞれの発光層の特性に対応して最適化された駆動電圧をEL素子に印加することができるため、良好な表示品位を得ることができる。

【図面の簡単な説明】

【図1】従来の無機EL表示装置の構成を示す回路図である。

【図2】従来の無機EL表示装置におけるデータ側駆動回路の構成を示す回路図である。20

【図3】従来の無機EL表示装置におけるシフトレジスタ・ラッチ回路の構成を示す回路図である。

【図4】(a)および(b)は、従来の無機EL表示装置における振幅制御回路の構成を示す回路図である。

【図5】従来の無機EL表示装置における走査側駆動回路の構成を示す回路図である。

【図6A】従来の無機EL表示装置における各部の動作状態を示すタイミングチャートである。

【図6B】従来の無機EL表示装置における各部の動作状態を示すタイミングチャートである。30

【図7】無機EL素子の印加電圧・輝度特性の例を示す特性図である。

【図8】本発明の一実施形態である無機EL表示装置の構成を示す回路図である。

【図9】本発明の一実施形態である無機EL表示装置におけるデータ側駆動回路の構成を示す回路図である。

【図10】本発明の一実施形態である無機EL表示装置におけるシフトレジスタ・ラッチ回路の構成を示す回路図である。

【図11】(a)および(b)は、本発明の一実施形態40 である無機EL表示装置における振幅制御回路の構成を示す回路図である。

【図12】本発明の一実施形態である無機EL表示装置における走査側駆動回路の構成を示す回路図である。

【図13A】本発明の一実施形態である無機EL表示装置において、発光層Aによって構成される表示ドットの動作状態を示すタイミングチャートである。

【図13B】本発明の一実施形態である無機EL表示装置において、発光層Aによって構成される表示ドットの動作状態を示すタイミングチャートである。

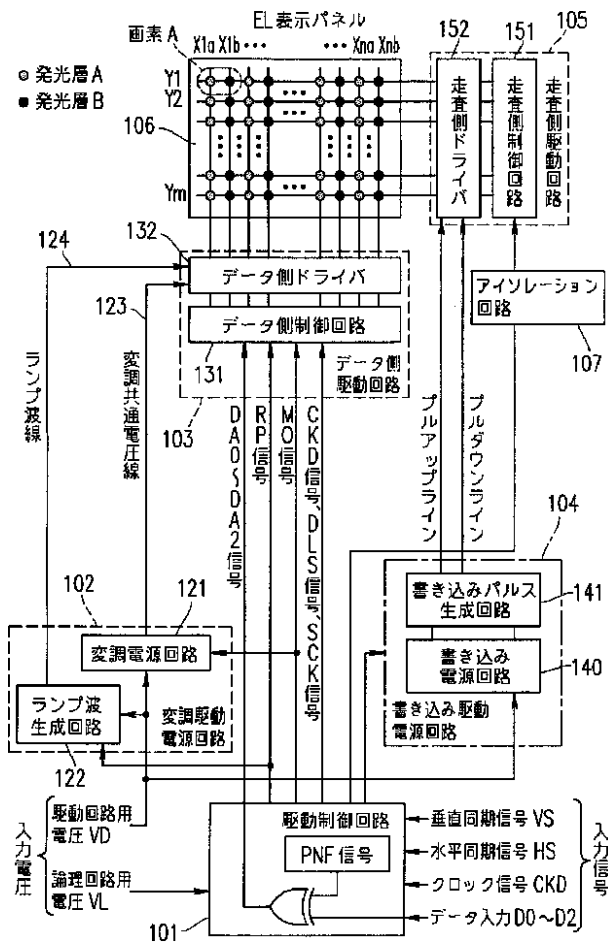
【図14A】本発明の一実施形態である無機EL表示装置において、発光層Bによって構成される表示ドットの動作状態を示すタイミングチャートである。

【図14B】本発明の一実施形態である無機EL表示装置において、発光層Bによって構成される表示ドットの動作状態を示すタイミングチャートである。

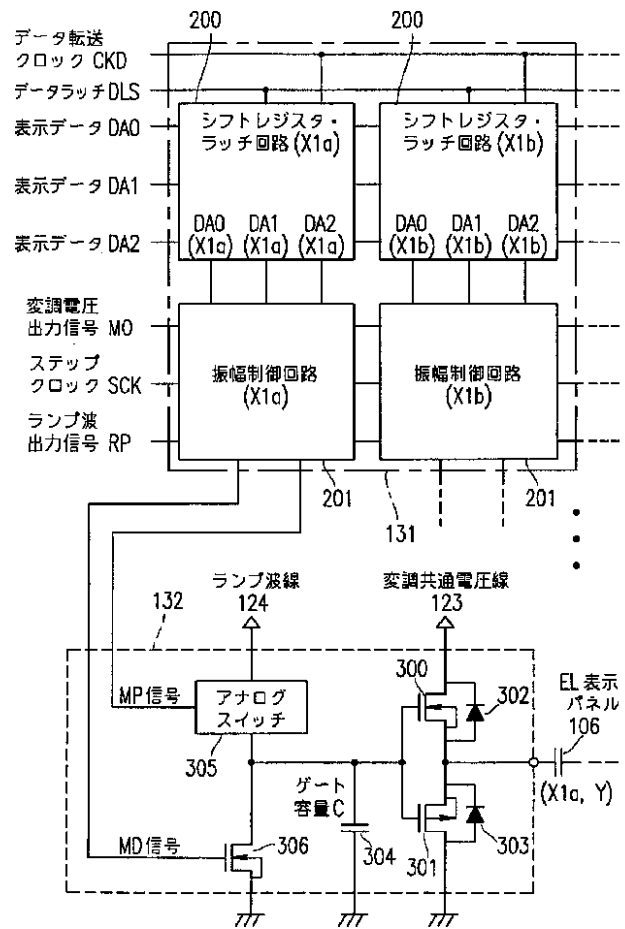
【符号の説明】

101、501 駆動制御回路
102、502 変調駆動電源回路
103、503 データ側駆動回路
104、504 書き込み駆動電源回路
105、505 走査側駆動回路
106、506 EL表示パネル
107、507 アイソレーション回路
121、521 変調電源回路
122、522 ランプ波生成回路
123、523 変調共通電圧線
124、524 ランプ波線
131、531 データ側制御回路
132、532 データ側ドライバ
140、540 書き込み電源回路
141、541 書き込みパルス生成回路
151、551 走査側制御回路
152、552 走査側ドライバ
153、553 プルアップサイリスタ
154、554 プルダウンサイリスタ
200、600 シフトレジスタ・ラッチ回路
201、601 振幅制御回路
220、620 カウンター回路
221、621 デコード回路
222、622 マスク回路
300、306、700、706 NチャンネルFET
301、701 PチャンネルFET
302、303、702、703 寄生ダイオード
304、704 ゲート容量
305、705 アナログスイッチ
508 加算器
509 減算器

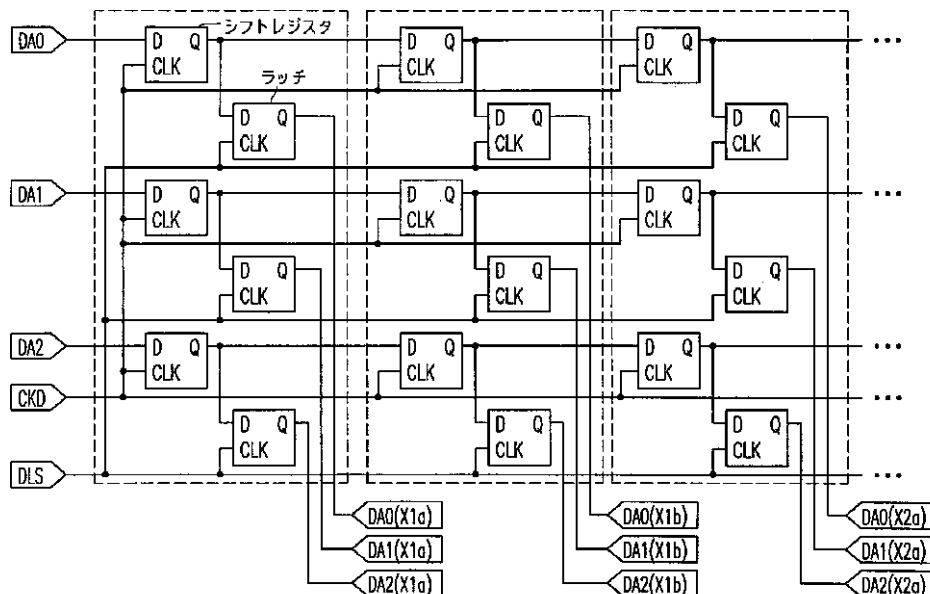
【図 1】



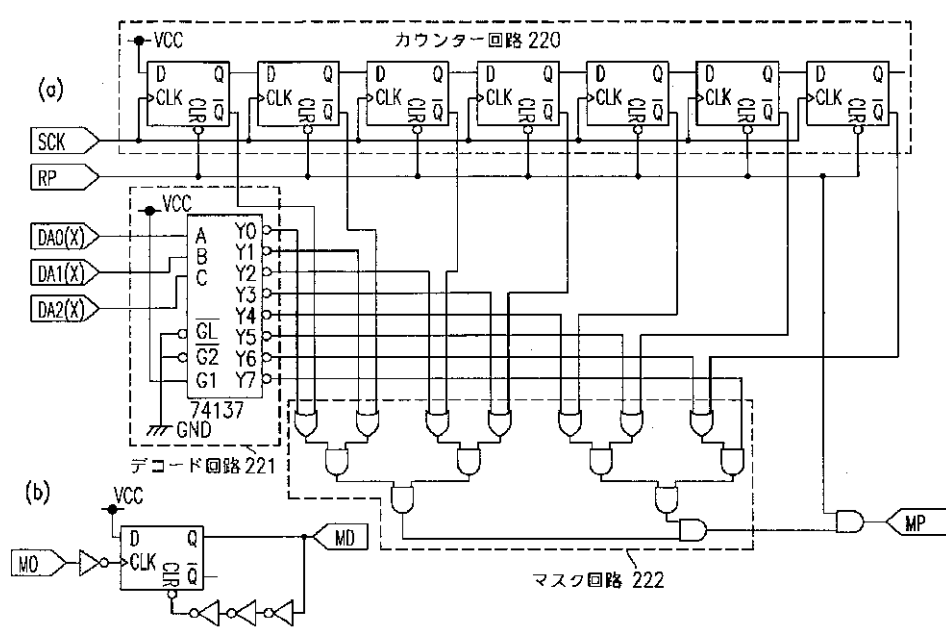
【図 2】



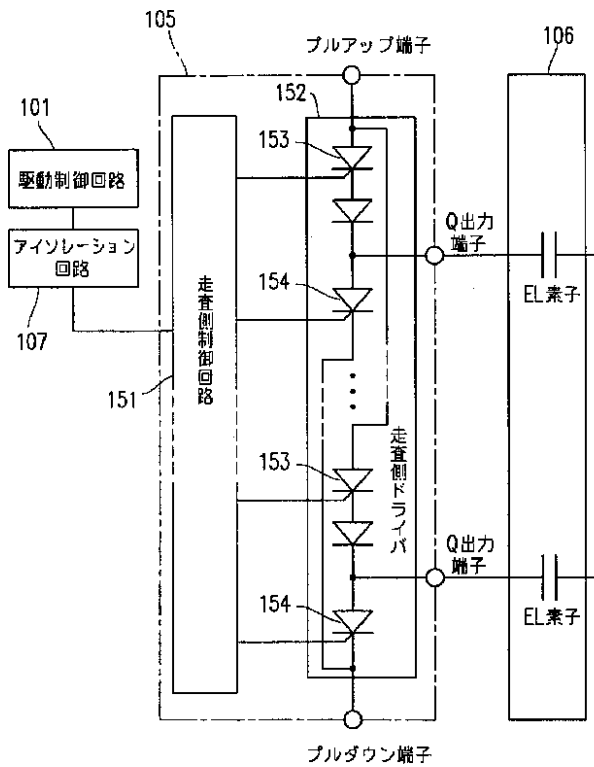
【圖 3】



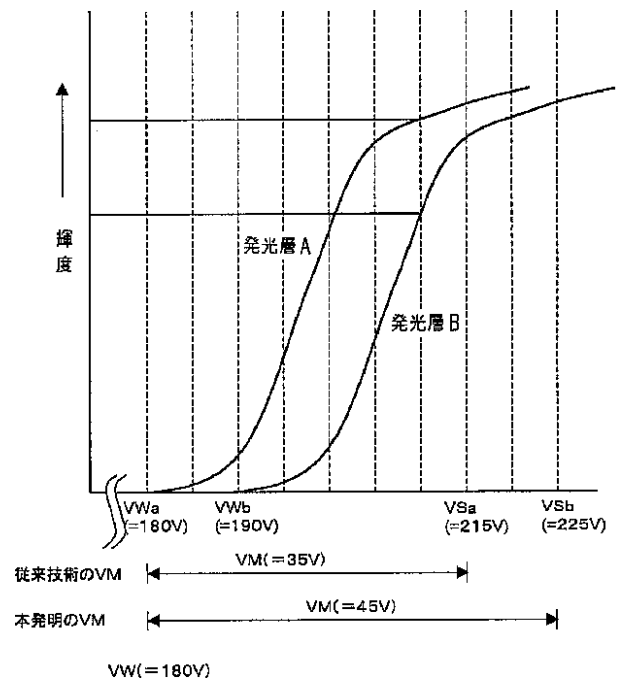
【図4】



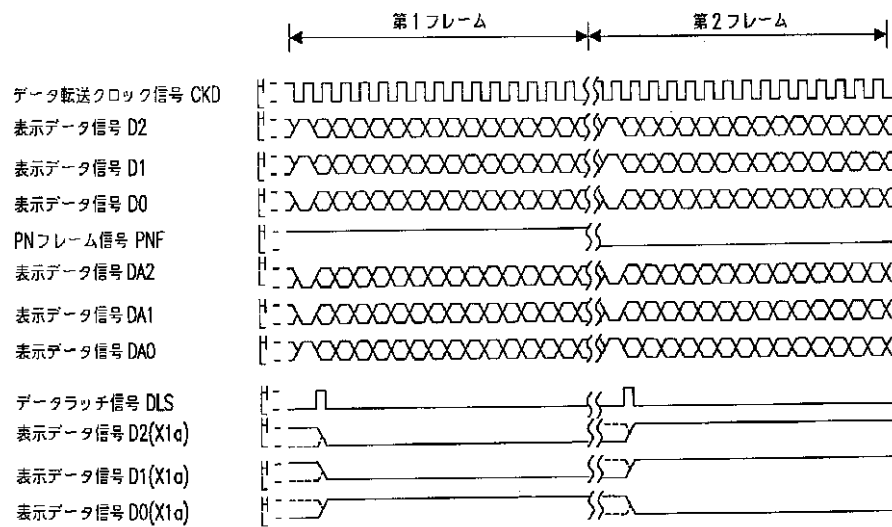
【図5】



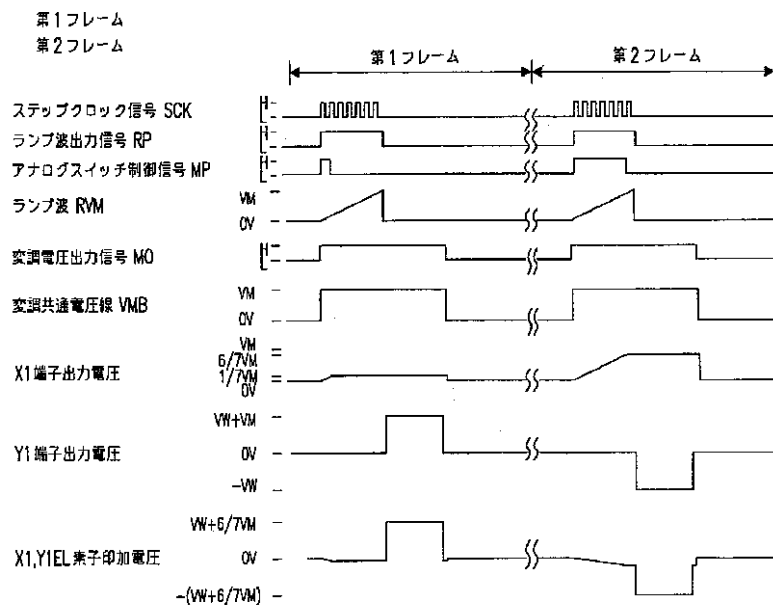
【図7】



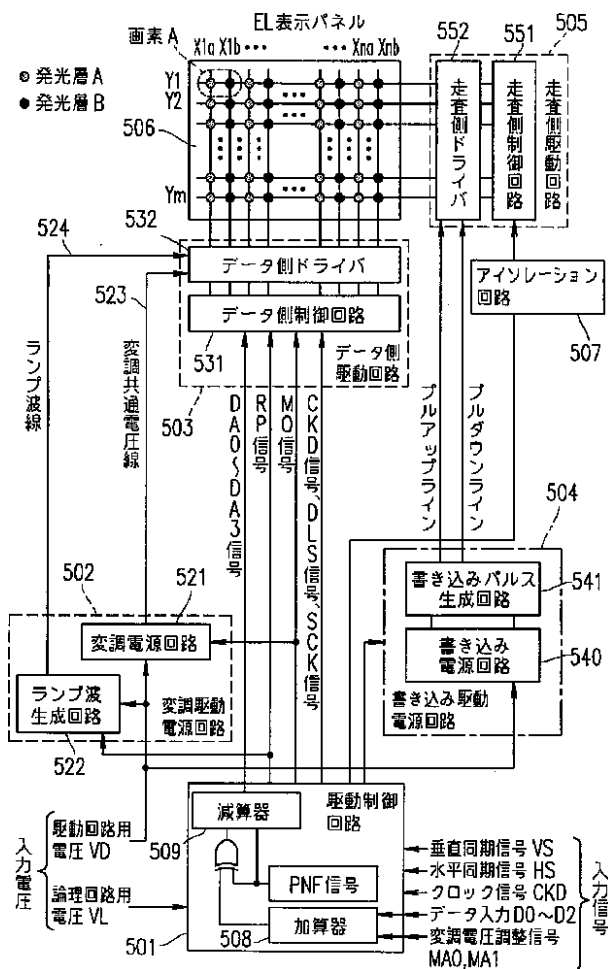
【図6A】



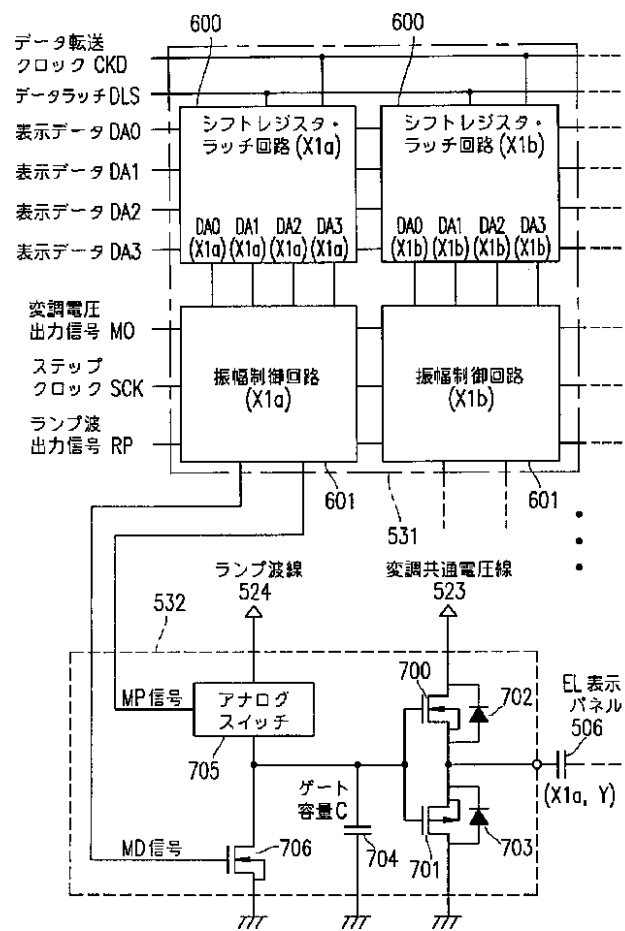
【図6B】



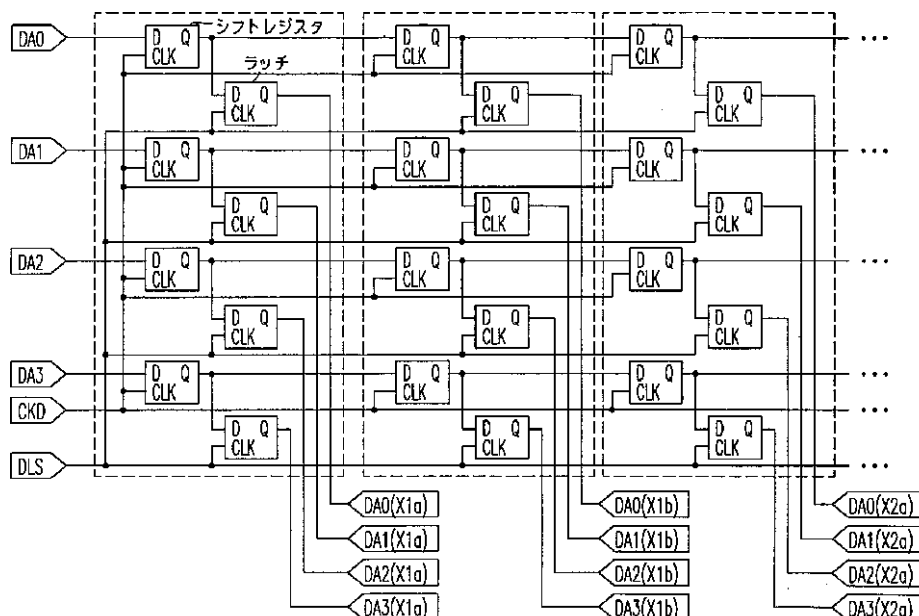
【図8】



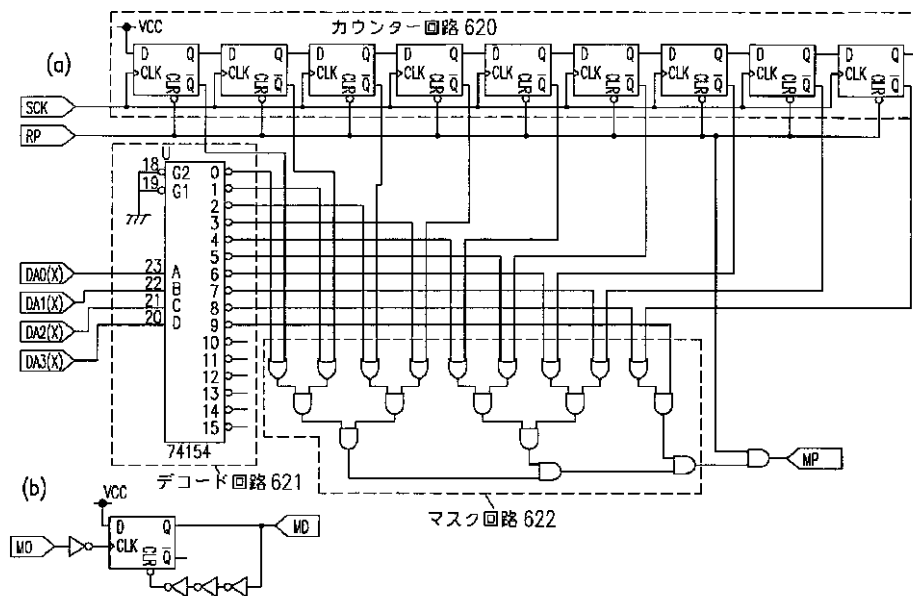
【図9】



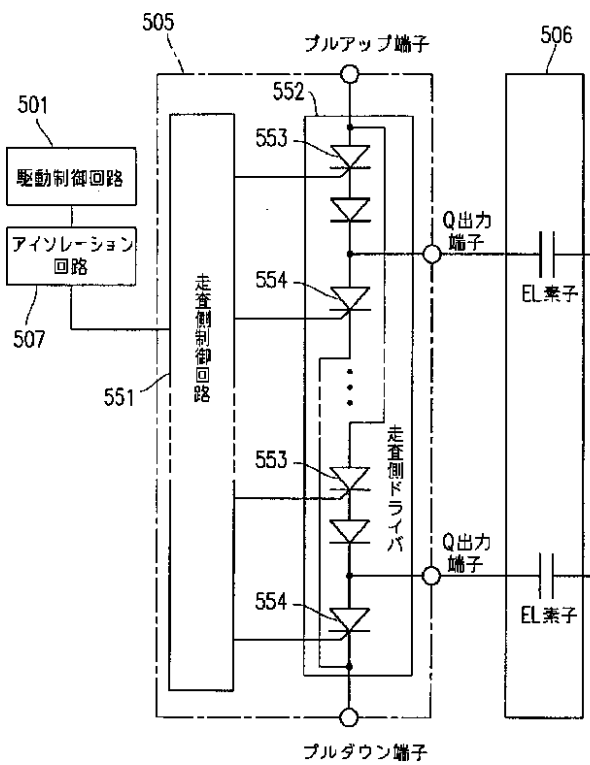
【図10】



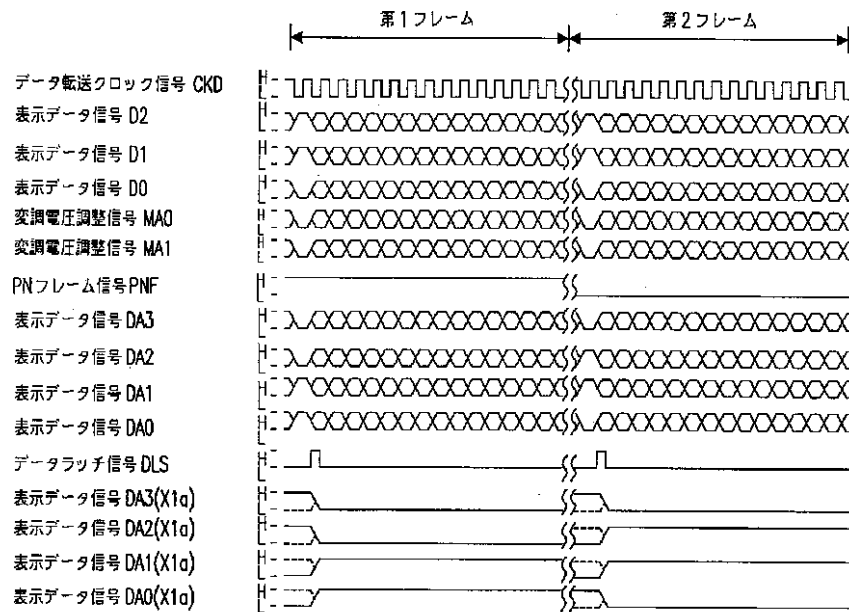
【図11】



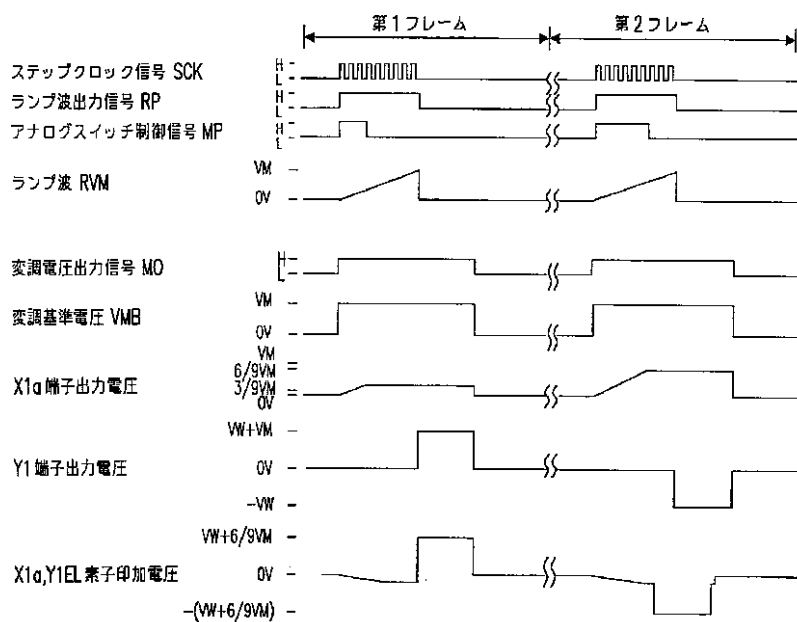
【図12】



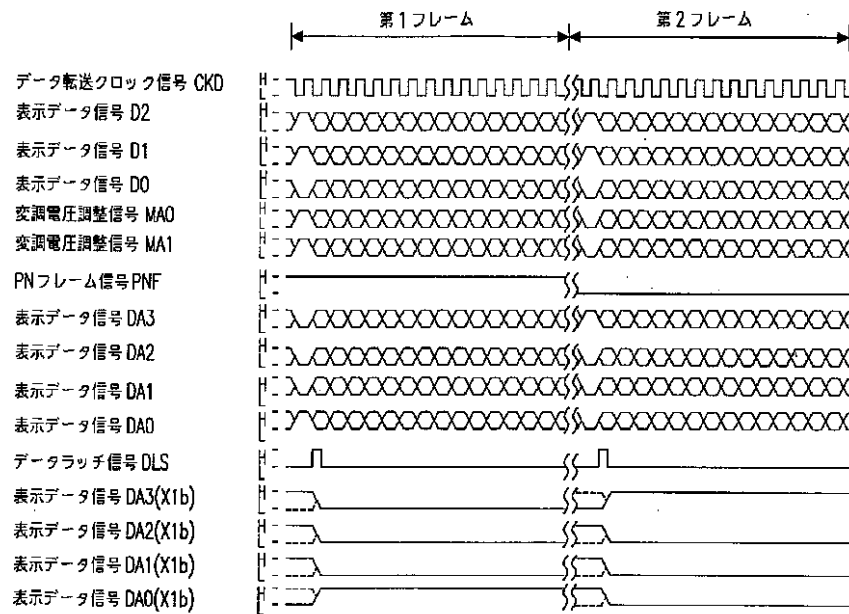
【図13A】



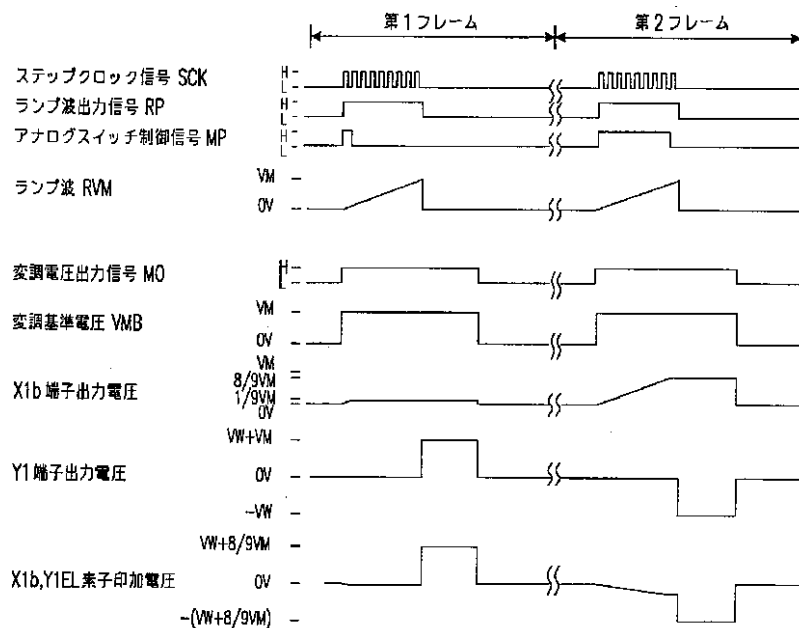
【図13B】



【図14A】



【図14B】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 4 2

F I

G 0 9 G 3/20

テ-マコード^{*}(参考)

6 4 2 E

F タ-ム(参考) 5C080 AA06 BB05 DD05 EE29 FF03

FF12 GG11 GG12 HH09 JJ02

JJ03 JJ04

专利名称(译)	表示装置		
公开(公告)号	JP2003173163A	公开(公告)日	2003-06-20
申请号	JP2002157356	申请日	2002-05-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山口久 山本恭一		
发明人	山口 久 山本 恭一		
IPC分类号	G09G3/20 G09G3/30		
CPC分类号	G09G3/2011 G09G3/2074 G09G3/2077 G09G3/30 G09G2310/0259 G09G2310/027		
FI分类号	G09G3/30.J G09G3/20.612.F G09G3/20.631.V G09G3/20.641.C G09G3/20.641.P G09G3/20.642.E		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF03 5C080/FF12 5C080/GG11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA02 5C380/AB05 5C380/CA04 5C380/CA08 5C380/CA17 5C380/CA54 5C380/CB01 5C380/CB31 5C380/CE03 5C380/CF07 5C380/CF09 5C380/CF10 5C380/CF18 5C380/CF32 5C380/CF33 5C380/CF34 5C380/CF36 5C380/CF40 5C380/CF56 5C380/CF64 5C380/DA30 5C380/DA35		
优先权	2001295482 2001-09-27 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了使用具有不同电压 - 亮度特性的多种类型的发光层，在无机EL显示装置中获得每个发光层的最佳灰度显示。一种数据侧驱动电路，其将对应于输入信号的调制电压提供给数据侧电极；数据侧驱动电路，其将对应于输入信号的调制电压提供给数据侧电极；调制驱动电源电路502，用于向数据侧驱动电路提供调制电源电压，扫描侧驱动电路505，用于顺序地向扫描侧电极提供正和负写电压，用于提供负写入电压和恒定电压的写入驱动电源电路504，以及用于控制每个部分的驱动控制电路501，来自数据侧驱动电路503的调制电压可以根据每个发光层的特性而改变根据灰度数 m + 调整范围 n 。

