

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/056211

発行日 平成29年7月6日(2017.7.6)

(43) 国際公開日 平成28年4月14日(2016.4.14)

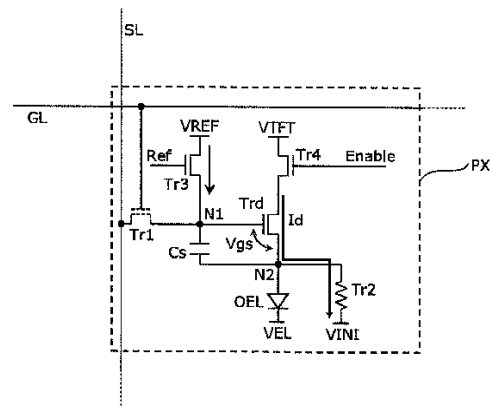
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 611H	5C380
G09G 3/3233 (2016.01)	G09G 3/20 611F	
	G09G 3/20 624B	
	G09G 3/20 641D	
審査請求 有 予備審査請求 未請求 (全 43 頁) 最終頁に続く		

出願番号	特願2016-552821 (P2016-552821)	(71) 出願人	514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目23番地
(21) 国際出願番号	PCT/JP2015/005025	(74) 代理人	100189430 弁理士 吉川 修一
(22) 国際出願日	平成27年10月2日(2015.10.2)	(74) 代理人	100190805 弁理士 傍島 正朗
(31) 優先権主張番号	特願2014-205976 (P2014-205976)	(72) 発明者	戎野 浩平 日本国東京都千代田区神田錦町三丁目23番地 株式会社 J O L E D 内
(32) 優先日	平成26年10月6日(2014.10.6)	Fターム(参考)	5C080 AA06 BB05 CC03 DD05 DD07 DD22 DD24 EE29 FF11 FF12 JJ02 JJ03 JJ04 JJ05
(33) 優先権主張国	日本国(JP)		
		最終頁に続く	

(54) 【発明の名称】 表示装置および表示装置の制御方法

(57) 【要約】

有機EL素子(OEL)と、容量素子(Cs)と、ゲート電極が容量素子(Cs)の第一電極に、ソース電極が容量素子(Cs)の第二電極および有機EL素子(OEL)のアノード電極にそれぞれ接続されている駆動トランジスタ(Trd)と、データ信号に応じた電圧を供給するための信号線と容量素子(Cs)の第一電極との導通および非導通を切り換える第一スイッチ素子(Tr1)と、抵抗を有し、初期化電圧を供給する電源線(VINI)と容量素子(Cs)の第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、容量素子(Cs)の第二電極と有機EL素子(OEL)のアノード電極との接続点であるノード(N2)から、電源線(VINI)までの電流経路上に配置された抵抗部とを有する表示画素(PX)を備える。



【特許請求の範囲】**【請求項 1】**

表示画素と、前記表示画素の駆動を制御する制御部とを備える表示装置であって、
前記表示画素は、
発光素子と、
電圧を保持するための容量素子と、

ゲート電極が前記容量素子の第一電極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノード電極と接続されている駆動トランジスタと、

データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導通および非導通を切り換える第一スイッチ素子と、

抵抗を有し、初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、前記容量素子の前記第二電極と前記発光素子の前記アノード電極との接続点から、前記電源線までの電流経路上に配置された抵抗部とを有し、

前記制御部は、前記駆動トランジスタの閾値電圧の補正を行う、
表示装置。

【請求項 2】

前記抵抗部の抵抗値は、前記駆動トランジスタにおける閾値電圧の変動量に対する、前記駆動トランジスタの前記閾値電圧の補正を行う期間の開始時におけるゲート電極およびソース電極間の電圧の変動量が、0.3 倍から 0.7 倍までの値になるように設定される

請求項 1 に記載の表示装置。

【請求項 3】

前記抵抗部は、トランジスタである、
請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記トランジスタは、前記初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換える第二スイッチ素子である、

請求項 3 に記載の表示装置。

【請求項 5】

前記第二スイッチ素子のオン抵抗が、他のスイッチ素子のオン抵抗よりも高い、
請求項 4 に記載の表示装置。

【請求項 6】

前記第二スイッチ素子の W / L 比が、他のスイッチ素子の W / L 比よりも小さい、
請求項 4 に記載の表示装置。

【請求項 7】

前記抵抗部は、

前記初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換える第二スイッチ素子と、

当該第二スイッチ素子と直列に接続された抵抗素子とを有する、
請求項 1 または 2 に記載の表示装置。

【請求項 8】

前記抵抗部は、複数の前記表示画素の間で共有されている、
請求項 1 ~ 7 の何れか 1 項に記載の表示装置。

【請求項 9】

発光素子と、

電圧を保持するための容量素子と、

ゲート電極が前記容量素子の第一電極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノード電極と接続されている駆動トランジスタと、

データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導

10

20

30

40

50

通および非導通を切り換える第一スイッチ素子と、

抵抗を有し、初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、前記容量素子の第二電極と前記発光素子のアノード電極との接続点から、前記電源線までの電流経路上に配置された抵抗部とを有する表示画素と、

前記表示画素の駆動を制御する制御部とを備える表示装置の制御方法であって、

前記制御部が、

前記容量素子の前記第一電極に対して参照電圧を印加し、前記第二スイッチ素子を導通状態に設定することにより前記第二電極に対して初期化電圧を印加した状態で、前記駆動トランジスタのドレイン電極に対して前記発光素子を駆動するための駆動電圧を印加する初期化ステップと、

前記初期化ステップの実行後に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を維持した状態で、前記第二スイッチ素子を非導通状態にするステップとを実行する、

表示装置の制御方法。

【請求項 10】

前記初期化ステップは、

前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を停止させた状態で、前記容量素子の前記第一電極に対して参照電圧を印加し、前記第二スイッチ素子を導通状態に設定することにより前記第二電極に対して初期化電圧を印加する第一初期化ステップと、

前記第一初期化ステップの実行後に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記第二スイッチ素子を導通状態に維持した状態で、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を開始する第二初期化ステップとを含む、

請求項 9 に記載の表示装置の制御方法。

【請求項 11】

前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧が、他のスイッチ素子のゲート電極に印可される電圧よりも低くなるように制御する、

請求項 10 に記載の表示装置の制御方法。

【請求項 12】

前記第二スイッチ素子はトランジスタであり、

前記制御部は、前記第二初期化ステップにおいて前記第二スイッチ素子のゲート電極に印可される電圧が、前記第一初期化ステップにおいて前記第二スイッチ素子のゲート電極に印可される電圧よりも低くなるように制御する、

請求項 10 に記載の表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス (Electro Luminescence、EL) 素子を用いた表示装置およびその制御方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス素子 (以下、有機 EL 素子と記す。) を用いた有機 EL ディスプレイが知られている (特許文献 1 参照)。この有機 EL ディスプレイは、視野角特性が良好で、消費電力が少ないという利点を有する。

【0003】

有機 EL ディスプレイは、有機 EL 素子および配線等が形成されたガラス基板からなる有機 EL パネル (表示パネル)、有機 EL パネルを駆動する IC (Integrated

10

20

30

40

50

Circuit)、および、制御部等を備えて構成されている。

【0004】

有機ELパネルは、複数の表示画素がマトリクス状に配置されている。表示画素は、上述した有機EL素子と、画素信号に応じた電圧を蓄積する容量素子と、容量素子に保持された電荷量に応じた駆動電流を有機EL素子に供給する駆動トランジスタとを有する。

【0005】

アクティブマトリクス方式の有機ELディスプレイでは、駆動トランジスタとして薄膜トランジスタ(TFT:Thin Film Transistor)が用いられる。TFTでは、成膜プロセス時の温度ばらつきや、エッチング処理時の残留溶液のばらつき、パターン密度のばらつきなどが原因で膜厚および膜質が面内で変動するため、表示パネル面内で閾値電圧がばらつく。加えて、通電時のゲート-ソース間電圧等のストレスにより、閾値電圧は経時的にシフトする。そして、閾値電圧のプロセスに起因する初期ばらつきや、経時的なシフトは、有機ELへの供給電流量変動の原因となるため、表示装置の輝度制御に影響し、表示品質を悪化させる。

10

【0006】

従来の有機ELディスプレイでは、初期化後に、閾値電圧に応じて駆動トランジスタのソース電極の電圧を調整する閾値電圧補償が行われている。

【先行技術文献】

【特許文献】

【0007】

20

【特許文献1】特開2008-287139号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、閾値電圧は、駆動トランジスタの特性ばらつきおよび輝度値の累積値等に応じて異なるため、有機ELパネル内においてばらつく事になる。閾値電圧がばらつくと、複数の有機EL素子について閾値電圧補償をより確実に行うために、閾値電圧補償を行う期間(以下、「閾値電圧補償期間」と称する)を長くする必要があるという問題がある。

【0009】

30

そこで、本発明は、閾値電圧補償期間を増加させることなく、閾値電圧補償を精度良く行うことができる表示装置を提供する。

【課題を解決するための手段】

【0010】

本発明の一態様に係る表示装置は、表示画素と、前記表示画素の駆動を制御する制御部とを備える表示装置であって、前記表示画素は、発光素子と、電圧を保持するための容量素子と、ゲート電極が前記容量素子の第一電極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノード電極と接続されている駆動トランジスタと、データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導通および非導通を切り換える第一スイッチ素子と、抵抗を有し、初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、前記容量素子の前記第二電極と前記発光素子の前記アノード電極との接続点から、前記電源線までの電流経路上に配置された抵抗部とを有し、前記制御部は、前記駆動トランジスタの閾値電圧の補正を行う。

40

【0011】

なお、これらの包括的または具体的な態様は、表示装置の制御方法として実現されてもよい。

【発明の効果】

【0012】

本発明の表示装置等によれば、閾値電圧補償期間を増加させることなく、閾値電圧補償

50

を精度良く行うことができる。

【図面の簡単な説明】

【0013】

【図1】図1は、比較例における有機ELディスプレイの構成の一例を示すブロック図である。

【図2】図2は、比較例における有機ELディスプレイの信号波形を示すグラフである。

【図3】図3は、比較例における駆動トランジスタのソース電極の電圧の閾値電圧補償期間における変化を示す図である。

【図4】図4は、実施の形態における有機ELディスプレイの構成の一例を示すブロック図である。

10

【図5】図5は、閾値電圧補償期間における駆動トランジスタのゲートソース間の電圧 V_{gs} - 閾値電圧 V_{th} の理想的な時間変化を示すグラフである。

【図6】図6は、閾値電圧補償期間における駆動トランジスタのソース電極とドレイン電極との間に流れる電流 I_{ds} の理想的な時間変化を示すグラフである。

【図7】図7は、閾値電圧補償期間における駆動トランジスタのドレインソース間の電圧の時間変化を示すグラフである。

【図8】図8は、閾値電圧補償期間における駆動トランジスタのソース電極とドレイン電極との間に流れる電流 I_{ds} の実際の時間変化を示すグラフである。

【図9】図9は、閾値電圧補償期間における駆動トランジスタのゲートソース間の電圧 V_{gs} - 閾値電圧 V_{th} の実際の時間変化を示すグラフである。

20

【図10】図10は、比較例および本実施の形態における閾値電圧補償期間の V_{gs} - V_{th} の推移を示すグラフである。

【図11】図11は、実施の形態において、閾値電圧のばらつき ΔV_{th} が0Vのときと2Vのときの V_{th} 検出（閾値電圧補償値）のずれを示すグラフである。

【図12】図12は、実施の形態において、閾値電圧補償期間における駆動トランジスタのドレインソース間の電圧の時間変化を示すグラフである。

【図13】図13は、走査線数 V_{line} が2160本の場合において、駆動周波数 F_{req} 毎に必要な α の値を算出した結果を示すグラフである。

【図14】図14は、駆動周波数 F_{req} を120Hzに固定した場合において、走査線数 V_{line} 毎に必要な α の値を算出した結果を示すグラフである。

30

【図15】図15は、実施の形態における、 C_s 初期化電圧と閾値電圧 V_{th} との関係を示すグラフである。

【図16】図16は、実施の形態における、 $\partial V_{gs} / \partial V_{th}$ の値と、第二スイッチ素子のチャネル長 L_R との相関関係を示すグラフである。

【図17】図17は、実施の形態における有機ELディスプレイの信号波形を示すグラフである。

【図18】図18は、実施の形態における、第一初期化期間における表示画素の状態を示す回路図である。

【図19】図19は、実施の形態における、第二初期化期間における表示画素の状態を示す回路図である。

40

【図20】図20は、実施の形態における、駆動トランジスタのソース電極の電圧の第二初期化期間および閾値電圧補償期間における変化を示す図である。

【図21】図21は、抵抗部の他の一例を示す回路図である。

【図22】図22は、抵抗部の他の一例を示す回路図である。

【図23】図23は、抵抗部の他の一例を示す回路図である。

【図24】図24は、変形例における、2つの表示画素で1つの抵抗部を共有する場合の例を示す回路図である。

【図25】図25は、有機ELディスプレイの信号波形の他の一例を示す回路図である。

【発明を実施するための形態】

【0014】

50

(課題の詳細)

以下、課題の詳細について、図１～図３を用いて説明する。

【００１５】

〔比較例における有機ＥＬディスプレイの構成〕

図１は、比較例における有機ＥＬディスプレイ１００の構成の一例を示すブロック図である。図１に示すように、有機ＥＬディスプレイ１００は、有機ＥＬパネル１１０と、データ線駆動回路１２０と、走査線駆動回路１３０と、制御部２００とを備えている。

【００１６】

有機ＥＬパネル１１０は、複数の表示画素Ｐ０がマトリクス状に配置されている。なお、表示画素Ｐ０は、ここでは、１つの色を構成するサブ画素である。赤色、緑色、青色に対応する３つのサブ画素で１つの画素が構成されている。

10

【００１７】

表示画素Ｐ０は、有機ＥＬ素子ＯＥＬと、容量素子Ｃｓと、駆動トランジスタＴｒｄと、第一スイッチ素子Ｔｒ１と、第二スイッチ素子Ｔｒ２と、第三スイッチ素子Ｔｒ３と、第四スイッチ素子Ｔｒ４とを備えている。

【００１８】

有機ＥＬ素子ＯＥＬは、駆動電流に応じて発光する発光素子である。駆動電流は、駆動トランジスタＴｒｄから供給される。有機ＥＬ素子ＯＥＬは、アノード電極が駆動トランジスタＴｒｄのソース電極に、カソード電極が電源線ＶＥＬ（ＶＥＬは、例えば、接地電圧）にそれぞれ接続されている。

20

【００１９】

容量素子Ｃｓは、データ線Ｄａｔａの電圧に応じた電荷が蓄積される容量素子である。容量素子Ｃｓは、第一電極が駆動トランジスタのゲート電極に、第二電極が駆動トランジスタＴｒｄのソース電極にそれぞれ接続されている。

【００２０】

駆動トランジスタＴｒｄは、データ線Ｄａｔａの電圧に応じて蓄積された容量素子Ｃｓの電荷の量に応じた駆動電流を有機ＥＬ素子ＯＥＬに供給する。駆動トランジスタＴｒｄは、薄膜トランジスタであり、ゲート電極が容量素子Ｃｓの第一電極に、ソース電極が有機ＥＬ素子ＯＥＬのアノード電極に、ドレイン電極が電源線ＶＴＦＴにそれぞれ接続されている。

30

【００２１】

第一スイッチ素子Ｔｒ１は、走査線Ｓｃａｎの電圧に応じてデータ線Ｄａｔａと容量素子Ｃｓの第一電極との導通および非導通を切り替えることにより、表示画素Ｐ０の選択および非選択を切り替える。より詳細には、第一スイッチ素子Ｔｒ１は、薄膜トランジスタであり、ゲート電極が走査線Ｓｃａｎに、ソース電極がデータ線Ｄａｔａに、ドレイン電極が容量素子Ｃｓの第一電極にそれぞれ接続されている。

【００２２】

第二スイッチ素子Ｔｒ２は、信号線Ｉｎｉｔの電圧に応じて、容量素子Ｃｓの第二電極（ノードＮ２）と電源線ＶＩＮＩとの間の導通および非導通を切り替える。

【００２３】

第三スイッチ素子Ｔｒ３は、信号線Ｒｅｆの電圧に応じて、容量素子Ｃｓの第一電極（ノードＮ１）と電源線ＶＲＥＦとの間の導通および非導通を切り替える。

40

【００２４】

第四スイッチ素子Ｔｒ４は、信号線Ｅｎａｂｌｅの電圧に応じて、駆動トランジスタＴｒｄのドレイン電極と電源線ＶＴＦＴとの間の導通および非導通を切り替える。

【００２５】

データ線駆動回路１２０は、複数のデータ線Ｄａｔａに対し、制御部２００から出力されるデータ信号に応じた電圧を供給する。

【００２６】

走査線駆動回路１３０は、複数の走査線Ｓｃａｎおよび信号線Ｉｎｉｔ、信号線、Ｒｅ

50

f、信号線 Enable に対し、制御部 200 から出力される駆動信号に応じた電圧を供給する。

【0027】

制御部 200 は、有機 EL パネル 110 における映像の表示を制御する回路であり、例えば、TCON (タイミングコントローラ) 等を用いて構成される。なお、制御部 200 は、マイクロコントローラを含むコンピュータシステム、あるいは、システム LSI (Large Scale Integration: 大規模集積回路) 等を用いて構成されていても構わない。

【0028】

[比較例における有機 EL ディスプレイの動作]

10

図 2 は、比較例における有機 EL ディスプレイ 100 の信号波形を示すグラフである。図 2 において、VA、VB、VC は、それぞれ、駆動トランジスタ Trd のゲート電極の電圧、ソース電極の電圧、ドレイン電極の電圧を示している。

【0029】

図 2 に示すように、比較例における有機 EL ディスプレイ 100 では、外部から入力される映像信号の各フレームについて、初期化、閾値電圧補償、書き込みおよび発光がこの順に実行される。以下の説明では、初期化を行う初期化期間、閾値電圧補償を行う閾値電圧補償期間、書き込みを行う書込期間、および、有機 EL 素子 OEL を発光させる発光期間について説明し、他の期間についての説明は省略する。

【0030】

20

(期間 T22 : 初期化期間)

図 2 に示す時刻 t1 ~ 時刻 t2 の期間 T22 は、初期化期間である。初期化期間では、制御部 200 は、第一スイッチ素子 Tr1 および第四スイッチ素子 Tr4 を非導通状態、第二スイッチ素子 Tr20 および第三スイッチ素子 Tr3 を導通状態にすることにより、容量素子 Cs を初期化する。具体的には、制御部 200 は、走査線 Scan および信号線 Enable の電圧を L レベルに設定させることにより、第一スイッチ素子 Tr1 および第四スイッチ素子 Tr4 を非導通状態にする。また、制御部 200 は、信号線 Init および信号線 Ref の電圧を H レベルに設定させることにより、第二スイッチ素子 Tr20 および第三スイッチ素子 Tr3 を導通状態にする。

【0031】

30

(期間 T24 : 閾値電圧補償期間)

図 2 に示す時刻 t3 ~ 時刻 t4 の期間 T24 は、駆動トランジスタ Trd の閾値電圧の変動による影響を補償するための閾値電圧補償期間である。閾値電圧補償期間では、制御部 200 は、第一スイッチ素子 Tr1 および第二スイッチ素子 Tr20 を非導通状態に、第三スイッチ素子 Tr3 および第四スイッチ素子 Tr4 を導通状態にする。閾値電圧補償期間を設けることで、上述した閾値電圧のばらつきが輝度制御に与える影響を低減することができる。具体的には、制御部 200 は、走査線 Scan および信号線 Init の電圧を L レベルに設定させることにより、第一スイッチ素子 Tr1 および第二スイッチ素子 Tr20 を非導通状態にする。また、制御部 200 は、信号線 Ref および信号線 Enable の電圧を H レベルに設定させることにより、第三スイッチ素子 Tr3 および第四スイッチ素子 Tr4 を導通状態にする。

40

【0032】

このとき、第四スイッチ素子 Tr4 が導通状態になることから、駆動トランジスタ Trd にドレイン電流が流れ、駆動トランジスタ Trd の閾値電圧に応じて、容量素子 Cs の第二電極の電圧値が上昇する。これにより、閾値電圧の補償を行うことができる。

【0033】

(期間 T27 : 書込期間)

図 2 に示す時刻 t6 ~ 時刻 t7 の期間 T27 は、容量素子 Cs にデータ線 Data の電圧に応じた電荷を蓄積する書込期間である。書込期間では、制御部 200 は、第一スイッチ素子 Tr1 を導通状態に、第二スイッチ素子 Tr20、第三スイッチ素子 Tr3 および

50

第四スイッチ素子 $T r 4$ を非導通状態にする。具体的には、制御部200は、走査線 $S c a n$ の電圧をHレベルに設定させることにより、第一スイッチ素子 $T r 1$ を導通状態にする。また、制御部200は、信号線 $I n i t$ 、信号線 $R e f$ および信号線 $E n a b l e$ の電圧をLレベルに設定させることにより、第二スイッチ素子 $T r 2 0$ 、第三スイッチ素子 $T r 3$ および第四スイッチ素子 $T r 4$ を非導通状態にする。さらに、制御部200は、データ線駆動回路120により、選択された表示画素 $P 0$ の輝度値に応じた電圧を信号線 $D a t a$ に印加させる。

【0034】

このとき、容量素子 $C s$ の第一電極に、信号線 $D a t a$ の電圧に応じた電荷が蓄積される。

10

【0035】

(期間 $T 2 9$:発光期間)

図2に示す時刻 $t 8$ ~時刻 $t 9$ の期間 $T 2 9$ は、有機EL素子OELを発光させる発光期間である。発光期間では、制御部200は、第四スイッチ素子 $T r 4$ を導通状態に、第一スイッチ素子 $T r 1$ 、第二スイッチ素子 $T r 2 0$ 、および第三スイッチ素子 $T r 3$ を非導通状態にする。具体的には、制御部200は、信号線 $E n a b l e$ の電圧をHレベルに設定させることにより、第四スイッチ素子 $T r 4$ を導通状態にする。また、制御部200は、走査線 $S c a n$ 、信号線 $I n i t$ および信号線 $R e f$ の電圧をLレベルに設定させることにより、第一スイッチ素子 $T r 1$ 、第二スイッチ素子 $T r 2 0$ および第三スイッチ素子 $T r 3$ を非導通状態にする。

20

【0036】

このとき、駆動トランジスタ $T r d$ のドレインソース間に容量素子 $C s$ の第一電極に蓄積された電荷に応じた駆動電流が流れる。そして、有機EL素子OELに当該駆動電流が供給されることにより、有機EL素子OELは、駆動電流の電流量に応じた輝度で発光する。

【0037】

[閾値電圧補償における課題]

図3は、比較例における駆動トランジスタ $T r d$ のソース電極の電圧の閾値電圧補償期間における変化を示している。図3のグラフは、図2の破線で囲んだ部分のグラフに対応している。なお、図2では、1つの素子について図示しているが、図3では、閾値電圧が異なる3つの場合について示している。

30

【0038】

図3に示すように、駆動トランジスタ $T r d$ の閾値電圧が $V t h 1$ の表示画素は、電圧値が $V R E F - V t h 1$ となるまでに、 $T t h 1$ の時間がかかる。駆動トランジスタ $T r d$ の閾値電圧が $V t h 2$ の表示画素は、電圧値が $V R E F - V t h 2$ となるまでに、 $T t h 2$ の時間がかかる。駆動トランジスタ $T r d$ の閾値電圧が $V t h 3$ の表示画素は、電圧値が $V R E F - V t h 3$ となるまでに、 $T t h 3$ の時間がかかる。図3では、 $T t h 1 > T t h 2 > T t h 3$ となっている。

【0039】

近年、有機ELディスプレイの高精細化および大型化が進んでおり、1水平走査期間(以下、適宜「1H」と称する)が短くなる傾向がある。簡略化のためにブランキング期間を無視すると、1Hは、パネル駆動周波数 $F r e q$ 、走査線数 $V l i n e$ を用いて、 $1 H = 1 s e c / F r e q / V l i n e$ で表わされる。当該式から、有機ELディスプレイの高精細化によりパネル駆動周波数 $F r e q$ および走査線数 $V l i n e$ が増大するほど、1Hが短くなることが分かる。

40

【0040】

十分な発光期間を確保するために、例えば閾値電圧補償期間を1Hに設定する場合、1水平走査期間が短くなると、閾値電圧補償の期間も短くなる。さらに、近年、有機ELディスプレイの大型化が進んでおり、走査線数 $V l i n e$ および1走査線当たりの表示画素の数が多くなっている。大型化が進むほど、閾値電圧の補償を行うために必要な電流量が

50

有機ＥＬディスプレイ全体で多くなるため、閾値電圧補償にかかる期間のばらつきが大きくなる。また、大型化により有機ＥＬディスプレイを構成する素子同士の距離が離れるため、プロセスに起因する膜厚や膜質のばらつきが大きくなり、駆動トランジスタの閾値電圧のばらつきも大きくなる。

【００４１】

閾値電圧補償を十分な精度で行うためには、図３において、最も閾値電圧補償期間の長い V_{th1} の駆動トランジスタ T_{rd} の電圧が集束するまで、十分な閾値電圧補償期間を確保する必要がある。あるいは、１Ｈ内に、全ての駆動トランジスタ T_{rd} の電圧を収束させることが重要である。

【００４２】

しかし、上述したように、有機ＥＬディスプレイの高精細化により、閾値電圧補償期間が短くなる傾向にあり、十分な閾値電圧補償期間を確保することが困難になってきている。また、有機ＥＬディスプレイの大型化により、駆動トランジスタ T_{rd} が収束するまでの期間のばらつきが大きくなっているため、１Ｈ内に、全ての駆動トランジスタ T_{rd} の電圧を収束させることは困難である。

【００４３】

このため、特に、図３に示す閾値電圧 V_{th1} の駆動トランジスタでは、ソース電極の電圧が $V_{REF} - V_{th1}$ に到達する前に、閾値電圧補償期間が終了してしまい、閾値電圧の補償が十分な精度で行えない場合があるという問題がある。つまり、従来の有機ＥＬディスプレイでは、駆動トランジスタの閾値電圧のばらつきにより、閾値電圧補償において精度が低下するという問題がある。

【００４４】

このため、閾値電圧補償期間が短くなっても閾値電圧補償の精度を十分に確保できる技術が求められている。

【００４５】

このような問題を解決するために、本発明の一態様に係る表示装置は、表示画素と、前記表示画素の駆動を制御する制御部とを備える表示装置であって、前記表示画素は、発光素子と、電圧を保持するための容量素子と、ゲート電極が前記容量素子の第一電極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノード電極と接続されている駆動トランジスタと、データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導通および非導通を切り換える第一スイッチ素子と、抵抗を有し、初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、前記容量素子の前記第二電極と前記発光素子の前記アノード電極との接続点から、前記電源線までの電流経路上に配置された抵抗部とを有し、前記制御部は、前記駆動トランジスタの閾値電圧の補正を行う。

【００４６】

上記構成の表示装置は、初期化電圧を供給する電源線と容量素子の第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、容量素子の第二電極と発光素子のアノード電極との接続点から、電源線までの電流経路上に配置された抵抗部を有する。

【００４７】

従来は、初期化期間において駆動トランジスタのソース電極の電圧は、駆動トランジスタの閾値電圧にかかわらず一定の値に調整されていた。これに対し、上記構成の表示装置では、抵抗部を備えることにより、駆動トランジスタのソース電極の電圧を駆動トランジスタの閾値電圧の変動量に応じて調整することができる。これにより、上記構成の表示装置では、閾値電圧の補償を十分な精度で行うことが可能になる。

【００４８】

具体的には、上記構成の表示装置では、初期化期間において、当該抵抗部に貫通電流に応じた電圧降下が生じる。つまり、駆動トランジスタのソース電極の電圧が上昇する。

【００４９】

駆動トランジスタのソース電極の電圧が上昇すると、初期化期間の後に設定された閾値

10

20

30

40

50

電圧補償において、ソース電極の電圧の上昇幅が小さくなる。つまり、閾値電圧補償にかかる期間が短くなる。そうすると、上記構成の表示装置は、閾値電圧補償期間を延ばすことなく、閾値電圧補償をより確実に行うことができる。あるいは、上記構成の表示装置は、閾値電圧補償期間を短くすることができる。

【0050】

さらに具体的には、上記構成の表示装置では、初期化期間において、駆動トランジスタのソース電極の電圧は、 $V_{TFT} - (V_{INI} + R_{on} \times I_d)$ となる。 V_{TFT} は、駆動トランジスタのドレイン電極に駆動電圧を供給する電源線 V_{TFT} の電圧である。 V_{INI} は、容量素子の第二電極に初期化電圧を供給する電源線 V_{INI} の電圧である。 R_{on} は抵抗部の抵抗値である。 I_d は貫通電流の電流値である。

10

【0051】

貫通電流は、駆動トランジスタのドレイン電極に駆動電圧を供給する電源線から、駆動トランジスタおよび第二スイッチ素子を介して、初期化電圧を供給する電源線に流れる電流である。貫通電流の電流値は、駆動トランジスタの閾値電圧に応じて変化する。具体的には、貫通電流の電流値は、駆動トランジスタの閾値電圧が大きいほど小さくなり、閾値電圧が小さいほど大きくなる。

【0052】

つまり、上記構成の表示装置では、閾値電圧が大きいほど、 $R_{on} \times I_d$ (抵抗部における電圧降下量) が小さくなり、初期化期間の後に設定された閾値電圧補償期間の開始時における駆動トランジスタのソース電極の電圧は小さくなる。図3を参照すると、グラフa1～a3の初期値が、閾値電圧の値に応じて増加することになる。図3では、閾値電圧補償期間の開始時における駆動トランジスタのソース電極の電圧は全て同じであるが、上記構成の表示装置では、閾値電圧の小さい V_{th1} のグラフa1の方が、閾値電圧の大きい V_{th3} のグラフa3よりも、初期値が小さくなる。これにより、閾値電圧が小さいほど、駆動トランジスタのソース電極が $V_{REF} - V_{th}$ に到達する時間が従来よりも短くなる。これにより、閾値電圧 V_{th} が小さく、駆動トランジスタのソース電極の電圧が所望の電圧に到達するまでの閾値電圧補償にかかる期間が長い表示画素ほど、比較例に対して閾値電圧補償にかかる期間を短くすることができる。

20

【0053】

つまり、上記構成の表示装置では、大型化および高精細化により閾値電圧補償期間が短くなった場合でも、閾値電圧の補償を十分な精度で行うことが可能になる。

30

【0054】

例えば、前記抵抗部の抵抗値は、前記駆動トランジスタにおける閾値電圧の変動量に対する、前記駆動トランジスタの前記閾値電圧の補正を行う期間の開始時におけるゲート電極およびソース電極間の電圧の変動量が、0.3倍から0.7倍までの値になるように設定してもよい。

【0055】

ここで、抵抗部の抵抗値は、閾値電圧補償にかかる期間の短縮を十分に行え、かつ、抵抗部のレイアウトサイズが、1画素あたり(表示画素 P_X)のレイアウトサイズを超えないような値であると共に、閾値電圧補償に必要な初期化電圧を印可できるような値であることが好ましい。具体的には、駆動トランジスタの閾値電圧の変動量に対する、閾値電圧補償開始時の駆動トランジスタのゲートソース間電圧の変動量($= \partial V_{gs} / \partial V_{th}$)が、0.3倍以上になるように抵抗部の抵抗値を設定すれば、閾値電圧補償にかかる期間の短縮を十分に行えと考えられる。また、 $\partial V_{gs} / \partial V_{th}$ が0.7倍以下になるように抵抗部の抵抗値を設定すれば、抵抗部の追加によるレイアウトサイズの増大を抑えつつ、閾値電圧補償に必要な初期化電圧を印可できると考えられる。

40

【0056】

例えば、前記抵抗部は、トランジスタであってもよい。また、当該トランジスタは、前記初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換える第二スイッチ素子であってもよい。また、前記第二スイッチ素子のオン抵抗が、

50

他のスイッチ素子のオン抵抗よりも高くてもよいし、前記第二スイッチ素子のW / L比が、他のスイッチ素子のW / L比よりも小さくてもよい。

【0057】

第二スイッチ素子および抵抗部を、他のスイッチ素子よりもオン抵抗が大きいトランジスタを用いて一体に構成すれば、部品点数を少なくすることができる。具体的には、第二スイッチ素子を構成するトランジスタのW / L比を、他のスイッチ素子のW / L比よりも小さくすればよい。

【0058】

例えば、前記抵抗部は、前記初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換える第二スイッチ素子と、当該第二スイッチ素子と直列に接続された抵抗素子とを有してもよい。

10

【0059】

第二スイッチ素子とは別の素子を設けるように構成すれば、第二スイッチ素子をスイッチとして利用できる。また、抵抗素子を設けるのみで構成できるので、装置構成が複雑になるのを防止できる。

【0060】

例えば、前記抵抗部は、複数の前記表示画素の間で共有されていてもよい。

【0061】

抵抗部を複数の表示画素の間で共有すれば、追加回路を小さくすることができる。

【0062】

また、本発明の一態様に係る表示装置の制御方法は、発光素子と、電圧を保持するための容量素子と、ゲート電極が前記容量素子の第一電極と接続され、ソース電極が前記容量素子の第二電極および前記発光素子のアノード電極と接続されている駆動トランジスタと、データ信号に応じた電圧を供給するための信号線と前記容量素子の前記第一電極との導通および非導通を切り換える第一スイッチ素子と、抵抗を有し、初期化電圧を供給する電源線と前記容量素子の前記第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、前記容量素子の第二電極と前記発光素子のアノード電極との接続点から、前記電源線までの電流経路上に配置された抵抗部とを有する表示画素と、前記表示画素の駆動を制御する制御部とを備える表示装置の制御方法であって、前記制御部が、前記容量素子の前記第一電極に対して参照電圧を印加し、前記第二スイッチ素子を導通状態に設定することにより前記第二電極に対して初期化電圧を印加した状態で、前記駆動トランジスタのドレイン電極に対して前記発光素子を駆動するための駆動電圧を印加する初期化ステップと、前記初期化ステップの実行後に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を維持した状態で、前記第二スイッチ素子を非導通状態にするステップとを実行する。

20

30

【0063】

当該制御方法においても、上述した表示装置と同様に、簡単な構成で製造コストを増大させることなく、駆動トランジスタの閾値電圧の変動に対応することができる。

【0064】

例えば、前記初期化ステップは、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を停止させた状態で、前記容量素子の前記第一電極に対して参照電圧を印加し、前記第二スイッチ素子を導通状態に設定することにより前記第二電極に対して初期化電圧を印加する第一初期化ステップと、前記第一初期化ステップの実行後に、前記第一電極に対する前記参照電圧の印加を維持し、かつ、前記第二スイッチ素子を導通状態に維持した状態で、前記駆動トランジスタのドレイン電極に対する前記駆動電圧の印加を開始する第二初期化ステップとを含んでいてもよい。

40

【0065】

上記構成の表示装置では、第一初期化ステップおよび第二初期化ステップを実行するので、抵抗部により、駆動トランジスタのソース電極の電圧を駆動トランジスタの閾値電圧の変動量に応じて調整することができる。

50

【 0 0 6 6 】

例えば、前記制御部は、前記第二初期化ステップにおいて、前記第二スイッチ素子のゲート電極に印可される電圧が、他のスイッチ素子のゲート電極に印可される電圧よりも低くなるように制御してもよいし、または、前記第二スイッチ素子はトランジスタであり、前記制御部は、前記第二初期化ステップにおいて前記第二スイッチ素子のゲート電極に印可される電圧が、前記第一初期化ステップにおいて前記第二スイッチ素子のゲート電極に印可される電圧よりも低くなるように制御してもよい。

【 0 0 6 7 】

上記構成の表示装置は、第二スイッチ素子を、トランジスタを用いて一体に構成すれば、部品点数を少なくすることができ、第二スイッチ素子において電圧降下を良好に生じさせることができる。

10

【 0 0 6 8 】

以下、実施の形態について、図面を参照しながら具体的に説明する。

【 0 0 6 9 】

なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

20

【 0 0 7 0 】

(実施の形態)

実施の形態の有機 E L ディスプレイについて、図 4 ~ 図 2 0 を用いて説明する。

【 0 0 7 1 】

本実施の形態の有機 E L ディスプレイは、抵抗を有し、初期化電圧を供給する電源線と容量素子の第二電極との導通および非導通を切り換え可能に構成された抵抗部であって、容量素子の第二電極と前記発光素子のアノード電極との接続点から、前記電源線までの電流経路上に配置された抵抗部を備える。これにより、第一初期化期間の終了後、閾値電圧補償期間の開始前に、閾値電圧の変動に応じて駆動トランジスタのソース電極に電圧を印加することができる。

30

【 0 0 7 2 】

[1 . 有機 E L ディスプレイの構成]

図 4 は、本実施の形態における有機 E L ディスプレイ 1 0 の構成の一例を示すブロック図である。図 4 に示すように、有機 E L ディスプレイ 1 0 は、有機 E L パネル 1 1 と、データ線駆動回路 1 2 と、走査線駆動回路 1 3 と、制御部 2 0 とを備えている。

【 0 0 7 3 】

有機 E L パネル 1 1 は、比較例の有機 E L パネル 1 1 0 と同様に、複数の表示画素 P X がマトリクス状に配置されている。なお、表示画素 P X は、比較例と同様に、1 つの色を構成するサブ画素である。赤色、緑色、青色に対応する 3 つのサブ画素で 1 つの画素が構成されている。

40

【 0 0 7 4 】

表示画素 P X は、有機 E L 素子 O E L と、容量素子 C s と、駆動トランジスタ T r d と、第一スイッチ素子 T r 1 と、第二スイッチ素子 T r 2 と、第三スイッチ素子 T r 3 と、第四スイッチ素子 T r 4 とを備えている。表示画素 P X の構成要素のうち、第二スイッチ素子 T r 2 以外の構成要素については、比較例と構成が同じである。

【 0 0 7 5 】

有機 E L 素子 O E L は、比較例の有機 E L 素子 O E L と同様に、駆動電流に応じて発光する発光素子である。駆動電流は、駆動トランジスタ T r d から供給される。有機 E L 素子 O E L は、アノード電極が駆動トランジスタ T r d のソース電極に、カソード電極が電源線 V E L にそれぞれ接続されている。

50

【 0 0 7 6 】

容量素子C sは、比較例の容量素子C sと同様に、データ線D a t aの電圧に応じた電荷が蓄積される容量素子である。容量素子C sは、第一電極が駆動トランジスタのゲート電極に、第二電極が駆動トランジスタT r dのソース電極にそれぞれ接続されている。

【0077】

駆動トランジスタT r dは、比較例の駆動トランジスタT r dと同様に、データ線D a t aの電圧に応じて蓄積された容量素子C sの電荷の量に応じた駆動電流を有機E L素子O E Lに供給する。駆動トランジスタT r dは、薄膜トランジスタであり、ゲート電極が容量素子C sの第一電極に、ソース電極が有機E L素子O E Lのアノード電極に、ドレイン電極が、駆動電圧を供給する電源線V T F Tにそれぞれ接続されている。

【0078】

第一スイッチ素子T r 1は、比較例の第一スイッチ素子T r 1と同様に、走査線S c a nの電圧に応じてデータ線D a t aと容量素子C sの第一電極との導通および非導通を切り替えることにより、表示画素P Xの選択および非選択を切り替える。より詳細には、第一スイッチ素子T r 1は、薄膜トランジスタであり、ゲート電極が走査線S c a nに、ソース電極がデータ線D a t aに、ドレイン電極が容量素子C sの第一電極にそれぞれ接続されている。

【0079】

第二スイッチ素子T r 2は、信号線I n i tの電圧に応じて、容量素子C sの第二電極（ノードN 2）と初期化電圧を供給する電源線V I N Iとの間の導通および非導通を切り替える。第二スイッチ素子T r 2は、薄膜トランジスタであり、他のスイッチ素子よりも高いオン抵抗を持つ。なお、本実施の形態では、制御部20は、第一初期化期間において、第四スイッチ素子T r 4を非導通とし、容量素子C sの充放電のみを行う。つまり、第二スイッチ素子T r 2を抵抗ではなくスイッチとして機能させる。また、制御部20は、第二初期化期間において、第四スイッチ素子T r 4を導通させ、第二スイッチ素子T r 2に貫通電流を流すことで、第二スイッチ素子T r 2を抵抗として機能させる。つまり、第二初期化期間において、第二スイッチ素子T r 2は、上述した抵抗部として機能する。第二スイッチ素子T r 2の詳細については、後述する。

【0080】

第三スイッチ素子T r 3は、比較例の第三スイッチ素子T r 3と同様に、信号線R e fの電圧に応じて、容量素子C sの第一電極（ノードN 1）と参照電圧を供給する電源線V R E Fとの間の導通および非導通を切り替える。

【0081】

第四スイッチ素子T r 4は、比較例の第四スイッチ素子T r 4と同様に、信号線E n a b l eの電圧に応じて、駆動トランジスタT r dのドレイン電極と電源線V T F Tとの間の導通および非導通を切り替える。

【0082】

データ線駆動回路12は、比較例と同様に、複数のデータ線D a t aに対し、制御部20から出力されるデータ信号に応じた電圧を供給する。

【0083】

走査線駆動回路13は、比較例と同様に、複数の走査線S c a nに対し、制御部20から出力される駆動信号に応じた電圧を供給する。

【0084】

制御部20は、比較例と同様に、有機E Lパネル11における映像の表示を制御する回路であり、例えば、T C O N（タイミングコントローラ）等を用いて構成される。なお、制御部20は、マイクロコントローラを含むコンピュータシステム、あるいは、システムL S I（L a r g e S c a l e I n t e g r a t i o n：大規模集積回路）等を用いて構成されていても構わない。あるいは、制御部20は、C P Uまたはプロセッサなどのプログラム実行部が、ハードディスクまたは半導体メモリなどの記録媒体に記録されたソフトウェアプログラムを読み出して実行することによって実現されてもよい。

【0085】

10

20

30

40

50

[1 - 1 . 第二スイッチ素子の詳細構成]

第二スイッチ素子 $T_r 2$ の詳細な構成について、図 5 ~ 図 13 を用いて説明する。

【 0086 】

上述したように、本実施の形態の第二スイッチ素子 $T_r 2$ は、他のスイッチ素子よりもオン抵抗が高いトランジスタであり、第二初期化期間において抵抗部として機能する。言い換えると、第二スイッチ素子 $T_r 2$ の W/L 比は、他のスイッチ素子に比べて小さい。

【 0087 】

課題の詳細において説明した閾値電圧のばらつきによる閾値電圧補償における精度の低下を低減するためには、第二スイッチ素子 $T_r 2$ の抵抗値等を適切に設定することが望ましい。

10

【 0088 】

なお、ここでは、第二スイッチ素子 $T_r 2$ の抵抗値を適切に設定するために、チャネル幅 W_R およびチャネル長 L_R の範囲を設定する。

【 0089 】

[1 - 1 - 1 . 比較例における V_{th} 検出のずれ]

図 5 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のゲートソース間の電圧 V_{gs} - 閾値電圧 V_{th} の理想的な時間変化を示すグラフである。図 6 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のソース電極とドレイン電極との間に流れる電流 I_{ds} の理想的な時間変化を示すグラフである。図 5 および図 6 では、閾値電圧のばらつき ΔV_{th} が 0 V の場合、1 V の場合、2 V の場合の 3 つの場合について示している。

20

【 0090 】

閾値電圧補償期間では、図 5 に示すように、 $V_{gs} - V_{th}$ が、駆動トランジスタ T_{rd} の閾値電圧のばらつき ΔV_{th} に拘わらず、同じ電圧 V_{ofs} に収束することが望ましい。なお、閾値電圧補償期間は有限の期間であるため、 $V_{gs} - V_{th}$ は完全に 0 V にはならず、 V_{ofs} に収束する。

【 0091 】

同様に、図 6 に示すように、閾値電圧補償期間において、電流 I_{ds} は、ほぼ同じ電流 I_{end} に収束することが望ましい。なお、閾値電圧補償期間は有限の期間であるため、 I_{ds} は完全にではなく、ほぼ I_{end} に収束する。このとき、電流 I_{ds} は、以下の式 1 により求めることができる。また、電流 I_{end} は、以下の式 2 により求めることができる。

30

【 0092 】

【 数 1 】

$$I_{ds} = \beta \times (V_{gs} - V_{th})^2 \cdots (式 1)$$

【 0093 】

【 数 2 】

$$I_{end} = \beta \times (V_{ofs} + V_{th0} + \Delta V_{th} - (V_{th0} + \Delta V_{th}))^2 = \beta \times V_{ofs}^2 \cdots (式 2)$$

40

【 0094 】

なお、 $V_{gs} = V_{ofs} + V_{th}$ 、 $V_{th} = V_{th0} + \Delta V_{th}$ である。

【 0095 】

しかし、実際には、閾値電圧補償期間の終了時における電流 I_{ds} は、同じ値には収束しない。図 7 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のドレインソース間電圧の時間変化を示すグラフである。図 7 では、閾値電圧のばらつき ΔV_{th} が 0 ~ 2 V の 3 つの場合について示している。

【 0096 】

図 7 に示すように、閾値電圧のばらつき ΔV_{th} が大きいほど、閾値電圧補償期間の終了時における駆動トランジスタ T_{rd} のドレインソース間の電圧 V_{ds} が大きくなる。そ

50

うすると、閾値電圧のばらつき ΔV_{th} が大きいほど収束電流 I_{end} は大きくなる。

【 0 0 9 7 】

図 8 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のソース電極とドレイン電極との間に流れる電流 I_{ds} の実際の時間変化を示すグラフである。電流 I_{ds} は、以下の式 3 により求めることができる。

【 0 0 9 8 】

【 数 3 】

$$I_{ds} = \beta \times V_{ofs}^2 \times (1 + \lambda \times V_{ds}) \cdots (式 3)$$

【 0 0 9 9 】

10

閾値電圧補償期間の終了時における電流 I_{ds} は、理想的には、図 6 に示すように、閾値電圧のばらつきが異なる場合でも電流 I_{end} に集束するのが望ましい。しかし、実際には、図 8 に示すように、閾値電圧補償期間の終了時における電流 I_{ds} は、閾値電圧のばらつき ΔV_{th} に起因する V_{ds} ばらつきに応じて変動する。このため、閾値電圧補償期間の終了時における $V_{gs} - V_{th}$ もばらつくことになる。

【 0 1 0 0 】

図 9 は、閾値電圧補償期間における駆動トランジスタ T_{rd} のゲートソース間の電圧 $V_{gs} - \text{閾値電圧 } V_{th}$ の実際の時間変化を示すグラフである。図 9 に示すように、閾値電圧のばらつき ΔV_{th} が大きいほど、ソース電極とドレイン電極との間に流れる電流の量が大きくなるので、 $V_{gs} - V_{th}$ は小さくなる。つまり、閾値検出にずれが生じており、閾値電圧補償の精度が低下すると考えられる。

20

【 0 1 0 1 】

[1 - 1 - 2 . 第二スイッチ素子 T_{r2} のチャネル幅およびチャネル長]

そこで、本実施の形態では、閾値電圧のばらつき ΔV_{th} が大きいほど、閾値電圧補償期間の開始時における $V_{gs} - V_{th}$ が大きくなるように、初期化期間において $V_{gs} - V_{th}$ を調整する。つまり、初期化期間の終了時に、閾値電圧のばらつき ΔV_{th} が大きいほど、 $V_{gs} - V_{th}$ が大きくなるように、初期化電圧を調整する。

【 0 1 0 2 】

初期化電圧の調整を行うため、本実施の形態の表示画素 P_X は、図 4 に示すように、容量素子 C_s の第二電極と有機 EL 素子 OEL のアノード電極との接続点であるノード N_2 から、電源線 V_{INI} までの電流経路上に、上述した抵抗部を備えている。当該抵抗部は、本実施の形態では、第二スイッチ素子 T_{r2} (薄膜トランジスタ) のオン抵抗を他のスイッチ素子よりも大きくすることにより実現される。これにより、駆動トランジスタ T_{rd} のソース電極の電圧を、駆動トランジスタ T_{rd} の閾値電圧 V_{th} のばらつき ΔV_{th} に応じて調整することが可能になる。

30

【 0 1 0 3 】

以下、駆動トランジスタ T_{rd} のソース電極の電圧の調整方法について説明する。

【 0 1 0 4 】

初期化期間において、第一スイッチ素子 T_{r1} をオフ状態、第二スイッチ素子 T_{r2} 、第三スイッチ素子 T_{r3} および第四スイッチ素子 T_{r4} をオン状態にすると、電源線 V_{TFT} から、駆動トランジスタ T_{rd} および第二スイッチ素子 T_{r2} を介して、電源線 V_{INI} に貫通電流 I_d が流れる。

40

【 0 1 0 5 】

このとき、駆動トランジスタ T_{rd} のソース電極の電圧は、 $V_{TFT} - (V_{INI} + R_{on} \times I_d)$ となる。 V_{TFT} は、上述したように、駆動トランジスタのドレイン電極に駆動電圧を供給する電源線 V_{TFT} の電圧である。 V_{INI} は、上述したように、容量素子 C_s の第二電極に初期化電圧を供給する電源線 V_{INI} の電圧である。 R_{on} は、上述したように、抵抗部の抵抗値である。

【 0 1 0 6 】

貫通電流 I_d は、駆動トランジスタ T_{rd} の閾値電圧 V_{th} に応じて変化する。具体的

50

には、貫通電流 I_d は、駆動トランジスタ T_{rd} の閾値電圧 V_{th} が大きいほど小さくなり、閾値電圧 V_{th} が小さいほど大きくなる。

【0107】

これにより、閾値電圧 V_{th} が大きいほど、 $R_{on} \times I_d$ （抵抗部における電圧降下量）が小さくなり、初期化期間終了時およびその後続く閾値電圧補償期間の開始時における駆動トランジスタのソース電極の電圧は小さくなる。

【0108】

つまり、抵抗部を設けることで、駆動トランジスタ T_{rd} のソース電極の電圧を、駆動トランジスタ T_{rd} の閾値電圧 V_{th} のばらつき ΔV_{th} に応じて調整することが可能になる。

10

【0109】

抵抗部の抵抗値（本実施の形態では、第二スイッチ素子 T_{r2} の抵抗値）は、以下の式4を満たすように設定する。

【0110】

【数4】

$$0.3 \leq \frac{\partial V_{gs}}{\partial V_{th}} = \alpha \leq 0.7 \cdots (\text{式4})$$

【0111】

ここで、 $\partial V_{gs} / \partial V_{th}$ を0.3倍以上に設定することで、閾値電圧の変動を、ソース電極の電圧に十分に反映させることができる。また、 $\partial V_{gs} / \partial V_{th}$ を0.7倍以下に設定することで、抵抗部のレイアウトサイズが、1画素あたり（表示画素 P_X ）のレイアウトサイズを超えてしまい、レイアウト不可能となることを防止すると共に、抵抗部における電圧降下量が大きくなりすぎるのを防止し、閾値電圧補償期間の初期値として十分な大きさの電圧差を容量素子 C_s に与えることが可能になる。なお、0.3倍以上0.7倍以下に設定することの根拠については後述する。

20

【0112】

ここで、貫通電流 I_d は、駆動トランジスタ T_{rd} のチャネル幅 W_D 、チャネル長 L_D 、電子移動度 μ_D およびゲート酸化膜の単位面積当たりの容量 C_{ox} を用いて、以下の式5により求めることができる。また、 V_{gs} は以下の式6により求めることができる。

30

【0113】

【数5】

$$I_d = \frac{\mu_D \times C_{ox}}{2} \times \frac{W_D}{L_D} \times (V_{gs} - V_{th})^2 \cdots (\text{式5})$$

【0114】

【数6】

$$V_{gs} = V_{REF} - (V_{INI} + I_d \times R_{on}) \cdots (\text{式6})$$

【0115】

式5に式6を代入すると、以下の式7および式8が得られる。

40

【0116】

【数7】

$$I_d = b - \sqrt{b^2 - \frac{(V_{REF} - V_{INI} - V_{th})^2}{R_{on}^2}} \cdots (\text{式7})$$

【0117】

【数 8】

$$b = \frac{(V_{REF} - V_{INI} - V_{th})}{R_{on}} + \frac{1}{\mu_D \times Cox \times \frac{W_D}{L_D} \times R_{on}^2} \dots (式 8)$$

【0 1 1 8】

以上より、 V_{gs} について、以下の式 9 を導き出すことができる。

【0 1 1 9】

【数 9】

$$V_{gs} = V_{REF} - V_{INI} - R_{on} \times b + \sqrt{R_{on}^2 \times b^2 - R_{on} \times (V_{REF} - V_{INI} - V_{th})^2} \dots (式 9)$$

10

【0 1 2 0】

式 9 を式 4 に代入すると、以下の式 10 が求められる。

【0 1 2 1】

【数 1 0】

$$0.3 \leq 1 - \frac{1}{\sqrt{2 \times \mu_D \times Cox \times \frac{W_D}{L_D} \times R_{on} \times (V_{TFT} - V_{INI} - V_{th}) + 1}} \leq 0.7 \dots (式 10)$$

20

【0 1 2 2】

ここで、第二スイッチ素子 T_{r2} は線形領域で動作するトランジスタなので、以下の式 11 ~ 式 13 が成り立つ。

【0 1 2 3】

【数 1 1】

$$I_d = \frac{\mu_R \times Cox \times W_R}{L_R} \left(V_{gs_R} - V_{th_R} - \frac{V_{ds_R}}{2} \right) \times V_{ds_R} \dots (式 11)$$

【0 1 2 4】

30

【数 1 2】

$$R_{on} = \frac{V_{ds_R}}{I_d} \dots (式 12)$$

【0 1 2 5】

【数 1 3】

$$V_{gs_R} = V_{gh_R} - V_{INI} \dots (式 13)$$

40

【0 1 2 6】

式 11 ~ 式 13 において、 W_R は第二スイッチ素子 T_{r2} のチャネル幅、 L_R は第二スイッチ素子 T_{r2} のチャネル長、 μ_R は第二スイッチ素子 T_{r2} の電子移動度である。また、 V_{gs_R} は第二スイッチ素子 T_{r2} のゲートソース間電圧、 V_{th_R} は第二スイッチ素子 T_{r2} の閾値電圧、 V_{ds_R} は第二スイッチ素子 T_{r2} のドレインソース間電圧、 V_{gh_R} は第二スイッチ素子 T_{r2} がオン状態のときのゲート電極の電圧 (I_{nit} の電圧) である。上記式 11 ~ 式 13 を式 10 に適用すると、以下の式 14 が得られる。

【0 1 2 7】

【数 1 4】

$$\left(\frac{10}{7}\right)^2 \leq 1 - \frac{2 \times \mu_D \times \frac{W_D}{L_D} \times (VTFT - VINI - Vth)}{\mu_R \times \frac{W_R}{L_R} \times (Vgh_R - VINI - Vth_R)} \leq \left(\frac{10}{3}\right)^2 \quad \dots (式 1 4)$$

$$\text{但し、} Vgh_R - VINI - Vth_R - \frac{Vds_R}{2} \approx Vgh_R - VINI - Vth_R$$

【0 1 2 8】

10

式 1 4 を満たすように、第二スイッチ素子 $T_r 2$ のチャネル幅 W_R およびチャネル長 L_R を設定する。

【0 1 2 9】

図 1 0 は、比較例および本実施の形態における閾値電圧補償期間の $V_{gs} - V_{th}$ の推移を示すグラフである。図 1 0 では、閾値電圧のばらつき ΔV_{th} が 2 V の場合について示している。図 1 1 は、本実施の形態において、閾値電圧のばらつき ΔV_{th} が 0 V のときと 2 V のときの V_{th} 検出のずれを示すグラフである。図 1 2 は、本実施の形態において、閾値電圧補償期間における駆動トランジスタ T_{rd} のドレインソース間電圧の時間変化を示すグラフである。図 1 2 では、閾値電圧のばらつき ΔV_{th} が 0 V のときと 2 V のときを示している。

20

【0 1 3 0】

図 1 0 に示すように、比較例のグラフに比べ、本実施の形態のグラフは、初期値が大きくなっている。これにより、閾値電圧補償期間の終了時における閾値検出の値が V_{ofs} に近づいている。図 1 1 に示すように、本実施の形態では、比較例に比べ、閾値電圧補償期間の終了時における閾値検出のばらつきが低減されることが分かる。図 1 2 に示すように、 ΔV_{th} が 0 V のときと 2 V のときの V_{ds} の差は、2 V 以下になっている。

【0 1 3 1】

[1 - 1 - 3 . 閾値電圧 V_{th} のばらつきに対する V_{gs} の変動量の範囲の設定]

【0 1 3 2】

(1) 式 4 の $\partial V_{gs} / \partial V_{th}$ の下限値 (例えば、0 . 3) の設定について説明する。

30

【0 1 3 3】

まず、比較例における V_{th} 検出に必要な時間 T_{thMax} について説明する。比較例では、閾値電圧補償期間の開始時における駆動トランジスタ T_{rd} のゲートソース間電圧 V_{init} は、以下の式 1 5 により求められる。

【0 1 3 4】

【数 1 5】

$$V_{init} = V_{thMax} + V_{thMargin} \dots (式 1 5)$$

40

【0 1 3 5】

ここで、 V_{thMax} は、有機 EL パネル 1 1 を構成する全ての表示画素のうち、駆動トランジスタ T_{rd} の閾値電圧 V_{th} が最大値となる表示画素 P_X における閾値電圧 V_{th} の値である。 $V_{thMargin}$ は、閾値電圧補償において必要な電圧マージンである。次に、図 3 から分かるように、閾値電圧 V_{th} が最小値をとるときに、 V_{th} 検出の時間が最も長くなる。そこで、閾値電圧 V_{th} が最小値の場合における V_{th} 検出に必要な時間 T_{thMax} を求める。まず、 V_{th} 検出で充電される電荷量 Q_{max} は、以下の式 1 6 により求められる。

【0 1 3 6】

【数 1 6】

$$Q_{\max} = (V_{\text{init}} - V_{\text{thMin}}) \times C_s \cdots (\text{式 1 6})$$

【0 1 3 7】

ここで、 V_{thMin} は、有機ELパネル11を構成する全ての表示画素のうち、駆動トランジスタ T_{rd} の閾値電圧 V_{th} が最小値となる表示画素 P_X における閾値電圧 V_{th} の値である。電荷量 $Q_{\max}$ を充電するために必要な時間 T_{thMax} は、以下の式17により求められる。

【0 1 3 8】

【数 1 7】

10

$$T_{thMax} = \frac{Q_{\max}}{I_d} \cdots (\text{式 1 7})$$

【0 1 3 9】

ここで、 I_d は閾値電圧補償期間中に駆動トランジスタ T_{rd} を介して容量素子 C_s に流れる電流の平均値である。課題の詳細において説明したように、例えば、閾値電圧補償期間が1水平走査期間(1H)である場合は、 T_{thMax} は、1H以下になることが望ましい。式16および式15を式17に代入すると、以下の式18が得られる。

【0 1 4 0】

【数 1 8】

20

$$T_{thMax} = (V_{thMargin} + V_{thMax} - V_{thMin}) \times \frac{C_s}{I_d} \leq 1H \cdots (\text{式 1 8})$$

【0 1 4 1】

次に、本実施の形態における V_{th} 検出に必要な時間 T_{thMax} について説明する。上述したように、本実施の形態では、 V_{init} は、 V_{th} に対し、 $\alpha (= \partial V_{gs} / \partial V_{th})$ の係数で変化する。従って、駆動トランジスタ T_{rd} の閾値電圧が V_{thMax} である表示画素 P_X において、以下の式19が成り立つ。

【0 1 4 2】

【数 1 9】

30

$$V_{init} = V_{thMax} + V_{thMargin} - (V_{thMax} - V_{thMin}) \times \alpha \cdots (\text{式 1 9})$$

【0 1 4 3】

式18および式19より、以下の式20が成り立つ。

【0 1 4 4】

【数 2 0】

$$T_{thMax} = \{V_{thMargin} + (V_{thMax} - V_{thMin}) \times (1 - \alpha)\} \times \frac{C_s}{I_d} \leq 1H \cdots (\text{式 2 0})$$

40

【0 1 4 5】

式18と式20からわかる通り、比較例に比べて本実施の形態の有機ELディスプレイでは、 $(1 - \alpha)$ の係数の分だけ、 T_{thMax} が小さく、閾値電圧補償期間を1水平走査期間(1H)以下にすることが容易になる。

【0 1 4 6】

本発明者らは、40型4K2K(例えば、3480×2160表示画素)の有機ELパネル11について検証を行った。上記有機ELパネル11として、駆動トランジスタ T_{rd} の閾値電圧 V_{th} の面内ばらつきが0~2V、 $V_{thMargin}$ が2.5V、容量素子 C_s が0.5pFのパネルを用いた。この場合、閾値電圧補償期間中に駆動トランジスタ T_{rd} を介して容量素子 C_s に流れる電流の平均値 I_d は、0.25μAであった。

50

【 0 1 4 7 】

図 1 3 は、走査線数 $V l i n e$ が 2 1 6 0 本の場合において、駆動周波数 $F r e q$ 毎に、式 2 0 を満たすために必要な α の値を算出した結果を示すグラフである。図 1 3 より、例えば、駆動周波数が 1 2 0 H z の場合は、 α が 0 . 3 以上であることが望ましいことが分かる。

【 0 1 4 8 】

図 1 4 は、駆動周波数 $F r e q$ を 1 2 0 H z に固定した場合において、走査線数 $V l i n e$ 毎に式 2 0 を満たすために必要な α の値を算出した結果を示すグラフである。図 1 4 に示すように、走査線数 $V l i n e$ が 2 1 6 0 本の場合、 α が 0 . 3 以上であることが望ましいことが分かる。

10

【 0 1 4 9 】

以上より、走査線数 $V l i n e$ 2 1 6 0、駆動周波数 $F r e q$ 1 2 0 H z のパネルでは、閾値電圧補償期間内に駆動トランジスタ $T r d$ のソース電極の電圧を収束させるためには、 α 0 . 3 となることが望ましいことが分かる。

【 0 1 5 0 】

なお、本実施の形態では、4 0 型 4 K 2 K のパネルについて説明したが、 $V l i n e$ が 2 1 6 0 よりも小さい等、異なる条件の有機 E L パネル 1 1 では、 α の下限値が異なる値であっても構わない。設計する有機 E L パネル 1 1 の制約に応じて設定することが望ましい。

【 0 1 5 1 】

(2) 式 4 の $\partial V g s / \partial V t h$ の上限値 (例えば、0 . 7) の設定について説明する。

20

【 0 1 5 2 】

図 1 5 は、 $C s$ 初期化電圧 (初期化期間終了時における容量素子 $C s$ の第一電極と第二電極間に印可される電圧) と、閾値電圧 $V t h$ との関係を示すグラフである。グラフの直線の傾きが、 $\alpha = \partial V g s / \partial V t h$ に対応する。

【 0 1 5 3 】

図 1 5 では、電源線 $V R E F$ の電圧を 2 V、電源線 $V I N I$ の電圧を - 4 V、第二スイッチ素子 $T r 2$ をオン状態にするときのゲート電極の電圧 $V g h_R$ を 2 0 V としている。また、図 1 5 では、駆動トランジスタ $T r d$ の閾値電圧 $V t h$ と第二スイッチ素子 $T r 2$ の閾値電圧 $V t h_R$ とがほぼ同じであると仮定している。

30

【 0 1 5 4 】

図 1 5 に示すように、駆動トランジスタ $T r d$ のチャネル幅とチャネル長との比 (W_D / L_D) に対する、第二スイッチ素子 $T r 2$ のチャネル幅とチャネル長との比 (W_R / L_R)、つまり、 $(W_R / L_R) / (W_D / L_D)$ が 1 / 2 0 のとき、 $\alpha = \partial V g s / \partial V t h = 0 . 6 7$ である。比 $(W_R / L_R) / (W_D / L_D)$ が 1 / 1 0 のとき、 $\alpha = \partial V g s / \partial V t h = 0 . 5 5$ である。比 $(W_R / L_R) / (W_D / L_D)$ が 1 / 4 のとき、 $\alpha = \partial V g s / \partial V t h = 0 . 3 8$ である。

【 0 1 5 5 】

図 1 6 は、 $\partial V g s / \partial V t h$ の値と、第二スイッチ素子 $T r 2$ のチャネル長 L_R との相関関係を示すグラフである。図 1 6 に示すように、 $\partial V g s / \partial V t h$ が大きいほど、閾値電圧補償の精度が高くなり、 $V t h$ 検出に必要な時間のばらつきは小さくなる。しかし、 $\partial V g s / \partial V t h$ が大きいほど、第二スイッチ素子 $T r 2$ のチャネル長 L_R は大きくなる。

40

【 0 1 5 6 】

ここで、4 0 型 4 K 2 K のパネルを考える。この場合、1 画素のサイズは、例えば約 2 3 0 μm である。この場合、第二スイッチ素子 $T r 2$ のチャネル長 L_R は、2 3 0 μm 以下であることが望ましい。図 1 6 の場合、 $\partial V g s / \partial V t h$ が 0 . 7 以下のときに、第二スイッチ素子 $T r 2$ のチャネル長 L_R が 2 3 0 μm 以下となる。従って、チャネル長 L_R が 2 3 0 μm 以下の精細なパネルを設計する場合には、 $\partial V g s / \partial V t h$ 0 . 7 と

50

なることが望ましい。これにより、抵抗部が、1画素あたり（表示画素 $P \times$ ）のレイアウトサイズを超えてしまい、レイアウト不可能となることを防止することが出来る。

【0157】

また、閾値電圧補償開始時の駆動トランジスタ T_{rd} のソース電極の電圧は、上述のように、 $V_{TFT} - (V_{INI} + R_{on} \times I_d)$ で表されるが、 $\partial V_{gs} / \partial V_{th} > 0.7$ となるような第二スイッチ素子 T_{r2} の場合、オン抵抗 R_{on} が非常に大きくなる。この場合、ソース電極の電圧が大きくなり過ぎてしまい、閾値電圧補償を行うために十分な大きさのゲートソース間電圧を確保できなくなる可能性がある。この観点からも、 $\partial V_{gs} / \partial V_{th} = 0.7$ となることが望ましい。

【0158】

なお、チャンネル長 L_R に求められる制約が異なる場合には、 $\partial V_{gs} / \partial V_{th}$ の上限值は0.7以外の値であっても構わない。設計する有機ELパネル11の制約に応じて設定することが望ましい。

【0159】

[2. 有機ELディスプレイの動作]

図17は、本実施の形態における有機ELディスプレイ10の信号波形を示すグラフである。

【0160】

本実施の形態の有機ELディスプレイ10では、第一初期化期間および第二初期化期間の2つの初期化期間が設けられている。本実施の形態の有機ELディスプレイ10では、初期化期間の経過後、閾値電圧補償期間、書込期間および発光期間がこの順に設定されている。

【0161】

なお、時刻 t_0 までは、全てのスイッチ素子がオフ状態であると仮定する。

【0162】

また、第一初期化期間 T_{22} では、第二スイッチ素子 T_{r2} をスイッチとして動作させ、第二初期化期間 T_{23} では、第二スイッチ素子 T_{r2} を抵抗部として動作させる。信号線 $Scan$ 、信号線 Ref および信号線 $Enable$ 各々のHレベルの電圧は、スイッチ素子各々の特性に応じて、第一スイッチ素子 T_{r1} 、第三スイッチ素子 T_{r3} および第四スイッチ素子 T_{r4} 各々をスイッチとしてみなして良いほど、十分低抵抗で動作させることができる電圧に設定される。

【0163】

(期間 T_{21} : 第一期間)

図17に示す時刻 t_0 ~時刻 t_1 の期間 T_{21} は、ノード N_2 の電圧を安定させるための期間である。

【0164】

具体的には、期間 T_{21} の開始時に、制御部20は、第二スイッチ素子 T_{r2} を導通状態に、他のスイッチ素子を非導通状態に設定する第一ステップを実行する。これにより、期間 T_{21} では、ノード N_2 の電圧を電源線 V_{INI} の電圧に安定させる。

【0165】

走査線駆動回路13は、信号線 $Scan$ 、信号線 Ref および信号線 $Enable$ の電圧をLレベルのまま維持することで、第一スイッチ素子 T_{r1} 、第三スイッチ素子 T_{r3} および第四スイッチ素子 T_{r4} をオフ状態に維持する。

【0166】

また、走査線駆動回路13は、期間 T_{21} の開始時に、信号線 $Init$ の電圧をLレベルからHレベルに設定することにより、第二スイッチ素子 T_{r2} をオフ状態からオン状態に遷移させる。

【0167】

期間 T_{21} を設けることにより、短期間にノード N_2 の電圧を電源線 V_{INI} の電圧に設定することができる。また、容量素子 C_s により、ノード N_1 の電圧も、(電源線 V_I

10

20

30

40

50

N I の電圧 + 前フレームでの発光時の駆動トランジスタ T r d のゲートソース間電圧 V g s) に低下する。

【 0 1 6 8 】

この期間 T 2 1 を設ける理由は次の通りである。有機 E L パネル 1 1 のサイズあるいは 1 画素あたり (表示画素 P X) のサイズが大きい場合に、有機 E L 素子 O E L の容量 C o l l e d が大きくなり、電源線 V I N I の配線時定数が大きくなる。このため、有機 E L パネル 1 1 のサイズあるいは 1 画素あたりのサイズが大きいほど、ノード N 2 の電圧を電源線 V I N I の電圧にすることに時間を要する。そのため、第二スイッチ素子 T r 2 を導通状態にしてノード N 2 に電源線 V I N I の電圧を印加する期間 T 2 1 を設けることにより、より短期間でノード N 2 の電圧を電源線 V I N I の電圧に設定することができる。言い換えると、期間 T 2 1 を設けることにより、より短期間で有機 E L 素子 O E L および電源線 V I N I の配線容量に電源線 V I N I の電圧を書き込むことができる。

10

【 0 1 6 9 】

なお、電源線 V R E F の電圧をノード N 1 に印加することにも同様に時間を要する。しかし、電源線 V R E F の電圧を充放電する対象は、容量素子 C s および電源線 V R E F の配線容量である。ここで、電源線 V R E F の配線時定数と電源線 V I N I の配線時定数とはほぼ同等である。しかし、有機 E L 素子 O E L の容量 > 容量素子 C s の容量であり、容量素子 C s に対する有機 E L 素子 O E L の容量比 (有機 E L 素子 O E L / 容量素子 C s) は、1 . 3 ~ 9 倍である。つまり、容量素子 C s を充電するのにかかる時間よりも、有機 E L 素子 O E L を充電するのにかかる時間の方が長い。言い換えると、ノード N 1 の電圧を電源線 V R E F の電圧にするのにかかる時間よりも、ノード N 2 の電圧を電源線 V I N I の電圧にするのにかかる時間の方が長い。さらに言い換えると、容量素子 C s に電源線 V R E F の電圧を書き込むのにかかる時間よりも、有機 E L 素子 O E L に電源線 V I N I の電圧を書き込むのにかかる時間の方が長い。

20

【 0 1 7 0 】

また、期間 T 2 1 を設けることにより、ノード N 2 の電圧が電源線 V I N I の電圧に設定されるので、電源線 V R E F の負荷を軽くすることができるという利点がある。つまり、期間 T 2 1 を設けることで、ノード N 1 の電圧を低い電圧に設定することができ、電源線 V R E F は表示画素 P X に充電するための電流 (電圧) を供給するのみでよくなる。換言すると、期間 T 2 1 では、電源線 V R E F の電圧が有機 E L 素子 O E L を充電するための電圧として用いられないため、電源線 V R E F の負荷が軽くなるという利点がある。

30

【 0 1 7 1 】

(期間 T 2 2 : 第一初期化期間)

図 1 7 に示す時刻 t 1 ~ 時刻 t 2 の期間 T 2 2 は、駆動トランジスタ T r d の閾値電圧補償を行うためにドレイン電流を流すのに必要な電圧を駆動トランジスタ T r d のゲートソース間に印加する第一初期化期間である。

【 0 1 7 2 】

言い換えると、第一初期化期間は、制御部 2 0 が、駆動トランジスタ T r d のドレイン電極に対して有機 E L 素子 O E L を駆動するための駆動電圧の印加を停止させた状態で、容量素子 C s の第一電極に対して参照電圧を印加し、第二スイッチ素子 T r 2 を導通状態に設定することにより、容量素子 C s の第二電極に対して初期化電圧を印加する第一初期化ステップを実行する期間である。

40

【 0 1 7 3 】

図 1 8 は、第一初期化期間における表示画素 P X の状態を示す回路図である。

【 0 1 7 4 】

具体的には、期間 T 2 2 では、図 1 7 および図 1 8 に示すように、第二スイッチ素子 T r 2 および第三スイッチ素子 T r 3 は導通状態に、第一スイッチ素子 T r 1 および第四スイッチ素子 T r 4 を非導通状態に設定される。

【 0 1 7 5 】

走査線駆動回路 1 3 は、信号線 S c a n および信号線 E n a b l e の電圧を L レベルの

50

まま維持することで、第一スイッチ素子 T_{r1} および第四スイッチ素子 T_{r4} をオフ状態に維持する。さらに、走査線駆動回路 13 は、信号線 $Init$ の電圧を H レベルのまま維持することで、第二スイッチ素子 T_{r2} をオン状態に維持する。

【0176】

また、走査線駆動回路 13 は、期間 T_{22} の開始時に、信号線 Ref の電圧を L レベルから H レベルに遷移させることにより、第三スイッチ素子 T_{r3} をオフ状態からオン状態に遷移させる。ここで、第二スイッチ素子 T_{r2} に流れる電流は、容量素子 C_s を充放電するために必要な電流のみであり、容量素子 C_s の充放電が収束する時点では、ほぼ電流はゼロであるので、第二スイッチ素子 T_{r2} のオン抵抗はほぼ無視することが出来る。つまり、第二スイッチ素子 T_{r2} は、スイッチとして動作する。

10

【0177】

これにより、ノード $N1$ の電圧が電源線 V_{REF} の電圧に設定される。ここで、第二スイッチ素子 T_{r2} が導通状態であるから、ノード $N2$ の電圧は電源線 V_{INI} の電圧に設定されている。すなわち、駆動トランジスタ T_{rd} は、ゲート電極に電源線 V_{REF} の電圧が印加され、ソース電極に電源線 V_{INI} の電圧が印加される。

【0178】

第一初期化期間は、例えば、ノード $N1$ の充放電を十分に行うことができる長さに設定する。

【0179】

ここで、第一初期化期間の設定の一例として、40 型 4K2K ディスプレイの場合について説明する。なお、当該第一初期化期間の設定は一例であり、同型のディスプレイであっても、下記に示す条件の何れかが異なる場合は、第一初期化期間も異なる結果になる。

20

【0180】

40 型 4K2K ディスプレイの設計値として、 $V_{thMargin} = 2.5V$ 、 $V_{thMax} = 2V$ 、 $V_{thMin} = 0V$ 、 $V_{gs_Peak} = 6.5V$ 、 $I_{d_Peak} = 4.5\mu A$ 、 $C_s = 0.5pF$ 、 $C_{oled} = 2.5pF$ 、 $R_{on_Sw} = 0.6M\Omega$ 、 $R_{on_Drv} = 1M\Omega$ の場合を考える。 C_s は表示画素 PX の容量素子の容量値である。 C_{oled} は、有機 EL 素子 OEL の容量である。 R_{on_Sw} は、第二スイッチ素子 T_{r2} のオン抵抗である。 R_{on_Drv} は、駆動トランジスタ T_{rd} のオン抵抗である。なお簡略化のため、以下ではトランジスタや表示画素内の配線交差部に付随する細かな寄生容量は省略する。

30

【0181】

第一初期化期間は、ノード $N1$ の表示画素 PX 内の充放電時間と、電源線 V_{REF} の CR 負荷の充放電に必要な時間とを加算した値となる。

【0182】

(1) ノード $N1$ の表示画素 PX 内の充放電時間について説明する。ここで、ノード $N1$ を初期化する際の表示画素 PX の CR 時定数であって、ノード $N1$ を 99.9% 充放電するために必要な時定数は、 6.9τ とする。そうすると、表示画素 PX 内の充放電時間は、 CR 係数 $\times C_s \times R_{on_Sw} = 6.9 \times 0.5pF \times 0.6M\Omega = 2.1\mu s$ となる。

40

【0183】

(2) 電源線 V_{REF} の CR 負荷の充放電に必要な時間について説明する。ここで、電源線 V_{REF} の抵抗 = $3K\Omega$ (シート抵抗 $0.1\Omega/\square$)、配線負荷 = $500pF$ とすると、電源線 V_{REF} の CR 時定数は、 $3K\Omega \times 500pF = 1.5\mu s$ となる。従って、電源線 V_{REF} の CR 負荷の充放電に必要な時間は、 $1.5\mu s \times 6.9\tau = 10.4\mu s$ となる。

【0184】

以上より、第一初期化期間は、 $2.1\mu s + 10.4\mu s = 12.5\mu s$ となる。

【0185】

50

また、上述したように、第一初期化期間では、駆動トランジスタ T_{rd} のゲートソース間電圧 V_{gs} は、閾値補正動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定される。そのため、電源線 V_{REF} の電圧と電源線 V_{INI} の電圧の電圧差は駆動トランジスタ T_{rd} の最大閾値電圧 V_{thMax} よりも大きな電圧に設定される。具体的には、駆動トランジスタ T_{rd} の最大閾値電圧 V_{thMax} に、閾値電圧補償において必要な電圧マージン $V_{thMargin}$ を足した値に設定される。また、電源線 V_{REF} の電圧および電源線 V_{INI} の電圧は、有機 EL 素子 OEL に電流が流れないように、電源線 V_{INI} の電圧 $<$ 電源線 V_{EL} の電圧 $+ 有機EL素子OELの順方向電流閾値電圧$ 、および、電源線 V_{REF} の電圧 $<$ 電源線 V_{EL} の電圧 $+ 有機EL素子OELの順方向電流閾値電圧 + 駆動トランジスタ T_{rd} の最小閾値電圧 V_{thMin} 、となるように設定される。$

10

【0186】

(期間 T_{23} : 第二初期化期間)

図17に示す時刻 $t_2 \sim$ 時刻 t_3 の期間 T_{23} は、閾値電圧補償を行うために必要な時間のばらつきを低減するために、駆動トランジスタ T_{rd} のソース電極の電圧を補正する第二初期化期間である。

【0187】

言い換えると、第二初期化期間は、制御部20が、第一初期化ステップの実行後に、容量素子 C_s の第一電極に対する参照電圧の印加を維持し、かつ、第二スイッチ素子 Tr_2 を導通状態に維持した状態で、駆動トランジスタ T_{rd} のドレイン電極に対する駆動電圧の印加を開始する第二初期化ステップを実行する期間である。

20

【0188】

図19は、第二初期化期間における表示画素 P_X の状態を示す回路図である。

【0189】

具体的には、期間 T_{23} では、図17および図19に示すように、第二スイッチ素子 Tr_2 、第三スイッチ素子 Tr_3 および第四スイッチ素子 Tr_4 は導通状態に、第一スイッチ素子 Tr_1 は非導通状態に設定される。

【0190】

走査線駆動回路13は、信号線 S_{can} の電圧を L レベルのまま維持することで、第一スイッチ素子 Tr_1 をオフ状態に維持する。さらに、走査線駆動回路13は、信号線 $Init$ および信号線 Ref およびの電圧を H レベルのまま維持することで、第二スイッチ素子 Tr_2 および第三スイッチ素子 Tr_3 をオン状態に維持する。

30

【0191】

また、走査線駆動回路13は、期間 T_{23} の開始時に、信号線 $Enable$ の電圧を L レベルから H レベルに遷移させることにより、第四スイッチ素子 Tr_4 をオフ状態からオン状態に遷移させる。

【0192】

このとき、図19に示すように、電源線 V_{TFT} から、第四スイッチ素子 Tr_4 、駆動トランジスタ T_{rd} および第二スイッチ素子 Tr_2 を介して、電源線 V_{INI} まで貫通電流が流れる。第二スイッチ素子 Tr_2 の導通期間中は貫通電流が流れ続けるので、駆動トランジスタ T_{rd} のソース電極に印可される電圧は、第二スイッチ素子のオン抵抗の影響を受ける。つまり、第二スイッチ素子 Tr_2 は、抵抗部として動作する。このため、第二初期化期間の終了時における駆動トランジスタ T_{rd} のソース電極の電圧は、 $V_{TFT} - (V_{INI} + R_{on} \times I_d)$ となる。

40

【0193】

ここで、上述したように、貫通電流 I_d は、駆動トランジスタ T_{rd} の閾値電圧 V_{th} が大きいほど小さくなり、閾値電圧 V_{th} が小さいほど大きくなる。つまり、閾値電圧 V_{th} が大きいほど、 $R_{on} \times I_d$ (抵抗部における電圧降下量) が小さくなり、初期化期間終了時およびその後続く閾値電圧補償期間の開始時における駆動トランジスタ T_{rd} のソース電極の電圧は小さくなる。

【0194】

50

図 20 は、第二初期化期間および閾値電圧補償期間における駆動トランジスタのソース電極の電圧の変化を示すグラフである。図 20 は、図 17 の破線により囲んだ部分に対応するグラフである。

【0195】

図 20 に示すように、第二初期化期間 T_{23} における駆動トランジスタ T_{rd} のソース電極の電圧の上昇量 ($\Delta V_1 \sim \Delta V_3$) は、閾値電圧 V_{th} の値が小さいほど ($V_{th1} < V_{th2} < V_{th3}$)、大きくなっている ($\Delta V_1 > \Delta V_2 > \Delta V_3$)。

【0196】

第二初期化期間は、ノード N_2 を、一定の電圧分、充放電できる長さであればよい。なお、ノード N_2 を一定の電圧分、充放電できる長さは、閾値電圧 V_{th} の値によって異なる。

10

【0197】

例えば、閾値電圧補償期間の開始前の駆動トランジスタ T_{rd} のゲート電極およびソース電極間の電圧 $V_{gs} = V_{REF} - V_{INI} = 6.5V$ とする。閾値電圧 V_{th} が $V_{thMin} = 0V$ となる場合、閾値電圧補償期間の開始時における駆動トランジスタ T_{rd} の V_{gs} は、 $V_{thMin} + V_{thMargin} = 2.5V$ になればよい。この場合、ノード N_2 から $6.5 - 2.5 = 4.0V$ 分の電荷が放電できればよい。なお、閾値電圧補償期間中に、駆動トランジスタ T_{rd} の V_{gs} が $2.5V$ から $0V$ になるように、徐々に電荷が放電される。

【0198】

20

一方、閾値電圧 V_{th} が $V_{thMax} = 2V$ の場合、閾値電圧補償期間の開始時における駆動トランジスタ T_{rd} の V_{gs} は、 $V_{thMax} + V_{thMargin} = 4.5V$ になればよい。この場合、ノード N_2 から $6.5 - 4.5 = 2.0V$ 分の電荷が放電できればよい。なお、閾値電圧補償期間中に、駆動トランジスタ T_{rd} の V_{gs} が $4.5V$ から $2V$ になるように、徐々に電荷が放電される。この場合における閾値電圧補償期間の駆動トランジスタ T_{rd} の放電量は、閾値電圧 V_{th} が V_{thMin} の場合とほぼ同じになる。つまり、閾値電圧 V_{th} が V_{thMin} となる場合と V_{thMax} となる場合とで、閾値電圧補償にかかる動作が収束する時間がほぼ同じになる。

【0199】

30

第二初期化期間は、ワーストケース（閾値電圧 V_{th} が V_{thMin} の場合）において、ノード N_2 を一定の電圧分、充放電できる長さを考えればよい。また、第二初期化期間は、ノード N_2 の表示画素 PX 内の充放電時間と、電源線 V_{INI} の CR 負荷の充放電に必要な時間とを加算した値となる。よって、ノード N_2 の CR 時定数は、 $4V / 6.5V = 62\%$ の充放電にかかる時間 ($= 0.96 \tau$) となる。

【0200】

(1) ノード N_2 の表示画素 PX 内の充放電時間について説明する。表示画素 PX 内の充放電時間は、 CR 時定数 $\times (C_s + C_{oled}) \times R_{on_Drv} = 0.96 \times (0.5 pF + 2.5 pF) \times 1 M\Omega = 2.88 \mu sec$ となる。なお、 C_s 、 C_{oled} および R_{on_Drv} の値は、第一初期化期間の場合と同じである。

【0201】

40

(2) 電源線 V_{INI} の CR 負荷の充放電に必要な時間について説明する。ここで、電源線 V_{INI} の CR 時定数は、電源線 V_{REF} の CR 時定数とほぼ同じであると仮定する。そうすると、電源線 V_{INI} の CR 負荷の充放電に必要な時間は、 $1.5 \mu sec \times 0.96 \tau = 1.44 \mu sec$ となる。

【0202】

以上より、第二初期化期間は、 $2.88 \mu sec + 1.44 \mu sec = 4.32 \mu sec$ となる。第一初期化期間は、上述したように、 $12.5 \mu sec$ であるので、第二初期化期間は、第一初期化期間よりも短い。

【0203】

(期間 T_{24} : 閾値電圧補償期間)

50

図 17 に示す時刻 t_3 ~ 時刻 t_4 の期間 T_{24} は、駆動トランジスタ T_{rd} の閾値電圧を補償する閾値電圧補償期間である。

【0204】

当該閾値電圧補償期間では、制御部 20 により、第二初期化ステップの実行後に、容量素子 C_s の第一電極に対する参照電圧の印加を維持し、かつ、駆動トランジスタ T_{rd} のドレイン電極に対する駆動電圧の印加を維持した状態で、第二スイッチ素子を非導通状態にするステップが実行される。

【0205】

具体的には、期間 T_{24} では、図 17 に示すように、第三スイッチ素子 T_{r3} および第四スイッチ素子 T_{r4} は導通状態に、第一スイッチ素子 T_{r1} および第二スイッチ素子 T_{r2} は非導通状態に設定される。

10

【0206】

走査線駆動回路 13 は、信号線 S_{can} の電圧を L レベルのまま維持することで、第一スイッチ素子 T_{r1} をオフ状態に維持する。さらに、走査線駆動回路 13 は、信号線 R_{ef} および信号線 E_{nable} の電圧を H レベルのまま維持することで、第三スイッチ素子 T_{r3} および第四スイッチ素子 T_{r4} をオン状態に維持する。

【0207】

また、走査線駆動回路 13 は、期間 T_{24} の開始時に、信号線 I_{nit} の電圧を H レベルから L レベルに遷移させることにより、第二スイッチ素子 T_{r2} をオン状態からオフ状態に遷移させる。

20

【0208】

このように、駆動トランジスタ T_{rd} のゲート電極に電源線 V_{REF} の電圧を入力し、第四スイッチ素子 T_{r4} を導通状態（オン状態）にした状態で、第二スイッチ素子 T_{r2} を非導通状態（オフ状態）にすると、駆動トランジスタ T_{rd} の閾値補償動作を開始することができる。

【0209】

例えば、図 20 に示すように、閾値電圧 V_{th1} の場合、第二初期化期間 T_{23} の終了時における駆動トランジスタ T_{rd} のソース電極の電圧は、電源線 $V_{REF} - V_{th1}$ である。このため、閾値電圧補償において、駆動トランジスタ T_{rd} のソース電極の電圧は、第一初期化期間のみを設ける場合には、 ΔV_{1b} 上昇させる必要があるが、第二初期化期間を設けた場合には、 ΔV_{1b} よりも小さい ΔV_{1a} だけ上昇させればよい。言い換えると、第二初期化期間 T_{23} における電圧の上昇分、閾値電圧補償期間における電圧の上昇量を小さく抑えることができる。閾値電圧 V_{th1} の場合、閾値電圧補償における電圧の上昇量は、比較例と比べて本実施の形態では、 ΔV_{1} 分小さくなる。

30

【0210】

閾値電圧 V_{th2} あるいは V_{th3} の場合についても、閾値電圧補償における電圧の上昇量は、 ΔV_2 あるいは ΔV_3 分小さくなる。

【0211】

また、本実施の形態の第二初期化期間 T_{23} では、上述したように、駆動トランジスタ T_{rd} のソース電極の電圧の上昇量（ $\Delta V_1 \sim \Delta V_3$ ）は、閾値電圧 V_{th} の値が小さいほど（ $V_{th1} < V_{th2} < V_{th3}$ ）、大きくなっている（ $\Delta V_1 > \Delta V_2 > \Delta V_3$ ）。図 3 および図 20 のグラフを比較すると、閾値電圧補償にかかる期間のばらつき（ $T_{th1} - T_{th3} = \Delta T_{th}$ ）は、比較例の ΔT_{th} よりも、本実施の形態の ΔT_{th} の方が短くなっていることがわかる。つまり、本実施の形態の場合、図 3 および図 20 より、閾値電圧補償にかかる期間のばらつきが低減されていることが分かる。

40

【0212】

（期間 T_{25} ：第三期間）

図 17 に示す時刻 t_4 ~ 時刻 t_5 の期間 T_{25} は、閾値補償動作を終了させるための期間である。

【0213】

50

具体的には、期間 T 2 5 では、図 1 7 に示すように、第一スイッチ素子 T r 1、第二スイッチ素子 T r 2 および第三スイッチ素子 T r 3 は導通状態に、第四スイッチ素子 T r 4 は非導通状態に設定される。制御部 2 0 は、期間 T 2 5 の開始時に、第四スイッチ素子 T r 4 を導通状態から非導通状態にする第三ステップを実行する。

【 0 2 1 4 】

走査線駆動回路 1 3 は、信号線 S c a n および信号線 I n i t の電圧を L レベルのまま維持することで、第一スイッチ素子 T r 1 および第二スイッチ素子 T r 2 をオフ状態に維持する。さらに、走査線駆動回路 1 3 は、信号線 R e f の電圧を H レベルのまま維持することで、第三スイッチ素子 T r 3 をオン状態に維持する。

【 0 2 1 5 】

また、走査線駆動回路 1 3 は、期間 T 2 5 の開始時に、信号線 E n a b l e の電圧を H レベルから L レベルに遷移させることにより、第四スイッチ素子 T r 4 をオン状態からオフ状態に遷移させる。

【 0 2 1 6 】

このようにして、閾値電圧補償期間の後に信号線 E n a b l e の動作により第四スイッチ素子 T r 4 を非導通状態とする期間 T 2 5 を設けることにより、駆動トランジスタ T r d 経由で、有機 E L 素子 O E L のアノード電極に接続された電源線 V E L からノード N 2 への電流の供給をなくすことができ、閾値補償動作を確実に終了させてから次の動作を行うことができる。

【 0 2 1 7 】

(期間 T 2 6 : 第四期間)

図 1 7 に示す時刻 t 5 ~ 時刻 t 6 の期間 T 2 6 は、第三スイッチ素子 T r 3 を非導通状態 (オフ状態) にすることで、信号線 D a t a を介して供給されるデータ信号の電圧と電源線 V R E F の電圧とが同時にノード N 1 に印加されるのを防止する期間である。

【 0 2 1 8 】

具体的には、期間 T 2 6 では、図 1 7 に示すように、第一スイッチ素子 T r 1 ~ 第四スイッチ素子 T r 4 が非導通状態に設定される。制御部 2 0 は、期間 T 2 6 の開始時に、第三スイッチ素子 T r 3 を導通状態から非導通状態にする第四ステップを実行する。

【 0 2 1 9 】

走査線駆動回路 1 3 は、信号線 S c a n、信号線 I n i t および信号線 E n a b l e の電圧を L レベルのまま維持することで、第一スイッチ素子 T r 1、第二スイッチ素子 T r 2 および第四スイッチ素子 T r 4 をオフ状態に維持する。さらに、走査線駆動回路 1 3 は、期間 T 2 6 の開始時に、信号線 R e f の電圧を H レベルから L レベルに遷移させることにより、第三スイッチ素子 T r 3 をオン状態からオフ状態に遷移させる。

【 0 2 2 0 】

このように、信号線 R e f の動作により第三スイッチ素子 T r 3 をさらに非導通状態とし、第一スイッチ素子 T r 1 および第三スイッチ素子 T r 3 が同時に非導通状態 (オフ状態) となる期間 T 2 6 を設けることで、信号線 D a t a を介して第一スイッチ素子 T r 1 から供給されるデータ信号の電圧と、電源線 V R E F の電圧とがノード N 1 に同時に印加されるのを防止することができる。

【 0 2 2 1 】

なお、第三スイッチ素子 T r 3 と第四スイッチ素子 T r 4 とを同時に非導通状態 (オフ状態) にし、期間 T 2 5 および期間 T 2 6 を一つにまとめてもよい。

【 0 2 2 2 】

期間 T 2 5 および期間 T 2 6 と 2 段階にわける場合には、以下に説明する利点がある。すなわち、期間 T 2 5 および期間 T 2 6 を設けることで、駆動トランジスタ T r d のゲート電圧であるノード N 1 の電圧が不定となる期間をなるべく短くし、不定期間中で発生する恐れのある電圧変動を抑え、映像信号に基づいた表示がより正確にできる。

【 0 2 2 3 】

また、階調表示は期間 T 2 6 の最後 (時刻 t 6) のノード N 1 の電圧と、信号線 D a t

10

20

30

40

50

aを介して入力されるデータ信号の電圧（映像信号に応じた電圧）の書き込み完了時（時刻 t_{27} ）のノードN1の電圧との電圧差によって行われる。このため、期間 T_{26} におけるノードN1の電圧変動は少ないほうが好ましい。理想的には、期間 T_{24} においてノードN1に電源線VREFの電圧が印加され、期間 T_{25} においてはノードN1の電圧が保持されることから、電圧差（データ信号の電圧 - 電源線VREFの電圧）に基づいて有機EL素子OELの表示輝度が決まる。

【0224】

なお、データ信号の電圧 - 電源線VREFの電圧を正確に反映させるには、期間 T_{26} はなるべく短い方がよい。

【0225】

また、信号線Enableに接続される第四スイッチ素子Tr4は、図4に示すように、駆動トランジスタTrdのドレイン側に接続されている。第四スイッチ素子Tr4をn型トランジスタで形成した場合、第四スイッチ素子Tr4のオン抵抗は高くなりやすく、オン抵抗による電圧ドロップは、有機ELパネル11の消費電力に影響する。そのため、できる限り第四スイッチ素子Tr4のオン抵抗を下げて形成する。第四スイッチ素子Tr4のオン抵抗を下げる方法としては、一般的に、第四スイッチ素子Tr4のチャネルサイズを大きくする方法、あるいは、信号線EnableのHレベルの電圧（オン状態制御電圧）を高く設定する方法が知られているが、いずれの方法であっても信号線Enableの立下り時間を長くする方向となってしまう。

【0226】

そこで、本実施の形態では、信号線Refに対して先に信号線Enableを立ち下げる期間 T_{25} を設けることにより、ノードN1の電圧が不安定となる期間を短くすることができる、つまり、立下り時間を短くすることができる。

【0227】

（期間 T_{27} ：書込期間）

図17に示す時刻 t_6 ～時刻 t_7 の期間 T_{27} は、信号線Dataから映像信号に含まれる階調値に応じた電圧値を有するデータ信号の電圧を、第一スイッチ素子Tr1を介して容量素子Csに書き込む書込期間である。

【0228】

具体的には、期間 T_{27} では、図17に示すように、第一スイッチ素子Tr1が導通状態に、第二スイッチ素子Tr2、第三スイッチ素子Tr3および第四スイッチ素子Tr4が非導通状態に設定される。

【0229】

走査線駆動回路13は、信号線Init、信号線Refおよび信号線Enableの電圧をLレベルのまま維持することで、第二スイッチ素子Tr2、第三スイッチ素子Tr3および第四スイッチ素子Tr4をオフ状態に維持する。さらに、走査線駆動回路13は、期間 T_{27} の開始時に、信号線Scanの電圧をLレベルからHレベルに遷移させることにより、第一スイッチ素子Tr1をオフ状態からオン状態に遷移させる。

【0230】

これにより、容量素子Csには、閾値電圧補償期間で記憶された駆動トランジスタTrdの閾値電圧 V_{th} に加えて、データ信号の電圧と電源線VREFの電圧との電圧差が、（有機EL素子OELの容量）/（有機EL素子OELの容量 + 容量素子Csの容量）倍されて、記憶（保持）される。ここで、第四スイッチ素子Tr4が非導通状態にあるため、駆動トランジスタTrdはドレイン電流を流さない。そのため、ノードN2の電圧は期間 T_{27} の間で大きく変化することはない。

【0231】

大画面化（有機ELパネル11のサイズが大きくなる）、かつ、表示画素PXの数が増加するのに伴い、表示画素PXにデータ信号を書き込むための期間（水平走査期間）が短くなる。大画面化に伴い信号線Scanの配線時定数も増加する。水平走査期間の短縮および信号線Scanの配線時定数の増加により、従来の有機ELパネル11に比べ、所望

10

20

30

40

50

の階調値に対応する電圧を表示画素 P X に書き込むことが難しくなる。

【0232】

そこで、本実施の形態では、図3に示すように、限られた時間で映像信号（データ信号電圧）を取り込むために、第一スイッチ素子 T r 1 を導通状態にさせる時間（期間 T 2 7）を増加させている。また、本実施の形態では、信号線 S c a n の波形なまりがあっても、データ信号の電圧が信号線 D a t a に入力される前に信号線 S c a n が立ち上がりを完了させて、第一スイッチ素子 T r 1 が導通状態（オン状態）となるようにしている。これは期間 T 2 7 でのノード N 2 電圧変動が大きく発生しないためである。

【0233】

これにより、信号線 S c a n の負荷（配線時定数）が大きく、立ち上がりに時間がかかるような大画面、高画素数の有機 E L パネル 1 1 であっても確実に書き込むことができる。

10

【0234】

なお、このように駆動させることから、信号線 S c a n の配線幅をより細くすることもできる。その場合、配線幅を細くした分を容量素子 C s の大きさ（容量）を拡大することに用いて、表示性能を上げるとしてもよい。

【0235】

表示性能は、容量素子 C s が小さいと、駆動トランジスタ T r d のドレインゲート間寄生容量と容量素子 C s と有機 E L 素子 O E L の容量が直列になっている関係から、電源線 V E L の変動により、容量素子 C s に書き込まれている電荷量に変化するという問題が顕著となる。そのため、表示性能は、寄生容量と蓄積容量の比率が重要であり、蓄積容量 / 寄生容量 > 1 となることが好ましい。

20

【0236】

このように、期間 T 2 7（書込期間）では、データ信号の電圧および駆動トランジスタ T r d の閾値電圧に応じた電圧が容量素子 C s に記憶（保持）される。

【0237】

（期間 T 2 8）

図17に示す時刻 t 7 ~ 時刻 t 8 の期間 T 2 8 は、第一スイッチ素子 T r 1 を確実に非導通にさせるための期間である。

【0238】

具体的には、期間 T 2 8 では、図17に示すように、第一スイッチ素子 T r 1 ~ 第四スイッチ素子 T r 4 が非導通状態に設定される。

30

【0239】

走査線駆動回路 1 3 は、信号線 I n i t、信号線 R e f および信号線 E n a b l e の電圧を L レベルのまま維持することで、第二スイッチ素子 T r 2、第三スイッチ素子 T r 3 および第四スイッチ素子 T r 4 をオフ状態に維持する。さらに、走査線駆動回路 1 3 は、期間 T 2 8 の開始時に、信号線 S c a n の電圧を H レベルから L レベルに遷移させることにより、第一スイッチ素子 T r 1 をオン状態からオフ状態に遷移させる。

【0240】

これにより、続く期間 T 2 9（発光期間）において第四スイッチ素子 T r 4 が導通状態（オン状態）になる前に第一スイッチ素子 T r 1 を確実に非導通状態（オフ状態）にすることができる。

40

【0241】

期間 T 2 8 を設けず、第一スイッチ素子 T r 1 と第四スイッチ素子 T r 4 とが同時に導通状態（オン状態）になってしまった場合、駆動トランジスタ T r d のドレイン電流により、ノード N 2 の電圧が上昇する一方で、ノード N 1 の電圧はデータ信号の電圧となる。そうすると、駆動トランジスタ T r d のソースゲート間電圧が小さくなってしまう。この場合には、所望の輝度に比べて少ない輝度で発光してしまうという問題がある。これを防止するため、本実施の形態では、期間 T 2 8 を設けて第一スイッチ素子 T r 1 が非導通状態であることを確保してから、続く期間 T 2 9 において第四スイッチ素子 T r 4 を導通状

50

態にする。

【0242】

(期間T29：発光期間)

図17に示す時刻t8～時刻t9の期間T29は、発光期間である。

【0243】

具体的には、期間T29では、図17に示すように、第四スイッチ素子Tr4が導通状態に、第一スイッチ素子Tr1、第二スイッチ素子Tr2および第三スイッチ素子Tr3が非導通状態に設定される。

【0244】

走査線駆動回路13は、信号線Scan、信号線Initおよび信号線Refの電圧をLレベルのまま維持することで、第一スイッチ素子Tr1、第二スイッチ素子Tr2および第三スイッチ素子Tr3をオフ状態に維持する。さらに、走査線駆動回路13は、期間T29の開始時に、信号線Enableの電圧をLレベルからHレベルに遷移させることにより、第四スイッチ素子Tr4をオフ状態からオン状態に遷移させる。

10

【0245】

このように、第四スイッチ素子Tr4が導通状態(オン状態)になると、駆動トランジスタTrdは、容量素子Csに蓄えられた電圧に応じた駆動電流を有機EL素子OELに供給する。これにより、有機EL素子OELを発光させることができる。

【0246】

(期間T30：第二期間)

図17に示す時刻t9～時刻t0の期間T30は、すべてのスイッチを非導通状態として、ノードN1およびノードN2の電圧を、期間T21で必要な電圧に近い電圧まで変化させるための期間である。

20

【0247】

具体的には、期間T30では、図17に示すように、第一スイッチ素子Tr1～第四スイッチ素子Tr4が非導通状態に設定される。制御部20は、期間T30の開始時に、第一スイッチ素子Tr1、第二スイッチ素子Tr2、第三スイッチ素子Tr3および第四スイッチ素子Tr4を非導通状態にする第二ステップを実行する。

【0248】

走査線駆動回路13は、信号線Scan、信号線Initおよび信号線Refの電圧をLレベルのまま維持することで、第一スイッチ素子Tr1、第二スイッチ素子Tr2および第三スイッチ素子Tr3をオフ状態に維持する。さらに、走査線駆動回路13は、期間T30の開始時に、信号線Enableの電圧をHレベルからLレベルに遷移させることにより、第四スイッチ素子Tr4をオン状態からオフ状態に遷移させる。

30

【0249】

期間T29と期間T21の間に期間T30を設けることで、電源線による電流の充放電なしに、ノードN1およびノードN2の電圧を、期間T21で必要な電圧に近い電圧まで変化させることができる。

【0250】

より具体的には、ノードN2は、期間T30において、電源線VELの電圧+有機EL素子OELの閾値電圧に収束する。また、ノードN1は、期間T30において、ノードN2の電圧+容量素子Csに記憶された電圧となる。

40

【0251】

つまり、期間T30を設けることにより、期間T21の開始時点(時刻t0)では、期間T29の終了時点(時刻t9)に比べ、ノードN1およびノードN2の電圧を有機EL素子OELの発光時電圧—閾値電圧分だけ低くできる。

【0252】

この電圧低下により、期間T21での電源線VINIの電圧と電源線VREFの電圧による充放電作業の負荷が軽くなる。

【0253】

50

以上のようなシーケンスにより、表示画素 P X は、階調表示を行う。

【 0 2 5 4 】

なお、制御部 2 0 は、有機 E L パネル 1 1 を構成する他の表示画素 P X についても、同様の制御方法を線順次に行う。

【 0 2 5 5 】

[3 . 効果等]

本実施の形態の有機 E L ディスプレイ 1 0 は、ノード N 2 から電源線 V I N I までの電流経路上に配置された抵抗部を有するので、第一初期化期間と閾値電圧補償期間との間で、駆動トランジスタ T r d のソース電極、つまり、ノード N 2 に電圧を与え、ノード N 2 の電圧を閾値電圧補償にかかる期間が短くなるように調整することができる。これにより、表示装置の高精細化等により閾値電圧補償期間が短くなった場合でも、十分な精度で閾値補償を行うことが可能になる。

10

【 0 2 5 6 】

さらに、抵抗部を備えることで、駆動トランジスタ T r d の閾値電圧 V t h が小さいほど、初期化期間中のノード N 2 の電圧の調整幅を大きくすることができる（図 2 0 参照）。このように設定することで、上述したように、閾値電圧補償にかかる期間のばらつきをおさえることができる。このため、閾値電圧補償期間の設計が容易になる。

【 0 2 5 7 】

本実施の形態では、抵抗部を設けるという簡単な構成で、製造コストを増大させることなく、閾値電圧補償期間の短縮および閾値電圧補償の精度を向上させることができる。

20

【 0 2 5 8 】

（他の実施の形態）

以上、表示装置について実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれてもよい。

【 0 2 5 9 】

（１）例えば、上記実施の形態では、第二スイッチ素子 T r 2 の W / L 比を他のスイッチ素子に比べて小さくすることで、抵抗部としての機能を実現したが、これに限るものではない。例えば、信号線 I n i t のオン電圧（スイッチ素子をオン状態にするときのゲート電極の電圧）を、他の信号線のオン電圧に比べて低くすることで、第二スイッチ素子 T r 2 のオン抵抗を大きくしても良い。この際、第一初期化期間と第二初期化期間とで、信号線 I n i t のオン電圧を変えても良い。あるいは、第二スイッチ素子 T r 2 の W / L 比は他のスイッチ素子と同じにしつつ、第二スイッチ素子 T r 2 の移動度を他のスイッチ素子よりも低くなるように、製造プロセスで調整しても良い。

30

【 0 2 6 0 】

（２）また、上記実施の形態では、第二スイッチ素子 T r 2 を抵抗部として用いたが、これに限るものではない。抵抗部は、第二スイッチ素子 T r 2 とは別個の抵抗素子を備えていても構わない。抵抗部は、例えば、スイッチ素子および抵抗素子の直列回路と、第二スイッチ素子 T r 2 とを並列に接続した構成であっても構わない。

40

【 0 2 6 1 】

図 2 1 は、抵抗部の他の一例を示す回路図である。この場合、第二スイッチ素子 T r 2 はスイッチとして動作すればよいので、オン抵抗は他のスイッチ素子と同じで良い。つまり、W / L 比は他のスイッチ素子と同じで良い。また、直列回路のスイッチ素子がトランジスタである場合は、制御部 2 0 は、当該スイッチ素子がスイッチとしてみなして良いほど、十分低抵抗で動作するように当該スイッチ素子のゲート電極の電圧を制御しても構わない。

【 0 2 6 2 】

また、図 2 2 および図 2 3 は、抵抗部の他の一例を示す回路図である。図 2 2 および図 2 3 では、第二スイッチ素子 T r 2 に抵抗素子が直接に接続されている。

50

【 0 2 6 3 】

(3) 例えば、上記実施の形態では、表示画素 P_X は、5つのトランジスタを備えていたが、3つのトランジスタ（駆動トランジスタ T_{rd} 、第一スイッチ素子 T_{r1} および第二スイッチ素子 T_{r2} ）を備える構成であっても良い。この場合、駆動トランジスタ T_{rd} のドレイン電極と電源線 $V_{TF T}$ との間の導通および非導通を切り替える第四スイッチ素子が存在しないので、第一初期化期間は存在せず、第二初期化期間のみとなる。しかしながら、駆動トランジスタ T_{rd} のソース電極の電圧を、駆動トランジスタ T_{rd} の閾値電圧 V_{th} の変動量 ΔV_{th} に応じて調整するという、本発明の本質的な効果については何ら影響を与えるものではない。本発明の効果を得るためには、容量素子の第二電極と発光素子のアノード電極との接続点から、電源線までの電流経路上に抵抗部を有すればよく、4あるいは6以上のトランジスタを備える構成であっても構わない。

10

【 0 2 6 4 】

(4) また、複数の表示画素 P_X で、抵抗部を共有しても構わない。

【 0 2 6 5 】

図 2 4 は、2つの表示画素 P_X で1つの抵抗部を共有する場合の例を示す回路図である。図 2 4 では、表示画素 $P_X 1$ の第二スイッチ素子 T_{r2} の一端と、表示画素 $P_X 2$ の第二スイッチ素子 T_{r2} の一端とが、スイッチ素子 T_{rB} の一端に接続されている。図 2 4 に示す変形例では、表示画素 $P_X 1$ および $P_X 2$ の第二スイッチ素子 T_{r2} をスイッチとして動作させ、スイッチ素子 T_{rB} を抵抗部として動作させる。具体的には、第二スイッチ素子 T_{r2} は、第一スイッチ素子 T_{r1} と同じオン抵抗および同じ W/L 比となるようにし、スイッチ素子 T_{rB} は、第一スイッチ素子 T_{r1} および第二スイッチ素子 T_{r2} よりも高いオン抵抗となるように、 W/L 比を小さくする。

20

【 0 2 6 6 】

ここで、第二初期化期間中にスイッチ素子 T_{rB} に流れる貫通電流は、1サブ画素毎に抵抗部を設けた場合に対して約2倍となる。従って、初期化期間における駆動トランジスタのソース電極の電圧は、 $V_{TF T} - (V_{INI} + R_{on} \times 2 \times I_d)$ となり、上記実施の形態に対して閾値電圧補償期間の開始時における駆動トランジスタのソース電極の電圧変動量は、約2倍となる。言い換えると、目標とする $\partial V_{gs} / \partial V_{th}$ を実現するための R_{on} 抵抗が、上記実施の形態に比べて約 $1/2$ となり、抵抗部の面積そのものを半分に縮小することができる。つまり、2つの表示画素 P_X で1つの抵抗部を共有する場合、上記の実施の形態に比べて、1サブ画素あたりのレイアウトサイズの増加量を約 $1/4$ に抑えることができる。

30

【 0 2 6 7 】

これによって、抵抗部を複数画素で共有することで、1サブ画素あたりのレイアウトサイズの増加量を抑制するだけでなく、抵抗部自体の面積も縮小できるので、より高精細なパネルを設計することが可能となる。

【 0 2 6 8 】

(5) また、上記実施の形態では、第一初期化期間および第二初期化期間において、第二スイッチ素子 T_{r2} のゲート電極に印加される電圧が同じ値である場合を例に説明したが、これに限るものではない。

40

【 0 2 6 9 】

図 2 5 は、有機 EL ディスプレイ 10 の信号波形の他の一例を示す回路図である。図 2 5 に示す例では、第一初期化期間では、スイッチとしてできるだけ低抵抗で動作させるため、他のスイッチ素子のゲート電極と同じレベルの電圧がゲート電極に印加されている。これにより、第二スイッチ素子 T_{r2} のオン抵抗が第二初期化期間に比べて大きくなっている。これに対し、第二初期化期間では、抵抗として動作させるため、第一初期化期間よりも小さい電圧が第二スイッチ素子 T_{r2} のゲート電極に印加されている。第二スイッチ素子 T_{r2} のオン抵抗が第一初期化期間に比べて小さくなっている。

【 産業上の利用可能性 】

【 0 2 7 0 】

50

本発明は、有機ＥＬディスプレイ等の表示装置に利用可能である。

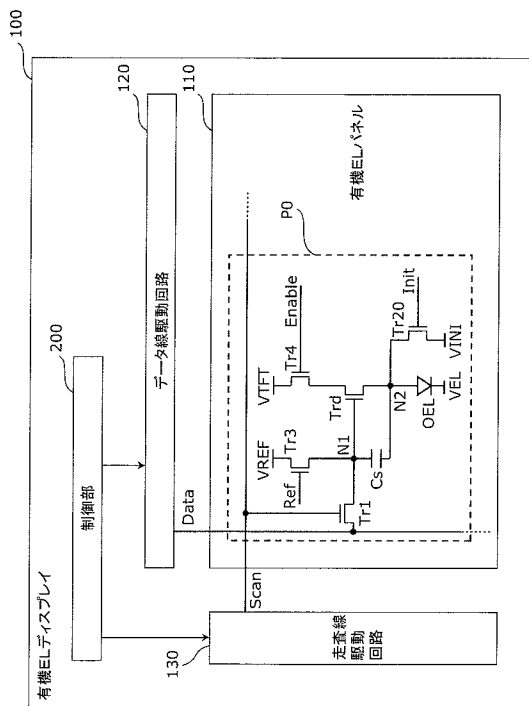
【符号の説明】

【 0 2 7 1 】

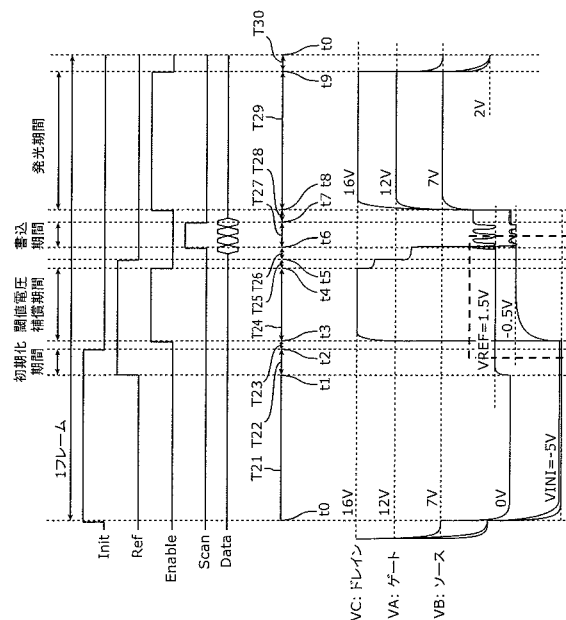
1 0、1 0 0	有機 E L ディスプレイ
1 1、1 1 0	有機 E L パネル
1 2、1 2 0	データ線駆動回路
1 3、1 3 0	走査線駆動回路
2 0、2 0 0	制御部
C s	容量素子
N 1、N 2	ノード
O E L	有機 E L 素子
P 0、P X、P X 1、P X 2	表示画素
T r 1	第一スイッチ素子
T r 2、T r 2 0	第二スイッチ素子
T r 3	第三スイッチ素子
T r 4	第四スイッチ素子
T r d	駆動トランジスタ
V T F T、V I N I、V R E F、V E L	

10

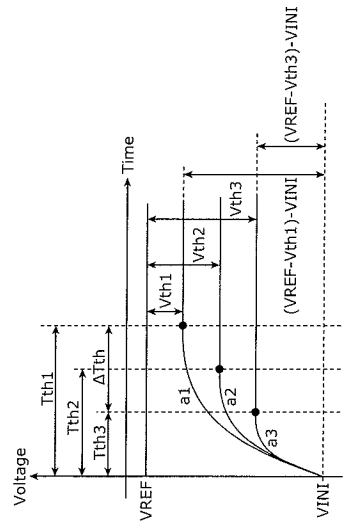
【 図 1 】



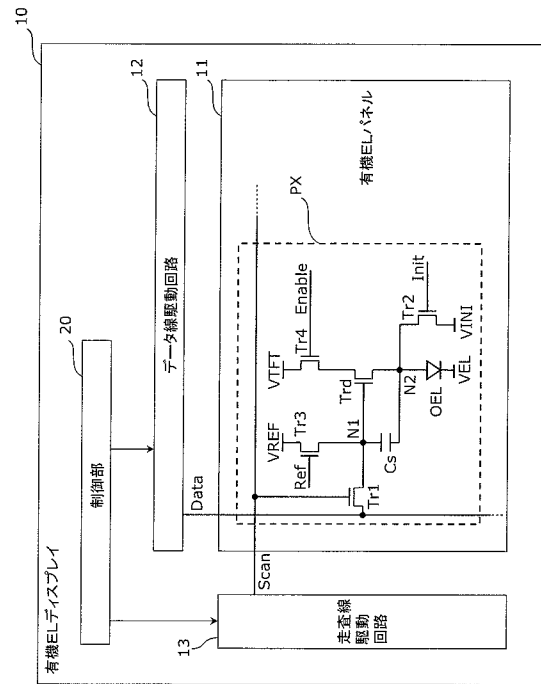
【 図 2 】



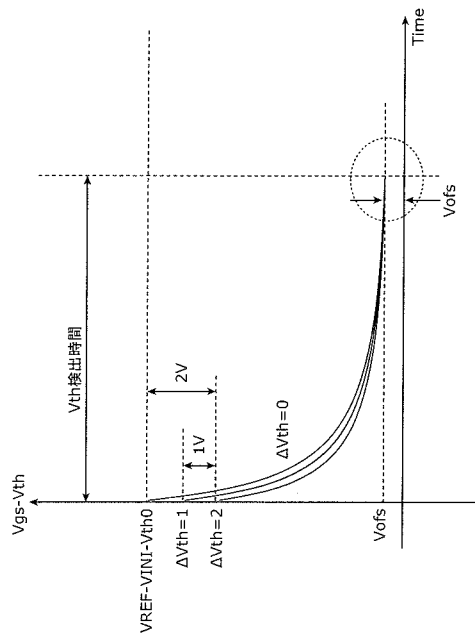
【図 3】



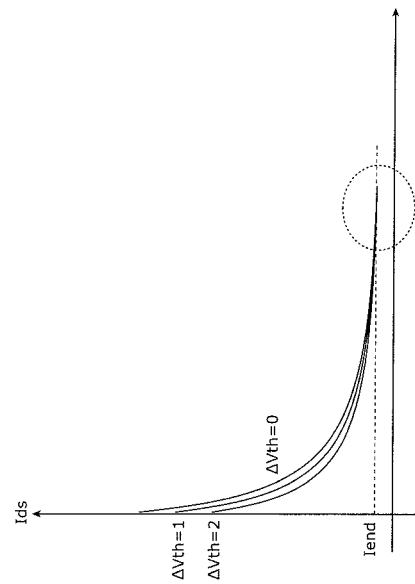
【図 4】



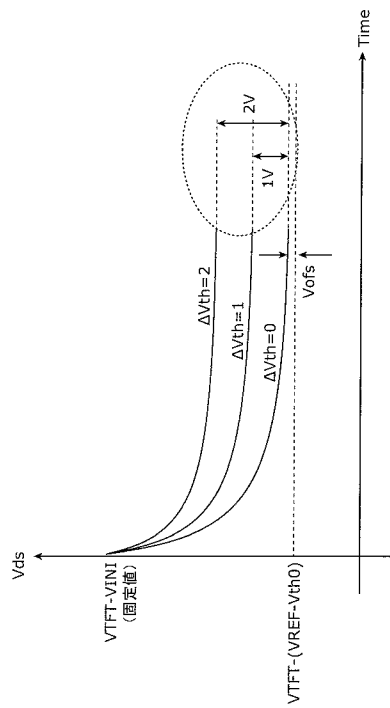
【図 5】



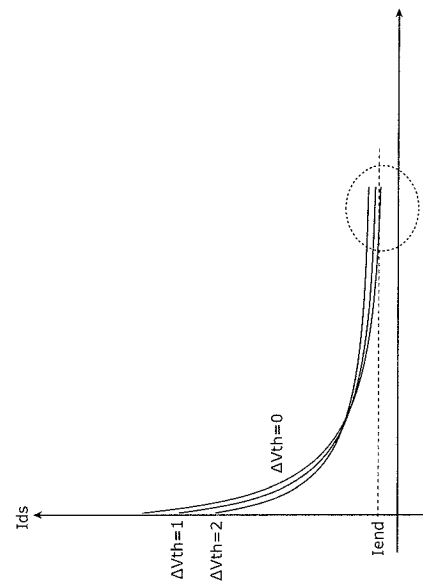
【図 6】



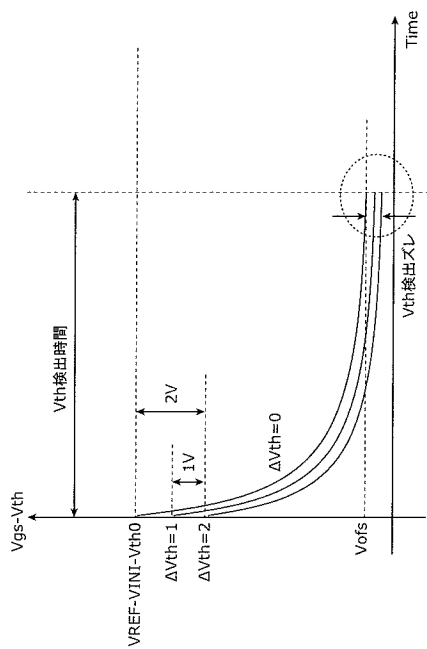
【図 7】



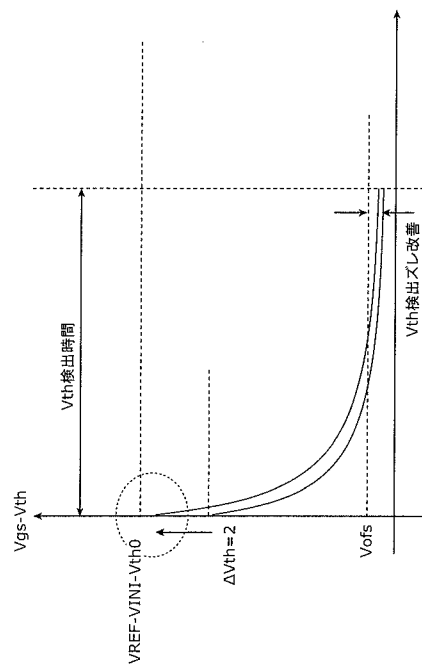
【図 8】



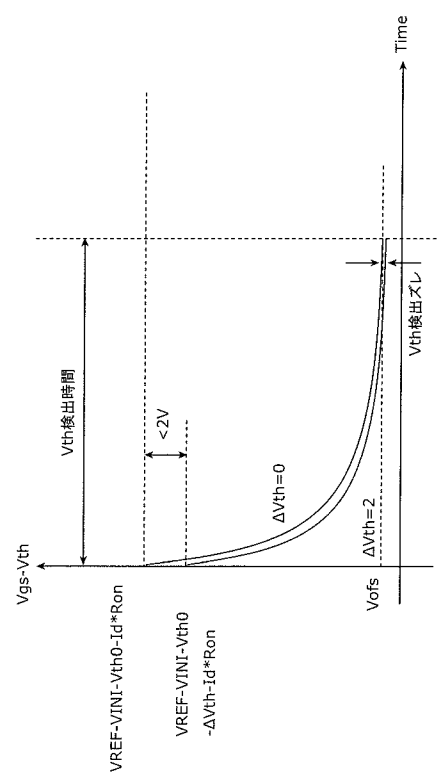
【図 9】



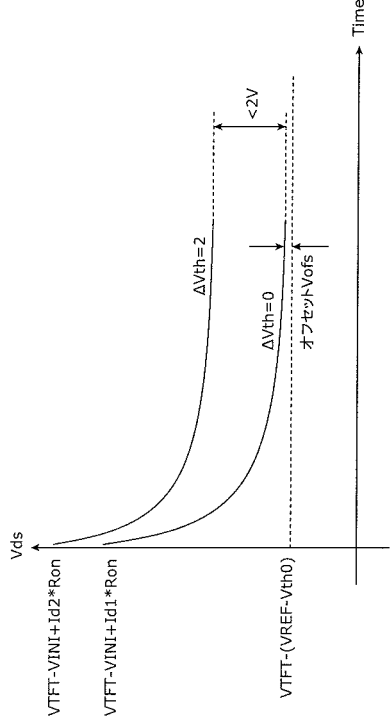
【図 10】



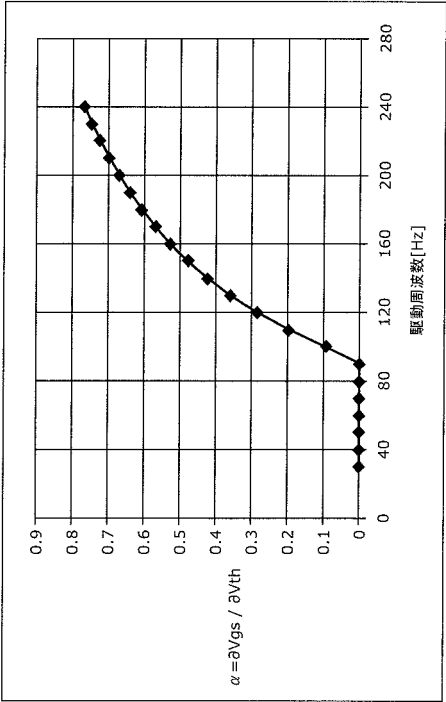
【図 1 1】



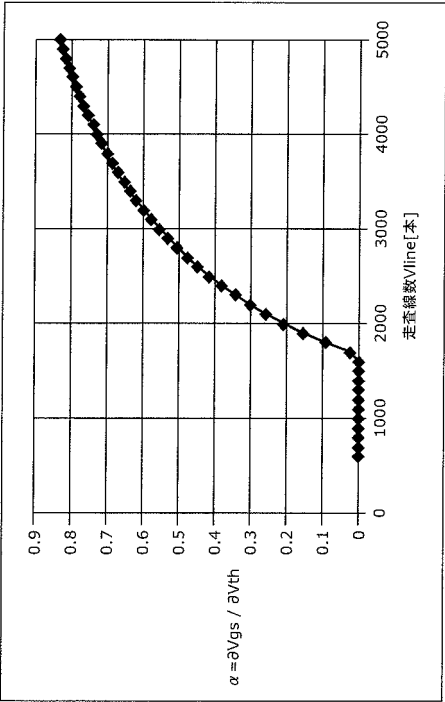
【図 1 2】



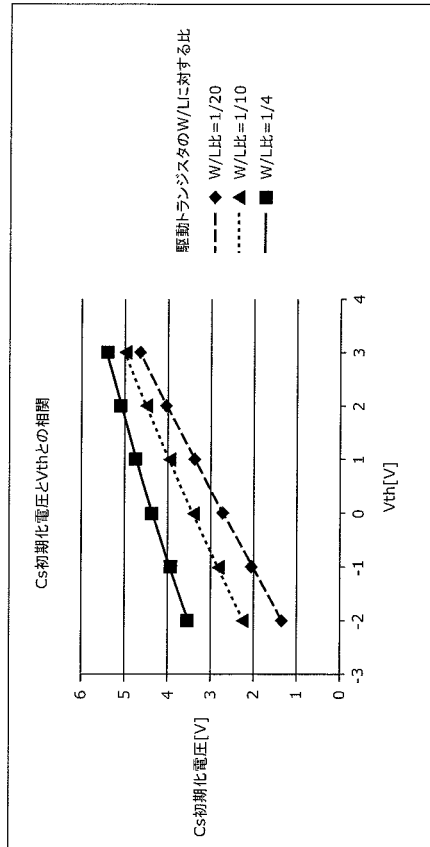
【図 1 3】



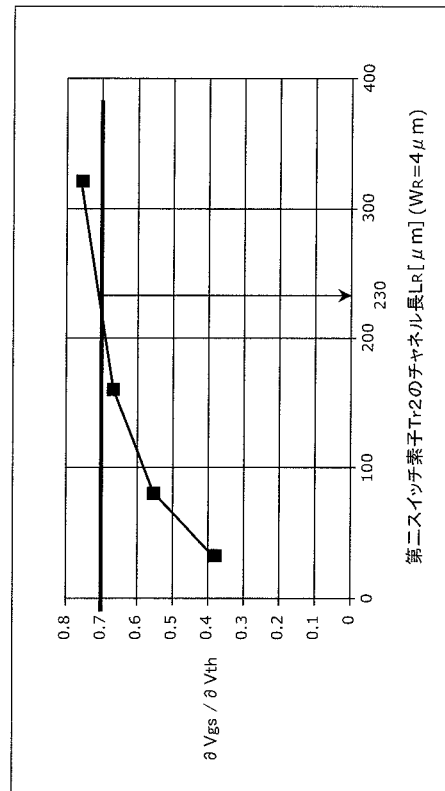
【図 1 4】



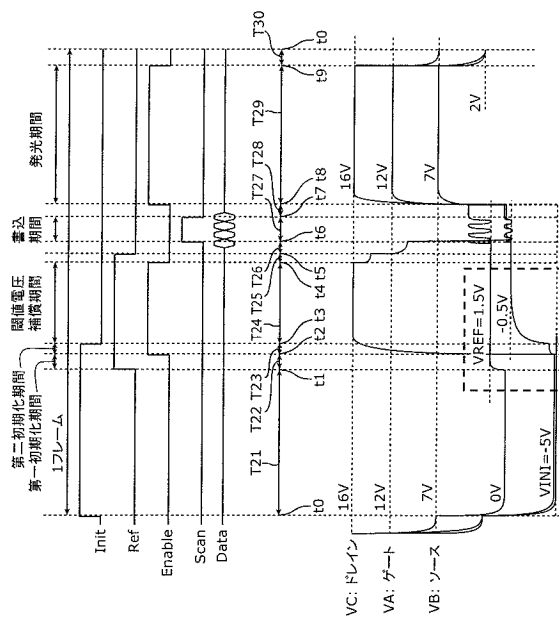
【図 15】



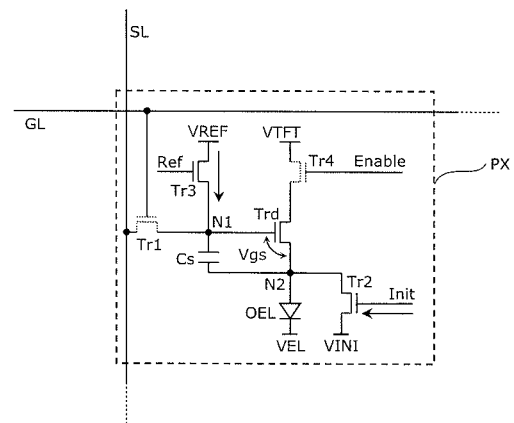
【図 16】



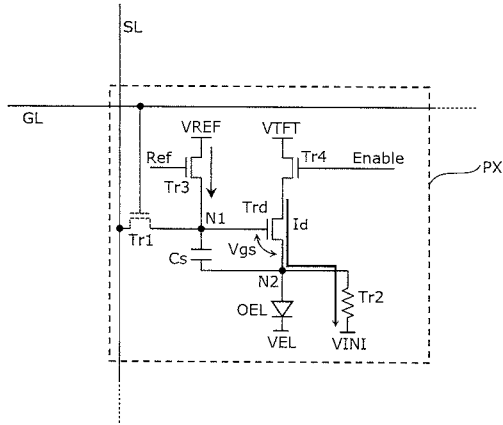
【図 17】



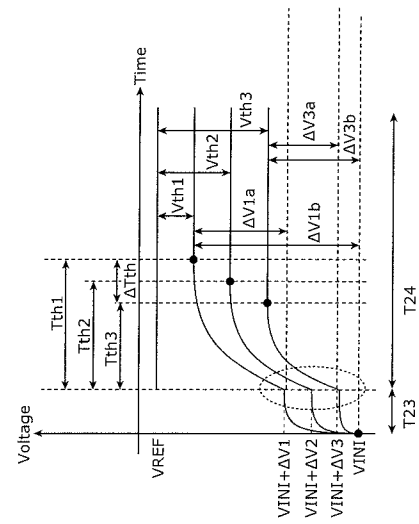
【図 18】



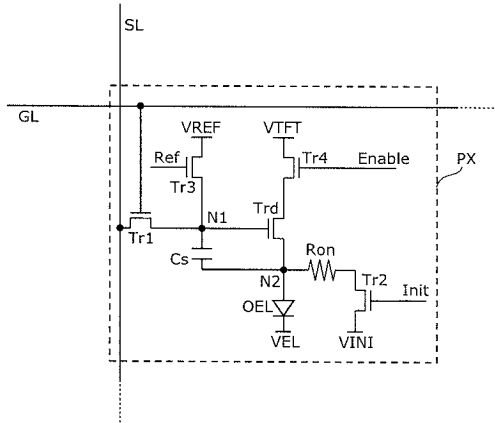
【図 19】



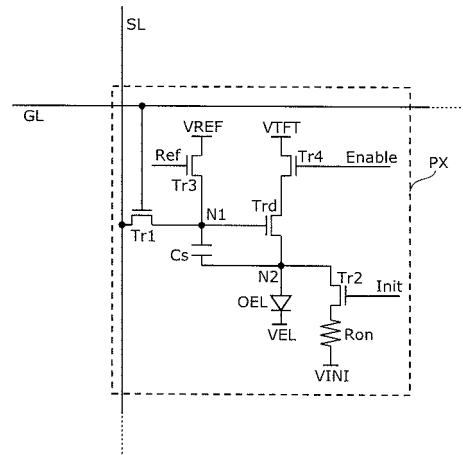
【図 20】



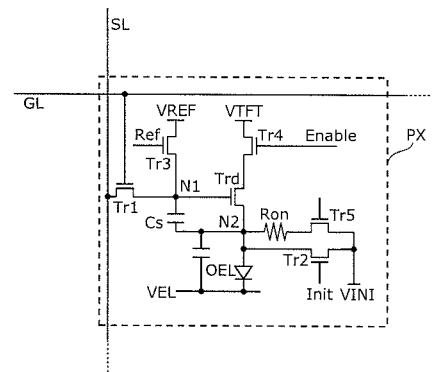
【図 21】



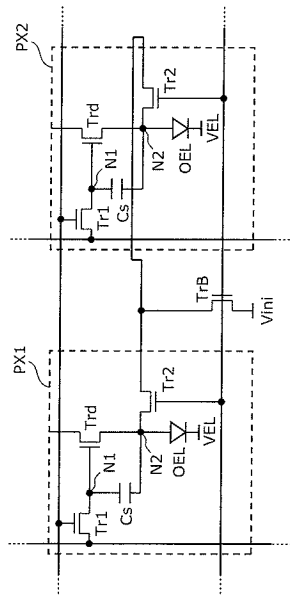
【図 22】



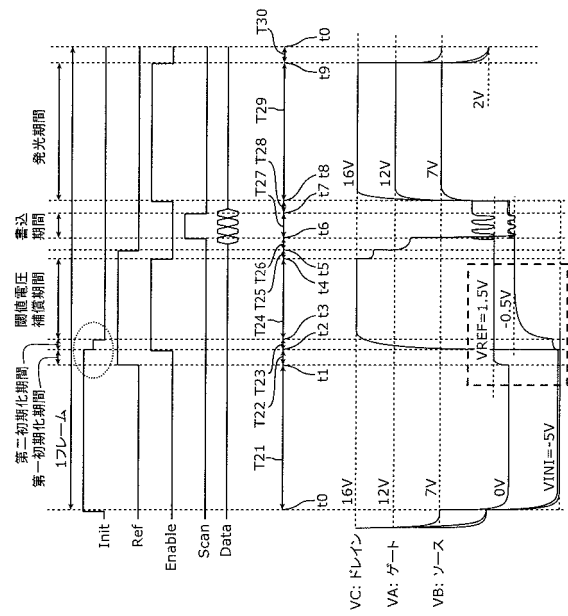
【図 23】



【図 24】



【図 25】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/005025

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/00-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-266715 A (Seiko Epson Corp.), 25 November 2010 (25.11.2010), paragraphs [0020] to [0034] & US 2010/0289788 A1 paragraphs [0050] to [0080]	1, 3-4, 9 2, 5-8, 10-12
X A	JP 2009-157157 A (Sony Corp.), 16 July 2009 (16.07.2009), paragraphs [0118] to [0127] (Family: none)	1, 3-4, 9 2, 5-8, 10-12
A	JP 2008-191450 A (Seiko Epson Corp.), 21 August 2008 (21.08.2008), entire text; fig. 1 to 45 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 December 2015 (21.12.15)Date of mailing of the international search report
28 December 2015 (28.12.15)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 0 5 0 2 5	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/00-3/38			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X A	JP 2010-266715 A (セイコーエプソン株式会社) 2010. 11. 25, 段落 0020-0034 & US 2010/0289788 A1, 段落 0050-0080	1, 3-4, 9 2, 5-8, 10-12	
X A	JP 2009-157157 A (ソニー株式会社) 2009. 07. 16, 段落 0118-0127 (ファミリーなし)	1, 3-4, 9 2, 5-8, 10-12	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 21. 12. 2015		国際調査報告の発送日 28. 12. 2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 中村 直行 電話番号 03-3581-1101 内線 3226	

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 0 5 0 2 5
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-191450 A (セイコーエプソン株式会社) 2008.08.21, 全文, 図 1-45 (ファミリーなし)	1-12

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/3233	
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 2 1 F
	G 0 9 G 3/20	6 4 2 A

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム (参考) 5C380 AA01 AB06 AB34 BA05 BA14 BA19 BA39 BB02 CA08 CA12
CB01 CC04 CC07 CC26 CC33 CC39 CC63 CC65 CD014 CD015
CF41 DA02 DA06 DA47

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置和显示装置控制方法		
公开(公告)号	JPWO2016056211A1	公开(公告)日	2017-07-06
申请号	JP2016552821	申请日	2015-10-02
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	戎野浩平		
发明人	戎野 浩平		
IPC分类号	G09G3/30 G09G3/20 G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0256 G09G2320/0238 H01L27/1255 H01L51/5012		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.611.F G09G3/20.624.B G09G3/20.641.D G09G3/3233 G09G3/20.670.J G09G3/20.621.F G09G3/20.642.A		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD22 5C080/DD24 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/BA05 5C380/BA14 5C380/BA19 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CC65 5C380/CD014 5C380/CD015 5C380/CF41 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	吉川修 Sobashima正雄		
优先权	2014205976 2014-10-06 JP		
其他公开文献	JP6405600B2		
外部链接	Espacenet		

摘要(译)

有机EL元件 (OEL) , 电容性元件 (Cs) , 栅电极是电容性元件 (Cs) 的第一电极, 源电极是电容性元件 (Cs) 的第二电极以及有机EL元件 (OEL) 的阳极。 连接到每个电极的驱动晶体管 (Trd) , 以及在根据数据信号提供电压的信号线和电容性元件 (Cs) 的第一电极之间在导通和不导通之间切换的第一开关元件 (Tr1) , 具有电阻的电阻部分, 并被配置为在用于提供初始化电压的电源线 (VINI) 和电容元件 (Cs) 的第二电极之间切换导通和不导通, 显示器的电阻部分布置在从节点 (N2) 到电源线 (VINI) 的电流路径上, 该节点是元件 (Cs) 的第二电极和有机EL元件 (OEL) 的阳极之间的连接点 它有一个像素 (PX) 。

