

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/118219

発行日 平成27年5月11日(2015.5.11)

(43) 国際公開日 平成25年8月15日(2013.8.15)

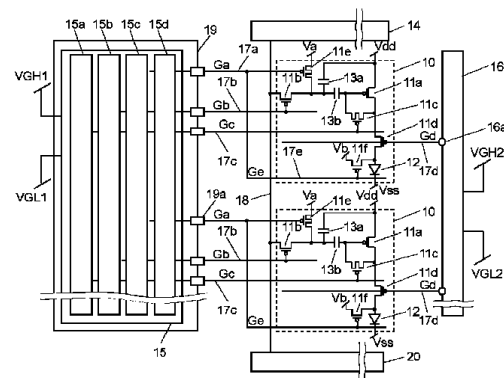
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 621M	5C380
H05B 33/08 (2006.01)	G09G 3/20 680G	
H05B 33/12 (2006.01)	G09G 3/20 670Q	
審査請求 未請求 予備審査請求 未請求 (全 45 頁) 最終頁に続く		

出願番号	特願2013-557253 (P2013-557253)	(71) 出願人	000005821
(21) 国際出願番号	PCT/JP2012/007728		パナソニック株式会社
(22) 国際出願日	平成24年12月3日(2012.12.3)		大阪府門真市大字門真1006番地
(31) 優先権主張番号	特願2012-24699 (P2012-24699)	(74) 代理人	100109210
(32) 優先日	平成24年2月8日(2012.2.8)		弁理士 新居 広守
(33) 優先権主張国	日本国(JP)	(74) 代理人	100104732
			弁理士 徳田 佳昭
		(74) 代理人	100115554
			弁理士 野村 幸一
		(72) 発明者	高原 博司
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC41 CC45 EE03 GG56 HH04
		最終頁に続く	

(54) 【発明の名称】 EL表示装置およびその製造方法

(57) 【要約】

EL表示装置は、EL素子を有する複数の画素を備えたEL表示パネルを備える。画素は、EL素子(12)に電流を供給する駆動用トランジスタ(11a)と、第1のスイッチ用トランジスタ(11d)と、画素に映像信号を供給する第2のスイッチ用トランジスタ(11b)、(11c)、(11e)とを有する。かつEL表示パネルに画素(10)とともに形成されて配置されたゲートドライバ回路(16)と、ゲート信号線(17a)、(17b)、(17c)に外部接続されたゲートドライバIC(15)とを備える。ゲートドライバ回路(16)は、第1のスイッチ用トランジスタ(11d)のゲート端子に接続し、ゲートドライバIC(15)は、第2のスイッチ用トランジスタ(11b)、(11c)、(11e)のゲート端子に接続している。



【特許請求の範囲】

【請求項 1】

E L 素子を有する複数の画素がマトリックス状に配置された表示領域を備えた E L 表示パネルと、前記画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、前記画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えた E L 表示装置において、前記画素は、前記 E L 素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタに接続され前記 E L 素子に供給する電流を制御する第 1 のスイッチ用トランジスタと、前記ソース信号線に接続され画素に映像信号を供給する第 2 のスイッチ用トランジスタとを有し、かつ前記ゲートドライバ回路は、前記 E L 表示パネルに前記画素とともに形成されて配置された第 1 のゲートドライバ回路と、前記 E L 表示パネルのゲート信号線に外部接続された第 2 のゲートドライバ回路とを備え、前記第 1 のゲートドライバ回路は、前記画素の第 1 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、前記第 2 のゲートドライバ回路は、前記画素の第 2 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続した E L 表示装置。

10

【請求項 2】

前記 E L 表示パネルのゲート信号線の一端に前記第 1 のゲートドライバ回路を接続し、他端に前記第 2 のゲートドライバ回路を接続した請求項 1 に記載の E L 表示装置。

【請求項 3】

前記 E L 表示パネルに前記画素に接続されたソース信号線を通してテスト信号を供給するテスト回路をさらに形成した請求項 1 に記載の E L 表示装置。

20

【請求項 4】

前記 E L 表示パネルのソース信号線の一端に前記ソースドライバ回路を接続し、他端に前記テスト回路を接続した請求項 3 に記載の E L 表示装置。

【請求項 5】

E L 素子を有する複数の画素がマトリックス状に配置された表示領域を備えた E L 表示パネルと、前記画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、前記画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えた E L 表示装置の製造方法において、前記画素は、前記 E L 素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタに接続され前記 E L 素子に供給する電流を制御する第 1 のスイッチ用トランジスタと、前記ソース信号線に接続され画素に映像信号を供給する第 2 のスイッチ用トランジスタとを有し、かつ前記ゲートドライバ回路は、前記 E L 表示パネル上に前記画素とともに形成されて配置された第 1 のゲートドライバ回路と、前記 E L 表示パネルのゲート信号線に外部接続された第 2 のゲートドライバ回路とを備え、前記第 1 のゲートドライバ回路は、前記画素の第 1 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、前記第 2 のゲートドライバ回路は、前記画素の第 2 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、さらに前記 E L 表示パネルに前記画素にソース信号線を通してテスト信号を供給するテスト回路を形成し、前記 E L 表示パネルの画素にテスト信号を供給する検査を行った後、前記テスト回路を E L 表示パネルから分離する E L 表示装置の製造方法。

30

40

【請求項 6】

前記 E L 表示パネルのソース信号線の一端に前記ソースドライバ回路を接続し、他端に前記テスト回路を接続し、前記 E L 表示パネルの画素に前記テスト信号を供給する検査を行った後、前記テスト回路を前記 E L 表示パネルから分離する請求項 5 に記載の E L 表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、発光材料として有機材料などを用いたエレクトロルミネッセンス（以下、E L と呼ぶ）素子をマトリックス状に配置した E L 表示装置およびその製造方法に関するも

50

のである。

【背景技術】

【0002】

有機EL素子をマトリックス状に備えたアクティブマトリックス型のEL表示装置がスマートフォンなどの表示装置として用いられ、商品化されている。また、近年では、EL表示パネルは、大型化に向けて開発が進められている。

【0003】

このEL表示装置は、特許文献1、2、3に示すように、画素を構成するために複数のトランジスタが必要であり、トランジスタを制御するゲート信号線も複数本必要となる。したがって、液晶表示パネルに比較して、画素構成が複雑で、駆動方法も複雑である。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-164892号公報

【特許文献2】特開2001-60076号公報

【特許文献3】特開2007-225928号公報

【発明の概要】

【0005】

本開示のEL表示装置は、EL素子を有する複数の画素がマトリックス状に配置された表示領域を備えたEL表示パネルと、画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えている。画素は、EL素子に電流を供給する駆動用トランジスタと、駆動用トランジスタに接続されEL素子に供給する電流を制御する第1のスイッチ用トランジスタと、ソース信号線に接続され画素に映像信号を供給する第2のスイッチ用トランジスタとを有する。さらに、ゲートドライバ回路は、EL表示パネルに画素とともに形成されて配置された第1のゲートドライバ回路と、EL表示パネルのゲート信号線に外部接続された第2のゲートドライバ回路とを備えている。第1のゲートドライバ回路は、画素の第1のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、第2のゲートドライバ回路は、画素の第2のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続している。

20

30

【0006】

また、本開示のEL表示装置の製造方法は、EL素子を有する複数の画素がマトリックス状に配置された表示領域を備えたEL表示パネルと、画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えたEL表示装置の製造方法である。画素は、EL素子に電流を供給する駆動用トランジスタと、駆動用トランジスタに接続されEL素子に供給する電流を制御する第1のスイッチ用トランジスタと、ソース信号線に接続され画素に映像信号を供給する第2のスイッチ用トランジスタとを有する。さらに、ゲートドライバ回路は、EL表示パネルに画素とともに形成されて配置された第1のゲートドライバ回路と、EL表示パネルのゲート信号線に外部接続された第2のゲートドライバ回路とを備えている。第1のゲートドライバ回路は、画素の第1のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、第2のゲートドライバ回路は、画素の第2のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続している。さらに、EL表示パネルには、画素にソース信号線を通してテスト信号を供給するテスト回路を形成している。EL表示パネルの画素にテスト信号を供給する検査を行った後、テスト回路をEL表示パネルから分離する。

40

【0007】

この構成により、画素を構成する複数のトランジスタについて、それぞれ最適にオンオフ制御を実現できるので、簡単な構成で検査の容易なEL表示装置を実現できる。また、パネル検査時は、迅速に検査を実施することができる。

50

【図面の簡単な説明】

【0008】

【図1】図1は一実施の形態におけるEL表示装置の画素の概略構成図である。

【図2A】図2Aは一実施の形態におけるEL表示装置の画素の動作を説明するための初期動作の説明図である。

【図2B】図2Bは一実施の形態におけるEL表示装置の画素の動作を説明するためのリセット動作の説明図である。

【図2C】図2Cは一実施の形態におけるEL表示装置の画素の動作を説明するためのプログラム動作の説明図である。

【図2D】図2Dは一実施の形態におけるEL表示装置の画素の動作を説明するための発光動作の説明図である。 10

【図3】図3は一実施の形態におけるEL表示装置のEL表示パネルの一例を示す断面図である。

【図4】図4は一実施の形態におけるEL表示装置のEL表示パネルの他の例を示す断面図である。

【図5】図5は一実施の形態におけるEL表示装置のゲート信号線の接続状態を示す構成図である。

【図6】図6は一実施の形態におけるEL表示装置の内蔵ゲートドライバ回路側の構成図である。

【図7】図7は遅延時間ばらつき（点線）と遅延時間比（実線）の関係を示す図である。 20

【図8】図8は一実施の形態におけるEL表示装置のテスト回路の構成を示す構成図である。

【図9】図9は一実施の形態におけるEL表示装置のEL表示パネルの検査方法の説明図である。

【図10】図10は図9の主要部に供給される電圧波形を示す図である。

【図11】図11は図9の主要部に供給される電圧波形の他の例を示す図である。

【図12】図12は一実施の形態におけるEL表示装置を示す構成図である。

【発明を実施するための形態】

【0009】

以下、一実施の形態における情報表示装置について、図面を用いて説明する。 30

【0010】

図1は、一実施の形態におけるEL表示装置の画素の概略構成図である。なお、図1においては、EL表示装置の主要部のみ示している。

【0011】

図1に示すように、EL表示装置は、EL表示パネル1と駆動回路を搭載した配線基板とから構成されている。EL表示パネル1は、表示領域にEL素子を有する複数の画素をマトリクス状に配置した構成である。

【0012】

まず、画素の構成について説明する。1個の画素10は、Pチャンネルの駆動用のトランジスタ11aのドレイン端子に、スイッチ用のトランジスタ11dのソース端子が接続され、トランジスタ11dのドレイン端子にEL素子12のアノード端子が接続された構成を有している。トランジスタ11b、11c、11e、11fは、画素10に設けられた他のスイッチ用のトランジスタであり、またコンデンサ13a、13b、13c、13d、13eは、トランジスタ11a～11fのオンオフを制御するためのコンデンサである。 40

【0013】

また、EL素子12のカソード端子には、カソード電圧 V_{ss} が印加されており、トランジスタ11aのソース端子には、EL表示装置のアノード電極からアノード電圧 V_{dd} が印加されており、それらのアノード電圧 V_{dd} とカソード電圧 V_{ss} とは、アノード電圧 $V_{dd} > \text{カソード電圧 } V_{ss}$ の関係になるように設定されている。 50

【0014】

また、駆動回路は、ソースドライバ回路としてのソースドライバIC14と、ゲートドライバ回路としてのゲートドライバIC15およびEL表示パネル1に内蔵したゲートドライバ回路16とを有する。ソースドライバIC14、ゲートドライバIC15、ゲートドライバ回路16と、画素10とは、ゲート信号線17（17a、17b、17c、17d、17e）およびソース信号線18を介して電氣的に接続されている。また、ゲート信号線17dが接続される端子電極16aを有するゲートドライバ回路16は、EL表示パネル1に画素10とともに形成されて配置されることによりEL表示パネル1に内蔵されている。すなわち、EL表示パネル1の画素10のトランジスタの作製プロセスを用いて同時に形成されている。一方、ゲート信号線17a、17b、17c、17eが接続される端子電極19aを有する配線基板としてのフレキシブル基板（以下、COFという）19には、ゲートドライバIC15が搭載され、このCOF19を介してゲートドライバIC15がEL表示パネル1のゲート信号線17a、17b、17c、17eに外部接続されている。なお、ゲートドライバIC15は、COF19を用いることなく、直接EL表示パネル1の接続端子に外部接続して搭載してもよい。

10

【0015】

ゲートドライバIC15、ゲートドライバ回路16は、高温ポリシリコン、低温ポリシリコン、連続粒界シリコン、透明アモルファス酸化物半導体、アモルファスシリコンなどのいずれの方法で形成したものでもよい。また、ゲートドライバIC15、ゲートドライバ回路16は、後述するように、ゲート信号線17に順次信号を供給するためのシフトレジスタ回路とバッファ回路とを有する。シフトレジスタ回路の走査方向を反転させることにより、EL表示パネル1の表示画面を上下反転して表示することができる。

20

【0016】

なお、図1において、20はテスト回路で、EL表示パネル1の外部に配置され、ソース信号線18に電氣的に接続されるものである。また、このテスト回路20は、EL表示パネル1の製造工程において、パネル検査後に分離されるものである。

【0017】

図1に示すように、画素10の発光の選択／非選択を制御する信号が供給されるゲート信号線において、ゲート信号線17d（Gd）にオン電圧が印加されると、トランジスタ11dがオンし、トランジスタ11aからの発光電流がEL素子12に供給され、EL素子12は、発光電流の大きさに基づき発光する。発光電流の大きさは、ソース信号線18に印加された映像信号を、スイッチ用のトランジスタ11bを通して画素10に印加することにより決定される。

30

【0018】

すなわち、トランジスタ11aのゲート端子とドレイン端子間には、トランジスタ11bのソース端子とドレイン端子が接続され、ゲート信号線17b（Gb）にオン電圧が印加されることにより、トランジスタ11aのゲート端子とドレイン端子間を短絡（接続）する。トランジスタ11aのゲート端子には、コンデンサ13bの一方の端子が接続され、コンデンサ13bの他方の端子は、トランジスタ11bのドレイン端子と接続されている。トランジスタ11cのソース端子は、トランジスタ11bを介してソース信号線18と接続されており、トランジスタ11cのゲート端子にゲート信号線17c（Gc）のオン電圧が印加されると、トランジスタ11cがオンして、ソース信号線18に供給された映像信号に応じて、電圧Vssが画素10に印加される。

40

【0019】

また、画素10のコンデンサ13aの一方の端子は、トランジスタ11bのドレイン端子と接続され、他方の端子は、EL表示装置のアノード電極に接続され、アノード電圧Vddが印加されている。

【0020】

トランジスタ11eのドレイン端子は、トランジスタ11bのドレイン端子と接続され、トランジスタ11eのソース端子は、リセット電圧Vaが印加された信号線と接続され

50

ている。ゲート信号線 17a (Ga) にオン電圧が印加されることにより、トランジスタ 11e がオンし、リセット電圧 Va がコンデンサ 13a に印加される。

【0021】

ここで、トランジスタ 11c、11e は P チャンネルにし、LDD 構造を採用する。つまり、複数のトランジスタのゲートが直列に接続した構造を採用することにより、トランジスタ 11c、11e のオフ特性を良好にできる。トランジスタ 11c、11e 以外のトランジスタも P チャンネルを採用し、LDD 構造を採用することが好ましく、必要に応じて、マルチゲート構造とすることにより、オフリークを抑制でき、良好なコントラスト、オフセットキャンセル動作を実現できる。

【0022】

なお、コンデンサ 13a について、アノード電圧 Vdd を印加する構成としているが、これに限定するものではなく、他の任意の直流電圧と接続してもよい。トランジスタ 11a についても同様にアノード電圧 Vdd 以外の任意の直流電圧を印加する構成としてもよい。つまり、コンデンサ 13a と、トランジスタ 11a のソース端子には、同じ電圧を印加するのではなく、異なる電圧を印加するようにしてもよい。例えば、トランジスタ 11a のソース端子は、アノード電圧 Vdd を印加し、コンデンサ 13a には、直流電圧 Vb (5 (V)) の電圧を印加する接続構成としてもよい。

【0023】

また、PWM 駆動方式のように、画素 10 を点滅あるいはデジタル的に点灯させて表示するデジタル駆動方式の場合は、所定の電圧値をトランジスタ 11b を通して画素 10 に印加し、映像信号の階調に対応するビット数に応じて、トランジスタ 11d をオンオフさせて、階調表示することにより発光駆動制御を行う。また、トランジスタ 11d をオンオフ制御し、表示領域に帯状の黒表示（非表示）を発生させ、表示領域に流れる電流量を制御する。

【0024】

次に、図 1 において、点線で示しているコンデンサ 13c、13d の作用について説明する。コンデンサ 13c は、ゲート信号線 17b とトランジスタ 11a の間に形成され、コンデンサ 13d は、ゲート信号線 17d とトランジスタ 11a のゲート端子の間に形成される。このコンデンサ 13c、13d などを突き抜けコンデンサと呼び、また、変化させる電圧あるいは変化した電圧を、突き抜け電圧と呼ぶ。

【0025】

図 1 において、ゲート信号線 17b にオン電圧 (VGL1) が印加されている時には、トランジスタ 11b がオン状態であり、ソース信号線 18 に印加されている映像信号が画素 10 に印加される。次に、ゲート信号線 17b に印加される電圧が、オン電圧 VGL1 からオフ電圧 VGH1 に変化すると、トランジスタ 11b はオフする。その際、コンデンサ 13c の一端の電圧も VGL1 から VGH1 に変化し、変化に基づいた電圧がトランジスタ 11a のゲート端子に伝達される。伝達された電圧は、トランジスタ 11a のゲート端子電圧を上昇させる方向であり、またトランジスタ 11a が P チャンネルトランジスタであるため、電圧変化は、トランジスタ 11a が EL 素子 12 に流す電流を減少させる方向となり、良好な黒表示を実現できる。

【0026】

このように、コンデンサ 13c の容量を介して駆動用のトランジスタ 11a のゲート端子電圧（コンデンサ 13e の電位）を変化させることにより、良好な黒表示を行うことができる。

【0027】

また、トランジスタ 11d がオンのときは、ゲート信号線 17d には、VGL2 電圧が印加され、トランジスタ 11d がオフのときは、ゲート信号線 17d には、VGH2 電圧が印加される。トランジスタ 11d は、オフセットキャンセル動作の時は、オフ状態であり、EL 素子 12 を発光させるときは、オン状態である。したがって、表示開始時に、ゲート信号線 17d は、VGH2 電圧→VGL2 電圧に変化する。そのため、トランジスタ

10

20

30

40

50

11aのゲート端子の電圧は、突き抜けコンデンサ13dの作用により低下する。トランジスタ11aのゲート端子の電圧が低下すると、トランジスタ11aは、EL素子12に大きな電流を流すことができ、高輝度表示が可能である。

【0028】

このように、コンデンサ13dの容量を介して駆動用のトランジスタ11aのゲート端子電圧を変化させることにより、EL素子12に流す電流の振幅を大きくして、高輝度表示が可能となる。

【0029】

コンデンサ13cの容量は、コンデンサ13aまたはコンデンサ13bの容量の1/12以上で1/3以下とすることが好ましい。コンデンサ13cの容量比が小さすぎると、トランジスタ11aのゲート端子電圧の変化割合が大きくなりすぎ、オフセットキャンセルした状態の理想値からの差異が大きくなりすぎる。また、容量比が大きすぎると、トランジスタ11aのゲート端子電圧の変化は小さくなり、効果が得られにくい。

【0030】

また、突き抜け電圧を発生させるコンデンサ13cは、画素が変調するR、G、Bの画素サイズあるいは供給する電流の大きさあるいは駆動用トランジスタのWL比に基づいて変化させることが好ましい。R、G、B画素の各EL素子12の駆動電流が異なり、黒レベルの電流あるいは電圧値が異なるためである。例えば、Rの画素のコンデンサ13cを0.02pFとした場合、他の色（G、Bの画素）のコンデンサ13cを0.025pFとする。また、Rの画素のコンデンサ13cを0.02pFとした場合、Gの画素のコンデンサ13cを0.03pFとし、Bの画素のコンデンサ13cを0.025pFとする。

【0031】

このようにR、G、Bの画素ごとにコンデンサ13cの容量を変化させることにより、オフセットキャンセル電圧あるいは黒レベルの駆動電流あるいは黒表示の電圧をRGBごとに調整することができる。

【0032】

さらに、突き抜け電圧は、保持用のコンデンサ13a、13bと、突き抜け電圧発生用のコンデンサ13cとの間の相対的な容量の差により決定されるため、コンデンサ13cをR、G、Bの画素で変化させることに限定されなく、保持用のコンデンサ13aの容量を変化させてもよい。例えば、Rの画素のコンデンサ13aを1.0pFとした場合、Gの画素のコンデンサ13aを1.2pFとし、Bの画素のコンデンサ13aを0.9pFとすることでもよい。

【0033】

また、表示領域の左右において、突き抜け電圧用のコンデンサ13cの容量を変化させてもよい。ゲートドライバIC15あるいはゲートドライバ回路16に近い位置にある画素10は信号供給側に配置されている。したがって、ゲート信号の立ち上がりが速い、あるいは、スルーレートが高いため、突き抜け電圧が大きくなる。表示領域の中央部あるいはゲートドライバIC15、ゲートドライバ回路16から遠い位置に形成されている画素は、ゲート信号の立ち上がりが遅いため、突き抜け電圧が小さくなる。したがって、ゲートドライバIC15との接続側に近い画素10の突き抜け電圧用のコンデンサ13cの容量を小さくし、ゲートドライバIC15から遠い位置の画素10のコンデンサ13cの容量を大きくなるように構成すればよい。

【0034】

図2A～図2Dは、EL表示装置の画素の動作を説明するための動作説明図である。図2A～図2Dを用いて、画素10の点灯動作についてさらに詳しく説明する。画素に映像信号を書き込む動作、EL素子12の発光動作は、図2A→図2B→図2C→図2Dで進行する。

【0035】

図2Aは初期動作の説明図である。水平同期信号（HD）後、初期化動作が実施される

。図 1 において、ゲート信号線 17 a、17 d、17 e にオン電圧が印加され、トランジスタ 11 d、11 e、11 f がオンする。ゲート信号線 17 b、17 c にはオフ電圧が印加され、トランジスタ 11 b、11 c がオフする。リセット電圧 V a が印加された信号線から、リセット電圧 V a が、コンデンサ 13 a の一方の端子に供給される。

【0036】

トランジスタ 11 a には、ソース端子の電位 V d d から、トランジスタ 11 a、11 c、11 f のチャンネルを介して、トランジスタ 11 f のドレイン端子の電極に印加された直流電圧 V b に向ってオフセットキャンセル電流 I f が流れる。なお、電圧の大きさは、アノード電圧 V d d > 直流電圧 V b、リセット電圧 V a > 直流電圧 V b なる関係としている。

10

【0037】

オフセットキャンセル電流 I f が流れることにより、トランジスタ 11 a のドレイン端子電位が低下する。また、リセット電圧 V a によりリセット電流 I r が流れ、コンデンサ 13 b の端子に V a 電圧が印加される。

【0038】

トランジスタ 11 a はオンし、僅かな期間の間、オフセットキャンセル電流 I f を流す。オフセットキャンセル電流 I f により、少なくともトランジスタ 11 a のドレイン端子電圧はアノード電圧 V d d より降下し、動作可能状態となる。

【0039】

図 2 B は、リセット動作である。図 1 において、ゲート信号線 17 c にオン電圧が印加され、ゲート信号線 17 d にオフ電圧が印加される。トランジスタ 11 d がオフし、トランジスタ 11 c がオンする。

20

【0040】

トランジスタ 11 d がオフし、トランジスタ 11 c がオンすることにより、オフセットキャンセル電流 I f が、トランジスタ 11 a のゲート端子に向かって流れる。オフセットキャンセル電流 I f は、最初は比較的大きな電流が流れる。トランジスタ 11 a のゲート端子の電位が上昇し、オフ状態に近づくにつれ、流れる電流は減少する。最終的には、0 μ A あるいは 0 μ A 近傍の電流値となる。

【0041】

以上の動作により、トランジスタ 11 a は、オフセットキャンセルの状態となる。オフセットキャンセル電圧は、コンデンサ 13 b に保持される。コンデンサ 13 b は、一方の端子がリセット電圧 V a に保持されている。他の端子（トランジスタ 11 a のゲート端子に接続されている端子）に、オフセットキャンセル電圧が保持される。

30

【0042】

図 2 C は、プログラム動作である。プログラム動作では、図 1 において、ゲート信号線 17 a、17 c、17 d にオフ電圧が印加され、トランジスタ 11 e、11 c、11 d がオフする。ゲート信号線 17 b にオン電圧が印加され、トランジスタ 11 b がオンする。

【0043】

一方、ソース信号線 18 には、映像信号電圧 V s が印加される。トランジスタ 11 b がオンすることにより、映像信号電圧 V s がコンデンサ 13 b に印加される。コンデンサ 13 b の端子は、リセット電圧 V a から映像信号電圧 V s に変化する。したがって、コンデンサ 13 b には、映像信号電圧 V s + オフセットキャンセル電圧に基づいた電圧が保持されることになる。

40

【0044】

なお、映像信号電圧 V s は、アノード電圧 V d d を基準とした電圧である。アノード電圧 V d d は、パネル内の配線電圧降下により、パネル内で異なる。したがって、映像信号電圧 V s も画素に印加されるアノード電圧 V d d に基づいて、可変あるいは変化させる。

【0045】

図 2 D は、E L 素子 12 の発光動作である。図 2 C のプログラム動作後、図 1 において、ゲート信号線 17 b にはオフ電圧が印加され、トランジスタ 11 b はオフ状態となる。

50

画素 10 はソース信号線 18 から切り離される。ゲート信号線 17 d には、オン電圧が印加され、トランジスタ 11 d がオンし、トランジスタ 11 a からの発光電流 I_e が、EL 素子 12 に供給される。EL 素子 12 は、供給される発光電流 I_e に基づいて発光する。

【0046】

なお、図 1、図 2 A ~ 図 2 D において、トランジスタ 11 f を削除してもよい。トランジスタ 11 f が不在の画素構成では、図 2 A において、トランジスタ 11 d がオンしたとき、オフセットキャンセル電流 I_f は、EL 素子 12 に流れる。オフセットキャンセル電流 I_f が EL 素子 12 に流れることにより、EL 素子 12 が発光するが、オフセットキャンセル電流 I_f が流れる時間は、 $1 \mu s$ 以下であるので、EL 素子 12 が発光する時間はわずかである。したがって、EL 表示装置（EL 表示パネル）のコントラスト低下は、

10

【0047】

ソースドライバ回路としてのソースドライバ IC 14 は、単なるドライバ機能だけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。

【0048】

ゲートドライバ回路 16 は、P チャンネルトランジスタと、コンデンサを用いてシフトレジスタ、出力バッファ回路を構成してもよい。P チャンネルトランジスタのみ構成することにより、プロセスで使用するマスク数が少なくなり、パネルの低コスト化を実現する

20

【0049】

また、トランジスタ 11 a ~ 11 f は、高温ポリシリコン、低温ポリシリコン、連続粒界シリコン、透明アモルファス酸化物半導体、アモルファスシリコン、赤外線 R T A により形成するなど、いずれの方法で構成したものでもよい。これらのトランジスタは、トップゲート構造にすることにより、寄生容量が低減し、トップゲートのゲート電極パターンが遮光層となり、EL 素子 12 から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できる。

【0050】

ゲート信号線 17 またはソース信号線 18、もしくはゲート信号線 17 とソース信号線 18 の両方の配線材料としては、配線抵抗を低減でき、より大型の EL 表示パネルを実現できることから、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。

30

【0051】

このように本開示においては、EL 表示パネル 1 に内蔵したゲートドライバ回路 16 と、EL 表示パネル 1 に内蔵しないゲートドライバ IC 15 を使用し、ゲートドライバ回路 16 は EL 素子 12 への供給電流を制御するのに用い、ゲートドライバ IC 15 は、画素 10 に映像信号を印加するトランジスタ 11 b の制御に用いるものである。詳細な説明は後述する。

【0052】

ここで、EL 表示パネルの構成について説明する。

40

【0053】

図 3 は、EL 表示パネルの一例を示す断面図である。図 3 に示すように、EL 表示パネルの背面側には封止板 30 が配置されるとともに、表示面側にはアレイ基板 31 が配置され、そしてアレイ基板 31 の表示面には偏光板 32 が配置されている。このアレイ基板 31 の構成材料としては、光透過性を有するガラス基板、シリコンウエハ、金属基板、セラミック基板、プラスチックシートなどや放熱性を良好にするためにサファイアガラスなどが用いられる。封止板 30 の構成材料としては、アレイ基板 31 と同様な材料が用いられる。なお、封止板 30 とアレイ基板 31 との空間には、湿度に弱い EL 材料の劣化を防止するために乾燥剤（図示せず）が配置されている。封止板 30 とアレイ基板 31 とは、周

50

辺部を封止樹脂（図示せず）により封止されている。

【0054】

また、封止板30とアレイ基板31との間の空間、あるいは封止板30の表面などには、温度センサ（図示せず）が配置されており、この温度センサの出力結果により、EL表示パネルのデューティ比制御や点灯率制御などを実施する。さらに、パネル検査時、温度センサの検出出力に基づいて、ゲートドライバ回路の動作速度を調整するようにしている。

【0055】

まず、薄膜トランジスタアレイ基板側について説明すると、図3において、アレイ基板31内面には、赤（R）、緑（G）、青（B）からなるカラーフィルタ33（33R、33G、33B）が形成されている。なお、カラーフィルタは、RGBに限定されるものではなく、シアン（C）、マゼンダ（M）、イエロー（Y）色の画素を形成してもよい。また、白（W）の画素を形成してもよい。カラー表示を行うための1つの画素は、RGBの3画素で正方形の形状となるように作製されている。なお、R、G、Bの画素開口率は、異ならせてもよい。開口率を異ならせることにより、各画素のRGBのEL素子12に流れる電流密度を異ならせることができ、これにより、RGBのEL素子12の劣化速度を同一にすることができる。

【0056】

EL表示パネルにおいて、カラー表示を行う方法としては、上記のようにカラーフィルタ33を用いる以外に、青色発光のEL層を形成し、発光する青色光を、R、G、Bの色変換層でR、G、B光に変換してもよい。

【0057】

また、アレイ基板31上に形成される各画素は、図1に示すように、複数のトランジスタ11を有しており、そして画素間にはゲート信号線17が配置されている。そして、カラーフィルタ33上には、トランジスタ11やゲート信号線17およびソース信号線（図示せず）を覆うように層間絶縁膜としての絶縁膜34が形成され、さらにカラーフィルタ33間にはブラックマトリクス35が形成されるとともに、トランジスタ11を形成している部分には遮光膜36が形成されている。また、絶縁膜34内には、アレイ基板31側のトランジスタ11と発光部側の画素電極を接続するための接続部37が配置されている。さらに、絶縁膜34上には、光散乱層38が形成されている。この光散乱層38は、樹脂材料に、酸化チタン、酸化アルミニウム、酸化マグネシウムなどを拡散させたものや、オパールガラスなどの光拡散物で構成すればよい。光散乱層34は、パネル内から放射される光を増加させることに寄与する。

【0058】

次に、発光部側について説明すると、図3において、絶縁膜34上には、各画素間を仕切るようにリブ39が形成され、そのリブ39内に、ITO、IGZO、IZOなどの透明電極からなるアノード電極40と、赤（R）、緑（G）、青（B）のEL層41R、41G、41Bが形成されている。そして、EL層41R、41G、41B上には、アノード電極40とでEL層41R、41G、41Bを挟むようにカソード電極42が形成されている。

【0059】

このカソード電極43としては、銀（Ag）、アルミニウム（Al）、マグネシウム（Mg）、カルシウム（Ca）あるいはこれらの合金や、ITO、IGZO、IZOなどの透明電極を用いることができる。

【0060】

ここで、図3に示す例は、アレイ基板31側から光を取り出す構成の例であるが、図4に示すように、発光部側から光を取り出す構成のEL表示パネルを用いてもよい。

【0061】

図4に示す例のパネルにおいては、カソード電極42の上層あるいは下層に、クロム（Cr）、アルミニウム（Al）、チタン（Ti）、銅（Cu）の中から選ばれる金属の積

10

20

30

40

50

層構造や複数の金属材料の合金金属薄膜からなる低抵抗化配線 4 3 を形成している。そして、この低抵抗化配線 4 3 を含め、カソード電極 4 2 を封止膜 4 4 で覆った後、ガラス基板や光透過性のフィルムからなる封止基板 4 5 を接着層 4 6 により接着した構成としている。

【0062】

次に、EL表示装置の構成および製造時の検査方法について説明する。

【0063】

図 5 は EL 表示装置において、ゲート信号線の接続状態を示す構成図である。なお、図 5 においては、2 画素分のみ図示し、さらに図 1 において点線で示したコンデンサ 1 3 c ~ 1 3 e は省略して示している。

【0064】

図 5 に示すように、トランジスタ 1 1 b のゲート端子は、ゲート信号線 1 7 b (G b) に接続され、ゲート信号線 1 7 b (G b) はゲートドライバ IC 1 5 あるいは、COF 1 9 の端子電極 1 9 a に接続されている。トランジスタ 1 1 e のゲート端子はゲート信号線 1 7 a (G a) に接続され、トランジスタ 1 1 f のゲート端子はゲート信号線 1 7 e (G e) に接続されている。また、トランジスタ 1 1 c のゲート端子はゲート信号線 1 7 c (G c) に接続されている。そして、ゲート信号線 1 7 e は 1 本のゲート信号線 1 7 a (G a) に接続され、ゲートドライバ IC 1 5 を搭載した COF 1 9 の端子電極 1 9 a に接続されている。したがって、ゲート信号線 1 7 a (G a) には、2 つのトランジスタ (1 1 e、1 1 f) が接続されている。ゲートドライバ IC 1 5 は、ゲート信号線 1 7 a にオンオフ電圧を出力し、トランジスタ 1 1 e、1 1 f をオンオフ制御する。また、ゲートドライバ IC 1 5 は、各画素行を順次、または個別に制御し、パネルに画像を表示させる。

【0065】

なお、トランジスタ 1 1 b のゲート信号線 1 7 b のように、画素 1 0 に映像信号を印加し、高速書き込みが必要なトランジスタを制御するゲート信号線は、外付けのゲートドライバ IC 1 5 に接続している。また、ゲート信号線 1 7 a のように、1 つのゲート信号線に接続されたトランジスタが複数である場合は、外付けのゲートドライバ IC 1 5 に接続している。

【0066】

一方、トランジスタ 1 1 d のゲート信号線 1 7 d のように、駆動用のトランジスタ 1 1 a から、EL 素子 1 2 に供給する発光電流を制御するゲート信号線はパネル内蔵のゲートドライバ回路 1 6 に接続されている。

【0067】

図 5 において、ゲートドライバ IC 1 5 には、3 つのシフトレジスタ回路 1 5 a、1 5 b、1 5 c と、出力バッファ回路 1 5 d が設けられている。図 5 には図示していないが、シフトレジスタ回路 1 5 a、1 5 b、1 5 c の出力は、外部に引き出され、クロック信号 CK やスタートパルス信号 ST が供給される制御信号線に接続されている。

【0068】

ここで、ゲートドライバ IC 1 5 で駆動 (制御) され、高速な応答性が必要なゲート信号線 1 7 (ゲート信号線 1 7 a、1 7 b、1 7 c、1 7 e) は、抵抗値が低くなるように、銅 (Cu)、またはチタン (Ti) - 銅 (Cu) - チタン (Ti) の 3 層あるいは銅 (Cu) 合金により構成されている。一方、ゲートドライバ回路 1 6 で駆動されるゲート信号線 1 7 (ゲート信号線 1 7 d) は、比較的高速な応答性を必要としないため、比較的インピーダンスが高くてもよい、アルミニウム (Al)、モリブデン (Mo)、タングステン (W)、またはこれらの金属の合金により構成している。

【0069】

すなわち、外付けのゲートドライバ IC 1 5 で制御されるゲート信号線 1 7 は、内蔵のゲートドライバ回路 1 6 で制御されるゲート信号線 1 7 よりも配線抵抗が低くなるような金属材料により構成されている。なお、配線抵抗を低くする方法として、金属材料そのものを変えるのではなく、配線の膜厚や幅を変更することにより実現してもよい。

【0070】

図6はEL表示装置において、内蔵ゲートドライバ回路側の構成および複数の画素との接続状態を示す構成図である。なお、図6においては、図5に示すように、ゲート信号線17eはゲート信号線17aに共通に接続されたものとして省略している。また、図6において、2はEL表示パネル1の表示領域を示している。

【0071】

図6に示すように、ゲートドライバ回路16は、ゲート信号線17dにオンオフ電圧（VGH2、VGL2）を出力し、ゲートドライバIC15は、ゲート信号線17a、17b、17cにオンオフ電圧（VGH1、VGL1）を出力する。このゲートドライバIC15とゲートドライバ回路16の出力電圧VGH1、VGH2、VGL1、VGL2は、画素10の各トランジスタに適応した電圧値に個別に設定ができるように構成されている。また、ゲートドライバ回路16には、シフトレジスタ回路16bと少なくとも2段のインバータ回路16c、16dが設けられており、このゲートドライバ回路16のシフトレジスタ回路16aと、図5に示すゲートドライバIC15のシフトレジスタ回路15a、15b、15cと、ソースドライバIC14には、クロック信号CKやスタートパルス信号STを供給する制御信号線21a、21bが接続されている。

【0072】

ここで、ゲートドライバ回路16は、シフトレジスタ回路16bの出力段のゲート駆動能力は小さいので、シフトレジスタ回路16bを構成するゲート回路で直接、ゲート信号線17dを駆動するのが不可能であり、そのため、インバータ回路16c、16dを多段接続する必要がある。インバータ回路16c、16dの接続段数が多いと、接続されているインバータ回路16c、16dの特性差が積み重なり、シフトレジスタ回路16bから端子電極16aまでの伝達時間に差が生じる。例えば、極端な場合では、シフトレジスタ回路16bから出力パルスが出力されてから、端子電極16aには1.0μsec後にオンオフ信号が出力される。

【0073】

具体的には、図6において、インバータ回路16cのNチャンネルトランジスタのチャンネル幅をW1、チャンネル長をL1とし、インバータ回路16dのNチャンネルトランジスタのチャンネル幅をW2、チャンネル長をL2とすると、インバータ回路16dのW2/L2の大きさと、インバータ回路16cのW1/L1とのサイズ比が大きいと遅延時間が長くなり、また、インバータの特性のばらつきも大きくなる。

【0074】

図7は、遅延時間ばらつき（点線）と遅延時間比（実線）の関係を示す図である。横軸は $(W_{n-1}/L_{n-1})/(W_n/L_n)$ で示す。例えば、図6において、インバータ回路16dとインバータ回路16cのL（ $L_1=L_2$ ）が同一で、 $2 \cdot W_1=W_2$ であれば $(W_1/L_1)/(W_2/L_2)=0.5$ である。図7のグラフにおいて、遅延時間比は $(W_{n-1}/L_{n-1})/(W_n/L_n)=0.5$ のときを1とし、遅延同様に時間ばらつきも1としている。

【0075】

図7に示すように、 $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が大きくなるほど、インバータ回路部の遅延時間ばらつきも大きくなる。また、 $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が小さくなるほど、インバータ回路16cから次段へのインバータ回路16dへの遅延時間が長くなる。この図7から明らかなように、遅延時間比および遅延時間ばらつきを2以内にすることが設計上有利であることがわかる。したがって、次式の条件を満たせばよい。

【0076】

$$0.25 \leq (W_{n-1}/L_{n-1})/(W_n/L_n) \leq 0.75$$

また、各インバータ回路16c、16dのPチャンネルのW/L比（ W_p/L_p ）とnチャンネルのW/L比（ W_s/L_s ）とは以下の関係を満たす必要がある。

【0077】

$$0.4 \leq (W_s / L_s) / (W_p / L_p) \leq 0.8$$

図 8 は E L 表示装置において、テスト回路の構成を示す構成図である。

【0078】

図 8 に示すように、テスト回路 20 は、各ソース信号線 18 の一端に接続されており、テスト回路 20 内には、R G B の各画素 10 R、10 G、10 B のソース信号線 18 の一端に接続されるテスト用のトランジスタ T (トランジスタ T R 1、T G 1、T B 1・・・T R n、T G n、T B n) が接続されている。

【0079】

テスト用のトランジスタ T は、赤 (R)、緑 (G)、青 (B) 電圧の印加用のトランジスタ (スイッチ回路) であり、R G B の各画素 10 R、10 G、10 B に順次電圧を印加するためのスイッチ用のトランジスタである。トランジスタ T のゲート端子は、電極端子 Y 1 ~ Y 4 に接続され、その電極端子 Y 1 ~ Y 4 には、プローブ 22 a ~ 22 d が接続され、トランジスタ T のオンオフ電圧が印加される。この電極端子 Y 1 ~ Y 4 に印加される電圧に基づいて、トランジスタ T がオンオフ制御される。この電極端子 Y 1 ~ Y 4 に印加されるオンオフ電圧とは、映像信号電圧と等価的な電圧であり、例えばオフ電圧 V G H、オン電圧 V G L で、オン電圧を印加することにより、トランジスタ T がオンして、テスト電圧が各画素 10 に印加される。すなわち、テスト電圧の大きさを可変することにより、画素 10 の表示輝度を変化させることができる。

【0080】

E L 表示パネル 1 のテスト時は、プローブ 22 a にオン電圧が印加されてトランジスタ T がオンし、テスト電圧が各ソース信号線 18 に印加される。テスト時は、ゲートドライバ回路 16 を動作させ、選択するゲート信号線位置を移動させて検査を行う。また、必要に応じて、ゲートドライバ I C 15 を動作させて、検査を行う。

【0081】

このようにテスト時は、テスト回路 20 と、ゲートドライバ回路 16 とを同時に制御し、パネル検査を行うことにより、パネル検査を容易にし、精度のよい検査を迅速に実施できるという効果が得られる。

【0082】

なお、画素 10 を黒表示するためには、画素の駆動用のトランジスタ 11 a が P チャンネルの時は、一般的にテスト電圧をアノード電圧 V d d 近傍の電圧値とする。白表示するためには、一般的には、テスト電圧をグランド電圧あるいはカソード電圧 V s s 近傍の電圧値とする。

【0083】

図 9 は E L 表示装置の製造方法において、E L 表示パネルの検査方法を説明するための説明図である。図 9 には検査時の配線状態を模式的に図示している。

【0084】

図 9 に示すように、外部接続されるゲートドライバ I C 15 に接続するゲート信号線 17 a、17 b、17 c の一端は、E L 表示パネル 1 の端部に形成された配線 1 a を介して T 1 端子、T 2 端子、T 3 端子に接続されている。すなわち、T 1 端子は、複数の画素 10 のゲート信号線 17 b (G b) と接続され、T 2 端子は、複数の画素 10 のゲート信号線 17 a と接続され、T 3 端子は、複数の画素 10 のゲート信号線 17 c と接続されている。また、上述したようにゲート信号線 17 d には、E L 表示パネル 1 に内蔵したゲートドライバ回路 16 が接続され、ソース信号線 18 には、図 8 において説明したように、一端がテスト回路 20 に接続されている。

【0085】

図 9 において、T 1 端子にオン電圧 (V G L 1) またはオフ電圧 (V G H 1) を印加することにより、画素 10 のトランジスタ 11 b をオンオフ制御でき、ソース信号線 18 に印加された映像信号を画素 10 に書き込むことができる。また、T 2 端子にオン電圧 (V G L 1) またはオフ電圧 (V G H 1) を印加することにより、画素 10 のトランジスタ 11 e、11 f をオンオフ制御でき、画素 10 にリセット電圧 V a を印加することができる

。さらに、T 3 端子にオン電圧 (V G L 1) またはオフ電圧 (V G H 1) を印加することにより、画素 1 0 のトランジスタ 1 1 c をオンオフ制御でき、画素 1 0 にリセット電圧 V a を印加し、トランジスタ 1 1 c をオンさせることにより、オフセットキャンセル動作を実現することができる。

【0086】

図 9 に示すように、ゲート信号線 1 7 a、1 7 b、1 7 c には、T 1 端子、T 2 端子、T 3 端子を通して所定のテスト信号を供給するとともに、ゲート信号線 1 7 d には内蔵のゲートドライバ回路 1 6 から所定のテスト信号を供給し、またソース信号線 1 8 にはテスト回路 2 0 を通して所定のテスト信号を供給する。ゲートドライバ回路 1 6 によるゲート信号線 1 7 d の選択は、同時に複数本のゲート信号線 1 7 d を選択してもよい。ゲート信号線 1 7 d の選択は、ゲートドライバ回路 1 6 に印加するスタート信号 (S T) により設定することが可能である。

10

【0087】

このようにして E L 表示パネル 1 の検査を行った後、図 9 の A - A 線および B - B 線で E L 表示パネル 1 の基板を切断して、配線 1 a 部分およびテスト回路 2 0 部分を分離することにより、E L 表示パネル 1 の検査を簡単な構成で迅速に行うことができる。

【0088】

なお、テスト回路 2 0 部分については、検査終了後、テスト回路 2 0 のトランジスタをオフさせる電圧を常時印加するように構成することにより、E L 表示パネル 1 の基板を B - B 線で切断しなくてもよい。また、ゲート信号線 1 7 a、1 7 b、1 7 c 側についても、T 1 端子、T 2 端子、T 3 端子を設けるのではなく、直接ゲート信号線 1 7 a、1 7 b、1 7 c に検査用プローブを電氣的に接触させて所定のテスト信号を供給するように構成することにより、検査終了後の基板の切断作業を行う必要はない。

20

【0089】

図 1 0 は図 9 の主要部に供給される電圧波形を示す図である。図 1 0 において、B は低輝度 (黒表示) を示し、W は高輝度 (白表示) を表している。

【0090】

図 1 0 に示すように、図 9 の K 1 端子にアノード電圧 V d d が印加され、K 2 端子にカソード電圧 V s s が印加され、K 3 端子にリセット電圧 V a が印加され、K 4 端子に電圧 V b が印加される。ゲートドライバ回路 1 6 の V G H 2 電圧が V G H 2 端子に印加され、V G L 2 電圧が V G L 2 端子に印加される。また、ゲートドライバ回路 1 6 のクロック C K が C K 端子に印加され、スタート信号 S T が S T 端子に印加され、イネーブル信号 E N が E N 端子に印加される。

30

【0091】

T 1 端子に検査用プローブを接触させ、ゲート信号線 1 7 b にオンオフ電圧 (V G L、V G H) を印加してトランジスタ 1 1 b をオンオフ制御する。また、T 2 端子からゲート信号線 1 7 a にオンオフ電圧 (V G L、V G H) を印加してトランジスタ 1 1 e、1 1 f をオンオフ制御する。また、T 3 端子からゲート信号線 1 7 c にオンオフ電圧 (V G L、V G H) を印加してトランジスタ 1 1 c をオンオフ制御する。

【0092】

Y 2 端子には、テスト回路 2 0 のトランジスタのオンオフ信号電圧が印加される。テスト回路 2 0 のトランジスタは、P チャンネルトランジスタで形成されており、Y 2 端子に V G L 電圧を印加することにより、トランジスタがオンする。Y 1 端子には、映像信号電圧 V s が印加され、赤 (R) 色の画素、緑 (G) 色の画素、青 (B) 色の画素それぞれに、映像信号に応じた適正な電圧が印加される。この画素に印加する電圧を間欠的に印加することにより、E L 表示パネル 1 の R G B の画素を間欠的に点灯させることができる。

40

【0093】

なお、検査方法について、E L 素子 1 2 を点灯あるいは非点灯状態にして検査する例を挙げて説明したが、トランジスタ 1 1 の短絡欠陥などの検査は、短絡箇所に流れる電流を検出することにより検査などが可能である。短絡箇所に流れる電流の検出は、ソース信号

50

線 18 などにピックアップ用のプローブを接触させて電流を検出すればよい。

【0094】

また、映像信号電圧 V_s を可変することにより、画素の発光輝度を变化させることができる。画素 10 の駆動用のトランジスタ 11a は、P チャンネルトランジスタであるため、映像信号電圧 V_s をアノード電圧 V_{dd} に近くすることにより、画素 10 の発光輝度は低くなる。一方、映像信号電圧 V_s をグランドあるいはカソード電圧 V_{ss} に近い電圧にすることにより、画素 10 の発光輝度は高くなる。当然のことながら、映像信号電圧 V_s を調整あるいは可変することにより、画素 10 の EL 素子 12 の発光輝度を調整することができる。

【0095】

図 10 に示すように、Y1 端子には、 $t_1 + t_2$ 期間を 1 周期とし、低輝度、高輝度になる電圧を印加し、 t_1 期間、 t_2 期間を独立に可変することにより、あるいは、 $t_1 + t_2$ 期間に対する t_1 期間あるいは t_2 期間を可変することにより、画素 10 のコンデンサ 13 の保持特性なども検査することができる。また、EL 素子 12 の発光特性、トランジスタ 11 の特性を検査することができる。

【0096】

また、T2 端子に t_4 期間の間、 V_{GL} 電圧を印加することにより、ゲート信号線 17a (Ga) に接続されたトランジスタ 11e、11f がオンする。また、ゲート信号線 17d (Gd) にオン電圧 V_{GL} が印加されることにより、トランジスタ 11d がオンする。トランジスタ 11d およびトランジスタ 11f がオンすることにより、アノード電圧 $V_{dd} \rightarrow$ トランジスタ 11a $\rightarrow$ トランジスタ 11d $\rightarrow$ トランジスタ 11f $\rightarrow$ Vb 端子の電流経路が発生し、駆動用のトランジスタ 11a のドレイン端子が低下する。

【0097】

次に、T3 端子に t_3 期間の間、 V_{GL} 電圧を印加することにより、ゲート信号線 17c (Gc) に接続されたトランジスタ 11c がオンし、トランジスタ 11a がオフセットキャンセルされる。次に、T2 端子、T3 端子に、 V_{GH} 電圧が印加され、トランジスタ 11e、11f、11c がオフ動作となる。T1 端子には、 t_5 期間の間、ゲート信号線 17c に V_{GL} 電圧を印加することにより、トランジスタ 11b がオンする。トランジスタ 11b のオンにより、映像信号が画素 10 に印加される。

【0098】

なお、 t_3 、 t_4 、 t_5 期間を可変あるいは調整することにより、画素 10 のオフセットキャンセル動作を行うことができ、リセット電圧 V_a の印加時間を可変することにより、トランジスタ 11 の動作状態を変更あるいは調整することができる、画素 10 の動作試験を行うことができる。

【0099】

また、画素 10 の EL 素子 12 の発光 (オン)、非発光 (オフ) の制御は、パネル内蔵のゲートドライバ回路 16 のイネーブル端子 (EN 端子) に供給する信号で行う。EN 端子をロジックレベルで H レベルにすると、ゲート信号線 17d (Gd) に V_{GL} 電圧が出力され、トランジスタ 11d がオンする。トランジスタ 11d がオンすることにより、駆動用のトランジスタ 11a からの発光電流を EL 素子 12 に供給する電流パスが発生し、該当の EL 素子 12 が発光する。EN 端子をロジックレベルで L レベルにすると、ゲート信号線 17d (Gd) に V_{GH} 電圧が出力され、トランジスタ 11d がオフする。トランジスタ 11d がオフすることにより、駆動用のトランジスタ 11a からの発光電流を EL 素子 12 に供給する電流パスがなくなり、該当の EL 素子 12 は非点灯となる。

【0100】

この EL 素子 12 の制御に同期して、Y2 端子に映像信号を印加する。Y1 端子にオン電圧 (V_{GL}) を印加して、テスト回路 20 のトランジスタをオンさせ、ソース信号線 18 にテスト用の映像信号電圧を印加する。

【0101】

テスト用の映像信号電圧は、例えば図 10 において、 t_2 期間または t_1 期間に印加す

10

20

30

40

50

る。

【0102】

図10に示す信号波形は、偶数、奇数などのように2つの画素について、黒と白の表示を交互に行う例であるが、図11に示すような信号波形を供給してもよい。図11に示す例は、1つの画素について、黒から白に表示し、次の画素について、黒から白に表示を表示する、すなわち2つの画素において、交互に黒表示、白表示を行うものである。

【0103】

図12はEL表示装置の全体構成を示す構成図である。図12においては、図9に示すように検査を行った後、EL表示パネル1の基板をA-A線、B-B線で切断し、その後外部接続するドライバ回路を搭載した状態を示している。

10

【0104】

図12に示すように、EL表示パネル1には、ソースドライバIC14を搭載したフレキシブル基板(COF)23やゲートドライバIC15を搭載したフレキシブル基板(COF)19を実装している。また、ソースドライバIC14を搭載したフレキシブル基板(COF)23には、制御用IC24も搭載され、ゲートドライバ回路16に対して動作を制御するためのタイミング信号を供給するように接続されている。すなわち、ソースドライバIC14は、映像信号に同期したタイミング信号を制御用IC24に供給し、制御用IC24はタイミング信号の電圧をレベルシフトすることにより、ゲートドライバ回路16を制御する。なお、25は電源制御用ICであり、フレキシブル基板(COF)26に搭載されている。

20

【0105】

以上説明したように本開示は、EL素子12を有する複数の画素10がマトリックス状に配置された表示領域を備えたEL表示パネル1と、画素10に接続されたソース信号線18を通して映像信号を供給するソースドライバ回路としてのソースドライバIC14と、画素10に接続されたゲート信号線17を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えたEL表示装置に関する。画素10は、EL素子12に電流を供給する駆動用のトランジスタ11aと、駆動用のトランジスタ11aに接続されEL素子12に供給する電流を制御する第1のスイッチ用のトランジスタ11dと、ソース信号線18に接続され画素10に映像信号を供給する第2のスイッチ用のトランジスタ11b、11c、11eとを有する。かつゲートドライバ回路は、EL表示パネル1に画素10とともに形成されて配置された第1のゲートドライバ回路としてのゲートドライバ回路16と、EL表示パネル1のゲート信号線17a、17b、17cに外部接続された第2のゲートドライバ回路としてのゲートドライバIC15とを備えている。ゲートドライバ回路16は、画素10の第1のスイッチ用のトランジスタ11dのゲート端子にゲート信号線17dを介して接続し、ゲートドライバIC15は、画素10の第2のスイッチ用のトランジスタ11b、11c、11eのゲート端子にゲート信号線17a、17b、17cを介して接続している。

30

【0106】

このような構成とすることにより、負荷が小さい第1のスイッチ用のトランジスタ11dは、EL表示パネル1に内蔵されたゲートドライバ回路16で駆動し、負荷が大きい第2のスイッチ用のトランジスタ11b、11c、11eは、EL表示パネル1に外部接続されるゲートドライバ回路ICで駆動する。画素10を構成する複数のトランジスタについて、それぞれ最適にオンオフ制御を実現でき、簡単な構成で検査の容易なEL表示装置を実現できる。また、パネル検査時は、内蔵のゲートドライバ回路16を動作させ、検査に必要な端子のみにプローブを圧接するだけで、パネルを検査することができるため、迅速に検査を実施することができる。

40

【0107】

また、EL表示装置は、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、カーオーディオ、オーディオコンポ、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、

50

記録媒体を備えた画像再生装置等のディスプレイとして活用することができる。

【産業上の利用可能性】

【0108】

以上のように本開示は、信頼性の高いEL表示装置を実現する上で有用である。

【符号の説明】

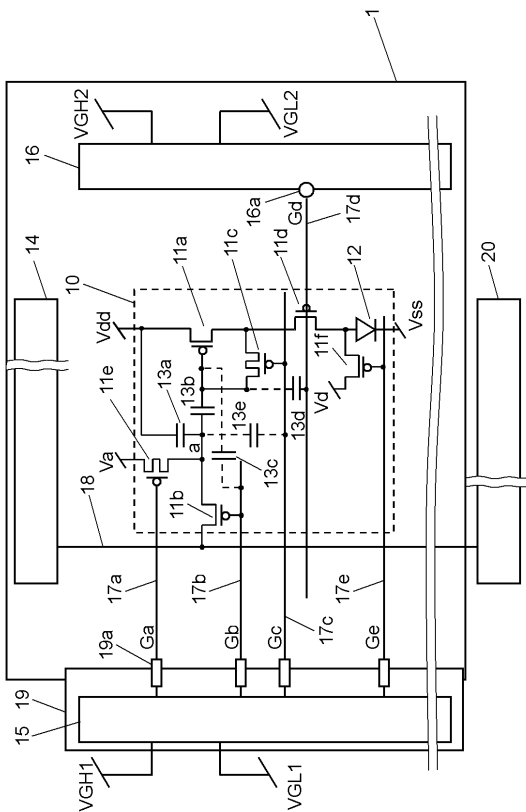
【0109】

- 1 EL表示パネル
- 10 画素
- 11, 11a, 11b, 11c, 11d, 11e, 11f トランジスタ
- 12 EL素子
- 13, 13a, 13b, 13c, 13d, 13e コンデンサ
- 14 ソースドライバIC
- 15 ゲートドライバIC
- 16 ゲートドライバ回路
- 17, 17a, 17b, 17c, 17d, 17e ゲート信号線
- 18 ソース信号線
- 19 フレキシブル基板(COF)
- 23 フレキシブル基板(COF)
- 26 フレキシブル基板(COF)
- 20 テスト回路

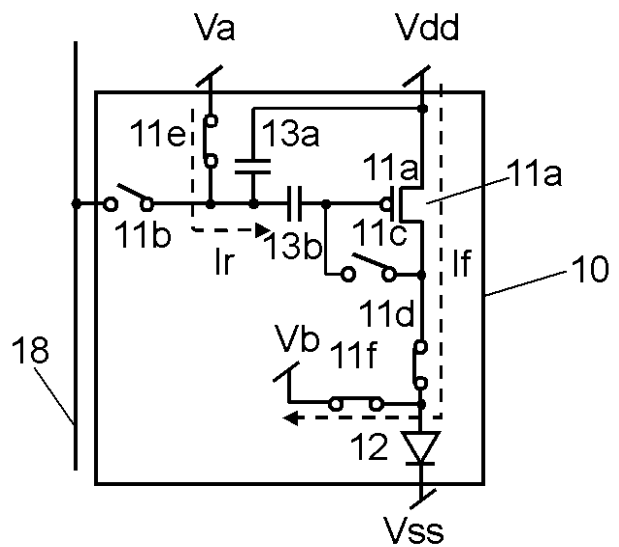
10

20

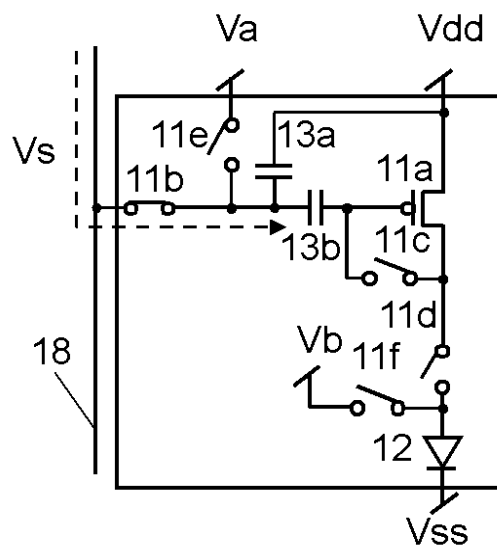
【図1】



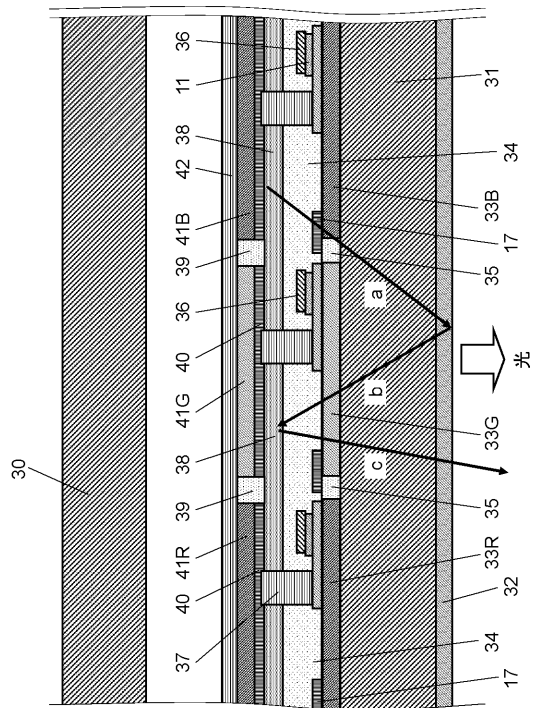
【図2A】



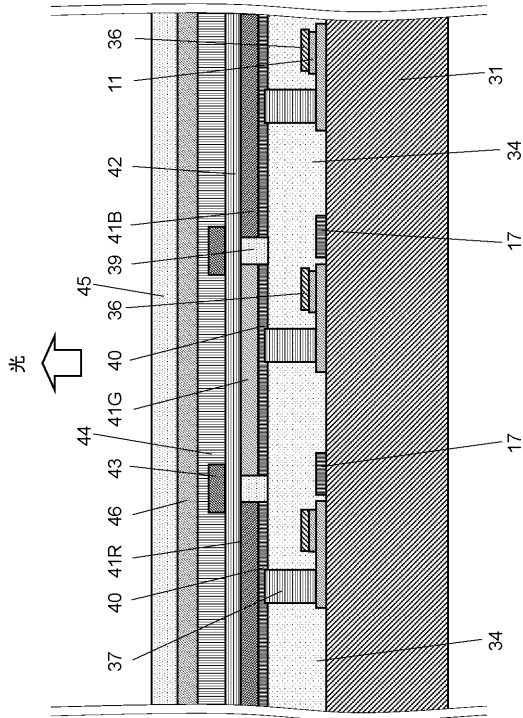
【図 2 C】



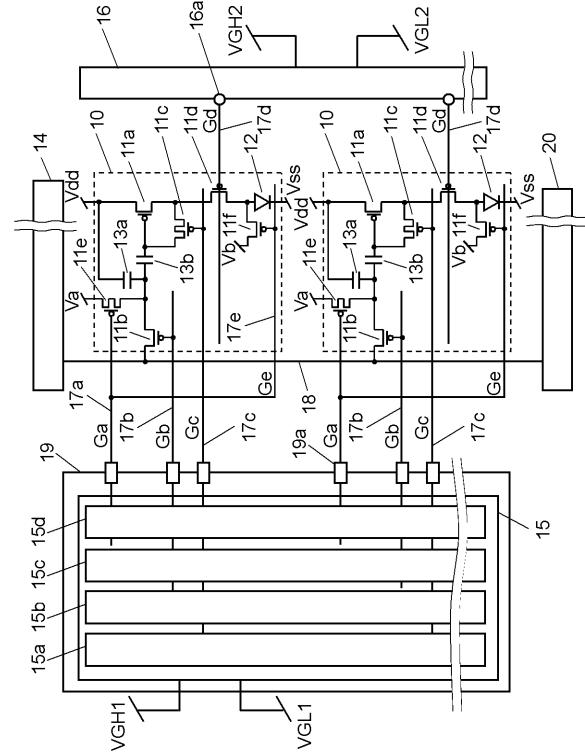
【图 3】



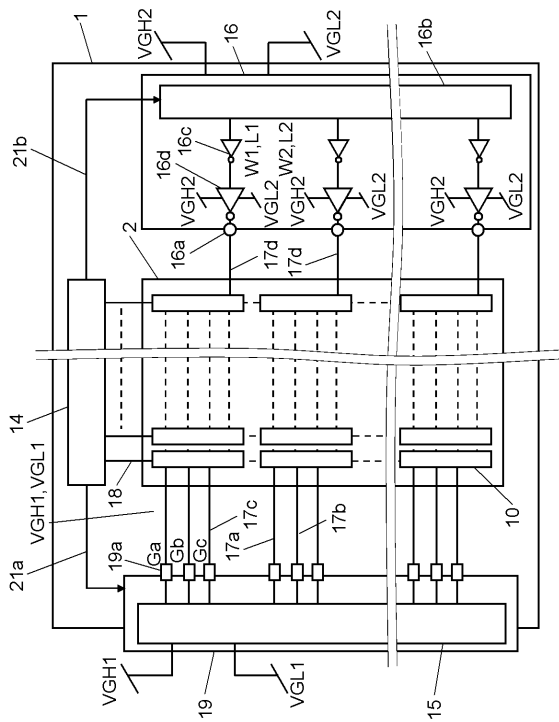
【図 4】



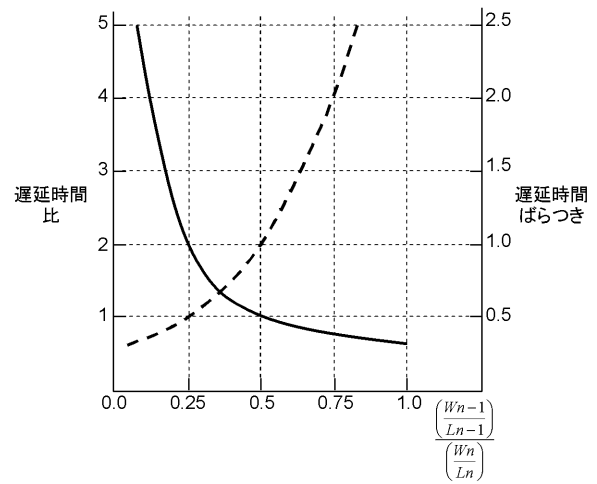
【図 5】



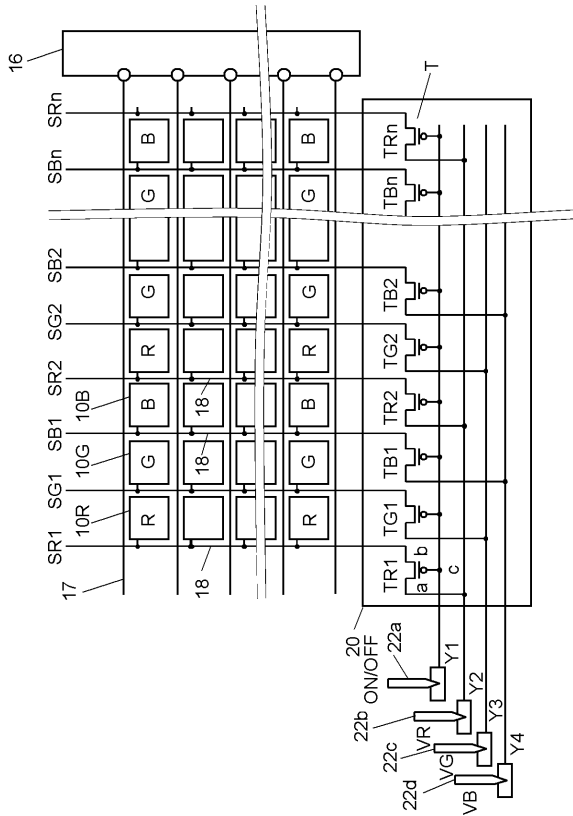
【図 6】



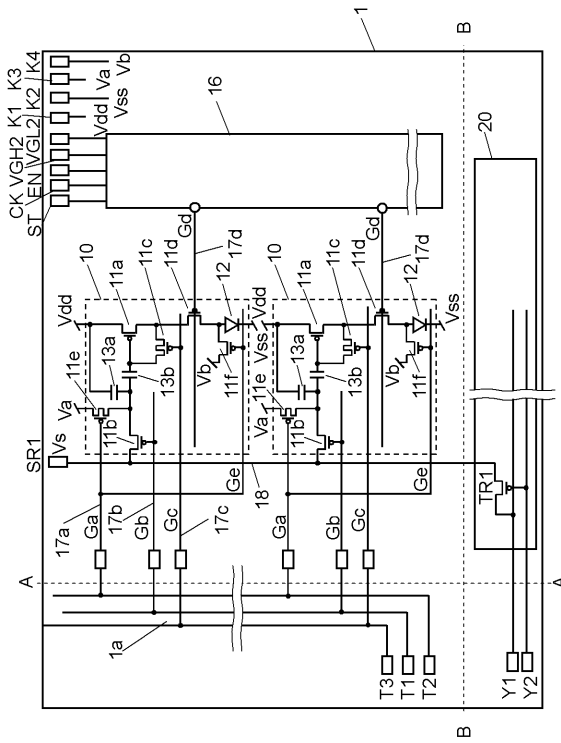
【図 7】



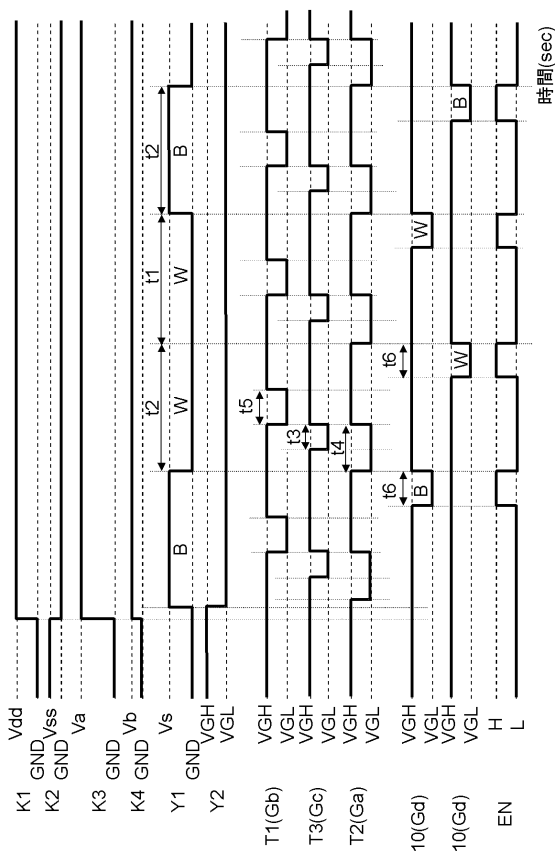
【図 8】



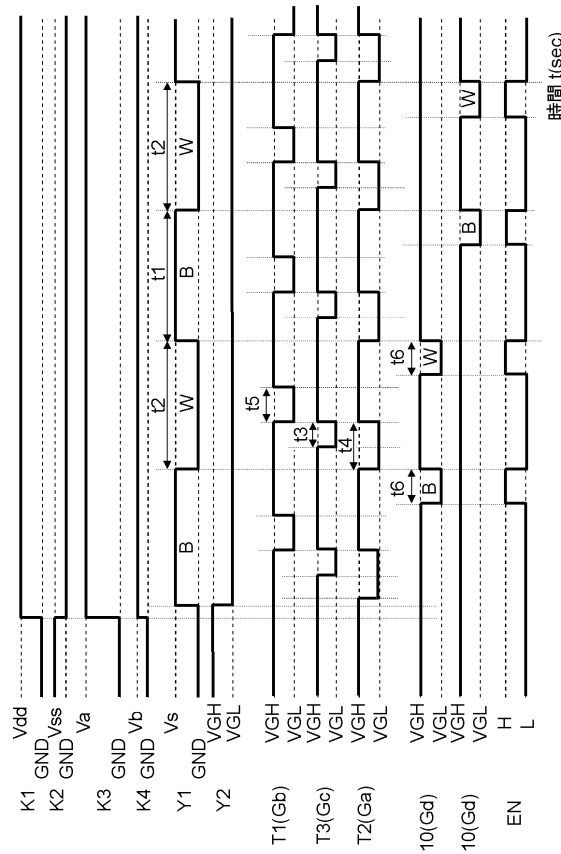
【図 9】



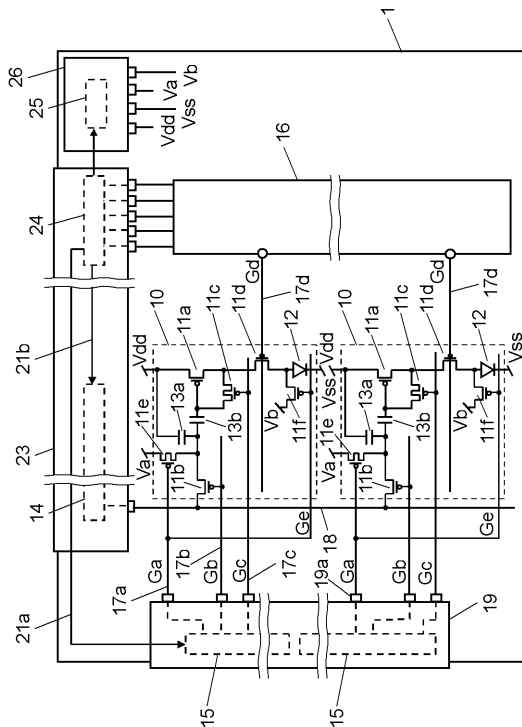
【図 10】



【図 11】



【図 1 2】



【手続補正書】

【提出日】平成26年7月2日(2014.7.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、発光材料として有機材料などを用いたエレクトロルミネッセンス（以下、ELと呼ぶ）素子をマトリックス状に配置したEL表示装置およびその製造方法に関するものである。

【背景技術】

【0002】

有機EL素子をマトリックス状に備えたアクティブマトリックス型のEL表示装置がスマートフォンなどの表示装置として用いられ、商品化されている。また、近年では、EL表示パネルは、大型化に向けて開発が進められている。

【0003】

このEL表示装置は、特許文献1、2、3に示すように、画素を構成するために複数のトランジスタが必要であり、トランジスタを制御するゲート信号線も複数本必要となる。したがって、液晶表示パネルに比較して、画素構成が複雑で、駆動方法も複雑である。

【先行技術文献】

【特許文献】

【0004】

【特許文献１】特開２００５－１６４８９２号公報

【特許文献２】特開２００１－６００７６号公報

【特許文献３】特開２００７－２２５９２８号公報

【発明の概要】

【０００５】

本開示のＥＬ表示装置は、ＥＬ素子を有する複数の画素がマトリックス状に配置された表示領域を備えたＥＬ表示パネルと、画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えている。画素は、ＥＬ素子に電流を供給する駆動用トランジスタと、駆動用トランジスタに接続されＥＬ素子に供給する電流を制御する第１のスイッチ用トランジスタと、ソース信号線に接続され画素に映像信号を供給する第２のスイッチ用トランジスタとを有する。さらに、ゲートドライバ回路は、ＥＬ表示パネルに画素とともに形成されて配置された第１のゲートドライバ回路と、ＥＬ表示パネルのゲート信号線に外部接続された第２のゲートドライバ回路とを備えている。第１のゲートドライバ回路は、画素の第１のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、第２のゲートドライバ回路は、画素の第２のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続している。

【０００６】

また、本開示のＥＬ表示装置の製造方法は、ＥＬ素子を有する複数の画素がマトリックス状に配置された表示領域を備えたＥＬ表示パネルと、画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えたＥＬ表示装置の製造方法である。画素は、ＥＬ素子に電流を供給する駆動用トランジスタと、駆動用トランジスタに接続されＥＬ素子に供給する電流を制御する第１のスイッチ用トランジスタと、ソース信号線に接続され画素に映像信号を供給する第２のスイッチ用トランジスタとを有する。さらに、ゲートドライバ回路は、ＥＬ表示パネルに画素とともに形成されて配置された第１のゲートドライバ回路と、ＥＬ表示パネルのゲート信号線に外部接続された第２のゲートドライバ回路とを備えている。第１のゲートドライバ回路は、画素の第１のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、第２のゲートドライバ回路は、画素の第２のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続している。さらに、ＥＬ表示パネルには、画素にソース信号線を通してテスト信号を供給するテスト回路を形成している。ＥＬ表示パネルの画素にテスト信号を供給する検査を行った後、テスト回路をＥＬ表示パネルから分離する。

【０００７】

この構成により、画素を構成する複数のトランジスタについて、それぞれ最適にオンオフ制御を実現できるので、簡単な構成で検査の容易なＥＬ表示装置を実現できる。また、パネル検査時は、迅速に検査を実施することができる。

【図面の簡単な説明】

【０００８】

【図１】図１は一実施の形態におけるＥＬ表示装置の画素の概略構成図である。

【図２Ａ】図２Ａは一実施の形態におけるＥＬ表示装置の画素の動作を説明するための初期動作の説明図である。

【図２Ｂ】図２Ｂは一実施の形態におけるＥＬ表示装置の画素の動作を説明するためのリセット動作の説明図である。

【図２Ｃ】図２Ｃは一実施の形態におけるＥＬ表示装置の画素の動作を説明するためのプログラム動作の説明図である。

【図２Ｄ】図２Ｄは一実施の形態におけるＥＬ表示装置の画素の動作を説明するための発光動作の説明図である。

【図３】図３は一実施の形態におけるＥＬ表示装置のＥＬ表示パネルの一例を示す断面図である。

【図４】図４は一実施の形態におけるＥＬ表示装置のＥＬ表示パネルの他の例を示す断面図である。

【図５】図５は一実施の形態におけるＥＬ表示装置のゲート信号線の接続状態を示す構成図である。

【図６】図６は一実施の形態におけるＥＬ表示装置の内蔵ゲートドライバ回路側の構成図である。

【図７】図７は遅延時間ばらつき（点線）と遅延時間比（実線）の関係を示す図である。

【図８】図８は一実施の形態におけるＥＬ表示装置のテスト回路の構成を示す構成図である。

【図９】図９は一実施の形態におけるＥＬ表示装置のＥＬ表示パネルの検査方法の説明図である。

【図１０】図１０は図９の主要部に供給される電圧波形を示す図である。

【図１１】図１１は図９の主要部に供給される電圧波形の他の例を示す図である。

【図１２】図１２は一実施の形態におけるＥＬ表示装置を示す構成図である。

【発明を実施するための形態】

【０００９】

以下、一実施の形態における情報表示装置について、図面を用いて説明する。

【００１０】

図１は、一実施の形態におけるＥＬ表示装置の画素の概略構成図である。なお、図１においては、ＥＬ表示装置の主要部のみ示している。

【００１１】

図１に示すように、ＥＬ表示装置は、ＥＬ表示パネル１と駆動回路を搭載した配線基板とから構成されている。ＥＬ表示パネル１は、表示領域にＥＬ素子を有する複数の画素をマトリクス状に配置した構成である。

【００１２】

まず、画素の構成について説明する。１個の画素１０は、Ｐチャンネルの駆動用のトランジスタ１１ａのドレイン端子に、スイッチ用のトランジスタ１１ｄのソース端子が接続され、トランジスタ１１ｄのドレイン端子にＥＬ素子１２のアノード端子が接続された構成を有している。トランジスタ１１ｂ、１１ｃ、１１ｅ、１１ｆは、画素１０に設けられた他のスイッチ用のトランジスタであり、またコンデンサ１３ａ、１３ｂ、１３ｃ、１３ｄ、１３ｅは、トランジスタ１１ａ～１１ｆのオンオフを制御するためのコンデンサである。

【００１３】

また、ＥＬ素子１２のカソード端子には、カソード電圧 V_{ss} が印加されており、トランジスタ１１ａのソース端子には、ＥＬ表示装置のアノード電極からアノード電圧 V_{dd} が印加されており、それらのアノード電圧 V_{dd} とカソード電圧 V_{ss} とは、アノード電圧 $V_{dd} > \text{カソード電圧 } V_{ss}$ の関係になるように設定されている。

【００１４】

また、駆動回路は、ソースドライバ回路としてのソースドライバＩＣ１４と、ゲートドライバ回路としてのゲートドライバＩＣ１５およびＥＬ表示パネル１に内蔵したゲートドライバ回路１６とを有する。ソースドライバＩＣ１４、ゲートドライバＩＣ１５、ゲートドライバ回路１６と、画素１０とは、ゲート信号線１７（１７ａ、１７ｂ、１７ｃ、１７ｄ、１７ｅ）およびソース信号線１８を介して電氣的に接続されている。また、ゲート信号線１７ｄが接続される端子電極１６ａを有するゲートドライバ回路１６は、ＥＬ表示パネル１に画素１０とともに形成されて配置されることによりＥＬ表示パネル１に内蔵されている。すなわち、ＥＬ表示パネル１の画素１０のトランジスタの作製プロセスを用いて同時に形成されている。一方、ゲート信号線１７ａ、１７ｂ、１７ｃ、１７ｅが接続される端子電極１９ａを有する配線基板としてのフレキシブル基板（以下、ＣＯＦという）１９には、ゲートドライバＩＣ１５が搭載され、このＣＯＦ１９を介してゲートドライバＩＣ１５がＥＬ表示パネル１のゲート信号線１７ａ、１７ｂ、１７ｃ、１７ｅに外部接続さ

れている。なお、ゲートドライバIC15は、COF19を用いることなく、直接EL表示パネル1の接続端子に外部接続して搭載してもよい。

【0015】

ゲートドライバIC15、ゲートドライバ回路16は、高温ポリシリコン、低温ポリシリコン、連続粒界シリコン、透明アモルファス酸化物半導体、アモルファスシリコンなどのいずれの方法で形成したものでもよい。また、ゲートドライバIC15、ゲートドライバ回路16は、後述するように、ゲート信号線17に順次信号を供給するためのシフトレジスタ回路とバッファ回路とを有する。シフトレジスタ回路の走査方向を反転させることにより、EL表示パネル1の表示画面を上下反転して表示することができる。

【0016】

なお、図1において、20はテスト回路で、EL表示パネル1の外部に配置され、ソース信号線18に電氣的に接続されるものである。また、このテスト回路20は、EL表示パネル1の製造工程において、パネル検査後に分離されるものである。

【0017】

図1に示すように、画素10の発光の選択／非選択を制御する信号が供給されるゲート信号線において、ゲート信号線17d(Gd)にオン電圧が印加されると、トランジスタ11dがオンし、トランジスタ11aからの発光電流がEL素子12に供給され、EL素子12は、発光電流の大きさに基づき発光する。発光電流の大きさは、ソース信号線18に印加された映像信号を、スイッチ用のトランジスタ11bを通して画素10に印加することにより決定される。

【0018】

すなわち、トランジスタ11aのゲート端子とドレイン端子間には、トランジスタ11bのソース端子とドレイン端子が接続され、ゲート信号線17b(Gb)にオン電圧が印加されることにより、トランジスタ11aのゲート端子とドレイン端子間を短絡(接続)する。トランジスタ11aのゲート端子には、コンデンサ13bの一方の端子が接続され、コンデンサ13bの他方の端子は、トランジスタ11bのドレイン端子と接続されている。トランジスタ11cのソース端子は、トランジスタ11bを介してソース信号線18と接続されており、トランジスタ11cのゲート端子にゲート信号線17c(Gc)のオン電圧が印加されると、トランジスタ11cがオンして、ソース信号線18に供給された映像信号に応じて、電圧Vssが画素10に印加される。

【0019】

また、画素10のコンデンサ13aの一方の端子は、トランジスタ11bのドレイン端子と接続され、他方の端子は、EL表示装置のアノード電極に接続され、アノード電圧Vddが印加されている。

【0020】

トランジスタ11eのドレイン端子は、トランジスタ11bのドレイン端子と接続され、トランジスタ11eのソース端子は、リセット電圧Vaが印加された信号線と接続されている。ゲート信号線17a(Ga)にオン電圧が印加されることにより、トランジスタ11eがオンし、リセット電圧Vaがコンデンサ13aに印加される。

【0021】

ここで、トランジスタ11c、11eはPチャンネルにし、LDD構造を採用する。つまり、複数のトランジスタのゲートが直列に接続した構造を採用することにより、トランジスタ11c、11eのオフ特性を良好にできる。トランジスタ11c、11e以外のトランジスタもPチャンネルを採用し、LDD構造を採用することが好ましく、必要に応じて、マルチゲート構造とすることにより、オフリークを抑制でき、良好なコントラスト、オフセットキャンセル動作を実現できる。

【0022】

なお、コンデンサ13aについて、アノード電圧Vddを印加する構成としているが、これに限定するものではなく、他の任意の直流電圧と接続してもよい。トランジスタ11aについても同様にアノード電圧Vdd以外の任意の直流電圧を印加する構成としてもよ

い。つまり、コンデンサ 13 a と、トランジスタ 11 a のソース端子には、同じ電圧を印加するのではなく、異なる電圧を印加するようにしてもよい。例えば、トランジスタ 11 a のソース端子は、アノード電圧 V_{dd} を印加し、コンデンサ 13 a には、直流電圧 V_b (5 (V)) の電圧を印加する接続構成としてもよい。

【0023】

また、PWM 駆動方式のように、画素 10 を点滅あるいはデジタル的に点灯させて表示するデジタル駆動方式の場合は、所定の電圧値をトランジスタ 11 b を通して画素 10 に印加し、映像信号の階調に対応するビット数に応じて、トランジスタ 11 d をオンオフさせて、階調表示することにより発光駆動制御を行う。また、トランジスタ 11 d をオンオフ制御し、表示領域に帯状の黒表示（非表示）を発生させ、表示領域に流れる電流量を制御する。

【0024】

次に、図 1 において、点線で示しているコンデンサ 13 c、13 d の作用について説明する。コンデンサ 13 c は、ゲート信号線 17 b とトランジスタ 11 a の間に形成され、コンデンサ 13 d は、ゲート信号線 17 d とトランジスタ 11 a のゲート端子の間に形成される。このコンデンサ 13 c、13 d など突き抜けコンデンサと呼び、また、変化させる電圧あるいは変化した電圧を、突き抜け電圧と呼ぶ。

【0025】

図 1 において、ゲート信号線 17 b にオン電圧 (V_{GL1}) が印加されている時には、トランジスタ 11 b がオン状態であり、ソース信号線 18 に印加されている映像信号が画素 10 に印加される。次に、ゲート信号線 17 b に印加される電圧が、オン電圧 V_{GL1} からオフ電圧 V_{GH1} に変化すると、トランジスタ 11 b はオフする。その際、コンデンサ 13 c の一端の電圧も V_{GL1} から V_{GH1} に変化し、変化に基づいた電圧がトランジスタ 11 a のゲート端子に伝達される。伝達された電圧は、トランジスタ 11 a のゲート端子電圧を上昇させる方向であり、またトランジスタ 11 a が P チャンネルトランジスタであるため、電圧変化は、トランジスタ 11 a が EL 素子 12 に流す電流を減少させる方向となり、良好な黒表示を実現できる。

【0026】

このように、コンデンサ 13 c の容量を介して駆動用のトランジスタ 11 a のゲート端子電圧（コンデンサ 13 e の電位）を変化させることにより、良好な黒表示を行うことができる。

【0027】

また、トランジスタ 11 d がオンのときは、ゲート信号線 17 d には、 V_{GL2} 電圧が印加され、トランジスタ 11 d がオフのときは、ゲート信号線 17 d には、 V_{GH2} 電圧が印加される。トランジスタ 11 d は、オフセットキャンセル動作の時は、オフ状態であり、EL 素子 12 を発光させるときは、オン状態である。したがって、表示開始時に、ゲート信号線 17 d は、 V_{GH2} 電圧 $\rightarrow$ V_{GL2} 電圧に変化する。そのため、トランジスタ 11 a のゲート端子の電圧は、突き抜けコンデンサ 13 d の作用により低下する。トランジスタ 11 a のゲート端子の電圧が低下すると、トランジスタ 11 a は、EL 素子 12 に大きな電流を流すことができ、高輝度表示が可能である。

【0028】

このように、コンデンサ 13 d の容量を介して駆動用のトランジスタ 11 a のゲート端子電圧を変化させることにより、EL 素子 12 に流す電流の振幅を大きくして、高輝度表示が可能となる。

【0029】

コンデンサ 13 c の容量は、コンデンサ 13 a またはコンデンサ 13 b の容量の $1/12$ 以上で $1/3$ 以下とすることが好ましい。コンデンサ 13 c の容量比が小さすぎると、トランジスタ 11 a のゲート端子電圧の変化割合が大きくなりすぎ、オフセットキャンセルした状態の理想値からの差異が大きくなりすぎる。また、容量比が大きすぎると、トランジスタ 11 a のゲート端子電圧の変化は小さくなり、効果が得られにくい。

【0030】

また、突き抜け電圧を発生させるコンデンサ13cは、画素が変調するR、G、Bの画素サイズあるいは供給する電流の大きさあるいは駆動用トランジスタのWL比に基づいて変化させることが好ましい。R、G、B画素の各EL素子12の駆動電流が異なり、黒レベルの電流あるいは電圧値が異なるためである。例えば、Rの画素のコンデンサ13cを0.02pFとした場合、他の色（G、Bの画素）のコンデンサ13cを0.025pFとする。また、Rの画素のコンデンサ13cを0.02pFとした場合、Gの画素のコンデンサ13cを0.03pFとし、Bの画素のコンデンサ13cを0.025pFとする。

【0031】

このようにR、G、Bの画素ごとにコンデンサ13cの容量を変化させることにより、オフセットキャンセル電圧あるいは黒レベルの駆動電流あるいは黒表示の電圧をRGBごとに調整することができる。

【0032】

さらに、突き抜け電圧は、保持用のコンデンサ13a、13bと、突き抜け電圧発生用のコンデンサ13cとの間の相対的な容量の差により決定されるため、コンデンサ13cをR、G、Bの画素で変化させることに限定されなく、保持用のコンデンサ13aの容量を変化させてもよい。例えば、Rの画素のコンデンサ13aを1.0pFとした場合、Gの画素のコンデンサ13aを1.2pFとし、Bの画素のコンデンサ13aを0.9pFとすることでもよい。

【0033】

また、表示領域の左右において、突き抜け電圧用のコンデンサ13cの容量を変化させてもよい。ゲートドライバIC15あるいはゲートドライバ回路16に近い位置にある画素10は信号供給側に配置されている。したがって、ゲート信号の立ち上がりが速い、あるいは、スルーレートが高いため、突き抜け電圧が大きくなる。表示領域の中央部あるいはゲートドライバIC15、ゲートドライバ回路16から遠い位置に形成されている画素は、ゲート信号の立ち上がりが遅いため、突き抜け電圧が小さくなる。したがって、ゲートドライバIC15との接続側に近い画素10の突き抜け電圧用のコンデンサ13cの容量を小さくし、ゲートドライバIC15から遠い位置の画素10のコンデンサ13cの容量を大きくなるように構成すればよい。

【0034】

図2A～図2Dは、EL表示装置の画素の動作を説明するための動作説明図である。図2A～図2Dを用いて、画素10の点灯動作についてさらに詳しく説明する。画素に映像信号を書き込む動作、EL素子12の発光動作は、図2A→図2B→図2C→図2Dで進行する。

【0035】

図2Aは初期動作の説明図である。水平同期信号（HD）後、初期化動作が実施される。図1において、ゲート信号線17a、17d、17eにオン電圧が印加され、トランジスタ11d、11e、11fがオンする。ゲート信号線17b、17cにはオフ電圧が印加され、トランジスタ11b、11cがオフする。リセット電圧Vaが印加された信号線から、リセット電圧Vaが、コンデンサ13aの一方の端子に供給される。

【0036】

トランジスタ11aには、ソース端子の電位Vddから、トランジスタ11a、11c、11fのチャンネルを介して、トランジスタ11fのドレイン端子の電極に印加された直流電圧Vbに向ってオフセットキャンセル電流Ifが流れる。なお、電圧の大きさは、アノード電圧Vdd>直流電圧Vb、リセット電圧Va>直流電圧Vbなる関係としている。

【0037】

オフセットキャンセル電流Ifが流れることにより、トランジスタ11aのドレイン端子電位が低下する。また、リセット電圧Vaによりリセット電流Irが流れ、コンデンサ

13bの端子にVa電圧が印加される。

【0038】

トランジスタ11aはオンし、僅かな期間の間、オフセットキャンセル電流Ifを流す。オフセットキャンセル電流Ifにより、少なくともトランジスタ11aのドレイン端子電圧はアノード電圧Vddより降下し、動作可能状態となる。

【0039】

図2Bは、リセット動作である。図1において、ゲート信号線17cにオン電圧が印加され、ゲート信号線17dにオフ電圧が印加される。トランジスタ11dがオフし、トランジスタ11cがオンする。

【0040】

トランジスタ11dがオフし、トランジスタ11cがオンすることにより、オフセットキャンセル電流Ifが、トランジスタ11aのゲート端子に向かって流れる。オフセットキャンセル電流Ifは、最初は比較的大きな電流が流れる。トランジスタ11aのゲート端子の電位が上昇し、オフ状態に近づくにつれ、流れる電流は減少する。最終的には、0μAあるいは0μA近傍の電流値となる。

【0041】

以上の動作により、トランジスタ11aは、オフセットキャンセルの状態となる。オフセットキャンセル電圧は、コンデンサ13bに保持される。コンデンサ13bは、一方の端子がリセット電圧Vaに保持されている。他の端子（トランジスタ11aのゲート端子に接続されている端子）に、オフセットキャンセル電圧が保持される。

【0042】

図2Cは、プログラム動作である。プログラム動作では、図1において、ゲート信号線17a、17c、17dにオフ電圧が印加され、トランジスタ11e、11c、11dがオフする。ゲート信号線17bにオン電圧が印加され、トランジスタ11bがオンする。

【0043】

一方、ソース信号線18には、映像信号電圧Vsが印加される。トランジスタ11bがオンすることにより、映像信号電圧Vsがコンデンサ13bに印加される。コンデンサ13bの端子は、リセット電圧Vaから映像信号電圧Vsに変化する。したがって、コンデンサ13bには、映像信号電圧Vs＋オフセットキャンセル電圧に基づいた電圧が保持されることになる。

【0044】

なお、映像信号電圧Vsは、アノード電圧Vddを基準とした電圧である。アノード電圧Vddは、パネル内の配線電圧降下により、パネル内で異なる。したがって、映像信号電圧Vsも画素に印加されるアノード電圧Vddに基づいて、可変あるいは変化させる。

【0045】

図2Dは、EL素子12の発光動作である。図2Cのプログラム動作後、図1において、ゲート信号線17bにはオフ電圧が印加され、トランジスタ11bはオフ状態となる。画素10はソース信号線18から切り離される。ゲート信号線17dには、オン電圧が印加され、トランジスタ11dがオンし、トランジスタ11aからの発光電流Ieが、EL素子12に供給される。EL素子12は、供給される発光電流Ieに基づいて発光する。

【0046】

なお、図1、図2A～図2Dにおいて、トランジスタ11fを削除してもよい。トランジスタ11fがない画素構成では、図2Aにおいて、トランジスタ11dがオンしたとき、オフセットキャンセル電流Ifは、EL素子12に流れる。オフセットキャンセル電流IfがEL素子12に流れることにより、EL素子12が発光するが、オフセットキャンセル電流Ifが流れる時間は、1μsec以下であるので、EL素子12が発光する時間はわずかである。したがって、EL表示装置（EL表示パネル）のコントラスト低下は、ほとんど発生しない。

【0047】

ソースドライバ回路としてのソースドライバIC14は、単なるドライバ機能だけでな

く、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。

【0048】

ゲートドライバ回路16は、Pチャンネルトランジスタと、コンデンサを用いてシフトレジスタ、出力バッファ回路を構成してもよい。Pチャンネルトランジスタのみ構成することにより、プロセスで使用するマスク数が少なくなり、パネルの低コスト化を実現することができる。

【0049】

また、トランジスタ11a～11fは、高温ポリシリコン、低温ポリシリコン、連続粒界シリコン、透明アモルファス酸化物半導体、アモルファスシリコン、赤外線RTAにより形成するなど、いずれの方法で構成したものでもよい。これらのトランジスタは、トップゲート構造にすることにより、寄生容量が低減し、トップゲートのゲート電極パターンが遮光層となり、EL素子12から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できる。

【0050】

ゲート信号線17またはソース信号線18、もしくはゲート信号線17とソース信号線18の両方の配線材料としては、配線抵抗を低減でき、より大型のEL表示パネルを実現できることから、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。

【0051】

このように本開示においては、EL表示パネル1に内蔵したゲートドライバ回路16と、EL表示パネル1に内蔵しないゲートドライバIC15を使用し、ゲートドライバ回路16はEL素子12への供給電流を制御するのに用い、ゲートドライバIC15は、画素10に映像信号を印加するトランジスタ11bの制御に用いるものである。詳細な説明は後述する。

【0052】

ここで、EL表示パネルの構成について説明する。

【0053】

図3は、EL表示パネルの一例を示す断面図である。図3に示すように、EL表示パネルの背面側には封止板30が配置されるとともに、表示面側にはアレイ基板31が配置され、そしてアレイ基板31の表示面には偏光板32が配置されている。このアレイ基板31の構成材料としては、光透過性を有するガラス基板、シリコンウエハ、金属基板、セラミック基板、プラスチックシートなどや放熱性を良好にするためにサファイアガラスなどが用いられる。封止板30の構成材料としては、アレイ基板31と同様な材料が用いられる。なお、封止板30とアレイ基板31との空間には、湿度に弱いEL材料の劣化を防止するために乾燥剤（図示せず）が配置されている。封止板30とアレイ基板31とは、周辺部を封止樹脂（図示せず）により封止されている。

【0054】

また、封止板30とアレイ基板31との間の空間、あるいは封止板30の表面などには、温度センサ（図示せず）が配置されており、この温度センサの出力結果により、EL表示パネルのデューティ比制御や点灯率制御などを実施する。さらに、パネル検査時、温度センサの検出出力に基づいて、ゲートドライバ回路の動作速度を調整するようにしている。

【0055】

まず、薄膜トランジスタアレイ基板側について説明すると、図3において、アレイ基板31内面には、赤（R）、緑（G）、青（B）からなるカラーフィルタ33（33R、33G、33B）が形成されている。なお、カラーフィルタは、RGBに限定されるのではなく、シアン（C）、マゼンダ（M）、イエロー（Y）色の画素を形成してもよい。また、白（W）の画素を形成してもよい。カラー表示を行うための1つの画素は、RG

Bの3画素で正方形の形状となるように作製されている。なお、R、G、Bの画素開口率は、異ならせてもよい。開口率を異ならせることにより、各画素のRGBのEL素子12に流れる電流密度を異ならせることができ、これにより、RGBのEL素子12の劣化速度を同一にすることができる。

【0056】

EL表示パネルにおいて、カラー表示を行う方法としては、上記のようにカラーフィルター33を用いる以外に、青色発光のEL層を形成し、発光する青色光を、R、G、Bの色変換層でR、G、B光に変換してもよい。

【0057】

また、アレイ基板31上に形成される各画素は、図1に示すように、複数のトランジスタ11を有しており、そして画素間にはゲート信号線17が配置されている。そして、カラーフィルター33上には、トランジスタ11やゲート信号線17およびソース信号線（図示せず）を覆うように層間絶縁膜としての絶縁膜34が形成され、さらにカラーフィルター33間にはブラックマトリクス35が形成されるとともに、トランジスタ11を形成している部分には遮光膜36が形成されている。また、絶縁膜34内には、アレイ基板31側のトランジスタ11と発光部側の画素電極を接続するための接続部37が配置されている。さらに、絶縁膜34上には、光散乱層38が形成されている。この光散乱層38は、樹脂材料に、酸化チタン、酸化アルミニウム、酸化マグネシウムなどを拡散させたものや、オパールガラスなどの光拡散物で構成すればよい。光散乱層38は、パネル内から放射される光を増加させることに寄与する。

【0058】

次に、発光部側について説明すると、図3において、絶縁膜34上には、各画素間を仕切るようにリブ39が形成され、そのリブ39内に、ITO、IGZO、IZOなどの透明電極からなるアノード電極40と、赤（R）、緑（G）、青（B）のEL層41R、41G、41Bが形成されている。そして、EL層41R、41G、41B上には、アノード電極40とでEL層41R、41G、41Bを挟むようにカソード電極42が形成されている。

【0059】

このカソード電極43としては、銀（Ag）、アルミニウム（Al）、マグネシウム（Mg）、カルシウム（Ca）あるいはこれらの合金や、ITO、IGZO、IZOなどの透明電極を用いることができる。

【0060】

ここで、図3に示す例は、アレイ基板31側から光を取り出す構成の例であるが、図4に示すように、発光部側から光を取り出す構成のEL表示パネルを用いてもよい。

【0061】

図4に示す例のパネルにおいては、カソード電極42の上層あるいは下層に、クロム（Cr）、アルミニウム（Al）、チタン（Ti）、銅（Cu）の中から選ばれる金属の積層構造や複数の金属材料の合金金属薄膜からなる低抵抗化配線43を形成している。そして、この低抵抗化配線43を含め、カソード電極42を封止膜44で覆った後、ガラス基板や光透過性のフィルムからなる封止基板45を接着層46により接着した構成としている。

【0062】

次に、EL表示装置の構成および製造時の検査方法について説明する。

【0063】

図5はEL表示装置において、ゲート信号線の接続状態を示す構成図である。なお、図5においては、2画素分のみ図示し、さらに図1において点線で示したコンデンサ13c～13eは省略して示している。

【0064】

図5に示すように、トランジスタ11bのゲート端子は、ゲート信号線17b（Gb）に接続され、ゲート信号線17b（Gb）はゲートドライバIC15あるいは、COF1

9の端子電極19aに接続されている。トランジスタ11eのゲート端子はゲート信号線17a(Ga)に接続され、トランジスタ11fのゲート端子はゲート信号線17e(Ge)に接続されている。また、トランジスタ11cのゲート端子はゲート信号線17c(Gc)に接続されている。そして、ゲート信号線17eは1本のゲート信号線17a(Ga)に接続され、ゲートドライバIC15を搭載したCOF19の端子電極19aに接続されている。したがって、ゲート信号線17a(Ga)には、2つのトランジスタ(11e、11f)が接続されている。ゲートドライバIC15は、ゲート信号線17aにオンオフ電圧を出力し、トランジスタ11e、11fをオンオフ制御する。また、ゲートドライバIC15は、各画素行を順次、または個別に制御し、パネルに画像を表示させる。

【0065】

なお、トランジスタ11bのゲート信号線17bのように、画素10に映像信号を印加し、高速書き込みが必要なトランジスタを制御するゲート信号線は、外付けのゲートドライバIC15に接続している。また、ゲート信号線17aのように、1つのゲート信号線に接続されたトランジスタが複数である場合は、外付けのゲートドライバIC15に接続している。

【0066】

一方、トランジスタ11dのゲート信号線17dのように、駆動用のトランジスタ11aから、EL素子12に供給する発光電流を制御するゲート信号線はパネル内蔵のゲートドライバ回路16に接続されている。

【0067】

図5において、ゲートドライバIC15には、3つのシフトレジスタ回路15a、15b、15cと、出力バッファ回路15dが設けられている。図5には図示していないが、シフトレジスタ回路15a、15b、15cの出力は、外部に引き出され、クロック信号CKやスタートパルス信号STが供給される制御信号線に接続されている。

【0068】

ここで、ゲートドライバIC15で駆動(制御)され、高速な応答性が必要なゲート信号線17(ゲート信号線17a、17b、17c、17e)は、抵抗値が低くなるように、銅(Cu)、またはチタン(Ti)-銅(Cu)-チタン(Ti)の3層あるいは銅(Cu)合金により構成されている。一方、ゲートドライバ回路16で駆動されるゲート信号線17(ゲート信号線17d)は、比較的高速な応答性を必要としないため、比較的インピーダンスが高くてもよい、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、またはこれらの金属の合金により構成している。

【0069】

すなわち、外付けのゲートドライバIC15で制御されるゲート信号線17は、内蔵のゲートドライバ回路16で制御されるゲート信号線17よりも配線抵抗が低くなるような金属材料により構成されている。なお、配線抵抗を低くする方法として、金属材料そのものを変えるのではなく、配線の膜厚や幅を変更することにより実現してもよい。

【0070】

図6はEL表示装置において、内蔵ゲートドライバ回路側の構成および複数の画素との接続状態を示す構成図である。なお、図6においては、図5に示すように、ゲート信号線17eはゲート信号線17aに共通に接続されたものとして省略している。また、図6において、2はEL表示パネル1の表示領域を示している。

【0071】

図6に示すように、ゲートドライバ回路16は、ゲート信号線17dにオンオフ電圧(VGH2、VGL2)を出力し、ゲートドライバIC15は、ゲート信号線17a、17b、17cにオンオフ電圧(VGH1、VGL1)を出力する。このゲートドライバIC15とゲートドライバ回路16の出力電圧VGH1、VGH2、VGL1、VGL2は、画素10の各トランジスタに適応した電圧値に個別に設定ができるように構成されている。また、ゲートドライバ回路16には、シフトレジスタ回路16bと少なくとも2段のインバータ回路16c、16dが設けられており、このゲートドライバ回路16のシフトレ

ジスタ回路 16 a と、図 5 に示すゲートドライバ IC 15 のシフトレジスタ回路 15 a、15 b、15 c と、ソースドライバ IC 14 には、クロック信号 CK やスタートパルス信号 ST を供給する制御信号線 21 a、21 b が接続されている。

【0072】

ここで、ゲートドライバ回路 16 は、シフトレジスタ回路 16 b の出力段のゲート駆動能力は小さいので、シフトレジスタ回路 16 b を構成するゲート回路で直接、ゲート信号線 17 d を駆動するのが不可能であり、そのため、インバータ回路 16 c、16 d を多段接続する必要がある。インバータ回路 16 c、16 d の接続段数が多いと、接続されているインバータ回路 16 c、16 d の特性差が積み重なり、シフトレジスタ回路 16 b から端子電極 16 a までの伝達時間に差が生じる。例えば、極端な場合では、シフトレジスタ回路 16 b から出力パルスが出力されてから、端子電極 16 a には 1.0 μ sec 後にオンオフ信号が出力される。

【0073】

具体的には、図 6 において、インバータ回路 16 c の N チャンネルトランジスタのチャンネル幅を W_1 、チャンネル長を L_1 とし、インバータ回路 16 d の N チャンネルトランジスタのチャンネル幅を W_2 、チャンネル長を L_2 とすると、インバータ回路 16 d の W_2/L_2 の大きさと、インバータ回路 16 c の W_1/L_1 とのサイズ比が大きいと遅延時間が長くなり、また、インバータの特性のばらつきも大きくなる。

【0074】

図 7 は、遅延時間ばらつき（点線）と遅延時間比（実線）の関係を示す図である。横軸は $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ で示す。例えば、図 6 において、インバータ回路 16 d とインバータ回路 16 c の L ($L_1 = L_2$) が同一で、 $2 \cdot W_1 = W_2$ であれば $(W_1/L_1) / (W_2/L_2) = 0.5$ である。図 7 のグラフにおいて、遅延時間比は $(W_{n-1}/L_{n-1}) / (W_n/L_n) = 0.5$ のときを 1 とし、遅延同様に時間ばらつきも 1 としている。

【0075】

図 7 に示すように、 $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が大きくなるほど、インバータ回路部の遅延時間ばらつきも大きくなる。また、 $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が小さくなるほど、インバータ回路 16 c から次段へのインバータ回路 16 d への遅延時間が長くなる。この図 7 から明らかなように、遅延時間比および遅延時間ばらつきを 2 以内にすることが設計上有利であることがわかる。したがって、次式の条件を満たせばよい。

【0076】

$$0.25 \leq (W_{n-1}/L_{n-1}) / (W_n/L_n) \leq 0.75$$

また、各インバータ回路 16 c、16 d の P チャンネルの W/L 比 (W_p/L_p) と n チャンネルの W/L 比 (W_s/L_s) とは以下の関係を満たす必要がある。

【0077】

$$0.4 \leq (W_s/L_s) / (W_p/L_p) \leq 0.8$$

図 8 は EL 表示装置において、テスト回路の構成を示す構成図である。

【0078】

図 8 に示すように、テスト回路 20 は、各ソース信号線 18 の一端に接続されており、テスト回路 20 内には、RGB の各画素 10 R、10 G、10 B のソース信号線 18 の一端に接続されるテスト用のトランジスタ T (トランジスタ TR1、TG1、TB1・・・TRn、TGn、TBn) が接続されている。

【0079】

テスト用のトランジスタ T は、赤 (R)、緑 (G)、青 (B) 電圧の印加用のトランジスタ (スイッチ回路) であり、RGB の各画素 10 R、10 G、10 B に順次電圧を印加するためのスイッチ用のトランジスタである。トランジスタ T のゲート端子は、電極端子 Y1～Y4 に接続され、その電極端子 Y1～Y4 には、プローブ 22 a～22 d が接続され、トランジスタ T のオンオフ電圧が印加される。この電極端子 Y1～Y4 に印加される

電圧に基づいて、トランジスタTがオンオフ制御される。この電極端子Y1～Y4に印加されるオンオフ電圧とは、映像信号電圧と等価的な電圧であり、例えばオフ電圧VGH、オン電圧VGLで、オン電圧を印加することにより、トランジスタTがオンして、テスト電圧が各画素10に印加される。すなわち、テスト電圧の大きさを可変することにより、画素10の表示輝度を変化させることができる。

【0080】

EL表示パネル1のテスト時は、プローブ22aにオン電圧が印加されてトランジスタTがオンし、テスト電圧が各ソース信号線18に印加される。テスト時は、ゲートドライバ回路16を動作させ、選択するゲート信号線位置を移動させて検査を行う。また、必要に応じて、ゲートドライバIC15を動作させて、検査を行う。

【0081】

このようにテスト時は、テスト回路20と、ゲートドライバ回路16とを同時に制御し、パネル検査を行うことにより、パネル検査を容易にし、精度のよい検査を迅速に実施できるという効果が得られる。

【0082】

なお、画素10を黒表示するためには、画素の駆動用のトランジスタ11aがPチャンネルの時は、一般的にテスト電圧をアノード電圧Vdd近傍の電圧値とする。白表示するためには、一般的には、テスト電圧をグラウンド電圧あるいはカソード電圧Vss近傍の電圧値とする。

【0083】

図9はEL表示装置の製造方法において、EL表示パネルの検査方法を説明するための説明図である。図9には検査時の配線状態を模式的に図示している。

【0084】

図9に示すように、外部接続されるゲートドライバIC15に接続するゲート信号線17a、17b、17cの一端は、EL表示パネル1の端部に形成された配線1aを介してT1端子、T2端子、T3端子に接続されている。すなわち、T1端子は、複数の画素10のゲート信号線17b(Gb)と接続され、T2端子は、複数の画素10のゲート信号線17aと接続され、T3端子は、複数の画素10のゲート信号線17cと接続されている。また、上述したようにゲート信号線17dには、EL表示パネル1に内蔵したゲートドライバ回路16が接続され、ソース信号線18には、図8において説明したように、一端がテスト回路20に接続されている。

【0085】

図9において、T1端子にオン電圧(VGL1)またはオフ電圧(VGH1)を印加することにより、画素10のトランジスタ11bをオンオフ制御でき、ソース信号線18に印加された映像信号を画素10に書き込むことができる。また、T2端子にオン電圧(VGL1)またはオフ電圧(VGH1)を印加することにより、画素10のトランジスタ11e、11fをオンオフ制御でき、画素10にリセット電圧Vaを印加することができる。さらに、T3端子にオン電圧(VGL1)またはオフ電圧(VGH1)を印加することにより、画素10のトランジスタ11cをオンオフ制御でき、画素10にリセット電圧Vaを印加し、トランジスタ11cをオンさせることにより、オフセットキャンセル動作を実現することができる。

【0086】

図9に示すように、ゲート信号線17a、17b、17cには、T1端子、T2端子、T3端子を通して所定のテスト信号を供給するとともに、ゲート信号線17dには内蔵のゲートドライバ回路16から所定のテスト信号を供給し、またソース信号線18にはテスト回路20を通して所定のテスト信号を供給する。ゲートドライバ回路16によるゲート信号線17dの選択は、同時に複数本のゲート信号線17dを選択してもよい。ゲート信号線17dの選択は、ゲートドライバ回路16に印加するスタート信号(ST)により設定することが可能である。

【0087】

このようにしてE L表示パネル1の検査を行った後、図9のA－A線およびB－B線でE L表示パネル1の基板を切断して、配線1 a部分およびテスト回路2 0部分を分離することにより、E L表示パネル1の検査を簡単な構成で迅速に行うことができる。

【0088】

なお、テスト回路2 0部分については、検査終了後、テスト回路2 0のトランジスタをオフさせる電圧を常時印加するように構成することにより、E L表示パネル1の基板をB－B線で切断しなくてもよい。また、ゲート信号線1 7 a、1 7 b、1 7 c側についても、T 1端子、T 2端子、T 3端子を設けるのではなく、直接ゲート信号線1 7 a、1 7 b、1 7 cに検査用プローブを電氣的に接触させて所定のテスト信号を供給するように構成することにより、検査終了後の基板の切断作業を行う必要はない。

【0089】

図1 0は図9の主要部に供給される電圧波形を示す図である。図1 0において、Bは低輝度（黒表示）を示し、Wは高輝度（白表示）を表している。

【0090】

図1 0に示すように、図9のK 1端子にアノード電圧V d dが印加され、K 2端子にカソード電圧V s sが印加され、K 3端子にリセット電圧V aが印加され、K 4端子に電圧V bが印加される。ゲートドライバ回路1 6のV G H 2電圧がV G H 2端子に印加され、V G L 2電圧がV G L 2端子に印加される。また、ゲートドライバ回路1 6のクロックC KがC K端子に印加され、スタート信号S TがS T端子に印加され、イネーブル信号E NがE N端子に印加される。

【0091】

T 1端子に検査用プローブを接触させ、ゲート信号線1 7 bにオンオフ電圧（V G L、V G H）を印加してトランジスタ1 1 bをオンオフ制御する。また、T 2端子からゲート信号線1 7 aにオンオフ電圧（V G L、V G H）を印加してトランジスタ1 1 e、1 1 fをオンオフ制御する。また、T 3端子からゲート信号線1 7 cにオンオフ電圧（V G L、V G H）を印加してトランジスタ1 1 cをオンオフ制御する。

【0092】

Y 2端子には、テスト回路2 0のトランジスタのオンオフ信号電圧が印加される。テスト回路2 0のトランジスタは、Pチャンネルトランジスタで形成されており、Y 2端子にV G L電圧を印加することにより、トランジスタがオンする。Y 1端子には、映像信号電圧V sが印加され、赤（R）色の画素、緑（G）色の画素、青（B）色の画素それぞれに、映像信号に応じた適正な電圧が印加される。この画素に印加する電圧を間欠的に印加することにより、E L表示パネル1のR G Bの画素を間欠的に点灯させることができる。

【0093】

なお、検査方法について、E L素子1 2を点灯あるいは非点灯状態にして検査する例を挙げて説明したが、トランジスタ1 1の短絡欠陥などの検査は、短絡箇所に流れる電流を検出することにより検査などが可能である。短絡箇所に流れる電流の検出は、ソース信号線1 8などにピックアップ用のプローブを接触させて電流を検出すればよい。

【0094】

また、映像信号電圧V sを可変することにより、画素の発光輝度を変化させることができる。画素1 0の駆動用のトランジスタ1 1 aは、Pチャンネルトランジスタであるため、映像信号電圧V sをアノード電圧V d dに近くすることにより、画素1 0の発光輝度は低くなる。一方、映像信号電圧V sをグランドあるいはカソード電圧V s sに近い電圧にすることにより、画素1 0の発光輝度は高くなる。当然のことながら、映像信号電圧V sを調整あるいは可変することにより、画素1 0のE L素子1 2の発光輝度を調整することができる。

【0095】

図1 0に示すように、Y 1端子には、t 1 + t 2期間を1周期とし、低輝度、高輝度になる電圧を印加し、t 1期間、t 2期間を独立に可変することにより、あるいは、t 1 + t 2期間に対するt 1期間あるいはt 2期間を可変することにより、画素1 0のコンデン

サ 1 3 の保持特性なども検査することができる。また、E L 素子 1 2 の発光特性、トランジスタ 1 1 の特性を検査することができる。

【0096】

また、T 2 端子に t 4 期間の間、V G L 電圧を印加することにより、ゲート信号線 1 7 a (G a) に接続されたトランジスタ 1 1 e、1 1 f がオンする。また、ゲート信号線 1 7 d (G d) にオン電圧 V G L が印加されることにより、トランジスタ 1 1 d がオンする。トランジスタ 1 1 d およびトランジスタ 1 1 f がオンすることにより、アノード電圧 V d d → トランジスタ 1 1 a → トランジスタ 1 1 d → トランジスタ 1 1 f → V b 端子の電流経路が発生し、駆動用のトランジスタ 1 1 a のドレイン端子が低下する。

【0097】

次に、T 3 端子に t 3 期間の間、V G L 電圧を印加することにより、ゲート信号線 1 7 c (G c) に接続されたトランジスタ 1 1 c がオンし、トランジスタ 1 1 a がオフセットキャンセルされる。次に、T 2 端子、T 3 端子に、V G H 電圧が印加され、トランジスタ 1 1 e、1 1 f、1 1 c がオフ動作となる。T 1 端子には、t 5 期間の間、ゲート信号線 1 7 c に V G L 電圧を印加することにより、トランジスタ 1 1 b がオンする。トランジスタ 1 1 b のオンにより、映像信号が画素 1 0 に印加される。

【0098】

なお、t 3、t 4、t 5 期間を可変あるいは調整することにより、画素 1 0 のオフセットキャンセル動作を行うことができ、リセット電圧 V a の印加時間を可変することにより、トランジスタ 1 1 の動作状態を変更あるいは調整することができ、画素 1 0 の動作試験を行うことができる。

【0099】

また、画素 1 0 の E L 素子 1 2 の発光 (オン)、非発光 (オフ) の制御は、パネル内蔵のゲートドライバ回路 1 6 のイネーブル端子 (E N 端子) に供給する信号で行う。E N 端子をロジックレベルで H レベルにすると、ゲート信号線 1 7 d (G d) に V G L 電圧が出力され、トランジスタ 1 1 d がオンする。トランジスタ 1 1 d がオンすることにより、駆動用のトランジスタ 1 1 a からの発光電流を E L 素子 1 2 に供給する電流パスが発生し、該当の E L 素子 1 2 が発光する。E N 端子をロジックレベルで L レベルにすると、ゲート信号線 1 7 d (G d) に V G H 電圧が出力され、トランジスタ 1 1 d がオフする。トランジスタ 1 1 d がオフすることにより、駆動用のトランジスタ 1 1 a からの発光電流を E L 素子 1 2 に供給する電流パスがなくなり、該当の E L 素子 1 2 は非点灯となる。

【0100】

この E L 素子 1 2 の制御に同期して、Y 2 端子に映像信号を印加する。Y 1 端子にオン電圧 (V G L) を印加して、テスト回路 2 0 のトランジスタをオンさせ、ソース信号線 1 8 にテスト用の映像信号電圧を印加する。

【0101】

テスト用の映像信号電圧は、例えば図 1 0 において、t 2 期間または t 1 期間に印加する。

【0102】

図 1 0 に示す信号波形は、偶数、奇数などのように 2 つの画素について、黒と白の表示を交互に行う例であるが、図 1 1 に示すような信号波形を供給してもよい。図 1 1 に示す例は、1 つの画素について、黒から白に表示し、次の画素について、黒から白に表示を表示する、すなわち 2 つの画素において、交互に黒表示、白表示を行うものである。

【0103】

図 1 2 は E L 表示装置の全体構成を示す構成図である。図 1 2 においては、図 9 に示すように検査を行った後、E L 表示パネル 1 の基板を A - A 線、B - B 線で切断し、その後外部接続するドライバ回路を搭載した状態を示している。

【0104】

図 1 2 に示すように、E L 表示パネル 1 には、ソースドライバ I C 1 4 を搭載したフレキシブル基板 (C O F) 2 3 やゲートドライバ I C 1 5 を搭載したフレキシブル基板 (C

OF) 19を実装している。また、ソースドライバIC14を搭載したフレキシブル基板(COF) 23には、制御用IC24も搭載され、ゲートドライバ回路16に対して動作を制御するためのタイミング信号を供給するように接続されている。すなわち、ソースドライバIC14は、映像信号に同期したタイミング信号を制御用IC24に供給し、制御用IC24はタイミング信号の電圧をレベルシフトすることにより、ゲートドライバ回路16を制御する。なお、25は電源制御用ICであり、フレキシブル基板(COF) 26に搭載されている。

【0105】

以上説明したように本開示は、EL素子12を有する複数の画素10がマトリックス状に配置された表示領域を備えたEL表示パネル1と、画素10に接続されたソース信号線18を通して映像信号を供給するソースドライバ回路としてのソースドライバIC14と、画素10に接続されたゲート信号線17を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えたEL表示装置に関する。画素10は、EL素子12に電流を供給する駆動用のトランジスタ11aと、駆動用のトランジスタ11aに接続されEL素子12に供給する電流を制御する第1のスイッチ用のトランジスタ11dと、ソース信号線18に接続され画素10に映像信号を供給する第2のスイッチ用のトランジスタ11b、11c、11eとを有する。かつゲートドライバ回路は、EL表示パネル1に画素10とともに形成されて配置された第1のゲートドライバ回路としてのゲートドライバ回路16と、EL表示パネル1のゲート信号線17a、17b、17cに外部接続された第2のゲートドライバ回路としてのゲートドライバIC15とを備えている。ゲートドライバ回路16は、画素10の第1のスイッチ用のトランジスタ11dのゲート端子にゲート信号線17dを介して接続し、ゲートドライバIC15は、画素10の第2のスイッチ用のトランジスタ11b、11c、11eのゲート端子にゲート信号線17a、17b、17cを介して接続している。

【0106】

このような構成とすることにより、負荷が小さい第1のスイッチ用のトランジスタ11dは、EL表示パネル1に内蔵されたゲートドライバ回路16で駆動し、負荷が大きい第2のスイッチ用のトランジスタ11b、11c、11eは、EL表示パネル1に外部接続されるゲートドライバ回路ICで駆動する。画素10を構成する複数のトランジスタについて、それぞれ最適にオンオフ制御を実現でき、簡単な構成で検査の容易なEL表示装置を実現できる。また、パネル検査時は、内蔵のゲートドライバ回路16を動作させ、検査に必要な端子のみにプローブを圧接するだけで、パネルを検査することができるため、迅速に検査を実施することができる。

【0107】

また、EL表示装置は、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、カーオーディオ、オーディオコンポ、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置等のディスプレイとして活用することができる。

【産業上の利用可能性】

【0108】

以上のように本開示は、信頼性の高いEL表示装置を実現する上で有用である。

【符号の説明】

【0109】

- 1 EL表示パネル
- 10 画素
- 11, 11a, 11b, 11c, 11d, 11e, 11f トランジスタ
- 12 EL素子
- 13, 13a, 13b, 13c, 13d, 13e コンデンサ
- 14 ソースドライバIC
- 15 ゲートドライバIC

- 1 6 ゲートドライバ回路
- 1 7, 1 7 a, 1 7 b, 1 7 c, 1 7 d, 1 7 e ゲート信号線
- 1 8 ソース信号線
- 1 9 フレキシブル基板 (C O F)
- 2 3 フレキシブル基板 (C O F)
- 2 6 フレキシブル基板 (C O F)
- 2 0 テスト回路

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

E L 素子を有する複数の画素がマトリックス状に配置された表示領域を備えた E L 表示パネルと、前記画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、前記画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えた E L 表示装置において、前記画素は、前記 E L 素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタに接続され前記 E L 素子に供給する電流を制御する第 1 のスイッチ用トランジスタと、前記ソース信号線に接続され画素に映像信号を供給する第 2 のスイッチ用トランジスタとを有し、かつ前記ゲートドライバ回路は、前記 E L 表示パネルに前記画素とともに形成されて配置された第 1 のゲートドライバ回路と、前記 E L 表示パネルのゲート信号線に外部接続された第 2 のゲートドライバ回路とを備え、前記第 1 のゲートドライバ回路は、前記画素の第 1 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、前記第 2 のゲートドライバ回路は、前記画素の第 2 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続した E L 表示装置。

【請求項 2】

前記 E L 表示パネルのゲート信号線の一端に前記第 1 のゲートドライバ回路を接続し、他端に前記第 2 のゲートドライバ回路を接続した請求項 1 に記載の E L 表示装置。

【請求項 3】

前記 E L 表示パネルに前記画素に接続されたソース信号線を通してテスト信号を供給するテスト回路をさらに形成した請求項 1 に記載の E L 表示装置。

【請求項 4】

前記 E L 表示パネルのソース信号線の一端に前記ソースドライバ回路を接続し、他端に前記テスト回路を接続した請求項 3 に記載の E L 表示装置。

【請求項 5】

E L 素子を有する複数の画素がマトリックス状に配置された表示領域を備えた E L 表示パネルと、前記画素に接続されたソース信号線を通して映像信号を供給するソースドライバ回路と、前記画素に接続されたゲート信号線を通して選択電圧または非選択電圧を供給するゲートドライバ回路とを備えた E L 表示装置の製造方法において、前記画素は、前記 E L 素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタに接続され前記 E L 素子に供給する電流を制御する第 1 のスイッチ用トランジスタと、前記ソース信号線に接続され画素に映像信号を供給する第 2 のスイッチ用トランジスタとを有し、かつ前記ゲートドライバ回路は、前記 E L 表示パネル上に前記画素とともに形成されて配置された第 1 のゲートドライバ回路と、前記 E L 表示パネルのゲート信号線に外部接続された第 2 のゲートドライバ回路とを備え、前記第 1 のゲートドライバ回路は、前記画素の第 1 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、前記第 2 のゲートドライバ回路は、前記画素の第 2 のスイッチ用トランジスタのゲート端子にゲート信号線を介して接続し、さらに前記 E L 表示パネルに前記画素にソース信号線を通してテスト信

号を供給するテスト回路を形成し、前記 E L 表示パネルの画素にテスト信号を供給する検査を行った後、前記テスト回路を E L 表示パネルから分離する E L 表示装置の製造方法。

【請求項 6】

前記 E L 表示パネルのソース信号線の一端に前記ソースドライバ回路を接続し、他端に前記テスト回路を接続し、前記 E L 表示パネルの画素に前記テスト信号を供給する検査を行った後、前記テスト回路を前記 E L 表示パネルから分離する請求項 5 に記載の E L 表示装置の製造方法。

【手続補正 3】

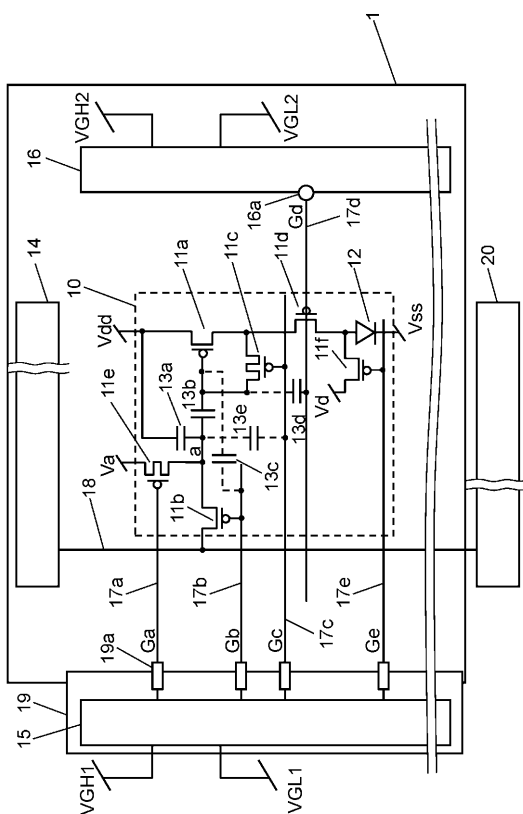
【補正対象書類名】 図面

【補正対象項目名】 全図

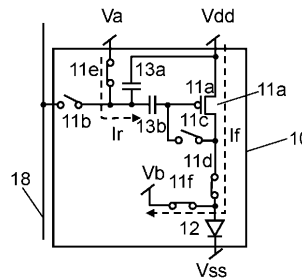
【補正方法】 変更

【補正の内容】

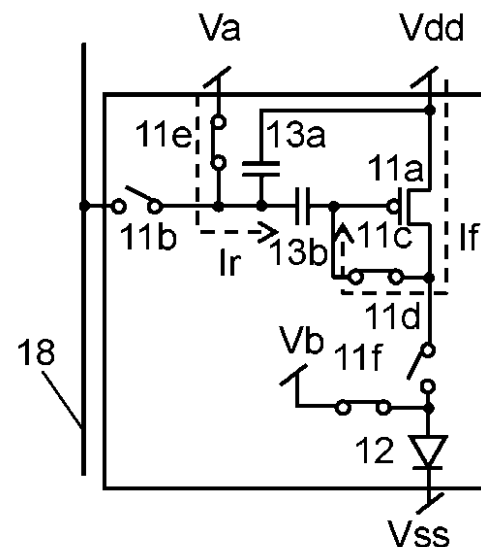
【図 1】



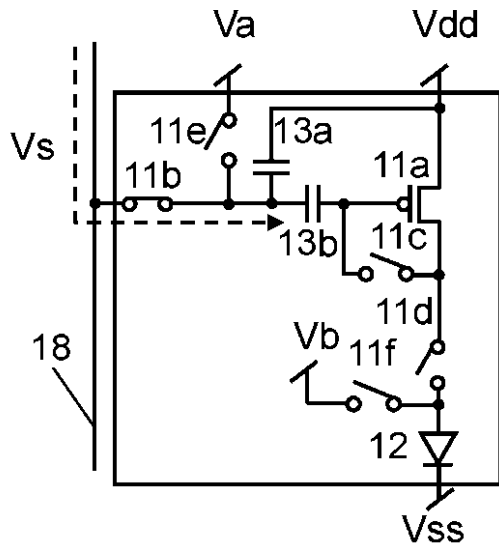
【図 2 A】



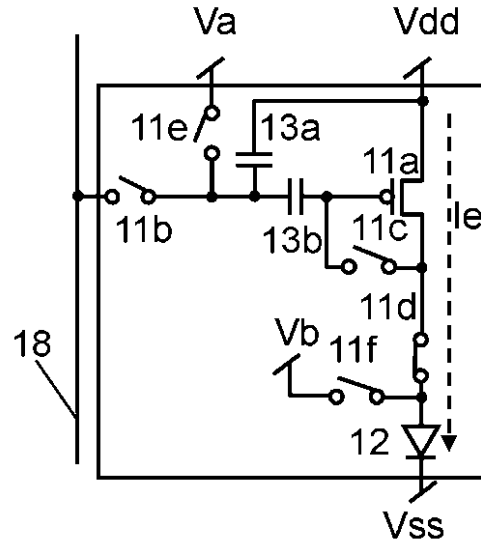
【図 2 B】



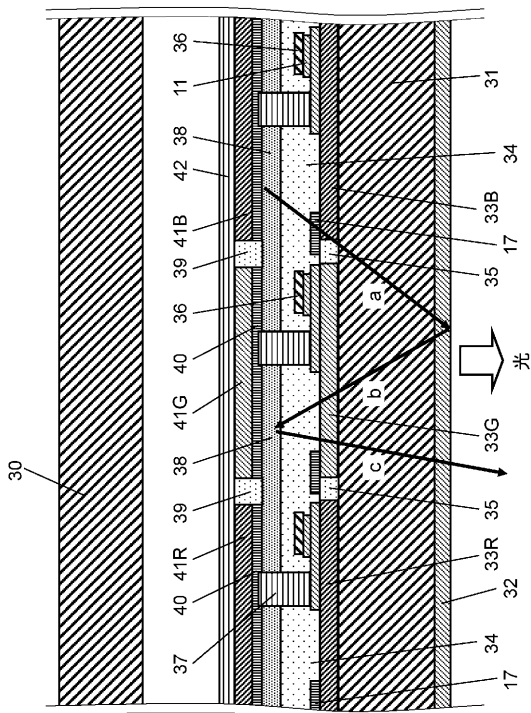
【図 2 C】



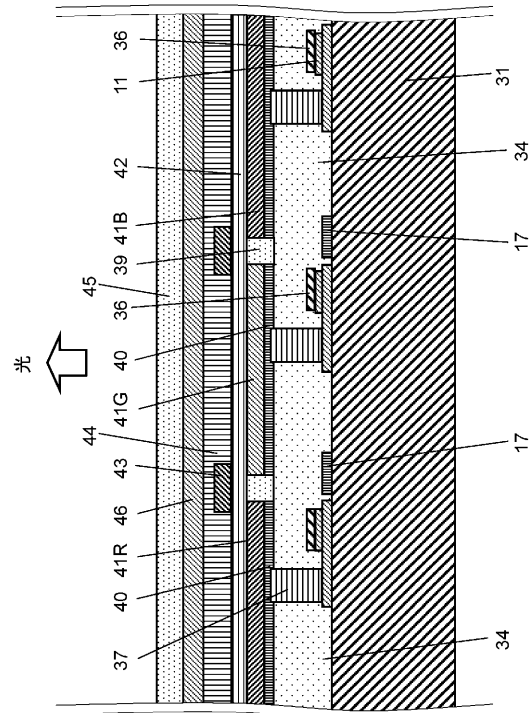
【図 2 D】



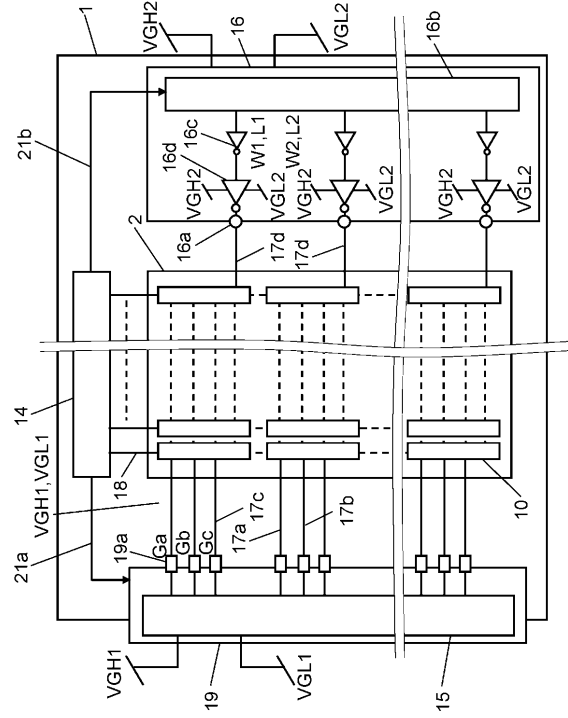
【図 3】



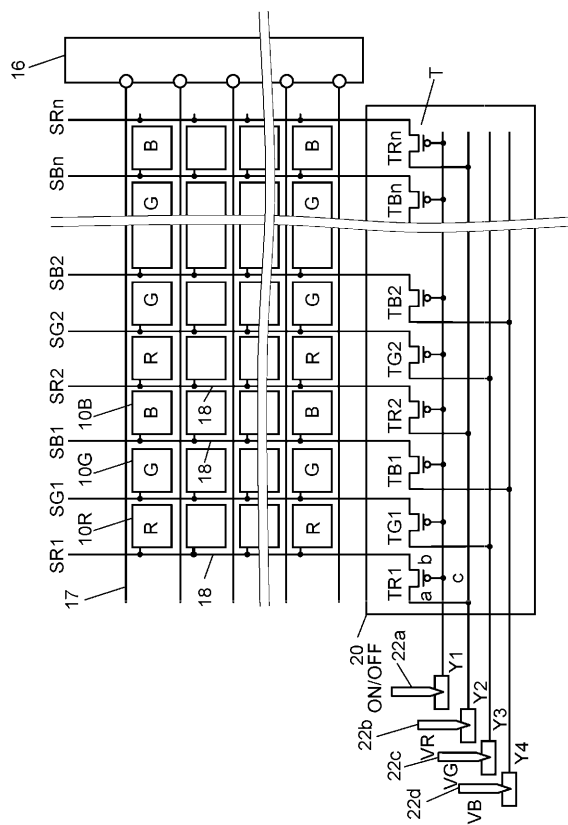
【図 4】



【図 6】



【図 8】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/007728

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/20-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-350304 A (Semiconductor Energy Laboratory Co., Ltd.), 28 December 2006 (28.12.2006), paragraphs [0258], [0280] to [0289], [0596] to [0597]; fig. 21, 42(a) & US 2006/0267889 A1 & KR 10-2006-0120510 A & CN 1866340 A	1-2 3-6
X Y	JP 2006-309104 A (Sanyo Electric Co., Ltd.), 09 November 2006 (09.11.2006), paragraphs [0206] to [0212], [0420] to [0427], [0556]; fig. 13 to 14, 37 to 38 & US 2006/0022305 A1	1-2 3-6

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 February, 2013 (20.02.13)Date of mailing of the international search report
05 March, 2013 (05.03.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/007728

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2004/100118 A1 (Toshiba Matsushita Display Technology Co., Ltd.), 18 November 2004 (18.11.2004), description, page 319, line 24 to page 320, line 14; fig. 441 & JP 2005-266735 A & JP 2005-266736 A & US 2007/0080905 A1 & EP 1624435 A1 & TW 258113 B & KR 10-2006-0018831 A & CN 1820295 A	3-6
A	JP 2007-25317 A (Sony Corp.), 01 February 2007 (01.02.2007), paragraph [0037] (Family: none)	1-6
A	JP 2010-282060 A (Panasonic Corp.), 16 December 2010 (16.12.2010), entire text; all drawings (Family: none)	1-6
A	JP 11-142888 A (Sharp Corp.), 28 May 1999 (28.05.1999), entire text; all drawings & US 6104449 A & TW 487820 B	3-6

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 0 7 7 2 8	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/20-3/38			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	J P 2 0 0 6 - 3 5 0 3 0 4 A (株式会社半導体エネルギー研究所) 2006.12.28, 【0258】、【0280】～【0289】、【0596】～【0597】、図21、図42(a) &US 2006/0267889 A1 &KR 10-2006-0120510 A &CN 1866340 A	1-2 3-6	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 20.02.2013		国際調査報告の発送日 05.03.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 小川 浩史	2 G 9 1 1 4
		電話番号 03-3581-1101 内線 3226	

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 0 7 7 2 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	J P 2 0 0 6 - 3 0 9 1 0 4 A (三洋電機株式会社) 2 0 0 6 . 1 1 . 0 9 , 【 0 2 0 6 】 ~ 【 0 2 1 2 】 , 【 0 4 2 0 】 ~ 【 0 4 2 7 】 , 【 0 5 5 6 】 , 図 1 3 ~ 1 4 , 3 7 ~ 3 8 &US 2006/0022305 A1	1-2 3-6
Y	W O 2 0 0 4 / 1 0 0 1 1 8 A 1 (東芝松下ディスプレイテクノロジー株式会社) 2 0 0 4 . 1 1 . 1 8 , 明細書第 3 1 9 頁第 2 4 行 ~ 第 3 2 0 頁第 1 4 行 , 図 4 4 1 &JP 2005-266735 A &JP 2005-266736 A &US 2007/0080905 A1 &EP 1624435 A1 &TW 258113 B &KR 10-2006-0018831 A &CN 1820295 A	3-6
A	J P 2 0 0 7 - 2 5 3 1 7 A (ソニー株式会社) 2 0 0 7 . 0 2 . 0 1 , 【 0 0 3 7 】 (ファミリーなし)	1-6
A	J P 2 0 1 0 - 2 8 2 0 6 0 A (パナソニック株式会社) 2 0 1 0 . 1 2 . 1 6 , 全文、全図 (ファミリーなし)	1-6
A	J P 1 1 - 1 4 2 8 8 8 A (シャープ株式会社) 1 9 9 9 . 0 5 . 2 8 , 全文、全図 &US 6104449 A &TW 487820 B	3-6

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
H 0 5 B 33/10 (2006.01)	G 0 9 G 3/20 6 2 3 R	
	G 0 9 G 3/20 6 2 2 G	
	G 0 9 G 3/30 Z	
	H 0 5 B 33/14 A	
	H 0 5 B 33/08	
	H 0 5 B 33/12 Z	
	H 0 5 B 33/10	

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

Fターム(参考)	5C080	AA06	BB05	BB06	CC03	CC06	DD03	DD05	DD08	DD15	DD23
		DD25	DD28	DD29	EE28	EE29	FF03	FF11	FF13	HH09	JJ02
		JJ03	JJ04	JJ05	JJ06	KK04	KK07	KK20	KK23	KK43	KK50
	5C380	AA01	AB06	AB11	AB12	AB18	AB21	AB22	AB23	AB24	AB34
		AB36	AB37	AB42	AC04	AC08	AC09	AC11	AC12	AC13	BA10
		BA12	BA19	BA20	BA28	BA31	BA33	BA37	BA38	BA40	BB17
		BB22	BB23	BC20	BD05	BD12	CA12	CA14	CA16	CA17	CA20
		CA48	CA53	CA57	CB01	CB05	CB14	CB16	CB17	CB26	CB30
		CB31	CB37	CC04	CC07	CC21	CC26	CC33	CC37	CC38	CC39
		CC41	CC52	CC61	CC66	CC71	CC72	CC77	CD026	CD046	CE04
		CE06	CE08	CE20	CF02	CF07	CF08	CF09	CF22	CF23	CF24
		CF43	DA02	DA06	DA07	DA08	DA26	DA32	DA47	FA03	FA21
		GA03	GA05	GA08	HA02	HA03	HA05	HA08	HA11	HA16	

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	EL显示装置及其制造方法		
公开(公告)号	JPWO2013118219A1	公开(公告)日	2015-05-11
申请号	JP2013557253	申请日	2012-12-03
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08 H05B33/12 H05B33/10		
CPC分类号	G09G3/3291 G09G3/006 G09G3/3233 G09G3/325 G09G2300/0408 G09G2310/0262 G09G2310/0286 G09G2330/12 G09G2380/02		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.M G09G3/20.680.G G09G3/20.670.Q G09G3/20.623.R G09G3/20.622.G G09G3/30.Z H05B33/14.A H05B33/08 H05B33/12.Z H05B33/10		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC41 3K107/CC45 3K107/EE03 3K107/GG56 3K107/HH04 5C080/AA06 5C080/BB05 5C080/BB06 5C080/CC03 5C080/CC06 5C080/DD03 5C080/DD05 5C080/DD08 5C080/DD15 5C080/DD23 5C080/DD25 5C080/DD28 5C080/DD29 5C080/EE28 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF13 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK20 5C080/KK23 5C080/KK43 5C080/KK50 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB42 5C380/AC04 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA10 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BA31 5C380/BA33 5C380/BA37 5C380/BA38 5C380/BA40 5C380/BB17 5C380/BB22 5C380/BB23 5C380/BC20 5C380/BD05 5C380/BD12 5C380/CA12 5C380/CA14 5C380/CA16 5C380/CA17 5C380/CA20 5C380/CA48 5C380/CA53 5C380/CA57 5C380/CB01 5C380/CB05 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB30 5C380/CB31 5C380/CB37 5C380/CC04 5C380/CC07 5C380/CC21 5C380/CC26 5C380/CC33 5C380/CC37 5C380/CC38 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC61 5C380/CC66 5C380/CC71 5C380/CC72 5C380/CC77 5C380/CD026 5C380/CD046 5C380/CE04 5C380/CE06 5C380/CE08 5C380/CE20 5C380/CF02 5C380/CF07 5C380/CF08 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF43 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA08 5C380/DA26 5C380/DA32 5C380/DA47 5C380/FA03 5C380/FA21 5C380/GA03 5C380/GA05 5C380/GA08 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA08 5C380/HA11 5C380/HA16		
代理人(译)	新居 広守 野村浩一		
优先权	2012024699 2012-02-08 JP		
外部链接	Espacenet		

摘要(译)

EL显示装置包括EL显示板，该EL显示板包括多个像素，每个像素具有EL元件。每个像素具有：向EL元件提供电流的驱动晶体管；第一开关晶体管；第二开关晶体管，向像素提供视频信号。EL显示器件还包括：栅极驱动电路，与EL显示板上的像素一起形成和设置；栅极驱动器IC，外部连接到栅极信号线。栅极驱动电路连接到第一开关晶体管的栅极端子，栅极驱动器IC连接到第二开关晶体管的栅极端子。

