

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6167355号
(P6167355)

(45) 発行日 平成29年7月26日 (2017. 7. 26)

(24) 登録日 平成29年7月7日 (2017. 7. 7)

(51) Int. Cl.

F I

G09G 3/3233 (2016.01)
G09G 3/20 (2006.01)G09G 3/3233
G09G 3/20 624B
G09G 3/20 621M
G09G 3/20 622D
G09G 3/20 670L

請求項の数 4 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2015-527155 (P2015-527155)
 (86) (22) 出願日 平成26年6月12日 (2014. 6. 12)
 (86) 国際出願番号 PCT/JP2014/003127
 (87) 国際公開番号 W02015/008424
 (87) 国際公開日 平成27年1月22日 (2015. 1. 22)
 審査請求日 平成28年1月7日 (2016. 1. 7)
 (31) 優先権主張番号 特願2013-149908 (P2013-149908)
 (32) 優先日 平成25年7月18日 (2013. 7. 18)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目23番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 西村 賢
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内
 (72) 発明者 加藤 敏行
 日本国東京都千代田区神田錦町三丁目23
 番地 株式会社 J O L E D 内

最終頁に続く

(54) 【発明の名称】 E L表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型 E L 表示装置であって、

前記画素に印加する映像信号を出力するソースドライバ回路と、

前記ソースドライバ回路が出力する前記映像信号を伝達するソース信号線と、

前記表示画面の両側に配置された一対のゲートドライバ回路と、

前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達する第1のゲート信号線および第2のゲート信号線を具備し、

前記画素は、駆動用トランジスタと、E L 素子と、前記 E L 素子に流れる電流の経路に配置された第1のスイッチ用トランジスタと、前記映像信号を前記駆動用トランジスタに印加する第2のスイッチ用トランジスタとを有し、

前記一対のゲートドライバ回路の各々は、前記第1のゲート信号線に対応する第1の走査回路と、前記第2のゲート信号線に対応する第2の走査回路とを有し、

前記第1のスイッチ用トランジスタのゲート端子に、前記一対のゲートドライバ回路双方の前記第1の走査回路に接続された前記第1のゲート信号線が接続され、前記第2のスイッチ用トランジスタのゲート端子に、前記一対のゲートドライバ回路の少なくとも一方の前記第2の走査回路に接続された前記第2のゲート信号線が接続され、

前記一対のゲートドライバと前記ソースドライバと信号の受け渡しを行う制御回路を有し、

10

20

前記第 1 の走査回路と前記第 2 の走査回路は前記制御回路と接続されており、
前記第 1 の走査回路と前記第 2 の走査回路の出力信号が前記制御回路に入力され、
前記制御回路は、前記一对のゲートドライバ回路のうち一方における前記第 1 の走査回路の前記出力信号と前記一对のゲートドライバ回路のうち他方における前記第 1 の走査回路の前記出力信号との差異に基づき、規定の処理を行うことを特徴とする E L 表示装置。

【請求項 2】

画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型 E L 表示装置であって、

前記画素に印加する映像信号を出力するソースドライバ回路と、

前記ソースドライバ回路が出力する前記映像信号を伝達するソース信号線と、

前記表示画面の一方側に配置された第 1 のゲートドライバ回路と、

前記表示画面の他方側に配置された第 2 のゲートドライバ回路と、

前記画素を選択する選択電圧、または前記画素を非選択にする非選択電圧を伝達するゲート信号線を具備し、

前記ゲートドライバ回路は、データ入力端子とデータ出力端子を有し、

前記画素は、E L 素子と、前記 E L 素子に電流を供給する駆動用トランジスタと、前記電流の経路に配置されたスイッチ用トランジスタとを有し、

前記スイッチ用トランジスタのゲート端子は、前記ゲート信号線と接続されており、

前記ゲート信号線の一端は前記第 1 のゲートドライバ回路の前記データ出力端子と接続されており、前記ゲート信号線の他端は、前記第 2 のゲートドライバ回路の前記データ出力端子と接続されており、

前記データ入力端子に入力された制御パルスは、前記ゲートドライバ回路を順次シフトされて、前記データ出力端子から出力され、

前記制御パルスが第 1 の極性の時に、前記ゲート信号線に選択電圧が出力され、

前記制御パルスが第 2 の極性の時に、前記ゲート信号線に非選択電圧が出力され、

前記ゲート信号線に選択電圧が印加されることにより前記電流が前記 E L 素子に供給され、前記ゲート信号線に非選択電圧が印加されることにより前記 E L 素子への電流が遮断され、

第 1 の極性の制御パルスと第 2 の極性の制御パルスとを、制御パルスの組とし、

前記ゲートドライバ回路が、前記表示画面を 1 回走査する期間に、前記第 1 のゲートドライバ回路の前記データ入力端子と前記第 2 のゲートドライバ回路の前記データ入力端子に、略同時に、制御パルスの組が、複数回入力され、

さらに、前記第 1 のゲートドライバ回路における前記データ出力端子から出力された出力信号と前記第 2 のゲートドライバ回路における前記データ出力端子から出力された出力信号との差異に基づき、規定の処理を行う制御回路を備えることを特徴とする E L 表示装置。

【請求項 3】

前記制御回路は、前記第 1 の走査回路の出力信号と、前記第 2 の走査回路の出力信号とが所定の規定時間の間、ハイレベルまたはロウレベルの時、前記第 1 の走査回路と前記第 2 の走査回路とを停止することを特徴とする請求項 1 記載の E L 表示装置。

【請求項 4】

前記制御回路は、前記第 1 の走査回路の出力信号と、前記第 2 の走査回路の出力信号とを、1 フレーム期間に複数回検出することを特徴とする請求項 1 記載の E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素がマトリックス状に配置された表示画面を有する E L 表示装置に関する。

【背景技術】

【0002】

10

20

30

40

50

ＥＬ表示装置は、各画素に形成されるゲート信号線の種類が多い。また、使用する電源の種類も多い。そのため、ゲートドライバＩＣを表示画面の左右に配置する構成として、特許文献１がある。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００６－１１０９５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

10

本発明は、ゲートドライバなどの回路破壊、及び、パネルの異常過熱を抑制できるＥＬ表示装置を提供する。

【課題を解決するための手段】

【０００５】

本開示の一態様に係るＥＬ表示装置は、画素がマトリックス状に配置された表示画面を有するアクティブマトリックス型ＥＬ表示装置であって、画素に印加する映像信号を出力するソースドライバ回路と、ソースドライバ回路が出力する映像信号を伝達するソース信号線と、ゲートドライバ回路と、画素を選択する選択電圧、または画素を非選択にする非選択電圧を伝達する第１のゲート信号線および第２のゲート信号線を具備し、画素は、駆動用トランジスタと、ＥＬ素子と、ＥＬ素子に流れる電流の経路に配置された第１のスイッチ用トランジスタと、映像信号を駆動用トランジスタに印加する第２のスイッチ用トランジスタとを有し、ゲートドライバ回路は、第１の走査回路と、第２の走査回路を有し、第１のスイッチ用トランジスタのゲート端子に、第１のゲート信号線が接続され、第２のスイッチ用トランジスタのゲート端子に、第２のゲート信号線が接続され、ゲートドライバとソースドライバと信号の受け渡しを行う制御回路を有し、第１の走査回路と第２の走査回路は制御回路と接続されており、第１の走査回路と第２の走査回路の出力信号が制御回路に入力される。

20

【発明の効果】

【０００６】

本発明によれば、ゲートドライバなどの回路破壊、及び、パネルの異常過熱を抑制できるＥＬ表示装置を提供することができる。

30

【図面の簡単な説明】

【０００７】

【図１】図１は、実施の形態１に係るＥＬ表示装置の画素構成を示す回路図である。

【図２】図２は、実施の形態１に係るＥＬ表示装置の構成図である。

【図３】図３は、ゲート電圧２値／３値駆動のそれぞれについて説明するための図である。

【図４】図４は、ゲートドライバＩＣ（回路）出力１本のみ注目して描いた等価回路である。

【図５】図５は、ＴＣＯＮによるＥＬ表示装置の駆動（制御）方法の説明図である。

40

【図６】図６は、ゲートドライバＩＣ（回路）の構成を示すブロック図である。

【図７】図７は、ゲートドライバＩＣ（回路）と表示パネルとの接続関係を示す図である。

【図８】図８は、ＴＣＯＮから出力されたＳＴＶ信号がカスケード接続された複数のゲートドライバＩＣ（回路）を伝播している様子を説明するための図である。

【図９】図９は、液晶表示装置のゲート信号線に出力されるパルスを示す図である。

【図１０】図１０は、実施の形態１に係るＥＬ表示装置のゲート信号線に出力されるパルスを示す図である。

【図１１】図１１は、１フレーム期間内にスイッチ用トランジスタが複数回オンオフを繰り返す場合の表示画面の一例である。

50

【図 1 2】図 1 2 は、1 フレーム期間に出力パルスが複数回現れる場合のゲート信号入力を示す図である。

【図 1 3】図 1 3 は、実施の形態 1 の変形例に係る E L 表示装置の画素構成を示す回路図である。

【図 1 4】図 1 4 は、実施の形態 1 の変形例に係る E L 表示装置の電氣的な構成を示したブロック図である。

【図 1 5】図 1 5 は、ゲートドライバ I C (回路) の構成を示すブロック図である。

【図 1 6】図 1 6 は、本開示の E L 表示装置を採用したディスプレイの外観図である。

【発明を実施するための形態】

【0008】

10

(本開示の基礎となった知見)

以下、本開示を説明する前に、本開示の基礎となった知見について説明する。

【0009】

E L 素子をマトリックス状に備えたアクティブマトリックス (Active - Matrix、以下、AM と略する場合がある) 型 E L 表示装置がスマートフォンなどの表示パネルに採用され、商品化されている。E L 素子は、アノード電極およびカソード電極間に E L 層が形成されている。

【0010】

E L 素子は、アノード、カソード電極 (端子) に供給された電流あるいは電圧により発光する。現在、量産化しているのは主に小型の E L 表示装置であるが、テレビの置き換えを目的として、各メーカーが大型の E L 表示装置の開発を行っている。

20

【0011】

このような大型のディスプレイは小型のディスプレイと比較して基本的にパネル負荷が大きく、特にフルハイビジョン (FHD) を超える高解像度用途ではパネルへ印加する波形が訛る傾向にある。

【0012】

この波形なまり対策としてはゲートドライバをパネルの左右に配置した図 1 および図 2 のような構成が考案されている。パネルの左右にゲートドライバ I C (回路) 1 2 a、1 2 b を配置して、各ゲートドライバ I C (回路) 1 2 a、1 2 b の出力は、パネルを介して短絡し (以下、両側駆動と呼ぶ)、パネルを両側から駆動することでパネル印加波形は図 3 のように改善される。

30

【0013】

また、表示画面 2 0 の中央部でゲート信号線を分断し、パネル左右をそれぞれ左右のゲートドライバにて駆動する方法も存在するが、パネル中央部に輝度差が発生する等の課題が多い。

【0014】

また、ゲート信号線 1 7 a、1 7 b は、ゲートドライバ I C (回路) 1 2 a とゲートドライバ I C (回路) 1 2 b とで選択駆動される。各ゲート信号線 1 7 a、1 7 b は、一端がゲートドライバ I C (回路) 1 2 a と接続され、他端がゲートドライバ I C (回路) 1 2 b に接続されている。なお、ゲート信号線 1 7 a、1 7 b を特に区別せず、ゲート信号線 1 7 と記載する場合がある。また、ゲートドライバ I C (回路) 1 2 a、1 2 b を特に区別せず、ゲートドライバ I C (回路) 1 2 と記載する場合がある。

40

【0015】

ゲートドライバ I C (回路) 1 2 a が各ゲート信号線 1 7 に出力する電圧と、ゲートドライバ I C (回路) 1 2 b がこれらのゲート信号線 1 7 に出力する電圧が異なった状態となると、ゲート信号線 1 7 を介して、ゲートドライバ I C (回路) 1 2 a とゲートドライバ I C (回路) 1 2 b との間に電流が流れる。このような異なった電圧が印加されるゲート信号線 1 7 の数が多くなったときには、ゲートドライバ I C (回路) 1 2 a とゲートドライバ I C (回路) 1 2 b との間に大きな短絡電流が流れ、ゲートドライバ I C (回路) 1 2 が破壊される場合がある。

50

【 0 0 1 6 】

各ゲート信号線 1 7 に接続されたゲートドライバ I C (回路) 1 2 a の出力と、ゲートドライバ I C (回路) 1 2 b の出力が異なる要因として、次のようなことが考えられる。具体的には、T C O N から、ゲートドライバ I C (回路) 1 2 に入力されるデータあるいは外部ノイズにより異なったデータが入力される場合、ゲートドライバ I C (回路) 1 2 内で、ノイズなどにより転送されるデータが変化する場合、ゲートドライバ I C (回路) 1 2 内で、クロックによるデータの転送がうまくいかない場合など多くの場合が考えられる。

【 0 0 1 7 】

なお、T C O N とは、各ゲートドライバ I C (回路) 1 2 a、1 2 b に対して各画素行の発光タイミングや、映像信号の書き込みタイミング等を指示するタイミングコントローラである。ただし、タイミングコントローラに限定させるものではなく、たとえば、マイコンなどのコンピュータ、デジタル信号処理回路など、多種多様なものを含む。

【 0 0 1 8 】

このような同一のゲート信号線に接続された一のゲートドライバ I C (回路) の出力と他のゲートドライバ I C (回路) の出力とが異なる状態は、液晶表示装置ではさほど問題とはならない。なぜなら、液晶表示装置では、1 フレーム期間では、映像を書き込むゲート信号線が 1 本だけが選択されるため、左右のゲートドライバ I C (回路) 1 2 の出力が異なっても (オン電圧とオフ電圧)、ゲートドライバ I C (回路) 1 2 が破壊に直結することは少ないからである。

【 0 0 1 9 】

しかし、E L 表示装置は、多種類のゲート信号線があり、所定のゲート信号線は、1 フレーム期間に常時選択状態 (オン電圧印加) あるいは非選択状態 (オフ電圧印加) のものがあり、連続してオン状態あるいはオフ状態があり、また、間欠的にオン状態とオフ状態が繰り返されるゲート信号線がある。したがって、左右のゲートドライバ I C (回路) 1 2 の出力が異なると、多数のゲート信号線を介して、ゲートドライバ I C (回路) 1 2 の多数の出力が短絡状態となり、ゲートドライバ I C (回路) 1 2 の破壊につながる可能性がある。

【 0 0 2 0 】

図 1 においてゲートドライバ I C (回路) 1 2 出力 1 本のみ注目して描いた等価回路を図 4 に示す。ゲートドライバ出力等価回路 6 1 a、6 1 b はそれぞれ左右のゲートドライバ I C (回路) 1 2 出力の等価回路であり、ゲートドライバ I C (回路) 1 2 a のゲートドライバ出力等価回路は T r 1 及び T r 2 で構成され、ゲートドライバ I C (回路) 1 2 b の等価回路は T r 3 及び T r 4 で構成されている。

【 0 0 2 1 】

また、図 4 の (a) のパネル等価回路 6 2 は表示パネル 2 1 の等価回路を表しており、抵抗 R、容量 C から構成されている。左右のゲートドライバ I C (回路) 1 2 a、1 2 b の接続に関して、ゲートドライバ I C (回路) 1 2 a とゲートドライバ I C (回路) 1 2 b との間に存在しているのは主にパネル抵抗 R (ゲート信号線の配線抵抗) である。

【 0 0 2 2 】

ゲートドライバ I C (回路) 1 2 a、1 2 b 内の T r 1 ~ T r 4 の動作を考えた場合、ゲートドライバ I C (回路) 1 2 a、1 2 b 出力がロウレベル時は図 4 の (c) のように T r 2 と T r 4 のみがオンしている状態、出力がハイレベル時は図 4 の (b) のように T r 1 と T r 3 のみがオンしている状態となる。いずれの状態でも表示パネル 2 1 を介しての異常な電流は存在しない。

【 0 0 2 3 】

しかし、例えば左右のゲートドライバ I C (回路) 1 2 a、1 2 b 出力に遅延差が発生した場合や何らかの影響により片方のゲートドライバ I C (回路) 1 2 a、1 2 b 出力に異常が発生した場合、タイミングによっては図 4 の (d) のように T r 1 と T r 4 がオンした状態が存在し、パネル抵抗を介してゲートドライバ I C (回路) 1 2 a、1 2 b の電

10

20

30

40

50

源 - グランド (G N D) 間に電流が流れ、ゲートドライバ I C (回路) 1 2 a 、 1 2 b の破壊につながる可能性がある。

【 0 0 2 4 】

特に E L 表示装置では液晶ディスプレイと異なり、 1 画面内でオン電圧を印加するゲート信号線 1 7 数が多く、また、 1 フレーム周期にオンオフを繰り返すゲート信号線 1 7 の信号線数も多い。また、使用するゲートドライバの数も多く、また、 1 T V 周期 (フレーム周期) あたりのゲート駆動波形印加回数も多いため、上記課題が発生しやすい。

【 0 0 2 5 】

そこで、本発明者らは、ゲートドライバなどの回路破壊、パネルの異常過熱を抑制できる E L 表示装置を創作するに至った。

10

【 0 0 2 6 】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【 0 0 2 7 】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【 0 0 2 8 】

20

(実施の形態 1)

以下、図面を参照しながら、実施の形態 1 を説明する。

【 0 0 2 9 】

図 2 は、本開示の実施の形態 1 に係る E L 表示装置の構成図であり、図 1 は E L 表示装置の画素構成の説明図である。また、図 5 は、 T C O N による本開示の E L 表示装置の駆動 (制御) 方法の説明図である。

【 0 0 3 0 】

本開示では、駆動用トランジスタおよびスイッチ用トランジスタ 1 1 は、薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード (T F D) 、リングダイオードなどでも構成することができる。

30

【 0 0 3 1 】

また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。

【 0 0 3 2 】

トランジスタ 1 1 は、もちろん、 F E T 、 M O S - F E T 、 M O S トランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、 P L Z T 素子などでもよいことは言うまでもない。

40

【 0 0 3 3 】

なお、本開示のトランジスタ 1 1 は、 N チャンネル、 P チャンネルのトランジスタとも、 L D D (L i g h t l y D o p e d D r a i n) 構造を採用することが好ましい。

【 0 0 3 4 】

また、トランジスタ 1 1 は、高温ポリシリコン (H T P S : H i g h - T e m p e r a t u r e P o l y - S i l i c o n) 、低温ポリシリコン (L T P S : L o w - T e m p e r a t u r e P o l y - S i l i c o n) 、連続粒界シリコン (C G S : C o n t i n u o u s G r a i n S i l i c o n) 、透明アモルファス酸化物半導体 (T A O S : T r a n s p a r e n t A m o r p h o u s O x i d e S e m i c o n d u c t o r s 、 I Z O) 、アモルファスシリコン (A S : A m o r p h o u s S i l i c o

50

n)、赤外線RTA(RTA:Rapid Thermal Annealing)で形成したもののうち、いずれでもよい。

【0035】

図1に示したように、本開示の実施の一形態に係るEL表示装置は、画素16がマトリックス状に配置されて構成された表示画面20と、表示画面20の画素行ごとに配置されたゲート信号線17(ゲート信号線17a、ゲート信号線17b)と、表示画面20の画素列ごとに配置されたソース信号線18とを具備する。画素16は、EL素子15と、EL素子15に駆動電流を供給するための駆動用トランジスタ11aと、第1のスイッチ用トランジスタ11dと、第2のスイッチ用トランジスタ11bと、コンデンサ19とを備える。

10

【0036】

駆動用トランジスタ11aは、ソース端子が第1のスイッチ用トランジスタ11dを介して第1電源線であるアノード電圧V_{dd}に電氣的に接続され、ドレイン端子がEL素子15のアノード端子に電氣的に接続された駆動素子である。駆動用トランジスタ11aは、ゲート端子-ソース端子間に印加された映像信号に対応した電圧を、当該映像信号に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流としてEL素子15に供給する。駆動用トランジスタ11aは、例えば、p型の薄膜トランジスタ(p型TFT)で構成される。

【0037】

EL素子15は、アノード端子が駆動用トランジスタ11aのドレイン端子に電氣的に接続され、カソード端子が第2電源線であるカソード電圧V_{ss}に電氣的に接続されたEL素子であり、駆動用トランジスタ11aにより信号電流が流れることにより、信号電流の大きさに基づいて発光する。

20

【0038】

信号電流の大きさは、ソース信号線18に印加された映像信号を、第2のスイッチ用トランジスタ11bで画素16に印加することにより決定される。

【0039】

第1のスイッチ用トランジスタ11dは、ゲート端子がゲート信号線17b(ゲート信号線GE)に電氣的に接続され、ソース端子が駆動用トランジスタ11aのドレイン端子に電氣的に接続され、ドレイン端子がEL素子15のアノード端子に電氣的に接続されたスイッチ用トランジスタである。

30

【0040】

ゲート信号線17b(ゲート信号線GE)にオン電圧が印加されると、第1のスイッチ用トランジスタ11dがオンし、駆動用トランジスタ11aからの信号電流がEL素子15に供給される。なお、第1のスイッチ用トランジスタ11dは、第1電源線V_{dd}と駆動用トランジスタ11aのソース端子との間に配置または形成されてもよい。また、ゲート信号線17bは、第1のゲート信号線に相当する。

【0041】

第2のスイッチ用トランジスタ11bは、ゲート端子がゲート信号線17a(ゲート信号線GS)に電氣的に接続され、ソース端子がソース信号線18と電氣的に接続され、ドレイン端子が駆動用トランジスタ11aのゲート端子と電氣的に接続されたスイッチ用トランジスタである。なお、ゲート信号線17aは、第2のゲート信号線に相当する。

40

【0042】

また、表示画面20の周辺回路として、ゲート信号線17を駆動するゲートドライバIC(回路)12(ゲートドライバIC(回路)12a、ゲートドライバIC(回路)12b)と、映像信号をソース信号線18に出力するソースドライバIC(回路)14と、ゲートドライバIC(回路)12及びソースドライバIC(回路)14などを制御する制御回路(図示せず)とを具備する。表示画面20は、外部からEL表示装置へ入力された映像信号に基づいて画像を表示する。

【0043】

50

ゲート信号線 17 は、ゲートドライバ IC (回路) 12 に接続され、各画素行に属する画素 16 に接続されている。ゲート信号線 17 は、各画素行に属する画素 16 に映像信号を書き込むタイミングを制御する機能や、画素 16 の発光及び消灯タイミングを制御する機能を有する。

【0044】

ゲートドライバ IC (回路) 12 は、ゲート信号線 17 に接続されており、ゲート信号線 17 に選択信号を出力することにより、画素 16 の有するスイッチ用トランジスタ 11 (第 1 のスイッチ用トランジスタ 11 d、第 2 のスイッチ用トランジスタ 11 b) の導通 (オン)・非導通 (オフ) を制御する機能を有する駆動回路である。なお、導通にする電圧をオン電圧と呼び、また、選択電圧と呼ぶことがある。非導通にする電圧をオフ電圧と呼び、また、非選択電圧と呼ぶことがある。また、以下、第 1 のスイッチ用トランジスタ 11 d と第 2 のスイッチ用トランジスタ 11 b とを特に区別せず、スイッチ用トランジスタ 11 と記載する場合がある。

【0045】

例えば、後述する図 1 の画素回路において、ゲート信号線 17 a にオン電圧が印加されると、第 2 のスイッチ用トランジスタ 11 b がオンして、ソース信号線 18 に印加された映像信号が、画素 16 に印加される。また、ゲートドライバ IC (回路) 12 は、複数の走査・出力バッファ回路を備えている。

【0046】

図 2 に図示するように、ゲートドライバ IC (回路) 12 は、表示画面 20 の左右に配置されており (ゲートドライバ IC (回路) 12 a、12 b)、各ゲート信号線 17 は、ゲートドライバ IC (回路) 12 a またはゲートドライバ IC (回路) 12 b の少なくとも一方と接続されている。図 2 に示した実施の態様では、ゲート信号線 17 a 及びゲート信号線 17 b の両端には、表示画面 20 の左右に配置されたゲートドライバ IC (回路) 12 a、12 b が接続されている。ゲートドライバ IC (回路) ゲートドライバ IC (回路) 12 a は、COF (Chip On Film) 22 a に実装され、ゲートドライバ IC (回路) 12 b は、COF 22 b に実装されている。ソース信号線 18 は、表示画面 20 の画素列ごとに設けられており、ソースドライバ IC (回路) 14 に接続され、各画素列に属する画素 16 に接続されている。なお、図 2 において、プリント基板 23 c は映像信号系の回路が形成あるいは実装されたプリント基板である。また、プリント基板 23 a、23 b は走査系の回路が形成あるいは実装されたプリント基板である。

【0047】

ソースドライバ IC (回路) 14 は、ソース信号線 18 の一端に接続されており、映像信号を出力して、ソース信号線 18 を介して画素 16 へ映像信号を供給あるいは印加する機能を有する駆動回路である。ソースドライバ IC (回路) 14 は、COF (Chip On Film) 22 c に実装されている。なお、ソースドライバ IC (回路) 14 は、各端子あるいはブロックごとに映像信号の出力タイミングを設定できるマルチディレイ機能を有していてもよい。

【0048】

なお、COF 22 a、22 b、22 c においては、COF 22 a、22 b、22 c の表面に光吸収塗料、材料を塗布あるいは形成し、また、シートを貼り付けて、光を吸収するように構成することができる。また、COF 22 a、22 b、22 c に実装されたドライバ IC の表面に放熱板を配置または形成し、各ドライバ回路 (ゲートドライバ IC (回路) 12、ソースドライバ IC (回路) 14) からの放熱を行うこともできる。また、COF 22 a、22 b、22 c の裏面に放熱シート、放熱板を配置または形成し、各ドライバ回路が発生する熱を放熱することもできる。

【0049】

図示を省略した制御回路は、ゲートドライバ IC (回路) 12、ソースドライバ IC (回路) 14 の制御を行う機能を有し、具体的にはゲートドライバと IC (回路) 12 とソースドライバ IC (回路) 14 と信号を受け渡しを行う。制御回路は、各 EL 素子 15 の

10

20

30

40

50

補正データなどが記憶されたメモリ（図示せず）を備え、メモリに書き込まれた補正データ等を読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、ソースドライバIC（回路）14へと出力するように構成することもできる。なお、この制御回路は上述したTCON95としても動作する。

【0050】

スイッチ用トランジスタ11のチャンネル間は双方向であるため、ソース端子とドレイン端子の名称は、説明を容易にするためであり、ソース端子とドレイン端子は入れ替えてもよい。また、ソース端子、ドレイン端子を、第1の端子、第2の端子などとしてもよい。

【0051】

10

また、駆動用トランジスタ11aおよびスイッチ用トランジスタ11は、薄膜トランジスタ（TFET）として説明しているが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。

【0052】

また、駆動用トランジスタ11aおよびスイッチ用トランジスタ11は、もちろん、FET、MOS-FET、MOSTランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。

【0053】

ゲートドライバIC（回路）（IC）12は、ゲート信号線17にスイッチ用トランジスタ11をオン（選択）またはオフ（非選択）する電圧を出力する。ソースドライバ回路（IC）14は、入力画像に対応した映像信号を発生する。

20

【0054】

複数のEL素子15において、ゲート信号線17を介して入力される選択信号のうちの第1のパルスに基づいて、EL素子15の行単位で順次、消光状態が開始され、選択信号のうちの第2のパルスに基づいて、ソース信号線18から発光データが書き込まれる。

【0055】

駆動回路部（制御回路（TCON95）、ゲートドライバIC（回路）12、及び、ソースドライバIC（回路）14は、複数のEL素子15の最後の行の消光状態の開始より前に、複数のEL素子15の最初の行への発光データの書き込みを開始し、複数のEL素子15の最初の行の発光状態の開始より後に、複数のEL素子15の最後の行への発光データの書き込みを終了するように、ゲート信号線17及びソース信号線18に選択信号及び映像信号をそれぞれ供給する。

30

【0056】

ゲートドライバIC（回路）12は、図6に示すように走査・出力バッファ回路31（走査・出力バッファ回路31a、31b）、入力端子32、及び、出力端子34から構成されている。なお、各走査・出力バッファ回路31a、31bを特に区別せず、走査・出力バッファ回路31と記載する場合がある。なお、入力端子32及び出力端子34はこの順に、データ入力端子及びデータ出力端子に対応する。

【0057】

40

このゲートドライバIC（回路）12を表示パネル21の左右に配置し、表示パネル21との接続関係を表したものを図7に示す。ゲートドライバIC（回路）12aは2つの走査・出力バッファ回路31a及び31bから構成されている。更に走査・出力バッファ回路31aは入力端子CLK1A、STV1Aと、出力端子CLK1B、STV1B、GS1～GSnとを有する。

【0058】

走査・出力バッファ回路31aはシフトレジスタを有しており、STV1Aから入力されたデータはCLK1Aの動作に応じてシフトレジスタ内でシフトを行い、シフトレジスタ毎に決められた出力GS1～GSnを発生する。

【0059】

50

シフトレジスタ内のシフトが終了したデータはSTV1Bから出力される。CLK1Aへ入力された波形はそのままCLK1Bから出力されるが、回路構成により入出力間にバッファを備える場合と備えない場合とが存在する。

【0060】

走査・出力バッファ回路31bは入力端子CLK2A、STV2と、出力端子CLK2B、STV2B、GE1～GENから構成されており、走査・出力バッファ回路31aと同様の動作を行う。

【0061】

また、ゲート信号線17とゲートドライバIC（回路）12の接続状態は、図7のようにゲート信号線17aが左右のゲートドライバ内走査・出力バッファ回路31aのGS出力と接続された形となっている。同様にゲート信号線17bは左右のゲートドライバ内走査・出力バッファ回路31bのGE出力と接続された形となっている。

10

【0062】

以上のように、駆動回路部の制御回路(TCON95)から出力され、ゲートドライバIC（回路）12のSTV*A端子(STV1A、STV2A)に入力されたデータは、走査・出力バッファ回路31内とCLK*A端子(CLK1A、CLK2A)に入力されたクロックに同期してシフトされる。なお、走査・出力バッファ回路31a、31bはこの順に、第1の走査回路及び第2の走査回路に相当する。また、STV*A端子(STV1A、STV2A)に入力されたデータは、制御パルスに相当する。

【0063】

20

走査・出力バッファ回路31内のデータ位置に対応して、ゲート信号線17にオン電圧が出力される（選択される）。また、オフ電圧が出力される（非選択となる）。走査・出力バッファ回路31aと走査・出力バッファ回路31bとは独立に動作可能であり、入力端子CLK1AとCLK2Aへ入力される信号の周波数は異なってもよい。

【0064】

STV1AとSTV2Aはシフトレジスタ内で規定数のシフトを行った後、それぞれSTV1B、STV2Bとしてこの回路の出力信号となり、回路同士がカスケード接続されている場合は次の回路の入力信号として扱われる。TCON95から出力されたSTV信号94a、94bがカスケード接続された複数のゲートドライバIC（回路）12a、12bを伝播している時の接続図を図8に示す。

30

【0065】

ゲート信号線17bに関する駆動タイミングチャートの例を図9に示す。図9は、液晶表示装置のゲート信号線に出力されるパルスを示す図である。EL表示装置においても、図9に図示するように1フレーム期間に1回のオン期間の駆動が実施される場合がある。しかし、EL表示装置のゲート信号線の多くは、図10に図示するように、1フレーム期間に多数回のオン期間が発生する。

【0066】

図9は入力信号STV2Aが1CLK分の長さの場合である。オン電圧が1CLK分の期間、ゲート信号線に出力される。よって、各ゲート信号線出力GE1～GENは1CLK分（GE1～GENのオン電圧期間が1CLK分）の長さであり、最初にGE1に表れた出力はCLK2Aの立ち上がり毎に移動して行き、n回のCLK入力後にGENに表れる。カスケード接続時はSTV2B信号が次の回路のSTV2Aへ伝播され、次の回路のGE1出力動作へとつながる。

40

【0067】

出力GEの波形はSTV2Aへ入力される波形により様々にコントロールすることが可能であり、例えばSTV2Aへ3CLK分High、1CLK分Low、1CLK分Highの順番でデータを送信した時のタイミングチャートを図10に示す。

【0068】

液晶表示装置では、1フレーム期間では、映像を書き込むゲート信号線が1本だけが選択されるため、左右のゲートドライバIC（回路）12の出力が異なっても（オン電圧と

50

オフ電圧)、ゲートドライバIC(回路)12が破壊に直結することは少ない。

【0069】

しかし、EL表示装置は、多種類にゲート信号線があり、所定のゲート信号線は、1フレーム期間に常時選択状態(オン電圧印加)あるいは非選択状態(オフ電圧印加)のものがあ、連続してオン状態あるいはオフ状態があり、また、間欠的にオン状態とオフ状態が繰り返されるゲート信号線がある。したがって、左右のゲートドライバIC(回路)12の出力が異なると、多数のゲート信号線を介して、ゲートドライバIC(回路)12の多数の出力が短絡状態となり、ゲートドライバIC(回路)12の破壊につながる。

【0070】

EL表示装置では、図10に例示するように、1フレーム期間内の任意の時刻で、複数のゲート信号線にオン電圧が印加される。また、連続してオン電圧が印加される。また、1画素行ごとにオン電圧とオフ電圧が交互に印加される場合もある。

【0071】

以上のように、複数のオン電圧が連続して、あるいは多数のゲート信号線に印加されるのは、図1のゲート信号線17b(GE)が例示される。ゲート信号線17bには、スイッチ用トランジスタ11dのゲート端子が接続されている。スイッチ用トランジスタ11dは、EL素子15に供給する電流のオンオフを制御する。スイッチ用トランジスタ11dをオンオフさせることにより、図11に図示するように、黒挿入駆動、duty駆動(デューティ駆動)を実現できる。黒挿入駆動などにより、動画および静止画性能を調整したり、表示画面の輝度調整を行える。ゲート信号線17bはEL素子15に流す電流の制御を行うため、駆動方法によっては1フレーム期間内に複数回オンオフを繰り返す場合が存在する。その時の例を図11に示す。白表示部分はEL素子15がオン状態となっており、図11の(a)は1フレーム期間中にオン電圧印加期間が比較的長い場合、図11の(b)は1画素行毎にオンとオフが切り替わる場合となっている。

【0072】

このような駆動方法は液晶ディスプレイやプラズマディスプレイ等では見られずEL表示装置特有のものである。もし、この状態で左右のゲートドライバIC(回路)12の出力が異なるようなことがあれば出力間のショートに伴いゲートドライバIC(回路)12が破損する場合がある。従って、破損防止のために緊急停止を行う必要がある。もしくは、正常な状態に復帰させる必要がある。

【0073】

以下、本実施の形態に係るEL表示装置の特徴的な構成について説明する。

【0074】

上述したように、各ゲート信号線17bは、ゲートドライバIC(回路)12aとゲートドライバIC(回路)12bとによって両側駆動される。また、この各ゲート信号線17bには、EL表示装置に特有の電圧であって、1フレーム期間内に、オン電圧とオフ電圧とが複数回繰り返される電圧が印加される。よって、ゲートドライバIC(回路)12aから各ゲート信号線17bに印加される電圧と、ゲートドライバIC(回路)12bから各ゲート信号線17bに印加される電圧とが異なる場合、ゲートドライバIC(回路)12a、12bの少なくとも一方が破壊される場合がある。

【0075】

そこで、本実施の形態は、図5に示すように最終走査用ゲートドライバIC(回路)12の出力信号96a、96bをTCON95へ入力することを特徴とするものである。左右のゲートドライバの最終走査用ゲートドライバIC(回路)の出力信号をTCON95に入力し、その信号を元にTCON95で規定の処理を行う。

【0076】

規定の処理として、例えば、両者の信号に時間差が存在する場合はその時間差がなくなるようにTCON95で遅延時間調整処理を行い、片方の信号が規定時間ハイレベルあるいはロウ(L)レベルであれば異常有りと判断してゲートドライバIC(回路)12の駆動停止処理を行うことが例示される。また、両者の信号に、所定値以上の遅延時間差が発

10

20

30

40

50

生し、遅延時間差を小さくする処理が不可能と判定した場合は、ゲートドライバIC（回路）12の駆動あるいは駆動を停止処理を行うことが例示される。その他、ゲートドライバIC（回路）12の電源電圧に流れる電流を監視し、監視した電流の大きさが所定値以上の場合は、ゲートドライバIC（回路）12の駆動停止処理を行うことが例示される。

【0077】

また、一例として、TCON95は、左右のゲートドライバIC（回路）12a、12bから各ゲート信号線17への出力タイミングが略同一となるようにゲートドライバIC（回路）12a、12bを制御する。出力タイミングにずれがある場合は、ゲートドライバIC（回路）12a、12bを停止させる、または、出力タイミングが略一致するように、ゲートドライバIC（回路）12a、12bに入力する制御信号（制御パルス）のタイミングを調整する。

10

【0078】

また、一例として、TCON95は、ゲートドライバIC（回路）12a、またはゲートドライバIC（回路）12bの走査・出力バッファ回路31の出力信号（STV1B信号、STV2B信号）に印加する制御信号（制御パルス）に、全ゲート信号線17のオフ電圧が出力されるように、または、全ゲート信号線17にオフ電圧が出力されるように、信号データを印加する。表示画面20の左右に配置されたゲートドライバIC（回路）12が駆動する全ゲート信号線の両端を同一電位（オフ電圧またはオン電圧）とすることにより、ゲート信号線17を介して、左右のゲートドライバIC（回路）12a、12bの出力が短絡することはない。したがって、ゲートドライバIC（回路）12が破壊することとはなく、また、パネルが過熱されて破壊すること、駆動回路の電源などが破壊することとはなくなる。

20

【0079】

駆動停止処理とは、たとえば、EL表示装置全体の電源のオフすることが例示される。ゲートドライバIC（回路）12の電源のオフを表す。また、電源を停止させずにTCON95から規定の信号をゲートドライバIC（回路）12へ入力するようにしてもよい。例えばCLK信号はそのままSTV信号のみロウ（L）レベルを入力する等である。規定の信号として、ロウレベル信号であるSTV信号を入力することにより、走査・出力バッファ回路31のデータがクリアされ、全ゲート信号線17に出力される電圧がオフ電圧となる。

30

【0080】

また、図4に図示するように、ゲートドライバIC（回路）12のOE端子（アウトプットイネーブル端子：図示せず）に入力するOE信号を制御し、ゲートドライバIC（回路）12aとゲートドライバIC（回路）12bのいずれもが、図4（b）または図4（c）の状態となるように制御してもよい。

【0081】

結果、パネルを介しての左右のゲートドライバIC（回路）12a、12bの出力が短絡することがなくなり、ゲートドライバIC（回路）12の破壊防止が可能となる。特にEL表示装置では他ディスプレイと異なり、ゲートドライバIC（回路）12からは、1フレーム期間に、複数回の出力パルス（オン電圧とオフ電圧を切り替える回数）、あるいは複数H期間（複数の水平期間）の間、連続してあるいは間欠的に出力パルスが出力される。したがって、左右のゲートドライバIC（回路）12に接続されたゲート信号線17を介して電圧短絡が発生し、ゲートドライバIC（回路）12の破壊が発生し易くなる。したがって、本実施の形態が有効となる。

40

【0082】

1フレーム期間に出力パルスが複数回登場時のゲート信号入力状態を図12に示す。STV2A信号の立ち下がり回数がオンの回数、立ち上がり回数がオフの回数を表すため、ゲートドライバIC（回路）12aは3回のオンオフ、ゲートドライバIC（回路）12bは4回のオンオフがあることを表している。

【0083】

50

また、図 1 2 は、特有なオン電圧選択パターンを発生させる方法であるが、どんな選択信号パターンであっても、黒挿入量が同一であれば輝度は変化ない。黒挿入量が同一とは、表示画面 2 0 内で、オン電圧が印加されているゲート信号線 1 7 b の本数または、オフ電圧が印加されているゲート信号線 1 7 b の本数が同数の状態である。たとえば、オン電圧が印加されているゲート信号線 1 7 b が 2 0 本連続している状態と、1 本ごとにオン電圧が印加されている組が 2 0 組とは同一の表示輝度である。したがって、T C O N 9 5 で検出が容易な、S T V 信号パターンを実施できる。

【 0 0 8 4 】

(実施の形態 1 の変形例)

以上の実施の形態 1 では、パネルと接続されるゲート信号線が 2 種類の場合を述べたが、図 1 3 ~ 1 5 のように 3 種類以上の複数のゲート信号線が存在する場合も同様に S T V 信号による検出が可能となる。つまり、本変形例に係る E L 表示装置は、実施の形態 1 と比較して、各画素のゲート信号線が 4 本 (4 種類) である点が異なる。以下、図面を参照しながら、本変形例を説明する。

【 0 0 8 5 】

図 1 3 は本変形例に係る E L 表示装置における画素回路の例を示した図である。図 1 3 に示した画素回路は、E L 素子 1 5 と、E L 素子 1 5 に駆動電流を供給するための駆動用トランジスタ 1 1 a と、第 1 のスイッチ用トランジスタ 1 1 d と、第 2 のスイッチ用トランジスタ 1 1 b と、第 3 のスイッチ用トランジスタ 1 1 c と、第 4 のスイッチ用トランジスタ 1 1 e と、コンデンサ 1 9 とを備える。表示画面 2 0 には、E L 素子 1 5 を有する画素がマトリックス状に配置されている。なお、以下、第 1 ~ 4 のスイッチ用トランジスタ 1 1 b ~ 1 1 e を特に区別せず、スイッチ用トランジスタ 1 1 b ~ 1 1 e と記載したり、スイッチ用トランジスタ 1 1 と記載したりする場合がある。

【 0 0 8 6 】

駆動用トランジスタ 1 1 a は、ドレイン端子が第 1 のスイッチ用トランジスタ 1 1 d を介して第 1 電源線であるアノード電圧 V d d に電氣的に接続され、ソース端子が E L 素子 1 5 のアノード端子に電氣的に接続された駆動素子である。駆動用トランジスタ 1 1 a は、ゲート端子 - ソース端子間に印加された映像信号に対応した電圧を、当該映像信号に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として E L 素子 1 5 に供給する。駆動用トランジスタ 1 1 a は、例えば、n 型の薄膜トランジスタ (n 型 T F T) で構成される。

【 0 0 8 7 】

E L 素子 1 5 は、アノード端子が駆動用トランジスタ 1 1 a のソース端子に電氣的に接続され、カソード端子が第 2 電源線であるカソード電圧 V s s に電氣的に接続された発光素子であり、駆動用トランジスタ 1 1 a により信号電流が流れることにより、信号電流の大きさに基づいて発光する。

【 0 0 8 8 】

信号電流の大きさは、ソース信号線 1 8 に印加された映像信号を、スイッチ用トランジスタ 1 1 b で画素 1 6 に印加することにより決定される。第 1 のスイッチ用トランジスタ 1 1 d は、ゲート端子がゲート信号線 1 7 b (ゲート信号線 G E) に電氣的に接続され、ソース端子が駆動用トランジスタ 1 1 a のドレイン端子に電氣的に接続され、ドレイン端子が第 1 電源線であるアノード電圧 V d d に電氣的に接続されたスイッチ用トランジスタである。

【 0 0 8 9 】

ゲート信号線 1 7 b (ゲート信号線 G E) にオン電圧が印加されると、第 1 のスイッチ用トランジスタ 1 1 d がオンし、駆動用トランジスタ 1 1 a からの信号電流が E L 素子 1 5 に供給される。なお、第 1 のスイッチ用トランジスタ 1 1 d は、駆動用トランジスタ 1 1 a のソース端子と E L 素子 1 5 のアノード端子間に配置または形成してもよい。

【 0 0 9 0 】

第 2 のスイッチ用トランジスタ 1 1 b は、ゲート端子がゲート信号線 1 7 a (ゲート信

10

20

30

40

50

号線 G S) に電氣的に接続され、ソース端子が駆動用トランジスタ 1 1 a のゲート端子と電氣的に接続され、ドレイン端子がソース信号線 1 8 と電氣的に接続されたスイッチ用トランジスタである。

【 0 0 9 1 】

第 3 のスイッチ用トランジスタ 1 1 c は、ゲート端子がゲート信号線 1 7 d (ゲート信号線 G I) に電氣的に接続され、ソース端子が駆動用トランジスタ 1 1 a のソース端子と電氣的に接続され、ドレイン端子にはイニシャル電圧 (初期化電圧、 V i n i) が印加あるいは供給されるスイッチ用トランジスタである。第 3 のスイッチ用トランジスタ 1 1 c は、ゲート信号線 1 7 d にオン電圧が印加されると、イニシャル電圧 (V i n i) を駆動用トランジスタ 1 1 a のソース端子及びコンデンサ 1 9 の一方電極に印加する。

10

【 0 0 9 2 】

第 4 のスイッチ用トランジスタ 1 1 e は、ゲート端子がゲート信号線 1 7 c (ゲート信号線 G R) に電氣的に接続され、ソース端子が駆動用トランジスタ 1 1 a のゲート端子と電氣的に接続され、ドレイン端子にはリファレンス電圧 (参照電圧、 V r e f) が印加あるいは供給されるスイッチ用トランジスタである。第 4 のスイッチ用トランジスタ 1 1 e は、ゲート信号線 1 7 c にオン電圧が印加されると、リファレンス電圧 (V r e f) を駆動用トランジスタ 1 1 a のゲート端子に印加する。

【 0 0 9 3 】

ここで、電氣的に接続とは、電圧の経路、電流の経路が形成されている状態あるいは形成されうる状態である。たとえば、駆動用トランジスタと第 1 のトランジスタ間に、第 5 のトランジスタが配置されていても、駆動用トランジスタと第 1 のトランジスタとは電氣的に接続されている。なお、本明細書においては、接続を電氣的に接続の意味として使用する場合がある。

20

【 0 0 9 4 】

スイッチ用トランジスタ 1 1 のチャンネル間は双方向であるため、ソース端子とドレイン端子の名称は、説明を容易にするためであり、ソース端子とドレイン端子は入れ替えてもよい。また、ソース端子、ドレイン端子を、第 1 の端子、第 2 の端子などとしてもよい。図 1 3 では、画素を構成するすべてのトランジスタ 1 1 (駆動用トランジスタ 1 1 a 及びスイッチ用トランジスタ 1 1 b、1 1 c、1 1 d、1 1 e) は n 型で構成している。しかし、本変形例は、画素のトランジスタ 1 1 を n 型で構成することのみに限定するものではない。n 型のみで構成してもよいし、p 型のみで構成してもよい。また、n 型と p 型の両方を用いて構成してもよい。また、駆動用トランジスタ 1 1 a を p 型のトランジスタと n 型のトランジスタの両方を用いて構成してもよい。

30

【 0 0 9 5 】

図 1 4 は、本変形例に係る E L 表示装置の電氣的な構成を示したブロック図である。

【 0 0 9 6 】

図 1 4 に示したように、本変形例に係る E L 表示装置は、画素 1 6 がマトリックス状に配置されて構成された表示画面 2 0 と、表示画面 2 0 の画素行ごとに配置されたゲート信号線 1 7 (ゲート信号線 1 7 a、ゲート信号線 1 7 b、ゲート信号線 1 7 c、ゲート信号線 1 7 d) と、表示画面 2 0 の画素列ごとに配置されたソース信号線 1 8 と、表示画面 2 0 の周辺回路として、ゲート信号線 1 7 を駆動するゲートドライバ I C (回路) (ゲートドライバ I C) 1 2 (1 2 a、1 2 b) と、映像信号をソース信号線 1 8 に出力するソースドライバ I C (回路) 1 4 と、ゲートドライバ I C (回路) 及びソースドライバ回路などを制御する制御回路 (図示せず) とを具備する。

40

【 0 0 9 7 】

表示画面 2 0 は、外部から E L 表示装置へ入力された映像信号に基づいて画像を表示する。

【 0 0 9 8 】

ゲート信号線 1 7 は、ゲートドライバ I C (回路) 1 2 に接続され、各画素行に属する画素 1 6 に接続されている。ゲート信号線 1 7 は、各画素行に属する画素 1 6 に映像信号

50

を書き込むタイミングを制御する機能や、画素 16 に初期化電圧や参照電圧などの各種電圧を印加するタイミングを制御する機能や、画素 16 の発光及び消灯タイミングを制御する機能などを有する。

【0099】

ゲートドライバIC（回路）12は、ゲート信号線17に接続されており、ゲート信号線17に選択信号を出力することにより、画素16の有するスイッチ用トランジスタ11の導通（オン）・非導通（オフ）を制御する機能を有する駆動回路である。

【0100】

例えば、上述の図13の画素回路において、ゲート信号線17aにオン電圧が印加されると、第2のスイッチ用トランジスタ11bがオンして、ソース信号線18に印加された映像信号が、画素16に印加される。また、ゲートドライバIC（回路）12は、複数の走査・出力バッファ回路を備えている。

10

【0101】

ゲートドライバIC（回路）12は、表示画面20の左右に配置されており（ゲートドライバIC（回路）12a、12b）、各ゲート信号線17は、ゲートドライバIC（回路）12aまたはゲートドライバIC（回路）12bの少なくとも一方と接続されている。

【0102】

図13及び図14に示した本変形例の態様では、ゲート信号線17a及びゲート信号線17bの両端には、表示画面20の左右に配置されたゲートドライバIC（回路）12a、12bが接続されている。ゲート信号線17c、17dの片側には、表示画面20の左側に配置されたゲートドライバIC（回路）12aが接続されている。ゲートドライバIC（回路）12は、COF（Chip On Film）（図示せず）に実装されている。

20

【0103】

図15は、本変形例に係るEL表示装置におけるゲートドライバIC（回路）の構成の例を示した図である。図15に示すように、ゲートドライバIC（回路）12は、ゲート信号線17と1対1に対応する4つの走査・出力バッファ回路31a～31dを備える。なお、各走査・出力バッファ回路31a～31dを特に区別せず、走査・出力バッファ回路31と記載する場合がある。

30

【0104】

走査・出力バッファ回路31は、選択するゲート信号線位置（画素行位置）を特定するシフトレジスタと、ゲート信号線17を駆動する出力バッファ回路とからなる。

【0105】

ゲート信号線位置（画素行位置）を特定するとは、ゲート信号線17にオン電圧（選択電圧）とオフ電圧（非選択電圧）を印加する位置を特定あるいは決定すること、あるいは状態である。

【0106】

4つの走査・出力バッファ回路31は、それぞれ対応する4つのゲート信号線17を駆動する。走査・出力バッファ回路31aは、ゲート信号線GRを駆動する。走査・出力バッファ回路31bは、ゲート信号線GIを駆動する。走査・出力バッファ回路31cは、ゲート信号線GEを駆動し、走査・出力バッファ回路31dは、ゲート信号線GSを駆動する。他の点は、図6などで説明した実施の形態1と同等あるいは類似であるので説明を省略する。

40

【0107】

以上、図13～図15を用いて説明した実施の形態1の変形例の構成においても、図4、図5、図10、図11、図12で説明した実施の形態1の駆動方法、装置を適用できることは言うまでもない。したがって、説明を省略する。

【0108】

（他の実施の形態）

50

以上の実施の形態及び変形例は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0109】

また、図16のディスプレイに採用されるEL表示装置として、本開示の実施の形態で図示した、あるいは説明したEL表示装置（表示パネル）を採用し、また、情報機器を構成することができることは言うまでもない。

【0110】

図16に示すディスプレイは、本開示のEL表示装置（EL表示パネル）231、EL表示装置231を保持する支柱232、及び、保持台233を含む。

【0111】

また、本開示において、各図面は理解を容易するために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。

【0112】

本開示の実施の形態に図示あるいは明細書で説明した事項あるいは内容は、他の実施の形態においても適用される。また、本開示の実施の形態で説明あるいは図示したEL表示パネルは、本開示のEL表示装置に採用できる。

【0113】

また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有する。

【0114】

各図面等で説明した内容は特に断りがなくとも、他の実施の形態等と組み合わせることができる。たとえば、タッチパネルなどを付加し、情報表示装置などを構成することができる。

【0115】

本開示のEL表示装置とは、情報機器などのシステム機器を含む概念である。EL表示パネルの概念は、広義には情報機器などのシステム機器を含む。

【0116】

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

【0117】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【0118】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

【産業上の利用可能性】

【0119】

本開示は、特に、アクティブ型のELフラットパネルディスプレイ等に有用である。

【符号の説明】

【0120】

1、231 EL表示装置

11、11a、11b、11c、11d、11e トランジスタ（TFT）

12、12a、12b ゲートドライバIC（回路）

14 ソースドライバIC（回路）

15 EL素子

16 画素

10

20

30

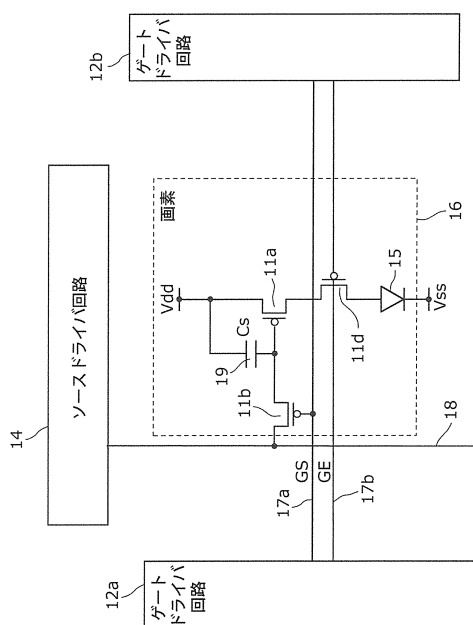
40

50

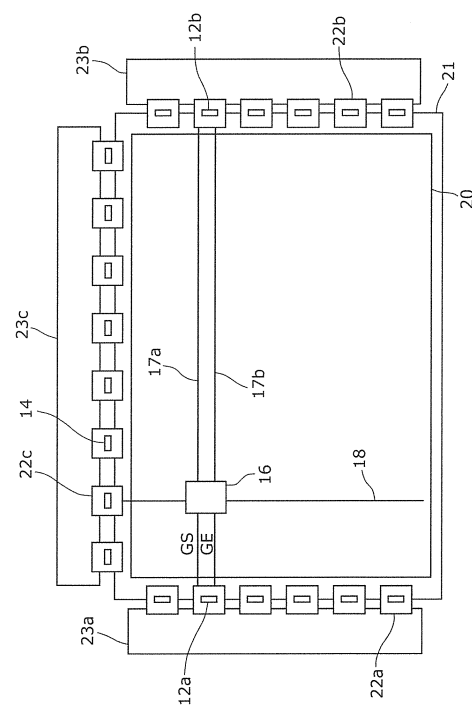
- 1 7、1 7 a、1 7 b、1 7 c、1 7 d ゲート信号線
1 8 ソース信号線
1 9 コンデンサ
2 0 表示画面
2 1 表示パネル
2 2 a、2 2 b、2 2 c C O F
2 3 a、2 3 b、2 3 c プリント基板
3 1、3 1 a、3 1 b、3 1 c、3 1 d 走査・出力バッファ回路
3 2 入力端子
3 4 出力端子
6 1 a、6 1 b ゲートドライバ出力等価回路
6 2 パネル等価回路
9 4 a、9 4 b S T V 信号
9 5 T C O N
9 6 a、9 6 b 出力信号
2 3 2 支柱
2 3 3 保持台

10

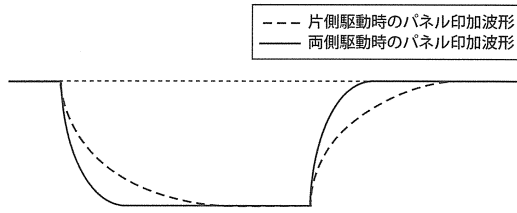
【图 1】



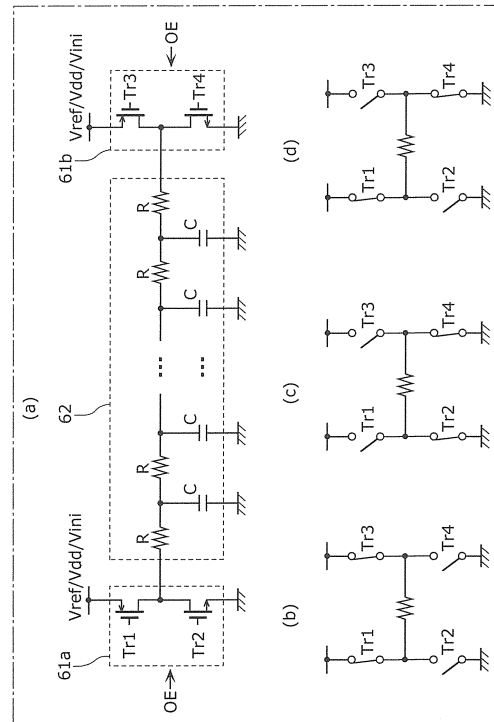
【圖 2】



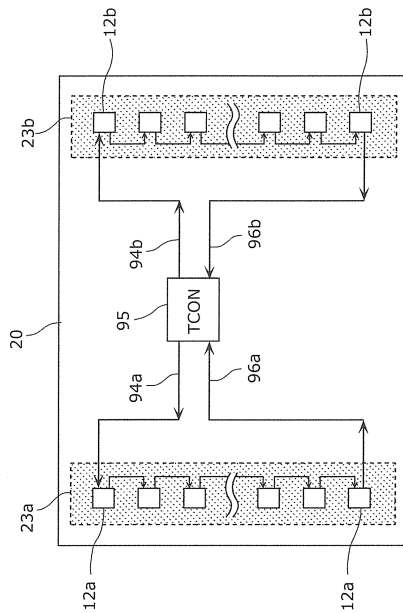
【図 3】



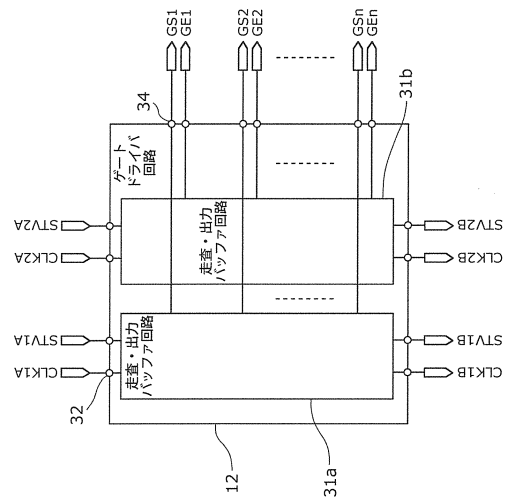
【図 4】



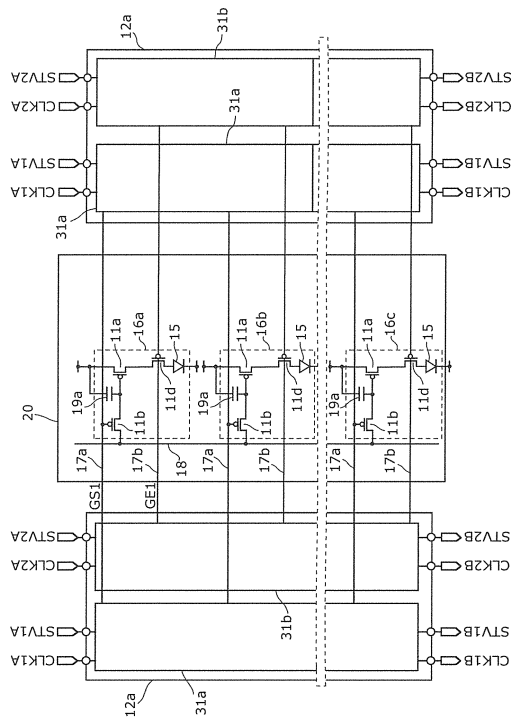
【図 5】



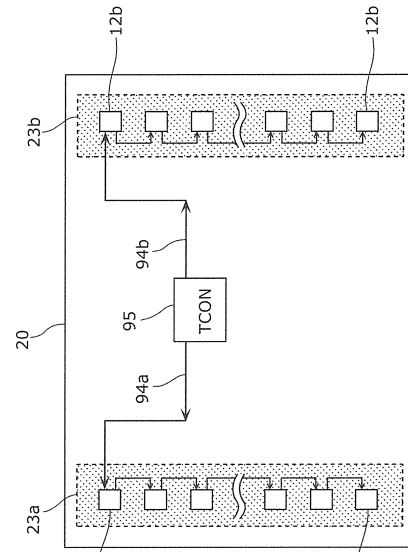
【図 6】



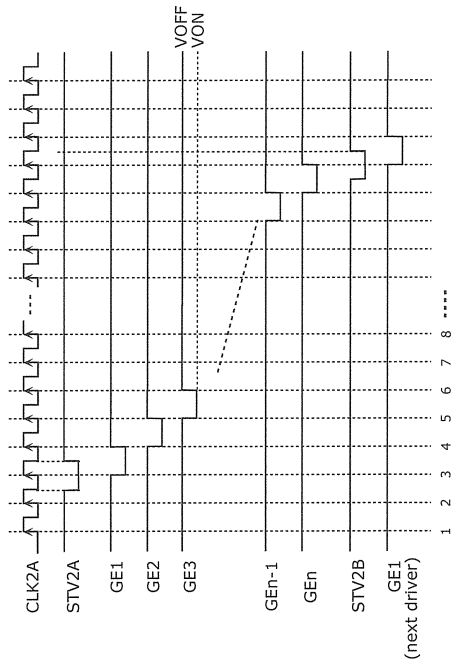
【図 7】



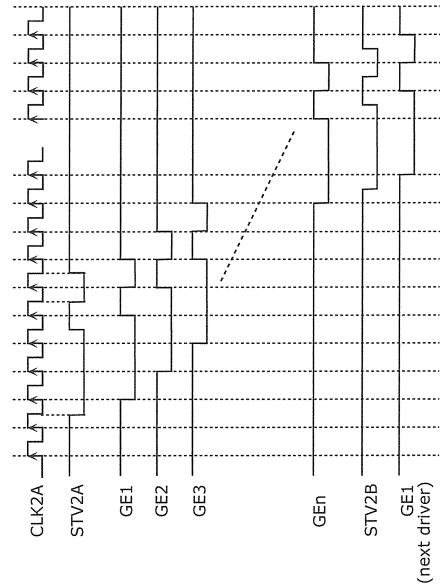
【図 8】



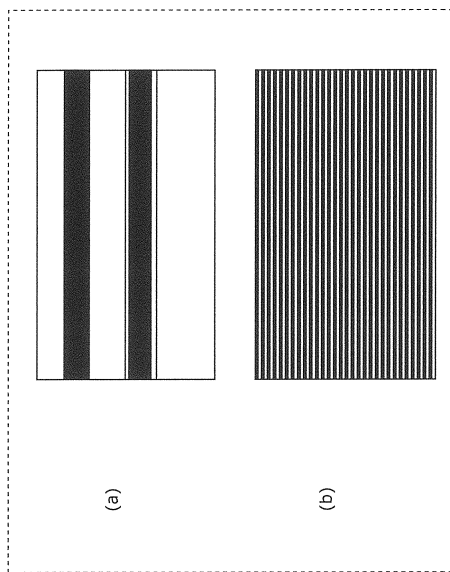
【図 9】



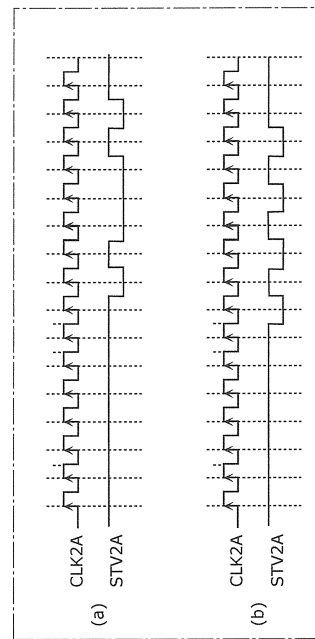
【図 10】



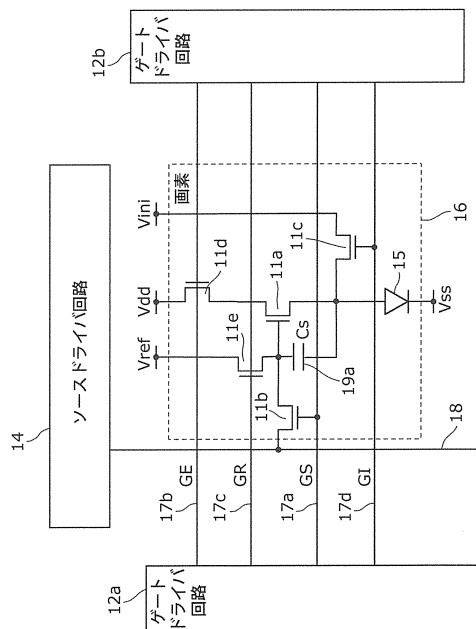
【図 1 1】



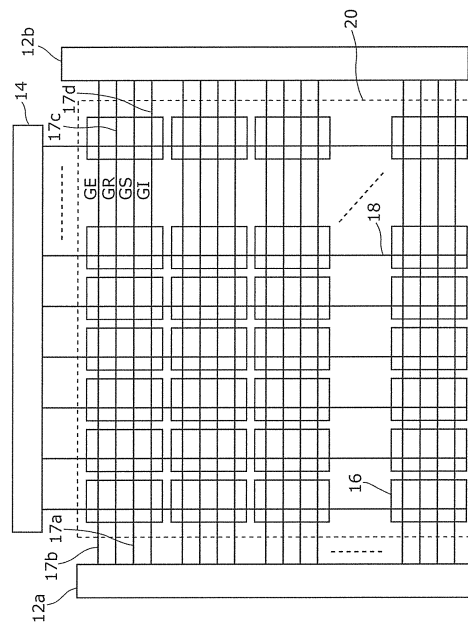
【図 1 2】



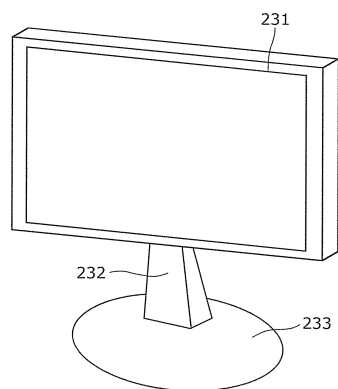
【図 1 3】



【図 1 4】



【 図 1 6 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 7 0 Z
G 0 9 G	3/20	6 7 0 M
G 0 9 G	3/20	6 7 0 E
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 1 2 J
G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 1 2 G

(72)発明者 中川 博文

日本国東京都千代田区神田錦町三丁目23番地 株式会社J O L E D内

審査官 斎藤 厚志

(56)参考文献 特開2012-058351(JP,A)

特開2004-118014(JP,A)

特開2010-107933(JP,A)

特開2000-122611(JP,A)

特開2001-249646(JP,A)

米国特許出願公開第2007/0159438(US,A1)

(58)調査した分野(Int.Cl.,DB名)

G 0 9 G 3 / 3 2 3 3

G 0 9 G 3 / 2 0

专利名称(译)	EL表示装置		
公开(公告)号	JP6167355B2	公开(公告)日	2017-07-26
申请号	JP2015527155	申请日	2014-06-12
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	西村賢 加藤敏行 中川博文		
发明人	西村 賢 加藤 敏行 中川 博文		
IPC分类号	G09G3/3233 G09G3/20		
CPC分类号	G09G3/3258 G09G3/3266 G09G2300/0871 G09G2310/0286 G09G2310/0291 G09G2310/068 G09G2320/0223 G09G2320/0233 G09G2320/041 G09G2330/045 G09G2330/08 H05B33/08 Y02B20/32		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.621.M G09G3/20.622.D G09G3/20.670.L G09G3/20.670.Z G09G3/20.670.M G09G3/20.670.E G09G3/20.611.J G09G3/20.612.J G09G3/20.612.L G09G3/20.612.G		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	齐藤敦		
优先权	2013149908 2013-07-18 JP		
其他公开文献	JPWO2015008424A1		
外部链接	Espacenet		

摘要(译)

EL显示器传输栅极驱动器IC (电路) (12a , 12b) , 多个像素 (16) , 用于选择像素 (16) 的选择电压或用于取消选择像素 (16) 的非选择电压。栅极信号线 (17a , 17b) 和TCON (95) 以及像素 (16) 包括驱动晶体管 (11a) , EL元件 (15) 和第一开关晶体管 (11d) 。和第二开关晶体管 (11b) , 并且每个栅极驱动器IC (电路) (12a , 12b) 具有扫描输出缓冲电路 (31a , 31b) 和扫描输出缓冲电路 (31a , 31b) 连接到TCON (95) , 并且扫描/输出缓冲电路 (31a , 31b) 的输出信号输入到TCON (95) 。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6167355号 (P6167355)
(45) 発行日 平成29年7月26日 (2017. 7. 26)		(24) 登録日 平成29年7月7日 (2017. 7. 7)	
(51) Int. Cl. G09G 3/3233 (2016. 01) G09G 3/20 (2006. 01)		F I G09G 3/3233 G09G 3/20 6 2 4 B G09G 3/20 6 2 1 M G09G 3/20 6 2 2 D G09G 3/20 6 7 0 L 請求項の数 4 (全 22 頁) 最終頁に続く	
(21) 出願番号 特願2015-527155 (P2015-527155) (86) (22) 出願日 平成26年6月12日 (2014. 6. 12) (86) 国際出願番号 PCT/JP2014/003127 (87) 国際公開番号 W02015/008424 (87) 国際公開日 平成27年1月22日 (2015. 1. 22) (87) 審査請求日 平成28年1月7日 (2016. 1. 7) (31) 優先権主張番号 特願2013-149908 (P2013-149908) (32) 優先日 平成25年7月18日 (2013. 7. 18) (33) 優先権主張国 日本国 (JP)		(73) 特許権者 514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目2 3 番地 (74) 代理人 100189430 弁理士 吉川 修一 (74) 代理人 100190805 弁理士 傍島 正朗 (72) 発明者 西村 賢 日本国大阪府門真市大字門真1 0 0 6 番地 パナソニック株式会社内 (72) 発明者 加藤 敏行 日本国東京都千代田区神田錦町三丁目2 3 番地 株式会社 J O L E D 内	
(54) 【発明の名称】 E L 表示装置		最終頁に続く	