

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6019456号
(P6019456)

(45) 発行日 平成28年11月2日(2016.11.2)

(24) 登録日 平成28年10月14日(2016.10.14)

(51) Int.Cl.	F I
G09G 3/3275 (2016.01)	G09G 3/3275
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 6 1 2 A
	G09G 3/20 6 1 1 J
	G09G 3/20 6 2 1 E
	請求項の数 20 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2013-550082 (P2013-550082)
 (86) (22) 出願日 平成24年10月25日(2012.10.25)
 (86) 国際出願番号 PCT/JP2012/006842
 (87) 国際公開番号 W02013/094104
 (87) 国際公開日 平成25年6月27日(2013.6.27)
 審査請求日 平成27年8月31日(2015.8.31)
 (31) 優先権主張番号 特願2011-278821 (P2011-278821)
 (32) 優先日 平成23年12月20日(2011.12.20)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 戎野 浩平
 日本国大阪府門真市大字門真1 0 0 6 番地
 パナソニック株式会社内
 (72) 発明者 加藤 敏行
 日本国大阪府門真市大字門真1 0 0 6 番地
 パナソニック株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数の発光画素を有する表示部を備える表示装置であって、
 前記表示部に電源電圧を供給する電圧源と、
 前記複数の発光画素のそれぞれの発光輝度を示すデータである映像データに応じて、前記表示部へ供給される電圧を調整する電圧調整部とを備え、
 前記表示部は、さらに、
 前記複数の発光画素及び前記電圧源に接続され、前記電圧源から前記電源電圧が供給される少なくとも1つの電源線を有し、前記電源線は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分および列方向の抵抗成分である画素列抵抗成分を有し、
 前記電圧調整部は、
 前記複数の発光画素を、 X_v 行 X_h 列 (X_v および X_h は 2 以上の整数) の複数の発光画素からなる第 1 ブロックごとに分割し、前記電源線が前記第 1 ブロックごとに前記電源電圧を伝達するものと設定し、
 前記第 1 ブロックあたりの前記電源線の行方向の抵抗成分である第 1 ブロック行抵抗成分を、前記画素行抵抗成分の (X_h / X_v) 倍したものと設定し、前記第 1 ブロックあたりの前記電源線の列方向の抵抗成分である第 1 ブロック列抵抗成分を、前記画素列抵抗成分の (X_v / X_h) 倍したものと設定し、
 前記映像データにより前記第 1 ブロックのそれぞれに電流が流れることで前記電源線に生じる電圧降下量の分布を前記第 1 ブロックごとに推定し、推定された前記電圧降下量の

分布に基づき前記表示部へ供給される前記電圧を調整する表示装置。

【請求項 2】

前記電圧調整部は、前記第 1 ブロック列抵抗成分と前記第 1 ブロック行抵抗成分とが等しくなるよう、前記 X_v および前記 X_h を設定する請求項 1 に記載の表示装置。

【請求項 3】

前記電圧調整部が調整する前記電圧は、前記電源電圧である請求項 1 または 2 に記載の表示装置。

10

【請求項 4】

前記電圧調整部が調整する前記電圧は、前記映像データが変換された、前記複数の発光画素のそれぞれに印加される信号電圧である請求項 1 または 2 に記載の表示装置。

【請求項 5】

前記電圧調整部が調整する電圧は、前記電源電圧および前記映像データが変換された、前記複数の発光画素のそれぞれに印加される信号電圧である請求項 1 または 2 に記載の表示装置。

【請求項 6】

前記電圧調整部は、さらに、前記複数の発光画素を、 Y_v 行 Y_h 列 (Y_v は X_v と異なる 2 以上の整数であり、 Y_h は X_h と異なる 2 以上の整数) の複数の発光画素からなる第 2 ブロックごとに分割し、前記電源線が前記第 2 ブロックごとに前記電源電圧を伝達するものと設定し、

20

前記第 2 ブロックあたりの前記電源線の行方向の抵抗成分である第 2 ブロック行抵抗成分を、前記画素行抵抗成分の (Y_h / Y_v) 倍したものと設定し、前記第 2 ブロックあたりの前記電源線の列方向の抵抗成分である第 2 ブロック列抵抗成分を、前記画素列抵抗成分の (Y_v / Y_h) 倍したものと設定し、

前記映像データにより前記第 2 ブロックのそれぞれに電流が流れることで前記電源線に生じる電圧降下量の分布を前記第 2 ブロックごとに推定し、

前記第 1 ブロックごとに推定した前記電圧降下量の分布と、前記第 2 ブロックごとに推定した前記電圧降下量の分布とから、前記電圧降下量の分布を前記発光画素ごとに推定する

30

請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記電圧調整部は、推定した前記第 1 ブロックごとの前記電圧降下量の分布の最大値を用いて前記電圧を調整する

請求項 1 ~ 3 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記電圧源は、第 1 電圧及び前記第 1 電圧とは異なる第 2 電圧を前記表示部に供給し、前記少なくとも 1 つの電源線は、前記第 1 電圧が供給される第 1 電源線及び前記第 2 電圧が供給される第 2 電源線からなり、

40

前記電圧調整部は、前記第 1 電源線に生じる電圧降下量の分布である第 1 分布及び前記第 2 電源線に生じる電圧降下量の分布である第 2 分布を前記第 1 ブロックごとに推定し、前記第 1 分布及び前記第 2 分布に基づき前記第 1 電圧及び前記第 2 電圧を調整する

請求項 1 ~ 3 のいずれか 1 項に記載の表示装置。

【請求項 9】

前記電圧調整部は、前記第 1 分布の最大値と前記第 2 分布の最大値との合計に従って、前記第 1 電圧及び前記第 2 電圧を調整する

請求項 8 に記載の表示装置。

【請求項 10】

50

前記電圧調整部は、前記第1分布と前記第2分布とを複数の前記第1ブロックに対応して合計することにより、前記第1電源線に生じる電圧降下量と前記第2電源線に生じる電圧降下量との和である総電圧降下量の分布を算出し、算出した総電圧降下量の分布に基づき前記第1電圧及び前記第2電圧を調整する

請求項8に記載の表示装置。

【請求項11】

前記電圧調整部は、前記総電圧降下量の分布の最大値を用いて前記第1電圧及び前記第2電圧を調整する

請求項10に記載の表示装置。

【請求項12】

前記複数の発光画素は、それぞれ、駆動素子と発光素子とを含み、
前記駆動素子は、ソース電極及びドレイン電極を含み、
前記発光素子は、第1の電極及び第2の電極を含み、当該第1の電極が前記駆動素子のソース電極及びドレイン電極の一方に接続され、

前記ソース電極及びドレイン電極の他方と前記第2の電極との一方は、前記第1電源線に接続され、前記ソース電極及びドレイン電極の他方と前記第2の電極との他方は、前記第2電源線に接続されている

請求項1～11のいずれか1項に記載の表示装置。

【請求項13】

前記第2の電極は、前記複数の発光画素に共通して設けられた共通電極の一部を構成しており、

前記共通電極は、その周縁部から電位が印加されるように、前記電圧源と電氣的に接続されている

請求項12に記載の表示装置。

【請求項14】

前記第2の電極は、金属酸化物からなる透明導電性材料で形成されている

請求項13に記載の表示装置。

【請求項15】

前記発光素子は有機EL素子である

請求項12～14のいずれか1項に記載の表示装置。

【請求項16】

行列状に配置された複数の発光画素を有する表示部と、前記表示部に電源電圧を供給する電圧源とを備える表示装置の駆動方法であって、

前記表示部は、さらに、

前記複数の発光画素及び前記電圧源に接続され、前記電圧源から前記電源電圧が供給される少なくとも1つの電源線を有し、前記電源線は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分および列方向の抵抗成分である画素列抵抗成分を有し、

前記表示装置の駆動方法は、

前記複数の発光画素を、 X_v 行 X_h 列(X_v および X_h は2以上の整数)の複数の発光画素からなる第1ブロックごとに分割し、前記電源線が前記第1ブロックごとに前記電源電圧を供給するものと設定するブロック設定ステップと、

前記第1ブロックあたりの前記電源線の行方向の抵抗成分である第1ブロック行抵抗成分を、前記画素行抵抗成分の (X_h / X_v) 倍したものと設定し、前記第1ブロックあたりの前記電源線の列方向の抵抗成分である第1ブロック列抵抗成分を、前記画素列抵抗成分の (X_v / X_h) 倍したものと設定するブロック抵抗成分設定ステップと、

前記映像データにより前記第1ブロックのそれぞれに電流が流れることで前記電源線に生じる電圧降下量の分布を前記第1ブロックごとに推定する推定ステップと、

前記推定ステップで推定された前記電圧降下量の分布に基づき前記表示部へ供給される電圧を調整する調整ステップとを含む

表示装置の駆動方法。

10

20

30

40

50

【請求項 17】

前記ブロック設定ステップでは、
前記第1ブロック列抵抗成分と前記第1ブロック行抵抗成分とが等しくなるよう、前記Xvおよび前記Xhを設定する
請求項16に記載の表示装置の駆動方法。

【請求項 18】

前記調整ステップでは、
前記推定ステップで推定された前記電圧低下量の分布に基づき前記電源電圧を調整する
請求項16または17に記載の表示装置の駆動方法。

【請求項 19】

前記調整ステップでは、
前記推定ステップで推定された前記電圧低下量の分布に基づき、前記映像データが変換された、前記複数の発光画素のそれぞれに印加される信号電圧を調整する
請求項16または17に記載の表示装置の駆動方法。

10

【請求項 20】

前記調整ステップでは、
前記推定ステップで推定された前記電圧低下量の分布に基づき、前記電源電圧を調整し、かつ、前記複数の発光画素のそれぞれに印加される信号電圧を調整する
請求項16または17に記載の表示装置の駆動方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、有機EL（エレクトロルミネッセンス）に代表される電流駆動型発光素子を用いたアクティブマトリクス型の表示装置、及びその駆動方法に関する。

【背景技術】

【0002】

一般に、有機EL素子の輝度は、素子に供給される駆動電流に依存し、駆動電流に比例して素子の発光輝度が大きくなる。従って、有機EL素子からなるディスプレイの消費電力は、表示輝度の平均で決まる。即ち、液晶ディスプレイと異なり、有機ELディスプレイの消費電力は、表示画像によって大きく変動する。例えば、有機ELディスプレイにおいては、全白画像を表示した場合に最も大きな消費電力を必要とするが、一般的な自然画の場合は、全白時に対して20～40%程度の消費電力で十分とされる。

30

【0003】

しかしながら、電源回路設計やバッテリー容量は、ディスプレイの消費電力が最も大きくなる場合を想定して設計されることから、一般的な自然画に対して3～4倍の消費電力を考慮しなければならず、機器の低消費電力化及び小型化の妨げとなっている。

【0004】

そこで従来では、映像データのピーク値を検出し、その検出データに基づいて有機EL素子のカソード電圧を調整して、電源電圧を減少させることにより表示輝度をほとんど低下させずに消費電力を抑制するという技術が提案されている（例えば、特許文献1参照）

40

【0005】

しかし、特に、有機ELディスプレイの場合、上述した映像データに基づく電源電圧の調整だけでは、消費電力の抑制という観点からは不十分である。有機EL素子は電流駆動素子であることから、陽極側電源線および陰極側電源線には電流が流れ、配線抵抗に比例した電圧降下が発生する。この電圧降下を考慮した対策をとることにより、より効果的な消費電力の抑制が達成される。以下、上記電圧降下を考慮した対策について説明する。

【0006】

図20は、特許文献2で提案されている、有機EL素子を駆動する画素の回路構成を示す回路図である。

50

【0007】

特許文献2に記載された画素回路構成において、電源配線に電圧降下が発生する場合においても有機EL素子を電流駆動するドライバトランジスタQ1のソース-ドレイン間電圧が高く動作点が飽和領域である場合には、映像信号に応じてデータ線電圧により設定される適切な画像表示が可能である。

【0008】

しかしながら、ドライバトランジスタQ1のソース-ドレイン間電圧が低く動作点が線形領域である場合には、有機EL素子OLEDおよびスイッチトランジスタQ4の抵抗成分やドライバトランジスタQ1のソース-ドレイン間電圧の影響を大きく受けて適切な画像表示ができない。

10

【0009】

そのため、ドライバトランジスタQ1の動作点が飽和領域になるように、ディスプレイに供給される電源電圧は電圧降下分を補う電圧降下マージンを上乘せして設定される。

【0010】

電圧降下分を補う電圧降下マージンについても、上述の電源回路設計やバッテリー容量と同様に、ディスプレイの電圧降下量が一番大きくなる場合を想定して設定されることから、一般的な自然画に対して無駄な電力が消費されていることになる。

【0011】

モバイル機器用途を想定した小型ディスプレイでは、パネル電流が小さいので、電圧降下分を補う電圧降下マージンは発光画素で消費される電圧に比べて無視できるほど小さい。

20

【0012】

しかし、パネルの大型化に伴って電流が増加すると、電源配線で生じる電圧降下が無視できなくなる。

【0013】

これに対して、特許文献3では、電流駆動の発光手段を有する電光ディスプレイにおいて、電源供給線の配線抵抗と画素電流とから、給電線路上の電圧降下量を計算し、当該電圧降下量から最小の所要電源電圧を算出して電源電圧を調整する技術が開示されている。また、特許文献3では、外部から入力される映像信号に、計算された電圧降下量を結合させることにより、発光手段の輝度を決定する保持容量への書き込み電圧を生成する技術が開示されている。これらの技術により、特許文献3に記載された電光ディスプレイにおいて、消費電力を低減でき、輝度むらを抑制することが可能となる。

30

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2006-65148号公報

【特許文献2】国際公開第2009/011092号

【特許文献3】特表2008-502015号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0015】

しかしながら、特許文献3に記載された電光ディスプレイにおいて、電源供給線の配線抵抗と画素電流とから給電線路上の電圧降下量を計算するには、通常、画素電流と画素あたりの給電線の配線抵抗による抵抗線網とを用いた莫大な計算量を要し、また、大容量のメモリを確保する必要がある。上述した莫大な計算量および大容量メモリの配置は、表示装置をコストアップさせてしまう。

【0016】

本発明は上述の問題に鑑みてなされたものであり、給電線路上の電圧降下量を算出するための計算量およびメモリ容量が削減された、低コスト化された表示装置及びその駆動方法を提供することを目的とする。

50

【課題を解決するための手段】

【0017】

本発明の一態様に係る表示装置は、行列状に配置された複数の発光画素を有する表示部を備える表示装置であって、前記表示部に電源電圧を供給する電圧源と、前記複数の発光画素のそれぞれの発光輝度を示すデータである映像データに応じて、前記表示部へ供給される電圧を調整する電圧調整部とを備え、前記表示部は、さらに、前記複数の発光画素及び前記電圧源に接続され、前記電圧源から前記電源電圧が供給される少なくとも1つの電源線を有し、前記電源線は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分および列方向の抵抗成分である画素列抵抗成分を有し、前記電圧調整部は、前記複数の発光画素を、 X_v 行 X_h 列(X_v および X_h は2以上の整数)の複数の発光画素からなる第1ブロックごとに分割し、前記電源線が前記第1ブロックごとに前記電源電圧を伝達するものと設定し、前記第1ブロックあたりの前記電源線の行方向の抵抗成分である第1ブロック行抵抗成分を、前記画素行抵抗成分の(X_h / X_v)倍したものと設定し、前記第1ブロックあたりの前記電源線の列方向の抵抗成分である第1ブロック列抵抗成分を、前記画素列抵抗成分の(X_v / X_h)倍したものと設定し、前記映像データにより前記第1ブロックのそれぞれに電流が流れることで前記電源線に生じる電圧降下量の分布を前記第1ブロックごとに推定し、推定された前記電圧降下量の分布に基づき前記表示部へ供給される前記電圧を調整することを特徴とする。

10

【発明の効果】

【0018】

本発明の表示装置およびその駆動方法によれば、複数の画素単位で分割されたブロックごとに近似された給電線の配線抵抗を用いて給電線路上の電圧降下量を算出するので、計算処理量およびメモリ容量を削減でき低コスト化が可能となる。さらに、算出された電圧降下量により、少なくとも電源電圧の調整および信号電圧の補正のいずれかが実行されるので、少なくとも消費電力の低減および輝度むらの抑制のいずれかが図られる。

20

【図面の簡単な説明】

【0019】

【図1】図1は、実施の形態1に係る表示装置の概略構成を示すブロック図である。

【図2】図2は、1920画素列×1080画素行を有する有機EL表示部における陽極側電源線網のモデルを模式的に示す図である。

30

【図3】図3は、実施の形態1に係る有機EL表示部の構成を模式的に示す斜視図である。

【図4】図4は、実施の形態1に係る発光画素の具体的な構成の一例を示す回路図である。

【図5】図5は、実施の形態1に係る表示装置の駆動方法を示すフローチャートである。

【図6】図6は、電圧降下量の演算の際に設定される抵抗線網モデルを説明する図である。

【図7】図7は、ブロック化された抵抗線網モデルを作成するアルゴリズムを示すフローチャートである。

【図8】図8は、抵抗線網モデルを用いた電圧分布の計算の一例を説明する図である。

40

【図9A】図9Aは、有機EL表示部に表示される画像の一例を模式的に示す図である。

【図9B】図9Bは、図9Aの画像を示す映像信号から計算された陽極側電源線網の電圧分布を示すグラフである。

【図9C】図9Cは、図9Aの画像を示す映像信号から計算された陰極側電源線網の電圧分布を示すグラフである。

【図10A】図10Aは、有機EL表示部に表示される画像の他の一例を模式的に示す図である。

【図10B】図10Bは、図10Aの画像を示す映像信号から計算された陽極側電源線網の電圧分布を示すグラフである。

【図10C】図10Cは、図10Aの画像を示す映像信号から計算された陰極側電源線網

50

の電圧分布を示すグラフである。

【図 1 1】図 1 1 は、実施の形態 2 に係る表示装置の概略構成を示すブロック図である。

【図 1 2】図 1 2 は、実施の形態 2 に係る表示装置の駆動方法を示すフローチャートである。

【図 1 3】図 1 3 は、実施の形態 3 に係る表示装置の動作を示すフローチャートである。

【図 1 4】図 1 4 は、120 画素行×120 画素列を 1 ブロックとした場合の陽極側電源線のモデルを模式的に示す図である。

【図 1 5】図 1 5 は、粗くブロック化した場合に算出されたブロックごとの電圧降下量を示す表である。

【図 1 6】図 1 6 は、60 画素行×60 画素列を 1 ブロックとした場合の陽極側電源線のモデルを模式的に示す図である。

10

【図 1 7】図 1 7 は、細かくブロック化した場合に算出されたブロックごとの電圧降下量を示す表である。

【図 1 8】図 1 8 は、ブロック化する際の画素数と、ブロック化したモデルから計算される電圧降下の最大値の関係を示すグラフである。

【図 1 9】図 1 9 は、表示装置を内蔵した薄型フラット TV の外観図である。

【図 2 0】図 2 0 は、特許文献 2 で提案されている、有機 EL 素子を駆動する画素の回路構成を示す回路図である。

【図 2 1】図 2 1 は、各画素を電流源にモデル化した有機 EL ディスプレイの構成を模式的に示す図である。

20

【図 2 2 A】図 2 2 A は、表示画像の一例を示す図である。

【図 2 2 B】図 2 2 B は、図 2 2 A を表示した際の陰極側電源供給線の電圧降下値の分布を示すグラフである。

【図 2 2 C】図 2 2 C は、表示画像の他の一例を示す図である。

【図 2 2 D】図 2 2 D は、図 2 2 C を表示した際の陰極側電源供給線の電圧降下値の分布を示すグラフである。

【発明を実施するための形態】

【0020】

(本発明の基礎となった知見)

本発明者は、「背景技術」の欄において記載した表示装置およびその駆動方法に関し、以下の問題が生じることを見出した。

30

【0021】

パネルの大型化に伴って電流が増加すると、電源配線で生じる電圧降下が無視できなくなる。

【0022】

図 2 1 は、各画素がマトリクス配置された有機 EL ディスプレイであり、各画素は映像信号に応じてドライバトランジスタが定電流を流す電流源にモデル化されている。

【0023】

また各画素は陽極側電源線および陰極側電源線によって隣接画素と互いに接続される。

【0024】

40

図 2 2 A および図 2 2 C は、表示画像の一例であって、どちらも黒背景に同じ大きさの白窓を有するが、白窓の表示位置が異なる。

【0025】

また図 2 2 B および図 2 2 D は、これら表示画像を図 2 1 のように構成される有機 EL ディスプレイへ表示した場合の、陰極側電源供給線の電圧降下値の分布を示すグラフである。具体的には、図 2 2 B は図 2 2 A を表示した際の陰極側電源供給線の電圧降下値の分布を示すグラフであり、図 2 2 D は図 2 2 C を表示した際の陰極側電源供給線の電圧降下値の分布を示すグラフである。

【0026】

特許文献 1 に提案されている従来技術では、画像 A と画像 B は双方ともに映像信号の

50

ピーク値が同じであるために同じ外部印加電圧が設定される。

【0027】

しかしながら図22Bおよび図22Dに示すように画像Bでは画像Aに比較して2V程度電圧降下量が小さいので、画像Bでは画像Aに比較して外部印加電圧を少なくとも2V小さく設定して消費電力を低減することができるはずである。

【0028】

このように、電源供給線の電圧降下値の分布を取得することにより、電源電圧の調整における電圧降下マージンを低減することができ、特に、家庭向けの30型以上の大型表示装置における消費電力低減効果を向上させることが可能となる。また、電源供給線の電圧降下量の分布を取得することにより、電源電圧の調整による消費電力の低減が可能であるとともに、表示パネルの輝度むらを補正することも可能となる。

10

【0029】

しかしながら、特許文献3に記載された電光ディスプレイにおいて、電源供給線の配線抵抗と画素電流とから給電線路上の電圧降下量を計算するには、通常、画素電流と画素あたりの給電線の配線抵抗による抵抗線網とを用いた莫大な計算量を要する。また、大型ディスプレイのように画素数が増加するにつれ、上記計算量は指数関数的に増加する。

【0030】

また、特許文献3には、給電線路上の電圧降下量の具体的な計算手法が開示されておらず、想定される通常の計算手法により上記電圧降下量を計算する場合には、電圧降下量演算回路に付帯される大容量のメモリを確保する必要がある。上述した計算量の増加および大容量メモリの配置は、表示装置をコストアップさせてしまう。

20

【0031】

このような問題を解決するために、本発明の一態様に係る表示装置は、行列状に配置された複数の発光画素を有する表示部を備える表示装置であって、前記表示部に電源電圧を供給する電圧源と、前記複数の発光画素のそれぞれの発光輝度を示すデータである映像データに応じて、前記表示部へ供給される電圧を調整する電圧調整部とを備え、前記表示部は、さらに、前記複数の発光画素及び前記電圧源に接続され、前記電圧源から前記電源電圧が供給される少なくとも1つの電源線を有し、前記電源線は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分および列方向の抵抗成分である画素列抵抗成分を有し、前記電圧調整部は、前記複数の発光画素を、 Xv 行 Xh 列(Xv および Xh は2以上の整数)の複数の発光画素からなる第1ブロックごとに分割し、前記電源線が前記第1ブロックごとに前記電源電圧を伝達するものと設定し、前記第1ブロックあたりの前記電源線の行方向の抵抗成分である第1ブロック行抵抗成分を、前記画素行抵抗成分の(Xh/Xv)倍したものと設定し、前記第1ブロックあたりの前記電源線の列方向の抵抗成分である第1ブロック列抵抗成分を、前記画素列抵抗成分の(Xv/Xh)倍したものと設定し、前記映像データにより前記第1ブロックのそれぞれに電流が流れることで前記電源線に生じる電圧降下量の分布を前記第1ブロックごとに推定し、推定された前記電圧降下量の分布に基づき前記表示部へ供給される前記電圧を調整することを特徴とする。

30

【0032】

これにより、複数の画素単位で分割された第1ブロックあたりの電源線の行方向の抵抗成分及び列方向の抵抗成分が設定された抵抗線網モデルが構築され、当該抵抗線網モデルを用いてブロックごとの電源線の電圧分布が算出される。よって、画素ごとの電圧降下量分布を計算する場合に対し、計算量を大幅に削減でき計算速度が飛躍的に向上し、また、メモリ容量を削減できるので、低コスト化が可能となる。

40

【0033】

また、本発明の一態様に係る表示装置は、前記電圧調整部は、前記第1ブロック列抵抗成分と前記第1ブロック行抵抗成分とが等しくなるよう、前記 Xv および前記 Xh を設定することが好ましい。

【0034】

これにより、電圧調整部では、各ブロックでの電圧降下量の算出にあたり、ビットシフ

50

ト演算と加減算のみで処理できることになり、乗算が殆どなくなる。よって、さらに、計算時間を大幅短縮できる。

【0035】

また、本発明の一態様に係る表示装置は、前記電圧調整部が調整する前記電圧は、前記電源電圧であってもよい。

【0036】

これにより、ブロック分割による抵抗線網モデルを用いて算出された電圧降下量により、電源電圧の調整が実行されるので、高い消費電力低減効果を実現できる。また、消費電力を削減できることにより発熱が抑えられるので、発光画素の有する発光素子の劣化を抑制できる。

10

【0037】

また、本発明の一態様に係る表示装置は、前記電圧調整部が調整する前記電圧は、前記映像データが変換された、前記複数の発光画素のそれぞれに印加される信号電圧であってもよい。

【0038】

これにより、ブロック分割による抵抗線網モデルを用いて算出された電圧降下量により、各画素に供給される信号電圧の補正が実行されるので、表示パネルの輝度むらを抑制できる。

【0039】

また、本発明の一態様に係る表示装置は、前記電圧調整部が調整する電圧は、前記電源電圧および前記映像データが変換された、前記複数の発光画素のそれぞれに印加される信号電圧であってもよい。

20

【0040】

これにより、電圧降下分布計算に基づく電源電圧調整と電圧降下分布計算に基づく輝度ムラ補正とを組み合わせることで、消費電力低減効果および輝度むら抑制効果の双方が奏される。

【0041】

また、本発明の一態様に係る表示装置は、前記電圧調整部は、さらに、前記複数の発光画素を、 Y_v 行 Y_h 列(Y_v は X_v と異なる2以上の整数であり、 Y_h は X_h と異なる2以上の整数)の複数の発光画素からなる第2ブロックごとに分割し、前記電源線が前記第2ブロックごとに前記電源電圧を伝達するものと設定し、前記第2ブロックあたりの前記電源線の行方向の抵抗成分である第2ブロック行抵抗成分を、前記画素行抵抗成分の(Y_h / Y_v)倍したものと設定し、前記第2ブロックあたりの前記電源線の列方向の抵抗成分である第2ブロック列抵抗成分を、前記画素列抵抗成分の(Y_v / Y_h)倍したものと設定し、前記映像データにより前記第2ブロックのそれぞれに電流が流れることで前記電源線に生じる電圧降下量の分布を前記第2ブロックごとに推定し、前記第1ブロックごとに推定した前記電圧降下量の分布と、前記第2ブロックごとに推定した前記電圧降下量の分布とから、前記電圧降下量の分布を前記発光画素ごとに推定してもよい。

30

【0042】

これにより、少ない計算量で精度よく電圧を調整できる。よって、低コストで、さらに消費電力を低減できる。

40

【0043】

また、本発明の一態様に係る表示装置は、前記電圧調整部は、推定した前記第1ブロックごとの前記電圧降下量の分布の最大値を用いて前記電圧を調整してもよい。

【0044】

これにより、電圧不足による発光画素の輝度の低下を防止できる。

【0045】

また、本発明の一態様に係る表示装置は、前記電源は、第1電圧及び前記第1電圧とは異なる第2電圧を前記表示部に供給し、前記少なくとも1つの電源線は、前記第1電圧が供給される第1電源線及び前記第2電圧が供給される第2電源線からなり、前記電圧調

50

整部は、前記第 1 電源線に生じる電圧降下量の分布である第 1 分布及び前記第 2 電源線に生じる電圧降下量の分布である第 2 分布を前記第 1 ブロックごとに推定し、前記第 1 分布及び前記第 2 分布に基づき前記第 1 電圧及び前記第 2 電圧を調整してもよい。

【 0 0 4 6 】

また、本発明の一態様に係る表示装置は、前記電圧調整部は、前記第 1 分布の最大値と前記第 2 分布の最大値との合計に従って、前記第 1 電圧及び前記第 2 電圧を調整してもよい。

【 0 0 4 7 】

これにより、表示装置が 2 つの電源線（第 1 電源線及び第 2 電源線）を含む場合にも、電圧不足による発光画素の輝度の低下を防止できる。

【 0 0 4 8 】

また、本発明の一態様に係る表示装置は、前記電圧調整部は、前記第 1 分布と前記第 2 分布とを複数の前記第 1 ブロックに対応して合計することにより、前記第 1 電源線に生じる電圧降下量と前記第 2 電源線に生じる電圧降下量との和である総電圧降下量の分布を算出し、算出した総電圧降下量の分布に基づき前記第 1 電圧及び前記第 2 電圧を調整してもよい。

【 0 0 4 9 】

これにより、第 1 電源線に生じる電圧降下量が最大となる表示部内の位置と、第 2 電源線に生じる電圧降下量が最大となる表示部内の位置とが合致していない場合に、消費電力を一層低減できる。

【 0 0 5 0 】

また、本発明の一態様に係る表示装置は、前記電圧調整部は、前記総電圧降下量の分布の最大値を用いて前記第 1 電圧及び前記第 2 電圧を調整してもよい。

【 0 0 5 1 】

また、本発明の一態様に係る表示装置は、前記複数の発光画素は、それぞれ、駆動素子と発光素子とを含み、前記駆動素子は、ソース電極及びドレイン電極を含み、前記発光素子は、第 1 の電極及び第 2 の電極を含み、当該第 1 の電極が前記駆動素子のソース電極及びドレイン電極の一方に接続され、前記ソース電極及びドレイン電極の他方と前記第 2 の電極との一方は、前記第 1 電源線に接続され、前記ソース電極及びドレイン電極の他方と前記第 2 の電極との他方は、前記第 2 電源線に接続されてもよい。

【 0 0 5 2 】

また、本発明の一態様に係る表示装置は、前記第 2 の電極は、前記複数の発光画素に共通して設けられた共通電極の一部を構成しており、前記共通電極は、その周縁部から電位が印加されるように、前記電圧源と電氣的に接続されてもよい。

【 0 0 5 3 】

また、本発明の一態様に係る表示装置は、前記第 2 の電極は、金属酸化物からなる透明導電性材料で形成されてもよい。

【 0 0 5 4 】

また、本発明の一態様に係る表示装置は、前記発光素子は有機 EL 素子であってもよい。

【 0 0 5 5 】

また、本発明はこのような表示装置として実現できるだけでなく、その表示装置を構成する処理部をステップとする表示装置の駆動方法としても実現できる。

【 0 0 5 6 】

なお、これらの包括的または具体的な態様は、システム、方法、集積回路、コンピュータプログラムまたはコンピュータ読み取り可能な CD-ROM などの記録媒体記録媒体で実現されてもよく、システム、方法、集積回路、コンピュータプログラムまたは記録媒体の任意な組み合わせで実現されてもよい。

【 0 0 5 7 】

また、本発明において、「行方向」とは、各発光画素列が並置される方向（図 8 の（a

10

20

30

40

50

)におけるX軸方向)を、「列方向」とは、各発光画素行が並置される方向(図8の(a))におけるY軸方向)を意味するものとする。

【0058】

以下、実施の形態について、図面を参照しながら具体的に説明する。

【0059】

なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

10

【0060】

(実施の形態1)

図1は、実施の形態1に係る表示装置の概略構成を示すブロック図である。同図に示す表示装置100は、有機EL表示部110と、データ線駆動回路120と、書込走査駆動回路130と、制御回路140と、電圧降下量演算回路150と、メモリ155と、信号処理回路160と、可変電圧源170とを備える。

【0061】

図2は、1920画素列×1080画素行を有する有機EL表示部における陽極側電源線網のモデルを模式的に示す図である。各画素(発光画素)は行方向の抵抗成分 R_{ah} と列方向の抵抗成分 R_{av} によって上下左右の隣接画素と各々接続されており、周縁部は外部印加電圧が加えられる陽極側電極に接続される。

20

【0062】

図3は、実施の形態1に係る有機EL表示部の構成を模式的に示す斜視図である。なお、図中下方が表示面側である。同図に示すように、有機EL表示部110は、行列状に配置された複数の発光画素111と、陽極側電源線網112と、陰極側電源線網113とを有する。

【0063】

発光画素111は、陽極側電源線網112及び陰極側電源線網113に接続され、当該発光画素111に流れる画素電流 i_{pix} に応じた輝度で発光する。

【0064】

陽極側電源線網112は、例えば、網目状に形成されている。一方、陰極側電源線網113は、有機EL表示部110にベタ膜状に形成され、有機EL表示部110の周縁部から可変電圧源170により出力された電圧が印加される。図3においては、陽極側電源線網112及び陰極側電源線網113の抵抗成分を示すために、陽極側電源線網112及び陰極側電源線網113を模式的にメッシュ状に図示している。なお、陰極側電源線網113は、例えばグラウンド線であり、有機EL表示部110の周縁部で表示装置100の共通接地電位に接地されていてもよい。

30

【0065】

陽極側電源線網112には、1発光画素あたりの行方向の抵抗成分である画素行抵抗成分 R_{ah} と1発光画素あたりの列方向の抵抗成分である画素列抵抗成分 R_{av} が存在する。同様に、陰極側電源線網113には、1発光画素あたりの行方向の抵抗成分である画素行抵抗成分 R_{ch} と1発光画素あたりの列方向の抵抗成分である画素列抵抗成分 R_{cv} とが存在する。なお、図示されていないが、発光画素111は、書込走査駆動回路130及びデータ線駆動回路120に接続され、発光画素111を発光及び消光するタイミングを制御するための走査線と、発光画素111の発光輝度に対応する信号電圧を供給するためのデータ線とも接続されている。

40

【0066】

図4は、実施の形態1に係る発光画素の具体的な構成の一例を示す回路図である。同図に示す発光画素111は、駆動素子と発光素子とを含み、駆動素子は、ソース電極及びドレイン電極を含み、発光素子は、第1の電極及び第2の電極を含み、当該第1の電極が前

50

記駆動素子のソース電極及びドレイン電極の一方に接続され、ソース電極及びドレイン電極の他方と第2の電極との一方に高電位側の電位が印加され、ソース電極及びドレイン電極の他方と第2の電極との他方に低電位側の電位が印加される。具体的には、発光画素111は、有機EL素子121と、データ線122と、走査線123と、スイッチトランジスタ124と、駆動トランジスタ125と、保持容量126とを有する。この発光画素111は、有機EL表示部110に、例えば二次元状に配置されている。

【0067】

有機EL素子121は、発光素子の一例であって、アノードが駆動トランジスタ125のドレインに接続され、カソードが陰極側電源線網113に接続され、アノードとカソードとの間に流れる電流値に応じた輝度で発光する。この有機EL素子121のカソード側の電極は、複数の発光画素111に共通して設けられた共通電極の一部を構成しており、該共通電極は、その周縁部から電位が印加されるように、可変電圧源170と電氣的に接続されている。つまり、共通電極が有機EL表示部110における陰極側電源線網113として機能する。また、カソード側の電極は、金属酸化物からなる透明導電性材料で形成されている。なお、有機EL素子121のアノード側の電極は第1の電極の一例であり、有機EL素子121のカソード側の電極は第2の電極の一例である。また、陰極側電源線網113は第2電源線網の一例である。

10

【0068】

データ線122は、データ線駆動回路120と、スイッチトランジスタ124のソース及びドレインの一方に接続され、データ線駆動回路120により映像信号（映像データ）に対応する信号電圧が印加される。

20

【0069】

走査線123は、書込走査駆動回路130と、スイッチトランジスタ124のゲートに接続され、書込走査駆動回路130により印加される電圧に応じて、スイッチトランジスタ124をオン及びオフする。

【0070】

スイッチトランジスタ124は、ソース及びドレインの一方がデータ線122に接続され、ソース及びドレインの他方が駆動トランジスタ125のゲート及び保持容量126の一端に接続された、例えば、P型薄膜トランジスタ（TFT）である。

【0071】

駆動トランジスタ125は、駆動素子の一例であって、ソースが陽極側電源線網112に接続され、ドレインが有機EL素子121のアノードに接続され、ゲートが保持容量126の一端及びスイッチトランジスタ124のソース及びドレインの他方に接続された、例えば、P型TFTである。これにより、駆動トランジスタ125は、保持容量126に保持された電圧に応じた電流を有機EL素子121に供給する。なお、陽極側電源線網112は、第1電源線の一例である。

30

【0072】

保持容量126は、一端がスイッチトランジスタ124のソース及びドレインの他方に接続され、他端が陽極側電源線網112に接続され、スイッチトランジスタ124がオフされたときの陽極側電源線網112の電位と駆動トランジスタ125のゲートの電位との電位差を保持する。つまり、信号電圧に対応する電圧を保持する。

40

【0073】

データ線駆動回路120は、映像信号に対応する信号電圧を、データ線122を介して発光画素111に出力する。

【0074】

書込走査駆動回路130は、複数の走査線123に走査信号を出力することで、複数の発光画素111を順に走査する。具体的には、スイッチトランジスタ124を行単位でオン及びオフする。これにより、書込走査駆動回路130により選択されている行の複数の発光画素111に、複数のデータ線122に出力された信号電圧が印加される。よって、発光画素111が映像信号に応じた輝度で発光する。

50

【 0 0 7 5 】

制御回路 1 4 0 は、データ線駆動回路 1 2 0 及び書込走査駆動回路 1 3 0 のそれぞれに、駆動タイミングを指示する。

【 0 0 7 6 】

メモリ 1 5 5 は、図 2 及び図 3 で説明した陽極側電源線網 1 1 2 の画素行抵抗成分 R_{ah} 及び画素列抵抗成分 R_{av} 、ならびに、陰極側電源線網 1 1 3 の画素行抵抗成分 R_{ch} 及び画素列抵抗成分 R_{cv} の数値データが予め格納された記憶部である。

【 0 0 7 7 】

電圧降下量演算回路 1 5 0 は、電圧調整部の一部であり、表示装置 1 0 0 に入力された映像信号と、メモリ 1 5 5 から読み出された画素行抵抗成分 R_{ah} 、画素列抵抗成分 R_{av} 、画素行抵抗成分 R_{ch} 及び画素列抵抗成分 R_{cv} とから、複数の発光画素をブロックごとに分割し、陽極側電源線網 1 1 2 および陰極側電源線網 1 1 3 がブロックごとに電源電圧を伝達するものと設定し、当該ブロックによる抵抗線網を用いて陽極側電源線網 1 1 2 に生じる電圧の降下量の分布及び陰極側電源線網 1 1 3 に生じる電圧の降下量の分布をブロックごとに推定し、推定した電圧降下量の分布に対応する電圧マージンを示す信号を信号処理回路 1 6 0 に出力する。

10

【 0 0 7 8 】

信号処理回路 1 6 0 は、電圧調整部の一部であり、電圧降下量演算回路 1 5 0 から出力された電圧マージンを示す信号に応じて、可変電圧源 1 7 0 が出力する陽極側電圧及び陰極側電圧である外部印加電圧を調整する。具体的には、信号処理回路 1 6 0 は、電圧マージンだけ外部印加電圧が増加するように可変電圧源 1 7 0 を制御する。

20

【 0 0 7 9 】

電圧降下量演算回路 1 5 0 及び信号処理回路 1 6 0 は、複数の発光画素のそれぞれの発光輝度を示すデータである映像データに応じて、有機 E L 表示部 1 1 0 へ供給される電源電圧を調整する。

【 0 0 8 0 】

可変電圧源 1 7 0 は、有機 E L 表示部 1 1 0 に電源電圧を供給する電圧源の一例であり、具体的には、有機 E L 表示部 1 1 0 に陽極側電圧及び陰極側電圧を供給する。この可変電圧源 1 7 0 は、信号処理回路 1 6 0 から指示される電圧に応じて外部印加電圧（陽極側電圧及び陰極側電圧）を変更する、電圧可変型の電源である。

30

【 0 0 8 1 】

以上のように、本実施の形態に係る表示装置 1 0 0 は、入力された映像信号から陽極側電源線網 1 1 2 に生じる電圧の降下量の分布及び陰極側電源線網 1 1 3 に生じる電圧の降下量の分布をブロックごとに推定し、推定したブロックごとの陽極側電源線網 1 1 2 の電圧降下量の分布及び陰極側電源線網 1 1 3 の電圧降下量の分布に基づき、可変電圧源 1 7 0 から出力される外部印加電圧を調整する。

【 0 0 8 2 】

次に、本発明の表示装置 1 0 0 の動作について、図 5 ~ 8 と、図 9 A ~ 9 C と、図 1 0 A ~ 1 0 C とを用いて説明する。

【 0 0 8 3 】

従来の表示装置では、入力された映像信号から、例えばフレームごとのピーク信号を抽出し、当該ピーク信号に応じた駆動素子及び有機 E L 素子の駆動に必要な電圧を設定して電源電圧を調節するという制御が行われているのに対し、本発明の表示装置では、上記映像信号に加えて、予めメモリ 1 5 5 に格納された電源線網の画素行抵抗成分（ R_{ah} 、 R_{ch} ）及び画素列抵抗成分（ R_{av} 、 R_{cv} ）を使って近似された抵抗線網モデルにより演算処理が行われることにより電圧降下量が推定される。

40

【 0 0 8 4 】

図 5 は、実施の形態 1 に係る表示装置の駆動方法を示すフローチャートである。

【 0 0 8 5 】

まず、電圧降下量演算回路 1 5 0 は、予め設定される映像信号と画素電流の変換式もし

50

くは変換テーブルを用いて、映像信号から発光画素ごとに流れる電流を算出する（ステップS11）。具体的には、電圧降下量演算回路150は、表示装置100に入力された1フレーム期間の映像信号を取得し、取得した映像信号から、各発光画素111に流れる画素電流を算出する。ここで、電圧降下量演算回路150は、映像信号と、当該映像信号に対応する発光輝度で発光画素111が発光した場合の画素電流とを対応付ける変換式もしくは変換テーブルを有する。この変換式もしくは変換テーブルを用いて、電圧降下量演算回路150は、表示装置100に入力された1フレーム期間の映像信号から、各発光画素111に流れる画素電流を算出する。

【0086】

次に、電圧降下量演算回路150は、複数の画素単位で分割されたブロックごとにブロック電流を計算して、陽極側電源線網112についての新しい抵抗線網モデルを設定する（ステップS12）。ここで、上記新しい抵抗線網モデルについて説明する。

10

【0087】

図6は、電圧降下量の演算の際に設定される抵抗線網モデルを説明する図である。図6の(a)には、行列状に配置されたM行×N列の画素がX_v行×X_h列ごとに(3行×4列ごとに)ブロック分割された状態が表されており、図6の(b)には、当該ブロック分割された単位ブロックが1画素として近似された状態が表されている。

【0088】

ここで、図6の(c)に示されているように、1ブロックの電源線網は、1画素あたり画素行方向に抵抗成分R_hおよび画素列方向に抵抗成分R_vを有する抵抗線網で構成されている。これを、図6の(d)に示されているように、1ブロックの電源線網を、1ブロックあたり画素行方向に抵抗成分R_h'および画素列方向に抵抗成分R_v'を有する新しい抵抗線網で構成されているものと近似する。具体的には、1ブロックあたりの画素行方向の抵抗成分R_h'を設定するにあたり、1ブロック内の画素行間の抵抗を無視、つまり画素列方向の抵抗成分R_vを無限大と近似する。これにより、例えば、図6に記載された3行4列を1ブロックとする場合では、抵抗成分R_h'は、4個の抵抗成分R_hが直列接続された合成抵抗が3つ並列接続されたものと近似できることから、式1のように表される。

20

【0089】

$$R_{h'} = R_h \times (X_h / X_v) = R_h \times (4 / 3) \quad (\text{式1})$$

30

【0090】

また、1ブロックあたりの画素列方向の抵抗成分R_v'を設定するにあたり、1ブロック内の画素列間の抵抗を無視、つまり画素列方向の抵抗成分R_hを無限大と近似する。これにより、例えば、図6に記載された3行4列を1ブロックとする場合では、抵抗成分R_v'は、3個の抵抗成分R_vが直列接続された合成抵抗が4つ並列接続されたものと近似できることから、式2のように表される。

【0091】

$$R_{v'} = R_v \times (X_v / X_h) = R_v \times (3 / 4) \quad (\text{式2})$$

【0092】

上記近似は、高精細化するほど個別の画素間の給電線路の電位差が小さくなることから、抵抗線網を構成する一部の抵抗成分を無視しても計算精度に殆ど影響を与えないことを根拠とするものである。

40

【0093】

以下、ブロック化された抵抗線網モデルの具体的な設定フローについて説明する。

【0094】

図7は、ブロック化された抵抗線網モデルを作成するアルゴリズムを示すフローチャートである。

【0095】

まず、電圧降下量演算回路150は、抵抗線網モデルのブロック分割数を決定する（S121）。具体的には、例えば、表示パネルのマトリクスサイズをM行×N列と仮定し、

50

1ブロックの画素行数を X_v 、画素列数を X_h とすると、画素列方向のブロック分割数は M/X_v となり、画素行方向のブロック分割数は N/X_h となる。

【0096】

ステップS121は、複数の発光画素111を、 X_v 行 \times X_h 列(X_v および X_h は2以上の整数)の複数の発光画素111からなる第1ブロックごとに分割し、陽極側電源線網112が第1ブロックごとに電源電圧を供給するものと設定するブロック設定ステップに相当する。

【0097】

次に、電圧降下量演算回路150は、陽極側電源線網112の画素列抵抗成分 R_v を(X_v/X_h)倍した1ブロックの画素列方向の抵抗成分であるブロック列抵抗成分 R_{av}' を算出する(S122)。また、電圧降下量演算回路150は、陽極側電源線網112の画素行抵抗成分 R_h を(X_h/X_v)倍した1ブロックの画素行方向の抵抗成分であるブロック行抵抗成分 R_{ah}' を算出する(S123)。

【0098】

ステップS122およびS123は、第1ブロックあたりの陽極側電源線網112の行方向の抵抗成分である第1ブロック行抵抗成分を、画素行抵抗成分の(X_h/X_v)倍したものと設定し、第1ブロックあたりの陽極側電源線網112の列方向の抵抗成分である第1ブロック列抵抗成分を、画素列抵抗成分の(X_v/X_h)倍したものと設定するブロック抵抗成分設定ステップに相当する。

【0099】

また、電圧降下量演算回路150は、各ブロックのブロック電流を計算する(S124)。具体的には、画素(i, j)の画素電流を $I_{pix}(i, j)$ とした場合、 k 行 l 列のブロック電流 $I_{pix}'(k, l)$ ($1 \leq k \leq M/X_v$ 、 $1 \leq l \leq N/X_h$)は、 k 行 l 列のブロックに属する($X_v \times X_h$)個の画素の画素電流の総和となる。

【0100】

最後に、電圧降下量演算回路150は、1ブロックを1画素と仮定した新たな抵抗線網モデルとして、マトリクスサイズが(M/X_v)行(N/X_h)列、陽極側電源線網112の1ブロックの画素列方向の抵抗成分 R_{av}' 、陽極側電源線網112の1ブロックの画素行方向の抵抗成分 R_{ah}' 、ブロック電流 $I_{pix}'(k, l)$ を設定する(S125)。

【0101】

ここで、再び図5に記載されたフローチャートに戻って説明する。

【0102】

次に、電圧降下量演算回路150は、ステップS12で設定した抵抗線網モデルを用いて、陽極側電源線網112の電圧分布を計算する(ステップS14)。

【0103】

図8は、抵抗線網モデルを用いた電圧分布の計算の一例を説明する図である。同図には、表示パネルを9個のブロックに分割した抵抗線網モデルの陽極側電源線網112における電圧降下量を計算する具体例が示されている。具体的には、 k 行 l 列におけるブロックであるブロック(k, l)における陽極側電源線網112の電圧の降下量を $v_a(k, l)$ 、ブロック電流を $I_{pix}'(k, l)$ とおくと、ブロック(k, l)におけるブロック電流 $I_{pix}'(k, l)$ に関して次の式3が導出される。

【0104】

$$I_{pix}'(k, l) = G_{ah}' \times \{v_a(k-1, l) - v_a(k, l)\} + G_{ah}' \times \{v_a(k+1, l) - v_a(k, l)\} + G_{av}' \times \{v_a(k, l-1) - v_a(k, l)\} + G_{av}' \times \{v_a(k, l+1) - v_a(k, l)\} \quad (\text{式3})$$

【0105】

上記式3において、 G_{ah}' および G_{av}' は、それぞれ、陽極側電源線網112におけるブロック行アドミタンス成分及びブロック列アドミタンス成分であり、陽極側電源線網112におけるブロック行抵抗成分 R_{ah}' およびブロック列抵抗成分 R_{av}' の

10

20

30

40

50

逆数である。また、 $v a(k, l)$ は、陽極側電源線網 1 1 2 におけるブロック (k, l) での電圧降下量である。また、 k および l は、ともに、0 から 4 までの整数である。また、 $v a(0, l)$ および $v a(4, l)$ 、 $v a(k, 0)$ 、 $v a(k, 4)$ は可変電圧源 1 7 0 から有機 E L 表示部 1 1 0 までの配線で生じる電圧降下量であり十分小さいので 0 と近似できる。

【0106】

図 8 の (a) には、式 3 から、ブロック $(1, 1)$ およびブロック $(2, 1)$ のブロック電流 $I p i x'(1, 1)$ および $I p i x'(2, 1)$ の展開式が示されている。図 8 の (b) は、上記 $I p i x'(1, 1) \sim I p i x'(3, 3)$ の展開式を、行列式で表現したものである。ここで、 $I p i x'(1, 1) \sim I p i x'(3, 3)$ がステップ S 1 2 4 で計算された既値であること、ならびに $G a h'$ および $G a v'$ は式 1 及び式 2 から定義される値であることより、9 つの 1 次連立方程式に表現された 9 つの変数 $v a(1, 1) \sim v a(3, 3)$ の解を算出することが可能となる。つまり、ブロックごとに陽極側電源線網 1 1 2 の電圧分布が算出される。

10

【0107】

上記行列式により、各ブロックの電圧降下量 $v a(k, l)$ を算出する手法としては、例えば、ガウスジョルダン法が用いられる。この場合、例えば、1 9 2 0 列 \times 1 0 8 0 行の解像度のパネルの画素ごとの電圧降下量を計算する場合に対し、上記ブロック化された抵抗線網モデルを用いて 4 0 \times 4 0 のブロック (1 ブロックサイズ = 4 8 画素 \times 2 7 画素) に分割してブロックごとの電圧降下量を計算した場合、約 1 6 8 万分の 1 に計算量を削減できる。

20

【0108】

さらに、図 8 の (c) に表された行列式のように、ステップ S 1 2 1 にて $R a v' = R a h' (G a v' = G a h')$ となるよう、抵抗線網モデルのブロック分割数を決定することにより、9 \times 9 行列内は、1 及び - 4 の係数のみとなる。これにより、電圧降下量演算回路 1 5 0 では、 $v a(1, 1) \sim v a(3, 3)$ の算出にあたり、ビットシフト演算と加減算のみで処理できることになり、乗算が殆どなくなる (最後に $G a h'$ を掛けるだけでよい)。これにより、さらに、計算時間を大幅短縮できる。

【0109】

図 9 A は、有機 E L 表示部 1 1 0 に表示される画像の一例を模式的に示す図である。同図に示す画像 A は、有機 E L 表示部 1 1 0 の中心部が白く、当該中心部以外が黒くなっている。

30

【0110】

図 9 B は、画像 A を示す映像信号から計算された陽極側電源線網 1 1 2 の電圧分布を示すグラフである。同図の x 軸は、ステップ S 1 2 で設定された行方向のブロック座標を示し、y 軸は、ステップ S 1 2 で設定された列方向のブロック座標を示し、z 軸は、ステップ S 1 4 で算出された電圧降下量を示す。具体的には、画素座標 $(0, 1)$ は x 軸に対応し、画素座標 $(k, 0)$ は y 軸に対応する。

【0111】

上述したように、電圧降下量演算回路 1 5 0 は、画像 A を示す映像信号が入力された場合に、当該映像信号から画素ごとに流れる電流を算出し (ステップ S 1 1)、分割されたブロックごとにブロック電流を計算して、陽極側電源線網 1 1 2 についての新しい抵抗線網モデルを設定し (ステップ S 1 2)、当該抵抗線網モデルを用いて、第 1 分布である陽極側電源線網 1 1 2 の電圧分布を計算する (ステップ S 1 4)。

40

【0112】

ここで、陽極側電源線網 1 1 2 は、図 2 及び図 3 に示した画素列抵抗成分 $R a v$ が実質的に無限大の 1 次元配線を想定している。つまり、異なる行の発光画素 1 1 1 に対応して設けられた複数の陽極側電源線網 1 1 2 は、画素行方向に平行に配置されている。これにより、画像 A のうち白い領域に対応する行の陽極側電源線網 1 1 2 の電圧降下量は、画面中央に向かって徐々に大きくなる。一方、画像 A のうち白い領域に対応する行以外の陽極

50

側電源線網 1 1 2 の電圧降下量は、実質的に 0 となる。

【 0 1 1 3 】

以上の陽極側電源線網 1 1 2 における抵抗線網モデルを用いた電圧降下量の算出と同様に、電圧降下量演算回路 1 5 0 は、ステップ S 1 1 の後、複数の画素単位で分割されたブロックごとにブロック電流を計算して、陰極側電源線網 1 1 3 についての新しい抵抗線網モデルを設定する（ステップ S 1 3）。

【 0 1 1 4 】

次に、電圧降下量演算回路 1 5 0 は、ステップ S 1 3 で設定した抵抗線網モデルを用いて、第 2 分布である陰極側電源線網 1 1 3 の電圧分布を計算する（ステップ S 1 5）。具体的には、ブロック座標 (k, l) において、上記の式 3 と同様に陰極側電源線網 1 1 3 に対して連立方程式を得てこれを解くことで、ブロック座標 (k, l) における陰極側電源線網 1 1 3 の電圧の降下（上昇）量 $v_c(k, l)$ を得ることができる。つまり、ブロックごとに陰極側電源線網 1 1 3 の電圧分布を算出できる。

【 0 1 1 5 】

図 9 C は、画像 A を示す映像信号から計算された陰極側電源線網 1 1 3 の電圧分布を示すグラフである。同図の x 軸は、ステップ S 1 3 で設定された行方向のブロック座標を示し、y 軸は、ステップ S 1 3 で設定された列方向のブロック座標を示し、z 軸は、ステップ S 1 5 で算出された電圧降下量を示す。

【 0 1 1 6 】

電圧降下量演算回路 1 5 0 は、陽極側電源線網 1 1 2 の電圧降下量の算出と同様に、陰極側電源線網 1 1 3 の電圧降下（上昇）量を算出する。ここで、陰極側電源線網 1 1 3 はベタ膜状に形成されている。よって、陰極側電源線網 1 1 3 の電圧降下（上昇）量 $v_c(k, l)$ は、有機 EL 表示部 1 1 0 の中心において、最も大きくなる。なお、陽極側電源線網 1 1 2 の電圧分布を計算する処理（ステップ S 1 4）および陰極側電源線網 1 1 3 の電圧分布を計算する処理（ステップ S 1 5）のそれぞれは、推定ステップの一例である。

【 0 1 1 7 】

また、上記ステップ S 1 2 及び S 1 3 では、メモリ 1 5 5 から読み出された陽極側画素行抵抗成分 R_{ah} 、陽極側画素列抵抗成分 R_{av} 、陰極側画素行抵抗成分 R_{ch} 及び陰極側画素列抵抗成分 R_{cv} から、陽極側ブロック行抵抗成分 R_{ah}' 、陽極側ブロック列抵抗成分 R_{av}' 、陰極側ブロック行抵抗成分 R_{ch}' 、陰極側ブロック列抵抗成分 R_{cv}' を算出したが、事前にブロック分割数が確定している場合は、上記抵抗線網モデルに基づいて計算された、陽極側ブロック行抵抗成分 R_{ah}' 、陽極側ブロック列抵抗成分 R_{av}' 、陰極側ブロック行抵抗成分 R_{ch}' 、陰極側ブロック列抵抗成分 R_{cv}' の数値データを、予めメモリ 1 5 5 に格納しておいてもよい。

【 0 1 1 8 】

ここで、再び図 5 に記載されたフローチャートに戻って説明する。

【 0 1 1 9 】

次に、電圧降下量演算回路 1 5 0 は、各ブロックにおける陽極側電源線網 1 1 2 の電圧降下量 $v_a(k, l)$ と、陰極側電源線網 1 1 3 の電圧降下（上昇）量 $v_c(k, l)$ との和 $|v_a(k, l)| + |v_c(k, l)|$ が最大となる面内の電圧降下の最大値 v_{max} を計算する（ステップ S 1 6）。つまり、電圧降下量演算回路 1 5 0 は、陽極側電源線網 1 1 2 の電圧降下量の分布と、陰極側電源線網 1 1 3 の電圧降下（上昇）量の分布とを、ブロック座標 (k, l) に対応して合計することにより、陽極側電源線網 1 1 2 の電圧降下量の分布と陰極側電源線網 1 1 3 の電圧降下（上昇）量の分布との和である総電圧降下量の分布を算出する。そして、算出した総電圧降下量の分布から、面内の電圧降下の最大値 v_{max} を計算する。

【 0 1 2 0 】

なお、電圧降下量 $v_a(k, l)$ の最大値 v_{amax} と、電圧降下（上昇）量 $v_c(k, l)$ の最大値 v_{cmax} との和 $|v_{amax}| + |v_{cmax}|$ は、ステップ S 1 6 で算出される面内の電圧降下の最大値 v_{max} と比較すると、 $v_{max} < |v_{amax}| + |v_{cmax}|$

10

20

30

40

50

$x | + | v_{cmax} |$ の関係が成り立つ。

【0121】

そこで、演算量の削減を目的として $| v_{amax} | + | v_{cmax} |$ を面内の電圧降下の最大値として使用することもできる。

【0122】

これにより、電圧降下量を過大に見積もる可能性があるため、ステップ S 1 6 の方法に比較して電力削減効果が低減するものの、電圧降下量を過少に見積もることはないので、表示画像に弊害は生じない。

【0123】

ところで、画像 A を示す映像信号とは異なる映像信号が表示装置 1 0 0 に入力された場合の陽極側電源線網 1 1 2 の電圧分布及び陰極側電源線網 1 1 3 の電圧分布について述べる。

10

【0124】

図 1 0 A は、有機 EL 表示部に表示される画像の他の一例を模式的に示す図である。同図に示す画像 B は、図 9 A に記載された画像 A の白領域と同じ大きさの白領域であって、画像 A の白領域とは表示位置の異なる白領域を含む。具体的には、画像 B は、ブロック座標 (1 , 1) を含む領域が白領域となっている。

【0125】

図 1 0 B は、画像 B を示す映像信号から計算された陽極側電源線網 1 1 2 の電圧分布を示すグラフである。同図の x 軸は、ステップ S 1 2 で設定された行方向の画素座標を示し、y 軸は、ステップ S 1 2 で設定された列方向の画素座標を示し、z 軸は、ステップ S 1 4 で算出された電圧降下量を示す。

20

【0126】

同図に示す陽極側電源線網 1 1 2 の電圧分布は、図 9 B に示した陽極側電源線網 1 1 2 の電圧分布と比較して、分布のピークが左側 (ブロック座標 (k , 0) 側) にずれると共にピーク電圧が低くなっている。具体的には、図 9 B に示した陽極側電源線網 1 1 2 の電圧分布の最大値は 7 ~ 8 V であるが、図 1 0 B に示す陽極側電源線網 1 1 2 の電圧分布の最大値は 4 ~ 5 V であり、3 V 程度低下している。

【0127】

図 1 0 C は、画像 B を示す映像信号から計算された陰極側電源線網 1 1 3 の電圧分布を示すグラフである。同図の x 軸は、ステップ S 1 3 で設定された行方向の画素座標を示し、y 軸は、ステップ S 1 3 で設定された列方向の画素座標を示し、z 軸は、ステップ S 1 5 で算出された電圧降下量を示す。

30

【0128】

同図に示す陰極側電源線網 1 1 3 の電圧分布は、図 9 C に示した陰極側電源線網 1 1 3 の電圧分布と比較して、図 1 0 B 同様、分布のピークが左側にずれると共にピーク電圧が低くなっている。具体的には、図 9 C に示した陰極側電源線網 1 1 3 の電圧分布の最大値は 5 ~ 6 V であるが、図 1 0 C に示す陰極側電源線網 1 1 3 の電圧分布の最大値は 3 ~ 4 V であり、2 V 程度低下している。

【0129】

40

したがって、図 9 A に示す画像 A と図 1 0 A に示す画像 B とで、電圧降下の最大値 v_{max} を比較すると、画像 A では v_{max} が 1 2 ~ 1 4 V となるが、画像 B では v_{max} が 7 ~ 9 V となる。つまり、陽極側電源線網 1 1 2 の電圧分布と陰極側電源線網 1 1 3 の電圧分布とから最大電圧降下量を計算する処理 (ステップ S 1 6) で計算される電圧降下の最大値 v_{max} は、画像に応じて異なる値となる。特に、画像 A と画像 B とでは、白い領域の大きさは同じであるにも関わらず、白い領域が表示される位置が異なるために、電圧降下の最大値 v_{max} も異なる値となる。

【0130】

ここで、再び図 5 に記載されたフローチャートに戻って説明する。

【0131】

50

次に、信号処理回路160は、電圧降下量演算回路150で計算された電圧降下の最大値 v_{max} に応じて、可変電圧源170が出力する外部印加電圧を制御する（ステップS17）。具体的には、電圧降下量演算回路150は、計算した電圧降下の最大値 v_{max} を示す信号を信号処理回路160へ出力する。信号処理回路160は、入力された電圧降下の最大値 v_{max} を示す信号から、可変電圧源170から出力される外部印加電圧の電圧マージンを求める。この電圧マージンは、例えば、電圧降下量演算回路150で計算された電圧降下の最大値 v_{max} と同等とする。これにより、可変電圧源170は、電圧マージンを加算した電圧を有機EL表示部110へ供給する。

【0132】

つまり、この電圧降下の最大値 v_{max} を、電圧降下分を補う電圧マージンとして、可変電圧源170から有機EL表示部110へ供給する電圧を増加させることにより、映像に応じて必要最小限の外部印加電圧を設定して消費電力を低減することができる。

10

【0133】

具体的には、画像Aを示す映像信号が入力された場合には、12～14Vを電圧マージンとし、画像Bを示す映像信号が入力された場合には、7～9Vを電圧マージンとする。言い換えると、画像Aと画像Bとは、映像信号のピーク値が同じであっても、異なる外部印加電圧が供給される。言い換えると、画像Bが入力された場合は、画像Aが入力された場合よりも陽極側電源線網112に供給する電圧を低くできる。つまり、消費電力を低減できる。

【0134】

なお、面内の最大電圧降下量を計算する処理（ステップS16）及び印加電圧を制御する処理（ステップS17）は、調整ステップの一例である。

20

【0135】

また、上記ステップS14及びS15では、電圧降下量演算回路150は、映像信号が入力された場合に、ブロックごとに電圧降下量を算出し、当該算出結果から、電源線網の電圧分布を算出するが、当該算出は、1フレームごとになされることに限定されない。例えば、ステップS14及びS15における電圧降下量の算出を、複数の画素行の映像データが更新されるたびに実行してもよい。

【0136】

1フレームごとに上記処理が実行される態様では、処理時間を確保できるという利点を有するのに対し、複数の画素行ごとに上記処理が実行される態様では、高速な処理が要求されるが、電源電圧設定精度が向上するという利点を有する。

30

【0137】

以上のように、本実施の形態に係る表示装置100は、行列状に配置された複数の発光画素111を有する有機EL表示部110と、有機EL表示部110に電源電圧を供給する可変電圧源170と、複数の発光画素111のそれぞれの発光輝度を示すデータである映像データに応じて有機EL表示部110へ供給される電圧を調整する電圧降下量演算回路150および信号処理回路160とを備え、有機EL表示部110は、さらに、陽極側電源線網112および陰極側電源線網113を有し、陽極側電源線網112は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分 R_{ah} および列方向の抵抗成分である画素列抵抗成分 R_{av} を有し、陰極側電源線網113は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分 R_{ch} および列方向の抵抗成分である画素列抵抗成分 R_{cv} を有する。電圧降下量演算回路150は、複数の発光画素111を、 X_v 行 \times X_h 列（ X_v および X_h は2以上の整数）の複数の発光画素からなる第1ブロックごとに分割し、陽極側電源線網112および陰極側電源線網113が第1ブロックごとに電源電圧を伝達するものと設定し、第1ブロックあたりの陽極側電源線網112および陰極側電源線網113の行方向の抵抗成分である第1ブロック行抵抗成分を、画素行抵抗成分の (X_h / X_v) 倍したものと設定し、第1ブロックあたりの陽極側電源線網112および陰極側電源線網113の列方向の抵抗成分である第1ブロック列抵抗成分を、画素列抵抗成分の (X_v / X_h) 倍したものと設定する。そして、電圧降下量演算回路150は、映像データにより第

40

50

1 ブロックのそれぞれに電流が流れることで陽極側電源線網 1 1 2 および陰極側電源線網 1 1 3 に生じる電圧降下量の分布を第 1 ブロックごとに推定する。信号処理回路 1 6 0 は、電圧降下量演算回路 1 5 0 で推定された電圧降下量の分布に基づき有機 E L 表示部 1 1 0 へ供給される電圧を調整する。

【 0 1 3 8 】

これにより、複数の画素単位で分割されたブロックにおける電源線の画素列方向の抵抗成分及び画素行方向の抵抗成分が設定された抵抗線網モデルを構築し、当該抵抗線網モデルを用いてブロックごとの電圧分布を算出することにより、画素ごとの電圧降下量分布を計算する場合に対し、計算量を大幅に削減でき、また、メモリ容量を削減できる。よって、低コスト化が可能となる。また、上記画素列方向の抵抗成分及び上記画素行方向の抵抗成分が等しくなるよう、抵抗線網モデルのブロック分割数を決定することにより、さらに、計算時間を大幅に短縮できる。

10

【 0 1 3 9 】

また、ブロック分割による抵抗線網モデルを用いて算出された電圧降下量により、電源電圧の調整が実行されるので、高い消費電力低減効果を実現できる。例えば、映像信号のピークが同じ、かつ、有機 E L 表示部内の異なる位置にピークを有する 2 つの映像信号に対して、異なる電圧マージンを加算した電圧を有機 E L 表示部 1 1 0 へ供給する。よって、映像信号のピークに応じて電圧マージンを決定する従来の構成と比較して、消費電力をさらに削減できる。

【 0 1 4 0 】

また、本実施の形態に係る表示装置 1 0 0 は消費電力を削減できることにより発熱が抑えられるので、有機 E L 素子 1 2 1 の劣化を抑制できる。

20

【 0 1 4 1 】

また、本実施の形態に係る表示装置 1 0 0 は、電圧降下量演算回路 1 5 0 が算出した総電圧降下量の分布から、面内の発光画素 1 1 1 ごとの電圧降下の最大値 v_{max} を計算し、計算した総電圧降下量の最大値 v_{max} を用いて、外部印加電圧を調整する。これにより、電圧不足による発光画素 1 1 1 の輝度の低下を防止できる。

【 0 1 4 2 】

(実施の形態 2)

本実施の形態では、実施の形態 1 で説明した、ブロック分割による抵抗線網モデルを用いて算出された電圧降下量により、各画素へ供給される信号電圧を補正して輝度むらを抑制する表示装置及びその駆動方法を説明する。

30

【 0 1 4 3 】

図 1 1 は、実施の形態 2 に係る表示装置の概略構成を示すブロック図である。同図に示す表示装置 3 0 0 は、有機 E L 表示部 1 1 0 と、データ線駆動回路 1 2 0 と、書込走査駆動回路 1 3 0 と、制御回路 1 4 0 と、電圧降下量演算回路 1 5 0 と、メモリ 1 5 5 と、信号処理回路 3 6 0 とを備える。

【 0 1 4 4 】

本実施の形態に係る表示装置 3 0 0 は、実施の形態 1 に係る表示装置 1 0 0 と比較して、信号処理回路の機能、および、可変電圧源が削除されていることが異なる。つまり、表示装置 3 0 0 は、電圧降下量演算回路 1 5 0 により抵抗線網モデルを用いて算出された電圧降下量を、電源電圧の調整に反映させるのではなく、映像信号に反映させて各画素へ書き込む信号電圧を補正するものである。以下、実施の形態 1 に係る表示装置 1 0 0 と同じ点は説明を省略し、異なる点のみ説明する。

40

【 0 1 4 5 】

電圧降下量演算回路 1 5 0 は、電圧調整部の一例であり、表示装置 3 0 0 に入力された映像信号と、メモリ 1 5 5 から読み出された画素行抵抗成分 R_{ah} 、画素列抵抗成分 R_{av} 、画素行抵抗成分 R_{ch} 及び画素列抵抗成分 R_{cv} とから、複数の発光画素をブロックごとに分割し、陽極側電源線網 1 1 2 および陰極側電源線網 1 1 3 がブロックごとに電源電圧を伝達するものと設定し、当該ブロックによる抵抗線網を用いて陽極側電源線網 1 1

50

2 に生じる電圧の降下量の分布及び陰極側電源線網 1 1 3 に生じる電圧の降下量の分布をブロックごとに推定し、推定した電圧降下量を信号処理回路 1 6 0 に出力する。

【 0 1 4 6 】

信号処理回路 3 6 0 は、電圧降下量演算回路 1 5 0 から出力された電圧降下量と、元の映像信号とから、当該電圧降下量を反映した新たな映像信号を生成して、当該新たな映像信号をデータ線駆動回路に出力する。

【 0 1 4 7 】

データ線駆動回路 1 2 0 は、信号処理回路 3 6 0 で生成された新たな映像信号に対応する信号電圧を、データ線 1 2 2 を介して発光画素 1 1 1 に出力する。

【 0 1 4 8 】

次に、本発明の表示装置 3 0 0 の動作について、図 1 2 を用いて説明する。

【 0 1 4 9 】

図 1 2 は、実施の形態 2 に係る表示装置の駆動方法を示すフローチャートである。同図に示されたステップ S 2 1 ~ S 2 5 は、それぞれ、図 5 に示されたステップ S 1 1 ~ S 1 5 と同様の動作を実行するので、ここでは説明を省略する。

【 0 1 5 0 】

次に、電圧降下量演算回路 1 5 0 は、陽極側電源線網 1 1 2 の電圧降下量 $v_a(k, l)$ と、陰極側電源線網 1 1 3 の電圧降下(上昇)量 $v_c(k, l)$ とから、表示パネルの輝度むらを補正するための補正信号を計算する(ステップ S 2 6)。一例として、各ブロックにおける陽極側電源線網 1 1 2 の電圧降下量 $v_a(k, l)$ と、陰極側電源線網 1 1 3 の電圧降下(上昇)量 $v_c(k, l)$ との単純和 $|v_a(k, l)| + |v_c(k, l)|$ である $v(k, l)$ を計算する。つまり、電圧降下量演算回路 1 5 0 は、陽極側電源線網 1 1 2 の電圧降下量の分布と、陰極側電源線網 1 1 3 の電圧降下(上昇)量の分布とを、ブロック座標 (k, l) に対応して合計することにより、陽極側電源線網 1 1 2 の電圧降下量の分布と陰極側電源線網 1 1 3 の電圧降下(上昇)量の分布との和である総電圧降下量の分布を算出し、当該補正信号とする。

【 0 1 5 1 】

あるいは別の一例として、各ブロックにおける陽極側電源線網 1 1 2 の電圧降下量 $v_a(k, l)$ と、陰極側電源線網 1 1 3 の電圧降下(上昇)量 $v_c(k, l)$ のいずれか一方または両方の電圧降下量に重みを付けた加重和であってもよい。この場合は、 $|v_a(k, l)| + \alpha |v_c(k, l)|$ である $v'(k, l)$ を計算する。ここで、 α は陽極側電源線網 1 1 2 の電圧降下量 $v_a(k, l)$ に対する陰極側電源線網 1 1 3 の電圧降下(上昇)量 $v_c(k, l)$ の重みを規定する係数である。つまり、電圧降下量演算回路 1 5 0 は、陽極側電源線網 1 1 2 の電圧降下量の分布と、陰極側電源線網 1 1 3 の電圧降下(上昇)量の分布とを、ある一定の比率 α を持たせた上で、ブロック座標 (k, l) に対応して合計することにより、陽極側電源線網 1 1 2 の電圧降下量の分布と陰極側電源線網 1 1 3 の電圧降下(上昇)量の分布との加重和である電圧降下量の分布を算出し、当該補正信号とする。以下の駆動動作の説明のため、本ステップで計算された電圧降下量 $v(k, l)$ において、ブロック (k_1, l_1) における電圧降下量 $v(k_1, l_1)$ は、 $2V$ であるとする。

【 0 1 5 2 】

次に、信号処理回路 3 6 0 は、ステップ S 2 6 で計算された補正信号(電圧降下量)と、元の映像信号から、新たな映像信号を計算する(ステップ S 2 7)。例えば、元の映像信号から変換された画素 (M_1, N_1) の信号電圧が $8V$ であり、画素 (M_1, N_1) がブロック (k_1, l_1) に含まれるとする場合、信号処理回路 3 6 0 は、画素 (M_1, N_1) の信号電圧を、 $10V (= \text{元の映像信号から変換された信号電圧}(8V) + v(k_1, l_1)(2V))$ と補正する。つまり、信号処理回路 3 6 0 は、元の映像信号とブロックの電圧降下量 $v(k, l)$ とにより、当該ブロックに属する画素の信号電圧を補正する。

【 0 1 5 3 】

10

20

30

40

50

最後に、データ線駆動回路120は、新たな映像信号による信号電圧を各画素に供給し、各画素を発光させる(ステップS28)。

【0154】

以上のように、本実施の形態に係る表示装置300は、行列状に配置された複数の発光画素111を有する有機EL表示部110と、有機EL表示部110に電源電圧を供給する可変電圧源170と、複数の発光画素111のそれぞれの発光輝度を示すデータである映像データに応じて有機EL表示部110へ供給される電圧を調整する電圧降下量演算回路150および信号処理回路360とを備え、有機EL表示部110は、さらに、陽極側電源線網112および陰極側電源線網113を有し、陽極側電源線網112は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分 R_{ah} および列方向の抵抗成分である画素列抵抗成分 R_{av} を有し、陰極側電源線網113は1発光画素あたりの行方向の抵抗成分である画素行抵抗成分 R_{ch} および列方向の抵抗成分である画素列抵抗成分 R_{cv} を有する。電圧降下量演算回路150は、複数の発光画素111を、 X_v 行 \times X_h 列(X_v および X_h は2以上の整数)の複数の発光画素からなる第1ブロックごとに分割し、陽極側電源線網112および陰極側電源線網113が第1ブロックごとに電源電圧を伝達するものと設定し、第1ブロックあたりの陽極側電源線網112および陰極側電源線網113の行方向の抵抗成分である第1ブロック行抵抗成分を、画素行抵抗成分の(X_h/X_v)倍したものと設定し、第1ブロックあたりの陽極側電源線網112および陰極側電源線網113の列方向の抵抗成分である第1ブロック列抵抗成分を、画素列抵抗成分の(X_v/X_h)倍したものと設定する。そして、電圧降下量演算回路150は、映像データにより第1ブロックのそれぞれに電流が流れることで陽極側電源線網112および陰極側電源線網113に生じる電圧降下量の分布を第1ブロックごとに推定する。信号処理回路360は、電圧降下量演算回路150で推定された電圧降下量の分布に基づき映像データが変換された、複数の発光画素のそれぞれに印加される信号電圧を調整する。

【0155】

これにより、複数の画素単位で分割されたブロックにおける電源線の画素列方向の抵抗成分及び画素行方向の抵抗成分が設定された抵抗線網モデルを構築し、当該抵抗線網モデルを用いてブロックごとの電圧分布を算出することにより、画素ごとの電圧降下量分布を計算する場合に対し、計算量を大幅に削減でき、また、メモリ容量を削減できる。よって、低コスト化が可能となる。また、上記画素列方向の抵抗成分及び上記画素行方向の抵抗成分が等しくなるよう、抵抗線網モデルのブロック分割数を決定することにより、さらに、計算時間を大幅に短縮できる。

【0156】

また、ブロック分割による抵抗線網モデルを用いて算出された電圧降下量により、各画素に供給される信号電圧の補正が実行されるので、表示パネルの輝度むらを抑制できる。

【0157】

(実施の形態3)

本発明の実施の形態1および2において、新しく設定されたブロックの抵抗線網により映像に応じた電圧降下量を計算することで、(1)必要最小限の外部印加電圧を設定して消費電力を低減できること、および、(2)映像信号を補正して輝度むらを抑制できることを示したが、ブロックサイズを小さくするほど高精度な電圧降下量を得ることが可能である。その反面、図8の(b)に示された行列式からなる1次連立方程式を、陽極側と陰極側とで各々解く必要があるために、ブロックサイズを小さくするほど計算量が増大する。

【0158】

本実施の形態では、上記課題に鑑み、計算量の更なる低減と電圧降下量算出の高精度化とを両立させる方式について説明する。

【0159】

具体的には、本実施の形態では、電圧調整部は、複数の発光画素を、 X_v 行 \times X_h 列(X_v および X_h は2以上の整数)の複数の発光画素からなる第1ブロックごとに分割する

。そして、陽極側電源線網 1 1 2 および陰極側電源線網 1 1 3 が第 1 ブロックごとに電源電圧を供給するものと設定し、第 1 ブロックに対応した陽極側電源線網 1 1 2 の行方向の抵抗成分である第 1 ブロック行抵抗成分 R_{ah1}' を、画素に対応した陽極側電源線網 1 1 2 の行方向の抵抗成分 R_{ah} の (X_h / X_v) 倍したものと設定し、第 1 ブロックに対応した陽極側電源線網 1 1 2 の列方向の抵抗成分である第 1 ブロック行抵抗成分 R_{av1}' を、画素に対応した陽極側電源線網 1 1 2 の列方向の抵抗成分 R_{av} の (X_v / X_h) 倍したものと設定する。また、第 1 ブロックに対応した陰極側電源線網 1 1 3 の行方向の抵抗成分である第 1 ブロック行抵抗成分 R_{ch1}' を、画素に対応した陰極側電源線網 1 1 3 の行方向の抵抗成分 R_{ch} の (X_h / X_v) 倍したものと設定し、第 1 ブロックに対応した陰極側電源線網 1 1 3 の列方向の抵抗成分である第 1 ブロック行抵抗成分 R_{cv1}' を、画素に対応した陰極側電源線網 1 1 3 の列方向の抵抗成分 R_{cv} の (X_v / X_h) 倍したものと設定する。これにより、映像データにより第 1 ブロックのそれぞれに電流が流れることで陽極側電源線網 1 1 2 および陰極側電源線網 1 1 3 に生じる電圧降下量の分布を第 1 ブロックごとに推定する。

10

【0160】

一方、複数の発光画素を、 Y_v 行 Y_h 列 (Y_v は X_v と異なる 2 以上の整数であり、 Y_h は X_h と異なる 2 以上の整数) の複数の発光画素からなる第 2 ブロックごとに分割する。そして、陽極側電源線網 1 1 2 および陰極側電源線網 1 1 3 が第 2 ブロックごとに電源電圧を供給するものと設定し、第 2 ブロックに対応した陽極側電源線網 1 1 2 の行方向の抵抗成分である第 1 ブロック行抵抗成分 R_{ah2}' を、画素に対応した陽極側電源線網 1 1 2 の行方向の抵抗成分 R_{ah} の (Y_h / Y_v) 倍したものと設定し、第 2 ブロックに対応した陽極側電源線網 1 1 2 の列方向の抵抗成分である第 2 ブロック行抵抗成分 R_{av2}' を、画素に対応した陽極側電源線網 1 1 2 の列方向の抵抗成分 R_{av} の (Y_v / Y_h) 倍したものと設定する。また、第 2 ブロックに対応した陰極側電源線網 1 1 3 の行方向の抵抗成分である第 2 ブロック行抵抗成分 R_{ch2}' を、画素に対応した陰極側電源線網 1 1 3 の行方向の抵抗成分 R_{ch} の (Y_h / Y_v) 倍したものと設定し、第 2 ブロックに対応した陰極側電源線網 1 1 3 の列方向の抵抗成分である第 2 ブロック行抵抗成分 R_{cv2}' を、画素に対応した陰極側電源線網 1 1 3 の列方向の抵抗成分 R_{cv} の (Y_v / Y_h) 倍したものと設定する。これにより、映像データにより第 2 ブロックのそれぞれに電流が流れることで陽極側電源線網 1 1 2 および陰極側電源線網 1 1 3 に生じる電圧降下量の分布を第 2 ブロックごとに推定する。

20

30

【0161】

最後に、第 1 ブロックごとに推定した電圧降下量の分布と、第 2 ブロックごとに推定した電圧降下量の分布とから、電圧降下量の分布を発光画素ごとに推定する。

【0162】

なお、本実施の形態に係る表示装置の構成は、実施の形態 1 に係る表示装置 1 0 0 の構成とほぼ同じであり、電圧調整部の一例である電圧降下量演算回路 1 5 0 の機能が異なる。

【0163】

図 1 3 は、実施の形態 3 に係る表示装置の動作を示すフローチャートである。

40

【0164】

まず、電圧降下量演算回路 1 5 0 は、予め設定される映像信号の画素電流の変換式もしくは変換テーブルを用いて、映像信号から発光画素ごとに流れる電流を算出する (ステップ S 3 1)。なお、この発光画素ごとに流れる電流を算出する処理 (ステップ S 3 1) は、実施の形態 1 で説明した発光画素ごとに流れる電流を算出する処理 (ステップ S 1 1) と同様であるので、詳しい説明は省略する。

【0165】

次に、電圧降下量演算回路 1 5 0 は、メモリ 1 5 5 から陽極側電源線網 1 1 2 の画素行抵抗成分 R_{ah} 及び画素列抵抗成分 R_{av} 、ならびに、陰極側電源線網 1 1 3 の画素行抵抗成分 R_{ch} 及び画素列抵抗成分 R_{cv} を取得する (ステップ S 3 2)。

50

【0166】

次に、電圧降下量演算回路150は、実施の形態1で説明した抵抗線網モデルと同様にして、粗くブロック化したブロックごとにブロック電流を計算して、抵抗線網モデルを作成する(ステップS34)。ここで、粗くブロック化した場合の抵抗線網のモデルについて説明する。

【0167】

図14は、1920画素列×1080画素行を有する有機EL表示部110において、120画素行、120画素列を1ブロックとした場合の陽極側電源線網112のモデルを模式的に示す図である。上記1ブロックは、第1ブロックに相当する。

【0168】

各ブロックは画素行抵抗成分 $R_{ah1'}$ と画素列抵抗成分 $R_{av1'}$ とによって上下左右の隣接ブロックと各々接続されており、周縁部は外部印加電圧が加えられる陽極側電極に接続される。言い換えると、画素行抵抗成分 $R_{ah1'}$ と画素列抵抗成分 $R_{av1'}$ との交点に、1ブロック(120×120画素)が配置されているとみなす。この場合、画素行抵抗成分 $R_{ah1'}$ および画素列抵抗成分 $R_{av1'}$ は、式1および式2を参照して、以下ようになる。

【0169】

$$R_{ah1'} = R_{ah} \times (X_h / X_v) = R_{ah} \times (120 / 120) = R_{ah}$$

【0170】

$$R_{av1'} = R_{av} \times (X_v / X_h) = R_{av} \times (120 / 120) = R_{av}$$

【0171】

次に、電圧降下量演算回路150は、図14に示すように、粗くブロック化した陽極側電源線網112の電圧分布を計算する(ステップS35)。

【0172】

ここで、粗くブロック化した陽極側電源線網112の電圧分布の計算手順は、実施の形態1および図8で説明した計算手順と同様なので省略する。

【0173】

図15は、粗くブロック化した場合に算出されたブロックごとの電圧降下量を示す表である。

【0174】

同図に示すように、ブロック行とブロック列とに対応して電圧降下量が算出される。例えば、有機EL表示部110の中心部のブロック、つまりブロック座標(8, 5)の電圧降下量は9.0Vと算出されている。

【0175】

さらに、粗くブロック化した場合の陽極側電源線網112の電圧の降下量 $v_{a1}(k, l)$ が最大となる面内の電圧降下の最大値 v_{a1max} を得ることができる。

【0176】

同様に、陰極側電源線網113に対して連立方程式を得てこれを解くことで、120画素列×120画素行を1ブロックとしてモデル化した場合の、各ブロックにおける陰極側電源線網113の電圧の降下量 $v_{c1}(k, l)$ を得ることができる。つまり、粗くブロック化したブロック毎(水平120画素列×垂直120画素行)ごとに陰極側電源線網113の電圧分布を計算する(ステップS36)。

【0177】

また、電圧降下量演算回路150は、ステップS31の後、メモリ155から陽極側電源線網112の画素行抵抗成分 R_{ah} 及び画素列抵抗成分 R_{av} 、ならびに、陰極側電源線網113の画素行抵抗成分 R_{ch} 及び画素列抵抗成分 R_{cv} を取得する(ステップS33)。

【0178】

次に、電圧降下量演算回路150は、細かくブロック化したブロックごとにブロック電流を計算して、抵抗線網モデルを作成する(ステップS37)。ここで、細かくブロック

10

20

30

40

50

化した場合の抵抗線網のモデルについて説明する。

【0179】

図16は、1920画素列×1080画素行を有する有機EL表示部110において、60画素列×60画素行を1ブロックとした場合の陽極側電源線網112のモデルを模式的に示す図である。上記1ブロックは、第2ブロックに相当する。

【0180】

各ブロックは画素行抵抗成分 R_{ah2}' と画素列抵抗成分 R_{av2}' とによって上下左右の隣接ブロックと各々接続されており、周縁部は外部印加電圧が加えられる陽極側電極に接続される。言い換えると、画素行抵抗成分 R_{ah2}' と画素列抵抗成分 R_{av2}' との交点に、1ブロック(60×60画素)が配置されているとみなす。この場合、画素行抵抗成分 R_{ah2}' および画素列抵抗成分 R_{av2}' は、式1および式2を参照して、以下ようになる。

【0181】

$$R_{ah2}' = R_{ah} \times (Y_h / Y_v) = R_{ah} \times (60 / 60) = R_{ah}$$

【0182】

$$R_{av2}' = R_{av} \times (Y_v / Y_h) = R_{av} \times (60 / 60) = R_{av}$$

【0183】

次に、電圧降下量演算回路150は、図16に示すように細かくブロック化した陽極側電源線網112の電圧分布を計算する(ステップS38)。

【0184】

ここで、細かくブロック化した陰極側電源線網113の電圧分布の計算手順は、実施の形態1および図8で説明した計算手順と同様なので省略する。

【0185】

図17は、細かくブロック化した場合に算出されたブロックごとの電圧降下量を示す表である。

【0186】

同図に示すように、ブロック行とブロック列とに対応して電圧降下量が算出される。例えば、有機EL表示部110の中心部のブロック、つまりブロック座標(16, 9)の電圧降下量は8.5Vと算出されている。

【0187】

さらに、細かくブロック化した場合の陽極側電源線網112の電圧の降下量 $v_{a2}(k, l)$ が最大となる面内の電圧降下の最大値 v_{a2max} を得ることができる。つまり、各画素における陽極側の降下量と陰極側の降下量の和 $|v_{a2}(k, l)| + |v_{c2}(k, l)|$ が最大となる面内の電圧降下の最大値 v_{2max} を得ることができる。

【0188】

同様に、陰極側電源線網113に対して連立方程式を得てこれを解くことで、60画素列×60画素行を1ブロックとしてモデル化した場合の、各ブロックにおける陰極側電源線網113の電圧の降下量 $v_{c2}(k, l)$ を得ることができる。つまり、細かくブロック化したブロック(60画素列×60画素行)ごとに陰極側電源線網113の電圧分布を計算する(ステップS39)。

【0189】

次に、電圧降下量演算回路150は、粗くブロック化した抵抗線網モデルを用いて陽極側電源線網112の電圧分布を計算する処理(ステップS35)で計算された電圧の降下量 $v_{a1}(k, l)$ と、細かくブロック化した抵抗線網モデルを用いて陽極側電源線網112の電圧分布を計算する処理(ステップS38)とで計算された電圧の降下量 $v_{a2}(k, l)$ とから、陽極側電源線網112の電圧の降下量を発光画素111ごとに求める。具体的には、粗くブロック化した場合の電圧の降下量 $v_{a1}(k, l)$ と、細かくブロック化した場合の電圧の降下量 $v_{a2}(k, l)$ とを用いて、外挿により、発光画素111ごとの陽極側電源線網112電圧の降下量を計算する(ステップS40)。

【0190】

10

20

30

40

50

ここで、外挿による発光画素 1 1 1 ごとの電圧の降下量の計算手順について説明する。

【 0 1 9 1 】

これまでの異なる 2 つのサイズでブロック化した場合の計算結果から $v a 1 m a x$ と $v a 2 m a x$ の 2 つの電圧降下の最大値を得ることができるが、それぞれブロック化に伴い実際の電圧降下の最大値に対して誤差を有する。言い換えると、粗くブロック化した場合の陽極側電源線網 1 1 2 の電圧降下の最大値 $v a 1 m a x$ と、細かくブロック化した場合の陽極側電源線網 1 1 2 の電圧降下の最大値 $v a 2 m a x$ とは、発光画素 1 1 1 ごとの陽極側電源線網 1 1 2 の電圧降下の最大値に対して誤差を有する。

【 0 1 9 2 】

図 1 8 は、ある映像信号に対して、ブロック化する際のブロックサイズと、ブロック化したモデルから計算される電圧降下の最大値の関係を示すグラフである。

10

【 0 1 9 3 】

図 1 8 において、大きなブロックサイズでモデル化した場合に計算される電圧降下量ほど本来の電圧降下量であるブロックサイズ 1 の場合に計算される電圧降下量に対して誤差が大きい。

【 0 1 9 4 】

また、ブロックサイズと誤差との関係がおおよそ比例関係と見ることができることから、異なる 2 つのブロック化モデルで計算した電圧降下量を用いて外挿することで本来の電圧降下量であるブロックサイズ 1 (1 ブロックに含まれる発光画素 1 1 1 が 1 つ) の場合に計算される電圧降下量に対する誤差が十分小さい外挿電圧降下量を求めることができる

20

【 0 1 9 5 】

よって、ブロックサイズ $1 2 0 \times 1 2 0$ 画素のモデルにより得られた電圧降下の最大値 $v a 1 m a x$ と、ブロックサイズ $6 0 \times 6 0$ 画素のモデルにより得られた電圧降下の最大値 $v a 2 m a x$ を用いると、ブロックサイズ 1×1 画素の場合に計算される外挿電圧降下量 $v a m a x$ は次の式 4 で計算される。

【 0 1 9 6 】

$$v a m a x = v a 2 m a x - (v a 1 m a x - v a 2 m a x) \times (6 0 - 1) / (1 2 0 - 6 0) \quad (式 4)$$

【 0 1 9 7 】

つまり、本実施の形態では、電圧降下量演算回路 1 5 0 は、複数の発光画素 1 1 1 をブロック分割して得られる $1 2 0 \times 1 2 0$ 個の発光画素 1 1 1 からなる粗くブロック化されたブロックごとに陽極側電源線網 1 1 2 の電圧降下量の分布を算出し、複数の発光画素 1 1 1 をブロック分割して得られる $6 0 \times 6 0$ 個の発光画素 1 1 1 からなる細かくブロック化されたブロックごとに陽極側電源線網 1 1 2 の電圧降下量の分布を算出し、粗くブロック化されたブロックごとに算出された電圧降下量の分布と、粗くブロック化されたブロックごとに算出された電圧降下量の分布とから、陽極側電源線網 1 1 2 の電圧降下量の分布を発光画素 1 1 1 ごとに推定する。

30

【 0 1 9 8 】

同様に、陰極側電源線網 1 1 3 に対しても、電圧降下量演算回路 1 5 0 は、粗くブロック化した抵抗線網モデルを用いて陰極側電源線網 1 1 3 の電圧分布を計算する処理 (ステップ S 3 6) で計算された電圧の降下量 $v c 1 (k , l)$ と、細かくブロック化した抵抗線網モデルを用いて陰極側電源線網 1 1 3 の電圧分布を計算する処理 (ステップ S 3 9) とで計算された電圧の降下量 $v c 2 (k , l)$ とから、陰極側電源線網 1 1 3 の電圧の降下量を発光画素 1 1 1 ごとに求める。具体的には、粗くブロック化した場合の電圧の降下量 $v c 1 (k , l)$ と、細かくブロック化した場合の電圧の降下量 $v c 2 (k , l)$ とを用いて、外挿により、発光画素 1 1 1 ごとの陰極側電源線網 1 1 3 の電圧の降下量を計算する (ステップ S 4 1) 。

40

【 0 1 9 9 】

次に、陽極側電源線網 1 1 2 電圧の降下量を外挿により計算する処理 (ステップ S 4 0

50

)により推定された発光画素111ごとの陽極側電源線網112の電圧の降下量と、陰極側電源線網113の電圧の降下量を外挿により計算する処理(ステップS41)により推定された発光画素111ごとの陰極側電源線網113の電圧の降下量とから、各発光画素111における陽極側電源線網112の電圧降下量と、陰極側電源線網113の電圧降下量との和が最大となる面内の電圧降下の最大値を計算する(ステップS42)。なお、この面内の電圧降下の最大値を計算する処理(ステップS42)は、実施の形態1で説明した面内の電圧降下の最大値 v_{max} を計算する処理(ステップS16)と同様であるので、詳しい説明は省略する。

【0200】

最後に、信号処理回路160は、電圧降下量演算回路150で計算された電圧降下の最大値に応じて、可変電圧源170が出力する外部印加電圧を制御する(ステップS43)。なお、可変電圧源170が出力する外部印加電圧を制御する処理(ステップS43)は、実施の形態1で説明した外部印加電圧を制御する処理(ステップS17)と同様であるので、詳しい説明は省略する。

10

【0201】

以上のように1920×1080個の1次連立方程式の計算を、陽極側電源線網112および陰極側電源線網113について2回行う代わりに、ブロック化する手法では16×9個の1次連立方程式の計算と、32×18個の1次連立方程式の計算を各々2回行う。

【0202】

1次連立方程式の解法として例えばガウスジョルダン法を用いる場合には、元数の2乗に比例して演算量が増加することから、本実施の形態のようにブロック化することで約1200万分の1の計算量に低減できることになる。

20

【0203】

以上のように、異なる2つのサイズにブロック化してそれぞれの抵抗線網モデルを設定し、当該抵抗線網モデルを用いて電圧降下量を演算することにより、計算量を大きく低減して低コストの演算回路を用いて低消費電力駆動に優れた表示装置を提供することが可能である。

【0204】

このように、本実施の形態に係る表示装置は、実施の形態1に係る表示装置100と比較して、電圧降下量演算回路150が、複数の発光画素111をブロック分割して得られる120×120個の発光画素111からなる粗くブロック化されたブロックごとに陽極側電源線網112の電圧降下量の分布を算出し、複数の発光画素111をブロック分割して得られる60×60個の発光画素111からなる細かくブロック化されたブロックごとに陽極側電源線網112の電圧降下量の分布を算出し、粗くブロック化されたブロックごとに算出された電圧降下量の分布と、細かくブロック化されたブロックごとに算出された電圧降下量の分布とから、陽極側電源線網112の電圧降下量の分布を発光画素111ごとに推定する。また、陰極側電源線網113についても同様である。

30

【0205】

これにより、本実施の形態に係る表示装置は、計算量の大幅な低減と電圧降下量算出の高精度化を両立させることができる。よって、計算回路を省スペースで設計でき、低コスト化できる。

40

【0206】

なお、上記各実施の形態において、各構成要素は、専用のハードウェアで構成されるか、各構成要素に適したソフトウェアプログラムを実行することによって実現されてもよい。各構成要素は、CPUまたはプロセッサなどのプログラム実行部が、ハードディスクまたは半導体メモリなどの記録媒体に記録されたソフトウェアプログラムを読み出して実行することによって実現されてもよい。ここで、上記各実施の形態の表示装置の駆動方法などを実現するソフトウェアは、次のようなプログラムである。

【0207】

すなわち、このプログラムは、コンピュータに、複数の発光画素を、 X_v 行 X_h 列(X

50

vおよびXhは2以上の整数)の複数の発光画素からなる第1ブロックごとに分割し、電源線が第1ブロックごとに電源電圧を供給するものと設定するブロック設定ステップと、第1ブロックあたりの電源線の行方向の抵抗成分である第1ブロック行抵抗成分を、画素行抵抗成分の(Xh/Xv)倍したものと設定し、第1ブロックあたりの電源線の列方向の抵抗成分である第1ブロック列抵抗成分を、画素列抵抗成分の(Xv/Xh)倍したものと設定するブロック抵抗成分設定ステップと、映像データにより第1ブロックのそれぞれに電流が流れることで電源線に生じる電圧降下量の分布を第1ブロックごとに推定する推定ステップと、推定ステップで推定された電圧降下量の分布に基づき表示部へ供給される電圧を調整する調整ステップとを実行させる。

【0208】

10

以上、一つまたは複数の態様に係る表示装置及びその駆動方法について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせる構築される形態も、一つまたは複数の態様の範囲内に含まれてもよい。

【0209】

例えば、本発明に係る表示装置は、図19に記載されたような薄型フラットTVに内蔵される。本発明に係る表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能、かつ、低消費電力化された薄型フラットTVが実現される。

【0210】

20

また、上記各実施の形態では、陽極側電源線網112のブロックごとの電圧降下量と、陰極側電源線網113のブロックごとの電圧降下量とを、複数の発光画素111に対応して合計し、合計した総電圧降下量の最大値 v_{max} を用いて外部印加電圧を調整した。これに対し、陽極側電源線網112のブロックごとの電圧降下量の最大値と、陰極側電源線網113のブロックごとの電圧降下量の最大値とそれぞれ算出し、算出した陽極側電源線網112の電圧降下量の最大値と陰極側電源線網113の電圧降下量の最大値との合計値を用いて、外部印加電圧を調整してもよい。

【0211】

これにより、複数の電源線(陽極側電源線網112及び陰極側電源線網113)を含む場合にも、電圧不足による発光画素111の輝度の低下を防止できる。

30

【0212】

また、上記実施の形態3では、粗くブロック化したブロックごとの陽極側電源線網112と、細かくブロック化したブロックごとの陽極側電源線網112とから発光画素111ごとの陽極側電源線網112の電圧降下を推定し、同様に推定した発光画素111ごとの陰極側電源線網113の電圧降下と合わせて総電圧降下量の分布を算出し、算出結果から発光画素111ごとの面内の最大電圧降下を推定した。これに対し、粗くブロック化したブロックごとの陽極側電源線網112と、粗くブロック化したブロックごとの陰極側電源線網113とを合わせて、総電圧降下量の分布を粗いブロックごとに算出し、同様に総電圧降下量の分布を細かいブロックごとに算出し、粗いブロックごとに算出した総電圧降下量の分布と細かいブロックごとに算出した総電圧降下量の分布とから、総電圧降下量の分布を発光画素111ごとに推定し、推定結果から面内の最大電圧降下を推定してもよい。

40

【0213】

また、上記実施の形態3では、1つのブロックに含まれる複数の発光画素111は、画素行方向(列方向)と画素列方向(行方向)とで同数であったが、画素行方向の発光画素111の数と画素列方向の発光画素111の数とが異なってもよい。

【0214】

また、上記各実施の形態では、可変電圧源170から出力される陽極側電圧及び陰極側電圧のいずれも調整したが、いずれか一方の電圧を調整してもよい。

【0215】

また、上記各実施の形態では、陽極側電源線網112の電圧降下量の分布と陰極側電源

50

線網 1 1 3 の電圧降下量の分布とを推定して外部印加電圧を調整したが、陽極側電源線網 1 1 2 の電圧降下量の分布及び陰極側電源線網 1 1 3 の電圧降下量の分布の一方を推定し、推定した一方の電圧降下量の分布に基づき外部印加電圧を調整してもよい。

【 0 2 1 6 】

また、上記実施の形態においては、スイッチトランジスタ 1 2 4 及び駆動トランジスタ 1 2 5 を p 型トランジスタとして記載したが、これらを n 型トランジスタで構成してもよい。

【 0 2 1 7 】

また、スイッチトランジスタ 1 2 4 及び駆動トランジスタ 1 2 5 は、T F T であるとしたが、その他の電界効果トランジスタであってもよい。

10

【 0 2 1 8 】

また、上記実施の形態に係る表示装置に含まれる処理部は、典型的には集積回路である L S I として実現される。なお、表示装置 1 0 0 および 3 0 0 に含まれる処理部の一部を、有機 E L 表示部 1 1 0 と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。また、L S I 製造後にプログラムすることが可能な F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、又は L S I 内部の回路セルの接続や設定を再構成可能なリプログラマブル・プロセッサを利用してもよい。

【 0 2 1 9 】

また、本発明の実施の形態に係る表示装置に含まれるデータ線駆動回路、書込走査駆動回路、制御回路、電圧降下量演算回路、信号処理回路の機能の一部を、C P U 等のプロセッサがプログラムを実行することにより実現してもよい。また、本発明は、表示装置 1 0 0 および 3 0 0 が備える各処理部により実現される特徴的なステップを含む表示装置の駆動方法として実現してもよい。

20

【 0 2 2 0 】

また、上記説明では、表示装置がアクティブマトリクス型の有機 E L 表示装置である場合を例に述べたが、本発明を、アクティブマトリクス型以外の有機 E L 表示装置に適用してもよいし、電流駆動型の発光素子を用いた有機 E L 表示装置以外の表示装置、例えば液晶表示装置に適用してもよい。

【 0 2 2 1 】

なお、実施の形態 1 に係る表示装置 1 0 0 は、新しく設定されたブロックの抵抗線網により映像に応じた電圧降下量を計算することで、必要最小限の外部印加電圧を設定するものであり、実施の形態 2 に係る表示装置 3 0 0 は、新しく設定されたブロックの抵抗線網により映像に応じた電圧降下量を計算することで、映像信号を補正するものであるが、表示装置 1 0 0 及び 3 0 0 の双方の機能を兼ね備える表示装置が好ましく、当該表示装置も本発明の技術的範囲である。つまり、上記表示装置とは、新しく設定されたブロックの抵抗線網により映像に応じた電圧降下量を計算することで、必要最小限の外部印加電圧を設定し、かつ、映像信号を補正する。これにより、画素ごとの電圧降下量分布を計算する場合と比較して、計算量を大幅に削減でき、また、メモリ容量を削減できる。よって、低コスト化が可能となる。さらに、低消費電力化および表示パネルの輝度むらの抑制が実現される。また、本表示装置においても、ブロックに対応した画素列方向の抵抗成分及び画素行方向の抵抗成分が等しくなるよう、抵抗線網モデルのブロック分割数を決定することにより、さらに、計算時間を大幅に短縮できる。

30

40

【 産業上の利用可能性 】

【 0 2 2 2 】

本発明の表示装置は、輝度むらが抑制され、低消費電力駆動に優れた表示装置を提供することが可能となり、特にアクティブ型の有機 E L フラットパネルディスプレイに有用である。

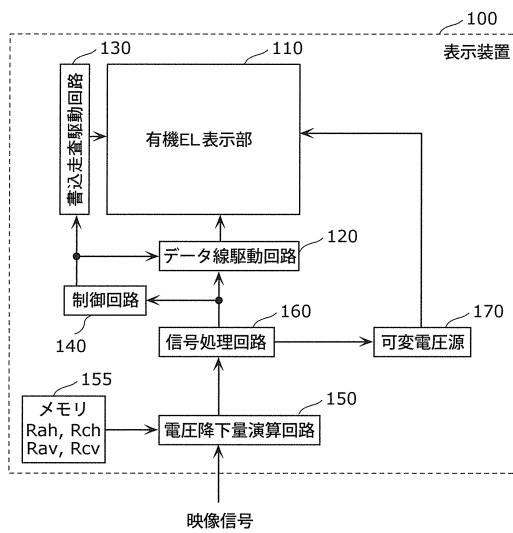
【 符号の説明 】

【 0 2 2 3 】

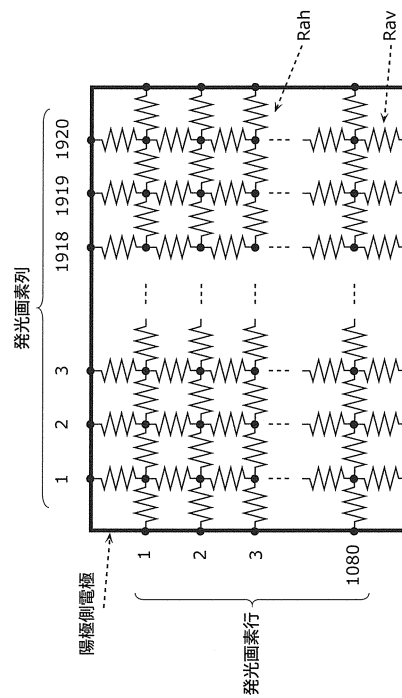
50

- 1 0 0、3 0 0 表示装置
- 1 1 0 有機EL表示部
- 1 1 1 発光画素
- 1 1 2 陽極側電源線網
- 1 1 3 陰極側電源線網
- 1 2 0 データ線駆動回路
- 1 2 1、O L E D 有機EL素子
- 1 2 2 データ線
- 1 2 3 走査線
- 1 2 4、Q 4 スイッチトランジスタ
- 1 2 5 駆動トランジスタ
- 1 2 6 保持容量
- 1 3 0 書込走査駆動回路
- 1 4 0 制御回路
- 1 5 0 電圧降下量演算回路
- 1 5 5 メモリ
- 1 6 0、3 6 0 信号処理回路
- 1 7 0 可変電圧源
- Q 1 ドライバトランジスタ

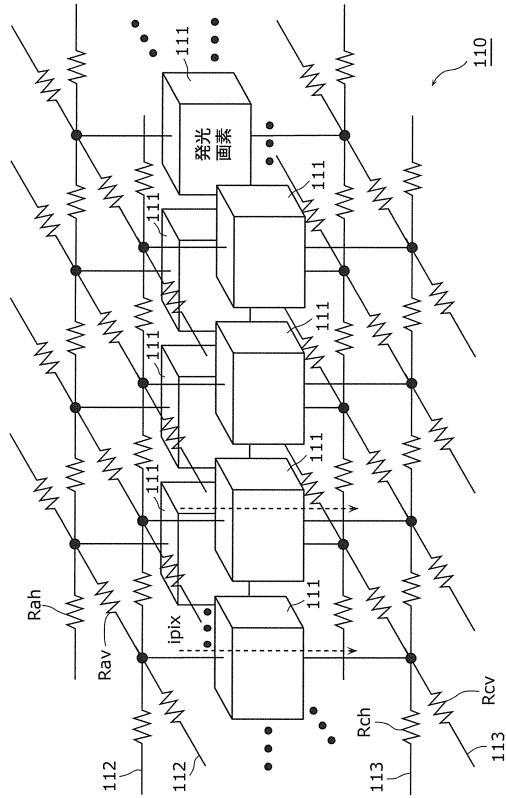
【図1】



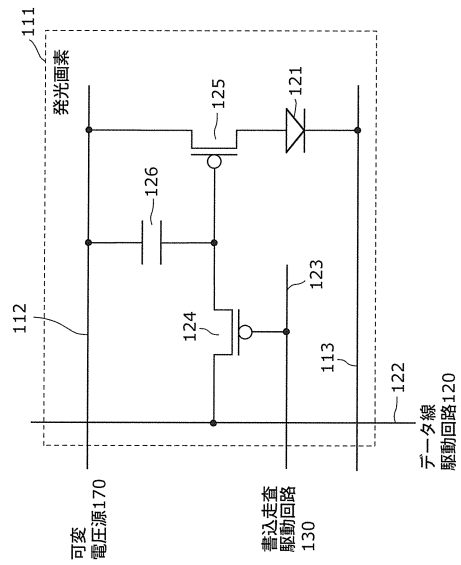
【図2】



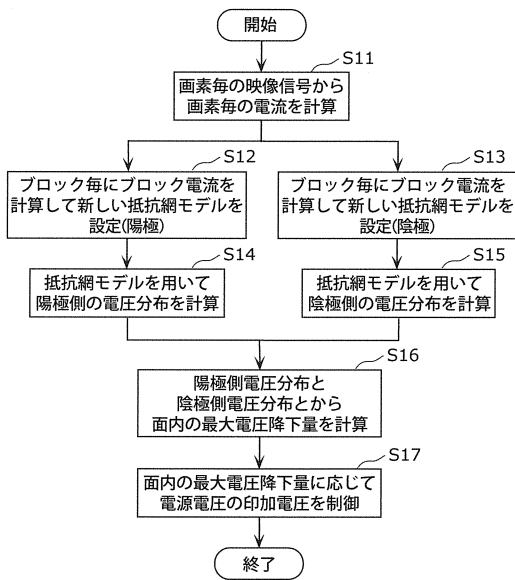
【図3】



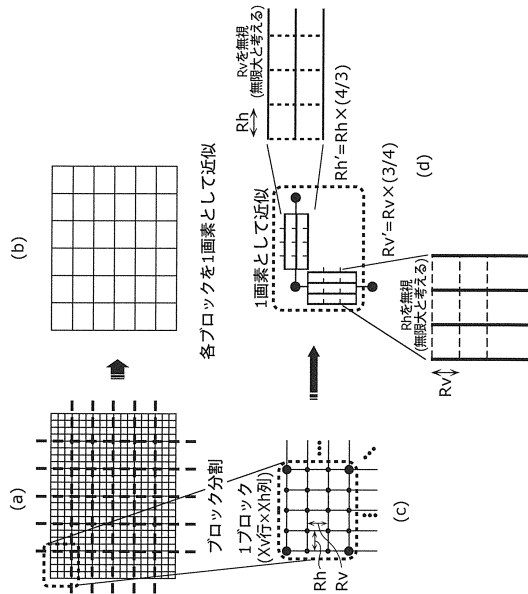
【図4】



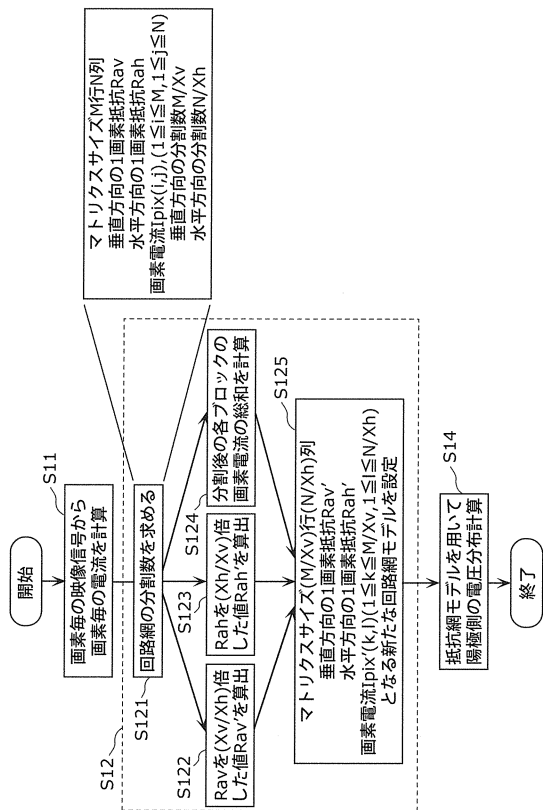
【図5】



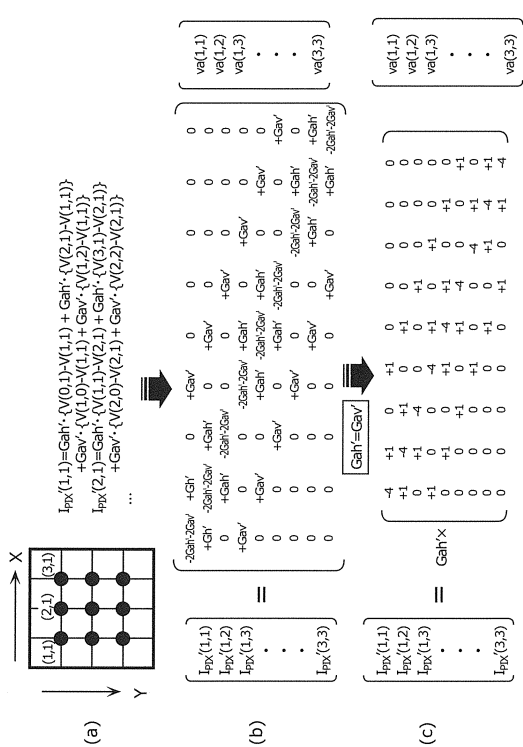
【図6】



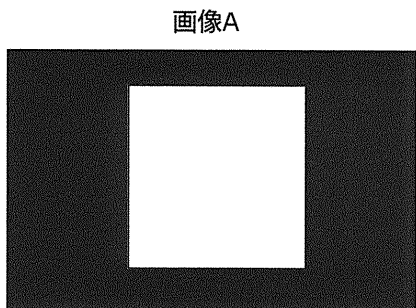
【 図 7 】



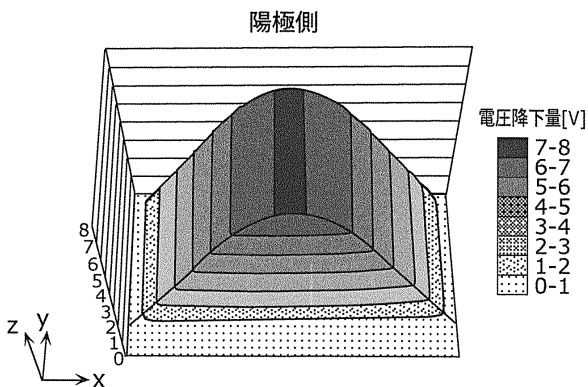
【 図 8 】



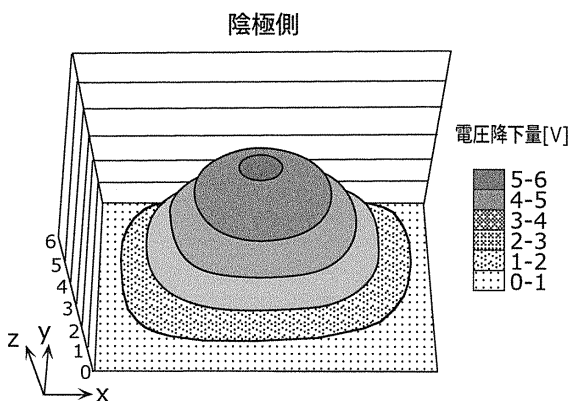
【 図 9 A 】



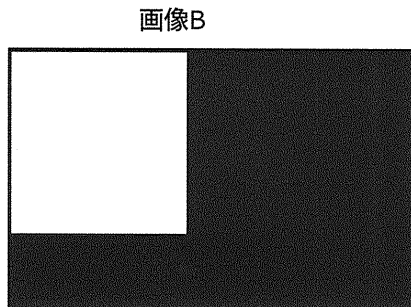
【 図 9 B 】



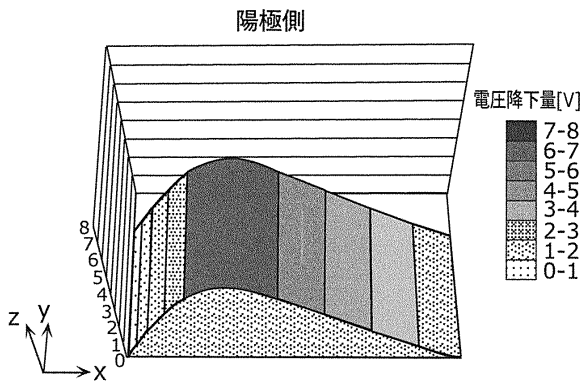
【 図 9 C 】



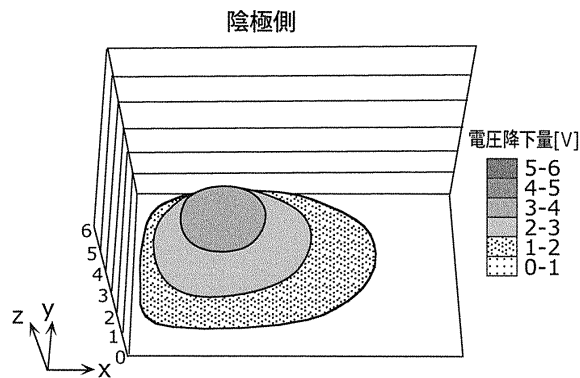
【 図 10 A 】



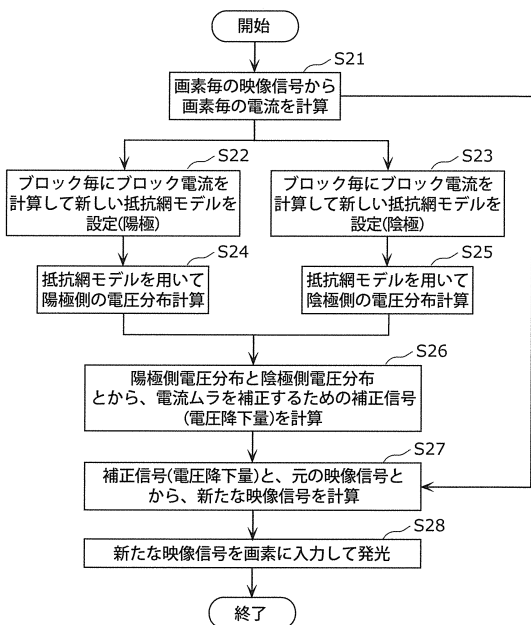
【図10B】



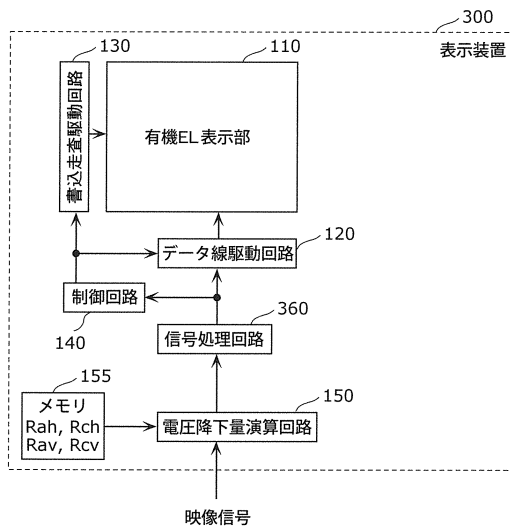
【図10C】



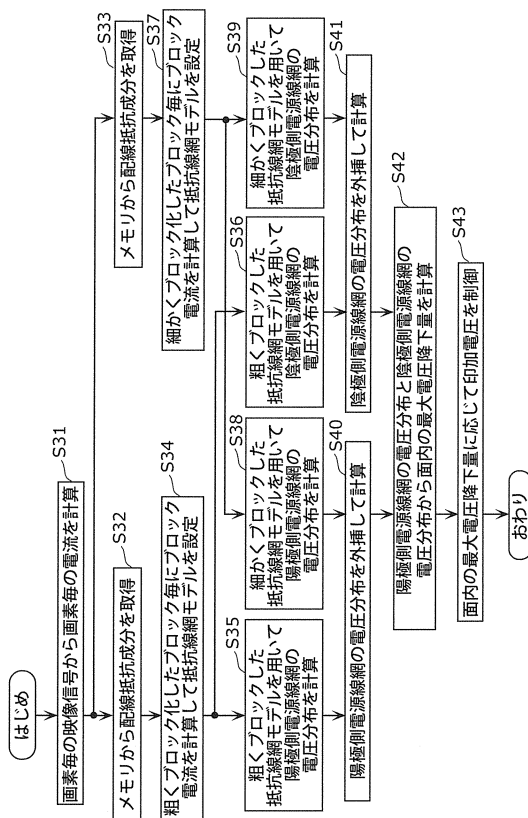
【図12】



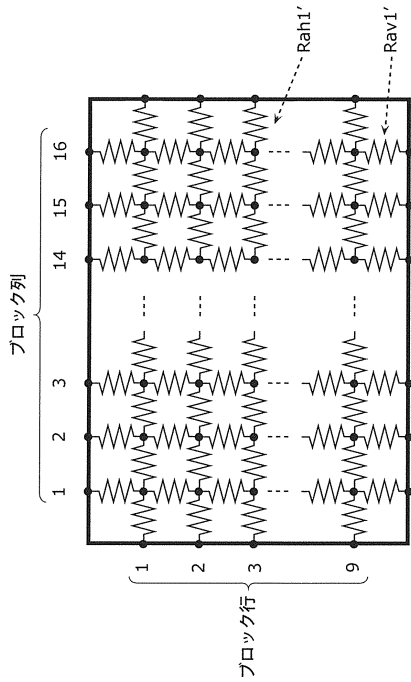
【図11】



【図13】



【図14】

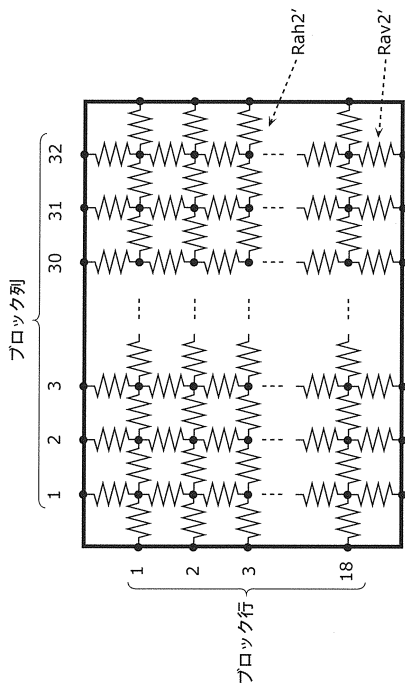


【図15】

電圧降下量[V]

ブロック列 \ ブロック行	1	2	...	8	...	16
1	0.0	0.0	...	0.0	...	0.0
2	1.0		...	9.0	...	1.0
...
5	1.0		...	9.0	...	1.0
...
9	0.0	0.0	...	0.0	...	0.0

【図16】

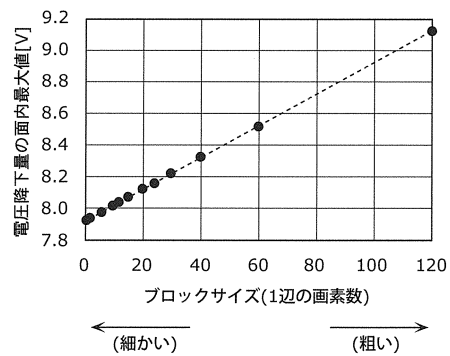


【図17】

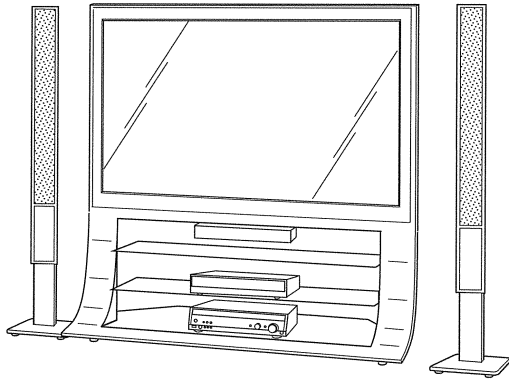
電圧降下量[V]

ブロック列 \ ブロック行	1	2	...	16	...	32
1	0.0	0.0	...	0.0	...	0.0
2	0.5	1.0	...	8.5	...	0.5
...
9	0.5	1.0	...	8.5	...	0.5
...
18	0.0	0.0	...	0.0	...	0.0

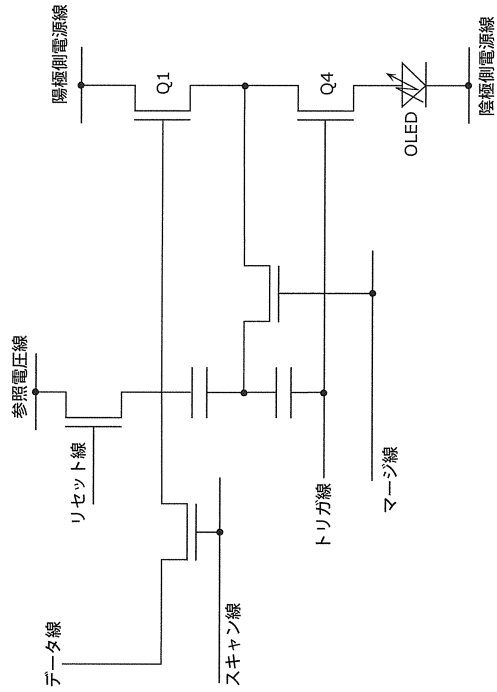
【図18】



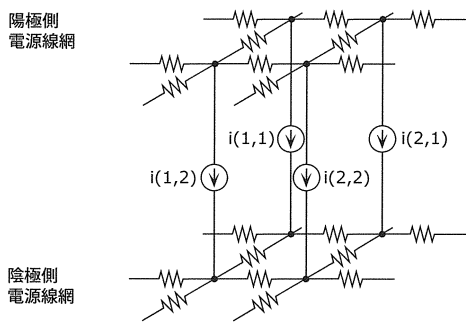
【図19】



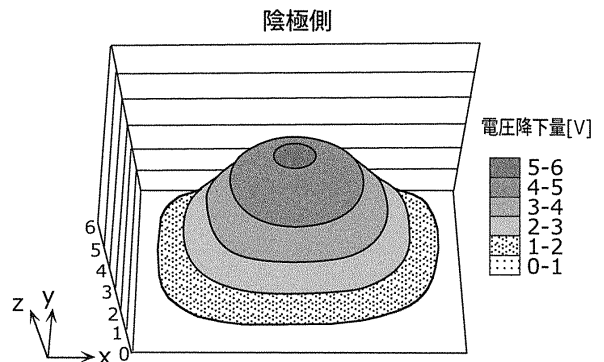
【図20】



【図21】

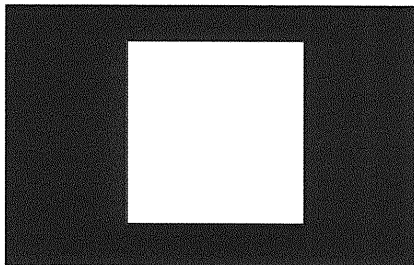


【図22B】



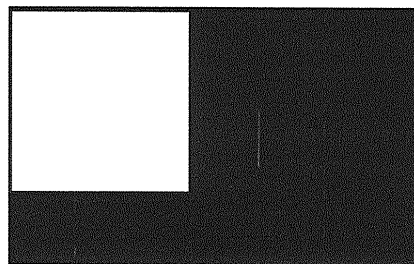
【図22A】

画像A

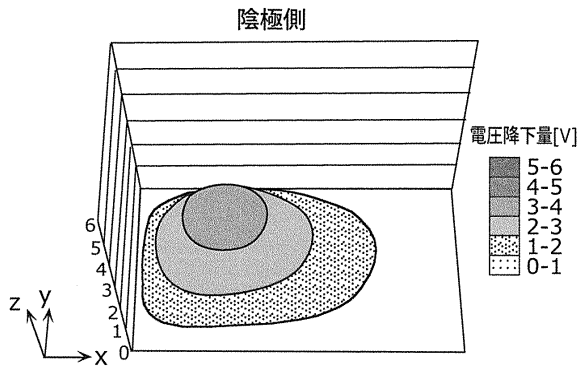


【図22C】

画像B



【図 2 2 D】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 U
G 0 9 G 3/20 6 3 1 V
G 0 9 G 3/20 6 4 1 P
G 0 9 G 3/20 6 1 2 E
G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 2 4 D

(72)発明者 小野 晋也
日本国大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 中村 直行

(56)参考文献 特開2003-195798(JP,A)
特開2004-245955(JP,A)
特開2004-264793(JP,A)
特開2008-281798(JP,A)
特開2006-065148(JP,A)
特表2008-502015(JP,A)
特開2010-002770(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 9 F 9 / 0 0
G 0 9 F 9 / 3 0
H 0 1 L 2 7 / 3 2
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 2 6

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP6019456B2	公开(公告)日	2016-11-02
申请号	JP2013550082	申请日	2012-10-25
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	戎野浩平 加藤敏行 小野晋也		
发明人	戎野 浩平 加藤 敏行 小野 晋也		
IPC分类号	G09G3/3275 G09G3/3233 G09G3/20		
CPC分类号	G09G3/3241 G09G3/3225 G09G2300/0426 G09G2320/0223 G09G2320/0233 G09G2320/0285 G09G2330/021 G09G2330/028		
FI分类号	G09G3/3275 G09G3/3233 G09G3/20.612.A G09G3/20.611.J G09G3/20.621.E G09G3/20.612.U G09G3/20.631.V G09G3/20.641.P G09G3/20.612.E G09G3/20.611.A G09G3/20.680.G G09G3/20.624. D		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	中村直之		
优先权	2011278821 2011-12-20 JP		
其他公开文献	JPWO2013094104A1		
外部链接	Espacenet		

摘要(译)

显示装置包括调节电源电压的电压降量计算电路，有机EL显示单元中的电源线网络包括行方向电阻分量Rah和列方向电阻分量Rav，并且电压降量计算电路将有机EL显示单元划分为由Xv行和Xh列中的像素构成的块，并且针对每个块将行方向电阻分量Rah乘以 (Xh / Xv) ，并且对于每个块，将列方向电阻分量Rav乘以 (Xv / Xh) 而获得的值，从而估计各个块的分布在电源线中出现的电压降的量，并且基于该分布调节要提供给显示单元的电压。

【图1】

