

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2018-60798
(P2018-60798A)

(43) 公開日 平成30年4月12日 (2018. 4. 12)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/02 (2006.01)	H05B 33/02	3K107
G09F 9/00 (2006.01)	G09F 9/00 348Z	5C080
G09G 3/3233 (2016.01)	G09G 3/3233	5C094
G09G 3/20 (2006.01)	G09G 3/20 621K	5C380
G09F 9/30 (2006.01)	G09G 3/20 621M	5E338
審査請求 有 請求項の数 20 O L (全 78 頁) 最終頁に続く		

(21) 出願番号	特願2017-213760 (P2017-213760)	(71) 出願人	514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目23番地
(22) 出願日	平成29年11月6日 (2017. 11. 6)	(74) 代理人	100189430 弁理士 吉川 修一
(62) 分割の表示	特願2014-541933 (P2014-541933) の分割	(74) 代理人	100190805 弁理士 傍島 正朗
原出願日	平成25年10月9日 (2013. 10. 9)	(72) 発明者	高原 博司 大阪府門真市大字門真1006番地 パナ ソニック株式会社内
(31) 優先権主張番号	特願2012-229448 (P2012-229448)	Fターム(参考)	3K107 AA01 BB01 CC43 CC45 DD17 DD38 DD39 EE03 EE63 HH04
(32) 優先日	平成24年10月17日 (2012. 10. 17)		
(33) 優先権主張国	日本国 (JP)		
		最終頁に続く	

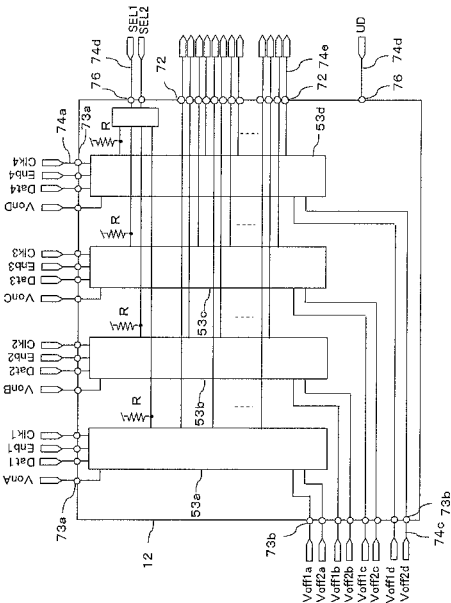
(54) 【発明の名称】 E L表示装置

(57) 【要約】

【課題】 C O F 上に連続接続状に形成する制御配線数を削減する。

【解決手段】 E L表示装置において、フレキシブル基板 2 2 g は、パネル基板 3 1 に形成されたパネル配線と接続するための複数の接続端子 7 5 を配列するとともに、フレキシブル基板 2 2 g 内部の一点と接続端子 7 5 とを接続する端子接続線 7 4 e と、 2 つ以上の接続端子 7 5 間を接続する連続接続線 7 4 a、 7 4 b、 7 4 c とを有し、ゲートドライバ I C 1 2 のドライバ出力端子は端子接続線 7 4 e で配線し、ゲートドライバ I C 1 2 のドライバ入力端子は連続接続線 7 4 a、 7 4 b、 7 4 c で配線している。

【選択図】 図 1 5



【特許請求の範囲】**【請求項 1】**

ＥＬ素子を有する画素がマトリックス状に配置された表示画面を有するパネル基板と、
前記画素の行ごとに配置されたゲート信号線と、
前記画素の列ごとに配置されたソース信号線と、
フレキシブル基板に実装されたゲートドライバ回路と、
前記ソース信号線に映像信号を出力するソースドライバ回路を具備し、
前記ゲートドライバ回路には、ゲート信号出力端子と、ドライバ端子とが配置され、
前記フレキシブル基板には、第１の接続部と、ゲート信号接続部と、第３の接続部とが
配列され、

10

前記フレキシブル基板には、
前記ゲート信号出力端子と前記ゲート信号接続部とを接続する端子接続線と、前記第１
の接続部と前記ドライバ端子と前記第３の接続部とを接続する連続接続線とを有し、
前記制御端子は、前記ゲート信号出力端子と前記ドライバ端子間に配置されている、
ＥＬ表示装置。

【請求項 2】

前記ゲートドライバ回路は、複数のシフトレジスタ回路を有している、
請求項 1 記載の ＥＬ表示装置。

【請求項 3】

前記ドライバ端子のうち、少なくとも１端子は、前記ゲート信号出力端子から出力され
る信号モードを設定する端子であり、
前記信号モードは、オン電圧と第１のオフ電圧からなる第１の信号モードと、オン電圧
と第１のオフ電圧と第２のオフ電圧からなる第２の信号モードであり、
前記信号モードを設定する端子により、前記第１の信号モードと前記第２の信号モード
のいずれかを選択する、
請求項 1 記載の ＥＬ表示装置。

20

【請求項 4】

前記第２の接続部に接続されたパネル配線に印加される電圧は、ロジック設定電圧、ま
たは、前記ゲート信号出力端子から出力される電圧である、
請求項 1 記載の ＥＬ表示装置。

30

【請求項 5】

前記画素は、 n (n は 2 以上の整数) 本の前記ゲート信号線を有し、
前記ゲートドライバ回路は、 n 個のシフトレジスタ回路を有している、
請求項 1 記載の ＥＬ表示装置。

【請求項 6】

前記ゲートドライバ回路には、複数のゲート信号線出力回路が形成され、
前記ゲート信号線出力回路には、独立した V_{on} 電圧が印加される、
請求項 1 記載の ＥＬ表示装置。

【請求項 7】

前記表示画面の一辺に、第１のゲートドライバ回路が配置され、前記表示画面の他辺に
、第２のゲートドライバ回路が配置されている、
請求項 1 記載の ＥＬ表示装置。

40

【請求項 8】

ＥＬ素子を有する画素がマトリックス状に配置された表示画面を有するパネル基板と、
前記画素の行ごとに配置されたゲート信号線と、
前記画素の列ごとに配置されたソース信号線と、
フレキシブル基板に実装されたゲートドライバ回路と、
前記ソース信号線に映像信号を出力するソースドライバ回路を具備し、
前記ゲートドライバ回路には、ゲート信号出力端子と、第１のドライバ端子と、第２の
ドライバ端子とが配置され、

50

前記フレキシブル基板には、第 1 の接続部と、ゲート信号接続部と、第 3 の接続部とが配列され、

前記フレキシブル基板には、

前記ゲート信号出力端子と前記ゲート信号接続部とを接続する端子接続線と、前記第 1 の接続部と前記第 1 のドライバ端子と前記第 2 のドライバ端子と前記第 3 の接続部とを接続する連続接続線とを有し、

前記制御端子は、前記ゲート信号出力端子と前記第 1 のドライバ端子間と、前記ゲート信号出力端子と前記第 2 のドライバ端子間のうち、少なくとも一方に配置されている、E L 表示装置。

【請求項 9】

前記ゲートドライバ回路は、複数のシフトレジスタ回路を有している、請求項 8 記載の E L 表示装置。

【請求項 10】

前記第 1 のドライバ端子および前記第 2 のドライバ端子のうち、少なくとも 1 端子は、前記ゲート信号出力端子から出力される信号モードを設定する端子であり、

前記信号モードは、オン電圧と第 1 のオフ電圧からなる第 1 の信号モードと、オン電圧と第 1 のオフ電圧と第 2 のオフ電圧からなる第 2 の信号モードであり、

前記信号モードを設定する端子により、前記第 1 の信号モードと前記第 2 の信号モードのいずれかを選択する、

請求項 8 記載の E L 表示装置。

【請求項 11】

前記第 2 の接続部に接続されたパネル配線に印加される電圧は、ロジック設定電圧、または、前記ゲート信号出力端子から出力される電圧である、

請求項 8 記載の E L 表示装置。

【請求項 12】

前記画素は、 n (n は 2 以上の整数) 本の前記ゲート信号線を有し、

前記ゲートドライバ回路は、 n 個のシフトレジスタ回路を有している、

請求項 8 記載の E L 表示装置。

【請求項 13】

前記ゲートドライバ回路には、複数のゲート信号線出力回路が形成され、

前記ゲート信号線出力回路には、独立した V_{on} 電圧が印加される、

請求項 8 記載の E L 表示装置。

【請求項 14】

E L 素子を有する画素がマトリックス状に配置された表示画面を有するパネル基板と、

前記画素の行ごとに配置されたゲート信号線と、

前記画素の列ごとに配置されたソース信号線と、

フレキシブル基板に実装されたゲートドライバ回路と、

前記ソース信号線に映像信号を出力するソースドライバ回路を具備し、

前記ゲートドライバ回路には、ゲート信号出力端子と、第 3 のドライバ端子と、第 4 のドライバ端子とが配置され、

前記フレキシブル基板には、第 1 の接続部と、ゲート信号接続部と、第 3 の接続部とが配列され、

前記フレキシブル基板には、

前記ゲート信号出力端子と前記ゲート信号接続部とを接続する端子接続線と、前記第 1 の接続部と前記第 3 のドライバ端子間とを接続する端子接続線と、前記第 3 のドライバ端子と前記第 3 の接続部とを接続する端子接続線とを有し、

前記第 3 のドライバ端子と、前記第 4 のドライバ端子間は、前記ゲートドライバ回路に形成された配線により接続されている、

E L 表示装置。

【請求項 15】

10

20

30

40

50

前記ゲートドライバ回路は、複数のシフトレジスタ回路を有している、
請求項 1 4 記載の E L 表示装置。

【請求項 1 6】

前記ゲートドライバ回路に形成された配線の途中に、双方向バッファ回路が配置されている、

請求項 1 4 記載の E L 表示装置。

【請求項 1 7】

前記第 3 のドライバ端子および前記第 4 のドライバ端子のうち、少なくとも 1 端子は、前記ゲート信号出力端子から出力される信号モードを設定する端子であり、

前記信号モードは、オン電圧と第 1 のオフ電圧からなる第 1 の信号モードと、オン電圧と第 1 のオフ電圧と第 2 のオフ電圧からなる第 2 の信号モードであり、

前記信号モードを設定する端子により、前記第 1 の信号モードと前記第 2 の信号モードのいずれかを選択する、

請求項 1 4 記載の E L 表示装置。

【請求項 1 8】

前記画素は、 n (n は 2 以上の整数) 本の前記ゲート信号線を有し、

前記ゲートドライバ回路は、 n 個のシフトレジスタ回路を有している、

請求項 1 4 記載の E L 表示装置。

【請求項 1 9】

前記ゲートドライバ回路には、複数のゲート信号線出力回路が形成され、

前記ゲート信号線出力回路には、独立した V_{on} 電圧が印加される、

請求項 1 4 記載の E L 表示装置。

【請求項 2 0】

前記表示画面の一边に、第 1 のゲートドライバ回路が配置され、前記表示画面の他辺に、第 2 のゲートドライバ回路が配置されている、

請求項 1 4 記載の E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、有機エレクトロルミネッセンス (Organic Electro-Luminescence。以下、EL または OLED と呼ぶことがある。) 素子などを有する画素構成、EL 素子がマトリックス状に配置された EL 表示装置 (EL 表示パネル)、EL 表示装置の駆動方法、EL 表示装置などに用いるドライバ IC 基板、フレキシブル基板などに関するものである。

【背景技術】

【0002】

有機 EL 素子をマトリックス状に備えたアクティブマトリックス (Active-Matrix、以下、AM と略する場合がある) 型有機 EL 表示装置がスマートフォンなどの表示パネルに採用され、商品化されている。EL 素子は、アノード電極およびカソード電極間に EL 層が形成されている。EL 素子は、アノード、カソード電極 (端子) に供給された電流あるいは電圧により発光する (例えば、特許文献 1 参照)。

【0003】

液晶表示パネル (LCD) は、1 画素に 1 ゲート信号線が形成または配置されている。EL 表示装置は、少なくとも 2 本以上のゲート信号線が各画素に形成または配置され、多くの EL 表示装置は、3 本または 4 本のゲート信号線が各画素に形成または配置されている (例えば、特許文献 2 参照)。

【0004】

特許文献 1 では、有機 EL 素子をマトリックス状に備えたアクティブマトリックス (Active-Matrix、以下、AM と略する場合がある) 型有機 EL 表示装置のドライバ IC が実装されたフレキシブル基板 (COF (Chip On Film)) に、入

10

20

30

40

50

力伝送ライン及び出力伝送ラインを電氣的に連結する連結伝送ラインが形成された構成が開示されている。

【 0 0 0 5 】

また、特許文献 2 には、ドライバ I C が実装されたフレキシブル基板に、入力信号線などを、連続接続で形成した構成が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 7 - 1 8 8 0 7 8 号公報

【 特許文献 2 】 特開 2 0 0 6 - 0 4 9 5 1 4 号公報

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

E L 表示装置 (E L 表示パネル) は、画像表示にバックライトが必要でないため、パネルモジュールの厚みを薄くすることができる。このパネルの厚みを薄くできるという特徴を活かすため、ゲートドライバ I C 側は、プリント基板 (P C B) を使用しない構成 (P C B レス構成) を採用している。

【 0 0 0 8 】

P C B レス構成では、すべての電源配線及び制御信号線を C O F に形成する必要がある。C O F は、配線層が 1 層のため、C O F に形成した配線は、交差することができない。そのため、電源配線と制御配線との交差部が発生しないように、連続接続で配線などのレイアウト配置を行う必要がある。

20

【 0 0 0 9 】

しかし、E L 表示装置 (E L 表示パネル) は、制御信号線の数が多いため、C O F に形成される配線が密になり、短絡欠陥が発生しやすい。

【 0 0 1 0 】

本開示は、これらの課題に鑑みなされたものであり、C O F 上に連続接続状に形成する制御配線数を削減して、低コストで、歩留まりのよい E L 表示装置を提供することを目的とする。

【 課題を解決するための手段 】

30

【 0 0 1 1 】

本開示の一態様に係る E L 表示装置は、発光素子を複数配列したパネル基板と、パネル基板を駆動するゲートドライバ I C を実装したフレキシブル基板とを有する E L 表示装置に関するものである。

【 0 0 1 2 】

本開示は、発光素子を有する画素がマトリックス状に配置された表示画面を有するパネル基板と、前記画素の行ごとに配置されたゲート信号線と、前記画素の列ごとに配置されたソース信号線と、フレキシブル基板に実装されたゲートドライバ回路と、前記ソース信号線に映像信号を出力するソースドライバ回路を具備する。前記ゲートドライバ回路には、ゲート信号出力端子と、ドライバ端子と、制御端子が配置され、前記フレキシブル基板には、第 1 の接続部と、ゲート信号接続部と、第 2 の接続部と、第 3 の接続部が一辺に配列され、前記フレキシブル基板には、端子と接続部とを接続する端子接続線と、2 つ以上の前記接続部を接続する連続接続線とを有する。前記制御端子は、前記ゲート信号出力端子と前記ドライバ端子間に配置され、前記ゲート信号接続部と前記ゲート信号出力端子は端子接続線で配線し、前記第 1 の接続部と前記ドライバ端子と前記第 3 の接続部は、連続接続線で配線し、前記パネル基板に形成されたパネル配線は、前記第 2 の接続部に接続され、前記第 2 の接続部と前記制御端子が端子接続線で配線したことを特徴とする。この構成により、C O F 上に連続接続状に形成する制御配線数を削減して、低コストで、歩留まりのよい E L 表示装置を提供することができる。

40

【 0 0 1 3 】

50

なお、本開示のＥＬ表示装置のドライバ端子は、ゲートドライバＩＣに電圧を印加するドライバ端子であってもよい。

【発明の効果】

【００１４】

本開示によれば、ＣＯＦ上に連続接続状に形成する制御配線数を削減して、低コストで、歩留まりのよいＥＬ表示装置を提供することが可能となる。

【図面の簡単な説明】

【００１５】

【図１】図１は、本実施の形態にかかるＥＬ表示装置の構成を示す断面図である。

【図２】図２は、本実施の形態にかかるＥＬ表示装置の構成を示す断面図である。

10

【図３】図３は、本実施の形態のＥＬ表示装置の説明図である。

【図４】図４は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

【図５】図５は、本実施の形態のＥＬ表示装置の説明図である。

【図６】図６は、本実施の形態のＥＬ表示装置に用いるＣＯＦの説明図である。

【図７】図７は、本実施の形態のＥＬ表示装置に用いるＣＯＦの説明図である。

【図８Ａ】図８Ａは、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

。

【図８Ｂ】図８Ｂは、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

。

【図９】図９は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

20

【図１０】図１０は、本実施の形態のＥＬ表示装置に用いるゲートドライバＩＣの説明図である。

【図１１】図１１は、本実施の形態のＥＬ表示装置の説明図である。

【図１２】図１２は、本実施の形態のＥＬ表示装置のＣＯＦ部の説明図である。

【図１３】図１３は、本実施の形態のＥＬ表示装置に用いるソースドライバＩＣの説明図である。

【図１４】図１４は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

。

【図１５】図１５は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

30

。

【図１６】図１６は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

。

【図１７】図１７は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

。

【図１８】図１８は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

。

【図１９】図１９は、本実施の形態のＥＬ表示装置のゲートドライバＩＣの説明図である。

。

【図２０Ａ】図２０Ａは、本実施の形態のＥＬ表示装置の駆動方法の説明図である。

【図２０Ｂ】図２０Ｂは、本実施の形態のＥＬ表示装置の駆動方法の説明図である。

40

【図２１】図２１は、本実施の形態のＥＬ表示装置の駆動方法の説明図である。

【図２２Ａ】図２２Ａは、本実施の形態のＥＬ表示装置に用いるゲートドライバＩＣの説明図である。

【図２２Ｂ】図２２Ｂは、本実施の形態のＥＬ表示装置に用いるゲートドライバＩＣの説明図である。

【図２３】図２３は、本実施の形態のＥＬ表示装置の説明図である。

【図２４】図２４は、本実施の形態のＥＬ表示装置の説明図である。

【図２５】図２５は、本実施の形態のＥＬ表示装置の説明図である。

【図２６】図２６は、本実施の形態のＥＬ表示装置の説明図である。

【図２７】図２７は、本実施の形態のＥＬ表示装置の説明図である。

50

- 【図 28】図 28 は、本実施の形態の E L 表示装置の説明図である。
- 【図 29】図 29 は、本実施の形態の E L 表示装置のドライバ IC の説明図である。
- 【図 30 A】図 30 A は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 30 B】図 30 B は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 31 A】図 31 A は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 31 B】図 31 B は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 32 A】図 32 A は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 32 B】図 32 B は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 33 A】図 33 A は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 33 B】図 33 B は、本実施の形態の E L 表示装置の駆動方法の説明図である。 10
- 【図 34 A】図 34 A は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 34 B】図 34 B は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 35】図 35 は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 36】図 36 は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 37】図 37 は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 38】図 38 は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 39】図 39 は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 40】図 40 は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 41】図 41 は、本実施の形態の E L 表示装置のドライバ IC の説明図である。
- 【図 42】図 42 は、本実施の形態の E L 表示装置に用いるソースドライバ IC の説明図 20
である。
- 【図 43】図 43 は、本実施の形態の E L 表示装置に用いるソースドライバ IC の説明図
である。
- 【図 44】図 44 は、本実施の形態の E L 表示装置の駆動方法の説明図である。
- 【図 45】図 45 は、本実施の形態の E L 表示装置を用いる表示機器の説明図である。
- 【図 46】図 46 は、本実施の形態の E L 表示装置を用いる表示機器の説明図である。
- 【図 47】図 47 は、本実施の形態の E L 表示装置を用いる表示機器の説明図である。
- 【図 48】図 48 は、E L 表示装置の説明図である。
- 【図 49】図 49 は、E L 表示装置の説明図である。
- 【図 50】図 50 は、従来の E L 表示装置の C O F 部の説明図である。 30
- 【発明を実施するための形態】
- 【0016】
- 以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。
- 【0017】
- なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するものであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。 40
- 【0018】
- (本開示の基礎となった知見)
- 以下、本開示の詳細を説明する前に、本開示の基礎となった知見について説明する。
- 【0019】
- 液晶表示パネル (LCD) では、1 画素に 1 ゲート信号線が形成または配置されている。これに対し、E L 表示装置 (以下の実施の形態では、「E L 表示パネル」と呼ぶこともある。) では、少なくとも 2 本以上のゲート信号線が各画素に形成または配置されている。例えば、多くの E L 表示装置においては、3 本または 4 本のゲート信号線が各画素に形成または配置されている。
- 【0020】 50

以上の事項から、E L 表示装置は、L C D に比較してゲート信号線の本数が非常に多い構成となっている。

【 0 0 2 1 】

L C D に必要な電圧は、オン電圧 (V o n)、オフ電圧 (V o f f)、ロジック電圧 (V c c)、映像信号電圧 (A V d d) である。

【 0 0 2 2 】

E L 表示装置は、オン電圧 (V o n) が複数種類必要となり、オフ電圧 (V o f f) も複数電圧が必要となる。映像信号電圧 (A V d d)、ロジック電圧 (V c c) も必要である。画素回路構成に依存して、イニシャル電圧 (V i n i)、リセット電圧 (V r s t) などが必要となる場合がある。アノード電圧 (V d d)、カソード電圧 (V s s) も必要である。また、1 画素を制御する複数のゲート信号線の動作は異なることから、動作を制御する制御信号も各ゲート信号線に対応して必要となる。そのため制御信号線数も多い。したがって、E L 表示装置の制御信号線および電源線数は、L C D に比較して 4 ~ 5 倍となる。

10

【 0 0 2 3 】

図 4 8 に図示するように、ゲートドライバ I C 1 2 (1 2 a、1 2 b)、ソースドライバ I C (ソースドライバ回路) 1 4 は、C O F に実装される。また、図 4 8 に図示するように、ゲート信号線 1 7 a、1 7 b の両端には、ゲートドライバ I C 1 2 (1 2 a、1 2 b) が接続されている。ゲートドライバ I C 1 2 (1 2 a、1 2 b) は、C O F 2 2 g に実装されている。

20

【 0 0 2 4 】

同様に、各画素 1 6 には、ソース信号線 1 8 が接続されている。ソース信号線 1 8 の一端には、ソースドライバ I C 1 4 が接続されている。ソースドライバ I C 1 4 は、C O F 2 2 s に実装されている。C O F 2 2 s は、プリント基板 (P C B) が接続され、プリント基板 (P C B) から、C O F 2 2 s に映像信号、制御信号が印加される。

【 0 0 2 5 】

ソースドライバ I C 1 4 が実装された C O F 2 2 s は、パネルに実装される。また、C O F 2 2 s には、プリント基板 (P C B) 2 3 s が取り付けられる。

【 0 0 2 6 】

なお、本開示では、ゲート信号線を駆動する回路を、ゲートドライバ I C 1 2 として説明するが、本開示はこれに限定されるものではない。たとえば、ゲートドライバ I C 1 2 は、T A O S、低温ポリシリコン、高温ポリシリコン技術で、画素回路などを形成するプロセスと同時に、表示パネル基板に直接、形成してもよい。つまり、ゲートドライバ I C とは、半導体チップに限定されるものではなく、ゲートドライバ回路を意味する。また、ソースドライバ I C 1 4 についても同様であり、ソースドライバ I C とは、半導体チップに限定されるものではなく、ソースドライバ回路を意味する。なお、ドライバ I C を、T A O S、低温ポリシリコン、高温ポリシリコン技術で、画素回路などを形成するプロセスと同時に、表示パネル基板に直接、形成する場合は、C O F も不要となることは言うまでもない。

30

【 0 0 2 7 】

ゲートドライバ I C 1 2 が実装された C O F 2 2 g もパネルに実装される。C O F 2 2 g には、プリント基板 (P C B) は取り付けられない。つまり、プリント基板レス (P C B レス) 構成である。プリント基板レス (P C B レス) にすることにより、薄型のパネルモジュールを構成できる。

40

【 0 0 2 8 】

図 4 9 は、E L 表示装置の画素およびドライバ I C などの説明図である。

【 0 0 2 9 】

図 4 9 の画素 1 6 において、P チャンネルの駆動用トランジスタ 1 1 a のドレイン端子に、スイッチ用トランジスタ 1 1 d のソース端子が接続され、スイッチ用トランジスタ 1 1 d のドレイン端子に E L 素子 1 5 のアノード端子が接続されている。

50

【 0 0 3 0 】

E L 素子 1 5 のカソード端子には、カソード電圧 V_{ss} が印加されている。駆動用トランジスタ 1 1 a のソース端子には、アノード電圧 V_{dd} が印加されている。

【 0 0 3 1 】

ゲート信号線 1 7 b (G d) にオン電圧が印加されると、スイッチ用トランジスタ 1 1 d がオンし、駆動用トランジスタ 1 1 a からの発光電流が E L 素子 1 5 に供給される。E L 素子 1 5 は、発光電流の大きさに基づき、発光する。発光電流の大きさは、ソース信号線 1 8 に印加された映像信号を、スイッチ用トランジスタ 1 1 b で画素 1 6 に印加することにより決定する。

【 0 0 3 2 】

駆動用トランジスタ 1 1 a のゲート端子には、コンデンサ 1 9 b の 1 端子が接続され、コンデンサの他の端子は、アノード電圧 (V_{dd}) が印加された電極または 7 配線と接続されている。スイッチ用トランジスタ 1 1 b のソース端子は、ソース信号線 1 8 と接続され、スイッチ用トランジスタ 1 1 b のドレイン端子は駆動用トランジスタ 1 1 a のゲート端子と接続されている。一方、ソースドライバ I C 1 4 は、ソース信号線 1 8 に映像信号を印加する。

【 0 0 3 3 】

ゲート信号線 1 7 (1 7 a 、 1 7 b) は、表示画面 2 5 の左右に配置されたゲートドライバ I C 1 2 (1 2 a 、 1 2 b) に接続されている。

【 0 0 3 4 】

ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) は、画素の選択電圧 (オン電圧 V_{on}) をゲート信号線 1 7 に印加する。ゲート信号線 1 7 b のオン電圧が印加されると、スイッチ用トランジスタ 1 1 b がオンして、ソース信号線 1 8 に印加された映像信号が、画素 1 6 に印加される。

【 0 0 3 5 】

E L 表示パネル 4 9 には、E L 素子 1 5 を有する画素 1 6 がマトリックス状に形成された表示画面 2 5 が形成されている。

【 0 0 3 6 】

以上の構成により、表示画面が大型であっても、また、高精細の表示画面を有する画像表示であっても、良好に表示画面の画素に映像信号を印加できる。また、表示画面に輝度傾斜などの発生がなく、良好な画像表示を実現できる。

【 0 0 3 7 】

なお、本開示の E L 表示装置のドライバ端子は、ゲートドライバ I C に電圧を印加するドライバ端子であってもよい。

【 0 0 3 8 】

また、E L 表示装置は、画像表示にバックライトが必要でないため、パネルモジュールの厚みを薄くすることができる。このパネルの厚みを薄くできるという特徴を活かすため、図 4 8 に図示するように、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) 側は、P C B レス構成を採用している。

【 0 0 3 9 】

P C B を使用すれば、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) で使用する電源配線、制御信号線は、P C B から供給すればよい。

【 0 0 4 0 】

図 4 8 に図示するように、P C B を使用しない構成 (P C B レス構成) では、図 5 0 に図示するように、すべての電源配線、制御信号線を C O F 2 2 g に形成する必要がある。C O F は、配線層が 1 層のため、C O F 2 2 に形成した配線は、交差することができない。そのため、図 5 0 に図示するように、電源配線、制御配線との交差部が発生しないように、連続接続で配線などのレイアウト配置を行う必要がある。

【 0 0 4 1 】

図 5 0 では、パネル基板 3 1 に形成されたパネル配線 9 1 a と、C O F 2 2 g の C O F

10

20

30

40

50

配線 7 4 a とは、接続端子 7 5 a 部において、A C F 樹脂で接続される。C O F 配線 7 4 a はゲートドライバ I C 1 2 のドライバ入力端子 7 3 a に電氣的に接続されている。ドライバ入力端子 7 3 a とドライバ入力端子 7 3 b とは C O F 配線 7 4 c で接続されている。また、ドライバ入力端子 7 3 b と接続端子 7 5 b とは、C O F 配線 7 4 b で電氣的に接続されている。また、パネル基板 3 1 に形成されたパネル配線 9 1 b と、C O F 2 2 g の C O F 配線 7 4 b とは、接続端子 7 5 b 部において、A C F 樹脂で接続される。

【 0 0 4 2 】

以上のように、パネル基板 3 1 に形成されたパネル配線 9 1 a → 接続端子 7 5 a → C O F 配線 7 4 a → ドライバ入力端子 7 3 a → C O F 配線 7 4 c → ドライバ入力端子 7 3 b → C O F 配線 7 4 b → 接続端子 7 5 b → パネル基板 3 1 に形成されたパネル配線 9 1 b と、
連続接続で配線のレイアウト設計が行われている。

10

【 0 0 4 3 】

なお、ゲートドライバ I C 1 2 のゲートドライバ出力は、ドライバ出力端子 7 2 から出力される。ドライバ出力端子 7 2 と接続端子 7 1 とは、C O F 配線 7 4 e で電氣的に接続されている。ドライバ出力端子 7 2 は、ゲート信号線 1 7 と、A C F により電氣的に接続されている。

【 0 0 4 4 】

E L 表示装置は、少なくとも 2 本以上のゲート信号線が各画素に形成または配置され、多くの E L 表示装置は、3 本または 4 本のゲート信号線が各画素に形成または配置されている。

20

【 0 0 4 5 】

以上の事項から、E L 表示装置は、L C D に比較してゲート信号線 1 7 の本数が非常に多い。したがって、ゲート信号線 1 7 などを制御する制御信号線数も多くなる。

【 0 0 4 6 】

各画素のそれぞれのゲート信号線は、制御するトランジスタが異なり、また、必要とするゲート信号線の電圧振幅が異なる。したがって、E L 表示装置は、オン電圧 (V o n) が複数種類必要となり、オフ電圧 (V o f f) も複数電圧が必要となる。その他、イニシャル電圧 (V i n i)、リセット電圧 (V r s t) などが必要となる場合がある。また、1 画素を制御する複数のゲート信号線の動作は異なることから、動作を制御する制御信号も各ゲート信号線に対応して必要となる。そのため制御信号線数も多い。したがって、E L 表示装置の制御信号線および電源線数は、L C D に比較して 4 ~ 5 倍となる。

30

【 0 0 4 7 】

E L 表示装置では、電源配線数及び制御配線数が多いため、C O F 2 2 g に配設する配線数が非常に多くなる。一例として、L C D の 3 倍以上にもなる。

【 0 0 4 8 】

図 4 8 に示すように、P C B レス構成を実現するためには、C O F に配設する電源配線数及び制御配線数が多いため、図 5 0 の C O F 2 2 g の D 距離、A 距離、B 距離が長くなる。そのため、C O F 2 2 g のサイズが大きくなり、コストが高くなる。E L 表示装置の画面サイズは、パネルの画面インチ数で決定されるため、C O F 実装で利用できる距離 (C O F の貼り付けできる幅) もパネルの画面インチ数で決定される。したがって、C O F サイズが大きくなると、C O F 実装で利用できる距離 (C O F の貼り付け幅 × C O F 枚数) が、画面幅を超えることになる。そのため、C O F サイズを大きくすると、C O F をパネルに実装することが物理的に不可能となる。

40

【 0 0 4 9 】

C O F 2 2 g の A 距離が長いと、ドライバ出力端子 7 2 を形成する範囲が狭くなる。もしくは、ゲートドライバ I C 1 2 のチップ長辺の長さを大きくする必要がある。したがって、ゲートドライバ I C 1 2 のサイズは大きくなり、ドライバ I C の価格が高くなる。

【 0 0 5 0 】

C O F 2 2 g に配設する C O F 配線 7 4 の本数を削減するためには、図 5 0 のように、アレイ接続配線 5 4 を形成する手段がある。アレイ接続配線 5 4 はパネルの画素を形成す

50

るプロセスで形成されるため、配線の交差部を形成することができる。したがって、複雑な配線パターン、配線の分岐を形成することができる。

【0051】

しかし、アレイ接続配線54は、ゲート信号線17と交差するため、交差部にピンホールなどがあると、アレイ接続配線54とゲート信号線17とが短絡する。EL表示装置は、ゲート信号線17信号線数が多い。そのため、1ゲートドライバIC12あたりのゲートドライバ出力端子数も多い。したがって、アレイ接続配線54とゲート信号線17との交差部が多く、短絡欠陥が発生しやすい。特に、アレイ接続配線54の形成部は、保護カバーなどがなく、機械的な損傷も発生しやすい。そのため、交差部での短絡欠陥も発生しやすい。

10

【0052】

以上のことから、ゲートドライバIC12付きCOF22gをパネル基板31に複数接続して実装し、かつ、PCBレス構成のEL表示装置では、以下の制約条件がある。

【0053】

制約条件とは、(1)COF22gに形成した配線74は交差させることができない。(2)パネル基板上のゲート信号線17と入力信号配線・電源配線とは交差できない、あるいは、ゲート信号線17と入力信号配線・電源配線を交差させると交差部の短絡リスクが高く、パネルの製造歩留まりを著しく低下させる。

【0054】

以上のことから、EL表示装置では、ゲートドライバIC12付きCOF22gをパネル基板31に複数接続して実装し、かつPCBレス構成は、実現が困難であるという課題があった。

20

【0055】

そこで、以下の実施の形態では、COF上に連続接続状に形成する制御配線数を削減して、低コストで、歩留まりのよいEL表示装置について説明する。

【0056】

(実施の形態)

以下、図1～図8Bを用いて、本実施の形態に係る表示装置について説明する。

【0057】

図1及び図2は、本実施の形態にかかるEL表示装置の構成を示す断面図である。

30

【0058】

本開示において、各図面は理解を容易するために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。たとえば、図1に図示する表示パネルの断面図では、ガラス基板48などを薄く、図示している。また、図2において、封止基板30は薄くしている。

【0059】

省略した箇所もある。たとえば、図1に示す本開示に係るEL表示装置では、反射光の防止のために円偏光板などの位相フィルムを光出射面に配置することが必要である。しかし、図1では、円偏光板を図示することを省略している。

【0060】

また、光出射面には、外光の映りこみを防止するため、表面が凹凸のアングレアシートを形成または配置するが、図1、図2では省略している。また、反射防止膜を形成したシートあるいは反射防止膜を図示することを省略している。

40

【0061】

なお、以下において、接続端子75aは、本開示における第1の接続部に相当する。接続端子71は本開示におけるゲート信号接続部に相当する。接続端子75bは本開示における第3の接続部に相当する。ドライバ出力端子72は本開示におけるゲート信号出力端子に相当する。ドライバ入力端子73a及び73bは本開示におけるドライバ端子に相当する。接続端子75cは本開示における第2の接続部に相当する。COF配線74a、74b、74cは本開示における連続接続線に相当する。COF配線74d及び74eは本

50

開示における端子接続線に相当する。入力制御配線 2 6 1 は本開示におけるパネル配線に相当する。

【 0 0 6 2 】

図 1 および図 2 は、本開示の E L 表示パネルの断面図である。ただし、説明に不要な箇所は省略している。また、厚み、サイズなどは、説明を容易にするため、拡大あるいは縮小した部分がある。以上の事項は他の図面に対しても同様である。

【 0 0 6 3 】

図 1 は、上面から光取り出しを行う「上取り出し」の表示装置に係る実施の形態である。図 2 は、光を、パネル基板 3 1 の下面側から取り出す「下取り出し」の表示装置に係る実施の形態である。

10

【 0 0 6 4 】

封止基板 3 0 およびパネル基板 3 1 は、一例として、ガラス基板で構成されている。なお、封止基板 3 0 およびパネル基板 3 1 は、シリコンウエハ、金属基板、セラミック基板、プラスチックシート（板）などを使用してよい。また、封止基板 3 0 およびパネル基板 3 1 は放熱性を良好にするため、サファイアガラスなどを用いてもよいことは言うまでもない。

【 0 0 6 5 】

図 2 に示すように、封止基板 3 0 とパネル基板 3 1 との空間には乾燥剤（図示せず）を配置する。これは、E L 膜 4 1 は湿度に弱いためである。乾燥剤によりシール剤（図示せず）を浸透する水分を吸収し、E L 膜 4 1 の劣化を防止する。また、封止基板 3 0 とパネル基板 3 1 とは周辺部を封止樹脂（図示せず）で封止する。

20

【 0 0 6 6 】

封止基板 3 0 は、一例として、フタの形状を有している。封止基板 3 0 は、外部からの水分の浸入を防止あるいは抑制する手段であって、フタの形状に限定されるものではない。また、融着ガラスなどでもよい。また、樹脂あるいは無機材料などの構成体であってもよい。また、蒸着技術などを用いて薄膜状に形成したものである。

【 0 0 6 7 】

封止基板 3 0 とパネル基板 3 1 との空間、あるいは封止基板 3 0 の表面などに温度センサ（図示せず）を形成または配置する。この温度センサの出力結果により、ソースドライバ I C 1 4 などの映像振幅を可変する。また、パネル検査時に、温度センサが出力する温度に基づいて、ゲートドライバ I C 1 2 の動作速度を調整する。速度調整により、適正な動作速度に設定できる。

30

【 0 0 6 8 】

本開示の C O F は、C O F の表面に光吸収塗料、材料を塗布あるいは形成し、また、シートを貼り付けて、光を吸収するように構成している。また、C O F に実装されたドライバ I C の表面に放熱板を配置または形成し、ドライバ I C からの放熱を行っている。また、C O F の裏面に放熱シート、放熱板を配置または形成し、ドライバ I C が発生する熱を放熱している。

【 0 0 6 9 】

図 2 において、パネル基板 3 1 に、赤（R）、緑（G）、青（B）からなるカラーフィルター 3 3（3 3 R、3 3 G、3 3 B）が形成されている。なお、カラーフィルターは、R、G、Bに限定されるものではない、シアン（C）、マゼンダ（M）、イエロー（Y）色の画素を形成してもよい。

40

【 0 0 7 0 】

なお、R、G、Bの画素開口率は、異ならせてもよい。開口率を異ならせることにより、各R、G、BのE L 素子 1 5 に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、R、G、BのE L 素子 1 5 の劣化速度を同一にすることができる。劣化速度を同一にすれば、E L 表示装置のホワイトバランスずれが発生しない。

【 0 0 7 1 】

本開示における表示装置は、R、G、Bの3原色に加えて、W（白）の画素 1 6 Wを有

50

している。画素 16W を形成または配置することにより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。

【0072】

本開示における EL パネル（EL 表示装置）の画素 16 の構造は、図 49 などに示すように、1 つの画素 16 がスイッチ用トランジスタ 11 ならびに EL 素子 15 により形成される。

【0073】

なお、ゲート信号線 17 などとカラーフィルタ 33 との間には、絶縁層が形成されるが、説明に不要であるので省略している。なお、以上の事項は、他の実施の形態でも同様である。

【0074】

図 2 に図示するように、アノード電極 40 はゲート信号線 17 と重なるように構成されている。あるいは、ゲート信号線 17 とアノード電極 40 とは、パターンレイアウト設計上、重なる配置となる場合が多い。

【0075】

カラーフィルタ 33（33R、33G、33B）上には、絶縁膜 34 が形成されている。絶縁膜 34 は、カラーフィルタ 33 の水分などが、溶出し、EL 膜 41 などを劣化させることを防止する。また、絶縁膜 34 は平滑膜としても機能する。

【0076】

カラーフィルタ 33 の上層に、画素 16 を構成するトランジスタ 11 が形成される。トランジスタ 11 上には、遮光膜 36 が形成される。また、必要に応じて、トランジスタ 11 の下層、ゲートドライバ回路の下層／上層に、遮光膜 36 が形成される。アノード電極 40 とトランジスタ 11 は、接続部 37 で接続されている。

【0077】

遮光膜 36 はクロムなどの金属薄膜で形成し、その膜厚は 50 nm 以上 150 nm 以下にする。遮光膜 36 の膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ 11 のパターンングが困難になる。

【0078】

ソース信号線 18、ゲート信号線 17 上にアノード電極 40 あるいはカソード電極を配置または形成することにより、ソース信号線 18、ゲート信号線 17 からの電界が、アノード電極 40 あるいはカソード電極で遮蔽される。遮蔽により画像表示へのノイズを低減させることができる。

【0079】

ソース信号線 18、ゲート信号線 17 に絶縁膜あるいはアクリル材料からなる絶縁膜（平坦化膜）34 を形成して絶縁し、絶縁膜 34 上にアノード電極 40 を形成する。

【0080】

このようにゲート信号線 17 等上の少なくとも 1 部にアノード電極 40 を重ねる構成をハイパーチャ（HA）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態を実現できる。

【0081】

絶縁膜（平坦化膜）34 は、層間絶縁膜としても機能する。また、ゲート信号線 17 などとアノード電極 40 との寄生容量を低減する。寄生容量を低減するため、絶縁膜（平坦化膜）34 は、0.4 μm 以上に形成する。しかし、絶縁膜 34 が厚いと、接続部 37 での接続不良が増加する。そのため、絶縁膜 34 は 2.0 μm 以下の膜厚に構成あるいは形成する。

【0082】

絶縁膜 34 の膜厚が 0.4 μm 以下であれば、層間絶縁が不良になり、歩留まりが低下する。2.0 μm 以上であればコンタクト接続部の形成が困難になり、コンタクト不良が発生し、歩留まりが低下する。

【0083】

10

20

30

40

50

画素 16 のアノード電極 40 は、ITO、IGZO、IZO、TAOS などからなる透明電極を用いることができる。

【0084】

アノード電極 40 とゲート信号線 17 間に発生する寄生容量は、ゲート信号線 17 の立ち上がり、立下り時間に影響する。高速な応答性を必要とするゲート信号線 17 は、外部接続のゲートドライバ IC 12 で駆動される。また、アノード電圧、カソード電圧などは、COF22 の補強配線（図示せず）で補強したリング（図示せず）から供給される。したがって、表示画面位置によらず、アノード電圧などの電圧降下が小さい。

【0085】

光散乱膜 38 は、パネル内から放射される光を増加させることに寄与する。EL 素子の EL 膜 41 から発生した光は、パネル基板 31 に入射し（軌跡 a）、パネル基板 31 から出射する。しかし、パネル基板 31 の光出射面での、光入射角が臨界角より大きいと、反射して再び EL 膜 41 に戻ってきてしまう（軌跡 b）。

10

【0086】

光散乱膜 38 は、光拡散性能にも依存するが、0.1 (μm) 以上、1.5 (μm) 以下の膜厚に形成することが好ましい。

【0087】

なお、パネル基板 31 の光出射面には、円偏光板（円偏光フィルム）32 を配置している。偏光板と位相フィルムを一体したものは円偏光板（円偏光フィルム）と呼ばれる。

【0088】

従来の EL 表示パネルでは、軌跡 b の光は、EL 表示パネル内を乱反射し、吸収されてしまう。したがって、軌跡 b の光は、吸収され、パネルから外部には出射されない。

20

【0089】

本開示に係る EL 表示パネルでは、軌跡 b の光は、光散乱膜 38 で散乱され、光の軌跡が変化する。軌跡の変化の結果、パネルの光出射面で臨界角以下の角度になった光は、パネルから出射する（軌跡 c）。

【0090】

以上のように、光散乱膜 38 で、パネルの界面で反射した光を、軌跡を変化させることにより、パネルから外部に光が出射されるようにする。したがって、EL 表示パネルは、光利用率が高く、高輝度表示を実現できる。

30

【0091】

なお、光散乱膜 38 は、絶縁膜 34 の上に形成されとしたが、これに限定されるものではなく、絶縁膜 34 の下層に光散乱膜 38 を形成してもよい。

【0092】

カラーフィルタ 33 の周辺部には、ブラックマトリックス（BM）を形成してもよい。このましくは、ブラックマトリックス（BM）は、光吸収特性を有する光吸収膜で構成することが好ましい。パネル内でハレーションする光を低減することができるからである。

【0093】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルタの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。

40

【0094】

その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成された PrMnO₃ 膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【0095】

アノード電極 40 の周辺部には、リブ（土手）39 を形成する。リブ（土手）は、EL のマスク蒸着時のリブ（土手）39 としても用いる。リブ（土手）39 を、蒸着マスクの

50

接触部として使用し、E L 膜 4 1 (4 1 R、4 1 G、4 1 B) が形成される。

【 0 0 9 6 】

E L 膜 4 1 上には、金属材料からなるカソード電極 4 3 が形成される。カソード電極 4 3 の使用材料としては、銀 (A g)、アルミニウム (A l)、マグネシウム (M g)、カルシウム (C a) あるいはこれらの合金が例示される。また、M g - A g の構成が例示される。その他、E L 素子 1 5 の構造に依存するが、I T O、I G Z O、I Z O、T A O S などからなる透明電極を用いることができる。

【 0 0 9 7 】

以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

10

【 0 0 9 8 】

図 1 に示すように、「上取り出し」の場合の E L 表示装置では、E L 膜 4 1 を形成後、E L 膜 4 1 上に、カソード (もしくはアノード) となるマグネシウム - 銀 (M g - A g) 膜を 2 0 以上、3 0 0 以下の膜厚で形成する。また、必要に応じて、M g - A g 膜上に、I T O などの透明電極を形成して低抵抗化することが好ましい。

【 0 0 9 9 】

また、「上取り出し」の場合の E L 表示装置では、カソード電極の上層あるいは下層に、金属薄膜からなる低抵抗化配線 4 4 を形成している。低抵抗化配線 4 4 は液晶表示パネルのブラックマトリックス (B M) と同様の構成が例示される。たとえば、クロム (C r)、アルミニウム (A l)、チタン (T i)、銅 (C u) が用いられる。また、複数の金属材料が多層に形成される、たとえば、T i、C u、T i の 3 層構成、T i、A l、T i の 3 層構成が例示される。また、複数の金属材料の合金で形成される。以上の構成、方式、内容は、リング (図示せず) にも適用できることは言うまでもない。

20

【 0 1 0 0 】

B M 膜厚は、厚い方が低抵抗化でき、好ましいが、凹凸の問題から、膜厚は、2 0 0 (n m) 以上、8 0 0 (n m) 以下の膜厚に設定される。B M 4 4 は、画素 1 6 あるいはアノード電極 4 0 位置に対応して形成される。つまり、主として、B M 4 4 は、画素電極間に形成される。

【 0 1 0 1 】

なお、R、G、B、(W) を 1 組、もしくは R、G、B、(W) の複数の組を 1 組として、B M 4 4 を形成してもよい。B M 4 4 は、ゲートドライバ I C 1 2 の上層などにも形成してもよい。B M 4 4 が遮光膜として機能し、ゲートドライバ I C 1 2 の誤動作抑制にも、機能するからである。

30

【 0 1 0 2 】

以上の説明では、B M 4 4 として、説明したが、基本的には、有機 E L では B M を形成する必要はないから、L C D の B M とは異なる。なお、低抵抗化配線 (B M) 4 4 は光透過性を有する電極の上層に限定するものではなく、下層に形成してもよい。また、カソード電極、アノード電極などと積層した構成にしてもよい。

【 0 1 0 3 】

また、B M 4 4 のシート抵抗値あるいは単位長さあたりの抵抗値は、表示画面 2 5 の部分に合わせて分布を持たせることが好ましい。表示画面 2 5 の中央部あるいは、電圧の給電点から多い箇所は、電圧降下が大きい。そのため、電圧の給電点から遠くなるにしたがって、B M 4 4 の幅を太くする、あるいは、B M 4 4 の膜厚を厚くすることにより抵抗値を減少させる。表示画面 2 5 の中央部になるにしたがって、B M 4 4 の幅を太くする、あるいは膜厚を厚くすることにより、抵抗値あるいはシート抵抗値を減少させる。

40

【 0 1 0 4 】

B M 4 4 の幅は、パネルの設計時に B M 幅を太くすることにより実現できる。B M 4 4 の厚みを表示画面 2 5 の中央部で厚くすることは、B M 4 4 材料を蒸着時に分布を持たせることにより実現できる。たとえば、同心円状に膜厚分布を発生させる。

【 0 1 0 5 】

50

ガラス基板 48 は、接着層 47 で接着される。ガラス基板 48 は、薄膜封止膜であってもよい。また、フィルムを用いた封止構造であってもよい。

【0106】

ガラス基板 48 の替わりに封止フィルム（薄膜封止膜）を用いる場合は、DLC（ダイヤモンドライクカーボン）を蒸着した DLC 膜を用いることが例示される。このフィルムは防湿性能が高い。このフィルムを封止膜として用いる。

【0107】

DLC 膜などをカソード電極 43 の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【0108】

図 3 は、本開示の EL 表示装置の説明図である。図 3 の画素 16 において、P チャンネルの駆動用トランジスタ 11a のドレイン端子に、スイッチ用トランジスタ 11d のソース端子が接続され、スイッチ用トランジスタ 11d のドレイン端子に EL 素子 15 のアノード端子が接続されている。

【0109】

EL 素子 15 のカソード端子には、カソード電圧 V_{ss} が印加されている。駆動用トランジスタ 11a のソース端子には、アノード電圧 V_{dd} が印加されている。アノード電圧 $V_{dd} >$ カソード電圧 V_{ss} の関係がある。

【0110】

なお、アノード電圧は、ソースドライバ IC 14 が出力する映像信号の最大振幅に基づいて可変できるように構成されている。

【0111】

また、スイッチ用トランジスタ 11d をオンオフさせることにより、*duty*（デューティ）駆動を実施する。

【0112】

ゲート信号線 17b にオン電圧が印加されると、スイッチ用トランジスタ 11d がオンし、駆動用トランジスタ 11a からの発光電流が EL 素子 15 に供給される。EL 素子 15 は、発光電流の大きさに基づき、発光する。発光電流の大きさは、ソース信号線 18 に印加された映像信号を、スイッチ用トランジスタ 11b で画素 16 に印加することにより決定する。

【0113】

駆動用トランジスタ 11a のゲート端子には、コンデンサ 19a の 1 端子が接続され、コンデンサ 19a の他の端子は、スイッチ用トランジスタ 11b のドレイン端子と接続されている。スイッチ用トランジスタ 11b のソース端子は、ソース信号線 18 と接続されている。ゲート信号線 17a にオン電圧が印加されると、スイッチ用トランジスタ 11a がオンして、ソース信号線 18 に印加された映像信号（電圧、電流） V_s が、画素 16 に印加される。

【0114】

コンデンサ 19a の一端子は、スイッチ用トランジスタ 11b のドレイン端子と接続され、他方の端子は、アノード電極と接続され、アノード電圧 V_{dd} が印加される。

【0115】

なお、コンデンサ 19a の他方の端子は、アノード電極 40 と接続され、アノード電圧 V_{dd} が印加されているとしたが、これに限定するものではない。たとえば、他の任意の直流電圧と接続してもよい。

【0116】

駆動用トランジスタ 11a のソース端子は、アノード電極 40 と接続され、アノード電圧 V_{dd} が印加されているとしたが、これに限定するものではない。たとえば、他の任意の直流電圧と接続してもよい。つまり、コンデンサ 19a の他の端子と、駆動用トランジスタ 11a のソース端子は、異なる電位の端子と接続してもよい。

【0117】

10

20

30

40

50

映像信号 V s を画素 1 6 に印加するスイッチ用トランジスタ 1 1 b を駆動するゲート信号線 1 7 a には、ゲートドライバ I C 1 2 a とゲートドライバ I C 1 2 b とが接続されている。一例として、ゲートドライバ I C 1 2 a は、表示画面 2 5 の左側に配置され、ゲートドライバ I C 1 2 b は、表示画面 2 5 (後述する図 2 4 参照) の右側に配置される。

【 0 1 1 8 】

図 3 などに図示するように、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) 内には、オン電圧を印加するゲート信号線を指定するシフトレジスタ 5 1 と、ゲート信号線 1 7 を駆動 (オンオフ電圧、オンオフ電流を供給) する出力バッファ 5 2 が形成または配置されている。

【 0 1 1 9 】

なお、図 4 に図示するように、出力バッファ 5 2 のバッファ能力は、複数の出力能力に設定あるいは切り替えできるように構成されている。切り替えなどは、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) に配置されたロジックピン (B u f 1 、 B u f 2 ピン) で行う。たとえば、ロジックピンが 3 ピンの場合は、2 の 3 乗の 8 通りのバッファ能力に設定することができる。

【 0 1 2 0 】

なお、シフトレジスタ 5 1 と出力バッファ 5 2 の組を、ゲート信号線出力回路 5 3 と呼ぶ。

【 0 1 2 1 】

ゲート信号線 1 7 a に、2 つのゲートドライバ I C 1 2 (1 2 a 、 1 2 b) が配置されているのは、以下の理由による。

【 0 1 2 2 】

ゲート信号線 1 7 a は、スイッチ用トランジスタ 1 1 b に接続されている。スイッチ用トランジスタ 1 1 b は、映像信号を画素 1 6 に書き込むトランジスタであり、スイッチ用トランジスタ 1 1 b は高速のオンオフ (高スルーレート動作) 動作を行うことが必要である。ゲート信号線 1 7 a は、2 つのゲートドライバ I C 1 2 (1 2 a 、 1 2 b) で駆動することにより、高スルーレート動作を実現できる。

【 0 1 2 3 】

なお、以上の実施の形態において、ゲート信号線 1 7 に 2 つのゲートドライバ I C 1 2 が接続されているとして説明したが、本開示はこれに限定するものではない。図 3 で図示するように、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) 内には、出力バッファ 5 2 が形成または配置されている。したがって、ゲート信号線 1 7 a には、2 つの出力バッファが接続されているのと等価である。なお、シフトレジスタ 5 1 と出力バッファ 5 2 の組を、ゲート信号線出力回路 5 3 と呼ぶ。

【 0 1 2 4 】

ゲート信号線 1 7 a を 2 つのゲートドライバ I C 1 2 (1 2 a 、 1 2 b) で駆動することにより、表示画面 2 5 の左右、中央での輝度傾斜などがなくなり、良好な画像表示を実現できる。また、ゲート信号線 1 7 a の負荷容量が大きくても、良好にスイッチ用トランジスタ 1 1 b をオンオフさせることができる。

【 0 1 2 5 】

ゲート信号線 1 7 b は、1 つのゲートドライバ I C 1 2 a が接続されている。つまり、ゲート信号線 1 7 b には、1 つの出力バッファ 5 2 が接続されている。

【 0 1 2 6 】

ゲート信号線 1 7 b には、スイッチ用トランジスタ 1 1 d が接続されている。スイッチ用トランジスタ 1 1 d は、駆動用トランジスタ 1 1 a から、E L 素子 1 5 に流す駆動電流をオンオフさせる機能を有する。E L 素子 1 5 に流す電流をオンオフする動作は、低スルーレートで十分である。

【 0 1 2 7 】

したがって、ゲート信号線 1 7 b は、1 つのゲートドライバ I C 1 2 a (1 つの出力バッファ 5 2 で駆動する) ことで十分な性能を得ることができる。

10

20

30

40

50

【 0 1 2 8 】

図 3 において、ゲートドライバ I C 1 2 a とゲートドライバ I C 1 2 b は、同一のゲートドライバ I C である。ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) には、画素 1 6 に接続されているゲート信号線 1 7 の本数のシフトレジスタ 5 1 が形成または配置されている。たとえば、図 3 に示す E L 表示装置の画素回路の構成では、画素 1 6 のゲート信号線は、ゲート信号線 1 7 a および 1 7 b の 2 本であるので、シフトレジスタはシフトレジスタ 5 1 a および 5 1 b の 2 個である。後述する図 4 4 に示す E L 表示装置の画素回路の構成では、画素 1 6 のゲート信号線は 4 本 (ゲート信号線 1 7 a 、 1 7 b 、 1 7 c 、 1 7 d) であるので、シフトレジスタは 4 個 (シフトレジスタ 5 1 a 、 5 1 b 、 5 1 c 、 5 1 d) である。

10

【 0 1 2 9 】

図 3 の実施の形態では、画素 1 6 には、ゲート信号線 1 7 a とゲート信号線 1 7 b の 2 つのゲート信号線 1 7 が形成されている。ゲート信号線 1 7 a に対し、ゲートドライバ I C 1 2 a のシフトレジスタ 5 1 a が配置され、ゲート信号線 1 7 b に対し、ゲートドライバ I C 1 2 a のシフトレジスタ 5 1 b が配置されている。つまり、2 つのシフトレジスタ 5 1 がゲートドライバ I C 1 2 内に形成されている。

【 0 1 3 0 】

図 3 において、ゲート信号線 1 7 a の両端は、それぞれゲートドライバ I C 1 2 a および 1 2 b に接続されている (両側駆動) 。ゲート信号線 1 7 b の一端は、ゲートドライバ I C 1 2 a に接続されている。ゲート信号線 1 7 b の他端は、オープンである (片側駆動) 。ゲートドライバ I C 1 2 b 内のシフトレジスタ 5 1 a は、奇数画素行目のゲート信号線 1 7 a と電氣的に接続され、ゲートドライバ I C 1 2 b 内のシフトレジスタ 5 1 b は、偶数画素行目のゲート信号線 1 7 a と電氣的に接続されている。

20

【 0 1 3 1 】

したがって、ゲートドライバ I C 1 2 b のシフトクロックは、ゲートドライバ I C 1 2 a のシフトクロックの 1 / 2 の速度とする。

【 0 1 3 2 】

図 4 は、本開示の他の実施の形態にかかるゲートドライバ I C の説明図である。バッファ能力を設定する制御端子である B u f 端子 (B u f 1 、 B u f 2) は、連続接続線が接続されたドライバ入力端子 7 3 a とドライバ出力端子 7 2 間に配置または形成されている。

30

【 0 1 3 3 】

ロジック設定を行う制御端子である S E L 端子は、連続接続線が接続された C l k などの制御端子を印加するドライバ入力端子 7 3 b とドライバ出力端子 7 2 間に配置または形成されている。

【 0 1 3 4 】

なお、以上の実施の形態では、ロジックなどを設定する制御端子は、連続接続線が接続されたドライバ入力端子 7 3 a またはドライバ入力端子 7 3 b と、ドライバ出力端子 7 2 間に配置または形成されているとした。しかし、これに限定するものではない。C O F 2 2 は、配線が 1 層のため、C O F 配線 7 4 は交差部を形成することができない。したがって、ドライバ I C の端子位置は、C O F 2 2 の接続位置で表現できる。

40

【 0 1 3 5 】

たとえば、図 4 において、C O F 2 2 の接続端子で表現すれば、B u f 端子は C O F 2 2 の接続端子 7 5 c に接続され、C l k 2 などの制御端子は接続端子 7 5 a に接続され、ゲートドライバ I C 1 2 の C O F 配線 7 4 e は接続端子 7 1 に接続されている。また、S E L 端子は、C O F 2 2 の接続端子 7 5 c に接続され、C l k 2 などの制御端子は接続端子 7 5 b に接続されている。

【 0 1 3 6 】

したがって、本開示において、ロジック設定端子である B u f 端子 (B u f 1 、 B u f 2) の C O F 2 2 g の接続端子 7 5 c は、接続端子 7 5 a と、接続端子 7 1 間に配置ある

50

いは接続されている。また、本開示において、ロジック設定端子であるSEL端子は、接続端子75bと、接続端子71間に配置または接続されている。また、COF配線74a、COF配線74c（図示せず）、COF配線74bは連続接続線を構成している。

【0137】

図5は、本開示の他の実施の形態におけるEL表示装置（EL表示パネル）の画素の説明図である。

【0138】

図5にかかるEL表示装置では、画素16には、ゲート信号線17a、ゲート信号線17b、ゲート信号線17cおよびゲート信号線17dの4つのゲート信号線17が形成されている。ゲート信号線17aに対し、ゲートドライバIC12aのシフトレジスタ51a（図示せず）が配置され、ゲート信号線17bに対し、ゲートドライバIC12aのシフトレジスタ51b（図示せず）が配置され、ゲート信号線17cに対し、ゲートドライバIC12aのシフトレジスタ51c（図示せず）が配置され、ゲート信号線17dに対し、ゲートドライバIC12aのシフトレジスタ51d（図示せず）が配置されている。なお、図3に示したEL表示装置の画素回路の構成では、画素16のゲート信号線は2本であるので、シフトレジスタは2個である。

10

【0139】

図5の画素16において、Nチャンネルのスイッチ用トランジスタ11dの第1の端子は、アノード電圧Vddの電極または配線と接続され、第2の端子は駆動用トランジスタ11aの第1の端子と接続されている。また、スイッチ用トランジスタ11dのゲート端子は、ゲート信号線17bと接続されている。

20

【0140】

なお、図5において、トランジスタはNチャンネルトランジスタとしたが、これに限定するものではなく、Pチャンネルトランジスタであってもよい。また、PチャンネルとNチャンネルトランジスタを混在させてもよい。

【0141】

スイッチ用トランジスタ11eの第1の端子はリセット電圧Vrefが印加された電極または配線と接続され、スイッチ用トランジスタ11eの第2の端子は、駆動用トランジスタ11aのゲート端子と接続されている。また、スイッチ用トランジスタ11eのゲート端子はゲート信号線17cと接続されている。

30

【0142】

映像信号を画素に印加するスイッチ用トランジスタ11bの第1の端子はソース信号線18と接続され、スイッチ用トランジスタ11bの第2の端子は、駆動用トランジスタ11aのゲート端子と接続されている。また、スイッチ用トランジスタ11bのゲート端子はゲート信号線17aと接続されている。

【0143】

スイッチ用トランジスタ11cの第1の端子はイニシャル電圧Vinが印加された電極または配線と接続され、スイッチ用トランジスタ11cの第2の端子は、駆動用トランジスタ11aの第2の端子と接続されている。また、スイッチ用トランジスタ11cゲート端子はゲート信号線17dと接続されている。

40

【0144】

駆動用トランジスタ11aの第2の端子には、EL素子15の第1の端子が接続され、EL素子15の第2の端子は、カソード電圧Vssが印加された電極あるいは配線と接続されている。

【0145】

コンデンサ19の第1の端子は、駆動用トランジスタ11aのゲート端子に接続され、コンデンサ19の第2の端子は、駆動用トランジスタ11aの第2の端子に接続されている。

【0146】

スイッチ用トランジスタ11b、11eの少なくとも一方のトランジスタに対して、マ

50

ルチゲート（ディアルゲート以上）構造を採用することにより、また、LDD（Lightly Doped Drain）構造と組み合わせることにより、オフリークを抑制でき、良好なコントラスト、オフセットキャンセル動作を実現できる。また、良好な高輝度表示、画像表示を実現できる。

【0147】

ゲート信号線17aおよびゲート信号線17cは、ゲートドライバIC12aおよびゲートドライバIC12bにより両側駆動されている。また、ゲート信号線17cおよびゲート信号線17dは、ゲートドライバIC12aにより片側駆動されている。

【0148】

図5では、画素16に映像信号を印加するスイッチ用トランジスタ11bが接続されたゲート信号線17cに対して両側駆動を行う。また、駆動用トランジスタ11aのオフセットキャンセル時に動作あるいは制御を行うスイッチ用トランジスタ11dが接続されたゲート信号線17aに対して両側駆動を行う。

10

【0149】

図6は、ゲートドライバIC12を、フレキシブル基板(COF)22gに実装した状態を模式的に図示した説明図である。

【0150】

ゲート信号線出力回路53aには、シフトレジスタ（図示せず）にデータを入力するデータ入力端子(Dat1)、シフトレジスタ（図示せず）の出力をイネーブル（ゲート信号線にオン電圧を出力する）、あるいはディセーブル（ゲート信号線にオフ電圧を出力する）にするイネーブル入力端子(Enb1)、シフトレジスタ（図示せず）内のデータをシフトするクロックを入力するクロック入力端子(Clk1)が接続または配置されている。

20

【0151】

ゲート信号線出力回路53bには、シフトレジスタ（図示せず）にデータを入力するデータ入力端子(Dat2)、シフトレジスタ（図示せず）の出力をイネーブル（ゲート信号線にオン電圧を出力する）、あるいはディセーブル（ゲート信号線にオフ電圧を出力する）にするイネーブル入力端子(Enb2)、シフトレジスタ（図示せず）内のデータをシフトするクロックを入力するクロック入力端子(Clk2)が接続または配置されている。

30

【0152】

フレキシブル基板22gには、COF配線74（74a、74b、74c、74d、74e）が形成され、各端子には、COF配線74a、74b、74cを介して、ドライバ入力端子73（73a、73b）からゲートドライバIC12に信号あるいは電圧が印加される。

【0153】

図6に図示するように、制御端子であるSEL（SEL1、SEL2）端子は、接続端子75cを介してゲートドライバIC12と接続されている。電圧印加端子Voff1、Voff2端子は接続端子75bを介して、ゲートドライバIC12に接続されている。

40

【0154】

SEL端子、電圧印加端子は、ゲートドライバIC12の出力側に配置または形成されている。

【0155】

また、SEL端子などのロジックの設定端子の接続端子75cは、接続端子71とドライバ入力端子（73a、73b）間に配置または形成されている。

【0156】

接続端子75cには、ロジック端子SEL1、SEL2からロジック電圧などの所定電圧が印加される。前記電圧は、COF22gに形成された、COF内部の一点と接続端子とを接続する配線（以下、「端子接続線」と呼称する）74dを介して、ゲートドライバIC12の操作端子76に印加される。

50

【0157】

ゲートドライバIC12からの出力信号は、ドライバ出力端子72、COF配線74eを介して接続端子71から出力される。接続端子71には、ゲート信号線17が接続される。

【0158】

図7に図示するように、ゲートドライバIC12のチップの長辺側の左右に各1か所以上のドライバ入力端子73(73a、73b)を設ける。このように構成することにより、電圧の電位降下の影響を受けにくくなり、また、1つのドライバ入力端子73(73a、73b)が接続不良となっても、ゲートドライバIC12の動作に影響を与えない。

【0159】

図7に図示するように、SEL端子、Voff端子は、Von入力端子(VonA、VonB)と、ドライバ出力端子72間に配置されている。Dat1、Enb1、Clk1、Dat2、Enb2、Clk2などの制御信号は、ゲートドライバIC12の2カ所以上に形成または配置されている。好ましくは、前記2カ所は、ゲートドライバIC12の短辺の中央線に対して、線対称になる位置に配置することが好ましい。

【0160】

Dat1、Enb1、Clk1、Dat2、Enb2、Clk2などの制御信号の入力段には、シュミット回路あるいはヒステリシス回路などの入力段回路を形成している。また、ゲート信号線出力回路53で、入力信号がラッチされるように構成されている。たとえば、Clk2において、接続端子75aに入力されたクロックは、COF配線74aを介して、ドライバ入力端子73aに印加される。ドライバ入力端子73aに印加されたクロック信号は、ゲート信号線出力回路53bのシュミット回路でノイズ成分を除去され、ラッチ回路(図示せず)でラッチされる。ラッチされたクロックデータは、ゲート信号線出力回路53aの内部に形成された配線(図示せず)を介して、ドライバ入力端子73bに出力される。ドライバ入力端子73bから出力されたクロックデータClk2は、COF配線74cを介して接続端子75bから出力される。

【0161】

図7では、ドライバ入力端子73aとドライバ入力端子73b間にCOF配線74bを形成しているが、このCOF配線は、データ伝送を補強するためのものである。したがって、省略することも可能であるが、COF配線74bを形成することにより、安定して制御データを伝送することができる。

【0162】

また、ドライバ入力端子73aとドライバ入力端子73bに接続されている配線が、Von電圧配線、Voff電圧配線などの電源配線の場合は、COF配線74bをバイパス線として機能する。COF配線74bは、電源配線のインピーダンスを低減させ、安定供給性が向上する。

【0163】

なお、図8A、図8B、図9に示すように、ドライバ入力端子73aとドライバ入力端子73bに接続されている配線が、Von電圧配線、Voff電圧配線などの電源配線の場合においても、内部配線262(262a、262b、262c)をさらに付加してもよい。つまり、ドライバ入力端子73aとドライバ入力端子73b間を、COF配線74bと、内部配線262(262a、262b、262c)で結線してもよい。さらに、オン電圧Von(VonA、VonB)の入力端子も複数端子が配置または形成されていてもよい。

【0164】

図8A、図8Bに図示するように、内部配線262の途中には、双方向バッファ271が配置されている。内部配線262aはドライバ入力端子73aと双方向バッファ271aとを電氣的に接続している。内部配線262bは双方向バッファ271aと双方向バッファ271bとを電氣的に接続している。内部配線262cはドライバ入力端子73bと双方向バッファ271bとを電氣的に接続している。データDat、クロックClk、イ

10

20

30

40

50

ネーブル E n b 端子は、ドライバ入力端子 7 3 a が入力で、ドライバ入力端子 7 3 b が出力になる場合と、ドライバ入力端子 7 3 b が入力で、ドライバ入力端子 7 3 a が出力になる場合とがある。

【0165】

内部配線 2 6 2 には、クロック C l k、データ D a t、イネーブル E n b などの制御信号が伝達する。C O F 配線 7 4 c は、オン電圧 V o n、オフ電圧 V o f f、ロジック電圧 V c c、グランド電圧 V g g を伝達する。

【0166】

内部配線 2 6 2 で、クロック C l k、データ D a t、イネーブル E n b などの制御信号が伝達するため、C O F 2 2 には、制御信号線用の C O F 配線 7 4 c の形成または配置が必要でない。そのため、図 5 0 における A 距離、B 距離を短くできる。結果、C O F 2 2 サイズが小さくできるため、低コスト化を実現できる。

10

【0167】

また、クロック C l k、データ D a t、イネーブル E n b の制御信号が伝達される配線は、内部配線 2 6 2 に双方向バッファ 2 7 1 を配置し、また、双方向バッファ 2 7 1 は、ヒステリシス入力仕様としている。したがって、波形整形が行われ、遅延時間の調整が行われる。そのため、表示画面 3 5 のゲート信号線 1 7 の同期制御を実現が容易である。また、図 1 3 の遅延回路 4 8 5 との同期が実現しやすいため、高画質化を実現できる。

【0168】

図 9 は、1 つのドライバ入力端子 7 3 に対して、複数のドライバ入力端子 7 3 を配置し、このドライバ入力端子間を、内部配線 2 6 2 で結線した構成である。たとえば、2 つのドライバ入力端子 S 1 a (7 3 b 1、7 3 b 2) が形成され、ドライバ入力端子 S 1 a (7 3 b 1) とドライバ入力端子 S 1 a (7 3 b 2) 間が、内部配線 2 6 2 で電氣的に接続されている。同様に、たとえば、2 つのドライバ入力端子 S 1 a (7 3 a 1、7 3 a 2) が形成され、ドライバ入力端子 S 1 a (7 3 a 1) とドライバ入力端子 S 1 a (7 3 a 2) 間が、内部配線 2 6 2 で電氣的に接続されている。

20

【0169】

また、ドライバ入力端子 S 3 b と S 2 b 間は、C O F 配線 7 4 f 1 で電氣的に接続されている。ドライバ入力端子 S 2 b と S 3 b 間は、C O F 配線 7 4 f 2 で電氣的に接続されている。

30

【0170】

以上のように構成することにより、ゲートドライバ I C 1 2 に制御信号を供給する C O F 配線 7 4 a 1 で、複数のドライバ入力端子 S 2 b、S 3 b に制御信号を供給できる。また、ゲートドライバ I C 1 2 に制御信号を供給する C O F 配線 7 4 c 1 で、複数のドライバ入力端子 S 2 b、S 3 b に電圧を供給できる。

【0171】

なお、図 9 に示す E L 表示装置では、ゲートドライバ I C 1 2 には、ゲート信号線出力回路 5 3 a、ゲート信号線出力回路 5 3 b が形成または配置されている。ゲート信号線出力回路 5 3 には、選択端子 (S E L 1、S E L 2) が接続され、2 つのオフ電圧入力端子 (V o f f 1、V o f f 2)、1 つのオン電圧入力端子 (ゲート信号線出力回路 5 3 a は V o n A、ゲート信号線出力回路 5 3 b は V o n B) が接続されている。S E L 端子 (S E L 1、S E L 2) は、プルダウンされている。S E L 端子は、ゲート電圧 3 値駆動とゲート電圧 2 値駆動を切り替えるロジック端子である。また、ゲート電圧 3 値駆動とゲート電圧 2 値駆動については、図 2 1、図 2 2 A、図 2 2 B、図 2 0 A、図 2 0 B、図 2 8、図 2 9 などを参照して、後に説明をする。

40

【0172】

ゲートドライバ I C 1 2 のドライバ出力端子 7 2 からゲート信号線 1 7 に印加するオン電圧およびオフ電圧が出力される。ドライバ出力端子 7 2 と接続端子 7 1 間は、C O F 2 2 g に形成された C O F 配線 7 4 e で電氣的に接続されている。

【0173】

50

クロックC l k、データD a t、オン電圧V o nなどは、2つ以上の接続端子7 5間を接続する配線（以下、「連続接続線」と呼称する）（後述する図5 0などで、C O F配線7 4 a→C O F配線7 4 b→C O F配線7 4 cの配線）または、（後述する図5 0などで、パネル配線9 1 a→C O F配線7 4 a→C O F配線7 4 b→C O F配線7 4 c→パネル配線9 1 b）を行う配線は、ドライバ入力端子7 3 b、ドライバ入力端子7 3 aと接続されている。

【0 1 7 4】

ドライバ入力端子7 3 aと接続端子7 5 aとは、C O F 2 2 g上に形成されたC O F配線7 4 aで電氣的に接続されている。また、ドライバ入力端子7 3 bと接続端子7 5 bとは、C O F 2 2 g上に形成されたC O F配線7 4 cで電氣的に接続されている。

10

【0 1 7 5】

なお、図7、図5 0で図示するように、ドライバ入力端子7 3 aとドライバ入力端子7 3 bとは、C O F 2 2 g上に形成されたC O F配線7 4 bで電氣的に接続されている。

【0 1 7 6】

ゲートドライバI C 1 2の操作端子7 6は、ドライバ出力端子7 2とドライバ入力端子7 3 a間、または、ドライバ出力端子7 2とドライバ入力端子7 3 b間、もしくは、その両方間である、ドライバ出力端子7 2とドライバ入力端子7 3 a間、ドライバ出力端子7 2とドライバ入力端子7 3 b間に配置または形成されている。

【0 1 7 7】

C O F 2 2には、連続接続線（7 4 a、7 4 b、7 4 c）が形成され、また、ゲートドライバI C 1 2からゲート信号線1 7にオン電圧（V o n）、オフ電圧（V o f f 1、V o f f 2）を伝送するC O F接続線7 4 eが形成されている。

20

【0 1 7 8】

C O F接続線7 4 dは、C O F接続線7 4 eとC O F配線7 4 c間もしくは、C O F配線7 4 aとC O F接続線7 4 e間に配置または形成される。したがって、C O F接続線7 4 dは、C O F接続線7 4 e、C O F配線7 4 a、C O F配線7 4 bおよびC O F配線7 4 cと交差部が発生しない。したがって、C O F 2 2が片面配線であっても、C O F接続線7 4 dを容易に形成することができる。

【0 1 7 9】

また、C O F接続線7 4 dには、パネル側（パネル配線9 1が形成された側）から、C O F配線7 4に電圧印加できるように、パターンレイアウトが容易にできる。

30

【0 1 8 0】

以上のように、C O F接続線7 4 dに接続された端子（たとえば、S E L端子）は、連続接続線とする必要がない。そのため、連続接続線となるC O F配線7 4 a、7 4 b、7 4 cの本数を削減できる。

【0 1 8 1】

以上の本開示の構成により、図5 0で説明したB距離、A距離、C距離、D距離を短く、あるいは小さくすることができる。したがって、C O F 2 2のサイズを小さくでき、また、ドライバI Cのサイズを小さくできるから、E L表示装置の低コストを実現できる。

【0 1 8 2】

なお、図9において、Rは抵抗である。S E Lのロジックをプルダウン状態としている。なお、抵抗Rは、ゲートドライバI C 1 2内に形成してもよいことは言うまでもない。

40

【0 1 8 3】

図1 0に図示するように、ゲートドライバI C 1 2に入力する制御信号線、電圧配線のC O F配線7 4は、連続接続でパターン形成されている。つまり、連続接続線で形成されている。

【0 1 8 4】

パネル基板3 1には、パネル配線9 1が形成あるいはパターンニングされている。パネル配線9 1は、オン電圧V o n、オフ電圧V o f f、アノード電圧V d d、カソード電圧V s sなどの電源配線、C l k、E n bなどの制御配線である。

50

【 0 1 8 5 】

なお、V o n は、ゲート信号線 1 7 に印加するオン電圧、V o f f はゲート信号線 1 7 に印加するオフ電圧、V c c は、ゲートドライバ I C 1 2 で使用するロジック回路の電源電圧グラウンド電圧 V g g 、V g g は、ロジックのグラウンド電圧である。

【 0 1 8 6 】

パネル配線 9 1 a の最内側のパネル配線 9 1 a 1、パネル配線 9 1 a の最内側のパネル配線 9 1 b 1 は、V c c 電圧あるいは V g g 電圧が印加された配線である。V c c 電圧あるいは V g g 電圧は、広義にはロジック端子の設定電圧である。

【 0 1 8 7 】

ただし、9 1 a 1、9 1 a 2 に印加電圧として、V o n 電圧あるいは V o f f 電圧であってもよい。つまり、一定の期間において、固定の定常的な電圧であればよい。V o n 電圧または V o f f 電圧を、ドライバ I C 1 2 内のレベル変換回路でレベルシフトあるいはレベルダウン処理を行うことにより、ドライバ I C のロジック設定を行う電圧レベルの信号として用いることができる。

10

【 0 1 8 8 】

パネル配線 9 1 a 1 から入力制御配線 2 6 1 a が分岐されている。入力制御配線 2 6 1 a は、C O F 2 2 g の接続端子 7 5 c に接続されている。接続端子 7 5 c は、ロジックレベルの制御電圧を印加する端子である。なお、ロジックレベルの制御電圧は、ロジック設定を行う信号電圧である。たとえば、第 1 の所定電圧以上をロジックの H レベルとし、第 2 の所定電圧以下をロジックの L レベルとする。ゲートドライバ I C 1 2 の操作端子 7 6 と接続端子 7 5 c とは、C O F 接続線 7 4 d で電氣的に接続されている。

20

【 0 1 8 9 】

パネル配線 9 1 b 1 から入力制御配線 2 6 1 b が分岐されている。入力制御配線 2 6 1 b は、C O F 2 2 g の接続端子 7 5 c に接続されている。ゲートドライバ I C 1 2 の操作端子 7 6 と接続端子 7 5 c とは、C O F 接続線 7 4 d で電氣的に接続されている。なお、操作端子 7 6 は、ゲート信号線との接続端子 7 1 と、ゲートドライバ I C 1 2 のドライバ入力端子 7 3 a 間に配置される。

【 0 1 9 0 】

パネル配線 9 1 a は、紙面の上側の接続端子 7 5 a を介して、C O F 2 2 の C O F 配線 7 4 a と接続されている。C O F 配線 7 4 a は、ドライバ入力端子 7 3 a と接続されている。ドライバ入力端子 7 3 a とドライバ入力端子 7 3 b 間は、C O F 配線 7 4 b で電氣的に接続されている。

30

【 0 1 9 1 】

以上のように、ゲートドライバ I C 1 2 には、1 種類の電圧、1 種類の制御信号に対して、複数のドライバ入力端子 7 3 が配置または形成されている。

【 0 1 9 2 】

ドライバ入力端子 7 3 b と接続端子 7 5 b とは、C O F 配線 7 4 c で電氣的に接続されている。また、接続端子 7 5 b は、パネル配線 9 1 b と接続されている。

【 0 1 9 3 】

以上のように、パネル配線 9 1 a、接続端子 7 5 a、C O F 配線 7 4 a、ドライバ入力端子 7 3 a、C O F 配線 7 4 b、ドライバ入力端子 7 3 b、C O F 配線 7 4 c、接続端子 7 5 b、パネル配線 9 1 b と連続接続で形成または配置されている。つまり、連続接続線で接続されている。

40

【 0 1 9 4 】

図 1 1 は、複数のフレキシブル基板 2 2 g をパネル基板 3 1 に実装した状態の説明図である。フレキシブル基板 2 2 a 1 とフレキシブル基板 2 2 a 2 間は、パネル配線 9 1 b で電氣的に接続されている。パネル配線 9 1 b は、ゲート信号線 1 7、ソース信号線 1 8 と同時に形成される。また、ゲート信号線 1 7、ソース信号線 1 8 と同一あるいは類似の材料で構成される。

【 0 1 9 5 】

50

駆動回路（図示せず）からの電圧、制御信号は、電圧・信号入力部 101 から、パネルに印加され、パネル配線 91a を介して、フレキシブル基板 22g1 に印加され、ゲートドライバ IC 12a のドライバ入力端子 73a に印加される。なお、電圧・信号入力部 101 は、ソースプリント基板 23 と接続され、ソースプリント基板 23 から、電圧・信号入力部 101 を介して、COF 22g に電圧、信号が供給される。

【0196】

フレキシブル基板 22g1 からの電圧、制御信号は、パネル配線 91b を介して、フレキシブル基板（COF）22g2 に印加され、ゲートドライバ IC 12b に印加される。フレキシブル基板（COF）22g2 からの電圧、制御信号は、パネル配線 91c を介して、次のフレキシブル基板（COF）22g3（図示せず）に印加される。以上のように、電圧、制御信号線は、パネル配線 91b を介して、複数のフレキシブル基板（COF）22g を連続接続で接続されている。

10

【0197】

図 12 は、本開示のゲートドライバ IC 12 が実装された COF 22g の説明図である。パネル配線 91a は接続端子 75a で、COF 配線 74a と接続されている。COF 配線 74a はドライバ入力端子 73a と接続され、ドライバ入力端子 73a とドライバ入力端子 73b とは、COF 配線 74c で電氣的に接続されている。ドライバ入力端子 73b と接続端子 75b 間は、COF 配線 74b で電氣的に接続されている。接続端子 75b にパネル配線 91b が接続され、パネル配線 91b は、次の COF 22g2 の接続端子 75c と電氣的に接続されている。

20

【0198】

入力制御配線 261 は、Vcc 電圧（ドライバ IC のロジック電圧）が印加されている。つまり、パネル配線 91a には、接続端子 75c に印加するロジック電圧（通常、Vcc または Vgg 電圧）が印加されている。接続端子 75c と、操作端子 76 とは COF 接続線 74d で電氣的に接続されている。パネル配線 91 の最内側に位置する配線（91a1、91b1）には、ロジック電圧が印加されている。ロジック電圧が、COF 接続線 74d に接続されている操作端子 76 に印加されている。

【0199】

図 12 に示すように、SEL 端子（SEL1、SEL2、SEL3、SEL4）が COF 配線 74 に接続されている。SEL 端子は、ゲートドライバ IC 12 のゲート電圧 2 値駆動とゲート電圧 3 値駆動の選択を設定する端子である。SEL 端子は、ドライバ IC 内に形成された抵抗 R により Vgg にプルダウンされている。

30

【0200】

SEL 端子がオープン（電圧が印加されていない状態）では、ロジックは、L である。L の場合は、ゲート電圧 2 値駆動（図 20A）が設定されるように構成されている。SEL 端子に Vcc 電圧が印加された状態では、ロジックは H としている。H の場合は、ゲート電圧 3 値駆動（図 20B）が設定されるように構成されている。

【0201】

つまり、入力制御配線 261 で、操作端子 76 に電圧を印加するようにアレイでパターンレイアウトをすること、あるいは、操作端子 76 に電圧を印加せず、オープンになるようにパターンレイアウト（未結線）をすることにより、SEL 端子（SEL1～4）のロジックレベルを決定でき、このロジックレベルにより、ゲート信号線出力回路 53（53a、53b、53c、53d）がゲート電圧 2 値駆動を行うか、ゲート電圧 3 値駆動を行うかを設定あるいは決定することができる。

40

【0202】

図 8A、図 8B および図 12 に図示しているように、ドライバ入力端子 73a とドライバ入力端子 73b 間は、COF 22 上に形成された COF 配線 74c で接続されている箇所と、ドライバ IC の内部配線 262 で接続されている箇所がある。

【0203】

内部配線 262 は、ゲートドライバ IC 12 の内部配線パターンである。ドライバ入力

50

端子 7 3 a とドライバ入力端子 7 3 b を電氣的に接続している。

【 0 2 0 4 】

図 1 3 は、本開示の E L 表示装置 (E L 表示パネル) におけるゲートドライバ I C 1 2 の説明図である。ゲートドライバ I C 1 2 には、4 つのゲート信号線出力回路 5 3 (5 3 a、5 3 b、5 3 c、5 3 c) が形成または配置されている。

【 0 2 0 5 】

ゲート信号線出力回路 5 3 (5 3 a、5 3 b、5 3 c、5 3 c) には、それぞれオン電圧 V o n の入力 (印加) 端子、データ入力 (D a t) 端子、イネーブル (E n b) 端子、クロック (C l k) 端子は配置または形成されている。なお、上下の走査方向を反転させる端子 (U D 端子) は、4 つのゲート信号線出力回路 5 3 に共通である。

10

【 0 2 0 6 】

S E L 端子は、各ゲート信号線出力回路 5 3 (5 3 a、5 3 b、5 3 c、5 3 d) に対応して配置されている。S E L 端子はゲート電圧 3 値駆動とゲート電圧 2 値駆動を設定あるいは操作する端子である。広義には、ゲート信号線出力回路 5 3 (5 3 a、5 3 b、5 3 c、5 3 d) の駆動モードを切り替える、あるいは制御する端子である。したがって、駆動方式は、ゲート電圧 3 値駆動と、ゲート電圧 2 値駆動に限定されるものではない。たとえば、V o n 1 電圧、V o n 2 電圧、V o f f 1 電圧、V o f f 2 電圧の 4 値の電圧から 1 つの電圧を選択することを設定する端子であってもよい。

【 0 2 0 7 】

S E L 1 端子を “ H ” ロジックとすることにより、ゲート信号線出力回路 5 3 a をゲート電圧 3 値駆動に設定でき、S E L 2 端子を “ H ” ロジックとすることにより、ゲート信号線出力回路 5 3 b をゲート電圧 3 値駆動に設定できる。また、S E L 3 1 端子を “ H ” ロジックとすることにより、ゲート信号線出力回路 5 3 c をゲート電圧 3 値駆動に設定でき、S E L 4 端子を “ H ” ロジックとすることにより、ゲート信号線出力回路 5 3 d をゲート電圧 3 値駆動に設定できる。なお、“ H ” と “ L ” のロジック設定は逆であってもよい。

20

【 0 2 0 8 】

なお、図 1 3 おいて、S E L 端子を 2 端子とし、この 2 端子に印加されたロジック信号をデコードし、4 つのゲート信号線出力回路 5 3 から 1 つのゲート信号線出力回路 5 3 (5 3 a、5 3 b、5 3 c、5 3 c) を選択するように構成してよい。たとえば、S E L 0 端子、S E L 1 端子とし、(S E L 0、S E L 1) = (L、L) の場合は、ゲート信号線出力回路 5 3 a をゲート電圧 3 値駆動設定とし、ゲート信号線出力回路 5 3 b、5 3 c、5 3 d を、ゲート電圧 2 値駆動に設定されるようにする。また、S E L 0 端子、S E L 1 端子とし、(S E L 0、S E L 1) = (L、H) の場合は、ゲート信号線出力回路 5 3 b をゲート電圧 3 値駆動設定とし、ゲート信号線出力回路 5 3 a、5 3 c、5 3 d を、ゲート電圧 2 値駆動に設定されるようにする。また、S E L 0 端子、S E L 1 端子とし、(S E L 0、S E L 1) = (H、L) の場合は、ゲート信号線出力回路 5 3 c をゲート電圧 3 値駆動設定とし、ゲート信号線出力回路 5 3 a、5 3 b、5 3 d を、ゲート電圧 2 値駆動に設定されるようにする。また、S E L 0 端子、S E L 1 端子とし、(S E L 0、S E L 1) = (H、H) の場合は、ゲート信号線出力回路 5 3 d をゲート電圧 3 値駆動設定とし、ゲート信号線出力回路 5 3 a、5 3 b、5 3 c を、ゲート電圧 2 値駆動に設定されるようにする。以上のように構成することにより、S E L 端子数を削減できる。

30

40

【 0 2 0 9 】

ゲート電圧 3 値駆動を実施するのは、映像信号を画素 1 6 に書き込むトランジスタが接続されたゲート信号線 a である。ゲート信号線は、画素に複数のゲート信号線が形成または配置されていても、映像信号を印加するトランジスタが接続されたゲート信号線は 1 本のゲート信号線 1 7 a に特定されるからである。つまり、ゲートドライバ I C 1 2 内に、複数のゲート信号線駆動回路が形成されていても、そのうちの 1 つをゲート電圧 3 値駆動に設定でき、他のゲート信号線駆動回路はゲート電圧 2 値駆動であればよいからである。

【 0 2 1 0 】

50

たとえば、１つのゲートドライバＩＣ１２に８つのゲート信号線駆動回路が配置または形成されている場合、ＳＥＬ端子を３本とし、３ビットで８個のゲート信号線駆動回路のうち、１つを選択するデコーダ（３－８デコーダ）を構成すればよい。

【０２１１】

以上のように、本開示では、ＳＥＬ端子により、各ゲート信号線に対応するゲート信号線出力回路５３（５３ａ、５３ｂ、５３ｃ、５３ｄ）を独立にあるいは個別に、ゲート電圧２値駆動とゲート電圧３値駆動とを切り替えることができる。

【０２１２】

本開示は、映像信号を書き込むトランジスタが接続されたゲート信号線１７を両側駆動（表示画面２５の左右に配置された２つのゲートドライバＩＣ１２で駆動する）を行う。他の高速スルーレートが必要でないゲート信号線は、片側駆動（表示画面２５の左右のいずれかのゲートドライバＩＣ１２で駆動する）を行う。

10

【０２１３】

なお、図８Ａ、図８Ｂおよび図１２に示すＥＬ表示装置では、操作端子７６は、ドライバ出力端子７２が形成された辺（ドライバＩＣの長辺）あるいは近傍に配置または形成した。本開示はこれに限定するものではない。たとえば、図８Ａおよび図８Ｂに図示するように、ゲートドライバＩＣ１２の短辺あるいは近傍に形成してもよい。また、ドライバ入力端子７３ａ、７３ｂが形成された辺（ドライバＩＣの長辺）に形成してもよい。操作端子７６は、ドライバ出力端子７２とドライバ入力端子７３（７３ａ、７３ｂ）間に配置すればよい。操作端子７６を、ドライバ出力端子７２と入力端子７３（７３ａ、７３ｂ）間に配置すれば、パネル配線９１ａ１、９１ｂ１あるいは、パネル配線９１ａ１、９１ｂ１から分岐した入力制御配線２６１により、ロジック設定などが容易に行うことができる。

20

【０２１４】

本実施の形態にかかるＥＬ表示装置は、ロジック制御を行う制御信号線などを、パネル側（パネル配線９１が形成された側）から、操作端子７６に接続するものであり、本構成により、ＣＯＦ配線７４（７４ａ、７４ｂ、７４ｃ）数を削減するものである。従来の実ＥＬ表示装置では、すべての制御信号線、電源配線を連続接続線で形成する必要がある、図５０で説明したように、Ａ距離、Ｂ距離、Ｄ距離が長くなるという課題があった。一方、本実施の形態に係るＥＬ表示装置では、操作端子７６に接続する制御信号線は、ＣＯＦ配線７４（７４ａ、７４ｂ、７４ｃ）を形成する必要がない。そのため、ＣＯＦ配線７４の数を削減でき、Ａ距離、Ｂ距離、Ｄ距離を短くでき、ＣＯＦサイズ、ドライバＩＣサイズを小さくできる。

30

【０２１５】

また、パネル配線９１から所定電圧を印加した配線（一例として、ロジック電圧Ｖｃｃ、グランド電圧Ｖｇｇ）を分岐した入力制御配線２６１を形成する。操作端子７６に電圧をアレイパターンの配線レイアウト設計により、ロジック設定に一致させて電圧を印加する構成である。以上の構成により、パネル配線９１（９１ａ、９１ｂ）を形成する図５０のＣ距離を短くできる。そのため、パネルの額縁を短くすることができる。

【０２１６】

以上は、ゲートドライバＩＣ１２およびＣＯＦ２２ｇについて説明したが、ソースドライバＩＣ１４およびＣＯＦ２２ｓについても同様に適用することができることは言うまでもない。

40

【０２１７】

以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【０２１８】

図１４は、本開示の他の実施の形態に係るゲートドライバＩＣの説明図である。ロジック設定を行う制御端子であるＵＤ端子（シフトレジスタ５１の走査方向を設定する端子）は、連続接続線が接続されたドライバ入力端子７３ａとドライバ出力端子７２間に配置または形成されている。

50

【0219】

ロジック設定を行う制御端子であるSEL端子（ゲート信号線出力回路53のゲート電圧3値駆動とゲート電圧2値駆動とを設定する端子）は、連続接続線が接続されたドライバ入力端子73bとドライバ出力端子72間に配置または形成されている。

【0220】

図15は、本開示の他の実施の形態にかかるゲートドライバICの説明図である。ロジック設定を行う制御端子であるSEL端子は、連続接続線が接続されたドライバ入力端子73aとドライバ出力端子72間に配置または形成されている。

【0221】

ロジック設定を行う制御端子であるUD端子は、連続接続線が接続された電圧（Von電圧、Voff電圧）を印加するドライバ入力端子73bとドライバ出力端子72間に配置または形成されている。

10

【0222】

図15は、各ゲート信号線出力回路53（53a、53b、53c、53d）において、Voff1電圧、Voff2電圧を独立にした構成である。ゲート信号線出力回路53aには、Voff1aとVoff2a電圧が供給される。したがって、ゲート信号線出力回路53aがゲート電圧3値駆動を実施する場合は、VonA電圧、Voff1a電圧、Voff2a電圧が出力される。

【0223】

同様に、ゲート信号線出力回路53bがゲート電圧3値駆動を実施する場合は、VonB電圧、Voff1b電圧、Voff2b電圧が出力される。ゲート信号線出力回路53cがゲート電圧3値駆動を実施する場合は、VonC電圧、Voff1c電圧、Voff2c電圧が出力される。ゲート信号線出力回路53dがゲート電圧3値駆動を実施する場合は、VonD電圧、Voff1d電圧、Voff2d電圧が出力される。

20

【0224】

他の事項は、図13あるいは他の実施の形態と同様であるので説明を省略する。

【0225】

図16は、本開示の他の実施の形態にかかるゲートドライバICの説明図である。ロジック設定あるいは操作設定を行うSEL端子は、接続端子75aに接続され、ゲート信号線17は接続端子71に接続されている。また、ロジック設定あるいは操作設定を行うUD端子は、接続端子75cに接続されています。Voff電圧は、接続端子75bまたは75aに印加される。

30

【0226】

Cof配線74a、Cof配線74c（図示せず）、Cof配線74bは連続接続線で構成されている。ロジック設定あるいは操作設定を行うSEL端子の接続端子75aは、ゲート信号線17の接続端子71と、接続端子75a間に接続あるいは配置される。また、ロジック設定あるいは操作設定を行うUD端子の接続端子75cは、ゲート信号線17の接続端子71と、接続端子75b間に接続あるいは配置される。操作端子76にロジック電圧を印加するか、ゲートドライバIC12内で、プルアップまたはプルダウンさせている場合は、操作端子76に電圧などを印加せず、操作端子をオープンにする。

40

【0227】

図17は、パネル配線91aのパネル配線91a1から入力制御配線261aを分岐させている。分岐した入力制御配線261aには、一例として、ロジック電圧Vccが印加されているとする。また、入力制御配線261aは、操作端子76aと接続されている。

【0228】

パネル配線91aのパネル配線91a2から入力制御配線261bを分岐させている。分岐した入力制御配線261bには、一例として、グラウンド電圧Vggが印加されているとする。また、入力制御配線261bは、操作端子76bと接続されている。

【0229】

以上の構成から、グラウンド電圧Vggが印加された操作端子76bは、ロジックレベル

50

が L とされる。ロジック電圧 V_{cc} が印加された操作端子 76 a は、ロジックレベルが H とされる。

【0230】

操作端子 76 (76 a、76 b) は、ゲート信号線出力回路 53 など、ゲートドライバ IC 12 のモード設定、操作設定、動作設定を規定あるいは設定する端子である。操作端子 76 に印加されたロジックレベル (H、L) により、ゲートドライバ IC 12 の動作が設定される。

【0231】

図 17 の構成では、入力制御配線 261 a と入力制御配線 261 b は、パネル上に形成された配線である。また、入力制御配線 261 a と入力制御配線 261 b とは、交差部が発生している。しかし、入力制御配線 261 a と入力制御配線 261 b との交差部は、わずかであるため、パネルの歩留まりを低下させることはない。他の事項は、本開示の他の実施の形態で説明した事項と同様であるので説明を省略する。

10

【0232】

図 18 は、ドライバ入力端子 73 a に V_{off2} 電圧を印加している。ドライバ入力端子 73 b に V_{off1} 電圧を印加し、ドライバ入力端子 73 c に V_{on1} 電圧を印加している。

【0233】

ドライバ入力端子 73 c に印加した V_{on} 電圧は、ロジック電圧の H として使用する。ドライバ入力端子 73 b に印加した V_{off} 電圧は、ロジック電圧の L として使用する。

20

【0234】

ドライバ入力端子 73 c は、内部配線 262 c に接続されている。また、ドライバ入力端子 73 b は、内部配線 262 b に接続されている。内部配線 262 c は、ロジック電圧 (ロジックレベル) H となり、ドライバ IC の端子 H4 ~ H1 に出力されている。内部配線 262 b は、ロジック電圧 (ロジックレベル) L となり、ゲートドライバ IC 12 の端子 L5 ~ L1 に出力されている。端子 C8 ~ C1 は操作端子 76 である。

【0235】

図 18 の A の接続のように、端子 L5 と操作端子 C8 を短絡することにより、操作端子 C8 にロジックの L レベルが印加される。したがって、ゲート信号線出力回路 53 d は、操作端子 C8 のロジックに対応した動作に設定される。

30

【0236】

同様に、図 18 の B の接続のように、端子 H5 と操作端子 C7 を短絡することにより、操作端子 C7 にロジックの H レベルが印加される。したがって、ゲート信号線出力回路 53 c は、操作端子 C7 のロジックに対応した動作に設定される。

【0237】

また、図 18 の C の接続のように、端子 L5 と操作端子 C6 を短絡することにより、操作端子 C6 にロジックの L レベルが印加される。したがって、ゲート信号線出力回路 53 b は、操作端子 C6 のロジックに対応した動作に設定される。

【0238】

また、図 18 の D の接続のように、端子 L1 と操作端子 C1 を短絡することにより、操作端子 C1 にロジックの L レベルが印加される。したがって、ゲート信号線出力回路 53 a は、操作端子 C1 のロジックに対応した動作に設定される。

40

【0239】

以上のように、本実施の形態にかかる EL 表示装置は、内部配線 262 (262 b、262 c) により、操作端子 76 をロジック設定する構成、方式である。

【0240】

すなわち、図 12、図 17 の実施の形態では、パネル上に入力制御配線 261 を形成することにより、COF 22 g 上の連続接続線を削減することができる。結果として、ゲートドライバ IC 12 のサイズを小さくすること、COF のサイズを小さくすることができるので、EL 表示装置 (EL 表示パネル) を低コスト化することができる。

50

【0241】

図8A、図8B、図12で図示するように、ゲートドライバIC12に内部配線262を形成することにより、連続接続線を削減することができる。結果として、COFのサイズを小さくすることはできるので、EL表示装置(EL表示パネル)を低コスト化することができる。

【0242】

図19は、1つのドライバ入力端子73に対して、複数のドライバ入力端子73を配置し、このドライバ入力端子間を、内部配線262で結線した構成である。たとえば、2つのドライバ入力端子Von2の入力端子としてドライバ入力端子73(73b1、73b2)が形成され、ドライバ入力端子73b1とドライバ入力端子73b2との間が、内部配線262で電氣的に接続されている。

10

【0243】

同様に、たとえば、2つのドライバ入力端子Von2の入力端子としてドライバ入力端子73(73a1、73a2)が形成され、ドライバ入力端子73a1とドライバ入力端子73a2との間が、内部配線262で電氣的に接続されている。

【0244】

また、複数のドライバ入力端子73a2間は、COF配線74f1で電氣的に接続されている。複数のドライバ入力端子73a1間は、COF配線74f2で電氣的に接続されている。同様に、複数のドライバ入力端子73b2間は、COF配線74f1で電氣的に接続されている。複数のドライバ入力端子73b1間は、COF配線74f2で電氣的に接続されている。

20

【0245】

以上のように構成することにより、ゲートドライバIC12にVon1電圧を供給するCOF配線74a1で、複数のVon1電圧のドライバ入力端子73a1、73a2に電圧を供給できる。また、ゲートドライバIC12にVon2電圧を供給するCOF配線74a2で、複数のVon2電圧のドライバ入力端子73a2、73a1に電圧を供給できる。

【0246】

また、ゲートドライバIC12にVon1電圧を供給するCOF配線74c1で、複数のVon1電圧のドライバ入力端子73b1、73b2に電圧を供給できる。また、ゲートドライバIC12にVon2電圧を供給するCOF配線74b2で、複数のVon2電圧のドライバ入力端子73b1、73b2に電圧を供給できる。

30

【0247】

以上の実施の形態は、ドライバ入力端子に関して説明したが、本開示はこれに限定されるものではない。たとえば、制御信号線に関しても、図19の実施の形態あるいは技術的思想を適用できることは言うまでもない。

【0248】

以上の実施の形態は、ドライバ入力端子の制御信号に関して説明したが、本開示はこれに限定されるものではない。たとえば、図19で説明した電圧供給線と組み合わせてもよいことは言うまでもない。

40

【0249】

また、以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0250】

ゲートドライバIC12の出力端子から、図20Bの出力波形を出力することができる。出力電圧は、オフ電圧(Voff1、Voff2)、オン電圧(Von)の3つの電圧である。3つの電圧を出力するので、ゲート電圧3値駆動と呼ぶ。または、ゲートオーバードライブ駆動と呼ぶ。

【0251】

また、図20Aのように、オフ電圧(Voff1)、オン電圧(Von)の2つの電圧

50

で駆動する駆動方法を、ゲート電圧通常駆動あるいは、ゲート電圧 2 値駆動と呼ぶ。

【0252】

ゲート電圧 2 値駆動（図 20 A）とゲート電圧 3 値駆動（図 20 B）とは、SEL 端子に印加するロジック電圧で決定する。

【0253】

Von 電圧は、画素 16 のトランジスタ 11 をオンさせる電圧である。Voff1、Voff2 電圧は画素 16 のトランジスタ 11 をオフさせる電圧である。具体的には、Von 電圧は、15 (V) 以上 30 (V) 以下である。Voff2 電圧は、-15 (V) 以上 -8 (V) 以下である。Voff1 電圧は、-8 (V) 以上 -3 (V) 以下である。

【0254】

10

図 21 はゲート電圧 3 値駆動の説明図である。オン電圧 (Von) を出力する期間 Ta は、nH 期間 (n は 1 以上の整数、H は水平走査期間または 1 画素行の選択期間) である。Voff2 電圧を印加する期間 Tb は、1H 期間である。また、1F (F はフレーム期間あるいはフィールド期間) = Ta + Tb + Tc である。

【0255】

なお、図 21、図 22 A および図 22 B、図 20 A および図 20 B において、本開示のゲート電圧 2 値駆動、ゲート電圧 3 値駆動は、トランジスタ 11 は n チャンネルトランジスタを想定して記載している。トランジスタ 11 が p チャンネルの場合は、信号波形は極性が反転させる。

【0256】

20

図 22 A、図 22 B は、オン電圧 Von の説明図であり、ゲート電圧 2 値駆動を例示している。

【0257】

図 22 A に図示するように、ゲート信号線出力回路 53 a のオン電圧 VonA は、COF 外部の電圧回路 E1 で設定される。電圧回路 E1 は、スイッチング電源回路、レギュレータ回路などが該当する。電圧回路 E1 は、ゲート信号線出力回路 53 a の Von 電圧を出力する。ゲート信号線出力回路 53 b のオン電圧 VonB は、COF 外部の電圧回路 E2 で設定される。電圧回路 E2 は、スイッチング電源回路、レギュレータ回路などが該当する。電圧回路 E2 は、ゲート信号線出力回路 53 b の Von 電圧を出力する。Von 端子は、少なくとも、ゲートドライバ IC 12 に 2 カ所以上形成あるいは配置されている。

30

【0258】

図 22 B に図示するように、Von 電圧の大きさを設定することにより、ゲート信号線 17 に印加する電圧振幅を可変することができる。図 22 B の上段の図はオン電圧が Von1 としており、下段の図はオン電圧が Von2 としている。Von1 < Von2 となる。これらの電圧設定は、各ゲート信号線出力回路 53 (53 a、53 b) で行うことができる。なお、Von 電圧の印加時間は、nH (n は 1 以上の整数) とし、n はコントローラ (図示せず) により可変できるように構成されている。

【0259】

なお、Von 電圧と同様に、Voff1、Voff2 電圧も電圧 Von も、各ゲート信号線出力回路 53 (53 a、53 b) で可変または調整あるいは設定できるように構成されている。また、これらの構成は、図 22 A、図 22 B と同様であるので、説明を省略する。

40

【0260】

なお、図 22 A、図 22 B、図 20 A および図 20 B において、各ゲート信号線出力回路 53 (53 a、53 b) で、電圧 Von、Voff1、Voff2 が可変または調整あるいは設定できるとしたが、本開示はこれに限定するものではない。たとえば、複数あるゲート信号線出力回路 53 (53 a、53 b) のうち、任意の 1 つまたは複数の電圧 Von を可変または調整あるいは設定できるとしてもよい。また、Voff1、Voff2 のいずれかを可変または調整あるいは設定できるとしてもよい。

【0261】

50

図 2 1 はゲート電圧 3 値駆動の説明図である。シフトレジスタ 5 1 が選択した画素行に V_{on} 電圧が 1 水平走査 (1 H) 期間 (期間 T_a : 画素行選択期間) あるいはそれ以上の期間、印加される。 V_{off2} 電圧の印加期間 T_b は、1 H 期間である。期間 T_c は V_{off1} 電圧が印加され、期間 T_a 、期間 T_b 以外の期間は、 V_{off1} 電圧が印加され保持される。

【0262】

V_{on} 電圧の印加期間 T_a は、 n H 期間 (n は 1 以上の整数) であり、 Clk 信号に同期する。図 2 1 のゲート電圧 3 値駆動は、図 4 9 のゲート信号線 17 a、図 4 8 に示したゲート信号線 17 a、後述する図 4 4 のゲート信号線 17 a に対して実施される。つまり、映像信号を画素 16 に書き込むトランジスタ 11 が接続されたゲート信号線 17 に対してゲート電圧 3 値駆動が実施される。

10

【0263】

V_{off2} 電圧が 1 H 期間 (期間 T_b) 印加されるのは、映像信号を印加するために選択された画素に対して、映像信号を書込み後、高速に非選択 (オフ) にするためである。また、 V_{off1} 電圧で保持する (期間 T_c) のは、トランジスタ 11 のゲート端子に深い電圧 (V_{off2}) が印加され、 V_t シフトなどトランジスタ特性が変化することを抑制するためである。

【0264】

なお、ゲート電圧 2 値駆動では、上記した図 2 0 A に図示したように、 V_{on} 電圧から、 V_{off1} 電圧に変化する期間が t_1 と長時間を必要とする。 t_1 が長いと、この期間に画素に書き込んだ映像信号がリークし、また、上下に隣接した画素間でクロストークなどが発生する。

20

【0265】

ゲート電圧 3 値駆動を実施すると、図 2 0 B に図示したように、 V_{on} 電圧から、 V_{off1} 電圧に変化する期間が t_2 と非常に短時間となる。したがって、画素に書き込んだ映像信号がリークし、また、上下に隣接した画素間でクロストークなどが発生することがない。

【0266】

V_{on} 電圧の印加期間後、1 H 期間の間あるいは 1 H より短い期間の間 (期間 T_b)、 V_{off2} 電圧が印加される。 V_{off2} 電圧の印加期間後、前記選択した画素行に対応するゲート信号線 17 に V_{off1} 電圧が印加され、前記ゲート信号線は、次のフレーム期間に V_{on} 電圧が印加されるまで期間 (期間 T_c)、 V_{off1} 電圧に保持される。

30

【0267】

ゲート電圧 2 値駆動 (ゲート電圧通常駆動) の場合は、図 2 1 に図示した期間 T_b がなく、選択した画素行に、 V_{off2} 電圧が印加されることはない。したがって、シフトレジスタが選択した期間 (期間 T_a) に、 V_{on} 電圧が印加され、他の期間 (期間 T_c) には、 V_{off1} 電圧が印加され、ゲート信号線 17 にオフ電圧が印加され、前記ゲート信号線に接続されているトランジスタはオフ状態に保持される。

【0268】

V_{on} 電圧の印加期間後、1 H 期間の間あるいは 1 H より短い期間の間、 V_{off2} 電圧が印加される。 V_{off2} 電圧の印加期間後、前記選択した画素行に対応するゲート信号線 17 に V_{off1} 電圧が印加され、前記ゲート信号線は、次のフレーム期間に V_{on} 電圧が印加されるまで、 V_{off1} 電圧に保持される。

40

【0269】

なお、ゲート電圧 2 値駆動とゲート電圧 3 値駆動は、 SEL ($SEL1$ 、 $SEL2$) 端子に印加するロジック信号により、設定される。図 2 0 A、図 2 0 B に図示したように、 SEL ($SEL1$ 、 $SEL2$) 端子に印加されるロジック電圧が "L" の場合は、ゲート信号線出力回路 5 3 は、ゲート電圧 2 値駆動モードに設定される。 SEL ($SEL1$ 、 $SEL2$) 端子に印加されるロジック電圧が "H" の場合は、ゲート信号線出力回路 5 3 は、ゲート電圧 3 値駆動モードに設定される。

50

【0270】

図21に図示したように、期間Ta（映像信号を画素行に書き込む期間）後の期間TbにVoff2電圧を印加することにより、図20Bに図示したように、Von電圧印加状態から、トランジスタ11がオフ状態になるVoff1電圧レベルまでの期間がt2と短くなる。ゲート電圧2値駆動では、図20Aに図示したように、Von電圧から、Voff1電圧レベルまでに変化する時間がt1と長時間を必要とする。

【0271】

ゲート電圧2値駆動でのt1期間は、該当ゲート信号線17（17a、17b）に接続されたトランジスタは完全なオフ状態でないため、画素16に書き込んだ映像信号などがリークする。一方、図20Bのゲート電圧3値駆動では、Voff2電圧を印加するため、Von電圧から、Voff1電圧レベルまでに移行する時間が、t2と短く、画素16に書き込んだ映像信号などがリークすることがない。したがって、クロストーク、信号リークなどが発生せず、良好な表示画像を実現できる。

【0272】

なお、前述した図9の実施の形態では、SEL1端子を”H”ロジックとすることにより、ゲート信号線出力回路53aをゲート電圧3値駆動に設定できる。SEL2端子を”H”ロジックとすることにより、ゲート信号線出力回路53bをゲート電圧3値駆動に設定できる。以上のように、本開示では、SEL端子により、各ゲート信号線に対応するゲート信号線出力回路53を独立にあるいは個別に、ゲート電圧2値駆動とゲート電圧3値駆動とを切り替えることができる。

【0273】

SEL1端子を”H”ロジックとすることにより、ゲート信号線出力回路53aをゲート電圧3値駆動に設定でき、SEL2端子を”H”ロジックとすることにより、ゲート信号線出力回路53bをゲート電圧3値駆動に設定できる。また、SEL31端子を”H”ロジックとすることにより、ゲート信号線出力回路53cをゲート電圧3値駆動に設定でき、SEL4端子を”H”ロジックとすることにより、ゲート信号線出力回路53dをゲート電圧3値駆動に設定できる。

【0274】

なお、前述した図15において、SEL端子を2端子（SEL1、SEL2）とし、この2端子に印加されたロジック信号をデコードし、4つのゲート信号線出力回路53（53a、53b、53c、53d）から1つのゲート信号線出力回路53（53a、53b、53c、53d）を選択するように構成してよい。ゲート電圧3値駆動を実施するのは、映像信号を画素16に書き込むトランジスタが接続されたゲート信号線であり、前記ゲート信号線は、画素に複数のゲート信号線が形成または配置されていても1つのゲート信号線17（17a、17b）だけだからである。つまり、ゲートドライバIC12内に、複数のゲート信号線駆動回路が形成されていても、そのうちの1つをゲート電圧3値駆動に設定でき、他のゲート信号線駆動回路はゲート電圧2値駆動であればよいからである。

【0275】

たとえば、1つのゲートドライバIC12に8つのゲート信号線駆動回路が配置または形成されている場合、SEL端子を3本とし、3ビットで8個のゲート信号線駆動回路のうち、1つを選択するデコーダ（3-8デコーダ）を構成すればよい。

【0276】

以上のように、本開示では、SEL端子により、各ゲート信号線に対応するゲート信号線出力回路53を独立にあるいは個別に、ゲート電圧2値駆動とゲート電圧3値駆動とを切り替えることができる。

【0277】

本開示は、映像信号を書き込むトランジスタが接続されたゲート信号線17を両側駆動（表示画面25の左右に配置された2つのゲートドライバIC12で駆動する）を行う。他の高速スルーレートが必要でないゲート信号線は、片側駆動（表示画面25の左右のいずれかのゲートドライバIC12で駆動する）を行う。

【0278】

なお、本開示の実施の形態において、両側駆動とは、表示画面25の左右に配置された2つのゲートドライバIC12(12a、12b)で駆動するとしたが、これに限定するものではない。両側駆動とは、1つのゲートドライバIC12(12a、12b)で駆動するものであれば該当する。たとえば、ゲート信号線17の片側に2つのゲートドライバIC12(12a、12b)を接続または配置し、駆動する方式も該当する。

【0279】

つまり、両側駆動とは、1つのゲート信号線17aを複数のゲートドライバIC12(12a、12b)で駆動する方式である。また、ゲート信号線17aは、ゲートドライバIC12(12a、12b)で駆動するとして説明をするが、これに限定するものではない。たとえば、TAOS、高温あるいは低温ポリシリコン技術でパネル基板31に直接にゲートドライバ回路(図示せず)を形成または配置し、このゲートドライバ回路でゲート信号線17を駆動する構成も該当する。

10

【0280】

したがって、1つのゲート信号線17の両側にゲートドライバ回路を接続する構成も本開示の範疇である。また、1つのゲート信号線17の片側にゲートドライバIC12を接続し、他の端にゲートドライバ回路を接続した構成も本開示の範疇である。また、1つのゲート信号線17の片側に、2つのゲートドライバ回路を接続した構成も本開示の範疇である。

【0281】

20

本開示は、主として、画素16に映像信号電圧を印加する方式(プログラム電圧方式)を例示して説明する。しかし、本開示は、これに限定するものではない。画素16に映像信号電流を印加する方式(プログラム電流方式)であってもよい。また、PWM駆動のように、画素16を点滅あるいはデジタル的に点灯させて表示するデジタル駆動方式であってもよい。また、他の駆動方式であってもよい。発光面積で発光強度を表現する発光面積可変駆動であってもよい。

【0282】

一例として、PWM駆動とは、所定の電圧値をスイッチ用トランジスタ11bで画素16に印加し、階調に対応するビット数を、スイッチ用トランジスタ11dをオンオフさせて、階調表示する方式が例示される。

30

【0283】

また、スイッチ用トランジスタ11dをオンオフ制御し、表示画面25に帯状の黒表示(非表示)を発生させ、表示画面25に流れる電流量を制御する。

【0284】

図23は本開示のEL表示装置の駆動方法の説明図である。本開示において、ゲートドライバIC12aとゲートドライバIC12bとは、同一仕様のゲートドライバICである。ゲートドライバIC12aとゲートドライバIC12bとは、画面の中心軸に対して線対称の配置されている。また、ゲートドライバIC12aとゲートドライバIC12bのUD端子(走査方向を設定する端子 図示せず)のロジックは異なる。つまり、ゲートドライバIC12aは、A方向に走査されるようにUD端子が設定され、ゲートドライバIC12bは、B方向に走査されるようにUD端子が設定される。

40

【0285】

ゲートドライバIC12(12a、12b)には、2つのゲート信号線出力回路53(53a、53b)が配置または形成されている。ゲート信号線出力回路53のA1、A2、A3、・・・、B1、B2、B3、・・・は、シフト端子(Clk端子)のクロックにより、データをシフトする単位(ブロック141と呼ぶ)を示している。

【0286】

ゲートドライバIC12aのゲート信号線出力回路53aは、ゲート信号線17aを駆動する。ゲートドライバIC12aのゲート信号線出力回路53bは、ゲート信号線17bを駆動する。

50

【0287】

ゲート信号線出力回路53aは、ブロックA1、B1が画素16aを駆動（制御）し、ブロックA2、B2が画素16bを駆動（制御）し、ブロックA3、B3が画素16cを駆動（制御）する。以下同様である。つまり、ゲートドライバIC12aは、1クロック（Clk）入力で、1画素行ずつ、画素行の選択位置が移動する。

【0288】

ゲート信号線出力回路53bは、ブロックA1が画素16aを駆動（制御）し、ブロックB2が画素16bを駆動（制御）し、ブロックA2が画素16cを駆動（制御）し、ブロックB2が画素16dを駆動（制御）する。以下同様である。つまり、ゲートドライバIC12bは、1クロック入力で、2画素行ずつ、選択位置が移動する。

10

【0289】

したがって、ゲートドライバIC12aと、ゲートドライバIC12bとが同期して1画素行を選択させるには、ゲートドライバIC12bのクロック速度は、ゲートドライバIC12aのクロック速度の1/2で動作させる必要がある。

【0290】

各画素行のゲート信号線17aは、ゲートドライバIC12aのゲート信号線出力回路53aに接続される。また、奇数番目の画素行のゲート信号線17aは、ゲート信号線出力回路53bのゲート信号線出力回路53aに接続され、偶数番目の画素行のゲート信号線17aは、ゲート信号線出力回路53bのゲート信号線出力回路53bに接続されている。各画素行のゲート信号線17bは、ゲートドライバIC12aのゲート信号線出力回路53bに接続される。

20

【0291】

以上の接続により、各画素行のゲート信号線17aは、ゲートドライバIC12aのゲート信号線出力回路53aとゲートドライバIC12bのゲート信号線出力回路53aおよびゲート信号線出力回路53bにより両側駆動が実施される。したがって、映像信号を画素に印加するスイッチ用トランジスタ11bが接続されたゲート信号線17aを高スループレートで駆動することができる。

【0292】

ゲート信号線17bは、ゲートドライバIC12aのゲート信号線出力回路53bのみで駆動される。しかし、スイッチ用トランジスタ11dは、高速なオンオフ動作を必要としない。したがって、ゲートドライバIC12aのゲート信号線出力回路53bのみによる片側駆動で実用上、十分な特性を実現することができる。

30

【0293】

ゲートドライバIC12aは、ゲート信号線17aおよびゲート信号線17bを駆動する。ゲートドライバIC12bは、ゲート信号線17aのみを駆動する。ゲートドライバIC12aとゲートドライバIC12bとは、基本的に同一の構成である。したがって、表示画面25に右側に配置または接続されたゲートドライバIC12bの使用個数は、表示画面25に左側に配置または接続されたゲートドライバIC12aに比較して、1/2の個数でよい。そのため、従来のEL表示装置に比較して、ゲートドライバIC12（12a、12b）の使用個数を削減できるため、低コスト化を実現できる。

40

【0294】

たとえば、図24に図示するように、本開示のEL表示装置（EL表示パネル）では、表示画面25の左端に配置されるゲートドライバIC12aは、4個であるのに対し、表示画面25の右に配置されるゲートドライバIC12bは、4個の1/2である2個である。

【0295】

図25は、図24のゲート信号線17（17a、17b）の結線あるいは接続状態を図示している。図25において、ゲートドライバIC12bは、ゲート信号線17aに接続されている。ゲートドライバIC12a（12a1、12a2）は、ゲート信号線17aおよびゲート信号線17bに接続されている。ゲート信号線17aおよびゲート信号線1

50

7 b には、オン電圧およびオフ電圧が印加される。

【0296】

ゲートドライバIC12aとゲート信号線17bとは、制御信号線などの接続状態は異なる(図26など)が、基本的に同一の仕様のICである。ゲートドライバIC12bは、両側駆動が必要なゲート信号線17aを駆動する。ゲートドライバIC12a(12a1、12a2)は、画素に接続されている、すべてのゲート信号線17(17a、17b)を駆動する。あるいは、両側駆動が必要なゲート信号線17(17a、17b)と片側駆動のゲート信号線17aの両方を駆動する。

【0297】

ゲートドライバIC12bに形成または配置されている複数のゲート信号線出力回路53(53a、53b)は、異なる画素行のゲート信号線17(17a、17b)を駆動する。たとえば、図23の1画素2ゲート信号線17(17a、17b)の構成では、ゲートドライバIC12bのゲート信号線出力回路53aは、奇数画素行のゲート信号線17aを駆動し、ゲート信号線出力回路53bは、偶数画素行のゲート信号線17aを駆動する。図26のように、1画素4ゲート信号線の構成で、そのうち2本のゲート信号線17(17a、17b)が両側駆動で、他の2本のゲート信号線17(17a、17b)が片側駆動の場合、図26に図示するように、ゲート信号線出力回路53aと53bが奇数画素行のゲート信号線17(17a、17b)を駆動し、ゲート信号線出力回路53cと53dが偶数画素行のゲート信号線17(17c、17d)を駆動する。ゲートドライバIC12aの4つのゲート信号線出力回路53(53a、53b、53c、53d)は、4本のゲート信号線17(17a、17b、17c、17d)を奇数、偶数画素行の順に順次駆動する。

【0298】

図26は、本開示のEL表示装置の説明図である。図26では、制御端子などを記載している。なお、本開示の図面において、説明に不要な個所は省略している。なお、図26の実施の形態では、ゲート信号線出力回路53(53a、53b)の出力側に出力バッファ52を配置している。

【0299】

図26において、Dat端子(DatA1、DatA2、DatB1、DatB2)は、シフトレジスタ51(51a、51b)のデータ入力端子である。Dat端子をデータ“H”とすることにより、クロック(Clk)端子に印加されたクロックにより、シフトレジスタ51(51a、51b)にオンデータが入力される。Dat端子をデータ“L”とすることにより、クロック(Clk)端子に印加されたクロックにより、シフトレジスタ51(51a、51b)にオフデータが入力される。シフトレジスタ51(51a、51b)のブロック141にオンデータが保持されていると、該当するゲート信号線17にオン電圧が印加または出力あるいはオン電圧に保持される。シフトレジスタ51(51a、51b)のブロック141にオフデータが保持されていると、該当するゲート信号線17(17a、17b、17c、17d)にオフ電圧が印加または出力あるいはオフ電圧に保持される。

【0300】

シフトレジスタ51(51a、51b)に保持あるいはラッチされているオンデータあるいはオフデータは、クロック(Clk)端子に印加されたクロック信号により、順次、ブロック141のデータ保持状態がシフトされる。なお、シフト方向は、UD端子(図示せず)に印加されたロジック信号により、変更される。

【0301】

Enb端子は、イネーブル信号の制御端子である。Enb端子をデータ“H”とすることにより、シフトレジスタ51に保持あるいはラッチされているオンデータあるいはオフデータに対応して、ゲート信号線17にオン電圧またはオフ電圧が出力される。

【0302】

Enb端子をデータ“L”とすることにより、シフトレジスタ51に保持あるいはラッ

10

20

30

40

50

チされているオンデータあるいはオフデータによらず、ゲート信号線 17 は、オフ電圧が出力あるいはオフ電圧に保持される。

【0303】

図 26 において、ゲートドライバ IC 12 a のゲート信号線出力回路 53 a とゲート信号線出力回路 53 b の Clk A (クロック) 端子、UD A (アップダウン) 端子、En A (イネーブル) 端子は共通である。ゲートドライバ IC 12 a のゲート信号線出力回路 53 a とゲート信号線出力回路 53 b との Dat (データ) 端子 (Dat A 1、Dat A 2) は独立である。なお、En b A 1 端子は、ゲート信号線 17 a をオフ状態に制御する端子であるため、En b A 2 端子は、ゲート信号線 17 b をオフ状態に制御する端子であるため、図面では分離している。

10

【0304】

なお、図 26 などの本開示の図面などにおいて、ゲートドライバ IC 12 a のゲート信号線出力回路 53 b にはクロック端子 (Clk A) を図示していないが、ゲートドライバ IC としては、端子を有している。また、ゲートドライバ IC 12 (12 a、12 b) は、IC として説明をするが、これに限定するものではない。ポリシリコンなどでガラス基板に直接に形成したゲートドライバ回路であってもよいことは言うまでもない。

【0305】

図 26 において、ゲートドライバ IC 12 b のゲート信号線出力回路 53 a とゲート信号線出力回路 53 b の UDB (アップダウン) 端子は共通である。ゲートドライバ IC 12 b のゲート信号線出力回路 53 a とゲート信号線出力回路 53 b との Dat (データ) 端子 (Dat B 1、Dat B 2)、En b (イネーブル) 端子 (En b B 1、En b B 2) は、Clk (クロック) 端子 (Clk B 1、Clk B 2) とは独立である。

20

【0306】

図 27 は、ゲートドライバ IC 12 a を詳細に図示した図面である。ゲートドライバ IC 12 b もゲートドライバ IC 12 a と同様である。

【0307】

ゲートドライバ IC 12 a は、切り替え回路 161 を有している。切り替え回路 161 は、図 21、図 20 B のゲート電圧 3 値駆動、図 22 B、図 20 A のゲート電圧 2 値駆動を実現するためのスイッチ回路である。

【0308】

切り替え回路 161 は、Voff 1 電圧、Voff 2 電圧、Von 電圧のうち、1 つの電圧を選択し、ゲート信号線 17 に出力する機能を有する。

30

【0309】

図 28 に図示するように、切り替え回路 161 (161 a、161 b) の a 端子に Voff 2 電圧が印加され、b 端子に Voff 1 電圧が印加され、c 端子に Von 電圧が印加されている。d 端子 (2 ビット) に印加されたロジック信号により、Voff 2、Voff 1、Von 電圧のいずれかが選択される。d 端子のロジック信号は、シフトレジスタ 51 (51 a、51 b) に保持されたデータ (Dat) に基づく。

【0310】

切り替え回路 161 が、Von 電圧→Voff 2 電圧→Voff 1 電圧と、出力を切り替えることにより、図 20 B に図示するゲート電圧 3 値駆動が実現される。切り替え回路 161 (161 a、161 b) が、Von 電圧→Voff 1 電圧と、出力を切り替えることにより、図 20 A に図示するゲート電圧 2 値駆動が実現される。

40

【0311】

また、図 29 に図示するように、ドライバ入力端子 73 a に、オン電圧が印加される。ドライバ入力端子 73 a は、ゲートドライバ IC 12 (12 a、12 b) 内に複数形成または構成されているゲート信号線出力回路 53 あるいは出力バッファ 52 で、異なる Von 電圧を印加できるように構成されている。なお、切り替え回路 161 (161 a、161 b) については、図 28 などで説明しているので説明を省略する。

【0312】

50

ゲート電圧 2 値駆動とゲート電圧 3 値駆動の選択あるいは設定は、図 1 2 などに図示したように、S E L 端子に印加するロジック信号で行う。S E L 端子は、各ゲート信号線出力回路 5 3 に設けられている。S E L 端子は、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) の内部回路でプルダウン状態に設定されており、デフォルト (プリダウン状態) では、ゲート電圧 2 値駆動に設定されている。ゲート電圧 2 値駆動の方が、ゲート電圧 3 値駆動よりも出力電圧が低く、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) を破壊するなどのリスクが低減するからである。S E L 端子に、H ロジック電圧を印加することにより、ゲート信号線出力回路 5 3 は、ゲート電圧 3 値駆動のモードに設定される。

【 0 3 1 3 】

V o n 電圧、V o f f 1 電圧、V o f f 2 電圧は、ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) の外部端子により入力される。また、図 1 2 では、V o f f 1 、V o f f 2 電圧は、ゲート信号線出力回路 5 3 に共通のように図示したが、本開示はこれに限定するものではない。たとえば、各ゲート信号線出力回路 5 3 で個別の V o f f 1 、V o f f 2 電圧を印加できるように端子を配置してもよい。以上のことは、V o n 端子についても同様である。

10

【 0 3 1 4 】

ゲートドライバ I C 1 2 (1 2 a 、 1 2 b) は、表示パネルに複数個が実装される。V o n 電圧、V o f f 1 電圧、V o f f 2 電圧は、前記複数個のゲートドライバ I C 1 2 (1 2 a 、 1 2 b) に共通に印加される。

【 0 3 1 5 】

画素回路の構成に依存して、各ゲート信号線 1 7 に適正な、V o n 電圧、V o f f 1 電圧が異なる。また、V o f f 2 電圧の必要度も異なる。したがって、V o n 電圧、V o f f 1 電圧、V o f f 2 電圧は、ゲート信号線 1 7 の種類に応じて、電圧値を個別に設定できるように構成することが好ましい。

20

【 0 3 1 6 】

たとえば、図 5 の画素回路を例示すれば、ゲート信号線 1 7 a 、ゲート信号線 1 7 c 、ゲート信号線 1 7 d と、ゲート信号線 1 7 b とは、適正な V o n 電圧を異ならせることが好ましい。通常、ゲート信号線 1 7 b に適正な V o n 電圧は、他のゲート信号線 1 7 よりも高い。スイッチ用トランジスタ 1 1 d に印加する V o n 電圧を高くして、スイッチ用トランジスタ 1 1 d のオン抵抗を低下させるためである。また、ゲート信号線 1 7 a 、ゲート信号線 1 7 c 、ゲート信号線 1 7 d と、ゲート信号線 1 7 b とは、適正な V o f f 1 電圧を異ならせることが好ましい。

30

【 0 3 1 7 】

通常、ゲート信号線 1 7 b に適正な V o f f 1 電圧は、他のゲート信号線 1 7 よりも高い。スイッチ用トランジスタ 1 1 d に印加する V o f f 1 電圧を高くして、スイッチ用トランジスタ 1 1 d に印加される電圧の絶対値 (V o n - V o f f 1) を小さくするためである。

【 0 3 1 8 】

また、スイッチ用トランジスタ 1 1 b はゲート電圧 3 値駆動を実施するが、他のスイッチ用トランジスタ 1 1 d 、 1 1 c 、 1 1 e はゲート電圧 2 値駆動を実施する。したがって、ゲート信号線 1 7 a は V o f f 2 電圧を必要とするが、他のゲート信号線は、不要である。そのため、ゲートドライバ I C 1 2 は、図 1 5 に図示するように、各ゲート信号線出力回路 5 3 は、独立して、V o n 電圧、V o f f 1 電圧、V o f f 2 電圧を印加できるように構成し、また、各ゲート信号線出力回路 5 3 は、S E L 端子により、独立してゲート電圧 3 値駆動とゲート電圧 2 値駆動を設定できるように構成することが好ましい。

40

【 0 3 1 9 】

なお、V o f f 2 電圧は、各ゲート信号線出力回路 5 3 で共通にしてもよい。V o f f 2 電圧を必要とするゲート信号線 1 7 は、映像信号を印加するトランジスタ 1 1 に特定される場合が多いからである。

【 0 3 2 0 】

50

なお、複数のゲート信号線出力回路 53 で、V o f f 1 電圧、V o f f 2 電圧を共通にし、V o n 電圧を独立にする構成も例示される。また、複数のゲート信号線出力回路 53 で、V o n 電圧、V o f f 2 電圧を共通にし、V o f f 1 電圧を独立にする構成も例示される。

【0321】

図 30 A、図 30 B は、本開示の E L 表示装置 (E L 表示パネル) の駆動方法の説明図である。なお、理解を容易にするため、画素 16 は、ゲート信号線 17 a、ゲート信号線 17 b の 2 本であり、ゲート信号線 17 a は、映像信号を印加するスイッチ用トランジスタ 11 が接続されており、両側駆動を実施すると仮定し、ゲート信号線 17 b は片側駆動を実施するとして説明をする。また、ゲート信号線出力回路 53 に設けられた端子 (D a t t、E n b など) の接続状態、結線状態は、一例である。また、以下の説明において、各端子は、ゲートドライバ I C 12 (12 a、12 b) に設けられた外部端子として説明するが、これに限定するものではない。たとえば、ゲートドライバ I C 12 (12 a、12 b) の I C 内部で結線、接続したものであってもよい。

10

【0322】

図 30 A、図 30 B において、ゲートドライバ I C 12 a は、ゲート信号線 17 a、17 b を駆動する。ゲートドライバ I C 12 b は、ゲート信号線 17 a を駆動する。

【0323】

なお、各図において、○印は、ブロック 141 にデータが保持され、○印のブロックが担当するゲート信号線 17 a にオン電圧 (V o n 電圧) が出力されていることを示す。無印のブロック 141 が担当するゲート信号線 17 (17 a、17 b) には、オフ電圧 (V o f f 1 電圧、または、V o f f 2 電圧) が出力されているとして説明する。ただし、E n b 端子を H の場合は、○印のブロックから、オン電圧が出力されるが、E n b 端子が L の場合は、○印のブロックであっても、ゲート信号線 17 (17 a、17 b) への出力電圧は、オフ電圧となる。

20

【0324】

図 30 A、図 30 B において、ゲートドライバ I C 12 a のクロック (C l k) 端子は、ゲート信号線出力回路 53 a と 53 b と共通である。ゲートドライバ I C 12 b のゲート信号線出力回路 53 a は、C l k B 1 であり、ゲートドライバ I C 12 b のゲート信号線出力回路 53 b は、C l k B 2 である。つまり、ゲートドライバ I C 12 b のゲート信号線出力回路 53 a とゲート信号線出力回路 53 b とは、別クロックで動作する。または、ゲート信号線出力回路 53 a とゲート信号線出力回路 53 b に、同一のクロックを入力し、ゲート信号線出力回路 53 b または、ゲートドライバ I C 12 b 内で、入力されたクロックを所定値に分周する。以上の事項は、本明細書の他に実施の形態にも適用できることは言うまでもない。

30

【0325】

図 30 A、図 30 B などにおいて、ゲートドライバ I C 12 a のゲート信号線出力回路 53 b に関しては動作を省略する。理解を容易にするためである。つまり、図 30 A、図 30 B などにおいて、ゲート信号線 17 a にオン電圧を印加すること、オン電圧位置をシフトすることを中心として説明をする。また、ゲートドライバ I C 12 a のゲート信号線出力回路 53 a と、ゲートドライバ I C 12 b のゲート信号線出力回路 53 a およびゲート信号線出力回路 53 b の動作、制御、駆動方法、構成を中心として説明をする。

40

【0326】

ゲートドライバ I C 12 a のゲート信号線出力回路 53 b に関しては動作などの説明は省略する。ゲート信号線出力回路 53 b の動作あるいは駆動方式は、ゲートドライバ I C 12 a のゲート信号線出力回路 53 a と同一あるいは類似であるからである。ゲートドライバ I C 12 a のゲート信号線出力回路 53 a がゲート信号線 17 a を選択あるいはオン電圧位置を制御する方式と、ゲートドライバ I C 12 a のゲート信号線出力回路 53 b がゲート信号線 17 b を選択あるいはオン電圧位置を制御する方式とは同一あるいは類似の動作であるからである。

50

【 0 3 2 7 】

図 3 0 A、図 3 0 B などにおいて、C l k 端子に印加された電圧レベルあるいは信号エッジでデータ（○印）位置は、ブロック 1 4 1 を移動するあるいは、C l k 端子に印加されたロジックレベルが、ブロック 1 4 1 に入力される。

【 0 3 2 8 】

なお、理解を容易にするため、あるいは、図面の記載の煩雑を抑制するため、C l k 端子によるデータのラッチ、シフトに関する記載あるいは記述、説明は省略する。

【 0 3 2 9 】

図 3 0 A、図 3 0 B において、D a t 端子の“H”とは、ゲート信号線 1 7 にオン電圧を出力するデータを設定あるいは入力する状態あるいは入力した状態を示す。D a t 端子の“L”とは、ゲート信号線 1 7 にオフ電圧を出力するデータを設定あるいは入力する状態あるいは入力した状態を示す。E n b 端子の“H”とは、ブロック 1 4 1 の設定状態（○印はゲート信号線 1 7 にオン電圧を出力する。無印はゲート信号線 1 7 にオフ電圧を出力する）に基づき、各ゲート信号線 1 7 にオン電圧またはオフ電圧を出力した状態あるいは出力する状態を示す。E n b 端子の“L”とは、ブロック 1 4 1 の設定状態（○印はゲート信号線 1 7 にオン電圧を出力する。無印はゲート信号線 1 7 にオフ電圧を出力する）によらず、各ゲート信号線 1 7 にオフ電圧を出力した状態あるいは出力する状態を示す。

10

【 0 3 3 0 】

図 3 0 A、図 3 0 B において、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a には、D a t A 1 端子、E n b A 1 端子が接続され、C l k A 端子は、ゲート信号線出力回路 5 3 b と共通接続されている。ゲート信号線出力回路 5 3 b には、D a t A 2 端子、E n b A 2 端子が接続されている。また、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a には、D a t B 1 端子、E n b B 1 端子、C l k B 1 端子が接続され、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 b には、D a t B 2 端子、E n b B 2 端子、C l k B 2 端子が接続されている。

20

【 0 3 3 1 】

図 3 0 A では、ゲートドライバ I C 1 2 a の D a t A 1 端子“H”、E n b A 1 端子“H”、D a t A 2 端子“L”、E n b A 2 端子“L”に設定される。

【 0 3 3 2 】

なお、ゲートドライバ I C 1 2 a の D a t A 2 端子を“L”、E n b A 2 端子を“L”としているが、理解を容易にするため、ゲート信号線 1 7 b の制御に関する動作の説明をしていない理由による。実際の本開示の E L 表示装置（E L 表示パネル）の駆動方法ではゲートドライバ I C 1 2 a のゲート信号線 1 7 b のオンオフ制御を行うため、を D a t A 2 端子も“H”または“L”、E n b A 2 端子も“H”または“L”に設定することは言うまでもない。

30

【 0 3 3 3 】

図 3 0 A において、ゲートドライバ I C 1 2 a の D a t A 1 端子“H”、E n b A 1 端子“H”、D a t A 2 端子“L”、E n b A 2 端子“L”に設定されている。C l k A の入力により、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a のブロック 1 4 1（A 1）にオンデータ（○印）が入力される。ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a の E n b A 1 端子は、“H”であるため、画素 1 6 a のゲート信号線 1 7 a にはオン電圧が出力される。したがって、ソース信号線（図示せず）に印加された映像信号が、画素 1 6 a に印加される。

40

【 0 3 3 4 】

同様に、ゲートドライバ I C 1 2 b の D a t B 1 端子“H”、E n b B 1 端子“H”に設定されているため、C l k B 1 の入力により、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a のブロック 1 4 1（A 1）にオンデータ（○印）が入力される。ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a の E n b B 1 端子は、“H”であるため、画素 1 6 a のゲート信号線 1 7 a にはオン電圧が出力される。

50

【 0 3 3 5 】

以上の設定あるいは制御状態から、画素 16 a のゲート信号線 17 a は、ゲートドライバ IC 12 a のゲート信号線出力回路 53 a と、ゲートドライバ IC 12 b のゲート信号線出力回路 53 a とで、両側駆動が実施される。

【0336】

ゲートドライバ IC 12 b の Dat B2 端子“L”、Enb B2 端子“L”に設定されているため、Clk B2 の入力により、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b のブロック 141 (B1) にオフデータ (無印) が入力される。また、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b の Enb B2 端子は、“L”であるため、画素 16 b のゲート信号線 17 a にはオフ電圧が出力される。なお、この場合は、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b の Enb B2 端子を“H”としても、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b のブロック 141 (B1) にオフデータ (無印) であるため、画素 16 b のゲート信号線 17 a にはオフ電圧が出力される。

10

【0337】

つまり、ゲートドライバ IC 12 b がゲート信号線 17 a に出力する電圧 (オン電圧、オフ電圧) は、ブロック 141 にラッチあるいは保持されているデータにより制御することもできる。また、Enb 端子のロジック設定によっても実現することができる。したがって、本開示の EL 表示装置 (EL 表示パネル) の駆動方法では、上記のいずれの方法で実現してもよいことは言うまでもない。

20

【0338】

以上の動作あるいは制御により、図 30 A では、画素 16 a のゲート信号線 17 a は両側駆動が実現され、他の画素のゲート信号線 17 a は、オフ電圧が印加される。なお、必要に応じて、ゲート信号線 17 b は、ゲートドライバ IC 12 a のゲート信号線出力回路 53 b により、オンオフ電圧を印加すればよいことは言うまでもない。

【0339】

図 30 B において、ゲートドライバ IC 12 a の Dat A1 端子“L”、Enb A1 端子“H”、Dat A2 端子“L”、Enb A2 端子“L”に設定されている。Clk A の入力により、ゲートドライバ IC 12 a のゲート信号線出力回路 53 a のブロック 141 (A1) にオフデータ (無印) が入力される。また、ブロック A1 のオンデータ (○印) が、ブロック A2 に転送される (シフトされる)。

30

【0340】

ゲートドライバ IC 12 a のゲート信号線出力回路 53 a の Enb A1 端子は、“H”であるため、画素 16 a のゲート信号線 17 a にはオフ電圧が出力され、画素 16 b のゲート信号線 17 a にはオン電圧が出力される。したがって、ソース信号線 (図示せず) に印加された映像信号が、画素 16 b に印加される。また、先に画素 16 a に印加された映像信号は、保持される。

【0341】

同様に、ゲートドライバ IC 12 b の Dat B2 端子“H”、Enb B2 端子“H”に設定されているため、Clk B2 の入力により、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b のブロック 141 (B1) にオンデータ (○印) が入力される。ゲートドライバ IC 12 b のゲート信号線出力回路 53 b の Enb B2 端子は、“H”であるため、画素 16 b のゲート信号線 17 a にはオン電圧が出力される。

40

【0342】

以上の設定あるいは制御状態から、画素 16 b のゲート信号線 17 a は、ゲートドライバ IC 12 a のゲート信号線出力回路 53 a と、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b とで、両側駆動が実施される。

【0343】

なお、図 30 B ではゲートドライバ IC 12 b の Clk B1 には、クロックが入力されない。したがって、ゲートドライバ IC 12 b のゲート信号線出力回路 53 a のブロック A1 の保持されたデータは、ブロック A2 には転送されない。また、Enb B1 は“L”

50

であるため、画素 16 a のゲート信号線 17 a には、オフ電圧が印加される。

【0344】

以上の動作あるいは制御により、図 30 B では、画素 16 b のゲート信号線 17 a は両側駆動が実現され、他の画素 16 (16 c、16 d、・・・16 n) のゲート信号線 17 a は、オフ電圧が印加される。なお、必要に応じて、ゲート信号線 17 b は、ゲートドライバ IC 12 a のゲート信号線出力回路 53 b により、オンオフ電圧を印加すればよいことは言うまでもない。

【0345】

図 31 A、図 31 B も図 30 A、図 30 B と同様の制御が実施される。

【0346】

10

図 31 A において、ゲートドライバ IC 12 a の Dat A1 端子“L”、Enb A1 端子“H”、Dat A2 端子“L”、Enb A2 端子“L”に設定されている。Clk A の入力により、ゲートドライバ IC 12 a のゲート信号線出力回路 53 a のブロック 141 (A1) にオフデータ(無印)が入力される。ゲートドライバ IC 12 a のゲート信号線出力回路 53 a の Enb A1 端子は、“H”であるため、画素 16 a のゲート信号線 17 a には、ブロック A1 のデータ状態が反映され、オフ電圧が出力される。また、Clk A の入力により、ブロック A2 のデータは、A3 に転送される。画素 16 c のゲート信号線 17 a にオン電圧が出力され、ソース信号線(図示せず)に印加された映像信号が、画素 16 c に印加される。

【0347】

20

同様に、ゲートドライバ IC 12 b の Dat B1 端子“L”、Enb B1 端子“H”に設定されているため、Clk B1 の入力により、ゲートドライバ IC 12 b のゲート信号線出力回路 53 a のブロック 141 (A1) にオフデータ(無印)が入力される。ゲートドライバ IC 12 b のゲート信号線出力回路 53 a のブロック A1 のデータは、ブロック A2 に転送される。ゲートドライバ IC 12 b のゲート信号線出力回路 53 a の Enb B1 端子は、“H”であるため、画素 16 a のゲート信号線 17 a にはオフ電圧が出力され、画素 16 c のゲート信号線 17 a にはオン電圧が出力される。

【0348】

以上の設定あるいは制御状態から、画素 16 c のゲート信号線 17 a は、ゲートドライバ IC 12 a のゲート信号線出力回路 53 a と、ゲートドライバ IC 12 b のゲート信号線出力回路 53 a とで、両側駆動が実施される。

30

【0349】

ゲートドライバ IC 12 b の Dat B2 端子“L”、Enb B2 端子“L”に設定されているため、また、Clk B2 が入力されず、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b のデータはシフトされない。したがって、ゲートドライバ IC 12 b のゲート信号線出力回路 53 b のブロック B1 の保持されたデータは、ブロック B2 には転送されない。また、Enb B1 は“L”であるため、画素 16 b のゲート信号線 17 a には、オフ電圧が印加される。

【0350】

以上の設定あるいは制御状態から、画素 16 c のゲート信号線 17 a は、ゲートドライバ IC 12 a のゲート信号線出力回路 53 a と、ゲートドライバ IC 12 b のゲート信号線出力回路 53 a とで、両側駆動が実施される。

40

【0351】

以上の動作あるいは制御により、図 31 A では、画素 16 c のゲート信号線 17 a は両側駆動が実現され、他の画素のゲート信号線 17 a は、オフ電圧が印加される。なお、必要に応じて、ゲート信号線 17 b は、ゲートドライバ IC 12 a のゲート信号線出力回路 53 b により、オンオフ電圧を印加すればよいことは言うまでもない。

【0352】

図 31 B において、ゲートドライバ IC 12 a の Dat A1 端子“L”、Enb A1 端子“H”、Dat A2 端子“L”、Enb A2 端子“L”に設定されている。Clk A の

50

入力により、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a のブロック 1 4 1 (A 1) にオフデータ (無印) が入力される。ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a の E n b A 1 端子は、“ H ” であるため、画素 1 6 a のゲート信号線 1 7 a には、ブロック A 1 のデータ状態が反映され、オフ電圧が出力される。また、C l k A の入力により、ブロック A 3 のデータは、A 4 に転送される。画素 1 6 d のゲート信号線 1 7 a にオン電圧が出力され。ソース信号線 1 8 (図示せず) に印加された映像信号が、画素 1 6 d に印加される。

【 0 3 5 3 】

同様に、ゲートドライバ I C 1 2 b の D a t B 2 端子 “ L ”、E n b B 2 端子 “ H ” に設定されているため、C l k B 2 の入力により、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a のブロック 1 4 1 (B 1) にオフデータ (無印) が入力される。ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a のブロック B 1 のデータは、ブロック A B に転送される。ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 b の E n b B 1 端子は、“ H ” であるため、画素 1 6 b のゲート信号線 1 7 a にはオフ電圧が出力され、画素 1 6 d のゲート信号線 1 7 a にはオン電圧が出力される。

10

【 0 3 5 4 】

以上の設定あるいは制御状態から、画素 1 6 d のゲート信号線 1 7 a は、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a と、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 b とで、両側駆動が実施される。

20

【 0 3 5 5 】

ゲートドライバ I C 1 2 a の D a t B 2 端子 “ L ”、E n b B 2 端子 “ L ” に設定され、また、C l k B 1 が入力されず、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a のデータはシフトされない。したがって、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a のブロック A 1 の保持されたデータは、ブロック A 2 には転送されない。また、E n b B 1 は “ L ” であるため、画素 1 6 c のゲート信号線 1 7 a には、オフ電圧が印加される。

【 0 3 5 6 】

以上の設定あるいは制御状態から、画素 1 6 d のゲート信号線 1 7 a は、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a と、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 b とで、両側駆動が実施される。

30

【 0 3 5 7 】

以上の動作あるいは制御により、図 3 1 B では、画素 1 6 c のゲート信号線 1 7 a は両側駆動が実現され、他の画素のゲート信号線 1 7 a は、オフ電圧が印加される。なお、必要に応じて、ゲート信号線 1 7 b は、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 b により、オンオフ電圧を印加すればよいことは言うまでもない。

【 0 3 5 8 】

以上のように、ゲートドライバ I C 1 2 a は、ゲート信号線出力回路 5 3 a、5 3 b のデータ位置を C l k A に同期してシフトさせることにより、ゲートドライバ I C 1 2 b は、ゲート信号線出力回路 5 3 a、5 3 b を別クロック (C l k B 1、C l k B 2) で交互に、あるいは独立に制御することにより、また、E n b B 1 端子、E n b B 2 端子と交互にあるいは独立に制御することにより、各画素のゲート信号線 1 7 a の両側駆動を実現する。

40

【 0 3 5 9 】

以上の実施の形態では、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a のクロック C l k B 1 とゲート信号線出力回路 5 3 b のクロック C l k B 2 を交互に動作させ、ブロック 1 4 1 内のデータ位置 (◯ 印、無印位置) を移動させるとした。しかし、本開示はこれに限定するものではない。

【 0 3 6 0 】

たとえば、図 3 1 A、図 3 1 B において、◯ 印が、ゲート信号線出力回路 5 3 a のブロック A 1、ゲート信号線出力回路 5 3 b のブロック B 1 にあるとする。クロック C l k B

50

1、C l k B 2を同一タイミングで、ゲート信号線出力回路5 3 a、5 3 bに入力すると、○印位置が、図3 1 Bに示すブロック1 4 1位置に移動する。つまり、○印位置は、ゲート信号線出力回路5 3 aのA 2位置、ゲート信号線出力回路5 3 bのB 2位置に移動する。

【0 3 6 1】

図3 1 Bの状態、ゲート信号線出力回路5 3 aのイネーブル端子E n b B 1をHとし、ゲート信号線出力回路5 3 bのイネーブル端子E n b B 2をLとすれば、画素1 6 cのゲート信号線1 7 aにオン電圧が印加され、画素1 6 dのゲート信号線1 7 aにオフ電圧が印加される。この時、ゲートドライバI C 1 2 aにより、画素1 6 cのゲート信号線1 7 aにオン電圧を印加すれば、画素1 6 cのゲート信号線1 7 aは両側駆動となる。また、図3 1 Bの状態、ゲート信号線出力回路5 3 aのイネーブル端子E n b B 1をLとし、ゲート信号線出力回路5 3 bのイネーブル端子E n b B 2をHとすれば、画素1 6 dのゲート信号線1 7 aにオン電圧が印加され、画素1 6 aのゲート信号線1 7 aにオフ電圧が印加される。この時、ゲートドライバI C 1 2 aにより、画素1 6 dのゲート信号線1 7 aにオン電圧を印加すれば、画素1 6 dのゲート信号線1 7 aは両側駆動となる。

10

【0 3 6 2】

以上のように、ゲートドライバI C 1 2 a、ゲートドライバI C 1 2 bを制御、あるいは、各ゲートドライバI C 1 2のゲート信号線出力回路5 3 a、ゲート信号線出力回路5 3 bの制御などを実施しても、本開示の駆動方式を実現できることは言うまでもない。以上の事項は、ゲート信号線1 7 bの制御についても同様である。また、本開示の他の実施の形態においても適用されることは言うまでもない。

20

【0 3 6 3】

以上の実施の形態は、ゲート信号線出力回路5 3 (5 3 a、5 3 b)のブロック1 4 1に○印が1つの場合について説明した。しかし、本開示はこれに限定するものではない。ゲート信号線出力回路5 3 (5 3 a、5 3 b)内のシフトレジスタにデータ(○印、無印)の入力は、クロック端子(C l k)と、データ端子(D a t)により実施される。したがって、シフトレジスタ5 1などに、データを入力するには、データ端子とクロック端子を制御あるいは操作すればよい。したがって、○印のデータを連続してシフトレジスタ5 1に入力することも実現できるし、飛び飛びに○印のデータをシフトレジスタ5 1に入力することもできる。

30

【0 3 6 4】

図3 2 A、図3 2 Bは、ゲート信号線出力回路5 3またはシフトレジスタ5 1に連続したデータ(○印)を入力した実施の形態である。

【0 3 6 5】

なお、本開示の実施の形態において、○印が連続した実施例を中心として説明するが、これは図示し、理解を容易になるからである。実際には、○印以外の箇所には無印のデータがシフトレジスタ5 1内に保持されていることは言うまでもない。

【0 3 6 6】

図3 2 Aにおいて、ゲートドライバI C 1 2 aは、D a t A 1端子を“H”とし、C l k A 端子に2回のクロックが入力された状態である(ゲートドライバI C 1 2 aのゲート信号線出力回路5 3 bに関しては説明を省略する)。したがって、ゲートドライバI C 1 2 aのゲート信号線出力回路5 3 aのブロックA 1、A 2に○印(オン電圧位置)が保持されている。また、ゲートドライバI C 1 2 aのゲート信号線出力回路5 3 aのE n b A 1端子を“H”としているにより、画素1 6 aおよび画素1 6 bのゲート信号線1 7 aのオン電圧が印加(出力)されている。

40

【0 3 6 7】

一方、ゲートドライバI C 1 2 bのD a t B 1およびD a t B 2端子に“H”ロジックが印加され、C l k B 1、C l k B 2に1回のクロック信号が入力されることにより、ゲートドライバI C 1 2 bのゲート信号線出力回路5 3 aのブロックA 1およびゲート信号線出力回路5 3 bのブロックB 1に、○印(オン電圧位置)が保持されている。また、ゲ

50

ートドライバIC 12 bのゲート信号線出力回路53 aのEnb B 1端子およびEnb B 2端子を“H”としているにより、画素16 aおよび画素16 bのゲート信号線17 aのオン電圧が印加（出力）されている。ゲートドライバIC 12 aのEnb A 1は、“H”となっている。

【0368】

以上の設定あるいは制御状態から、画素16 a、画素16 bゲート信号線17 aは、ゲートドライバIC 12 aのゲート信号線出力回路53 aと、ゲートドライバIC 12 bのゲート信号線出力回路53 a、53 bとで、両側駆動が実施される。

【0369】

図32 Bは、図32 Aの状態から、ゲートドライバIC 12 aのゲート信号線出力回路53 aにDat A 1を“L”とし、Clk A端子に1回のクロックを入力した状態である。図32 Aの位置から、ゲート信号線出力回路53 aの○印位置が1ブロックシフトされ、ブロックA 2、A 3位置にシフトしている。また、ゲートドライバIC 12 bのゲート信号線出力回路53 aにDat B 1、Dat B 2を“L”とし、Clk B 1端子に1回のクロックを入力した状態である。図32 Aの位置から、ゲートドライバIC 12 bのゲート信号線出力回路53 aの○印位置が1ブロックシフトされ、ブロックA 2位置にシフトしている。なお、ゲートドライバIC 12 bのゲート信号線出力回路53 bには、Clk B 2には、クロックは入力されておらず、○印位置は、B 1のままである。ゲートドライバIC 12 bのEnb B 1、Enb B 2は、“H”となっている。

10

【0370】

以上の設定あるいは制御状態から、画素16 b、画素16 cのゲート信号線17 aは、ゲートドライバIC 12 aのゲート信号線出力回路53 aと、ゲートドライバIC 12 bのゲート信号線出力回路53 a、53 bとで、両側駆動が実施される。したがって、図32 Aに比較して、図32 Bは、ゲート信号線17 aへのオン電圧位置が1画素行シフトされている。

20

【0371】

図33 Aは、図32 Bの状態から、ゲートドライバIC 12 aのゲート信号線出力回路53 aにDat A 1を“L”とし、Clk A端子に1回のクロックを入力した状態である。図32 Bの位置から、ゲート信号線出力回路53 aの○印位置が1ブロックシフトされ、ブロックA 3、A 4位置にシフトしている。また、ゲートドライバIC 12 bのゲート信号線出力回路53 aにDat B 1、Dat B 2を“L”とし、Clk B 2端子に1回のクロックを入力した状態である。図32 Bの位置から、ゲートドライバIC 12 bのゲート信号線出力回路53 bの○印位置が1ブロックシフトされ、ブロックB 2位置にシフトしている。したがって、ゲートドライバIC 12 bの○印位置は、ブロックA 2とB 2である。ゲートドライバIC 12 bのEnb B 1、Enb B 2は、“H”となっている。

30

【0372】

以上の設定あるいは制御状態から、画素16 c、画素16 dのゲート信号線17 aは、ゲートドライバIC 12 aのゲート信号線出力回路53 aと、ゲートドライバIC 12 bのゲート信号線出力回路53 a、53 bとで、両側駆動が実施される。したがって、図32 Bに比較して、図33 Aは、ゲート信号線17 aへのオン電圧位置が1画素行シフトされている。

40

【0373】

図33 Bは、図33 Aの状態から、ゲートドライバIC 12 aのゲート信号線出力回路53 aにDat A 1を“L”とし、Clk A端子に1回のクロックを入力した状態である。図33 Aの位置から、ゲート信号線出力回路53 aの○印位置が1ブロックシフトされ、ブロックA 4、A 5位置にシフトしている。また、ゲートドライバIC 12 bのゲート信号線出力回路53 aにDat B 1、Dat B 2を“L”とし、Clk B 1端子に1回のクロックを入力した状態である。図33 Aの位置から、ゲートドライバIC 12 bのゲート信号線出力回路53 aの○印位置が1ブロックシフトされ、ブロックA 3位置にシフトしている。したがって、ゲートドライバIC 12 bの○印位置は、ブロックA 3とB 2で

50

ある。ゲートドライバ I C 1 2 b の E n b B 1、E n b B 2 は、“ H ” となっている。

【 0 3 7 4 】

以上の設定あるいは制御状態から、画素 1 6 d、画素 1 6 e のゲート信号線 1 7 a は、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a と、ゲートドライバ I C 1 2 b のゲート信号線出力回路 5 3 a、5 3 b とで、両側駆動が実施される。したがって、図 3 3 A に比較して、図 3 3 B は、ゲート信号線 1 7 a へのオン電圧位置が 1 画素行シフトされている。

【 0 3 7 5 】

以上のように、連続した ○ 印位置は、シフトレジスタ 5 1 のブロック 1 4 1 位置を順次シフトされる。なお、図 3 2 A、図 3 2 B、図 3 3 A、図 3 3 B では、ゲートドライバ I C 1 2 a、ゲートドライバ I C 1 2 b のいずれもが、○ 印位置が連続として制御あるいは操作するとして説明したがこれに限定するものでなく、一方が、非連続であってもよいし、3 個以上を連続としてもよいことは言うまでもない。

【 0 3 7 6 】

図 3 4 A、図 3 4 B は、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 b の制御あるいは操作の説明図である。なお、ゲートドライバ I C 1 2 b の動作あるいは操作は、以前に説明した動作と同一あるいは類似であるので、説明を省略する。

【 0 3 7 7 】

図 3 4 A は、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 b に D a t A 2 を “ H ” とし、C l k A 端子に 3 回のクロックを入力した状態である。ゲート信号線出力回路 5 3 b にデータ (○ 印) が入力され、また、○ 印位置はブロック 1 4 1 をシフトされ、ブロック B 1、B 2、B 3 位置に保持されている。また、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a に D a t A 1 を “ H ” とし、C l k A 端子に 1 回のクロックを入力した状態である。ゲートドライバ I C 1 2 a の E n b A 1、E n b A 2 は、“ H ” となっている。

【 0 3 7 8 】

以上の設定あるいは制御状態から、画素 1 6 a、画素 1 6 b、画素 1 6 c のゲート信号線 1 7 b には、オン電圧が出力されている。また、画素 1 6 a のゲート信号線 1 7 a には、オン電圧が出力されている。したがって、画素 1 6 a のゲート信号線 1 7 a は両側駆動が実施され、画素 1 6 a、画素 1 6 b、画素 1 6 c のゲート信号線 1 7 b には、片側駆動が実施される。なお、図 5 0 の画素構成では、ゲート信号線 1 7 b には、スイッチ用トランジスタ 1 1 d が接続され、スイッチ用トランジスタ 1 1 d は、駆動用トランジスタ 1 1 a が、E L 素子 1 5 に流す電流を制御する。したがって、ゲート信号線 1 7 b にオン電圧が印加されると、スイッチ用トランジスタ 1 1 d がオンし、E L 素子 1 5 に電流が供給され、E L 素子 1 5 が点灯する。逆に、スイッチ用トランジスタ 1 1 d がオフであれば、E L 素子 1 5 に電流が供給されず、E L 素子 1 5 は消灯状態である。

【 0 3 7 9 】

以上の動作あるいは操作から、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 b を制御あるいは操作することにより、E L 表示装置 (E L 表示パネル) の任意の画素行の点灯、非点灯を制御することができる。また、点灯位置を移動させることにより、d u t y 駆動を実現できる。以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【 0 3 8 0 】

図 3 4 B は、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 b に D a t A 2 を “ L ” とし、C l k A 端子に 1 回のクロックを入力した状態である。ゲート信号線出力回路 5 3 b にデータ (無印) が入力され、また、○ 印位置がブロック 1 4 1 をシフトされ、ブロック B 2、B 3、B 4 位置に保持されている。また、ゲートドライバ I C 1 2 a のゲート信号線出力回路 5 3 a に D a t A 1 を “ L ” とし、C l k A 端子に 1 回のクロックを入力した状態である。ゲートドライバ I C 1 2 a の E n b A 1、E n b A 2 は、“ H ” と

10

20

30

40

50

なっている。

【0381】

以上の設定あるいは制御状態から、画素16b、画素16c、画素16のゲート信号線17bには、オン電圧が出力されている。また、画素16bのゲート信号線17aには、オン電圧が出力されている。したがって、画素16bのゲート信号線17aは両側駆動が実施され、画素16b、画素16c、画素16dのゲート信号線17bには、片側駆動が実施される。

【0382】

以上のように、ゲートドライバIC12aのゲート信号線出力回路53aと、ゲートドライバIC12bのゲート信号線出力回路53a、53bとで、ゲート信号線17aの両側駆動が実施される。また、ゲートドライバIC12aのゲート信号線出力回路53bにより、ゲート信号線17bの片側駆動が実施される。

10

【0383】

以上のように、連続した○印位置は、シフトレジスタ51のブロック141位置を順次シフトされ、duty駆動などが実施される。

【0384】

以上の本開示において、ゲートドライバIC12aとゲートドライバIC12bは、同一のゲートドライバIC12であり、EL表示装置(EL表示パネル)の実装位置(表示画面25の右位置、表示画面25の左位置)に対応させ、制御端子(Dat端子、Enb端子、Clk端子など)を制御あるいは操作することにより、ゲート信号線17の両側駆動あるいは片側駆動を実現あるいは実施するものである。

20

【0385】

したがって、1つの種類の本開示のゲートドライバIC12(12a、12b)を作製し、作製したゲートドライバIC12(12a、12b)を、多種多様な画素回路を有するEL表示装置に実装することにより、良好な画像表示を実現するEL表示装置を実現することができる。また、本開示のゲートドライバIC12(12a、12b)は、多種多様な画素回路に対応することができる。したがって、汎用ゲートドライバIC12(12a、12b)として使用することができ、大量生産することができるため、低コスト化できる。

【0386】

30

また、本開示のゲートドライバIC12(12a、12b)は、上下反転設定ロジック端子(UD端子、たとえば、図15参照のこと)により、シフトレジスタの走査方向を設定できる。したがって、表示画面25の左右にゲートドライバIC12a、12bを配置して仕様することができる。したがって、ゲート信号線17の両側駆動、片側駆動を容易に実現できる。また、片側駆動を実施することにより、ゲートドライバIC12(12a、12b)の使用個数を削減でき、低コスト化を実現できる。

【0387】

また、SEL端子などを制御あるいは設定することにより、ゲート電圧3値駆動とゲート電圧2値駆動を実現するものである。特に、EL表示装置(EL表示パネル)では、画素16に複数のゲート信号線17が存在し、両側駆動を実施すべきゲート信号線17は、画素のレイアウト設計を行わないと、物理的位置が決定しない(たとえば、画素16に映像信号を印加するゲート信号線17a位置)。しかし、画素のレイアウト設計が完了してから、ゲートドライバIC12(12a、12b)などを開発あるいは設計していたのでは、EL表示装置(EL表示パネル)の完成までに非常に長い期間を必要とするので現実的ではない。本開示では、ゲートドライバIC12(12a、12b)を、EL表示装置(EL表示パネル)の実装位置(表示画面25の右位置、表示画面25の左位置)のいずれにでも対応できるようにしており、また、ゲート信号線出力回路53を制御などにより、ゲート信号線17の両側駆動、片側駆動を容易に実現できる。また、任意のゲート信号線17にゲート電圧3値駆動、ゲート電圧2値駆動を選択して実施することができる。

40

【0388】

50

また、図 14、図 12、図 17、図 18 で図示するように、パネル側から入力制御配線 261 などを分岐して、ドライバ IC のロジック設定などを行う。したがって、COF に形成する配線数などを削減できるため、ゲートプリント基板 (PCB) レスのパネルモジュールを容易に構成でき、パネルモジュールを薄型に構成できる。

【0389】

図 8A、図 8B、図 9、図 19、図 21 で図示するように、ドライバ IC 内に、内部配線を形成することにより、COF に形成する配線数などを削減できるため、ゲートプリント基板 (PCB) レスのパネルモジュールを容易に構成でき、パネルモジュールを薄型に構成できる。

【0390】

また、本開示にかかる画素は、図 5 に示した画素 16 と同様であるため、詳細な説明は省略する。

【0391】

図 35A および図 35B は、本開示の EL 表示装置 (EL 表示パネル) の駆動方法を説明する説明図である。図 35A および図 35B などにおいて、上下反転方法の制御端子 (UDA、UDB) のロジック端子の設定により、ゲートドライバ IC 12 の走査方向が設定される。ゲートドライバ IC 12a およびゲートドライバ IC 12b の走査方向は紙面の上から下方向とする。

【0392】

ゲートドライバ IC 12a およびゲートドライバ IC 12b は、同一仕様あるいは同一構成のゲートドライバ IC 12 である。したがって、ゲートドライバ IC 12a の UDA 端子とゲートドライバ IC 12b の UDB 端子とのロジック設定は、逆の設定としている。たとえば、UDA 端子が “H” であれば、UDB 端子は “L” と設定される。

【0393】

クロック端子 (Clk 端子) は、ゲートドライバ IC 12 のゲート信号線出力回路 53a、53b を共通にし、ゲートドライバ IC 12 のゲート信号線出力回路 53c、53d を共通にしている。これは、ゲートドライバ IC 12b において、ゲート信号線出力回路 53a と 53b を同一クロックで動作させ、また、ゲート信号線出力回路 53c と 53d を同一クロックで動作させるためであり、ゲートドライバ IC 12b の結線状態 (Clk 端子の接続状態) をゲートドライバ IC 12a に適用したためである。

【0394】

なお、図 35A および図 35B などでは、ゲートドライバ IC 12a では、ゲート信号線出力回路 53a、53b、53c、53d は同一のクロックで動作させるため、ゲートドライバ IC 12a では、Clk 端子 (ClkA1、ClkA2) を共通にし、4 つのゲート信号線出力回路 53 を同一のクロックで動作するように構成してもよい。

【0395】

図 35A では、ゲートドライバ IC 12a のゲート信号線出力回路 53a には、DatA1 端子、EnbA1 端子が接続され、ゲート信号線出力回路 53b には、DatA2 端子、EnbA2 端子が接続されている。また、ゲート信号線出力回路 53c には、DatA3 端子、EnbA3 端子が接続され、ゲート信号線出力回路 53d には、DatA4 端子、EnbA4 端子が接続されている。

【0396】

ゲートドライバ IC 12b のゲート信号線出力回路 53a には、DatB1 端子、EnbB1 端子が接続され、ゲート信号線出力回路 53b には、DatB2 端子、EnbB2 端子が接続されている。また、ゲート信号線出力回路 53c には、DatB3 端子、EnbB3 端子が接続され、ゲート信号線出力回路 53d には、DatB4 端子、EnbB4 端子が接続されている。

【0397】

図 35A において、ゲートドライバ IC 12a の DatA1 端子、DatA2 端子、D

10

20

30

40

50

a t A 3 端子、D a t A 4 端子に “ H ” と設定され、C l k A 1、C l k A 2 端子のクロック入力により、ゲートドライバ I C 1 2 a のブロック 1 4 1 の A 1、B 1、C 1、D 1 に○印のデータが設定される。また、ゲートドライバ I C 1 2 a の E n b A 1 端子、E n b A 2 端子、E n b A 3 端子、E n b A 4 端子が “ H ” と設定されているため、画素 1 6 a のゲート信号線 1 7 a、1 7 b、1 7 c、1 7 d にオン電圧が印加される。他の画素 1 6 (1 6 b、1 6 c、・・・) のゲート信号線 1 7 は、オフ電圧が印加されている。

【 0 3 9 8 】

また、ゲートドライバ I C 1 2 b の D a t B 1 端子、D a t B 2 端子、D a t B 3 端子、D a t B 4 端子に “ H ” と設定され、C l k B 1、C l k B 2 端子のクロック入力により、ゲートドライバ I C 1 2 a のブロック A 1、B 1、C 1、D 1 に○印のデータが設定される。

10

【 0 3 9 9 】

また、ゲートドライバ I C 1 2 b の E n b B 1 端子、E n b B 2 端子が “ H ” 設定されており、E n b B 3 端子、E n b B 4 端子が “ L ” と設定されているため、画素 1 6 a のゲート信号線 1 7 a、1 7 b にオン電圧が印加され、画素 1 6 a のゲート信号線 1 7 c、1 7 d にオフ電圧が印加される。他の画素 1 6 のゲート信号線 1 7 は、オフ電圧が印加されている。

【 0 4 0 0 】

以上の設定状態により、画素 1 6 a (画素 1 6 a が位置する画素行) のゲート信号線 1 7 a、1 7 b は、両側駆動が実施される。また、画素 1 6 a (画素 1 6 a が位置する画素行) のゲート信号線 1 7 c、1 7 d は、片側駆動が実施される。以上のように、本開示は、同一のゲートドライバ I C 1 2 を用い、表示画面 2 5 の左右にゲートドライバ I C 1 2 a、1 2 b を配置することにより、両側駆動と片側駆動を容易に実現できる。なお、ゲートドライバ I C 1 2 a と 1 2 b の走査方向は反転させる。

20

【 0 4 0 1 】

ゲート信号線 1 7 a には、映像信号を印加するスイッチ用トランジスタ 1 1 b が接続されている。ゲート信号線 1 7 a を両側駆動することにより、高速にスイッチ用トランジスタ 1 1 b をオンオフさせることができる。また、ゲート信号線 1 7 a を駆動するゲート信号線出力回路 5 3 a をゲート電圧 3 値駆動とすることにより、より高速にスイッチ用トランジスタ 1 1 b をオフすることができる。したがって、表示画面 2 5 に良好な画像 (映像) 書込みを実現できる。

30

【 0 4 0 2 】

また、ゲート信号線 1 7 b には、オフセットキャンセル時に機能あるいは動作するスイッチ用トランジスタ 1 1 d が接続されている。ゲート信号線 1 7 b を両側駆動することにより、高速にスイッチ用トランジスタ 1 1 d をオンオフさせることができる。また、ゲート信号線 1 7 a を駆動するゲート信号線出力回路 5 3 b をゲート電圧 3 値駆動とすることにより、より高速にスイッチ用トランジスタ 1 1 b をオフすることができる。したがって、良好なオフセットキャンセル動作を実現できる。

【 0 4 0 3 】

また、ゲート信号線出力回路 5 3 b のオン電圧の入力端子 (V o n B 端子) に印加するオン電圧 (V o n) を他のオン電圧の入力端子 (V o n A、V o n C、V o n D) よりも電圧値を高くする。たとえば、 $V o n B > V o n A$ となるようにする。好ましくは、 $V o n B$ 電圧は、 $V o n A$ よりも、 $V o n A + 3 (V)$ 以上、 $V o n A + 15 (V)$ 以下となるようにする。好ましくは、 $V o n B$ 電圧は、 $V o n A$ よりも、 $V o n A + 5 (V)$ 以上、 $V o n A + 10 (V)$ 以下となるようにする。 $V o n B$ 電圧 (スイッチ用トランジスタ 1 1 d のオン電圧) を高くすることにより、スイッチ用トランジスタ 1 1 d のオン抵抗を低減できる。したがって、スイッチ用トランジスタ 1 1 d のチャンネル間の電圧降下を低減できるため、アノード電圧 $V d d$ を低減でき、E L 表示装置 (E L 表示パネル) の消費電力を低減できる。

40

【 0 4 0 4 】

50

以上のように、本開示は、ゲート信号線出力回路 53 のオン電圧 V_{on} を任意に設定あるいは印加できる。また、ゲート信号線出力回路 53 の駆動方式（ゲート電圧 3 値駆動、ゲート電圧 2 値駆動など）を設定できる。したがって、良好な画像表示を実現でき、また、EL 表示装置（EL 表示パネル）の消費電力を低減できる。以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0405】

なお、ゲート信号線 17c、ゲート信号線 17d は、スイッチ用トランジスタ 11e、11c を駆動する。スイッチ用トランジスタ 11e はリファレンス電圧（ V_{ref} 電圧）を駆動用トランジスタ 11a のゲート端子に印加する機能を有する。 V_{ref} 電圧に印加は、高速動作を必要としない。したがって、ゲート信号線 17c は片側駆動で十分である。スイッチ用トランジスタ 11c は、イニシャル電圧（ V_{ini} 電圧）を駆動用トランジスタ 11a の第 2 のト端子に印加する機能を有する。 V_{ini} 電圧に印加は、高速動作を必要としない。したがって、ゲート信号線 17d は片側駆動で十分である。

【0406】

以上のように、両側駆動が必要なゲート信号線 17 は、ゲートドライバ IC 12a およびゲートドライバ IC 12b により駆動する。また、片側駆動が必要なゲート信号線 17 は、ゲートドライバ IC 12a により駆動する。このように駆動あるいはゲートドライバ IC 12 を配置することにより、ゲートドライバ IC 12b の必要個数を削減でき、したがって、EL 表示装置（EL 表示パネル）を低コスト化できる。また、ゲートドライバ IC 12a とゲートドライバ IC 12b は、同一仕様（同一品種）のゲートドライバ IC 12 を採用することができる。したがって、ゲートドライバ IC 12 の汎用性を高めることができ、また、ゲートドライバ IC 12 の開発費、設計費も削減できる。

【0407】

図 36A および図 36B は、図 35B の次の状態を示す説明図である。図 35 において、ゲートドライバ IC 12a の Dat A1 端子、Dat A2 端子、Dat A3 端子、Dat A4 端子に“L”と設定され、Clk A1、Clk A2 端子のクロック入力により、ゲートドライバ IC 12a のブロック 141 の A1、B1、C1、D1 に無印のデータが設定される。

【0408】

また、ゲートドライバ IC 12a のブロック 141 の A1、B1、C1、D1 の○印データがシフトレジスタ内をシフトし、ブロック A2、B2、C2、D2 に保持される。また、ゲートドライバ IC 12a の Enb A1 端子、Enb A2 端子、Enb A3 端子、Enb A4 端子が“H”と設定されているため、ゲートドライバ IC 12a が駆動する画素 16b のゲート信号線 17a、17b、17c、17d にオン電圧が印加される。他の画素 16（16a、16c、・・・）のゲート信号線 17 は、オフ電圧が印加されている。

【0409】

また、ゲートドライバ IC 12b の Dat B1 端子、Dat B2 端子、Dat B3 端子、Dat B4 端子に“L”と設定され、Clk B1、Clk B2 端子のクロック入力は図 35 の状態から印加されていない。したがって、ゲートドライバ IC 12a のブロック A1、B1、C1、D1 に○印のデータはそのまま保持されている。

【0410】

また、ゲートドライバ IC 12b の Enb B1 端子、Enb B2 端子が“L”設定され、ゲートドライバ IC 12b の Enb B3 端子、Enb B4 端子が“H”設定される。したがって、画素 16a のゲート信号線 17a、17b にオフ電圧が印加され、画素 16b のゲート信号線 17a、17b にオン電圧が印加される。他の画素 16 のゲート信号線 17 は、オフ電圧が印加されている。

【0411】

以上の設定状態により、画素 16b（画素 16b が位置する画素行）のゲート信号線 1

10

20

30

40

50

7 a、1 7 b は、両側駆動が実施される。また、画素 1 6 b (画素 1 6 b が位置する画素行) のゲート信号線 1 7 c、1 7 d は、片側駆動が実施される。

【0 4 1 2】

図 3 7 は、図 3 6 の次の状態を示す説明図である。図 3 7 において、ゲートドライバ I C 1 2 a の D a t A 1 端子、D a t A 2 端子、D a t A 3 端子、D a t A 4 端子に “ L ” と設定され、C l k A 1、C l k A 2 端子のクロック入力により、ゲートドライバ I C 1 2 a のブロック 1 4 1 の A 1、B 1、C 1、D 1 に無印のデータ (オフデータ) が設定される。また、ゲートドライバ I C 1 2 a のブロック 1 4 1 の A、B 2、C 2、D 2 の。印データがシフトレジスタ内をシフトし、ブロック A 3、B 3、C 3、D 3 に保持される。また、ゲートドライバ I C 1 2 a の E n b A 1 端子、E n b A 2 端子、E n b A 3 端子、E n b A 4 端子が “ H ” と設定されているため、ゲートドライバ I C 1 2 a が駆動する画素 1 6 c のゲート信号線 1 7 a、1 7 b、1 7 c、1 7 d にオン電圧が印加される。他の画素 1 6 (1 6 a、1 6 b、1 6 d、・・・) のゲート信号線 1 7 は、オフ電圧が印加されている。

10

【0 4 1 3】

また、ゲートドライバ I C 1 2 b の D a t B 1 端子、D a t B 2 端子、D a t B 3 端子、D a t B 4 端子に “ L ” と設定され、C l k B 1、C l k B 2 端子にクロックが入力される。したがって、ゲートドライバ I C 1 2 b のブロック A 1、B 1、C 1、D 1 の。印のデータは、ブロック A 2、B 2、C 2、D 2 にシフトされて保持される。

【0 4 1 4】

20

また、ゲートドライバ I C 1 2 b の E n b B 1 端子、E n b B 2 端子が “ H ” 設定され、ゲートドライバ I C 1 2 b の E n b B 3 端子、E n b B 4 端子が “ L ” 設定される。したがって、画素 1 6 c のゲート信号線 1 7 a、1 7 b にオン電圧が印加され、画素 1 6 d のゲート信号線 1 7 a、1 7 b にオフ電圧が印加される。他の画素 1 6 のゲート信号線 1 7 は、オフ電圧が印加されている。

【0 4 1 5】

以上の設定状態により、画素 1 6 c (画素 1 6 c が位置する画素行) のゲート信号線 1 7 a、1 7 b は、両側駆動が実施される。また、画素 1 6 c (画素 1 6 c が位置する画素行) のゲート信号線 1 7 c、1 7 d は、片側駆動が実施される。

【0 4 1 6】

30

図 3 8 は、図 3 7 の次の状態を示す説明図である。図 3 7 において、ゲートドライバ I C 1 2 a の D a t A 1 端子、D a t A 2 端子、D a t A 3 端子、D a t A 4 端子に “ L ” と設定され、C l k A 1、C l k A 2 端子のクロック入力により、ゲートドライバ I C 1 2 a のブロック 1 4 1 の A 1、B 1、C 1、D 1 に無印のデータが設定される。

【0 4 1 7】

また、ゲートドライバ I C 1 2 a のブロック 1 4 1 の A 3、B 3、C 3、D 3 の。印データがシフトレジスタ内をシフトし、ブロック A 4、B 4、C 4、D 4 に保持される。また、ゲートドライバ I C 1 2 a の E n b A 1 端子、E n b A 2 端子、E n b A 3 端子、E n b A 4 端子が “ H ” と設定されているため、ゲートドライバ I C 1 2 a が駆動する画素 1 6 d のゲート信号線 1 7 a、1 7 b、1 7 c、1 7 d にオン電圧が印加される。他の画素 1 6 (1 6 a、1 6 b、1 6 c、1 7 e・・・) のゲート信号線 1 7 は、オフ電圧が印加されている。

40

【0 4 1 8】

また、ゲートドライバ I C 1 2 b の D a t B 1 端子、D a t B 2 端子、D a t B 3 端子、D a t B 4 端子に “ L ” と設定され、C l k B 1、C l k B 2 端子には、図 2 9 の状態からクロックは入力されていない。したがって、ゲートドライバ I C 1 2 b のブロック A 2、B 2、C 2、D 2 に。印のデータはそのまま保持されている。

【0 4 1 9】

また、ゲートドライバ I C 1 2 b の E n b B 1 端子、E n b B 2 端子が “ L ” 設定され、ゲートドライバ I C 1 2 b の E n b B 3 端子、E n b B 4 端子が “ H ” 設定される。し

50

たがって、画素 1 6 c のゲート信号線 1 7 a、1 7 b にオフ電圧が印加され、画素 1 6 d のゲート信号線 1 7 a、1 7 b にオン電圧が印加される。他の画素 1 6 のゲート信号線 1 7 は、オフ電圧が印加されている。

【0420】

以上の設定状態により、画素 1 6 d (画素 1 6 d が位置する画素行) のゲート信号線 1 7 a、1 7 b は、両側駆動が実施される。また、画素 1 6 d (画素 1 6 b が位置する画素行) のゲート信号線 1 7 c、1 7 d は、片側駆動が実施される。

【0421】

以上の図 3 5 ~ 図 3 9 の説明図では、ゲートドライバ IC 1 2 のゲート信号線出力回路 5 3 のシフトレジスタ 5 1 に保持される。印データは、1 つとしたが、以前の実施の形態でも説明したように、本開示はこれに限定するものではない。

10

【0422】

図 3 9 は、ゲート信号線出力回路 5 3 内のシフトレジスタ 5 1 に複数の。印データあるいは、連続した。印データを保持させ、また、シフトさせる実施の形態の説明図である。なお、図 3 9 では、ゲートドライバ IC 1 2 a のゲート信号線出力回路 5 3 c、5 3 d を例示して説明している。

【0423】

図 3 9 において、ゲートドライバ IC 1 2 a の Dat A 3 端子、Dat A 4 端子に、“L” または “H” と設定され、Clk A 2 端子のクロック入力により、ゲートドライバ IC 1 2 a のブロック 1 4 1 の C 1、D 1 に無印または。印のデータが設定される。Dat 20 端子を “H” 状態を維持したまま、Clk を入力することにより、シフトレジスタ 5 1 のブロック 1 4 1 に連続して。印が保持され、また、シフトされる。Dat 端子を “L” 状態を維持したまま、Clk を入力することにより、シフトレジスタ 5 1 のブロック 1 4 1 に連続して無印が保持され、また、シフトされる。

【0424】

図 3 9 では、Dat 端子を “H” 状態を維持したまま、3 回の Clk を入力したことにより、ゲート信号線出力回路 5 3 c、5 3 d のブロック C 2、C 3、C 4、D 2、D 3、D 4 に連続して。印が保持された状態を図示している。したがって、画素 1 6 b、1 6 c、1 6 d のゲート信号線 1 7 c、ゲート信号線 1 7 d にオン電圧が出力または印加されている。

30

【0425】

以上の実施の形態は、図 5 の画素構成を例示して説明したが、本開示はこれに限定するものではない。たとえば、図 4 0 などで図示する画素構成でもよい。以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0426】

図 4 0 に係る EL 表示装置の実施の形態では、図 5 などと同様に、画素 1 6 には、ゲート信号線 1 7 a、ゲート信号線 1 7 b、ゲート信号線 1 7 c およびゲート信号線 1 7 d の 4 つのゲート信号線 1 7 が形成されている。ゲート信号線 1 7 a に対し、ゲートドライバ IC 1 2 a のゲート信号線出力回路 5 3 a が配置され、ゲート信号線 1 7 b に対し、ゲートドライバ IC 1 2 a のゲート信号線出力回路 5 3 b が配置される。ゲート信号線 1 7 c に対し、ゲートドライバ IC 1 2 a のゲート信号線出力回路 5 3 c が配置され、ゲート信号線 1 7 d に対し、ゲートドライバ IC 1 2 a のゲート信号線出力回路 5 3 d が配置されている。

40

【0427】

図 4 0 の画素 1 6 において、P チャンネルの駆動用トランジスタ 1 1 a の第 1 の端子は、アノード電圧 V d d の電極または配線と接続され、第 2 の端子はスイッチ用トランジスタ 1 1 d の第 1 の端子と接続されている。また、スイッチ用トランジスタ 1 1 d のゲート端子は、ゲート信号線 1 7 b と接続されている。スイッチ用トランジスタ 1 1 d の第 2 の端子は、EL 素子 1 5 の第 1 の端子と接続されている。また、EL 素子 1 5 の第 2 の端子

50

は、カソード電圧 V_{ss} が印加された電極または配線と接続されている。

【0428】

なお、図40において、トランジスタはPチャンネルトランジスタとしたが、これに限定するものではなく、Nチャンネルトランジスタであってもよい。また、PチャンネルとNチャンネルトランジスタを混在させてもよい。

【0429】

スイッチ用トランジスタ11eの第1の端子はリセット電圧 V_a が印加された電極または配線と接続され、スイッチ用トランジスタ11eの第2の端子は、駆動用トランジスタ11aのゲート端子と接続されている。また、スイッチ用トランジスタ11eのゲート端子はゲート信号線17cと接続されている。

10

【0430】

映像信号を画素に印加するスイッチ用トランジスタ11bの第1の端子はソース信号線18と接続され、スイッチ用トランジスタ11bの第2の端子は、第2のコンデンサ19bの第1の端子と接続されている。また、第2のコンデンサ19bの第2の端子は駆動用トランジスタ11aのゲート端子と接続されている。また、スイッチ用トランジスタ11bのゲート端子はゲート信号線17aと接続されている。

【0431】

また、第1のコンデンサ19aの第1の端子は、アノード電圧 V_{dd} と接続され、第1のコンデンサ19aの第2の端子は、第2のコンデンサの第1の端子または、駆動用トランジスタ11aのゲート端子と接続される。

20

【0432】

スイッチ用トランジスタ11cの第1の端子は駆動用トランジスタ11aのゲート端子と接続され、スイッチ用トランジスタ11cの第2の端子は、駆動用トランジスタ11aの第2の端子と接続されている。また、スイッチ用トランジスタ11cゲート端子はゲート信号線17bと接続されている。

【0433】

スイッチ用トランジスタ11b、11eの少なくとも一方のトランジスタに対して、マルチゲート（ディアルゲート以上）を用いることにより、また、LDD構造と組み合わせることにより、オフリークを抑制でき、良好なコントラスト、オフセットキャンセル動作を実現できる。また、良好な高輝度表示、画像表示を実現できる。

30

【0434】

ゲート信号線17aおよびゲート信号線17cは、ゲートドライバIC12aおよびゲートドライバIC12bにより両側駆動されている。また、ゲート信号線17cおよびゲート信号線17dは、ゲートドライバIC12aにより片側駆動されている。

【0435】

図40では、画素16に映像信号を印加するスイッチ用トランジスタ11bが接続されたゲート信号線17aに対して両側駆動を行う。また、駆動用トランジスタ11aのオフセットキャンセル時に動作あるいは制御を行うスイッチ用トランジスタ11cが接続されたゲート信号線17bに対して両側駆動を行う。

【0436】

40

図40などの画素構成であっても、本開示の駆動方式を適用できることは言うまでもない。また、以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0437】

図40は、図35などのゲートドライバIC12の構成あるいは構造をさらに詳細に図示した構成である。

【0438】

図40において、ゲート信号線出力回路53の出力側に、出力バッファ52が配置あるいは形成されている。出力バッファ52には、バッファ能力の切り替えあるいは設定端子（Buf端子）が接続あるいは配置されている。Buf端子は、バッファ能力の設定ある

50

いは切り替え端子である。図 40 の実施の形態では、各 B u f 端子は、3 ビットであり、2 の 3 乗 = 8 通りのバッファ能力を設定できる。つまり、バッファ能力が弱から強まで、8 段階のバッファ能力を設定できる。

【0439】

ゲート信号線出力回路 53 には、少なくとも、それぞれ 2 か所の制御 (E n b 、 D a t 、 C l k) 端子が配置または形成されている。また、S E L 端子は、ドライバ出力端子 72 と V o n 端子間に配置されている。

【0440】

ゲート信号線出力回路 53 からの出力は、ゲートドライバ I C 12 のドライバ出力端子 72 から C O F 配線 74 を介して接続端子 71 から出力される。接続端子 71 には、ゲート信号線 17 が接続される。

10

【0441】

なお、D a t 1、D a t 2、E n b 1、E n b 2、C l k 1、C l k 2 などの制御信号は、双方向信号である。したがって、75 a → 75 b 方向にデータを転送することができ、また、75 b → 75 a 方向にデータを転送することができる。データの転送方向は、転送方向切換端子 (図示せず) のロジック制御で行う。

【0442】

ゲートドライバ I C 12 には、切り替え回路 161 を有している。切り替え回路 161 は、図 20 B のゲート電圧 3 値駆動、図 20 A のゲート電圧 2 値駆動を実現するためのスイッチ回路である。

20

【0443】

切り替え回路 161 が、V o n 電圧 → V o f f 2 電圧 → V o f f 1 電圧と、出力を切り替えることにより、図 20 B に図示するゲート電圧 3 値駆動が実現される。切り替え回路 161 が、V o n 電圧 → V o f f 1 電圧と、出力を切り替えることにより、図 20 A に図示するゲート電圧 2 値駆動が実現される。

【0444】

なお、以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0445】

図 41 は、本開示の E L 表示装置 (E L 表示パネル) のソースドライバ I C (回路) 14 のガンマ回路の説明図である。ガンマ回路は、2 の 10 条 (1024 階調) であり、赤 (R)、緑 (G)、青 (B) で独立である。

30

【0446】

ガンマ回路のラダー抵抗には、各 R、G、B で 8 つのタップ (V i 0、V i 1、V i 2、V i 3、V i 4、V i 5、V i 6、V i 7) がソースドライバ I C (回路) 14 に端子に引き出されている。

【0447】

V i 0 のタップ位置は、映像信号の最小階調である (最小電圧値あるいは原点)。V i 7 は、映像信号の最高階調である (最大電圧値)。

【0448】

V i 1 のタップ位置は、映像信号振幅の $1 / 1024$ あるいは近似の電圧値あるいは位置に対応するものである。

40

【0449】

V i 2 のタップ位置は、映像信号振幅の $1 / 36$ あるいは近似の電圧値あるいは位置に対応するものである。

【0450】

V i 3 のタップ位置は、映像信号振幅の $1 / 12$ あるいは近似の電圧値あるいは位置に対応するものである。

【0451】

V i 4 のタップ位置は、映像信号振幅の $1 / 6$ あるいは近似の電圧値あるいは位置に対

50

応するものである。

【0452】

V i 5 のタップ位置は、映像信号振幅の 1 / 3 あるいは近似の電圧値あるいは位置に対応するものである。

【0453】

V i 6 のタップ位置は、映像信号振幅の 2 / 3 あるいは近似の電圧値あるいは位置に対応するものである。

【0454】

電圧を入力（設定）するタップ位置（V i 0 ~ V i 7）に電圧を印加あるいは設定することにより、図 4 2 に図示するようにガンマカーブを設定あるいは可変することができる。ソースドライバ I C 1 4 のガンマ回路には、V i 0、V i 1、V i 7 端子に電圧を印加する。他の端子は、映像信号の線形性を確保するため、電圧は印加しないことが好ましい。ただし、赤（R）、緑（G）、青（B）の V i 1、V i 7 端子に印加する電圧は、独立して設定できるように構成し、V i 0 は、R、G、B で共通にすることが好ましい。

10

【0455】

電圧を入力（設定）するタップ位置（V i 0 ~ V i 7）を変化あるいは変更することにより、映像振幅の大きさを可変できる。たとえば、図 9 に図示するように、V i 1 を V i 1 ' に、V i 7 を V i 7 ' に可変することにより、映像振幅を可変することができる。V i 2 ~ V i 6 をオープン（電圧を印加しない）で使用すれば、V i 1 ~ V i 7 間のガンマカーブは、直線とすることができる。

20

【0456】

また、V i 1、V i 7 電圧を可変すると映像振幅も可変される。映像振幅を可変する場合はゲートドライバ I C 1 2 の出力電圧（オン電圧、オフ電圧）を可変する。以前にも説明したように、本開示のゲートドライバ I C 1 2 はオン電圧（V o n）、オフ電圧（V o f f 1、V o f f 2）を可変あるいは設定できる。したがって、例えば図 1 4 のソースドライバ I C（回路）1 4 と組み合わせることにより相乗効果を発揮することができる。

【0457】

図 1 4 は、本開示の E L 表示装置のソースドライバ I C 1 4 のブロック図である。本開示は、映像信号を画素 1 6 に印加するスイッチ用トランジスタ 1 1 は両側駆動を実施する。

30

【0458】

また、オフセットキャンセル時に動作あるいは寄与するスイッチ用トランジスタ 1 1 は両側駆動を実施する。一方で、オンオフが遅延しても画像表示に影響を与えにくいトランジスタ（たとえば、スイッチ用トランジスタ 1 1 d）は、片側駆動で十分である。

【0459】

以上のように、本開示は、画素 1 6 のトランジスタ 1 1 に必要なオンオフ時間あるいは、ゲート信号線 1 7 の負荷容量に基づいて、両側駆動と片側駆動を選定する。また、ゲート電圧 3 値駆動とゲート電圧 2 値駆動を選定する。

【0460】

以上のように、画像表示のための映像と、ゲート信号線の立ち上がり / 立ち下り時間、あるいはトランジスタ 1 1 のオンオフ時間との関係が重要である。つまり、映像信号系とトランジスタ 1 1 の制御系との関係を最適に設定あるいは調整することが重要である。

40

【0461】

このため、本開示では、図 1 4 に図示するように、ソースドライバ I C 1 4 内に遅延回路 4 8 5 を形成あるいは設けている。遅延回路 4 8 5 は、映像信号 V s に出力するタイミングを各ソース信号線あるいはソース信号線のブロックで、調整あるいは設定する回路である。

【0462】

図 1 4 において、シフトレジスタ 4 8 3 には、シフト方向を切り替える S E L（1 : 0）が印加される。また、シフトレジスタ 4 8 3 のスタートパルス D I O 1、D I O 2 が印

50

加される。

【0463】

デジタルレシーバ481には、10組の差動入力信号LV0A、LV0B～LV9A、LV9Bが印加される。デジタルレシーバ481からの映像信号は、ラッチ回路484にラッチされ、1H(1水平走査期間)または2H(2水平走査期間)の期間保持される。

【0464】

ラッチ回路484は、遅延回路485に入力され、遅延回路は、あらかじめ設定された動作あるいは制御方式にしたがって、映像信号遅延が実施される。

【0465】

遅延回路485の出力は、デジタル-アナログ(DA)変換回路486に印加され、DA変換回路486は、ガンマ設定回路482に設定されている電圧VXi0～VXi7(X:RまたはGまたはB)にしたがって、ガンマ変換されたアナログ電圧を出力する。

【0466】

DA変換回路486からの出力は、バッファ回路487に入力され、スイッチ回路488を介して、ソース信号線Y1～Y720に出力される。なお、バッファ回路487のバッファ能力は、強、中、弱のように複数のバッファ能力が設定できるように構成されている。

【0467】

スイッチ回路488は、プリチャージ電圧と映像信号電圧のいずれかを選択できるスイッチ回路であり、プリチャージ電圧が選択されると、プリチャージ電圧がソース信号線18に印加され、ソース信号線18の蓄積された電荷を強制的に充放電させる。

【0468】

遅延回路485の映像信号の遅延タイミングの設定を容易にするため、本開示は、図43に図示するように、ガンマ特性は、リニア(線形)に設定することが好ましい。ガンマ特性をリニア(線形)にするためには、階調1に対応する(VXi1、階調1023に対応する(VXi7)に所定電圧を印加し、途中のタップ(VXi2～VXi6)には電圧印加を行わない。なお、VXi0に対応する端子には、R、G、Bで共通の電圧を印加する。図43において、階調1と階調1023を可変あるいは設定し、他の電圧入力タップは接続しない。したがって、階調1～階調1023間での入力階調と出力階調は線形である。つまり、ガンマカーブはなく、たとえば、入力階調が100階調目であれば、出力階調は100階調目となる。

【0469】

なお、VXi0～VXi7(Xは、R、G、Bの記号がはいる)端子には、ソースドライバIC(回路)14の外部から、電圧設定を行えるように構成されている。電圧設定により、自由にガンマカーブを設定できる。

【0470】

以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【0471】

なお、本明細書では、EL表示パネルを例示して説明したが、本開示の技術的思想は、EL表示パネルに限定されるものではない。たとえば、本開示のCOFの方式などに関する事項は、LCDなどにも適用できることは言うまでもない。

【0472】

上記実施の形態の各々の図で述べた内容(一部でもよい)を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。

【0473】

そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲー

10

20

30

40

50

ム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的には、Digital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

【0474】

図45はディスプレイであり、筐体492、保持台493、本開示のEL表示装置(EL表示パネル)491を含む。図45に示すディスプレイは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図45に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【0475】

図46はカメラであり、シャッター501、ビューファインダ502、カーソル503を含む。図5に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。なお、図5示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

10

【0476】

図47はコンピュータであり、キーボード511、タッチパッド512を含む。図47に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図14に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0477】

以上のことは、他の図面に対しても同様である。本開示の実施の形態に図示あるいは明細書で説明した事項あるいは内容は、他の実施の形態においても適用される。また、本開示の実施の形態で説明あるいは図示したEL表示パネルは、本開示のEL表示装置に採用できる。

20

【0478】

たとえば、図47のノート型パーソナルコンピュータのEL表示装置491として、本開示の実施の形態で図示した、あるいは説明したEL表示装置(EL表示パネル)を採用し、情報機器を構成することができることは言うまでもない。

【0479】

本明細書、本図面では、同一、類似あるいは関連するものを、総称して記載する場合がある。たとえば、ゲート信号線17、ソース信号線18の両方を同時に説明する場合は、信号線17(18)と記載あるいは図示する場合がある。また、ガラス基板48、封止基板30を総称して、基板30(48)と記載することができる。

30

【0480】

また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用を有する。

【0481】

また、本明細書、図面の実施の形態において、特に断りがない事項は、本明細書、図面の他の実施の形態で説明した事項、構造、作用などが適用されるため、省略している。

【0482】

各図面等で説明した内容は特に断りがなくとも、他の実施の形態等と組み合わせることができる。たとえば、図1、図2の本開示のEL表示パネルにタッチパネルなどを付加し、図45、図46、図47に図示する情報表示装置などを構成することができる。

40

【0483】

本開示では、便宜的に、通常、パネルだけの構成をEL表示パネルと呼び、図48で図示されてように、COF22などの周辺回路などを含む構成をEL表示装置と呼ぶ。また、本開示のEL表示パネルとは、パネルモジュールを含む概念であり、本開示のEL表示装置とは、情報機器などのシステム機器を含む概念である。EL表示パネルの概念は、広義には情報機器などのシステム機器を含む。

【0484】

また、本開示の実施の形態では、COF22gあるいはゲートドライバIC12につい

50

て説明したが、本開示の技術的思想は、C O F 2 2 s あるいはソースドライバ I C 1 4 についても適用できることは言うまでもない。

【 0 4 8 5 】

したがって、明細書で説明する事項は、C O F 2 2 s あるいはソースドライバ I C 1 4 にも適用でき、また、これらを用いた E L 表示装置にも適用できることは言うまでもない。また、以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【 0 4 8 6 】

本開示では、駆動用トランジスタ 1 1 a、スイッチ用トランジスタ 1 1 は、薄膜トランジスタとして説明したが、これに限定するものではない。薄膜ダイオード (T F D) などでも構成することができる。

【 0 4 8 7 】

また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。

【 0 4 8 8 】

トランジスタ 1 1 は、もちろん、F E T、M O S - F E T、M O S トランジスタ、バイポーラトランジスタでもよい。

【 0 4 8 9 】

なお、本開示のトランジスタ 1 1 は、Nチャンネル、Pチャンネルのトランジスタとも、L D D (L i g h t l y D o p e d D r a i n) 構造を採用することが好ましい。

【 0 4 9 0 】

また、トランジスタ 1 1 は、高温ポリシリコン (H T P S)、低温ポリシリコン (L T P S)、連続粒界シリコン (C G S)、透明アモルファス酸化物半導体 (T A O S、I Z O)、アモルファスシリコン (A S)、赤外線 R T A で形成したもののうち、いずれでもよい。

【 0 4 9 1 】

図 4 9 では、画素を構成するすべてのトランジスタは P チャンネルで構成している。しかし、本開示は、画素のトランジスタ 1 1 を P チャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、Nチャンネルと P チャンネルの両方を用いて構成してもよい。また、駆動用トランジスタ 1 1 a を P チャンネルトランジスタと N チャンネルトランジスタの両方を用いて構成してもよい。

【 0 4 9 2 】

また、トランジスタはトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、E L 素子 1 5 から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。

【 0 4 9 3 】

ゲート信号線またはソース信号線、もしくはゲート信号線とソース信号線の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線の配線抵抗を低減でき、より大型の E L 表示パネルを実現できるからである。

【 0 4 9 4 】

ゲートドライバ I C (回路) 1 2 が駆動 (制御) するゲート信号線 1 7 は、低インピーダンス化すること好ましい。したがって、前記ゲート信号線 1 7 の構成あるいは構造に関しても同様である。

【 0 4 9 5 】

特に、低温ポリシリコンを採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、Pチャンネルトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、T i - C u - T i の 3 層構造を採用することが好ましい。

【 0 4 9 6 】

透明アモルファス酸化物（ＴＡＯＳ）半導体の場合は、Ｍｏ－Ｃｕ－Ｍｏの３層構造を採用することが好ましい。

【 0 4 9 7 】

また、厚み、サイズなどは、説明を容易にするため、拡大あるいは縮小した部分がある。以上の事項は他の図面に対しても同様である。

【 0 4 9 8 】

パネル基板 3 1 はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、パネル基板 3 1 は、金属基板、セラミック基板、プラスチックシート（板）などを使用してよい。

10

【 0 4 9 9 】

封止基板 3 0 の材料あるいは構成に関しても、パネル基板 3 1 と同様である。また、封止基板 3 0、パネル基板 3 1 は放熱性を良好にするため、サファイアガラスなどを用いてもよいことは言うまでもない。

【 0 5 0 0 】

以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

【 0 5 0 1 】

本実施の形態の表示部に上記実施の形態で説明したＥＬ表示装置（ＥＬ表示パネル）もしくは駆動方式を用いて構成とすることで、上述の図 4 5 および図 4 6 の情報機器などを高画質化することができ、また、低コスト化を実現できる。また、検査、調整を容易に実施することができる。

20

【 0 5 0 2 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【産業上の利用可能性】

【 0 5 0 3 】

本開示は、ＣＯＦ上に連続接続状に形成する制御配線数を削減することができ、低コストで、歩留まりのよいＥＬ表示装置として有用である。

【符号の説明】

【 0 5 0 4 】

30

1 1 トランジスタ

1 1 a 駆動用トランジスタ

1 1 b トランジスタ

1 1 c トランジスタ

1 1 d トランジスタ

1 1 e トランジスタ

1 2 ゲートドライバＩＣ

1 2 a ゲートドライバＩＣ

1 2 b ゲートドライバＩＣ

1 4 ソースドライバＩＣ

40

1 5 ＥＬ素子

1 6 画素

1 6 W 画素

1 6 a 画素

1 6 b 画素

1 6 c 画素

1 6 d 画素

1 6 e 画素

1 7 ゲート信号線

1 7 a ゲート信号線

50

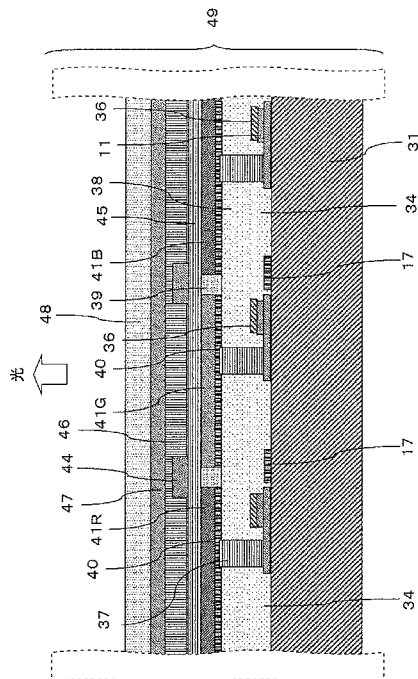
1 7 b	ゲート信号線	
1 7 c	ゲート信号線	
1 7 d	ゲート信号線	
1 8	ソース信号線	
1 9	コンデンサ	
1 9 a	コンデンサ	
1 9 b	コンデンサ	
2 2	C O F	
2 2	フレキシブル基板	
2 2 a 1	フレキシブル基板	10
2 2 a 2	フレキシブル基板	
2 2 g	フレキシブル基板	
2 2 s	C O F	
2 5	表示画面	
3 0	封止基板	
3 1	パネル基板	
3 3	カラーフィルター	
3 4	絶縁膜	
3 5	表示画面	
3 6	遮光膜	20
3 7	接続部	
3 8	光散乱膜	
4 0	アノード電極	
4 3	カソード電極	
4 4	低抵抗化配線	
4 7	接着層	
4 8	ガラス基板	
4 9	E L 表示パネル	
5 1	シフトレジスタ	
5 1 a	シフトレジスタ	30
5 1 b	シフトレジスタ	
5 1 c	シフトレジスタ	
5 1 d	シフトレジスタ	
5 2	出力バッファ	
5 3	ゲート信号線出力回路	
5 3 a	ゲート信号線出力回路	
5 3 b	ゲート信号線出力回路	
5 3 c	ゲート信号線出力回路	
5 3 d	ゲート信号線出力回路	
5 4	アレイ接続配線	40
7 1	接続端子（第 2 の接続部）	
7 2	ドライバ出力端子（制御端子）	
7 3	ドライバ入力端子（ドライバ端子）	
7 3 a	ドライバ入力端子（ドライバ端子）	
7 3 a 1	ドライバ入力端子	
7 3 a 2	ドライバ入力端子	
7 3 b	ドライバ入力端子（ドライバ端子）	
7 3 b 1	ドライバ入力端子	
7 3 b 2	ドライバ入力端子	
7 4	C O F 配線	50

7 4 a	C O F 配線 (連続接続線)	
7 4 a 1	C O F 配線	
7 4 a 2	C O F 配線	
7 4 b	C O F 配線 (連続接続線)	
7 4 b 2	C O F 配線	
7 4 c	C O F 配線 (連続接続線)	
7 4 c 1	C O F 配線	
7 4 d	C O F 配線 (端子接続線)	
7 4 e	C O F 配線 (端子接続線)	
7 4 f 1	C O F 配線	10
7 4 f 2	C O F 配線	
7 5	接続端子	
7 5 a	接続端子 (第 1 の接続部)	
7 5 b	接続端子 (第 3 の接続部)	
7 5 c	接続端子 (ゲート信号接続部)	
7 6	操作端子 (ゲート信号出力端子)	
7 6 a	操作端子	
7 6 b	操作端子	
9 1	パネル配線	
9 1 a	パネル配線	20
9 1 a 1	パネル配線	
9 1 a 2	パネル配線	
9 1 b	パネル配線	
9 1 b 1	パネル配線	
9 1 c	パネル配線	
1 0 1	電圧・信号入力部	
1 4 1	ブロック	
1 6 1	切り替え回路	
2 6 1	入力制御配線	
2 6 1 a	入力制御配線	30
2 6 1 b	入力制御配線	
2 6 2	内部配線	
2 6 2 a	内部配線	
2 6 2 b	内部配線	
2 6 2 c	内部配線	
2 7 1	双方向バッファ	
2 7 1 a	双方向バッファ	
2 7 1 b	双方向バッファ	
4 8 1	デジタルレシーバー	
4 8 2	ガンマ設定回路	40
4 8 3	シフトレジスタ	
4 8 4	ラッチ回路	
4 8 5	遅延回路	
4 8 6	D A 変換回路	
4 8 7	バッファ回路	
4 8 8	スイッチ回路	
4 9 1	表示装置	
4 9 2	筐体	
4 9 3	保持台	
5 0 1	シャッター	50

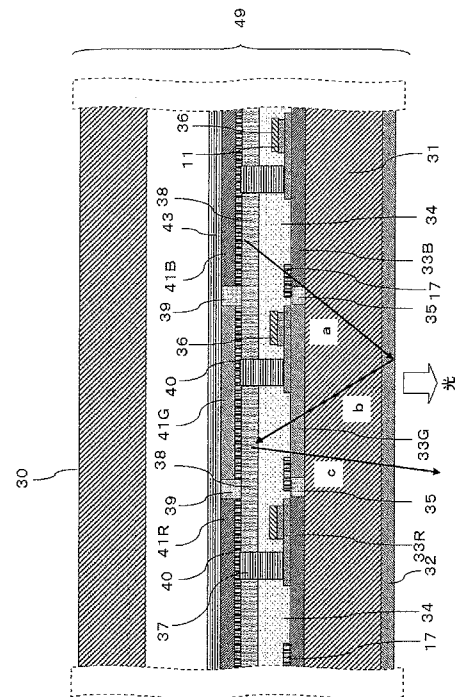
5 0 2	ビューファインダ	
5 0 3	カーソル	
5 1 1	キーボード	
5 1 2	タッチパッド	
a	軌跡	
b	軌跡	
c	軌跡	
A 1	ブロック	
A 2	ブロック	
A 3	ブロック	10
A 4	ブロック	
A B	ブロック	
B 1	ブロック	
B 2	ブロック	
C 1	操作端子	
C 2	ブロック	
C 6	操作端子	
C 7	操作端子	
C 8	操作端子	
C 1 k	クロック	20
C 1 k 2	クロックデータ	
C 1 k B 1	クロック	
C 1 k B 2	クロック	
D a t	データ	
D I O 1	スタートパルス	
E 1	電圧回路	
E 2	電圧回路	
E n b	イネーブル	
E n b B 1	イネーブル端子	
E n b B 2	イネーブル端子	30
G b	ゲート信号線	
L V 0 A	差動入力信号	
R T A	赤外線	
S 1 a	ドライバ入力端子	
S 2 b	ドライバ入力端子	
S 3 b	ドライバ入力端子	
T a	印加期間	
T b	印加期間	
T c	期間	
V a	リセット電圧	40
V s	映像信号	
V d d	アノード電圧	
V d d	ロジック電圧	
V i n i t	イニシャル電圧	
V o f f	オフ電圧	
V o f f 1	電圧印加端子	
V o n	オン電圧	
V o n A	オン電圧	
V o n B	オン電圧	
V s s	カソード電圧	50

V_{ss} グランド電圧
 V_{ref} リセット電圧
 Y_1 ソース信号線

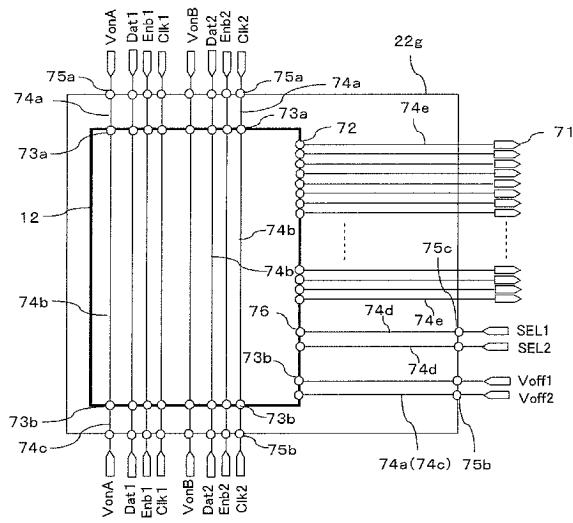
【図 1】



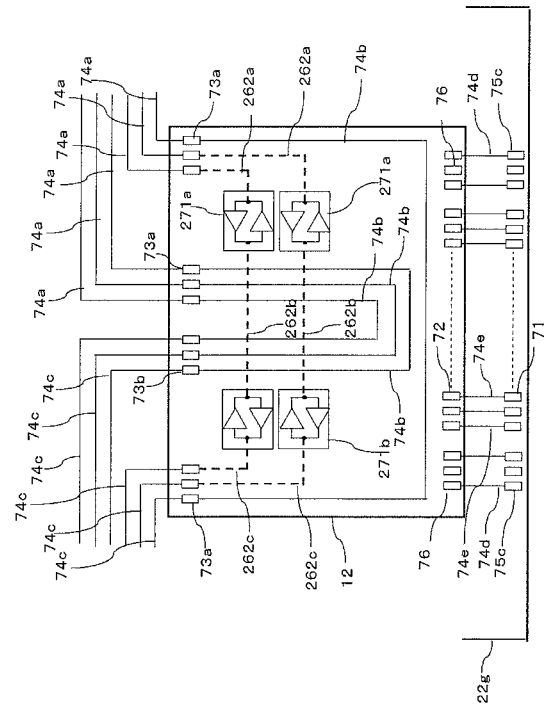
【図 2】



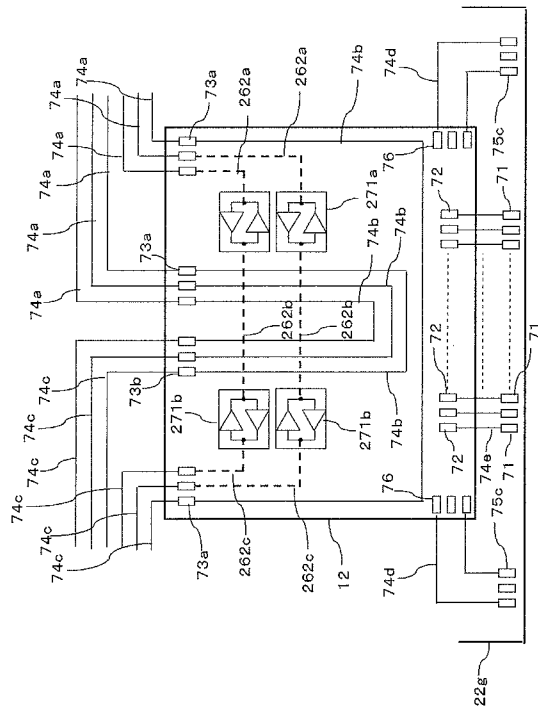
【図 7】



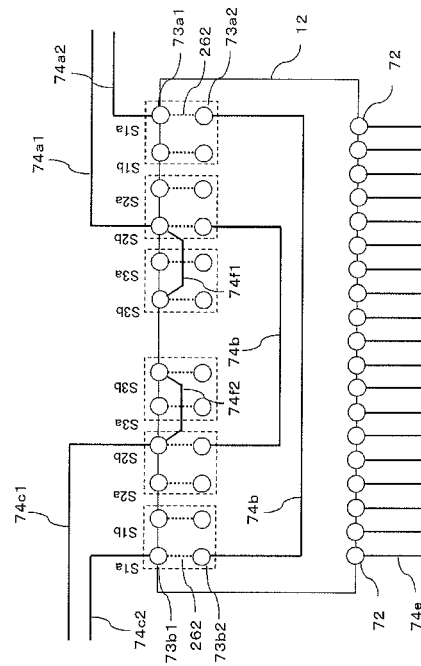
【図 8 A】



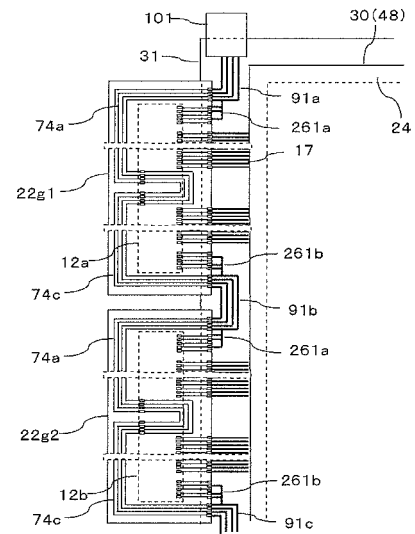
【図 8 B】



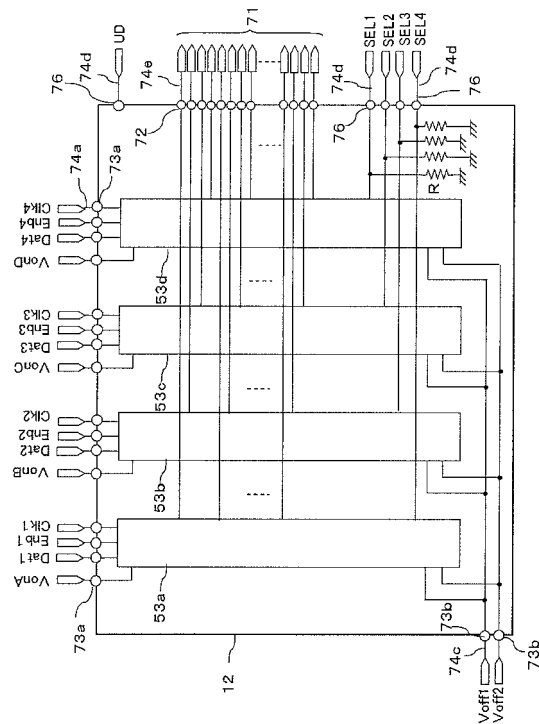
【図 9】



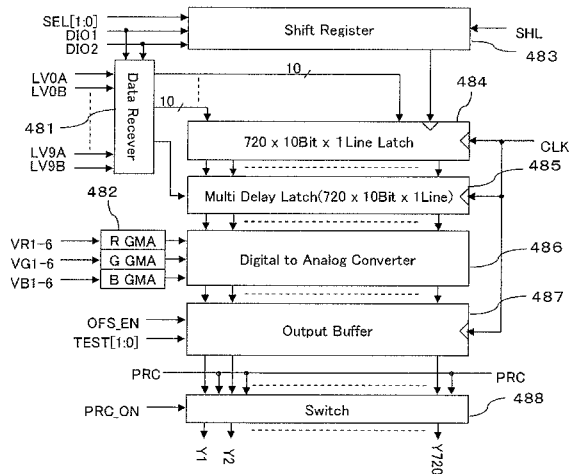
【 図 1 1 】



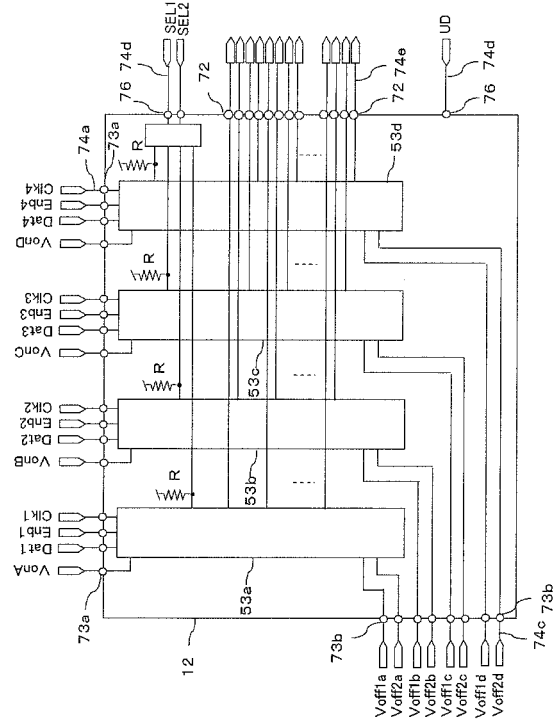
【 ㊦ 1 3 】



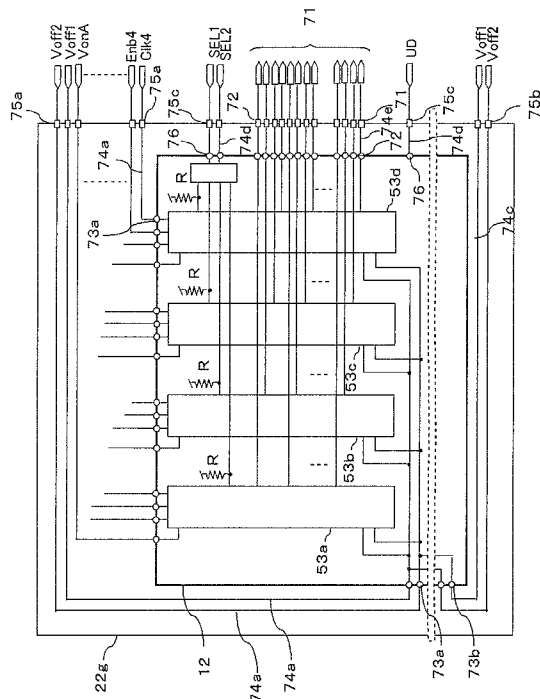
【図 14】



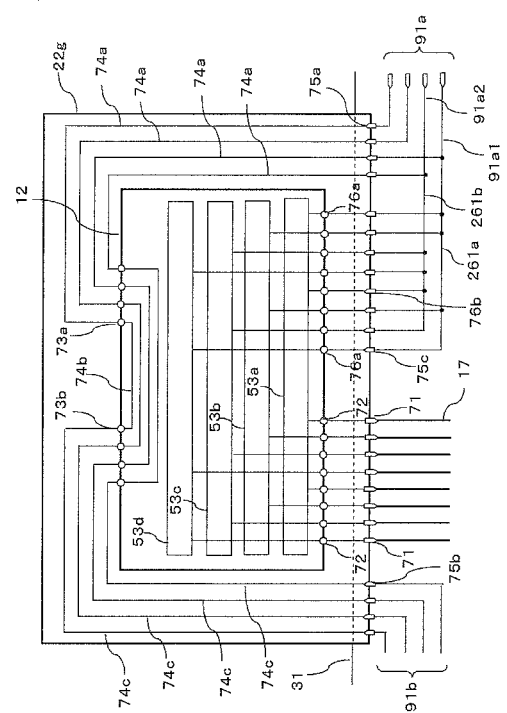
【図 15】



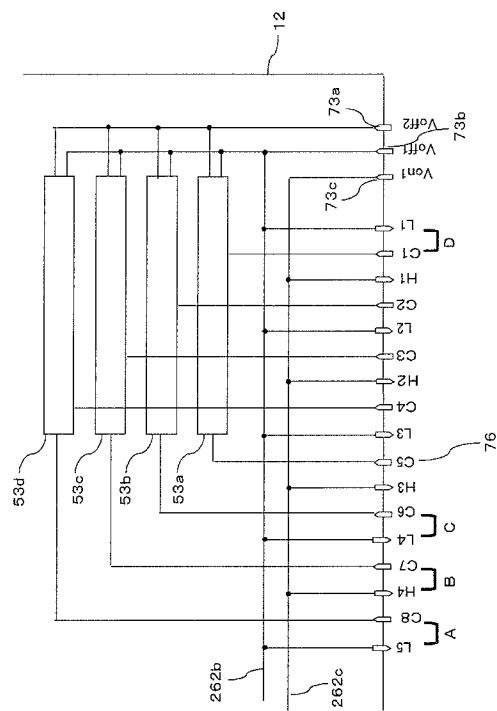
【図 16】



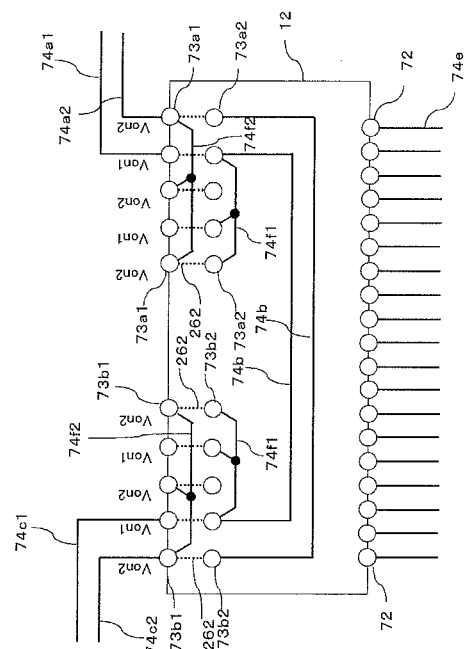
【図 17】



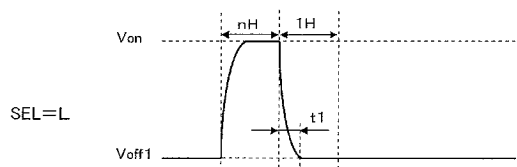
【 図 1 8 】



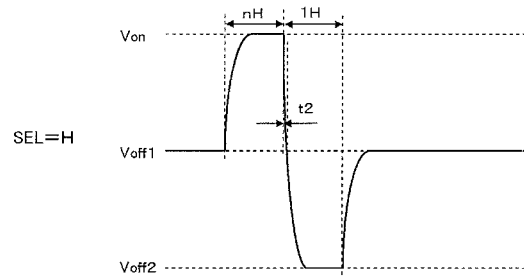
【 図 1 9 】



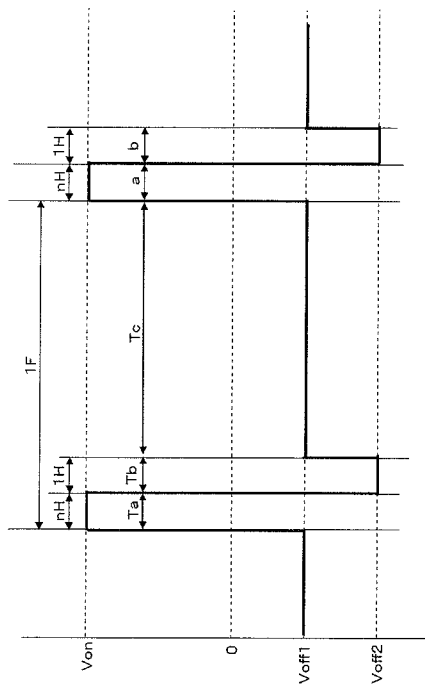
【 ㊦ 2 0 A 】



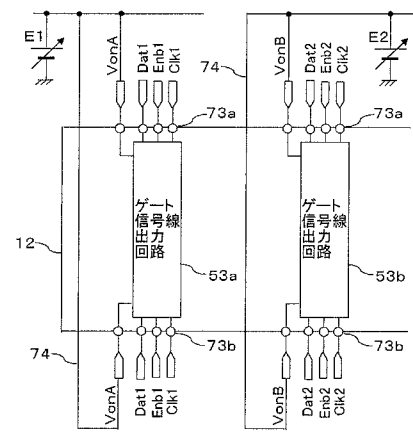
【 ㄗ 2 0 B 】



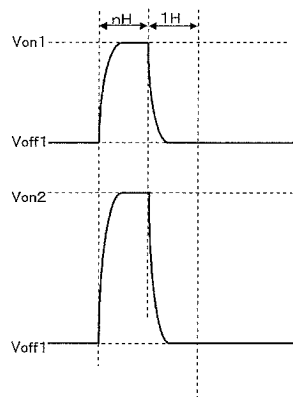
【図 2 1】



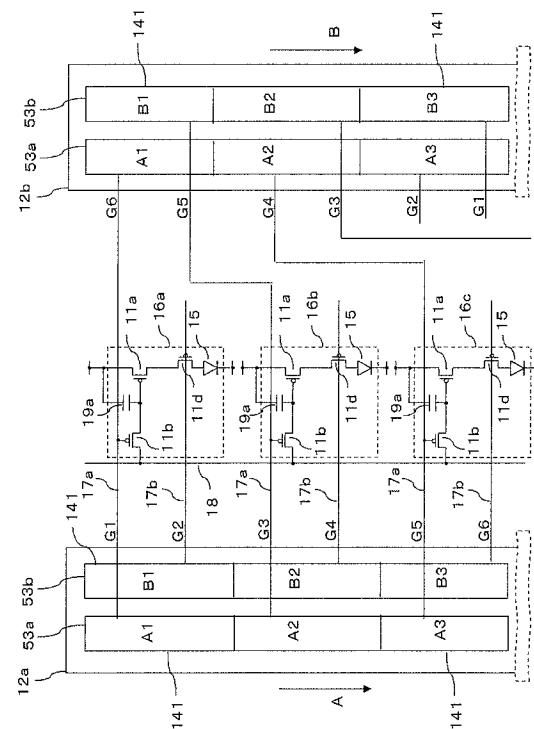
【図 2 2 A】



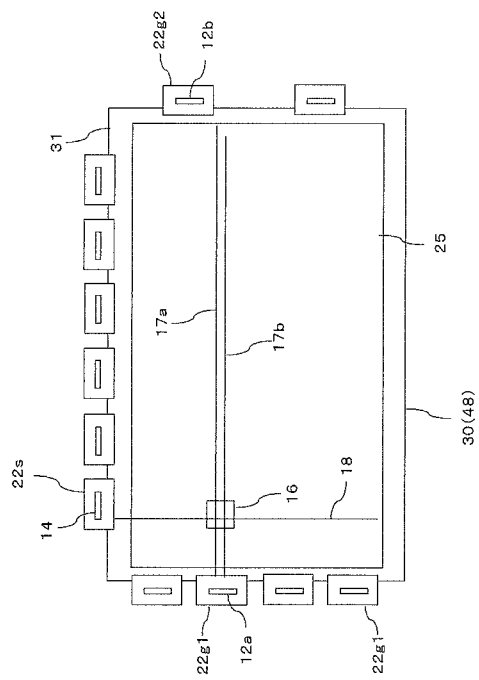
【図 2 2 B】



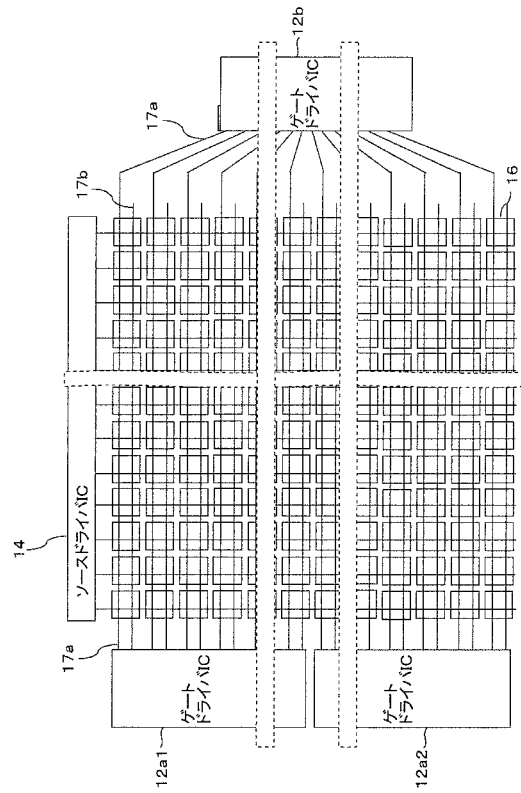
【図 2 3】



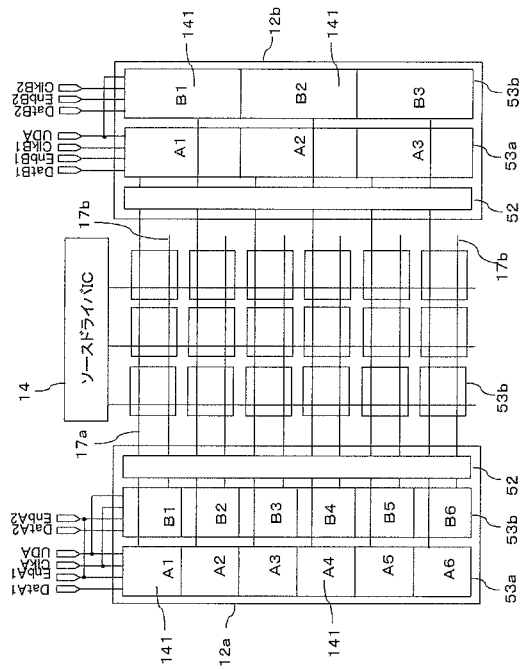
【図 24】



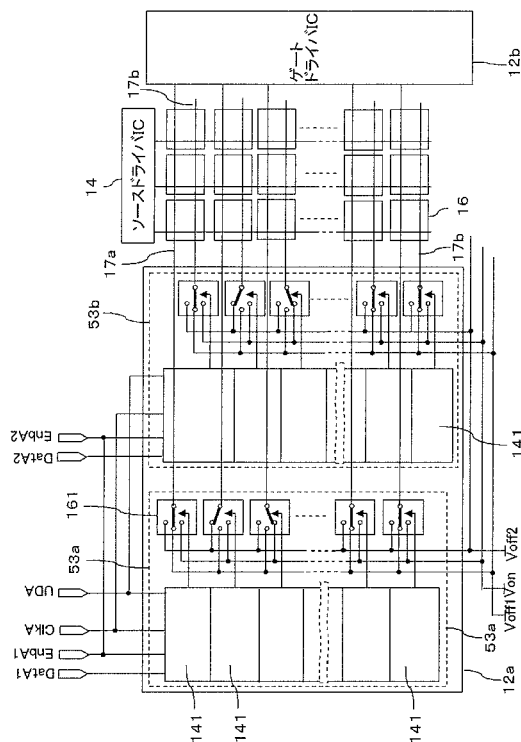
【図 25】



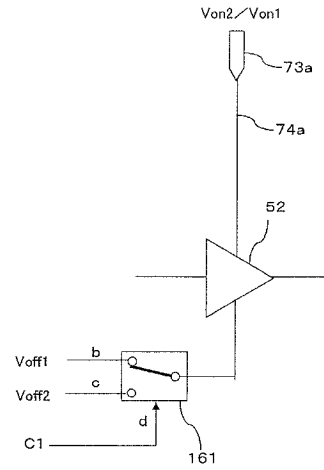
【図 26】



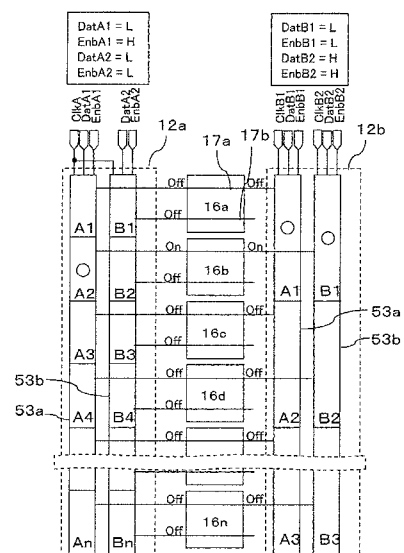
【図 27】



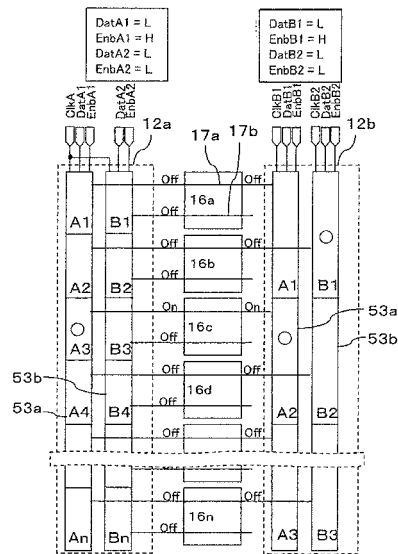
【 図 2 9 】



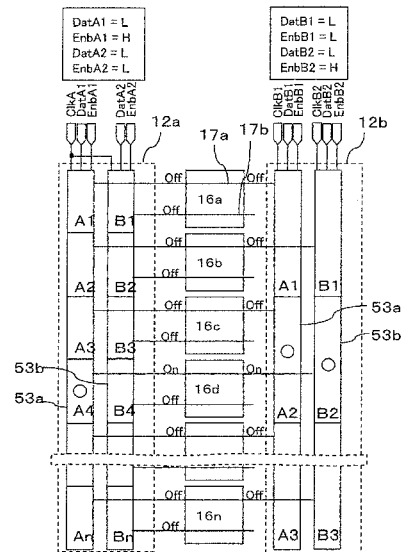
【 図 3 0 B 】



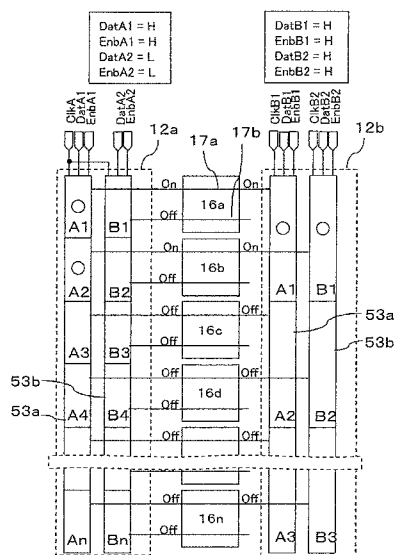
【図 3 1 A】



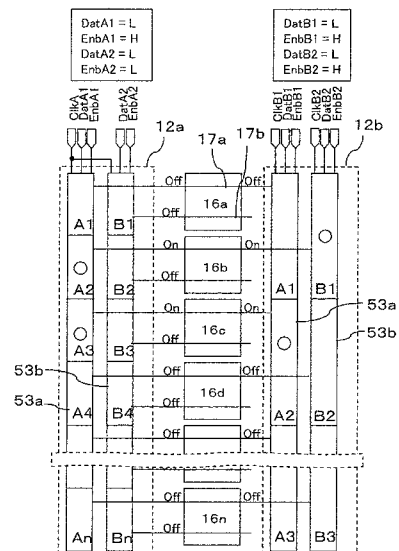
【図 3 1 B】



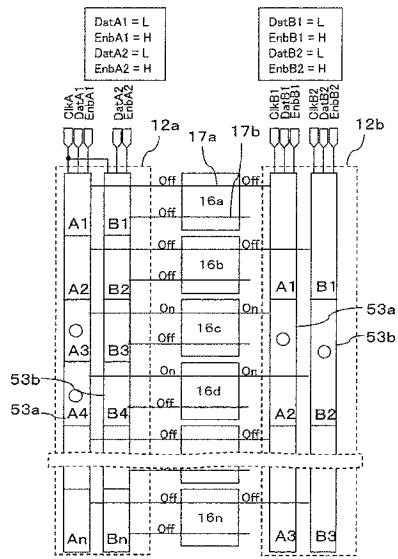
【図 3 2 A】



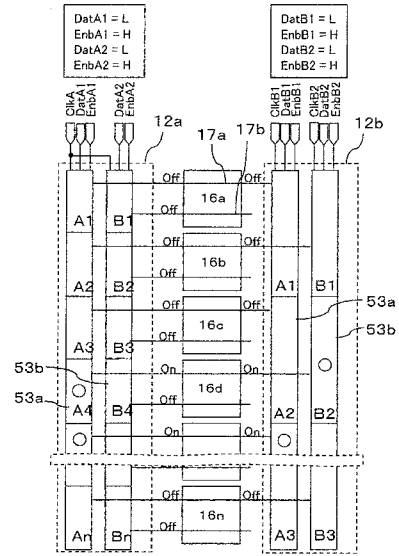
【図 3 2 B】



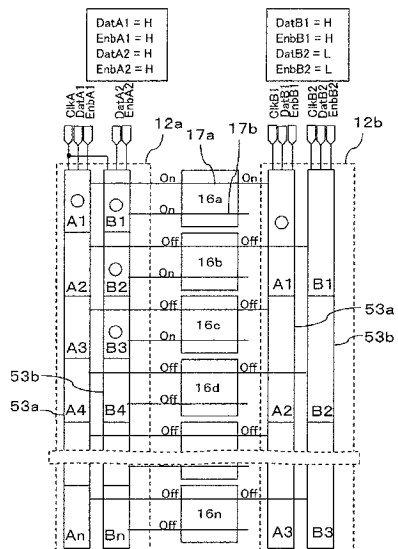
【図 3 3 A】



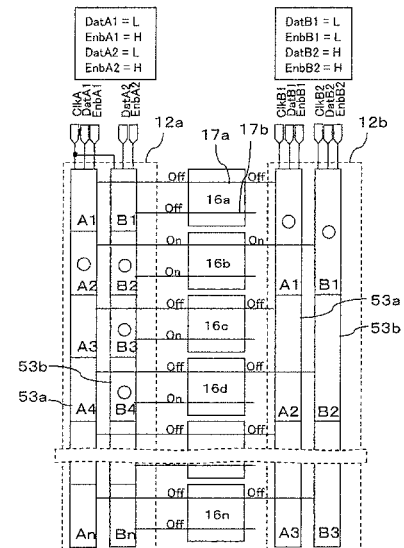
【図 3 3 B】



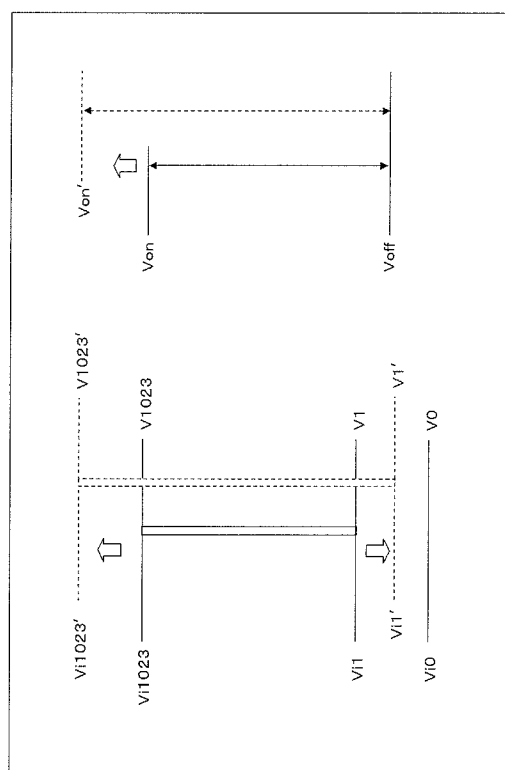
【図 3 4 A】



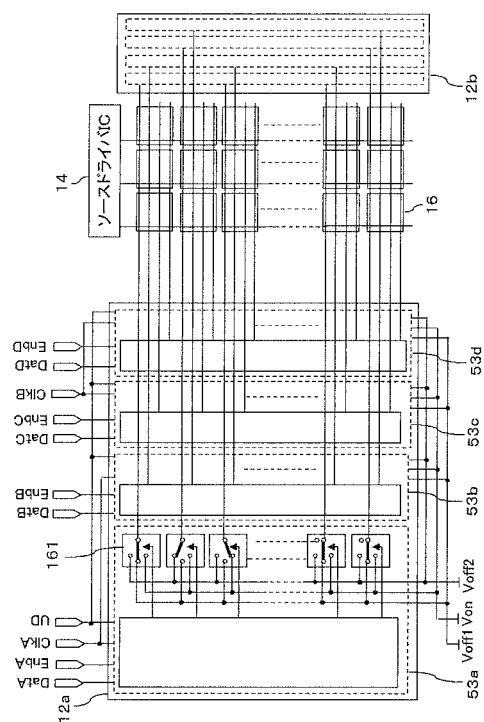
【図 3 4 B】



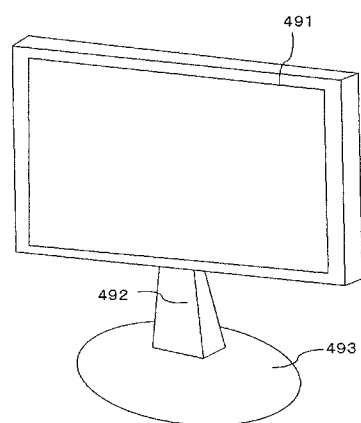
【 図 4 3 】



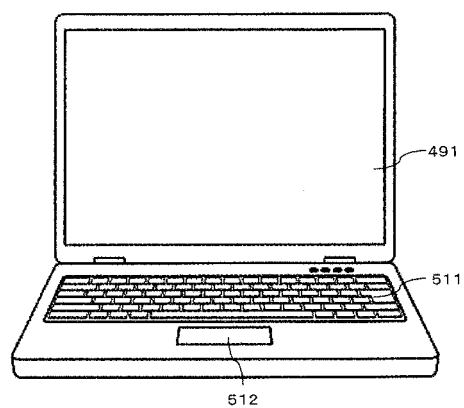
【 图 4 4 】



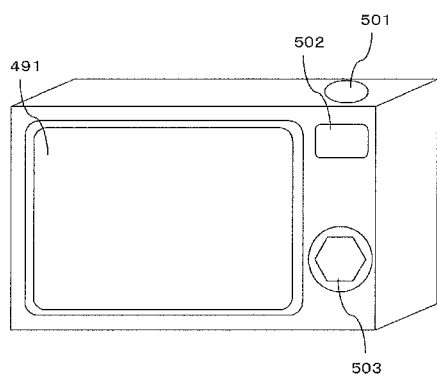
【 図 4 5 】



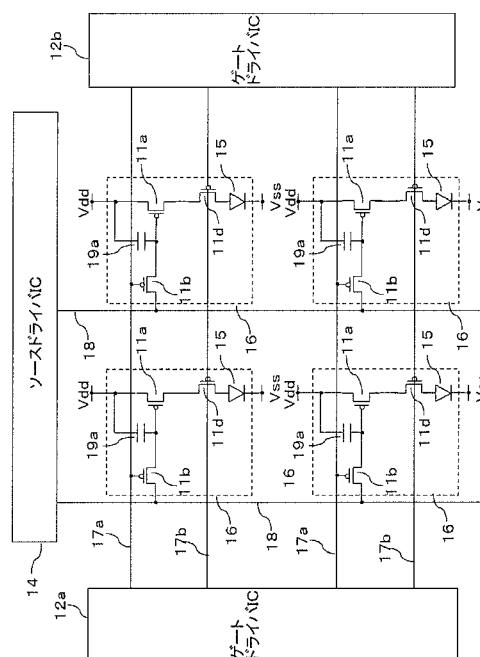
【 図 4 7 】



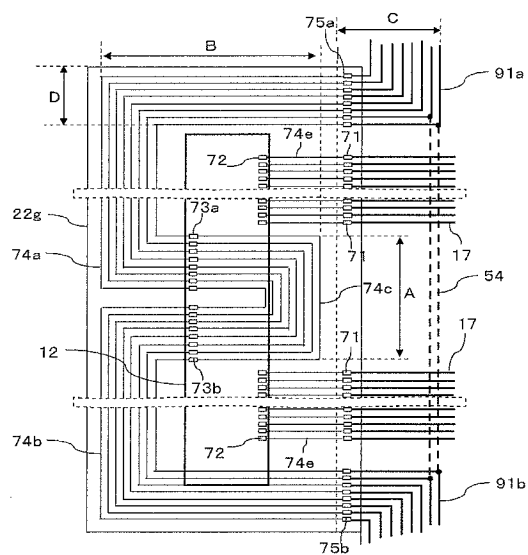
【 図 4 6 】



【 図 4 9 】



【 図 5 0 】



フロントページの続き

(51) Int.Cl.	F I			テーマコード (参考)		
H 0 1 L 51/50 (2006.01)	G 0 9 G	3/20	6 2 2 E	5 E 3 4 4		
H 0 1 L 27/32 (2006.01)	G 0 9 G	3/20	6 2 3 A	5 G 4 3 5		
H 0 5 B 33/06 (2006.01)	G 0 9 G	3/20	6 2 2 R			
H 0 5 K 1/02 (2006.01)	G 0 9 G	3/20	6 8 0 G			
H 0 5 K 1/14 (2006.01)	G 0 9 F	9/30	3 6 5			
	G 0 9 F	9/30	3 3 8			
	G 0 9 F	9/30	3 3 0			
	H 0 5 B	33/14	A			
	H 0 1 L	27/32				
	H 0 5 B	33/06				
	H 0 5 K	1/02	J			
	H 0 5 K	1/14	C			

F ターム(参考)	5C080	AA06	BB05	CC03	DD23	DD27	EE29	EE30	FF11	JJ02	JJ03
	JJ04	JJ05	JJ06	KK02	KK07	KK23	KK43	KK50			
	5C094	AA15	AA42	AA44	BA03	BA27	BA43	CA19	DB02	FA01	
	5C380	AA01	AB06	AB18	AB19	AB23	AB36	AB37	AC08	AC09	AC11
		AC12	AC13	BA01	BA10	BA12	BA19	BA25	BA28	BA29	BA42
		BB23	BC01	BC13	CA12	CA13	CA17	CA29	CA32	CB11	CB14
		CB18	CB25	CB26	CB29	CB30	CB31	CB37	CC02	CC26	CC27
		CC33	CC39	CC63	CC65	CD013	CD015	CD025	CF08	CF09	CF22
		CF67	DA02	DA58	FA04	GA01					
	5E338	AA12	AA13	BB75	CC01	CD13	EE32	EE33			
	5E344	AA02	AA22	AA26	BB02	BB13	CD04	DD06	EE21		
	5G435	AA17	AA18	BB05	BB12	CC09	EE34	EE37	EE40		

专利名称(译)	EL表示装置		
公开(公告)号	JP2018060798A	公开(公告)日	2018-04-12
申请号	JP2017213760	申请日	2017-11-06
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	H05B33/02 G09F9/00 G09G3/3233 G09G3/20 G09F9/30 H01L51/50 H01L27/32 H05B33/06 H05K1/02 H05K1/14		
FI分类号	H05B33/02 G09F9/00.348.Z G09G3/3233 G09G3/20.621.K G09G3/20.621.M G09G3/20.622.E G09G3/20.623.A G09G3/20.622.R G09G3/20.680.G G09F9/30.365 G09F9/30.338 G09F9/30.330 H05B33/14.A H01L27/32 H05B33/06 H05K1/02.J H05K1/14.C G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC43 3K107/CC45 3K107/DD17 3K107/DD38 3K107/DD39 3K107/EE03 3K107/EE63 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD23 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK50 5C094/AA15 5C094/AA42 5C094/AA44 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/DB02 5C094/FA01 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB19 5C380/AB23 5C380/AB36 5C380/AB37 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA10 5C380/BA12 5C380/BA19 5C380/BA25 5C380/BA28 5C380/BA29 5C380/BA42 5C380/BB23 5C380/BC01 5C380/BC13 5C380/CA12 5C380/CA13 5C380/CA17 5C380/CA29 5C380/CA32 5C380/CB11 5C380/CB14 5C380/CB18 5C380/CB25 5C380/CB26 5C380/CB29 5C380/CB30 5C380/CB31 5C380/CB37 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CC65 5C380/CD013 5C380/CD015 5C380/CD025 5C380/CF08 5C380/CF09 5C380/CF22 5C380/CF67 5C380/DA02 5C380/DA58 5C380/FA04 5C380/GA01 5E338/AA12 5E338/AA13 5E338/BB75 5E338/CC01 5E338/CD13 5E338/EE32 5E338/EE33 5E344/AA02 5E344/AA22 5E344/AA26 5E344/BB02 5E344/BB13 5E344/CD04 5E344/DD06 5E344/EE21 5G435/AA17 5G435/AA18 5G435/BB05 5G435/BB12 5G435/CC09 5G435/EE34 5G435/EE37 5G435/EE40		
代理人(译)	吉川修 Sobashima正雄		
优先权	2012229448 2012-10-17 JP		
其他公开文献	JP6561292B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少在COF中连续形成的控制线数量。 解决方案：在EL显示装置中，柔性基板22g布置多个用于与面板基板31上形成的面板布线连接的连接端子75，并且将一个点布置在柔性基板22g和连接端子75内要连接的端子连接线74e和连接两个或更多个连接端子75的连续触点栅极驱动器IC12的驱动器输出端子通过端子连接线74e布线，并且栅极驱动器IC12的驱动器输入端子通过连续连接线74a，74b和74c布线。

