

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-9135

(P2016-9135A)

(43) 公開日 平成28年1月18日 (2016.1.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 612T	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	5C380
	G09G 3/20 612A	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 13 O L (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2014-130813 (P2014-130813)	(71) 出願人	514188173
(22) 出願日	平成26年6月25日 (2014. 6. 25)		株式会社 J O L E D
			東京都千代田区神田錦町三丁目23番地
		(74) 代理人	100189430
			弁理士 吉川 修一
		(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	戎野 浩平
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		(72) 発明者	柘植 仁志
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		最終頁に続く	

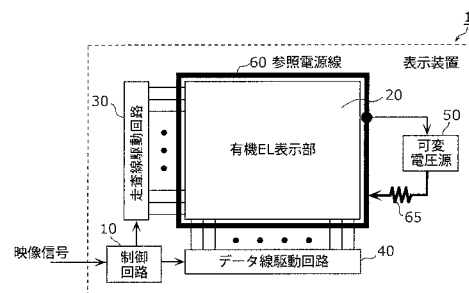
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】 (修正有)

【課題】垂直ブランキング期間が設けられた行順次走査方式において、表示ムラが抑制された表示装置を提供する。

【解決手段】複数の画素が行列状に配置され、行順次走査するシーケンスにより駆動される表示装置1は、可変電圧を出力する可変電圧源50と、可変電圧源50と複数の画素とを接続し可変電圧を参照電圧として複数の画素に伝達する参照電源線60とを備え、画素は、有機EL素子と、第1電極が参照電圧に設定される容量素子と、容量素子の保持電圧に応じた電流を有機EL素子に流す駆動トランジスタとを備え、可変電圧源50は、参照電源線60上の参照電圧を計測することにより垂直ブランキング期間の駆動タイミングに応じて発生し得る参照電圧の変動を相殺する可変電圧を出力する。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

複数の画素が行列状に配置された表示部を有し、行順次走査するシーケンスにより駆動される表示装置であって、

前記表示装置は、

前記表示部に向けて可変電圧を出力する可変電圧源と、

前記可変電圧源と前記複数の画素とを電氣的に接続し、前記可変電圧を参照電圧として前記複数の画素に伝達する参照電源線とを備え、

前記複数の画素のそれぞれは、

電流が流れることにより発光する発光素子と、

10

第 1 電極が前記参照電圧に設定される容量素子と、

前記容量素子に保持された電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備え、

前記表示装置は、さらに、

垂直ブランキング期間の駆動タイミングに応じて発生し得る前記参照電圧の変動を相殺する前記可変電圧を前記可変電圧源から出力させる制御部を備える

表示装置。

【請求項 2】

前記制御部は、

前記参照電源線の前記参照電圧を計測する計測部を備え、

20

前記可変電圧源は、前記計測部で計測された前記参照電圧に基づいて調整した前記可変電圧を出力する

請求項 1 に記載の表示装置。

【請求項 3】

前記表示装置は、外部から入力された映像信号に対応した電圧を前記容量素子に保持させ、

前記制御部は、

前記映像信号及び前記垂直ブランキング期間の駆動タイミングを予め取得し、前記映像信号及び前記駆動タイミングに基づいて、前記参照電圧の変動タイミング及び変動期間と、前記可変電圧の出力値を演算する演算部を備え、

30

前記可変電圧源は、前記演算部で演算された前記変動タイミング及び前記変動期間と、前記可変電圧の出力値とに基づいて調整した前記可変電圧を出力する

請求項 1 に記載の表示装置。

【請求項 4】

前記表示装置は、外部から入力された映像信号に対応した電圧を前記容量素子に保持させ、

前記制御部は、

予め取得された映像信号と出荷時に設定された駆動タイミングに基づいて演算された前記参照電圧の変動タイミング及び変動期間とを保存したメモリと、

前記メモリに保存された前記映像信号に基づいて、前記可変電圧の出力値を演算する電圧演算部とを備え、

40

前記可変電圧源は、前記電圧演算部で演算された前記可変電圧の出力値と、前記メモリに保存された前記変動タイミング及び前記変動期間とに基づいて調整した前記可変電圧を出力する

請求項 1 に記載の表示装置。

【請求項 5】

前記表示装置は、外部から入力された映像信号に対応した電圧を前記容量素子に保持させ、

前記制御部は、

出荷時に設定された映像信号に基づいて演算された前記可変電圧の出力値と、出荷時に

50

設定された駆動タイミングに基づいて演算された前記参照電圧の変動タイミング及び変動期間を保存したメモリを備え、

前記可変電圧源は、前記メモリに保存された前記可変電圧の出力値と、前記変動タイミング及び前記変動期間とに基づいて調整した前記可変電圧を出力する

請求項 1 に記載の表示装置。

【請求項 6】

前記複数の画素のそれぞれは、さらに、

前記参照電源線と前記第 1 電極との導通及び非導通を切り換える第 1 スイッチ素子を備え、

前記演算部は、表示領域内において、前記第 1 スイッチ素子が行順次に導通状態となり前記容量素子に前記参照電源線から前記参照電圧が充電されている行数が、前記垂直ブランキング期間により変動するタイミング及び期間を予め演算する

請求項 3 に記載の表示装置。

【請求項 7】

前記表示装置は、さらに、

前記駆動トランジスタのドレイン電極に駆動電位を供給するための駆動電源線と、

画素列に対応して配置された複数のデータ線とを備え、

複数の画素のそれぞれは、さらに、

前記参照電源線と前記第 1 電極との導通及び非導通を切り換える第 1 スイッチ素子と、前記駆動電源線と前記ドレイン電極との導通及び非導通を切り換える第 2 スイッチ素子と、

前記データ線と前記第 1 電極との導通及び非導通を切り換える第 3 スイッチ素子とを備え、

前記制御部は、

前記第 1 スイッチ素子を行順次に導通状態とすることにより、前記容量素子に前記参照電源線から前記参照電圧を行順次に充電することで前記容量素子を行順次に初期化する初期化期間と、

前記第 1 スイッチ素子を導通状態としたままで前記第 2 スイッチ素子を行順次に導通状態とすることにより、前記容量素子に前記駆動トランジスタの閾値電圧を行順次に検出させ保持させる閾値電圧検出期間と、

前記第 1 スイッチ素子及び前記第 2 スイッチ素子を非導通状態としたままで前記第 3 スイッチ素子を行順次に導通状態とすることにより、前記データ線からデータ信号電圧を前記複数の画素に行順次に書き込む書き込み期間と、

前記第 1 スイッチ素子及び前記第 3 スイッチ素子を非導通状態としたままで前記第 2 スイッチ素子を行順次に導通状態とすることにより、前記複数の画素を行順次に発光させる発光期間とを設定し、

前記初期化期間が前記垂直ブランキング期間を含むことで前記容量素子に前記参照電源線から前記参照電圧が充電されている行数が、前記垂直ブランキング期間により変動することにより発生し得る前記参照電圧の変動を相殺する前記可変電圧を前記可変電圧源から出力させる

請求項 1 ～ 5 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記発光素子は、有機 EL 素子である

請求項 1 ～ 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

電流が流れることにより発光する発光素子、第 1 電極が参照電圧に設定される容量素子、及び当該容量素子に保持された電圧に応じた前記電流を前記発光素子に流す駆動素子を備えた画素が行列状に配置された表示部と、当該表示部に向けて可変電圧を出力する可変電圧源と、当該可変電圧源と前記複数の画素とを電氣的に接続し前記可変電圧を前記参照電圧として前記複数の画素に伝達する参照電源線とを備えた表示装置の駆動方法であって

、

前記第１電極に前記参照電圧を、行順次に設定する参照電圧設定ステップと、
垂直ブランキング期間の駆動タイミングに応じて発生し得る前記参照電圧の変動を相殺
する前記可変電圧を前記可変電圧源から出力させる可変電圧出力ステップとを含む
表示装置の駆動方法。

【請求項１０】

前記可変電圧出力ステップは、
前記参照電源線の前記参照電圧を計測する計測ステップと、
前記可変電圧を、前記計測ステップで計測された前記参照電圧に基づいて調整する調整
ステップとを含む

10

請求項９に記載の表示装置の駆動方法。

【請求項１１】

前記可変電圧出力ステップは、
外部から入力された映像信号及び前記垂直ブランキング期間の駆動タイミングに基づい
て、予め前記参照電圧の変動タイミング及び変動期間と、前記可変電圧の出力値を演算す
る演算ステップと、

前記可変電圧を、前記演算ステップで演算された前記変動タイミング及び前記変動期間
に基づいて調整する調整ステップとを含む

請求項９に記載の表示装置の駆動方法。

20

【請求項１２】

前記可変電圧出力ステップは、
外部から入力された前記映像信号に基づいて、前記可変電圧の出力値を演算する演算ス
テップと、

出荷時に設定された駆動タイミングに基づいて演算された前記参照電圧の変動タイミン
グ及び変動期間をメモリから読出す読出しステップと、

前記可変電圧を、前記演算ステップで演算された前記可変電圧の出力値と、前記読出し
ステップで読出された前記変動タイミング及び前記変動期間とに基づいて調整する調整ス
テップとを含む

請求項９に記載の表示装置の駆動方法。

30

【請求項１３】

前記可変電圧出力ステップは、
出荷時に設定された映像信号に基づいて演算された前記可変電圧の出力値と、出荷時に
設定された駆動タイミングに基づいて演算された前記参照電圧の変動タイミング及び変動
期間とをメモリから読出す読出しステップと、

前記可変電圧を、前記読出しステップで読み出された前記可変電圧の出力値と、前記変
動タイミング及び前記変動期間とに基づいて調整する調整ステップとを含む

請求項９に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置及びその駆動方法に関し、特に、有機ＥＬ素子に代表される電流駆
動型発光素子を用いたアクティブマトリクス型表示装置及びその駆動方法に関する。

40

【背景技術】

【０００２】

一般に、表示パネルに配置された有機ＥＬ素子の輝度は、当該素子に供給される駆動電
流に比例して大きくなる。よって、特に、アクティブマトリクス型の有機ＥＬディスプレイ
では、表示パネルの大型化にともない、有機ＥＬ発光素子に電流供給するための電源線
の局所的な電圧変動、ならびに、有機ＥＬ発光素子及び駆動トランジスタの特性ばらつき
により表示ムラが顕著となり、表示品質を低下させてしまう。

【０００３】

50

特許文献 1 では、このような表示ムラを抑制すべく、ブランキング期間に有機 EL 発光素子のカソード電流を検出し、当該検出電流に基づいて高速かつ高精度な補正をする有機 EL 表示装置が開示されている。これにより、装置出荷後においても表示ばらつきの補正が可能となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2008 - 129183 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

アクティブマトリクス型の有機 EL 発光装置では、行列状に配置された各画素は、駆動トランジスタ及び有機 EL 素子のほか、継続発光のためデータ信号電圧を保持する容量素子を有している。これらの画素回路要素を用いたアクティブマトリクス型の駆動シーケンスとして、1 フレーム期間内に、例えば、容量素子の初期化期間、駆動トランジスタの閾値電圧検出期間、信号電圧書込み期間、及び、発光期間が設けられる。これらのうち、初期化期間では、駆動トランジスタや有機 EL 素子の特性ばらつきによる表示ムラを抑制すべく、容量素子に接続された参照電源から容量素子を初期充電することにより、当該容量素子の電圧が初期化される。その後、書込み期間では、初期化電圧、閾値電圧検出期間で検出された閾値電圧、及び信号電圧が合成されて容量素子に書き込まれる。そして、発光期間では、合成された電圧に基づいて、有機 EL 発光素子が発光する。

20

【0006】

しかしながら、上記駆動シーケンスが行順次走査方式であるプログレッシブ方式にて実現される場合、上記初期化電圧が安定しないという問題が発生する。プログレッシブ方式では、走査最終行から走査開始行へ走査を戻す時間を確保する垂直ブランキング期間が、上記駆動シーケンスに設けられた 4 つの期間のいずれかに含まれることになる。特に、垂直ブランキング期間が初期化期間に含まれるケースでは、初期化期間に相当する初期化走査行数のうち、所定の行数が垂直ブランキング行（仮想行）で占められることとなる。このケースでは、垂直ブランキング行の分だけ参照電源から容量素子への充電が行われる画素数が減るため、参照電源から供給される充電電流が減少し、参照電源線の電圧降下量が増えることとなる。その結果、特定の画素行において正確な合成電圧に基づいて発光されず、横筋ノイズなどの表示ムラが発生することとなる。

30

【0007】

本発明は上述の問題に鑑みてなされたものであり、垂直ブランキング期間が設けられた行順次走査方式において、表示ムラが抑制された表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の課題を解決するために、本発明の一態様に係る表示装置は、複数の画素が行列状に配置された表示部を有し、行順次走査するシーケンスにより駆動される表示装置であって、前記表示装置は、前記表示部に向けて可変電圧を出力する可変電圧源と、前記可変電圧源と前記複数の画素とを電氣的に接続し、前記可変電圧を参照電圧として前記複数の画素に伝達する参照電源線とを備え、前記複数の画素のそれぞれは、電流が流れることにより発光する発光素子と、第 1 電極が前記参照電圧に設定される容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備え、前記表示装置は、さらに、垂直ブランキング期間の駆動タイミングに応じて発生し得る前記参照電圧の変動を相殺する前記可変電圧を前記可変電圧源から出力させる制御部を備えることを特徴とする。

40

【発明の効果】

【0009】

本発明によれば、垂直ブランキング期間の挿入タイミングにより容量素子を充電する行

50

数（充電電流負荷）が変動しても、参照電源線の電圧を安定させることが可能となる。よって、垂直ブランキング期間が設けられた行順次走査方式において、表示ムラを抑制することが可能となる。

【図面の簡単な説明】

【0010】

【図1A】有機EL発光パネルのプログレッシブ駆動方式を説明する動作遷移図である。

【図1B】時刻Tにおける有機EL発光パネルの静止画像状態を表す図である。

【図2A】初期化期間内にブランキング行を走査する場合の動作遷移図及び有機EL発光パネルの静止画像状態を表す図である。

【図2B】Vth検出期間内にブランキング行を走査する場合の動作遷移図及び有機EL発光パネルの静止画像状態を表す図である。

【図2C】発光期間内にブランキング行を走査する場合の動作遷移図及び有機EL発光パネルの静止画像状態を表す図である。

【図3A】有機EL発光パネルの画素回路構成の一例を示す図である。

【図3B】有機EL発光パネルの画素回路の動作タイミングチャートの一例である。

【図4A】初期化期間以外の期間内にブランキング行を走査する場合の参照電源線の電圧降下状態を説明する図である。

【図4B】初期化期間内にブランキング行を走査する場合の参照電源線の電圧降下状態を説明する図である。

【図5A】参照電源線の電圧が4.0Vである画素における書き込み状態を説明する図である。

【図5B】参照電源線の電圧が4.2Vである画素における書き込み状態を説明する図である。

【図6】表示パネルの参照電圧の時間変化及び表示ムラを有する画像を表す図である。

【図7】実施の形態1に係る表示装置の構成を示すブロック図である。

【図8】実施の形態1に係る表示装置の駆動方法を説明する動作フローチャートである。

【図9】実施の形態1に係る表示装置の駆動方法を説明するタイミングチャートである。

【図10】実施の形態2に係る表示装置の構成を示すブロック図である。

【図11】実施の形態2に係る表示装置の駆動方法を説明する動作フローチャートである。

【図12A】走査時刻と静止画像状態との関係を表す図である。

【図12B】参照電圧の制御タイミングを示す図である。

【図13】実施の形態2の変形例1に係る表示装置の構成を示すブロック図である。

【図14】実施の形態2の変形例2に係る表示装置の構成を示すブロック図である。

【図15】実施の形態1または2に係る表示装置を内蔵した薄型フラットTVの外観図である。

【発明を実施するための形態】

【0011】

（本発明の基礎となった知見）

本発明者は、「背景技術」の欄において記載したアクティブマトリクス型の有機ELディスプレイに関し、以下の問題が生じることを見出した。以下、図面を用いて本問題について説明する。

【0012】

図1Aは、有機EL発光パネルのプログレッシブ駆動方式を説明する動作遷移図である。同図において、横軸は時間を表し、縦軸は画素行（表示行）を表す。同図では、複数の画素が行列状に配置された表示パネルにおいて、初期化動作、Vth（閾値電圧）検出動作、書き込み動作、及び発光動作が行順次に行われていることが示されている。ここでは、表示パネルの行数を、例えば、2160行としている。

【0013】

また、図1Aには、さらに、ブランキング行なる仮想行（2161行～2253行）が

10

20

30

40

50

示されている。これは、ゲートドライバが走査最終行（第 2 1 6 0 行）から走査開始行（第 1 行）へ走査を戻す時間を確保する垂直ブランキング期間に相当するものであり、当該垂直ブランキング期間を、当該期間に相当する走査行数で表したものである。

【 0 0 1 4 】

図 1 B は、時刻 T における有機 E L 発光パネルの静止画像状態を表す図である。同図には、図 1 A に示された動作遷移図の時刻 T における表示パネルの静止画像状態が表されている。図 1 B に示すように、表示パネルの全走査行数は、例えば、ブランキング行を含めた 2 2 5 3 行（2 1 6 0 行 + 仮想 9 3 行）と設定される。上記 2 2 5 3 行の内訳は、例えば、発光期間である走査行数が 1 6 9 0 行（1 水平走査期間を 1 H と記し、以降、1 6 9 0 H と記すことがある）、書込み期間である走査行数が 1 行、V t h 検出期間である走査 10
 行数が 4 0 0 行、初期化期間である走査行数が 1 6 2 行である。また、上記 4 期間の走査行数割り当てとは独立に、上記 2 2 5 3 行のうち 9 3 行（仮想行）がブランキング行として割り当てられる。以下、図 2 A ~ 図 2 C に、上記 4 期間とブランキング期間とが重複する態様について説明する。

【 0 0 1 5 】

図 2 A は、初期化期間内にブランキング行を走査する場合の動作遷移図及び有機 E L 発光パネルの静止画像状態を表す図である。また、図 2 B は、V t h 検出期間内にブランキング行を走査する場合の動作遷移図及び有機 E L 発光パネルの静止画像状態を表す図である。図 2 C は、発光期間内にブランキング行を走査する場合の動作遷移図及び有機 E L 発光パネルの静止画像状態を表す図である。 20

【 0 0 1 6 】

図 2 A の右側には、状態遷移図中の時刻 T 1 における表示パネルの静止画像状態が表されている。この場合には、初期化走査行 1 6 2 行のうち 9 3 行がブランキング期間に割り当てられることとなり、初期化が行われている行数は実質的に 6 9 行分となる。

【 0 0 1 7 】

図 2 B の右側には、状態遷移図中の時刻 T 2 における表示パネルの静止画像状態が表されている。この場合には、V t h 検出走査行 4 0 0 行のうち 9 3 行がブランキング期間に割り当てられることとなり、初期化が行われている行数は変動せず 1 6 2 行分である。

【 0 0 1 8 】

図 2 C の右側には、状態遷移図中の時刻 T 3 における表示パネルの静止画像状態が表されている。この場合には、発光行 1 6 9 0 行のうち 9 3 行がブランキング期間に割り当てられることとなり、初期化が行われている行数は変動せず 1 6 2 行分である。 30

【 0 0 1 9 】

つまり、初期化期間中の行数に着目した場合、上記 4 期間とブランキング期間との関係により、ある一定の期間において、初期化を実行する走査行数が変動する。

【 0 0 2 0 】

以下、初期化期間が実質的に変動した場合の問題について説明するため、有機 E L 発光素子を有する画素回路について例示する。

【 0 0 2 1 】

図 3 A は、有機 E L 発光パネルの画素回路構成の一例を示す図である。また、図 3 B は、有機 E L 発光パネルの画素回路の動作タイミングチャートの一例である。図 3 A には、有機 E L 発光パネル上に行列状に配置された複数の画素のうちの一画素における回路が示されている。画素 2 0 0 は、有機 E L 素子 2 0 1 と、駆動トランジスタ 2 0 2 と、スイッチ 2 0 3 ~ 2 0 6 と、容量素子 2 1 0 とを備える。また、画素 2 0 0 には、参照電源線 6 0 と、E L アノード電源線 8 1（V t f t）と、E L カソード電源線 8 2（V e l）と、初期化電源線 9 3（V i n i）と、走査線 9 1 と、参照電圧制御線 9 2 と、初期化制御線 9 4 と、発光制御線 9 6 と、データ線 9 5 とが配線されている。 40

【 0 0 2 2 】

次に、図 3 B に示す画素回路の駆動方法について説明を行う。図 3 B において、横軸は時間を表している。また、縦軸方向には、表示パネルを構成する画素のうち対応する行の 50

画素 200 に対する初期化制御線 94、参照電圧制御線 92、発光制御線 96、走査線 91、及びデータ線 95 に発生する電圧の波形図が示されている。

【0023】

上記駆動方法は、画素 200 の上記構成により期間 a から期間 j を実施することで実現される。

【0024】

[期間 a]

期間 a では、スイッチ 206 のみを導通状態として、駆動トランジスタ 202 のソース電位を安定させる（駆動トランジスタ 202 のソース電位を初期化電圧 V_{ini} に設定する）。

【0025】

[期間 b]

期間 b では、後続する期間 d において駆動トランジスタ 202 の閾値電圧検出を行うべくドレイン電流を流すのに必要な電圧を、予め容量素子 210 の第 1 電極及び駆動トランジスタ 202 のゲートに印加する。具体的には、参照電圧制御線 92 の電圧レベルを LOW から HIGH に変化させてスイッチ 204 を導通状態とする。これにより、参照電源線 60 の参照電圧 V_{ref} が、容量素子 210 に充電される。

【0026】

なお、期間 b は、容量素子の第 1 電極及び第 2 電極の電位が所定電位になるまでの長さ（時間）に設定される。これにより、駆動トランジスタ 202 のゲート - ソース間電圧は、閾値電圧検出動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定される。

【0027】

[期間 c]

期間 c は、スイッチ 205 及び 206 が同時に導通状態となる期間を排除するための期間である。後続する期間 d ではスイッチ 205 を導通状態とするが、仮にこのときスイッチ 206 が導通状態であれば、スイッチ 205、駆動トランジスタ 202 及びスイッチ 206 を介して、EL アノード電源線 81 と初期化電源線 93 との間に貫通電流が流れてしまう。これに対して、期間 c の設定により、スイッチ 205 が導通状態のときにはスイッチ 206 は非導通状態となっているので、 V_{th} 検出期間の最初において上記貫通電流が流れるのを防止することができる。

【0028】

期間 a ~ c は、駆動トランジスタ 202 の V_{th} 検出期間においてドレイン電流を流すのに必要な電圧を容量素子 210 に充電する初期化期間である。

【0029】

[期間 d]

期間 d では、駆動トランジスタ 202 の閾値電圧が容量素子 210 にて検出される。具体的には、走査線 91 及び初期化制御線 94 の電圧レベルを LOW、ならびに、参照電圧制御線 92 の電圧レベルを HIGH に維持し、発光制御線 96 の電圧レベルを LOW から HIGH に変化させる。すなわち、スイッチ 203 及び 206 をオフ状態とし、スイッチ 204 及び 205 をオン状態とする。

【0030】

このとき、初期化期間での電圧設定により有機 EL 素子 201 には電流が流れない状態でドレイン電流が流れ、駆動トランジスタ 202 のソース電位が変化する。言い換えると、EL アノード電源線 81 の電圧 V_{tft} により供給されるドレイン電流が 0 となるまで駆動トランジスタ 202 のソース電位は変化する。このように、駆動トランジスタ 202 の閾値電圧検出動作が開始される。

【0031】

そして、期間 d の終了時には、容量素子 210 の第 1 電極と第 2 電極との電位差（駆動トランジスタ 202 のゲート - ソース間電圧）は、駆動トランジスタ 202 の閾値電圧 V_{th} に相当する電位差となっている。

10

20

30

40

50

【 0 0 3 2 】

[期間 e]

期間 e では、閾値電圧検出動作が終了する。具体的には、発光制御線 9 6 の電圧レベルを H I G H から L O W に変化させる。すなわち、スイッチ 2 0 3 及び 2 0 6 はオフ状態、ならびにスイッチ 2 0 4 はオン状態に維持されつつ、スイッチ 2 0 5 をオフ状態とする。これにより、ドレイン電流の供給が停止され、閾値電圧検出動作が完了する。

【 0 0 3 3 】

[期間 f]

期間 f は、スイッチ 2 0 4 をオフ状態にすることで、後続する書込み期間においてデータ線 9 5 供給されるデータ信号電圧と参照電源線 6 0 の参照電圧 V_{ref} とが同時に容量素子 2 1 0 の第 1 電極に印加されるのを防止するための期間である。具体的には、初期化制御線 9 4、発光制御線 9 6 及び走査線 9 1 の電圧レベルを L O W に維持しつつ、参照電圧制御線 9 2 の電圧レベルを H I G H から L O W に変化させる。すなわち、スイッチ 2 0 3 ~ 2 0 6 を、全てオフ状態とする。

10

【 0 0 3 4 】

[期間 g]

期間 g では、スイッチ 2 0 3 をオン状態にすることで、書込み動作の準備がなされる。具体的には、走査線 9 1 の電圧レベルを L O W から H I G H へと変化させる。

【 0 0 3 5 】

[期間 h]

期間 h は、データ線 9 5 から表示階調に応じた映像信号電圧（データ信号電圧）を画素 2 0 0 に取り込み、容量素子 2 1 0 に書き込む書込み期間である。具体的には、データ線 9 5 及びスイッチ 2 0 3 を介してデータ信号電圧が容量素子 2 1 0 の第 1 電極に印加される。これにより、容量素子 2 1 0 には、 V_{th} 検出期間で保持された駆動トランジスタ 2 0 2 の閾値電圧 V_{th} に加えて、データ信号電圧と参照電圧 V_{ref} との電圧差が、（容量 2 1 1 の静電容量）/（容量 2 1 1 の静電容量 + 容量素子 2 1 0 の静電容量）倍されて、記憶（保持）される。なお、容量 2 1 1 は、有機 E L 素子 2 0 1 が有する寄生容量である。ここで、スイッチ 2 0 5 が非導通状態にあるため、駆動トランジスタ 2 0 2 はドレイン電流を流さない。

20

【 0 0 3 6 】

大画面化による画素数の増加に伴い、各画素に映像信号を書き込む期間（水平走査期間）は短くなる。一方、大画面化に伴い走査線 9 1 の時定数が増加するため、水平走査期間の短縮とあわせて、データ信号電圧を画素 2 0 0 に書き込むことが難しくなる。そこで、走査線 9 1 の波形なまりがあっても、正確なデータ信号電圧を、データ線 9 5 を介して書き込むことができるよう期間 g が設けられている。つまり、データ信号電圧がデータ線 9 5 に印加される前に、走査線 9 1 の立ち上がりを完了させスイッチ 2 0 3 が完全にオン状態となるようにしている。また、期間 h の終了時には、走査線 9 1 の電位を通常の L O W レベルよりも低く設定することにより走査線 9 1 の立ち下がり迅速に完了させている。

30

【 0 0 3 7 】

これにより、走査線 9 1 の負荷（配線時定数）が大きく、立ち上がり及び立ち下がりに時間がかかるような大画面、高画素数の表示パネルであっても確実に書き込むことができる。

40

【 0 0 3 8 】

[期間 i]

期間 i は、発光期間である。具体的には、走査線 9 1、参照電圧制御線 9 2 及び初期化制御線 9 4 の電圧レベルを L O W に維持しつつ、発光制御線 9 6 の電圧レベルを L O W から H I G H に変化させる。すなわち、スイッチ 2 0 3、2 0 4 及び 2 0 6 をオフ状態に維持しつつ、スイッチ 2 0 5 をオン状態とする。

【 0 0 3 9 】

このように、スイッチ 2 0 5 をオン状態とすることで、容量素子 2 1 0 に蓄えられた電

50

圧に応じて有機EL素子201に電流を供給し発光させることができる。

【0040】

以上の期間a~jは、初期化期間、Vth検出期間、書込み期間、及び発光期間で構成される。このうち、上述したように、初期化期間に含まれる期間bにおいて、参照電源線60の参照電圧Vrefが容量素子210に充電される。

【0041】

しかしながら、ブランキング期間が初期化期間に含まれた場合、上記参照電圧Vrefが安定しない。以下、初期化走査行数の変動により生じる問題について、図4A~図6を用いて説明する。

【0042】

図4Aは、初期化期間以外の期間内にブランキング行を走査する場合の参照電源線の電圧降下状態を説明する図である。また、図4Bは、初期化期間内にブランキング行を走査する場合の参照電源線の電圧降下状態を説明する図である。図4A及び図4Bにおいて、左側には、有機EL表示パネルを含む表示装置の構成が示されている。参照電源線60は、各画素に対応して配置されるとともに、表示パネルの周囲に引き出され、互いに束ねられて電氣的に接続されている。なお、図4A及び図4Bでは、参照電源線60はリング状に配置されているが、これに限られない。例えば、参照電源線60は、表示パネルの左右各辺の外周であって当該各辺と平行にプリント基板を用いて分離配置されていてもよい。また、表示装置は、参照電圧Vrefを供給するための参照電源を有している。ここで、参照電源線60は、大画面となるほど配線が長くなるため配線抵抗が大きくなることから、参照電源と表示パネルに配置された参照電源線60とは、等価抵抗Rrefを介して接続されていると見なすことができる。例えば、上記期間bにおける充電期間において、図4A及び図4Bの右側に示されるように、所定の期間に充電電流が流れると、表示パネルの参照電源線60では、配線途中の等価抵抗Rrefにより電圧降下が生じる。ここで、参照電源が4.4Vの電源電圧を出力すると仮定すると、図4Aに示されたケースにおいては、初期化期間に該当する162行に対して充電電流が供給され、それに応じた電圧降下が発生し、表示パネルの参照電源線60の参照電圧Vrefは4.0Vとなる。一方、図4Bに示されたケースでは、初期化期間に該当する69行に対して充電電流が供給されるので、図4Aのケースより参照電源線に流れる電流が小さく、電圧降下量が小さいため、表示パネルの参照電源線60の参照電圧Vrefは4.2Vとなる。

【0043】

つまり、垂直ブランキング期間が初期化期間以外に含まれている場合には、有機EL表示パネルに配置された参照電源線60の電圧及び参照電圧Vrefは4.0Vであるが、ブランキング期間が初期化期間に含まれている場合には、当該参照電源線60の電圧及び参照電圧Vrefは4.2Vとなる。つまり、ブランキング期間が初期化期間に含まれている場合には、表示パネルに配置された参照電源線60及び参照電圧Vrefが4.0Vから4.2Vへと変動してしまう。なお、ブランキング期間の一部が初期化期間に含まれている場合には、当該参照電源線60の電圧及び参照電圧Vrefは4.0~4.2Vの間の電圧となる。以下、参照電源線60及び参照電圧Vrefが変動した状態で、書込み動作及び発光動作が実行された場合の問題について説明する。

【0044】

図5Aは、参照電源線の電圧が4.0Vである画素における書き込み状態を説明する図である。また、図5Bは、参照電源線の電圧が4.2Vである画素における書き込み状態を説明する図である。

【0045】

図5Aに示された画素では、初期化期間以外の期間にブランキング行が走査されたことにより、書き込み時(Vth検出期間終了時)において参照電源線の電圧降下量が4.0Vとなっている。ここで、Vth検出期間では閾値電圧Vth(V)が検出され、データ信号電圧が9(V)であるとする。この場合、書込み期間において、蓄電素子の第1電極には、(データ信号電圧9(V)-Vref4(V))=5(V)が印加される。ここで

、容量素子 210 の静電容量を C_{210} 、容量 211 の静電容量を C_{211} とすると、データ信号電圧に対応した、容量素子 210 に保持される電圧は、 $5(V) \times (C_{211} / (C_{211} + C_{210}))$ となる。これに容量素子 210 で保持された $V_{th}(V)$ が加算された電圧 $\{5 \times (C_{211} / (C_{211} + C_{210})) + V_{th}\}(V)$ が、書込み電圧 V_c となる。

【0046】

一方、図 5 B に示された画素では、初期化期間にブランキング行が走査されたことにより、書き込み時 (V_{th} 検出期間終了時) において参照電源線の電圧降下量が $4.2V$ となっている。この場合、図 5 A の画素と同様に、閾値電圧は $V_{th}(V)$ であり、データ信号電圧は $9(V)$ であるとする、書込み期間において、蓄電素子の第 1 電極には、
 $(データ信号電圧 $9(V) - V_{ref} 4.2(V) = 4.8(V)$ が印加される。このとき、データ信号電圧に対応した、容量素子 210 に保持される電圧は、 $4.8(V) \times (C_{211} / (C_{211} + C_{210}))$ となる。これに容量素子 210 で保持された $V_{th}(V)$ が加算された電圧 $\{4.8 \times (C_{211} / (C_{211} + C_{210})) + V_{th}\}(V)$ が、書込み電圧 V_c となる。$

10

【0047】

つまり、ブランキング期間が初期化期間に含まれることにより、書込み期間の開始時 (V_{th} 検出期間終了時) において参照電圧 V_{ref} が $4.0V$ から $4.2V$ へと変動している画素は、参照電圧 V_{ref} が変動していない画素に対して、データ信号電圧及び閾値電圧が等しい場合であっても、容量素子 210 への書込み電圧が $\{0.2V \times (C_{211} / (C_{211} + C_{210}))\}$ 小さくなる。

20

【0048】

図 6 は、表示パネルの参照電圧の時間変化及び表示ムラを有する画像を表す図である。同図の左側には、初期化期間にブランキング行を走査した場合における参照電圧の変動が表されている。また同図の右側には、参照電圧 V_{ref} が $4.2V$ へと変動している状態で書込み期間が開始された (V_{th} 検出期間が終了した) 特定の画素群に横筋ノイズが発生している画像を表している。

【0049】

上述したように、垂直ブランキング期間が設けられたプログレッシブ駆動を実行する有機 EL 表示装置では、行順次走査と垂直ブランキング走査とのタイミングにより、表示パネルの電源線負荷が変動する。これにより、表示ムラが発生するという問題を有する。

30

【0050】

このような問題を解決するために、本発明の一態様に係る表示装置は、複数の画素が行列状に配置された表示部を有し、行順次走査するシーケンスにより駆動される表示装置であって、前記表示装置は、前記表示部に向けて可変電圧を出力する可変電圧源と、前記可変電圧源と前記複数の画素とを電氣的に接続し、前記可変電圧を参照電圧として前記複数の画素に伝達する参照電源線とを備え、前記複数の画素のそれぞれは、電流が流れることにより発光する発光素子と、第 1 電極が前記参照電圧に設定される容量素子と、前記容量素子に保持された電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備え、前記表示装置は、さらに、垂直ブランキング期間の駆動タイミングに応じて発生し得る前記参照電圧の変動を相殺する前記可変電圧を前記可変電圧源から出力させる制御部を備えることを特徴とする。

40

【0051】

本態様によれば、垂直ブランキング期間により容量素子を充電する行数 (充電電流負荷) が変動しても、参照電源線の電圧を安定させることが可能となる。よって、垂直ブランキング期間が設けられた行順次走査方式においても、表示ムラを抑制することが可能となる。

【0052】

また、例えば、前記制御部は、前記参照電源線の前記参照電圧を計測する計測部を備え、前記可変電圧源は、前記計測部で計測された前記参照電圧に基づいて調整した前記可変

50

電圧を出力してもよい。

【0053】

これにより、参照電源線の参照電圧が常に一定となるように、参照電源線に参照電圧計測点が設けられ、当該計測点にて計測された参照電圧値が可変電圧源にフィードバックされる。よって、参照電圧を変動させず、参照電源線の電圧を安定させることが可能となる。

【0054】

また、例えば、前記表示装置は、外部から入力された映像信号に対応した電圧を前記容量素子に保持させ、前記制御部は、前記映像信号及び前記垂直ブランキング期間の駆動タイミングを予め取得し、前記映像信号及び前記駆動タイミングに基づいて、前記参照電圧の変動タイミング及び変動期間と、前記可変電圧の出力値を演算する演算部を備え、前記可変電圧源は、前記演算部で演算された前記変動タイミング及び前記変動期間と、前記可変電圧の出力値とに基づいて調整した前記可変電圧を出力してもよい。

10

【0055】

また、例えば、前記表示装置は、外部から入力された映像信号に対応した電圧を前記容量素子に保持させ、前記制御部は、予め取得された映像信号と出荷時に設定された駆動タイミングに基づいて演算された前記参照電圧の変動タイミング及び変動期間とを保存したメモリと、前記メモリに保存された前記映像信号に基づいて、前記可変電圧の出力値を演算する電圧演算部とを備え、前記可変電圧源は、前記電圧演算部で演算された前記可変電圧の出力値と、前記メモリに保存された前記変動タイミング及び前記変動期間とに基づいて調整した前記可変電圧を出力してもよい。

20

【0056】

また、例えば、前記表示装置は、外部から入力された映像信号に対応した電圧を前記容量素子に保持させ、前記制御部は、出荷時に設定された映像信号に基づいて演算された前記可変電圧の出力値と、出荷時に設定された駆動タイミングに基づいて演算された前記参照電圧の変動タイミング及び変動期間を保存したメモリを備え、前記可変電圧源は、前記メモリに保存された前記可変電圧の出力値と、前記変動タイミング及び前記変動期間とに基づいて調整した前記可変電圧を出力してもよい。

【0057】

また、例えば、前記複数の画素のそれぞれは、さらに、前記参照電源線と前記第1電極との導通及び非導通を切り換える第1スイッチ素子を備え、前記演算部は、表示領域内において、前記第1スイッチ素子が行順次に導通状態となり前記容量素子に前記参照電源線から前記参照電圧が充電されている行数が、前記垂直ブランキング期間により変動するタイミング及び期間を予め演算してもよい。

30

【0058】

これにより、参照電源線の参照電圧が常に一定となるように、映像信号及び垂直ブランキング期間の駆動タイミングを予め取得して、参照電圧 V_{ref} の変動タイミング及び変動期間と可変電圧の出力値が予め演算される。そして、演算された参照電圧 V_{ref} の変動タイミング及び変動期間と可変電圧の出力値とに基づいて参照電圧 V_{ref} が調整されることにより、参照電源線の電圧を安定させることが可能となる。

40

【0059】

また、例えば、前記表示装置は、さらに、前記駆動トランジスタのドレイン電極に駆動電位を供給するための駆動電源線と、画素列に対応して配置された複数のデータ線とを備え、複数の画素のそれぞれは、さらに、前記参照電源線と前記第1電極との導通及び非導通を切り換える第1スイッチ素子と、前記駆動電源線と前記ドレイン電極との導通及び非導通を切り換える第2スイッチ素子と、前記データ線と前記第1電極との導通及び非導通を切り換える第3スイッチ素子とを備え、前記制御部は、前記第1スイッチ素子を行順次に導通状態とすることにより、前記容量素子に前記参照電源線から前記参照電圧を行順次に充電することで前記容量素子を行順次に初期化する初期化期間と、前記第1スイッチ素子を導通状態としたままで前記第2スイッチ素子を行順次に導通状態とすることにより、

50

前記容量素子に前記駆動トランジスタの閾値電圧を行順次に検出させ保持させる閾値電圧検出期間と、前記第１スイッチ素子及び前記第２スイッチ素子を非導通状態としたままで前記第３スイッチ素子を行順次に導通状態とすることにより、前記データ線からデータ信号電圧を前記複数の画素に行順次に書き込む書込み期間と、前記第１スイッチ素子及び前記第３スイッチ素子を非導通状態としたままで前記第２スイッチ素子を行順次に導通状態とすることにより、前記複数の画素を行順次に発光させる発光期間とを設定し、前記初期化期間が前記垂直ブランキング期間を含むことで前記容量素子に前記参照電源線から前記参照電圧が充電されている行数が、前記垂直ブランキング期間により変動することにより発生し得る前記参照電圧の変動を相殺する前記可変電圧を前記可変電圧源から出力させてもよい。

10

【００６０】

これにより、初期化期間がブランキング期間を含むことで初期化期間における容量素子を充電する行数（充電電流負荷）が変動しても、参照電源線の電圧を安定させることが可能となる。よって、垂直ブランキング期間が設けられた行順次走査方式においても、表示ムラを抑制することが可能となる。

【００６１】

また、例えば、前記発光素子は、有機ＥＬ素子であってもよい。

【００６２】

これにより、有機ＥＬ素子を有する画素の輝度ばらつきを抑制できる。

【００６３】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

20

【００６４】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。

【００６５】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって特許請求の範囲に記載の主題を限定することを意図するものではない。

30

【００６６】

（実施の形態１）

以下、実施の形態１に係る表示装置及びその駆動方法について、図面を参照しながら説明する。

【００６７】

[１．表示装置の構成]

図７は、実施の形態１に係る表示装置の構成を示すブロック図である。同図に示す表示装置１は、制御回路１０と、有機ＥＬ表示部２０と、走査線駆動回路３０と、データ線駆動回路４０と、可変電圧源５０と、参照電源線６０とを備える。

40

【００６８】

制御回路１０は、外部から入力された映像信号に基づいて、走査線駆動回路３０及びデータ線駆動回路４０のそれぞれに、駆動タイミングを指示する制御信号を出力する。また、制御回路１０は、後述する初期化期間、閾値電圧検出期間、書込み期間、及び発光期間を設定する制御部である。

【００６９】

有機ＥＬ表示部２０は、複数の画素が行列状に配置された表示領域であり、例えば、画素は、図３Ａに示された画素２００である。画素２００は、有機ＥＬ素子２０１と、駆動トランジスタ２０２と、スイッチ２０３～２０６と、容量素子２１０とを備える。また、有機ＥＬ表示部２０には、参照電源線６０と、ＥＬアノード電源線８１（ V_{tft} ）と、

50

E Lカソード電源線 8 2 (V e l) と、初期化電源線 9 3 (V i n i) と、画素行ごとに配置された走査線 9 1、参照電圧制御線 9 2、発光制御線 9 6 及び初期化制御線 9 4 と、画素列ごとに配置されたデータ線 9 5 とを備える。

【 0 0 7 0 】

有機 E L 素子 2 0 1 は、発光素子の一例であり、駆動トランジスタ 2 0 2 の駆動電流により発光する。有機 E L 素子 2 0 1 は、カソードが E L カソード電源線 8 2 に接続され、アノードが駆動トランジスタ 2 0 2 のソースに接続されている。

【 0 0 7 1 】

駆動トランジスタ 2 0 2 は、有機 E L 素子 2 0 1 への電流の供給を制御する電圧駆動の駆動素子である。駆動トランジスタ 2 0 2 は、ゲートが容量素子 2 1 0 の第 1 電極と接続され、ソースが容量素子 2 1 0 の第 2 電極及び有機 E L 素子 2 0 1 のアノードに接続されている。駆動トランジスタ 2 0 2 は、スイッチ 2 0 4 がオフ状態及びスイッチ 2 0 5 がオン状態である場合に、データ信号電圧に応じた電流である駆動電流を有機 E L 素子 2 0 1 に流すことにより有機 E L 素子 2 0 1 を発光させる。ここで、E L アノード電源線 8 1 に供給されている電圧 V_{tft} は、例えば 20 V である。また、駆動トランジスタ 2 0 2 は、スイッチ 2 0 4 がオフ状態及びスイッチ 2 0 5 がオフ状態である場合に、駆動電流を有機 E L 素子 2 0 1 に流さないことで有機 E L 素子 2 0 1 を発光させない。さらに、駆動トランジスタ 2 0 2 の閾値電圧は、スイッチ 2 0 4 がオン状態、スイッチ 2 0 3 がオフ状態、スイッチ 2 0 6 がオフ状態、及びスイッチ 2 0 5 がオン状態である間に、容量素子 2 1 0 にて検出される。

【 0 0 7 2 】

容量素子 2 1 0 は、駆動トランジスタ 2 0 2 に流す電流量を決める電圧を保持する。容量素子 2 1 0 の第 1 電極は、駆動トランジスタ 2 0 2 のゲートに接続され、さらに、参照電源線 6 0 (V r e f) とスイッチ 2 0 4 を介して接続されている。これにより、容量素子 2 1 0 の第 1 電極は参照電圧に設定される。容量素子 2 1 0 は、例えば、スイッチ 2 0 4 がオフ状態となった後も、印加された参照電圧 V_{ref} を維持し、継続して駆動トランジスタ 2 0 2 のゲートにその参照電圧 V_{ref} を供給する。また、容量素子 2 1 0 は、スイッチ 2 0 3 がオン状態となった場合に、データ信号電圧が印加され、スイッチ 2 0 3 がオフ状態になった後、そのデータ信号電圧を保持する。そして、スイッチ 2 0 5 がオン状態となった後の駆動トランジスタ 2 0 2 に駆動電流を供給させる。

【 0 0 7 3 】

スイッチ 2 0 3 は、データ信号電圧を供給するためのデータ線 9 5 と容量素子 2 1 0 の第 1 電極との導通及び非導通を切り換える第 3 スイッチ素子であり、例えば N M O S トランジスタである。

【 0 0 7 4 】

スイッチ 2 0 4 は、参照電圧 V_{ref} を供給する参照電源線 6 0 と容量素子 2 1 0 の第 1 電極との導通及び非導通を切り換える第 1 スイッチ素子であり、例えば N M O S トランジスタである。

【 0 0 7 5 】

スイッチ 2 0 6 は、容量素子 2 1 0 の第 2 電極と初期化電源線 9 3 との導通及び非導通を切り換えるスイッチングトランジスタであり、容量素子 2 1 0 の第 2 電極に対して初期化電圧 V_{ini} を与える機能を有する。

【 0 0 7 6 】

スイッチ 2 0 5 は、E L アノード電源線 8 1 と駆動トランジスタ 2 0 2 のドレインとの導通及び非導通を切り換える第 2 スイッチ素子であり、例えば N M O S トランジスタである。スイッチ 2 0 5 は、駆動トランジスタ 2 0 2 のドレインに電位 V_{tft} を与える機能と、駆動トランジスタ 2 0 2 の閾値電圧 V_{th} の検出を行わせる機能を有する。

【 0 0 7 7 】

なお、スイッチ 2 0 3 ~ 2 0 6 は、n 型 T F T として説明を行うが、p 型 T F T であってもよく、また、n 型 T F T と p 型 T F T とが混在して用いられてもよい。

10

20

30

40

50

【 0 0 7 8 】

参照電源線 6 0 は、容量素子 2 1 0 の第 1 電極の電圧値を規定する参照電圧 V_{ref} を供給する。具体的には、参照電源線 6 0 は、可変電圧源 5 0 と複数の画素 2 0 0 とを電氣的に接続し、可変電圧である参照電源電圧を参照電圧 V_{ref} として複数の画素 2 0 0 に伝達する。EL アノード電源線 8 1 は、駆動トランジスタ 2 0 2 のドレインに駆動電位を供給するための駆動電源線である。EL カソード電源線 8 2 は、有機 EL 素子 2 0 1 のカソードに接続された低電圧側電源線である。初期化電源線 9 3 は、駆動トランジスタ 2 0 2 のソース及び容量素子 2 1 0 の第 2 電極の電圧を初期化する電源線である。

【 0 0 7 9 】

また、参照電圧 V_{ref} と初期化電圧 V_{ini} との電位差は、駆動トランジスタ 2 0 2 の最大閾値電圧よりも大きな電圧に設定される。

10

【 0 0 8 0 】

データ線駆動回路 4 0 は、制御回路 1 0 で生成された制御信号に基づいて、データ線 9 5 を駆動する。より具体的には、データ線駆動回路 4 0 は、映像信号および水平同期信号に基づいて、各画素回路にデータ信号電圧を出力する。

【 0 0 8 1 】

走査線駆動回路 3 0 は、制御回路 1 0 で生成された制御信号に基づいて、走査線 9 1、参照電圧制御線 9 2、発光制御線 9 6 及び初期化制御線 9 4 を駆動する。より具体的には、走査線駆動回路 3 0 は、垂直同期信号および水平同期信号に基づいて、各画素回路に走査信号、参照電圧制御信号、イネーブル信号及び初期化信号を、少なくとも画素行単位で出力する。

20

【 0 0 8 2 】

なお、表示装置 1 は、例えば、CPU (Central Processing Unit)、制御プログラムを格納した ROM (Read Only Memory) などの記憶媒体、RAM (Random Access Memory) などの作業用メモリ、および通信回路を有するとしてもよい。

【 0 0 8 3 】

参照電源線 6 0 は、上述したように画素 2 0 0 に対応して有機 EL 表示部 2 0 上に配線されており、さらに、有機 EL 表示部 2 0 の外周部で束ねられ、これらの配線は互いに電氣的に接続されている。

30

【 0 0 8 4 】

可変電圧源 5 0 は、有機 EL 表示部 2 0 に向けて可変電圧を出力する可変電源であり、画素 2 0 0 に対応して配置された参照電源線 6 0 に参照電圧を供給するための可変電源である。可変電圧源 5 0 は、有機 EL 表示部 2 0 の外周部に配線された参照電源線 6 0 と接続配線を介して接続されている。接続配線は、抵抗成分 6 5 を有しているため、可変電圧源 5 0 から各画素 2 0 0 へ電流が流れることにより接続配線にて電圧降下が発生する。これにより、各画素 2 0 0 において電流負荷が発生した場合、各画素 2 0 0 に印加される参照電圧 V_{ref} は、抵抗成分 6 5 による電圧降下により、可変電圧源 5 0 が出力する可変電圧である参照電源電圧よりも小さくなる。

【 0 0 8 5 】

ここで、本実施の形態に係る可変電圧源 5 0 は、垂直ブランキング期間の駆動タイミングに応じて発生し得る参照電圧 V_{ref} の変動を相殺する参照電源電圧を出力する制御部を備えている。より具体的には、可変電圧源 5 0 は、参照電源線 6 0 の参照電圧 V_{ref} を計測する計測部を備え、当該計測部で計測された参照電圧 V_{ref} に基づいて調整した可変電圧である参照電源電圧を出力する。

40

【 0 0 8 6 】

これにより、垂直ブランキング期間により容量素子の充電期間が変動しても、参照電源線 6 0 の電圧を安定させることが可能となる。よって、垂直ブランキング期間が設けられた行順次走査方式においても、表示ムラを抑制することが可能となる。

【 0 0 8 7 】

50

なお、上記計測部を備える制御部は、可変電圧源 50 が備えなくてもよく、例えば、制御回路 10 が備えてもよい。この場合には、制御回路 10 は、制御回路 10 が調整した参照電源電圧を可変電圧源 50 に出力させればよい。

【0088】

[2 . 表示装置の駆動方法]

次に、本実施の形態に係る表示装置の駆動方法について、図 3 B、図 8 及び図 9 を参照しながら説明する。

【0089】

図 8 は、実施の形態 1 に係る表示装置の駆動方法を説明する動作フローチャートである。また、図 9 は、実施の形態 1 に係る表示装置の駆動方法を説明するタイミングチャートである。

10

【0090】

なお、本実施の形態に係る表示装置 1 は、行順次走査するシーケンスにより駆動される。より具体的には、表示装置 1 では、図 1 A - 図 2 C に示されたプログレッシブ駆動方式により、初期化動作、V t h (閾値電圧) 検出動作、書込み動作、及び発光動作がそれぞれ行順次に行われる。以下、図 3 B に示された期間 a ~ j に従って説明していくが、前述した従来の駆動方法と同じ点は説明を省略することがある。ここでは、前述した従来の駆動方法と異なる同じ点、つまり、本実施の形態に係る表示装置の駆動方法の特徴的な部分を中心に説明する。

【0091】

20

[2 - 1 . 期間 a]

期間 a において、走査線駆動回路 30 は、初期化制御線 94 の電圧レベルを LOW から HIGH に変化させることにより、スイッチ 206 のみを導通状態とする。これにより、駆動トランジスタ 202 のソース電位を安定させる (駆動トランジスタ 202 のソース電位を初期化電圧 V i n i に設定する) 。

【0092】

[2 - 2 . 期間 b]

次に、期間 b において、走査線駆動回路 30 は、参照電圧制御線 92 の電圧レベルを LOW から HIGH に変化させることにより、スイッチ 204 を導通状態とする。これにより、参照電源線 60 の参照電圧 V r e f が、容量素子 210 に充電される。

30

【0093】

ここで、図 7 に示すように可変電圧源 50 が参照電源線 60 に接続されていることにより、可変電圧源 50 は、有機 E L 表示部 20 の参照電源線 60 の電圧である参照電圧 V r e f を計測している (図 8 における S 10) 。

【0094】

なお、期間 b は、容量素子 210 の第 1 電極及び第 2 電極の電位が所定電位になるまでの長さ (時間) に設定される。これにより、駆動トランジスタ 202 のゲート - ソース間電圧は、閾値電圧検出動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定される。

【0095】

40

しかしながら、プログレッシブ駆動方式に基づいた初期化動作、V t h (閾値電圧) 検出動作、書込み動作、及び発光動作の行順次シーケンスでは、垂直ブランキング期間の発生タイミングにより、初期化期間に割り当てられる走査行数が異なる場合がある。

【0096】

例えば、図 2 A のように、初期化期間内にブランキング行 (仮想行) を走査する場合には、初期化走査行 162 行のうち 93 行がブランキング期間に割り当てられることとなり、初期化期間に割り当てられる走査行数は実質的に 69 行分となる。一方、図 2 B のように、V t h 検出期間内にブランキング行 (仮想行) を走査する場合には、V t h 検出走査行 400 行のうち 93 行がブランキング期間に割り当てられることとなり、初期化期間に割り当てられる走査行数は変動せず 162 行分である。また、図 2 C のように、発光期間

50

内にブランキング行（仮想行）を走査する場合には、発光行 1690 行のうち 93 行がブランキング期間に割り当てられることとなり、初期化期間に割り当てられる走査行数は変動せず 162 行分である。

【0097】

つまり、初期化期間中の走査行数に着目した場合、垂直ブランキング期間により、ある一定の期間において、初期化を行っている走査行数が変動する。

【0098】

これにより、従来の表示装置の駆動方法では、図 4 A 及び図 4 B に示したように、上記期間 b における充電期間において、充電電流が 162 行の走査期間流れた場合には、例えば、有機 EL 表示部 20 内及びその外周部の参照電源線 60 の参照電圧 V_{ref} は 4.0 V となる。一方、充電電流が 69 行の走査期間しか流れない場合には、充電期間が十分でないため電圧降下量が小さく、上記参照電源線 60 の参照電圧 V_{ref} は 4.2 V となる。

10

【0099】

つまり、ブランキング期間が初期化期間以外に含まれている場合には、参照電圧 V_{ref} は 4.0 V であるが、ブランキング期間が初期化期間に含まれている場合には、参照電圧 V_{ref} は 4.2 V となり、有機 EL 表示部 20 内及びその外周に設けられた参照電源線 60 の参照電圧 V_{ref} が変動してしまう。

【0100】

これに対して、本実施の形態に係る表示装置の駆動方法では、可変電圧源 50 は、図 9 の上段に示された表示パネルの参照電源線 60 の参照電圧 V_{ref} を計測している（図 8 における S12 の N）。

20

【0101】

可変電圧源 50 は、表示パネルの参照電圧 V_{ref} が、4.0 V から変動したことを計測した場合（図 8 における S12 の Y）、可変電圧源 50 が出力する参照電源電圧を変更する（図 8 における S14）。具体的には、可変電圧源 50 は、表示パネルの参照電圧 V_{ref} が 4.0 V から 4.2 V へ変動したことを検知すると、図 9 の下段に示されるように、参照電源の電圧を、4.4 V から 4.2 V へ変更して出力する。これにより、期間 b においても、表示パネルの参照電圧 V_{ref} が 4.0 V に維持される。

【0102】

30

[2 - 3 . 期間 c]

期間 c は、前述した従来の表示装置の駆動方法と同様なので、説明を省略する。

【0103】

上記期間 a ~ c は、駆動トランジスタ 202 の V_{th} 検出期間においてドレイン電流を流すのに必要な電圧を容量素子 210 に充電する初期化期間である。言い換えると、スイッチ 204 を行順次に導通状態とすることにより、容量素子 210 に参照電源線 60 から参照電圧 V_{ref} を行順次に充電することで、容量素子 210 を行順次に初期化する初期化期間である。

【0104】

[2 - 4 . 期間 d ~ f]

40

期間 d ~ f は、前述した従来の表示装置の駆動方法と同様なので、説明を省略する。

【0105】

上記期間 d ~ f は、スイッチ 204 を導通状態としたままでスイッチ 205 を行順次に導通状態とすることにより、容量素子 210 に駆動トランジスタ 202 の閾値電圧 V_{th} を行順次に検出させ保持させる閾値電圧検出期間である。

【0106】

[2 - 5 . 期間 g ~ h]

期間 g ~ h は、前述した従来の表示装置の駆動方法と同様なので、説明を省略する。

【0107】

上記期間 g ~ h は、スイッチ 204 及びスイッチ 205 を非導通状態としたままでスイ

50

ッチ 2 0 3 を行順次に導通状態とすることにより、データ線 9 5 からデータ信号電圧を複数の画素 2 0 0 に行順次に書き込む書込み期間である。

【 0 1 0 8 】

[2 - 6 . 期間 i]

期間 i は、前述した従来の表示装置の駆動方法と同様なので、説明を省略する。

【 0 1 0 9 】

期間 i は、スイッチ 2 0 3 及びスイッチ 2 0 4 を非導通状態としたままでスイッチ 2 0 5 を行順次に導通状態とすることにより、複数の画素 2 0 0 を行順次に発光させる発光期間である。

【 0 1 1 0 】

以上、本実施の形態に係る表示装置 1 の駆動方法によれば、上記初期化期間がブランキング期間を含むことで当該初期化期間における容量素子 2 1 0 の充電期間に割り当てられる走査行数が減少することにより発生し得る参照電圧 V_{ref} の変動を相殺する参照電源電圧を可変電圧源 5 0 から出力させる。言い換えれば、有機 EL 表示部 2 0 内及び外周部に設けられた参照電源線 6 0 の参照電圧 V_{ref} が常に一定 ($= 4.0 V$) となるように、参照電源線 6 0 に参照電圧 V_{ref} 計測点を設け、当該計測点にて計測された参照電圧値を可変電圧源 5 0 にフィードバックする。

【 0 1 1 1 】

これにより、垂直ブランキング期間により容量素子の充電期間が変動しても、図 5 B 及び図 6 に示されたような参照電圧 V_{ref} の変動は起こらず、参照電源線 6 0 の電圧を安定させることが可能となる。よって、垂直ブランキング期間が設けられた行順次走査方式においても、表示ムラを抑制することが可能となる。

【 0 1 1 2 】

(実施の形態 2)

実施の形態 1 に係る表示装置 1 では、参照電源線 6 0 に参照電圧 V_{ref} を計測する計測点を設け、当該計測点にて計測された参照電圧値を可変電圧源 5 0 にフィードバックすることにより、参照電源線 6 0 の電圧を安定させている。

【 0 1 1 3 】

これに対して、実施の形態 2 では、参照電源線 6 0 の参照電圧 V_{ref} が常に一定 ($= 4.0 V$) となるように、映像信号及び垂直ブランキング期間の駆動タイミングを予め取得して参照電圧 V_{ref} の変動タイミング及び変動期間を予め演算して参照電圧 V_{ref} を調整することにより、参照電源線 6 0 の電圧を安定させている。以下、実施の形態 2 に係る表示装置 2 について、図面を参照しながら説明する。

【 0 1 1 4 】

[1 . 表示装置の構成]

図 1 0 は、実施の形態 2 に係る表示装置の構成を示すブロック図である。同図に示す表示装置 2 は、制御回路 1 1 と、有機 EL 表示部 2 0 と、走査線駆動回路 3 0 と、データ線駆動回路 4 0 と、可変電圧源 5 0 と、参照電源線 6 0 と、タイミング演算回路 7 5 と、電圧演算回路 7 6 と、メモリ 7 7 とを備える。本実施の形態に係る表示装置 2 は、実施の形態 1 に係る表示装置 1 と比較して、制御回路 1 1 の制御動作及びタイミング演算回路 7 5 、電圧演算回路 7 6 及びメモリ 7 7 が付加されている点が構成として異なる。以下、実施の形態 1 に係る表示装置 1 及びその駆動方法と同じ点は説明を省略し、異なる点を中心に説明する。

【 0 1 1 5 】

タイミング演算回路 7 5 は、制御回路 1 1 から垂直ブランキング期間の駆動タイミングを予め取得し、当該取得した駆動タイミングに基づいて、参照電圧 V_{ref} の変動タイミング及び変動期間を演算する演算部である。タイミング演算回路 7 5 は、演算した参照電圧 V_{ref} の変動タイミング及び変動期間を演算信号として可変電圧源 5 0 へ出力する。具体的には、参照電圧 V_{ref} の変動タイミング及び変動期間は、表示行数、初期化期間、 V_{th} 検出期間、書込み期間、発光期間、及びブランキング期間に応じて計算される

10

20

30

40

50

電圧演算回路 76 は、メモリ 77 に記憶された映像信号及び垂直ブランキング期間の駆動タイミングを予め取得し、当該取得した映像信号及び駆動タイミングに基づいて、参照電圧 V_{ref} の変動量を演算する演算部である。電圧演算回路 76 は、参照電圧 V_{ref} の変動量を演算信号として可変電圧源 50 へ出力する。具体的には、参照電圧 V_{ref} の変動量は、参照電源の電圧(デフォルト値)と、前のフレームの映像信号、初期化期間、及びブランキング期間に応じて計算される。

【0116】

メモリ 77 は、映像信号及び垂直ブランキング期間の駆動タイミングを記憶する。

【0117】

可変電圧源 50 は、タイミング演算回路 75 及び電圧演算回路 76 から出力された演算信号により、可変電圧である参照電源電圧を調整して出力する。 10

【0118】

ここで、本実施の形態に係るタイミング演算回路 75、電圧演算回路 76 及び可変電圧源 50 は、垂直ブランキング期間の駆動タイミングに応じて発生し得る参照電圧 V_{ref} の変動を相殺する参照電源電圧を出力する制御部を構成している。

【0119】

これにより、垂直ブランキング期間により容量素子の充電期間に割り当てられる走査行数が変動しても、参照電源線 60 の電圧を安定させることが可能となる。よって、垂直ブランキング期間が設けられた行順次走査方式においても、表示ムラを抑制することが可能となる。 20

【0120】

なお、タイミング演算回路 75 及び電圧演算回路 76 は、例えば、制御回路 11 が備えてもよい。この場合には、制御回路 11 は、制御回路 11 が演算した参照電圧 V_{ref} の変動タイミング及び変動期間と、参照電圧 V_{ref} の変動量とを演算信号として可変電圧源 50 に出力すればよい。

【0121】

[2 . 表示装置の駆動方法]

次に、本実施の形態に係る表示装置の駆動方法について、図 3 B 及び図 1 1 を参照しながら説明する。

【0122】

図 1 1 は、実施の形態 2 に係る表示装置の駆動方法を説明する動作フローチャートである。 30

【0123】

なお、本実施の形態に係る表示装置では、図 1 A - 図 2 C に示されたプログレッシブ駆動方式により、初期化動作、 V_{th} (閾値電圧) 検出動作、書込み動作、及び発光動作がそれぞれ行順次に実行される。以下、図 3 B に示された期間 a ~ j に従って説明していくが、前述した従来の駆動方法と同じ点は説明を省略することがある。ここでは、前述した従来の駆動方法と異なる同じ点、つまり、本実施の形態に係る表示装置の駆動方法の特徴的な部分を中心に説明する。

【0124】

[2 - 1 . 期間 a]

期間 a は、実施の形態 1 に係る表示装置の駆動方法と同様なので、説明を省略する。

【0125】

ここで、タイミング演算回路 75 及び電圧演算回路 76 は、制御回路 11 及びメモリ 77 から入力された映像信号及び垂直ブランキング期間の駆動タイミングに基づいて、予め初期化期間内に垂直ブランキング走査するタイミング及び変動期間と参照電圧 V_{ref} の変動量とを演算する (図 1 1 における S 20)。より具体的には、タイミング演算回路 75 及び電圧演算回路 76 は、スイッチ 204 が行順次に導通状態となり容量素子 210 に参照電源線 60 から参照電圧 V_{ref} が充電されている期間が垂直ブランキング期間により短縮されるタイミング及び期間と参照電圧 V_{ref} の変動量とを予め演算する。 50

【 0 1 2 6 】

なお、上記ステップ S 2 0 は、期間 a において実行される必要はなく、後述する初期化期間が開始されるまでに実行されればよい。

【 0 1 2 7 】

ここで、ステップ S 2 0 における、垂直ブランキング走査するタイミング及び変動期間と、参照電圧 V_{ref} の変動量との演算について、具体例を示す。

【 0 1 2 8 】

図 1 2 A は、走査時刻と静止画像状態との関係を表す図であり、図 1 2 B は、参照電圧の制御タイミングを示す図である。ここで、図 1 2 A 及び図 1 2 B において、“H” は、水平走査期間を表す。例えば、パネル駆動周波数 60 Hz、表示行数 1 2 6 0 行、ブランキング行数 9 3 行の場合、1 H は、 $(1 \text{ 秒} / 60 \text{ Hz}) / (2160 \text{ 行} + 93 \text{ 行}) = 7.398 \text{ マイクロ秒}$ となる。また、図 1 2 A において、以下のように各時刻を定義する。時刻 T 0 は、初期化の最後の行が 1 行目となるタイミングである。時刻 T 2 は、表示行数 (2160 H) - 初期化期間 (162 H) となるタイミングである。また、時刻 T 3 は、表示行数 + ブランキング期間 (2253 行) - 初期化期間 (162 H) となるタイミングである。また、時刻 T 4 は、表示行数 (2160 H) となるタイミングである。

【 0 1 2 9 】

また、初期化動作が行われる前のフレームにおける、データ信号電圧を V_{data} (V)、参照電源電圧を V_{refout} (V)、1 行あたりの画素数を NumH (個) (本例では 3840 画素)、初期化期間を T_{ini} (秒) (本例では 162 H)、ブランキング期間を T_{blank} (秒) (本例では 93 H) とする。

【 0 1 3 0 】

この場合、初期化動作が行われる前のフレームで、容量素子 210 に書込まれていた電圧 V_{c1} は、以下の式 1 で表される。

【 0 1 3 1 】

【 数 1 】

$$V_{c1} = (V_{data} - V_{ref}) \cdot \frac{C_{211}}{C_{210} + C_{211}} + V_{th} \quad (\text{式 1})$$

【 0 1 3 2 】

この電圧 V_{c1} が、初期化動作により、以下の式 2 で表された電圧 V_{c2} へと初期化される。

【 0 1 3 3 】

【 数 2 】

$$V_{c2} = V_{ref} - V_{ini} \quad (\text{式 2})$$

【 0 1 3 4 】

ここで、 $Q = C V$ より、初期化時に 1 画素の容量素子 210 に充電される電荷量 Q_{pix} は、以下の式 3 となる。

【 0 1 3 5 】

【 数 3 】

$$Q_{pix} = C_{210} \cdot (V_{c2} - V_{c1}) \quad (\text{式 3})$$

【 0 1 3 6 】

これより、1 行辺りの初期化に必要な電荷量 Q_{line} は、k 列目の画素の電荷量を Q_{pix_k} とすると、以下の式 4 となる。

【 0 1 3 7 】

【数 4】

$$Qline = \sum_{k=1}^{NumH} Qpix_k \quad (式 4)$$

【0138】

また、初期化動作を行っている行数は、 $Tini / H$ （本）なので、パネル全体として、初期化時に必要な電荷量 $Qpanel$ は、 m 行目の電荷量 $Qline$ を $Qline_m$ とすると、以下の式 5 となる。

【0139】

【数 5】

10

$$Qpanel = \sum_{m=1}^{Tini/H} Qline_m \quad (式 5)$$

【0140】

ここで、 $I = dQ / dt$ より、初期化時に流れる電流 I は、以下の式 6 となる。

【0141】

【数 6】

$$I = \frac{Qpanel}{Tini} \quad (式 6)$$

20

【0142】

よって、参照電源と参照電源線 60 との間の配線抵抗 $Rref$ による電圧降下量 $Vdrop$ は、以下の式 7 となる。

【0143】

【数 7】

$$Vdrop = I \cdot Rref = \frac{Qpanel}{Tini} \cdot Rref \quad (式 7)$$

【0144】

30

これより、参照電圧 $Vref$ は、以下の式 8 となる。

【0145】

【数 8】

$$Vref = Vrefout - Vdrop = Vrefout - \frac{Qpanel}{Tini} \cdot Rref \quad (式 8)$$

【0146】

ところが、上記の時刻 $T2 \sim T5$ のタイミングでは、初期化動作を行っている行数が $Tini / H$ （本）から変動するので、初期化時に流れる電流が変動してしまう。例えば、時刻 $T3$ のタイミングでの初期化電流について考えると、初期化期間中の行数は、 $(Tini - Tblink) / H$ （本）となるので、この時に必要となる電荷量 $Qpanel'$ は、以下の式 9 のように表される。

40

【0147】

【数 9】

$$Qpanel' = \sum_{m=1}^{(Tini-Tblink)/H} Qline_m \quad (式 9)$$

【0148】

上記式 5 及び式 9 より、初期化電流の変動量 ΔI は以下の式 10 のようになる。

50

【 0 1 4 9 】

【 数 1 0 】

$$\Delta I = \left(\sum_{m=1}^{Tini/H} Qline_m - \sum_{m=1}^{(Tini-Tb\ln k)/H} Qline_m \right) / Tini \quad (式 1 0)$$

【 0 1 5 0 】

よって、参照電源線 6 0 の電圧変動量 $\Delta Vref$ は、以下の式 1 1 となる。

【 0 1 5 1 】

【 数 1 1 】

10

$$\begin{aligned} \Delta Vref &= \Delta I \cdot Rref \\ &= \left(\sum_{m=1}^{Tini/H} Qline_m - \sum_{m=1}^{(Tini-Tb\ln k)/H} Qline_m \right) / Tini \times Rref \end{aligned} \quad (式 1 1)$$

【 0 1 5 2 】

上記のアルゴリズムに従い、参照電源の出力電圧 $Vrefout$ を変化させればよい。

【 0 1 5 3 】

[2 - 2 . 期間 b]

20

次に、期間 b において、走査線駆動回路 3 0 は、参照電圧制御線 9 2 の電圧レベルを LOW から HIGH に変化させることにより、スイッチ 2 0 4 を導通状態とする。これにより、参照電源線 6 0 の参照電圧 $Vref$ が、容量素子 2 1 0 に充電される。

【 0 1 5 4 】

なお、期間 b は、容量素子の第 1 電極及び第 2 電極の電位が所定電位になるまでの長さ（時間）に設定される。これにより、駆動トランジスタ 2 0 2 のゲート - ソース間電圧は、閾値電圧補償動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定される。

【 0 1 5 5 】

しかしながら、プログレッシブ駆動方式に基づいた初期化動作、 Vth （閾値電圧）検出動作、書込み動作、及び発光動作の行順次シーケンスでは、垂直ブランキング期間の発生タイミングにより、初期化期間に割り当てられる走査行数が異なる場合がある。

30

【 0 1 5 6 】

例えば、図 2 A のように、初期化期間内にブランキング行（仮想行）を走査する場合には、初期化走査行 1 6 2 行のうち 9 3 行がブランキング期間に割り当てられることとなり、初期化期間に割り当てられる走査行数は実質的に 6 9 行分となる。一方、図 2 B のように、 Vth 検出期間内にブランキング行（仮想行）を走査する場合には、 Vth 検出走査行 4 0 0 行のうち 9 3 行がブランキング期間に割り当てられることとなり、初期化期間に割り当てられる走査行数は変動せず 1 6 2 行分である。また、図 2 C のように、発光期間内にブランキング行（仮想行）を走査する場合には、発光行 1 6 9 0 行のうち 9 3 行がブランキング期間に割り当てられることとなり、初期化期間に割り当てられる走査行数は変動せず 1 6 2 行分である。

40

【 0 1 5 7 】

つまり、初期化期間中の走査行数に着目した場合、垂直ブランキング期間により、ある一定の期間において、初期化を行っている走査行数が変動する。

【 0 1 5 8 】

これにより、従来の表示装置の駆動方法では、図 4 A 及び図 4 B に示したように、上記期間 b における充電期間において、充電電流が 1 6 2 行の走査期間流れた場合には、例えば、有機 EL 表示部 2 0 内及びその外周部の参照電源線 6 0 の参照電圧 $Vref$ は 4 . 0 V となる。一方、充電電流が 6 9 行の走査期間しか流れない場合には、充電期間が十分でないため電圧降下量が小さく、上記参照電源線 6 0 の参照電圧 $Vref$ は 4 . 2 V となる

50

。

【 0 1 5 9 】

つまり、ブランキング期間が初期化期間以外に含まれている場合には、参照電圧 V_{ref} は 4.0 V であるが、ブランキング期間が初期化期間に含まれている場合には、参照電圧 V_{ref} は 4.2 V となり、有機 EL 表示部 20 内及びその外周に設けられた参照電源線 60 の参照電圧 V_{ref} が変動してしまう。

【 0 1 6 0 】

これに対して、本実施の形態に係る表示装置の駆動方法では、タイミング演算回路 75 及び電圧演算回路 76 が、制御回路 11 及びメモリ 77 から入力された映像信号及び垂直ブランキング期間の駆動タイミングに基づいて、予め参照電圧 V_{ref} の変動タイミング及び変動期間と参照電圧 V_{ref} の変動量とを演算している。

10

【 0 1 6 1 】

可変電圧源 50 は、現在駆動中の期間が、参照電圧 V_{ref} の変動タイミング及び変動期間であるか否かを判断する（図 11 における S22 の N）。

【 0 1 6 2 】

そして、可変電圧源 50 は、現在駆動中の期間が、参照電圧 V_{ref} の変動タイミング及び変動期間となった場合（図 11 における S22 の Y）、可変電圧源 50 が出力する参照電源電圧を変更する（図 11 における S24）。具体的には、可変電圧源 50 は、現在の駆動タイミングが、参照電源線 60 の参照電圧 V_{ref} が 4.0 V から 4.2 V へ変動し得るタイミングであることを検知すると、参照電源の電圧を、4.4 V から 4.2 V へ変更して出力する。これにより、期間 b においても、表示パネルの参照電圧 V_{ref} が 4.0 V に維持される。

20

【 0 1 6 3 】

[2 - 3 . 期間 c]

期間 c は、実施の形態 1 に係る表示装置の駆動方法と同様なので、説明を省略する。

【 0 1 6 4 】

上記期間 a ~ c は、スイッチ 204 を行順次に導通状態とすることにより、容量素子 210 に参照電源線 60 から参照電圧 V_{ref} を行順次に充電することで、容量素子 210 を行順次に初期化する初期化期間である。

30

【 0 1 6 5 】

[2 - 4 . 期間 d ~ f]

期間 d ~ f は、実施の形態 1 に係る表示装置の駆動方法と同様なので、説明を省略する。

。

【 0 1 6 6 】

上記期間 d ~ f は、スイッチ 204 を導通状態としたままでスイッチ 205 を行順次に導通状態とすることにより、容量素子 210 に駆動トランジスタ 202 の閾値電圧 V_{th} を行順次に検出させ保持させる V_{th} 検出期間である。

【 0 1 6 7 】

[2 - 5 . 期間 g ~ h]

期間 g ~ h は、実施の形態 1 に係る表示装置の駆動方法と同様なので、説明を省略する。

40

。

【 0 1 6 8 】

上記期間 g ~ h は、スイッチ 204 及びスイッチ 205 を非導通状態としたままでスイッチ 203 を行順次に導通状態とすることにより、データ線 95 からデータ信号電圧を複数の画素 200 に行順次に書き込む書込み期間である。

【 0 1 6 9 】

[2 - 6 . 期間 i]

期間 i は、実施の形態 1 に係る表示装置の駆動方法と同様なので、説明を省略する。

【 0 1 7 0 】

期間 i は、スイッチ 203 及びスイッチ 204 を非導通状態としたままでスイッチ 20

50

5 を行順次に導通状態とすることにより、複数の画素 200 を行順次に発光させる発光期間である。

【0171】

[3. 表示装置の変形例]

なお、上述したステップ S20 は、必ずしも毎フレーム計算する必要はない。以下、予め初期化期間内に垂直ブランキング走査するタイミング及び変動期間、ならびに、参照電圧 V_{ref} の変動量を演算する表示装置の別構成について説明する。

【0172】

図 13 は、実施の形態 2 の変形例 1 に係る表示装置の構成を示すブロック図である。同図に示す表示装置 3 は、制御回路 11 と、有機 EL 表示部 20 と、走査線駆動回路 30 と、データ線駆動回路 40 と、可変電圧源 50 と、参照電源線 60 と、電圧演算回路 76 と、メモリ 77 とを備える。本変形例に係る表示装置 3 は、実施の形態 2 に係る表示装置 2 と比較して、タイミング演算回路 75 がない点が構成として異なる。以下、実施の形態 2 に係る表示装置 2 及びその駆動方法と同じ点は説明を省略し、異なる点を中心に説明する。

10

【0173】

メモリ 77 は、予め取得された映像信号と、出荷時に設定された駆動タイミングに基づいて演算された参照電圧 V_{ref} の変動タイミング及び変動期間とを保存する。

【0174】

電圧演算回路 76 は、メモリ 77 に保存された映像信号に基づいて、可変電圧源 50 の出力電圧値を演算する電圧演算部である。

20

【0175】

可変電圧源 50 は、電圧演算回路 76 で演算された可変電圧源 50 の出力値と、メモリ 77 に保存された変動タイミング及び変動期間とに基づいて調整した可変電圧を出力する。

【0176】

一般の TV 視聴用途では「初期化、Vth 検出、書込み、発光」のタイミングをユーザーが使用中に変える機会ほとんどないことから、出荷時に、参照電源の出力電圧 V_{ref} の出力電圧 V_{ref} を変化させるタイミングは決めてしまっても構わない。これにより、フレームごとに可変電圧源 50 の制御タイミングを計算するためのタイミング演算回路を削除することが可能となる。

30

【0177】

図 14 は、実施の形態 2 の変形例 2 に係る表示装置の構成を示すブロック図である。同図に示す表示装置 4 は、制御回路 11 と、有機 EL 表示部 20 と、走査線駆動回路 30 と、データ線駆動回路 40 と、可変電圧源 50 と、参照電源線 60 と、メモリ 77 とを備える。本変形例に係る表示装置 4 は、実施の形態 2 の変形例 1 に係る表示装置 3 と比較して、さらに、電圧演算回路 76 がない点が構成として異なる。以下、実施の形態 2 の変形例 1 に係る表示装置 3 及びその駆動方法と同じ点は説明を省略し、異なる点を中心に説明する。

【0178】

メモリ 77 は、出荷時に設定された映像信号（一般的な自然画を想定した平均信号）に基づいて演算された可変電圧源 50 の出力値と、出荷時に設定された駆動タイミングに基づいて演算された参照電圧 V_{ref} の変動タイミング及び変動期間を保存する。

40

【0179】

可変電圧源 50 は、メモリ 77 に保存された可変電圧源 50 の出力値と、上記変動タイミング及び変動期間に基づいて調整した可変電圧を出力する。

【0180】

本変形例では、上記変形例 1 に係る表示装置 3 に加え、さらに、参照電源の電圧変動量を計算するための電圧演算回路 76 が削減されている。

【0181】

50

ここで、初期化動作が行われる前のフレームにおいて容量素子 210 に書き込まれていた電圧は、上記式 1 で表され、上記式 1 の電圧 V_{c1} が、初期化動作によって、上記式 2 で表される電圧 V_{c2} に初期化される。ここで、 $Q = CV$ より、初期化時に 1 画素の容量素子 210 に充電される電荷量 Q_{pix} は、上記式 3 となるので、厳密には、前のフレームに書き込まれていたデータ信号電圧に依存する。つまり、前のフレームの表示画像によって、次のフレームの初期化時に必要となる電荷量が変わる。

【0182】

この場合、初期化時に必要となる電流を毎フレーム計算せねばならず、高速の演算回路と大容量のメモリが必要となり、コストが上がる。しかしながら、一般的な自然画を視聴するケースにおいては、フレーム毎に画面の平均データ信号電圧が大きく変動する場面は殆ど存在しない。このため、画像に使用される平均的なデータ信号を想定して初期化電流を計算し、その値に基づいて参照電源の出力電圧を制御すれば、十分横筋ムラが補正される。

10

【0183】

この観点から、出荷時に、TV 用途であれば、TV 番組の平均データ電圧を用いて、参照電源の出力電圧 V_{refout} の変化量を計算して予め設定しても、実用上問題ない。これにより、実施例 2 に係る表示装置 4 のように、毎フレーム、参照電源の出力電圧 V_{refout} の変化量を計算するための演算回路を削除することが可能となる。

【0184】

以上、本実施の形態に係る表示装置 2 ~ 4 の駆動方法によれば、上記初期化期間がブランキング期間を含むことで当該初期化期間における容量素子 210 の充電期間に割り当てられる走査行数が減少することにより発生し得る参照電圧 V_{ref} の変動を相殺する参照電源電圧を可変電圧源 50 から出力させる。言い換えれば、有機 EL 表示部 20 内及び外周部に設けられた参照電源線 60 の参照電圧 V_{ref} が常に一定 ($= 4.0V$) となるように、映像信号及び垂直ブランキング期間の駆動タイミングを予め取得して参照電圧 V_{ref} の変動タイミング及び変動期間と参照電圧 V_{ref} の変動量とを予め演算する。そして、演算された参照電圧 V_{ref} の変動タイミング及び変動期間と参照電圧 V_{ref} の変動量とに基づいて参照電圧 V_{ref} を調整することにより、参照電源線 60 の電圧を安定させている。

20

【0185】

これにより、垂直ブランキング期間により容量素子の充電期間に割り当てられる走査行数が変動しても、図 5 B 及び図 6 に示されたような参照電圧 V_{ref} の変動は起こらず、参照電源線 60 の電圧を安定させることが可能となる。よって、垂直ブランキング期間が設けられた行順次走査方式においても、表示ムラを抑制することが可能となる。

30

【0186】

また、実施の形態 1 に係る表示装置 1 では、参照電源線 60 から可変電圧源 50 へ、参照電圧 V_{ref} を検出するための検出線を設けなければならない。これに対して、本実施の形態に係る表示装置 2 ~ 4 では、上記検出線を設ける必要はなく、また、各演算回路は制御回路 11 に含ませることが可能であるので、表示領域以外の領域面積を低減できる。

【0187】

以上、実施の形態 1 及び 2 に係る表示装置 1 ~ 4 について説明したが、表示装置 1 ~ 4 は、上述した実施の形態に限定されるものではない。実施の形態 1、2 及びその変形例に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、表示装置 1 ~ 4 のいずれかを内蔵した各種機器も本発明に含まれる。

40

【0188】

また、上記実施の形態 1、2 及びその変形例では、本発明に係る表示装置が有する画素回路構成の一例を挙げたが、画素 200 の回路構成は上記回路構成に限定されない。上記実施の形態 1 及び 2 では、EL アノード電源線 81 と EL カソード電源線 82 との間に、スイッチ 205、駆動トランジスタ 202 及び有機 EL 素子 201 が、この順に配置されている構成を例示したが、これらの 3 素子が異なる順で配置されていてもよい。つまり、

50

本発明の表示装置は、駆動トランジスタがn型であってもp型であっても、駆動トランジスタ202のドレイン電極及びソース電極、ならびに有機EL素子201のアノード電極及びカソード電極が、ELアノード電源線81とELカソード電源線82との間の電流経路上に配置されていればよく、駆動トランジスタ202及び有機EL素子201の配置順には限定されない。

【0189】

また、上記実施の形態では、スイッチ203～206は、ゲート電極、ソース電極及びドレイン電極を有するMOSFETであることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

10

【0190】

また、上記実施の形態に係る表示装置に含まれる制御回路及び演算回路は、典型的には集積回路であるLSIとして実現される。なお、上記表示装置に含まれる制御回路及び演算回路の一部を、有機EL表示部20と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。また、LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なりコンフィギュラブル・プロセッサを利用してもよい。

【0191】

また、上記実施の形態に係る表示装置に含まれる走査線駆動回路、データ線駆動回路、制御回路、及び演算回路の機能の一部を、CPU等のプロセッサがプログラムを実行することにより実現してもよい。

20

【0192】

また、上記実施の形態に係る表示装置1～4では、有機EL素子を用いた表示装置である場合を例に述べたが、有機EL素子以外の発光素子を用いた表示装置に適用してもよい。

【0193】

また、例えば、実施の形態1、2及びその変形例に係る表示装置1～4は、図15に示されたような薄型フラットTVに内蔵される。上記実施の形態に係る表示装置1～4のいずれかが内蔵されることにより、表示ムラが抑制された高精度な画像表示が可能な薄型フラットTVが実現される。

30

【産業上の利用可能性】

【0194】

本発明は、特に、アクティブ型の有機ELフラットパネルディスプレイに有用である。

【符号の説明】

【0195】

- 1、2、3、4 表示装置
- 10、11 制御回路
- 20 有機EL表示部
- 30 走査線駆動回路
- 40 データ線駆動回路
- 50 可変電圧源
- 60 参照電源線
- 65 抵抗成分
- 70 演算回路
- 75 タイミング演算回路
- 76 電圧演算回路
- 77 メモリ
- 81 ELアノード電源線
- 82 ELカソード電源線

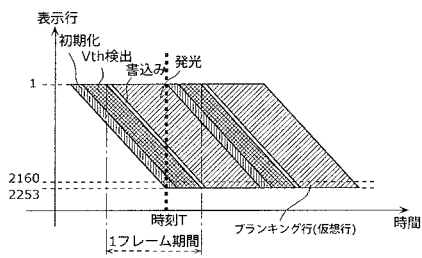
40

50

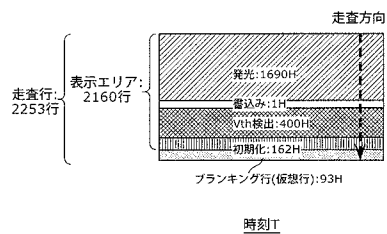
- 9 1 走査線
- 9 2 参照電圧制御線
- 9 3 初期化電源線
- 9 4 初期化制御線
- 9 5 データ線
- 9 6 発光制御線
- 2 0 0 画素
- 2 0 1 有機 E L 素子
- 2 0 2 駆動トランジスタ
- 2 0 3、2 0 4、2 0 5、2 0 6 スイッチ
- 2 1 0 容量素子
- 2 1 1 容量

10

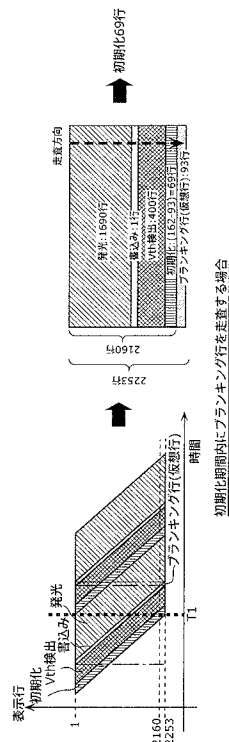
【図 1 A】



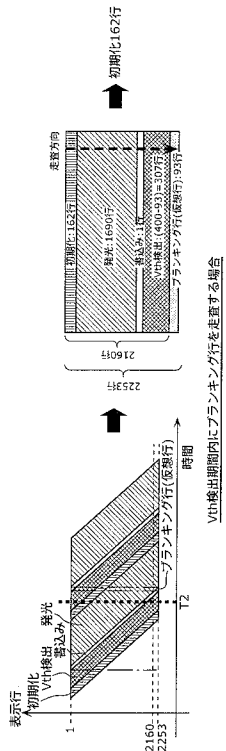
【図 1 B】



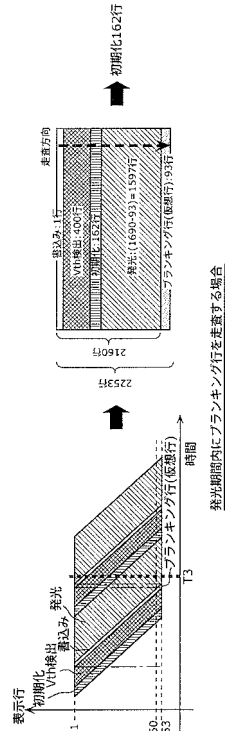
【図 2 A】



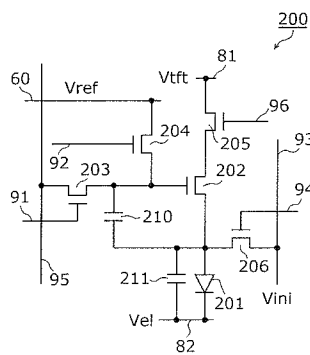
【 図 2 B 】



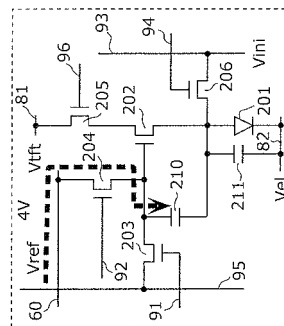
【 図 2 C 】



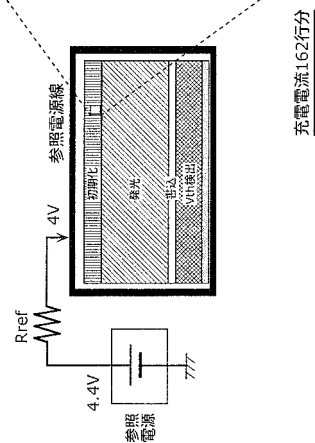
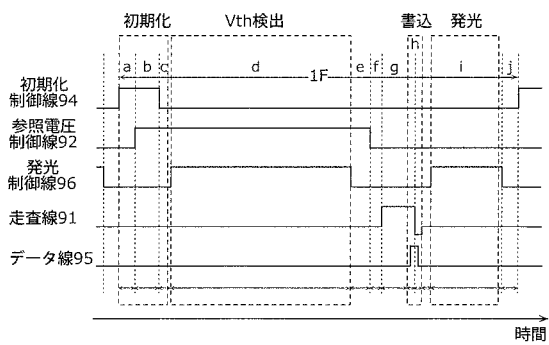
【 ㊦ 3 A 】



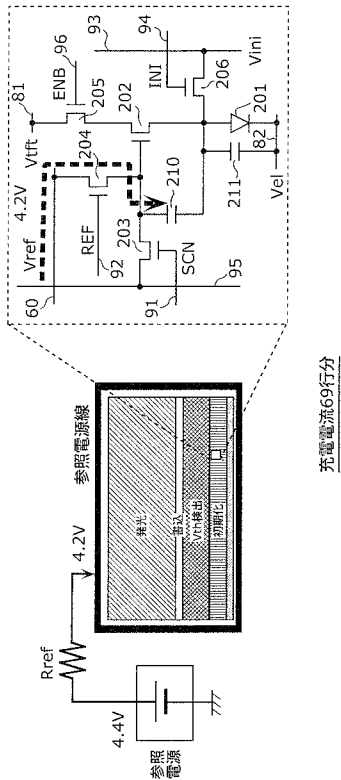
【 図 4 A 】



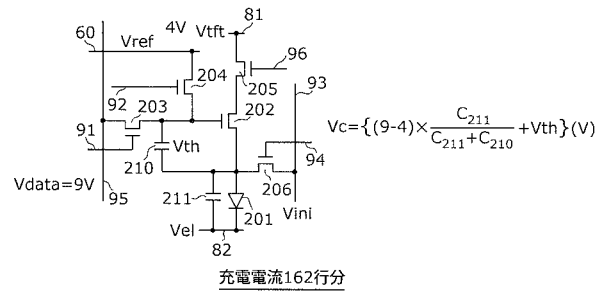
【 図 3 B 】



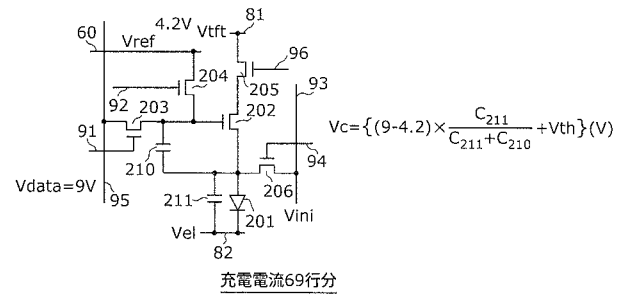
【図 4 B】



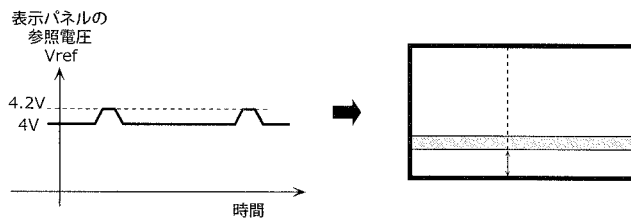
【図 5 A】



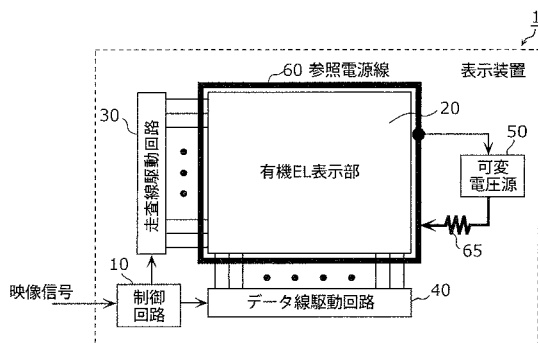
【図 5 B】



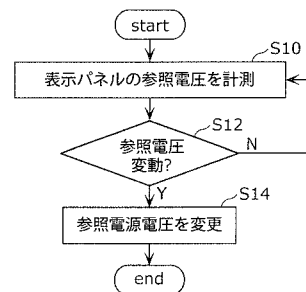
【図 6】



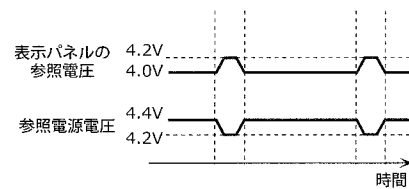
【図 7】



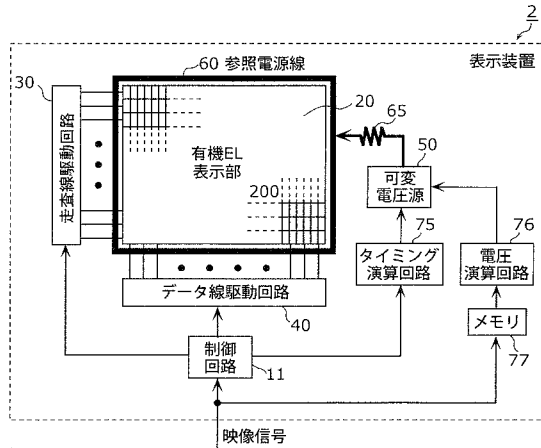
【図 8】



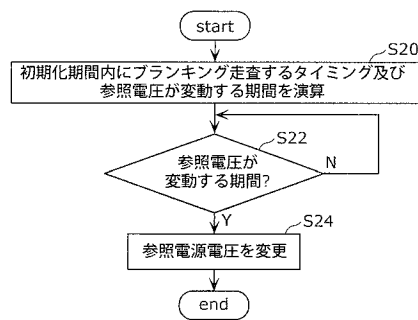
【図 9】



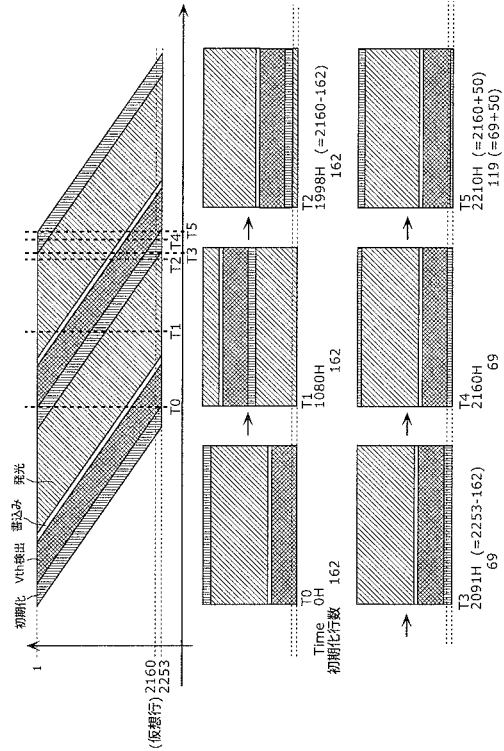
【図 10】



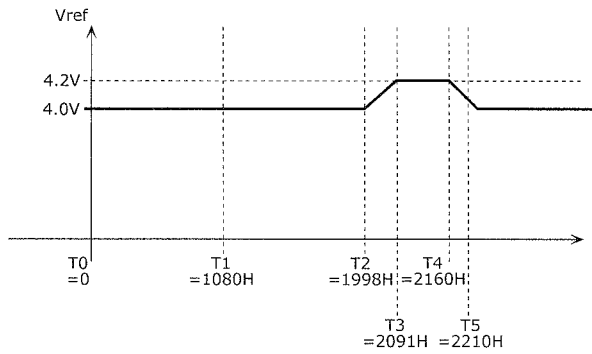
【図 11】



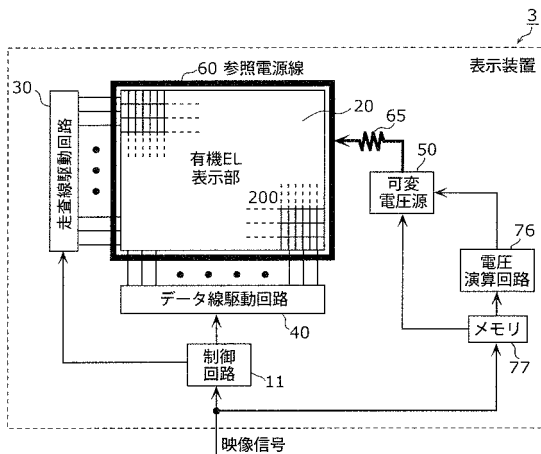
【図 12 A】



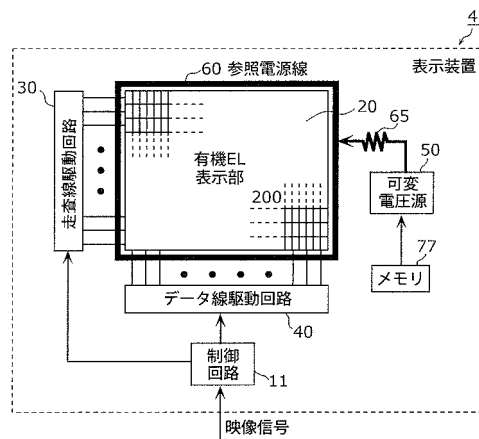
【図 12 B】



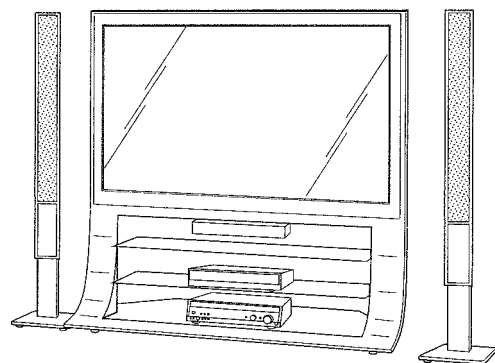
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 2 4 B
H 0 5 B 33/14 A

(72)発明者 法邑 茂夫
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 三木 隆
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 小野 晋也
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH04
5C080 AA06 BB05 DD05 JJ02 JJ03 JJ04 KK43
5C380 AA01 AB06 AC07 BA38 BA39 BB02 CA08 CA12 CB01 CB16
CB17 CC04 CC07 CC26 CC27 CC33 CC39 CC65 CD025 CE08
CF01 CF05 CF17 CF41 CF62 DA06 DA35 DA47 DA49 FA02

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2016009135A	公开(公告)日	2016-01-18
申请号	JP2014130813	申请日	2014-06-25
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	戎野浩平 柘植仁志 法邑茂夫 三木隆 小野晋也		
发明人	戎野 浩平 柘植 仁志 法邑 茂夫 三木 隆 小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.612.T G09G3/20.611.H G09G3/20.612.A G09G3/20.642.A G09G3/20.624.B H05B33/14.A G09G3/3225 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CD025 5C380/CE08 5C380/CF01 5C380/CF05 5C380/CF17 5C380/CF41 5C380/CF62 5C380/DA06 5C380/DA35 5C380/DA47 5C380/DA49 5C380/FA02		
代理人(译)	吉川修 Sobashima正雄		
其他公开文献	JP6312083B2		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2014-130813 (P2014-130813) (22) 出願日 平成26年6月25日 (2014. 6. 25)	(71) 出願人 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地 (74) 代理人 100189430 弁理士 吉川 修一 (74) 代理人 100190805 弁理士 徳島 正朗 (72) 発明者 戎野 浩平 大阪府門真市大字門真1006番地 パナソニック株式会社内 (72) 発明者 柘植 仁志 大阪府門真市大字門真1006番地 パナソニック株式会社内
-------	---	--