

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-114483

(P2015-114483A)

(43) 公開日 平成27年6月22日(2015.6.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	5C380
	G09G 3/20 670K	
	G09G 3/20 642P	
審査請求 未請求 請求項の数 6 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2013-256249 (P2013-256249)
 (22) 出願日 平成25年12月11日 (2013.12.11)

(71) 出願人 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目23番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 林 宏
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 (72) 発明者 川島 孝啓
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC31 EE03 HH04

最終頁に続く

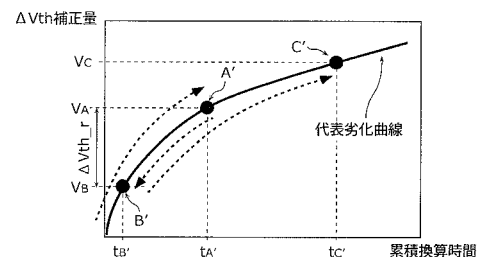
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】駆動トランジスタの実際の閾値電圧シフト量と、累積ストレスから算出される閾値電圧シフト量との誤差を抑制できる表示装置およびその駆動方法を提供する。

【解決手段】表示装置は、発光素子（有機EL素子104）、及び、発光素子に電流を供給することにより発光素子を発光させる駆動トランジスタ101を備える発光画素100からなる表示部6と、駆動トランジスタ101のゲート-ソース間に印加する信号電圧を供給する信号線駆動回路5と、信号線駆動回路5を制御する制御回路2と、を備え、制御回路2は、信号電圧をゼロでない値に維持する劣化期間における駆動トランジスタ101の閾値電圧の劣化量、及び、信号電圧をゼロに維持する回復期間における前記駆動トランジスタ101の閾値電圧の回復量に基づいて、駆動トランジスタ101の閾値電圧シフト量を算出し、閾値電圧シフト量に応じて信号電圧を補正する。

【選択図】 図16



【特許請求の範囲】

【請求項 1】

発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備える発光画素からなる表示部と、

前記駆動トランジスタのゲート - ソース間に印加する信号電圧を供給する信号線駆動回路と、

前記信号線駆動回路を制御する制御回路と、を備え、

前記制御回路は、

前記信号電圧をゼロでない値に維持する劣化期間における前記駆動トランジスタの閾値電圧の劣化量、及び、前記信号電圧をゼロに維持する回復期間における前記駆動トランジスタの閾値電圧の回復量に基づいて、前記駆動トランジスタの閾値電圧シフト量を算出し

10

、前記閾値電圧シフト量に応じて前記信号電圧を補正する

表示装置。

【請求項 2】

前記制御回路は、

予め定められた参照電圧を前記信号電圧とする場合の印加時間と閾値電圧シフト量との関係を示す代表劣化曲線を参照し、

前記代表劣化曲線上の前記閾値電圧シフト量に対応する前記印加時間の値を累積換算時間として記憶し、

20

前記信号電圧がゼロでない場合に、前記劣化期間の長さを、前記劣化量だけ前記参照電圧の印加により前記駆動トランジスタの閾値電圧を劣化させる場合に要する時間である換算時間に変換し、

前記劣化期間の開始時点における前記累積換算時間に前記換算時間を加えることにより、前記劣化期間の終了時点における前記累積換算時間を算出し、

前記劣化期間の終了時点における前記累積換算時間に対応する前記代表劣化曲線上の点における前記閾値電圧シフト量の値を特定することにより、前記劣化期間の終了時点における前記閾値電圧シフト量を算出する

請求項 1 に記載の表示装置。

【請求項 3】

30

前記制御回路は、

前記回復期間の開始時点における前記閾値電圧シフト量から前記回復量を減算することにより前記回復期間の終了時点における前記閾値電圧シフト量を算出し、

前記回復期間の終了時点における前記閾値電圧シフト量に対応する前記代表劣化曲線上の点の前記印加時間の値を算出することにより、前記回復期間の終了時点における前記累積換算時間を算出する

請求項 2 に記載の表示装置。

【請求項 4】

前記制御回路は、

t_{d_ref} を前記換算時間、 V_{gs_ref} を前記参照電圧、 V_{gs_d} を前記信号電圧、 V_{th0} を前記信号電圧印加前の前記駆動トランジスタの閾値電圧、 α 、 β 及び V_{offset} を予め定められた定数として、前記劣化期間の長さ t_d を次式

40

【数 1】

$$t_{d_ref} = \left(\frac{V_{gs_ref} - V_{th0} + V_{offset}}{V_{gs_d} - V_{th0} + V_{offset}} \right)^{-\frac{\alpha}{\beta}} t_d$$

により前記換算時間 t_{d_ref} に変換し、

A_0 を定数、 E_a を閾値電圧シフトの活性化エネルギー、 k をボルツマン定数、 T を温度として、前記劣化量 ΔV_{th_d} を次式

50

【数 2】

$$\Delta V_{th_d} = A(V_{gs_ref} - V_{th0} + V_{offset})^\alpha t_{d_ref}^\beta$$

及び

【数 3】

$$A = A_0 \exp\left(-\frac{E_a}{kT}\right)$$

を用いて算出する

請求項 2 又は 3 に記載の表示装置。

10

【請求項 5】

前記制御回路は、

ΔV_{th_ini} を前記回復期間の開始時点における前記閾値電圧シフト量、 t_r を前記回復期間の長さ、 τ_0 を係数、 E_τ を前記駆動トランジスタにおけるゲート絶縁膜からキャリアが脱出する時定数 τ の活性化エネルギー、 k をボルツマン定数、 T を温度、 γ を予め定められた定数として、前記回復量 ΔV_{th_r} を次式

【数 4】

$$\Delta V_{th_r} = \Delta V_{th_ini} \exp\left\{-\left(\frac{t_r}{\tau}\right)^\gamma\right\}$$

20

及び

【数 5】

$$\tau = \tau_0 \exp\left(\frac{E_\tau}{kT}\right)$$

を用いて算出する

請求項 1 ~ 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備える発光画素からなる表示部と、

30

前記駆動トランジスタのゲート - ソース間に印加する信号電圧を供給する信号線駆動回路と、

前記信号線駆動回路を制御する制御回路と、を備える表示装置の駆動方法であって、

前記信号電圧をゼロでない値に維持する劣化期間における前記駆動トランジスタの閾値電圧の劣化量、及び、前記信号電圧をゼロに維持する回復期間における前記駆動トランジスタの閾値電圧の回復量に基づいて、前記駆動トランジスタの閾値電圧シフト量を算出するステップと、

前記閾値電圧シフト量に応じて前記信号電圧を補正するステップと、を含む

表示装置の駆動方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本開示は、発光素子を発光させるための駆動トランジスタを備える表示装置に関する。

【背景技術】

【0002】

近年、液晶ディスプレイに代わる次世代のフラットパネルディスプレイの一つとして、有機 EL (Electro Luminescence) を利用した有機 EL ディスプレイが注目されている。有機 EL ディスプレイ等のアクティブマトリクス方式の表示装置には、駆動トランジスタとして薄膜トランジスタ (TFT: Thin Film Transistor) が用いられる。

50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-104104号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

TFTでは、通電時のゲート・ソース間電圧などの電圧ストレスにより、TFTの閾値電圧がシフトし、そのシフト量はゲート・ソース間電圧により正もしくは負の方向に変化する。そして、閾値電圧の経時的なシフトは、有機ELへの供給電流量変動の原因となるため、表示装置の輝度制御に影響し、表示品質を悪化させてしまうという問題が生じる。

10

【0005】

閾値電圧シフトによる有機ELの輝度変化の影響を抑制するために、ゲート・ソース間に印加される映像信号電圧を、閾値電圧シフト量だけオフセットして、有機ELに所望の電流量を供給する方法が考えられる（例えば、特許文献1）。閾値電圧シフト量を推測する方法の一例として、映像信号電圧の履歴から計算された累積のゲート・ソース間の電圧（ V_{gs} ）ストレス量に基づいて推測する方法が考えられる。しかしながら、実際のディスプレイの動作状況は、常に稼働状態にあるわけではなく、非稼働時間が存在し、非稼働時間におけるTFTでは、 V_{gs} に依存して閾値電圧シフトが部分的に回復する場合があるため、累積ストレス量に基づいて推測される閾値電圧シフト量と、実際の閾値電圧シフト量との間に誤差が生じ、その誤差が時間経過とともに蓄積される。したがって、TFTの実際の閾値電圧に対して、推測される閾値電圧シフト量と、実際の閾値電圧シフト量とが時間経過とともに乖離するため、推測される閾値電圧シフト量に基づいて決定された映像信号電圧のオフセット量を用いると、有機ELに所望の大きさの電流を供給できないという問題がある。

20

【0006】

本開示は、上述の問題に鑑みてなされたものであり、駆動トランジスタに印加する電圧を補正するために算出された閾値電圧シフト量と、実際の閾値電圧シフト量との誤差を抑制できる表示装置およびその駆動方法を提供する。

【課題を解決するための手段】

30

【0007】

本開示における表示装置は、発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備える発光画素からなる表示部と、前記駆動トランジスタのゲート・ソース間に印加する信号電圧を供給する信号線駆動回路と、前記信号線駆動回路を制御する制御回路と、を備え、前記制御回路は、前記信号電圧をゼロでない値に維持する劣化期間における前記駆動トランジスタの閾値電圧の劣化量、及び、前記信号電圧をゼロに維持する回復期間における前記駆動トランジスタの閾値電圧の回復量に基づいて、前記駆動トランジスタの閾値電圧シフト量を算出し、前記閾値電圧シフト量に応じて前記信号電圧を補正する。

【発明の効果】

40

【0008】

本開示によれば、駆動トランジスタに印加する電圧を補正するために算出された閾値電圧シフト量と、実際の閾値電圧シフト量との誤差を抑制できる表示装置およびその駆動方法を提供することができる。

【図面の簡単な説明】

【0009】

【図1】TFTの伝達特性の概要を示した図である。

【図2】TFTのストレス印加時間と閾値電圧シフト ΔV_{th} とのモデル化された関係を示すグラフである。

【図3】TFTのストレス印加時の伝達特性の経時変化を示すグラフである。

50

【図４】ＴＦＴの放置時の伝達特性の経時変化を示すグラフである。

【図５】ＴＦＴのストレス印加時の伝達特性の経時変化を示すグラフである。

【図６】ＴＦＴの放置時の伝達特性の経時変化を示すグラフである。

【図７】ＴＦＴのストレス印加時の伝達特性の経時変化を示すグラフである。

【図８】ストレス印加工程と放置工程とを繰り返す場合のＴＦＴの閾値電圧シフトの経時変化を示すグラフである。

【図９】ストレス印加工程と放置工程とを繰り返す場合のＴＦＴにおける閾値電圧シフトの経時変化の概要を示すグラフである。

【図１０】実施の形態の表示装置の電氣的な構成を示すブロック図である。

【図１１】実施の形態の表示装置における発光画素の構成を示す回路図である。

10

【図１２】劣化期間の長さに対する閾値電圧の劣化量の関係を示すグラフである。

【図１３】駆動トランジスタに信号電圧が印加される場合の制御回路の動作を示すフローチャートである。

【図１４】駆動トランジスタに信号電圧が印加されない場合の制御回路の動作を示すフローチャートである。

【図１５】駆動トランジスタに印加される信号電圧が変動する場合の閾値電圧シフト量の経時変化の概要を示すグラフである。

【図１６】駆動トランジスタに印加される信号電圧が変動する場合の代表劣化曲線上の点の移動の様子を示す概要図である。

20

【発明を実施するための形態】

【００１０】

（本開示の基礎となる知見）

以下、本開示の詳細を説明する前に、本開示の基礎となる知見について説明する。

【００１１】

有機ＥＬ表示装置の発光画素に含まれる駆動トランジスタの閾値電圧について説明する。ＴＦＴからなる駆動トランジスタにおいては、電圧を印加すると閾値電圧が経時的に変化する。すなわち、駆動トランジスタのゲート電極にバイアスが印加されると、ゲート絶縁膜に、正バイアス印加時には電子が注入され、負バイアス印加時にはホールが注入されるため、正又は負の閾値電圧シフトが起こる。図１は、駆動トランジスタのゲート・ソース間に印加されるゲート・ソース間電圧 V_{gs} （映像信号電圧）と、ドレイン・ソース間を流れる電流 I_{ds} （有機ＥＬへの供給電流）との関係（伝達特性）の概要を示すグラフである。図１において、破線が使用開始時における駆動トランジスタの伝達特性を示し、実線が電圧印加により閾値電圧が変化した後の伝達特性を示す。図１に示されるように、ＴＦＴでは、ゲート・ソース間への電圧印加により、閾値電圧が V_{th0} から V_{th} にシフトする。これに伴い、使用開始時に、目標電流を得るために必要とされた印加電圧を、閾値電圧シフト後に印加しても、目標電流を得られず、有機ＥＬに所望の大きさの電流を供給できない。

30

【００１２】

そこで、本開示の基礎となる知見に係る有機ＥＬ表示装置においては、閾値電圧シフトによる有機ＥＬの輝度変化の影響を抑制するために、ゲート・ソース間電圧 V_{gs} が、閾値電圧シフト量 ΔV_{th} だけオフセットされる。ゲート・ソース間電圧 V_{gs} のオフセット量は、ゲート・ソース間電圧 V_{gs} の履歴から計算された駆動トランジスタへの累積ストレス量に基づいて決定される。例えば、駆動トランジスタに所定のストレス（ゲート・ソース間電圧）を印加した場合の、印加時間と閾値電圧シフト量 ΔV_{th} との関係を、実験等により求めて、累積ストレス量に対する閾値電圧シフト量 ΔV_{th} を予測するモデルを作成する。図２は、ストレス印加時間と閾値電圧シフト量 ΔV_{th} とのモデル化された関係を示すグラフである。図２に示されるようなモデルを用いて、累積ストレス量に対応する閾値電圧シフト量 ΔV_{th} を補償するようにゲート・ソース間電圧 V_{gs} のオフセット量が決定される。

40

【００１３】

50

しかしながら、実際の T F T では、電圧が印加されない場合に閾値電圧シフトが部分的に回復する。すなわち、T F T のゲートのバイアスが 0 V の状態になると、ゲート絶縁膜に注入された電子又はホールが、環境温度の熱エネルギーによりゲート絶縁膜から脱出し、閾値電圧シフトの回復が起こる。そのため、累積ストレス量に基づいて決定されるオフセット量と、閾値電圧シフト量 ΔV_{t_h} との間に誤差が生じ、その誤差が時間経過とともに蓄積される。

【0014】

ここで、上述した、閾値電圧シフトの回復について確認した実験結果について説明する。本実験においては、T F T にストレスとして 20 V のゲート - ソース間電圧を 30 分間印加するストレス印加工程と、T F T のゲート - ソース間電圧を 0 V として 3 時間放置する放置工程とが繰り返された。ストレス印加工程においては、ゲート電位 V_g が 20 V、ソース電位 V_s 及びドレイン電位 V_d が 0 V とされ、放置工程においては、ゲート電位 V_g 、ソース電位 V_s 及びドレイン電位 V_d が 0 V とされた。実験には、膜厚 220 nm のシリコン窒化物膜及び膜厚 50 nm のシリコン酸化物膜からなるゲート絶縁膜と、膜厚 90 nm の酸化物半導体からなる半導体層とを備える T F T が用いられた。また、本実験における環境温度は 45℃ に維持された。

【0015】

上記実験の結果を図 3 ~ 図 8 を用いて説明する。

【0016】

図 3 は、第 1 回目のストレス印加工程における T F T の伝達特性の経時変化を示す図である。図中の黒矢印は時間の経過を示す（以下の図 4 ~ 7 について同じ）。図 3 から、伝達特性を表す曲線が、経時的に右側にシフトしていること、すなわち、T F T の閾値電圧が正方向にシフトしていることが確認される。

【0017】

図 4 は、第 1 回目のストレス印加工程後の第 1 回目の放置工程における T F T の伝達特性の経時変化を示す図である。図 4 から、伝達特性を表す曲線が、経時的に左側にシフトしていること、すなわち、T F T の閾値電圧が負方向にシフトしていることが確認される。

【0018】

図 5、図 6 及び図 7 は、それぞれ、第 2 回目のストレス印加工程、第 2 回目の放置工程及び第 3 回目のストレス印加工程における T F T の伝達特性の経時変化を示す図である。図 5、図 6 及び図 7 から、図 3 及び図 4 と同様に、ストレス印加工程においては、T F T の閾値電圧が正方向にシフトしていること、及び、放置工程においては、閾値電圧が負方向にシフトしていること、すなわち、閾値電圧が回復していることが確認される。

【0019】

図 8 は、閾値電圧シフトの経時変化を示すグラフである。図 8 に示されるように、ストレス印加工程においては、閾値電圧が正方向にシフトし、放置工程においては、閾値電圧が回復して負方向にシフトしていることが確認される。

【0020】

ここで、上記モデルを用いて求められる閾値電圧シフトと、実際の T F T における閾値電圧シフトとを比較する。図 9 は、T F T においてストレス印加工程と放置工程とを繰り返す場合の閾値電圧シフトの概要を示すグラフである。図 9 には、上記モデルに基づいて求められる閾値電圧シフト（点線）と、実際の T F T における閾値電圧シフト（実線）が示されている。図 9 に示されるとおり、実際の T F T においては、放置時に閾値電圧シフトが部分的に回復する。一方、上記モデルでは、当該回復の影響について考慮されていない。このため、累積ストレスから推測される閾値電圧シフト量と、実際の閾値電圧シフト量との間に誤差が生じ、その誤差が時間経過とともに蓄積される。したがって、推測される閾値電圧シフト量と、実際の閾値電圧シフト量とが時間経過とともに乖離するため、推測される閾値電圧シフト量に基づいて決定された映像信号電圧のオフセット量を用いると、有機 E L に所望の大きさの電流を供給できないという問題がある。

【 0 0 2 1 】

以下、このような問題を抑制し得る本開示に係る表示装置及びその駆動方法について説明する。

【 0 0 2 2 】

(本開示の概要)

本開示の一態様に係る表示装置は、発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備える発光画素からなる表示部と、前記駆動トランジスタのゲート - ソース間に印加する信号電圧を供給する信号線駆動回路と、前記信号線駆動回路を制御する制御回路と、を備え、前記制御回路は、前記信号電圧をゼロでない値に維持する劣化期間における前記駆動トランジスタの閾値電圧の劣化量、及び、前記信号電圧をゼロに維持する回復期間における前記駆動トランジスタの閾値電圧の回復量に基づいて、前記駆動トランジスタの閾値電圧シフト量を算出し、前記閾値電圧シフト量に応じて前記信号電圧を補正する。

10

【 0 0 2 3 】

この表示装置によれば、閾値電圧の劣化量だけでなく回復量にも基づいて駆動トランジスタの閾値電圧シフト量が算出されるため、算出された閾値電圧シフト量と、実際の閾値電圧シフト量との誤差を抑制することができる。また、この表示装置によれば、算出された閾値電圧シフト量と実際の閾値電圧シフト量との誤差が抑制されるため、駆動トランジスタから発光素子へ実際に供給される電流量と所望の電流量との誤差を抑制することができる。これにより、表示装置の表示品質の劣化が抑制される。

20

【 0 0 2 4 】

また、本開示の一態様に係る表示装置では、前記制御回路は、予め定められた参照電圧を前記信号電圧とする場合の印加時間と閾値電圧シフト量との関係を示す代表劣化曲線を参照し、前記代表劣化曲線上の前記閾値電圧シフト量に対応する前記印加時間の値を累積換算時間として記憶し、前記信号電圧がゼロでない場合に、前記劣化期間の長さを、前記劣化量だけ前記参照電圧の印加により前記駆動トランジスタの閾値電圧を劣化させる場合に要する時間である換算時間に変換し、前記劣化期間の開始時点における前記累積換算時間に前記換算時間を加えることにより、前記劣化期間の終了時点における前記累積換算時間を算出し、前記劣化期間の終了時点における前記累積換算時間に対応する前記代表劣化曲線上の点における前記閾値電圧シフト量の値を特定することにより、前記劣化期間の終了時点における前記閾値電圧シフト量を算出する構成としてもよい。

30

【 0 0 2 5 】

この構成によれば、代表劣化曲線を用いることにより、任意の信号電圧を印加する場合の累積された劣化量を一つの曲線上の点で表現することができる。また、劣化量の算出においては、信号電圧印加時点において累積された劣化量の影響を反映させることができる。

【 0 0 2 6 】

また、本開示の一態様に係る表示装置では、前記制御回路は、前記回復期間の開始時点における前記閾値電圧シフト量から前記回復量を減算することにより前記回復期間の終了時点における前記閾値電圧シフト量を算出し、前記回復期間の終了時点における前記閾値電圧シフト量に対応する前記代表劣化曲線上の点の前記印加時間の値を算出することにより、前記回復期間の終了時点における前記累積換算時間を算出する構成としてもよい。

40

【 0 0 2 7 】

この構成によれば、回復量についても、代表劣化曲線上の点で表現されるため、劣化期間及び回復期間の全期間における閾値電圧シフト量を、一つの代表劣化曲線上の点で表現できる。これにより、累積された閾値電圧シフト量の算出をより簡易化することができる。

【 0 0 2 8 】

また、本開示の一態様に係る表示装置では、前記制御回路は、 t_{d_ref} を前記換算時間、 V_{gs_ref} を前記参照電圧、 V_{gs_d} を前記信号電圧、 V_{th0} を前記信号

50

電圧印加前の前記駆動トランジスタの閾値電圧、 α 、 β 及び V_{offset} を予め定められた定数として、前記劣化期間の長さ t_d を次式

【数 1】

$$t_{d_ref} = \left(\frac{V_{gs_ref} - V_{th0} + V_{offset}}{V_{gs_d} - V_{th0} + V_{offset}} \right)^{-\frac{\alpha}{\beta}} t_d$$

により前記換算時間 t_{d_ref} に変換し、 A_0 を定数、 E_a を閾値電圧シフトの活性化エネルギー、 k をボルツマン定数、 T を温度として、前記劣化量 ΔV_{th_d} を次式

【数 2】

$$\Delta V_{th_d} = A \left(V_{gs_ref} - V_{th0} + V_{offset} \right)^{\alpha} t_{d_ref}^{\beta}$$

及び

【数 3】

$$A = A_0 \exp\left(-\frac{E_a}{kT}\right)$$

を用いて算出する構成としてもよい。

【0029】

この構成によれば、実験結果などに基づいて、定数(α 、 β 、 V_{offset} 、 A_0 、 E_a)の値を定めることで、精度よく劣化量を算出することができる。

【0030】

また、本開示の一態様に係る表示装置では、前記制御回路は、 ΔV_{th_ini} を前記回復期間の開始時点における前記閾値電圧シフト量、 t_r を前記回復期間の長さ、 τ_0 を係数、 E_τ を前記駆動トランジスタにおけるゲート絶縁膜からキャリアが脱出する時定数 τ の活性化エネルギー、 k をボルツマン定数、 T を温度、 γ を予め定められた定数として、前記回復量 ΔV_{th_r} を次式

【数 4】

$$\Delta V_{th_r} = \Delta V_{th_ini} \exp\left\{-\left(\frac{t_r}{\tau}\right)^{\gamma}\right\}$$

及び

【数 5】

$$\tau = \tau_0 \exp\left(\frac{E_\tau}{kT}\right)$$

を用いて算出する構成としてもよい。

【0031】

この構成によれば、実験結果などに基づいて、定数(τ_0 、 E_τ 、 γ)の値を定めることで、精度よく回復量を算出することができる。

【0032】

また、本開示の一態様に係る表示装置の駆動方法は、発光素子、及び、前記発光素子に電流を供給することにより前記発光素子を発光させる駆動トランジスタを備える発光画素からなる表示部と、前記駆動トランジスタのゲート・ソース間に印加する信号電圧を供給する信号線駆動回路と、前記信号線駆動回路を制御する制御回路と、を備える表示装置の駆動方法であって、前記信号電圧をゼロでない値に維持する劣化期間における前記駆動トランジスタの閾値電圧の劣化量、及び、前記信号電圧をゼロに維持する回復期間における前記駆動トランジスタの閾値電圧の回復量に基づいて、前記駆動トランジスタの閾値電圧シフト量を算出するステップと、前記閾値電圧シフト量に応じて前記信号電圧を補正するステップと、を含む。

10

20

30

40

50

【 0 0 3 3 】

この表示装置の駆動方法によれば、閾値電圧の劣化量だけでなく回復量にも基づいて駆動トランジスタの閾値電圧シフト量が算出されるため、算出された閾値電圧シフト量と、実際の閾値電圧シフト量との誤差を抑制することができる。また、この表示装置の駆動方法によれば、算出された閾値電圧シフト量と実際の閾値電圧シフト量との誤差が抑制されるため、駆動トランジスタから発光素子へ実際に供給される電流量と所望の電流量との誤差を抑制することができる。

【 0 0 3 4 】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【 0 0 3 5 】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって特許請求の範囲に記載の主題を限定することを意図するものではない。

【 0 0 3 6 】

(実施の形態)

[1 . 表示装置の概要]

以下、本開示の実施の形態について、図面を参照しながら説明する。

【 0 0 3 7 】

図 1 0 は、本実施の形態の表示装置の電氣的な構成を示すブロック図である。同図における表示装置 1 は、制御回路 2、メモリ 3、走査線駆動回路 4、信号線駆動回路 5 及び表示部 6 を備える。

【 0 0 3 8 】

図 1 1 は、本実施の形態の表示装置 1 における表示部 6 が有する発光画素の回路構成の一例を示す図である。

【 0 0 3 9 】

以下で、図 1 0 及び図 1 1 に示された各構成要素の機能などについて説明する。

【 0 0 4 0 】

制御回路 2 は、走査線駆動回路 4、信号線駆動回路 5、表示部 6 及びメモリ 3 の制御を行う回路である。メモリ 3 には、各発光画素 1 0 0 の駆動トランジスタ 1 0 1 の特性及び累積ストレスなどの補正データが記憶されている。制御回路 2 は、メモリ 3 に書き込まれた補正データを読み出し、外部から入力された映像信号に基づいた信号電圧を、その補正データに基づいて補正して、信号線駆動回路 5 へと出力する。

【 0 0 4 1 】

表示部 6 は、行列状に配列された複数の発光画素 1 0 0 からなり、外部から表示装置 1 へ入力された映像信号に基づいて画像を表示する。

【 0 0 4 2 】

走査線駆動回路 4 は、表示部 6 の各行に設けられた走査線 1 2 0 に走査信号を出力することにより、発光画素 1 0 0 の有するスイッチングトランジスタ 1 0 2 の導通・非導通を制御する機能を有する駆動回路である。

【 0 0 4 3 】

信号線駆動回路 5 は、表示部 6 の各列に設けられた信号線 1 1 0 に接続されており、映像信号に基づいた信号電圧を発光画素 1 0 0 へ出力する機能を有する駆動回路である。

【 0 0 4 4 】

発光画素 1 0 0 は、走査線駆動回路 4 及び信号線駆動回路 5 からの信号により、発光を制御される画素である。発光画素 1 0 0 は、図 1 1 に示されるように、駆動トランジスタ 1 0 1、スイッチングトランジスタ 1 0 2、コンデンサ 1 0 3、有機 E L 素子 1 0 4、信号線 1 1 0、走査線 1 2 0、電源線 1 3 0 及び共通電極 1 4 0 を備える。

10

20

30

40

50

【 0 0 4 5 】

駆動トランジスタ 1 0 1 は、ゲート電極がコンデンサ 1 0 3 の一方の電極に、ソース電極が有機 E L 素子 1 0 4 のアノード電極に、ドレイン電極がコンデンサ 1 0 3 の他方の電極及び電源線 1 3 0 に、それぞれ接続された駆動素子である。駆動トランジスタ 1 0 1 は、ゲート - ソース間に印加された信号電圧に対応した電圧を、当該信号電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機 E L 素子 1 0 4 に供給する。駆動トランジスタ 1 0 1 は、例えば、n 型 T F T で構成される。

【 0 0 4 6 】

スイッチングトランジスタ 1 0 2 は、ゲート電極が走査線 1 2 0 に接続され、ソース電極及びドレイン電極の一方が駆動トランジスタ 1 0 1 のゲート電極に接続され、ソース電極及びドレイン電極の他方が信号線 1 1 0 に接続されたスイッチング素子である。

10

【 0 0 4 7 】

コンデンサ 1 0 3 は、一方の電極が駆動トランジスタ 1 0 1 のゲート電極に接続され、他方の電極が駆動トランジスタ 1 0 1 のドレイン電極に接続された容量素子である。コンデンサ 1 0 3 は、信号線 1 1 0 から供給された信号電圧に対応した電荷を保持する。例えば、スイッチングトランジスタ 1 0 2 が非導通状態となった後も、直前のゲート電圧を維持し、継続して駆動トランジスタ 1 0 1 から有機 E L 素子 1 0 4 へ駆動電流を供給する機能を有する。

【 0 0 4 8 】

有機 E L 素子 1 0 4 は、カソード電極が共通電極 1 4 0 に接続され、アノード電極が駆動トランジスタ 1 0 1 のソース電極に接続された発光素子であり、駆動トランジスタ 1 0 1 から供給される電流に応じて発光する。

20

【 0 0 4 9 】

信号線 1 1 0 は、信号線駆動回路 5 に接続され、発光画素 1 0 0 を含む画素列に属する各発光画素 1 0 0 へ接続され、映像信号に基づいた信号電圧を各画素へ供給する機能を有する。

【 0 0 5 0 】

走査線 1 2 0 は、走査線駆動回路 4 に接続され、発光画素 1 0 0 を含む画素行に属する各発光画素 1 0 0 に接続されている。これにより、走査線 1 2 0 は、発光画素 1 0 0 を含む画素行に属する各発光画素 1 0 0 へ上記信号電圧を書き込むタイミングを供給する機能を有する。

30

【 0 0 5 1 】

電源線 1 3 0 は、駆動トランジスタ 1 0 1 のドレイン電極に電圧を印加するための配線である。

【 0 0 5 2 】

共通電極 1 4 0 は、有機 E L 素子 1 0 4 のカソード電極に電圧を印加するための電極である。

【 0 0 5 3 】

ここで、図 1 1 に示された発光画素 1 0 0 の有機 E L 素子 1 0 4 の発光動作について説明する。

40

【 0 0 5 4 】

信号線駆動回路 5 から供給された信号電圧は、スイッチングトランジスタ 1 0 2 を介して駆動トランジスタ 1 0 1 のゲート電極へと印加される。駆動トランジスタ 1 0 1 は、ゲート電極に印加された信号電圧に応じた電流を、ソース - ドレイン間に流す。このソース - ドレイン間電流が、有機 E L 素子 1 0 4 へと流れることにより、ソース - ドレイン間電流に応じた発光輝度で有機 E L 素子 1 0 4 が発光する。

【 0 0 5 5 】

各発光画素 1 0 0 の有機 E L 素子 1 0 4 が発光する原理は、上述のとおりである。次に、複数の発光画素 1 0 0 からなる表示部 6 によって画像を表示する場合の動作について説明する。

50

【 0 0 5 6 】

信号線駆動回路 5 が、全ての信号線 1 1 0 に信号電圧を一定期間出力する。この出力期間中に、走査線駆動回路 4 が走査信号を一つの行の走査線 1 2 0 に供給する。走査信号が供給されると、該当する行の発光画素 1 0 0 のスイッチングトランジスタ 1 0 2 が導通状態となる。そして、各信号線 1 1 0 に供給されている信号電圧が、該当する発光画素 1 0 0 の駆動トランジスタ 1 0 1 のゲート電極に印加される。信号電圧の大きさに応じて駆動トランジスタ 1 0 1 のソース - ドレイン間電流が制御されるので、その電流量に応じて有機 E L 素子 1 0 4 が発光する。発光は、次にその行の走査線 1 2 0 に走査信号が供給されるまでの 1 フレーム期間継続する。

【 0 0 5 7 】

走査線駆動回路 4 が、一つの行の走査線 1 2 0 に走査信号を供給してから、次の行の走査線 1 2 0 に走査信号を供給するまでに、信号線駆動回路 5 が次の信号電圧を全ての信号線 1 1 0 に供給する。すると、前の行の発光画素 1 0 0 と同様に、走査信号が供給されたタイミングで、次の行の発光画素 1 0 0 の駆動トランジスタ 1 0 1 のゲート電極に信号電圧が印加される。そして、有機 E L 素子 1 0 4 は、その信号電圧に応じた信号電流により、1 フレーム期間発光する。

【 0 0 5 8 】

信号線駆動回路 5 が信号電圧を信号線 1 1 0 上に供給し、走査線駆動回路 4 が走査線 1 2 0 に走査信号を供給するたびに、上記の動作と同様にして、走査信号が供給された行の発光画素 1 0 0 の有機 E L 素子 1 0 4 が 1 フレーム期間発光する。

【 0 0 5 9 】

以上のように、表示部 6 全体の有機 E L 素子 1 0 4 がそれぞれ供給された信号電圧の大きさに応じた明るさで時間差を持ちながら発光し、表示部 6 が全体として画像表示を行う。

【 0 0 6 0 】

また、有機 E L 素子 1 0 4 の発光が停止される場合には、制御回路 2 は信号線 1 1 0 に供給される信号電圧をゼロにし、駆動トランジスタ 1 0 1 のゲート - ソース間に印加される電圧もゼロとされる。

【 0 0 6 1 】

[2 . 閾値電圧シフト補正]

上述したとおり、表示装置 1 の有機 E L 素子 1 0 4 の発光が制御されるが、駆動トランジスタ 1 0 1 の閾値電圧が、図 9 に示されるようにシフトするため、所望の輝度で有機 E L 素子 1 0 4 を発光させるためには、信号電圧を補正する必要がある。以下、閾値電圧シフト量の算出方法及び閾値電圧シフト量に基づく信号電圧の補正方法について説明する。

【 0 0 6 2 】

[2 - 1 . 閾値電圧の劣化量の算出方法]

まず、駆動トランジスタ 1 0 1 に印加する信号電圧をゼロでない値に維持する期間（以下、「劣化期間」という。）における閾値電圧シフト量（以下、「劣化量」という）を算出する方法について図 1 2 を用いて説明する。図 1 2 は、酸化物半導体からなる半導体層を備える駆動トランジスタ 1 0 1 のゲート - ソース間に、所定の電圧 V_{gs} を印加した場合の、劣化期間の長さ t_d に対する閾値電圧の劣化量 ΔV_{th} の関係を示すグラフである。図 1 2 においては、駆動トランジスタ 1 0 1 のゲート - ソース間電圧 V_{gs} から、駆動トランジスタ 1 0 1 の初期閾値電圧 V_{th0} （ストレス印加前の閾値電圧）を引いた電圧が、+ 6 V、+ 3 V 及び - 1 V である三通りの実験結果が示されている。

【 0 0 6 3 】

ここで、図 1 2 に示される実験結果のグラフをフィッティングすることにより、駆動トランジスタ 1 0 1 の閾値電圧の劣化量 ΔV_{th_d} を関数で表現する方法について説明する。一般に、T F T のゲート - ソース間に一定電圧を印加する場合において、閾値電圧の劣化量 ΔV_{th_d} は、 V_{gs} をゲート - ソース間電圧、 t_d を劣化期間の長さ、 V_{th0} を初期閾値電圧（ストレス印加前の閾値電圧）、 τ を時定数、 β を定数として、

【数 6】

$$\Delta V_{th_d} = (V_{gs} - V_{th0}) \left[1 - \exp \left\{ - \left(\frac{t_d}{\tau} \right)^\beta \right\} \right] \quad (式 1)$$

で表される。上記式 1 は、 V_{gs} を一定値に維持する場合の劣化量を表す式であり、劣化期間の長さ t_d が大きくなるにつれて、劣化量が、 $V_{gs} - V_{th0}$ に漸近する関数がいわれている。しかしながら、表示装置 1 の駆動トランジスタ 101 においては、信号電圧が一定の場合には、ドレイン - ソース間電流をほぼ一定の値に維持するために、ゲート - ソース間電圧 V_{gs} は一定値に維持されない。すなわち、ゲート - ソース間には、閾値電圧シフト量（劣化量）に応じて補正された電圧が印加されるため、 V_{gs} は閾値電圧シフト量（劣化量）に応じて変化する電圧値となる。そこで、上記式 1 の右辺をマクローリン展開して、ドレイン - ソース間電流をほぼ一定に維持する場合に適した次式に変形する。

10

【0064】

【数 7】

$$\Delta V_{th_d} = A (V_{gs} - V_{th0} + V_{offset})^\alpha t_d^\beta \quad (式 2)$$

【0065】

ここで、 A 、 α 、 β 、 V_{offset} は、それぞれ、図 12 に示される実験結果のグラフをフィッティングすることにより求められる定数である。

20

【0066】

上記式 2 から、所定のゲート - ソース間電圧 V_{gs} を所定の劣化期間（長さ t_d ）に渡って印加する場合の劣化量 ΔV_{th_d} を算出できる。

【0067】

上述のとおり、ドレイン - ソース間電流は、信号電圧が一定の場合には、ほぼ一定に維持される。しかしながら、一般に、表示装置 1 においては、信号電圧は必ずしも一定ではないため、信号電圧が変動する場合には、各信号電圧を印加した場合の劣化量をそれぞれ式 2 によって算出する必要がある。また、劣化量は、同じゲート - ソース間電圧 V_{gs} を印加する場合でも、印加する時点における駆動トランジスタ 101 の劣化の程度（すなわち、累積された劣化量）によって異なる。そこで、任意のゲート - ソース間電圧を所定時間印加する場合の劣化量を、累積された劣化量の影響も反映させて算出するために、参照電圧 V_{gs_ref} をゲート - ソース間に印加する場合の劣化期間の長さに対する劣化量を表す代表劣化曲線を用いる。すなわち、図 12 に示されるような任意のゲート - ソース間電圧を印加した場合の劣化期間の長さに対する劣化量のグラフの時間軸を変換して、代表劣化曲線と一致させる。例えば、図 12 において、代表劣化曲線として、 $V_{gs} - V_{th0} = +3V$ の場合の劣化曲線を選択する。ここで、 $V_{gs} - V_{th0} = +6V$ の状態が劣化期間の長さ t_d に渡って維持されて、閾値電圧シフト量が $0.4V$ から $0.6V$ に劣化する場合、この劣化期間の長さ t_d は、代表劣化曲線上において閾値電圧が $0.4V$ から $0.6V$ へ劣化するために要する換算時間 t_{d_ref} に変換される。

30

【0068】

このように、任意のゲート - ソース間電圧を劣化期間の長さ t_d に渡って印加する場合の劣化量を、参照電圧を換算時間に渡って印加する場合の劣化量として算出することにより、任意のゲート - ソース間電圧を印加した場合の劣化量を、代表劣化曲線上で表現できる。

40

【0069】

以下、上記換算時間 t_{d_ref} の算出方法について説明する。上記式 2 から、参照電圧 V_{gs_ref} を換算時間 t_{d_ref} に渡って印加した場合の劣化量 ΔV_{th_ref} は、

【数 8】

$$\Delta V_{th_ref} = A(V_{gs_ref} - V_{th0} + V_{offset})^\alpha t_{d_ref}^\beta \quad (式 3)$$

で表されるから、上記劣化量 ΔV_{th_ref} が、式 2 で表された任意のゲート - ソース間電圧 V_{gs} を時間 t_d 印加した場合の劣化量 ΔV_{th_d} と等しいとすると、式 2 及び式 3 から、換算時間 t_{d_ref} は

【数 9】

$$t_{d_ref} = \left(\frac{V_{gs_ref} - V_{th0} + V_{offset}}{V_{gs_d} - V_{th0} + V_{offset}} \right)^{\frac{\alpha}{\beta}} t_d \quad (式 4)$$

10

と表される。これにより、劣化期間の長さ t_d を換算時間 t_{d_ref} に変換できる。したがって、ゲート - ソース間電圧が変動する場合も、劣化期間の長さ t_d を換算時間 t_{d_ref} に換算することにより、代表劣化曲線だけで劣化量を表現できる。なお、累積された劣化量は、上記換算時間 t_{d_ref} を積算した累積換算時間を求め、累積換算時間に対応する代表劣化曲線上の点の閾値電圧シフト量を求めることにより算出される。

【0070】

[2 - 2 . 閾値電圧の回復量の算出方法]

次に、駆動トランジスタ 101 のゲート - ソース間に印加する信号電圧をゼロに維持する期間（以下、「回復期間」という。）における閾値電圧シフト量（以下、「回復量」という）を算出する方法について説明する。図 8 に示されるような駆動トランジスタ 101 の閾値電圧の回復量と回復期間の長さとの関係のグラフから、回復量 ΔV_{th_r} は、 ΔV_{th_ini} を回復期間の開始時点における閾値電圧シフト量、 t_r を回復期間の長さとして、

20

【数 10】

$$\Delta V_{th_r} = \Delta V_{th_ini} \exp \left\{ - \left(\frac{t_r}{\tau} \right)^\gamma \right\} \quad (式 5)$$

で表される。ここで、時定数 τ は、 τ_0 を係数、 E_τ は駆動トランジスタ 101 におけるゲート絶縁膜からキャリアが脱出する時定数 τ の活性化エネルギー、 k をボルツマン定数、 T を温度として、

30

【数 11】

$$\tau = \tau_0 \exp \left(\frac{E_\tau}{kT} \right) \quad (式 6)$$

で表される。ここで、式 5 の γ は実験結果から求められる定数である。

【0071】

したがって、上記式 5 及び式 6 により、回復期間の終了時点における回復量が求められる。

【0072】

40

[2 - 3 . 代表劣化曲線を用いた補正量の算出]

次に、上記代表劣化曲線を用いて、劣化量及び回復量を算出する方法について図 13 ~ 16 を用いて説明する。図 13 は、駆動トランジスタ 101 に信号電圧が印加される場合の制御回路 2 の動作を示すフローチャートである。図 14 は、駆動トランジスタ 101 に信号電圧が印加されない場合の制御回路 2 の動作を示すフローチャートである。図 15 は、駆動トランジスタ 101 に印加される信号電圧が変動する場合の閾値電圧シフト量の経時変化の概要を示すグラフである。図 16 は、図 15 に示されるように駆動トランジスタ 101 に印加される信号電圧が変動する場合の代表劣化曲線上の点の移動の様子を示す概要図である。

【0073】

50

まず、信号線 110 に信号電圧が印加される場合の制御回路 2 の動作手順について、図 13 のフローチャートを用いて説明する。信号線 110 に信号電圧が印加されると (S11)、1 フレーム期間にわたって信号電圧が駆動トランジスタ 101 のゲート - ソース間に印加される。信号線 110 に信号電圧が印加されると、制御回路 2 は、ゲート - ソース間電圧と参照電圧とから、上記式 4 より 1 フレーム期間に対応する換算時間を算出する (S12)。制御回路 2 は、換算時間を算出すると、信号電圧印加開始時点における累積換算時間に、算出した換算時間を加えることにより、信号電圧印加終了時点における累積換算時間を算出する (S13)。制御回路 2 は、累積換算時間を求めると、メモリ 3 に記憶された代表劣化曲線を参照して (S14)、累積換算時間 (図 12 のグラフの横軸の値) に対応する代表劣化曲線上の点における閾値電圧シフト量の値 (図 12 のグラフの縦軸の値) を算出することにより、閾値電圧の補正量を算出する (S15)。以上のような手順により求められた補正量に基づいて、制御回路 2 は信号電圧を補正する (S16)。

10

【0074】

以上で説明した動作手順を図 15 及び図 16 を用いて説明する。例えば、図 15 のグラフに示されるように、時間 $t = 0$ から時間 $t = t_A$ まで、信号電圧 V_1 が印加されるとすると、制御回路 2 は、式 4 に基づいて、劣化期間の長さ t_A を換算時間 $t_{A'}$ に変換する。この場合 $t = 0$ から信号電圧の印加を開始しており、劣化期間の開始時点における累積換算時間はゼロであるため、信号電圧印加終了時点における累積換算時間は $0 + t_{A'} = t_{A'}$ である。そして、制御回路 2 は、図 16 に示される代表劣化曲線を参照し、横軸の値が累積換算時間 $t_{A'}$ である点 (A') の縦軸の値から、閾値電圧の補正量 V_A を算出する。このようにして、制御回路 2 は劣化期間の終了時点における閾値電圧の補正量 V_A を算出する。

20

【0075】

次に、信号線 110 に信号電圧が印加されない場合 (信号電圧がゼロである場合) の制御回路 2 の動作手順について、図 14 のフローチャートを用いて説明する。例えば、表示装置 1 の電源がオフ状態とされる場合などに、制御回路 2 は信号線 110 に印加する信号電圧をゼロとする (S21)。ここで、表示装置 1 の電源がオフ状態とされる場合に、図 11 に示されるコンデンサ 103 の電荷が放電されずに残り、駆動トランジスタ 101 のゲート - ソース間電圧がゼロとされない場合があり得る。そのため、駆動トランジスタ 101 のゲート - ソース間電圧を確実にゼロとするために、電源をオフ状態とする直前に、信号線 110 に供給する信号電圧をゼロとした後、スイッチングトランジスタ 102 を導通状態にして、コンデンサ 103 の電荷を放電させてもよい。

30

【0076】

信号電圧がゼロである状態が終了し、信号線 110 への信号電圧印加が再開される場合に (S22 で Yes)、制御回路 2 は、信号電圧がゼロに維持された回復期間の長さを計測する (S23)。制御回路 2 は、回復期間の開始時点における閾値電圧シフト量 (閾値電圧の補正量) と、計測された回復期間の長さから、上記式 5 及び式 6 を用いて、閾値電圧の回復量 ΔV_{th_r} を算出する (S24)。制御回路 2 は、回復期間の開始時点における閾値電圧シフト量とから、算出された回復量 ΔV_{th_r} を減算することにより、回復期間の終了時点における閾値電圧シフト量を算出する。回復期間終了時点における閾値電圧シフト量を算出すると、制御回路 2 は、代表劣化曲線を参照して (S25)、回復期間終了時点における閾値電圧シフト量に対応する累積換算時間を算出する (S26)。そして、回復期間の終了時点における閾値電圧の補正量 (閾値電圧シフト量) を累積換算時間から算出し (S27)、算出された閾値電圧補正量に基づいて制御回路 2 は信号電圧を補正する (S28)。なお、回復期間の終了時点における閾値電圧シフト量は、上述のとおり、累積換算時間から算出してもよいし、回復期間の開始時点における閾値電圧シフト量と回復量とから算出された値を記憶しておいてもよい。

40

【0077】

以上で説明した信号電圧が印加されない場合の動作手順を、図 15 及び図 16 を用いて説明する。例えば、図 15 のグラフに示されるように、制御回路 2 が、時間 $t = t_A$ から

50

時間 $t = t_B$ まで信号電圧をゼロに維持すると、閾値電圧シフト量は、 V_A から V_B まで、回復量 $\Delta V_{t_{h_r}}$ だけ回復する。そこで、制御回路 2 は、上記式 5 及び式 6 を用いて、閾値電圧の回復量 $\Delta V_{t_{h_r}}$ を算出する。そして、制御回路 2 は、図 16 に示されるような代表劣化曲線を参照して、閾値電圧シフト量が V_B (V_A から $\Delta V_{t_{h_r}}$ 減少した値) となる代表劣化曲線上の点 B' の横軸の値 $t_{B'}$ を回復期間終了時点における累積換算時間として算出する。このようにして、制御回路 2 は、回復期間終了時点における累積換算時間と閾値電圧の補正量 (閾値電圧シフト量) とを算出し、信号電圧を補正する。

【0078】

以上に述べたとおり、図 15 及び図 16 に示される例を用いると、回復期間 (t_A から t_B) における閾値電圧の回復量も代表劣化曲線上の点の移動で表現できる。また、回復期間終了後に信号電圧 V_2 が印加される劣化期間 (図 15 の点 B の時間軸の値 t_B から点 C の時間軸の値 t_C までの期間) が続く場合においても、劣化期間の終了時点における閾値電圧シフト量を代表劣化曲線によって算出できる。すなわち、図 15 に示される劣化期間の長さ ($t_C - t_B$) を、図 16 に示される換算時間 ($t_{C'} - t_{B'}$) に変換することにより、劣化期間の終了時点 t_C における累積換算時間 $t_{C'}$ を算出し、累積換算時間 $t_{C'}$ に対応する代表劣化曲線上の点 C' の縦軸の値から、劣化期間終了時点における閾値電圧シフト量 V_C を算出できる。

【0079】

以上のように、代表劣化曲線を用いて、劣化期間及び回復期間における閾値電圧シフトを算出できる。

【0080】

[2 - 4 . 信号電圧の補正]

次に、上述のとおり算出された閾値電圧シフト量に基づいて信号電圧を補正する方法について説明する。

【0081】

制御回路 2 は、算出された閾値電圧シフト量だけ信号電圧をオフセットすることにより補正する。より具体的には、制御回路 2 は、代表劣化曲線を参照して、信号線駆動回路 5 から信号線 110 に信号電圧の印加を開始する時点における累積換算時間に対応する閾値電圧シフト量を算出し、当該閾値電圧シフト量に応じて信号電圧をオフセットする。

【0082】

[2 - 5 . 効果など]

以上のように、本実施の形態の表示装置 1 の制御回路 2 は、劣化期間における駆動トランジスタ 101 の閾値電圧の劣化量、及び、回復期間における駆動トランジスタ 101 の回復量に基づいて、駆動トランジスタ 101 の閾値電圧シフト量を算出して、当該閾値電圧シフト量に基づいて信号電圧を補正する。これによれば、算出された閾値電圧シフト量と実際の閾値電圧シフト量との誤差が抑制される。また、算出された閾値電圧シフト量と実際の閾値電圧シフト量との誤差が抑制されるため、駆動トランジスタ 101 から有機 EL 素子 104 へ実際に供給される電流量と所望の電流量との誤差を抑制することができる。これにより、表示装置 1 の表示品質の劣化が抑制される。

【0083】

また、本実施の形態の表示装置 1 の制御回路 2 は、一つの代表劣化曲線を用いることにより、任意の信号電圧を印加する場合における累積された劣化量を、一つの代表劣化曲線上の点で表現することができる。また、劣化量の算出においては、信号電圧印加時点において累積された劣化量の影響を反映させることができる。

【0084】

また、本実施の形態の表示装置 1 の制御回路 2 は、回復量についても、代表劣化曲線上の点で表現するため、劣化期間及び回復期間の全期間における閾値電圧シフト量を、一つの代表劣化曲線上の点で表現できる。これにより、累積された閾値電圧シフト量の算出をより簡易化することができる。

【0085】

10

20

30

40

50

また、本実施の形態の表示装置 1 の制御回路 2 は、実験結果に基づいて求められた上記式 3 及び式 4 を用いて、劣化量を算出するため、精度よく劣化量を算出することができる。

【0086】

また、本実施の形態の表示装置 1 の制御回路 2 は、実験結果に基づいて求められた上記式 5 及び式 6 を用いて、回復量を算出するため、精度よく回復量を算出することができる。

【0087】

(他の実施の形態)

以上のように、本出願において開示する技術の例示として、実施の形態を説明した。しかしながら、本開示における技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。

【0088】

例えば、上記式 2 においては、 A を定数としたが、劣化量の温度依存性を表現するために、 A を温度の関数としてもよい。例えば、 A_0 を定数、 E_a 閾値電圧シフトの活性化エネルギーとして、 A を次式で表してもよい。

【0089】

【数 12】

$$A = A_0 \exp\left(-\frac{E_a}{kT}\right) \quad (\text{式 7})$$

10

20

【0090】

あわせて、温度 T の計測機能を表示装置に付加することで、閾値電圧シフトの劣化量および回復量を計測温度の時間変化にあわせて精度良く算出してもよい。

【0091】

また、上述した実施の形態では、駆動トランジスタとして n 型 TFT を用いる構成が採用されているが、駆動トランジスタとして p 型 TFT を用いる構成を採用し、電源線などの極性を反転させた表示装置においても、上述した実施の形態と同様の効果が奏される。

【0092】

また、上記実施の形態においては、表示装置における発光画素の回路の一例を示したが、発光画素の回路は、上記の例に限られない。駆動トランジスタのゲート - ソース間に印加する電圧を調整することによって発光素子に供給する電流を制御する任意の発光画素を用いることができる。

【0093】

また、上記実施の形態においては、表示装置における発光画素の回路の一例を示したが、発光画素の回路は、上記の例に限られない。駆動トランジスタの閾値電圧シフトを発光画素回路内で補償する機能を有する任意の発光画素を用いることができる。これにより、補償精度が不足して画素回路内のみで閾値電圧シフトを補償しきれない場合も、補償の不足分だけ映像信号電圧にオフセットを加えることで、発光素子に所望の大きさの電流を供給することができる。

【0094】

また、上記実施の形態においては、駆動トランジスタの閾値電圧の補正ステップにおいて、1 フレーム期間に対応する換算時間を算出する (S12) 一例を示したが、換算時間の算出レートは、上記の例に限られない。換算時間の算出のレートは 1 フレーム期間以下、または 1 フレーム期間以上の任意の換算時間の算出レートを用いることができる。

【0095】

また、上記実施の形態においては、発光素子として有機 EL 素子を用いたが、電流に応じて発光強度が変化する発光素子であれば任意の発光素子を用いることができる。

【0096】

また、上述した表示装置については、フラットパネルディスプレイとして利用すること

30

40

50

ができ、テレビジョンセット、パーソナルコンピュータ、携帯電話など、表示装置を有するあらゆる電子機器に適用することができる。

【 0 0 9 7 】

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

【 0 0 9 8 】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記実装を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

10

【 0 0 9 9 】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、特許請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

【 産業上の利用可能性 】

【 0 1 0 0 】

本開示は、表示装置およびその駆動方法に利用でき、特にテレビジョンセットなどの表示装置に利用することができる。

【 符号の説明 】

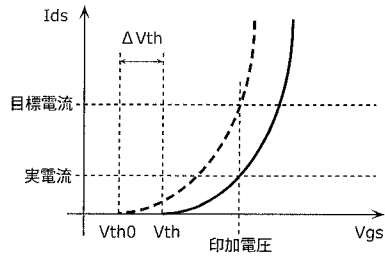
20

【 0 1 0 1 】

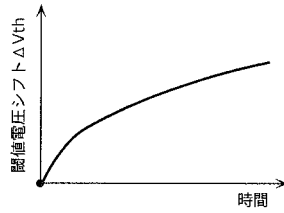
- 1 表示装置
- 2 制御回路
- 3 メモリ
- 4 走査線駆動回路
- 5 信号線駆動回路
- 6 表示部
- 1 0 0 発光画素
- 1 0 1 駆動トランジスタ
- 1 0 2 スイッチングトランジスタ
- 1 0 3 コンデンサ
- 1 0 4 有機 E L 素子
- 1 1 0 信号線
- 1 2 0 走査線
- 1 3 0 電源線
- 1 4 0 共通電極

30

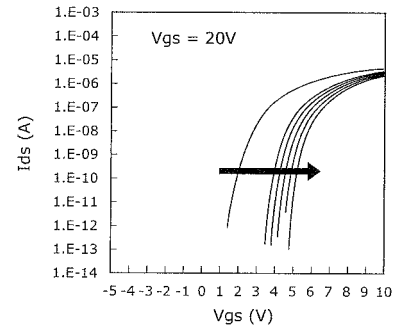
【図 1】



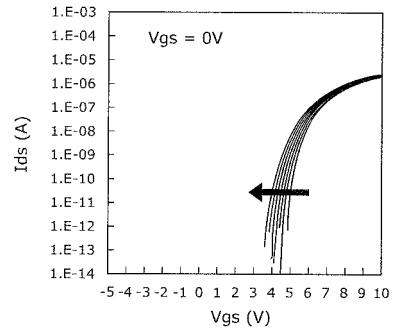
【図 2】



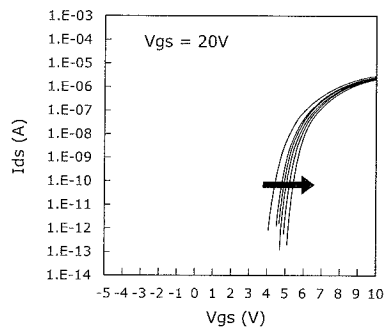
【図 3】



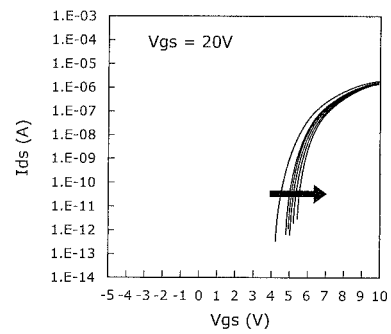
【図 4】



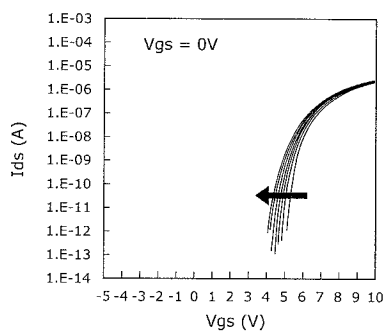
【図 5】



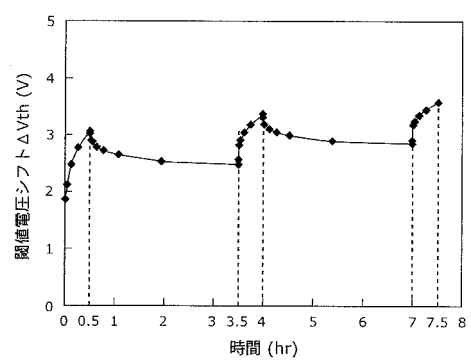
【図 7】



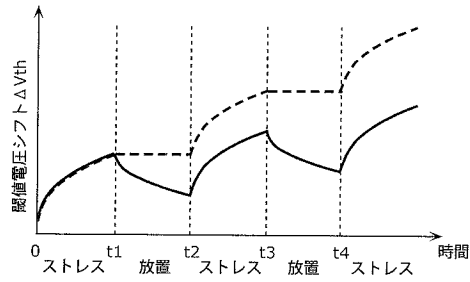
【図 6】



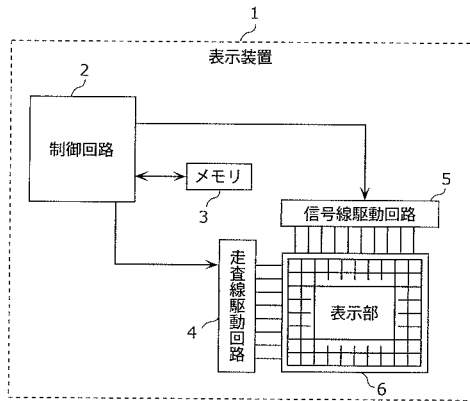
【図 8】



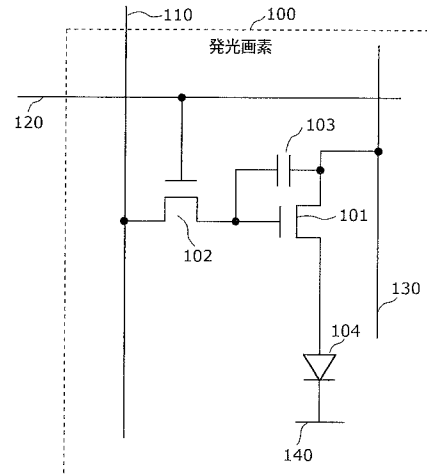
【図 9】



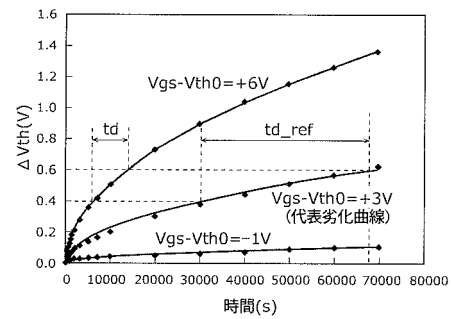
【図 10】



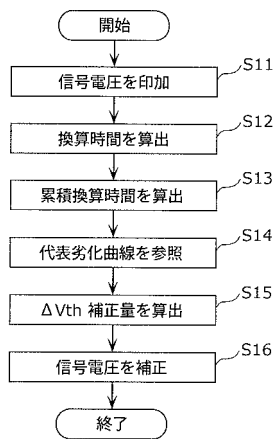
【図 11】



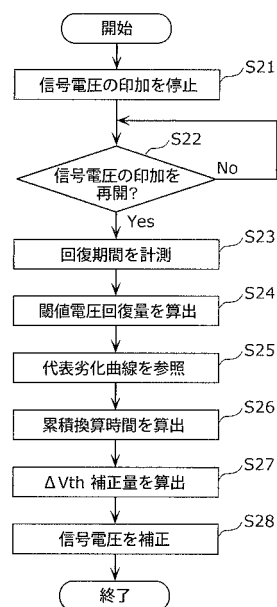
【図 12】



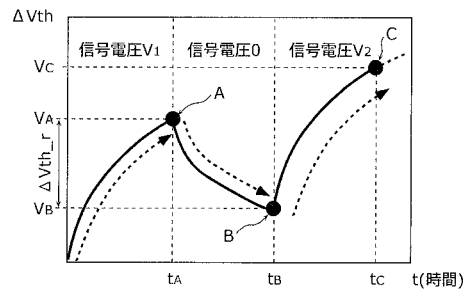
【図 13】



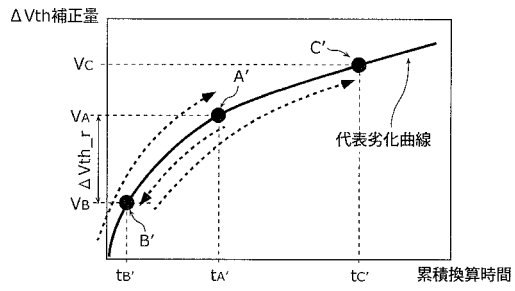
【図 14】



【図 15】



【図 16】



 フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 5 0 M
G 0 9 G	3/30	J
G 0 9 G	3/20	6 4 2 C
H 0 5 B	33/14	A

F ターム(参考) 5C080 AA06 BB05 DD03 DD29 EE29 FF03 FF11 HH09 JJ02 JJ03
 JJ04 JJ05 JJ07 KK04 KK07 KK43
 5C380 AA01 AB06 AC07 AC08 AC11 BD04 BD10 CA02 CA08 CA12
 CA53 CA54 CB01 CC02 CC09 CC26 CC27 CC33 CC62 CD012
 CF01 CF18 DA02 DA06 DA35 DA40 DA50 DA53 EA01 FA02
 FA07 FA19 FA28 HA03 HA05 HA11

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2015114483A	公开(公告)日	2015-06-22
申请号	JP2013256249	申请日	2013-12-11
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	林宏 川島孝啓		
发明人	林 宏 川島 孝啓		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0842		
FI分类号	G09G3/30.K G09G3/20.624.B G09G3/20.641.D G09G3/20.670.K G09G3/20.642.P G09G3/20.641.P G09G3/20.650.M G09G3/30.J G09G3/20.642.C H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ07 5C080/KK04 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/AC08 5C380/AC11 5C380/BD04 5C380/BD10 5C380/CA02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CC02 5C380/CC09 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF01 5C380/CF18 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA40 5C380/DA50 5C380/DA53 5C380/EA01 5C380/FA02 5C380/FA07 5C380/FA19 5C380/FA28 5C380/HA03 5C380/HA05 5C380/HA11		
代理人(译)	吉川修 Sobashima正雄		
其他公开文献	JP6357641B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制驱动晶体管的实际阈值电压偏移量与根据累积应力计算出的阈值电压偏移量之间的误差的显示装置及其驱动方法。显示装置包括：发光元件（有机EL元件104）；以及显示单元6，其包括发光像素100和驱动晶体管，该发光像素100包括驱动晶体管101和驱动晶体管，该驱动晶体管101通过向发光元件供应电流来使发光元件发光。101包括：信号线驱动电路5，其提供施加在101的栅极和源极之间的信号电压；以及控制电路2，其控制信号线驱动电路5，控制电路2将信号电压保持在非零值。基于在退化时段期间驱动晶体管101的阈值电压退化量和在恢复时段期间驱动晶体管101的阈值电压的恢复量来计算驱动晶体管101的阈值电压偏移量，以将信号电压保持为零。然后，根据阈值电压偏移量来校正信号电压。[选择图]图16

