

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2010-250050

(P2010-250050A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/30 (2006.01)

G O 9 G 3/30 J

3 K 1 0 7

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 2 4 B

5C080

HO 1 L 51/50 (2006.01)

G09G 3/20 611H

G09G 3/20 642A

G09G 3/20 622G

審査請求 未請求 請求項の数 5 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2009-98815 (P2009-98815)

(22) 出願日 平成21年4月15日 (2009. 4. 15)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(74) 代理人 100121131

弁理士 西川 孝

(72) 発明者 尾本 啓介

東京都港区港南1丁目7番1号 ソニー株
式会社内

(72) 発明者 富田 昌嗣

東京都港区港南1丁目7番1号 ソニーイ
ーエムシーエス株式会社内

Fターム(参考) 3K107 AA01 BB01 CC31 EE03 HH02
HH04

[最終頁に続く](#)

(54) 【発明の名称】 表示装置および駆動制御方法

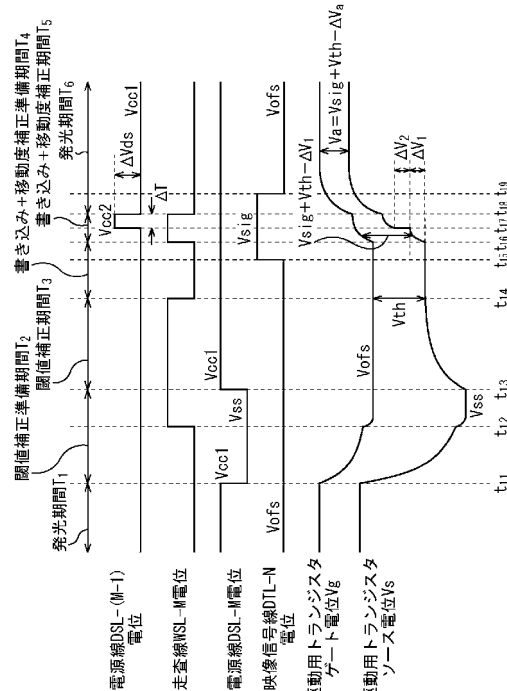
(57) 【要約】

【課題】移動度補正にかかる時間を短縮することができるようにする。

【解決手段】自発光素子である有機EL素子を用いた表示装置の画素において、書き込み+移動度補正期間 T_5 に、画素のサンプリング用トランジスタがオンし、映像信号の書き込みと移動度補正が同時に開始される。即ち、映像信号に対応する信号電位 V_{sig} が駆動用トランジスタの閾値電圧 V_{th} に足し込まれる形で蓄積容量に書き込まれる。また、移動度補正用の電圧が蓄積容量に保持された電圧から差し引かれる。そして、映像信号の書き込みが終了したとき以降の時刻 t_{17} において、電源スキュナは、列方向に隣接する隣接画素の電源線 $DSL - (M - 1)$ の電位を、 T 時間、第1高電位 V_{cc1} から V_{ds} だけ上昇させる。本発明は、例えば、有機EL素子を用いた表示装置に適用できる。

【選択図】 図9

图9



【特許請求の範囲】**【請求項 1】**

画素が行列状に複数配置されている画素アレイ部と、
行方向の前記画素に共通に配線され、前記画素の行数と同数の配線数を有する電源線と

、
各行の前記画素に前記電源線を介して、所定の電源電位を供給する電源供給部と
を備え、

前記画素は、

ダイオード特性を有し、駆動電流に応じて発光する発光素子と、

映像信号をサンプリングするサンプリング用トランジスタと、

前記駆動電流を前記発光素子に供給する駆動用トランジスタと、

前記発光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位
を保持する蓄積容量と、

前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線に接続され、所
定の電位を保持する補助容量と

を少なくとも有し、

前記電源供給部は、前記画素の移動度補正中に、前記補助容量が接続されている前記隣
接画素の前記電源線の電源電位を一時的に上昇させる

表示装置。

【請求項 2】

前記電源供給部は、前記蓄積容量への映像信号の信号電位の書き込み動作と、移動度補
正動作を同時に開始する

請求項 1 に記載の表示装置。

【請求項 3】

前記電源供給部は、前記蓄積容量への映像信号の信号電位の書き込み終了後の移動度補
正中に、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を一時的に
上昇させる

請求項 2 に記載の表示装置。

【請求項 4】

列方向に隣接する隣接画素は、線順次走査の順番で前段の前記画素である

請求項 3 に記載の表示装置。

【請求項 5】

画素が行列状に複数配置されている画素アレイ部と、行方向の前記画素に共通に配線さ
れ、前記画素の行数と同数の配線数を有する電源線と、各行の前記画素に前記電源線を介
して、所定の電源電位を供給する電源供給部とを備え、前記画素は、ダイオード特性を有
し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用
トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発
光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位を保持する
蓄積容量と、前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線に接続
され、所定の電位を保持する補助容量とを少なくとも有する表示装置の、

前記電源供給部が、前記画素の移動度補正中に、前記補助容量が接続されている前記隣
接画素の前記電源線の電源電位を一時的に上昇させる

駆動制御方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置および駆動制御方法に関し、特に、移動度補正にかかる時間を短縮
することができるようにする表示装置および駆動制御方法に関する。

【背景技術】**【0002】**

10

20

30

40

50

発光素子として有機EL(Electro Luminescent)素子を用いた平面自発光型のパネル(ELパネル)の開発が近年盛んになっている。有機EL素子は、ダイオード特性を有し、有機薄膜に電界をかけると発光する現象を利用した素子である。有機EL素子は、印加電圧が10V以下で駆動するため低消費電力であり、自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易であるという特長を有する。また、有機EL素子の応答速度は数 μ s程度と非常に高速であるので、ELパネルでは動画表示時の残像が発生しないという利点がある。

【0003】

ELパネルの中でも、とりわけ駆動素子として薄膜トランジスタ(TFT)を各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型ELパネルは、例えば、特許文献1乃至5に記載されている。

10

【0004】

ところで、一般的に、有機EL素子のI-V特性(電流-電圧特性)は、時間が経過すると劣化(いわゆる、経時劣化)することが知られている。有機EL素子を電流駆動する駆動トランジスタとして特にNチャネル型のTFTを用いた画素回路では、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧 V_{gs} が変化する。駆動トランジスタのソース電極側は有機EL素子に接続されているので、この駆動トランジスタのゲート-ソース間電圧 V_{gs} の変化により、有機EL素子の発光輝度が変化する。

【0005】

このことについてより具体的に説明する。駆動トランジスタのソース電極側に有機EL素子が接続されている場合、駆動トランジスタのソース電位は、駆動トランジスタと有機EL素子の動作点で決まる。そして、有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子の動作点が変わってしまうために、駆動トランジスタのゲート電極に同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース-ゲート間電圧 V_{gs} が変化するために、駆動トランジスタに流れる電流値が変化する。その結果、有機EL素子に流れる電流値も変化するために、有機EL素子の発光輝度が変化するようになる。

20

【0006】

また、特にポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタのトランジスタ特性が経時的に変化したり、製造プロセスのばらつきによってトランジスタ特性が画素ごとに異なったりする。すなわち、画素個々に駆動トランジスタのトランジスタ特性にばらつきがある。トランジスタ特性としては、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度 μ (以下、単に、「駆動トランジスタの移動度 μ 」と称する)等が挙げられる。

30

【0007】

駆動トランジスタのトランジスタ特性が画素ごとに異なると、画素ごとに駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機EL素子の発光輝度に画素間でばらつきが生じる。その結果、画面のユニフォームティ(均一性)が損なわれる。

40

【0008】

そこで、有機EL素子のI-V特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化等の影響を受けることなく、有機EL素子の発光輝度を一定に維持するために、各種の補正(補償)機能を画素回路に持たせたものがある(例えば、特許文献6参照)。

【0009】

補正機能としては、有機EL素子の特性変動に対する補償機能、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正機能、駆動トランジスタの移動度 μ の変動に対する補正機能などが挙げられる。以下、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正を「閾値補正」と呼び、駆動トランジスタの移動度 μ の変動に対する補正を「移動度補正」と呼ぶこととする。

50

【 0 0 1 0 】

このように、画素回路の各々に、各種の補正機能を持たせることで、有機EL素子の I - V 特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化の影響を受けることなく、有機EL素子の発光輝度を一定に保つことができる。その結果、表示装置の表示品質を向上できる。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

【 特許文献 1 】 特開 2 0 0 3 - 2 5 5 8 5 6 号 公 報

【 特許文献 2 】 特開 2 0 0 3 - 2 7 1 0 9 5 号 公 報

【 特許文献 3 】 特開 2 0 0 4 - 1 3 3 2 4 0 号 公 報

【 特許文献 4 】 特開 2 0 0 4 - 0 2 9 7 9 1 号 公 報

【 特許文献 5 】 特開 2 0 0 4 - 0 9 3 6 8 2 号 公 報

【 特許文献 6 】 特開 2 0 0 6 - 1 3 3 5 4 2 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

ところで、移動度補正は、駆動トランジスタのソース電位の上昇量が移動度 μ に応じて異なることを利用して補正を行うものである。より詳しくは、移動度 μ が高い駆動トランジスタのソース電位の上昇量は大きく、移動度 μ が低い駆動トランジスタのソース電位の上昇量は小さくなる。従って、移動度補正を行う時間を所定の時間に調整することにより、各画素の駆動トランジスタの移動度 μ のばらつきを補正することができる。

【 0 0 1 3 】

しかしながら、逆に言うと、各画素の回路定数が一定である場合、この移動度補正に必要な時間は、必然的に決定され、短縮することはできない。従って、1画素の駆動にかかる時間を短縮することができず、高速駆動が難しかった。

【 0 0 1 4 】

本発明は、このような状況に鑑みてなされたものであり、移動度補正にかかる時間を短縮することができるようにするものである。

【 課題を解決するための手段 】

【 0 0 1 5 】

本発明の一側面の表示装置は、画素が行列状に複数配置されている画素アレイ部と、行方向の前記画素に共通に配線され、前記画素の行数と同数の配線数を有する電源線と、各行の前記画素に前記電源線を介して、所定の電源電位を供給する電源供給部とを備え、前記画素は、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量と、前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線に接続され、所定の電位を保持する補助容量とを少なくとも有し、前記電源供給部は、前記画素の移動度補正中に、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を一時的に上昇させる。

【 0 0 1 6 】

本発明の一側面の駆動制御方法は、画素が行列状に複数配置されている画素アレイ部と、行方向の前記画素に共通に配線され、前記画素の行数と同数の配線数を有する電源線と、各行の前記画素に前記電源線を介して、所定の電源電位を供給する電源供給部とを備え、前記画素は、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノードと前記駆動用トランジスタのゲートに接続され、所定の電位を保持する蓄積容量と、前記発光素子のアノードと、列方向に隣接する隣接画素の前記電源線に接続され、所定の電位を保持する補助容量とを少なくとも

10

20

30

40

50

有する表示装置の、前記電源供給部が、前記画素の移動度補正中に、前記補助容量が接続されている前記隣接画素の前記電源線の電源電位を一時的に上昇させる。

【 0 0 1 7 】

本発明の一側面においては、移動度補正中の画素の補助容量が接続されている、列方向に隣接する隣接画素の電源線の電源電位が一時的に上昇される。

【発明の効果】

【 0 0 1 8 】

本発明の一側面によれば、移動度補正にかかる時間を短縮することができる。

【図面の簡単な説明】

【 0 0 1 9 】

10

【図 1】本発明の基本となる表示装置の構成例を示すブロック図である。

【図 2】図 1 の EL パネルの各画素の色の配列を示す図である。

【図 3】図 1 の画素の等価回路の構成を示したブロック図である。

【図 4】図 1 の画素の動作を説明するタイミングチャートである。

【図 5】書き込み + 移動度補正期間の決定方法について説明する図である。

【図 6】書き込み + 移動度補正期間の決定方法について説明する図である。

【図 7】本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

【図 8】図 7 の画素の等価回路の構成を示したブロック図である。

【図 9】図 7 の画素の動作を説明するタイミングチャートである。

【図 1 0】本発明の効果を示す図である。

20

【発明を実施するための形態】

【 0 0 2 0 】

〔本発明の基本となる表示装置の形態〕

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、本発明の基本となる表示装置の構成と動作について図 1 乃至図 4 を参照して説明する。

【 0 0 2 1 】

図 1 は、本発明の基本となる表示装置の構成例を示すブロック図である。

【 0 0 2 2 】

図 1 の表示装置 1 は、例えば、テレビジョン受像機などであり、入力された映像信号に対応する映像を EL パネル 1 0 に表示する。EL パネル 1 0 は、自発光素子としての有機 EL (Electro Luminescent) 素子を用いたパネルである。EL パネル 1 0 は、ソースドライバおよびゲートドライバとからなるドライバ IC (Integrated Circuit) を含むパネルモジュールとして表示装置 1 に組み込まれている。また、表示装置 1 は、図示せぬ電源回路、画像 LSI (Large Scale Integration) などにも有している。なお、表示装置 1 の EL パネル 1 0 は、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、プリンタ等の表示部としても利用することができる。

30

【 0 0 2 3 】

EL パネル 1 0 は、複数の画素 2 1 を有する画素アレイ部 1 1、水平セクタ (HSEL) 1 2、ライトスキャナ (WSCN) 1 3、および電源スキャナ (DSCN) 1 4 を含むように構成されている。

40

【 0 0 2 4 】

画素アレイ部 1 1 には、 $N \times M$ 個 (N, M は相互に独立した 1 以上の整数値) の画素 2 1 - (1, 1) 乃至 2 1 - (N, M) が行列状に配置されて構成されている。なお、図 1 では、紙面の制約上、画素 2 1 - (1, 1) 乃至 2 1 - (N, M) の一部のみが示されている。

【 0 0 2 5 】

また、EL パネル 1 0 は、 M 本の走査線 $W S L - 1$ 乃至 M 、 M 本の電源線 $D S L - 1$ 乃至 M 、および N 本の映像信号線 $D T L - 1$ 乃至 N も有する。

【 0 0 2 6 】

なお、以下において、走査線 $W S L - 1$ 乃至 M それぞれを特に区別する必要がない場合

50

、単に、走査線 W S L と称する。また、映像信号線 D T L - 1 乃至 N それぞれを特に区別する必要がない場合、単に、映像信号線 D T L と称する。画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) および電源線 D S L - 1 乃至 M についても同様に、画素 2 1 および電源線 D S L と称する。

【 0 0 2 7 】

水平セクタ 1 2、ライトスキャナ 1 3、および電源スキャナ 1 4 は、画素アレイ部 1 を駆動する駆動部として動作する。

【 0 0 2 8 】

画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) のうちの第 1 行目の画素 2 1 - (1 , 1) 乃至 2 1 - (N , 1) は、走査線 W S L - 1 でライトスキャナ 1 3 と、電源線 D S L - 1 で電源スキャナ 1 4 とそれぞれ接続されている。また、画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) のうちの第 M 行目の画素 2 1 - (1 , M) 乃至 2 1 - (N , M) は、走査線 W S L - M でライトスキャナ 1 3 と、電源線 D S L - M で電源スキャナ 1 4 とそれぞれ接続されている。即ち、1 本の走査線 W S L および電源線 D S L は、行方向の画素 2 1 に共通に配線されている。画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) の行方向に並ぶその他の画素 2 1 についても同様の接続となっている。

【 0 0 2 9 】

また、画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) のうちの第 1 列目の画素 2 1 - (1 , 1) 乃至 2 1 - (1 , M) は、映像信号線 D T L - 1 で水平セクタ 1 2 と接続されている。画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) のうちの第 N 列目の画素 2 1 - (N , 1) 乃至 2 1 - (N , M) は、映像信号線 D T L - N で水平セクタ 1 2 と接続されている。即ち、1 本の映像信号線 D T L は、列方向の画素 2 1 に共通に配線されている。画素 2 1 - (1 , 1) 乃至 2 1 - (N , M) の列方向に並ぶその他の画素 2 1 についても同様である。

【 0 0 3 0 】

ライトスキャナ 1 3 は、走査線 W S L - 1 乃至 M に水平周期 (1 F) で順次選択制御信号を供給して画素 2 1 を行単位で線順次走査する。電源スキャナ 1 4 は、線順次走査に合わせて電源線 D S L - 1 乃至 M に第 1 高電位 V c c 1 または低電位 V s s (図 4) の電源電位を供給する。水平セクタ 1 2 は、線順次走査に合わせて各水平期間内 (1 F) で映像信号に対応する信号電位 V s i g と基準電位 V o f s (図 4) とを切換えて列状の映像信号線 D T L - 1 乃至 M に供給する。

【 0 0 3 1 】

[EL パネル 1 0 の画素 2 1 の配列構成]

図 2 は、EL パネル 1 0 の各画素 2 1 が発光する色の配列を示している。

【 0 0 3 2 】

なお、図 2 では、走査線 W S L および電源線 D S L が画素 2 1 の下側から接続されている点が図 1 と異なる。走査線 W S L、電源線 D S L、および映像信号線 D T L が画素 2 1 とどの側面から接続されるかは、配線レイアウトに応じて適宜変更することができる。水平セクタ 1 2、ライトスキャナ 1 3、および電源スキャナ 1 4 の画素アレイ部 1 1 に対する配置についても同様に、適宜変更することができる。

【 0 0 3 3 】

画素アレイ部 1 1 の各画素 2 1 は、赤 (R)、緑 (G)、または青 (B) のいずれかの色を発光する。そして、各色は、例えば、行方向には赤、緑、青の順となり、列方向には同一の色となるように配列されている。従って、各画素 2 1 は、いわゆる副画素 (サブピクセル) に相当し、行方向 (図面左右方向) に並ぶ赤、緑、および青の 3 つの画素 2 1 で表示単位としての 1 画素が構成される。なお、EL パネル 1 0 の色の配列が図 2 に示した配列に限定されるものではない。

【 0 0 3 4 】

[EL パネル 1 0 の画素 2 1 の詳細回路構成]

図 3 は、EL パネル 1 0 に含まれる N × M 個の画素 2 1 のうちの 1 つの画素 2 1 を拡大す

10

20

30

40

50

ることにより、画素 2 1 の等価回路（画素回路）の構成を示したブロック図である。

【 0 0 3 5 】

なお、図 3 の画素 2 1 が、画素 2 1 - (n , m) ($n = 1, 2, \dots, N$, $m = 1, 2, \dots, M$) であるとする、走査線 W S L、映像信号線 D T L、および電源線 D S L のそれぞれは、次のようになる。即ち、図 3 の走査線 W S L、映像信号線 D T L、および電源線 D S L は、画素 2 1 - (n , m) に対応する走査線 W S L - n 、映像信号線 D T L - n 、および電源線 D S L - m となる。

【 0 0 3 6 】

図 3 の画素 2 1 は、サンプリング用トランジスタ 3 1、駆動用トランジスタ 3 2、蓄積容量 3 3、発光素子 3 4、および補助容量 3 5 を有する。また、図 3 では、発光素子 3 4 が有する容量成分も、発光素子容量 3 4 B として示してある。ここで、蓄積容量 3 3、発光素子容量 3 4 B、および補助容量 3 5 の容量値は、それぞれ、 C_s 、 C_{oled} 、および C_{sub} である。

10

【 0 0 3 7 】

サンプリング用トランジスタ 3 1 のゲートは、走査線 W S L と接続され、サンプリング用トランジスタ 3 1 のドレインは、映像信号線 D T L と接続される。また、サンプリング用トランジスタ 3 1 のソースは、駆動用トランジスタ 3 2 のゲートと接続されている。

【 0 0 3 8 】

駆動用トランジスタ 3 2 のソース及びドレインの一方は、発光素子 3 4 のアノードに接続され、他方が、電源線 D S L に接続される。蓄積容量 3 3 は、駆動用トランジスタ 3 2 のゲートと発光素子 3 4 のアノードに接続されている。また、発光素子 3 4 のカソードは所定の電位 V_{cat} に設定されている配線 3 6 に接続されている。この電位 V_{cat} は GND レベルであり、従って、配線 3 6 は接地配線である。

20

【 0 0 3 9 】

補助容量 3 5 は、発光素子 3 4 の容量成分、即ち発光素子容量 3 4 B を補うために設けられ、発光素子 3 4 と並列に接続されている。即ち、補助容量 3 5 の一方の電極は、発光素子 3 4 のアノード側に接続され、他方の電極は、発光素子 3 4 のカソード側と接続される。このように補助容量 3 5 を設け、所定の電位を保持させることにより、駆動用トランジスタ 3 2 の入力ゲインを向上させることができる。ここで、駆動用トランジスタ 3 2 の入力ゲインとは、図 4 を参照して後述する書き込み + 移動度補正期間 T_5 における駆動用トランジスタ 3 2 のゲート電位 V_g の上昇量に対するソース電位 V_s の上昇量の比率である。

30

【 0 0 4 0 】

サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、いずれも N チャネル型トランジスタである。よって、サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができる。これにより、画素回路の製造コストをより安価にすることができる。勿論、サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、低温ポリシリコンや単結晶シリコンで作成しても構わない。

【 0 0 4 1 】

発光素子 3 4 は、有機 EL 素子で構成される。有機 EL 素子はダイオード特性を有する電流発光素子である。よって、発光素子 3 4 は、供給される電流値 I_{ds} に応じた階調の発光を行う。

40

【 0 0 4 2 】

以上のように構成される画素 2 1 において、サンプリング用トランジスタ 3 1 が、走査線 W S L からの選択制御信号に応じてオン（導通）し、映像信号線 D T L を介して階調に応じた信号電位 V_{sig} の映像信号をサンプリングする。蓄積容量 3 3 は、映像信号線 D T L を介して水平セクタ 1 2 から供給された電荷を蓄積して保持する。駆動用トランジスタ 3 2 は、第 1 高電位 V_{cc1} にある電源線 D S L から電流の供給を受け、蓄積容量 3 3 に保持された信号電位 V_{sig} に応じて駆動電流 I_{ds} を発光素子 3 4 に流す（供給す

50

る)。発光素子 34 に所定の駆動電流 I_{ds} が流れることにより、画素 21 が発光する。

【0043】

画素 21 は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ 32 の閾値電圧 V_{th} に相当する電圧を蓄積容量 33 に保持させる機能である。閾値補正機能を発揮させることで、ELパネル 10 の画素毎のばらつきの原因となる駆動用トランジスタ 32 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0044】

また、画素 21 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量 33 に信号電位 V_{sig} を保持する際、駆動用トランジスタ 32 の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

10

【0045】

さらに、画素 21 は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ 32 のソース電位 V_s の変動にゲート電位 V_g を連動させる機能である。ブートストラップ機能の発揮により、駆動用トランジスタ 32 のゲートとソース間電圧 V_{gs} を一定に維持することが出来る。

【0046】

[ELパネル 10 の画素 21 の動作の説明]

図 4 は、画素 21 の動作を説明するタイミングチャートである。

【0047】

図 4 は、同一の時間軸（図面横方向）に対する走査線 W_{SL} 、電源線 D_{SL} 、および映像信号線 D_{TL} の電位変化と、それに対応する駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s の変化を示している。

20

【0048】

図 4 において、時刻 t_1 までの期間は、前の水平期間（1F）の発光がなされている発光期間 T_1 である。

【0049】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_3 までは、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s を初期化することで閾値電圧補正動作の準備を行う閾値補正準備期間 T_2 である。

【0050】

30

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ 14 が、電源線 D_{SL} の電位を第 1 高電位 V_{cc1} から低電位 V_{ss} に切替える。ここで、発光素子 34 の閾値電圧を V_{thel} とする。このとき、低電位 V_{ss} を、 $V_{ss} < V_{thel} + V_{cat}$ とすると、駆動用トランジスタ 32 のソース電位 V_s が低電位 V_{ss} にほぼ等しくなるために、発光素子 34 は逆バイアス状態となって消光する。

【0051】

次に、時刻 t_2 において、ライトスキャナ 13 が、走査線 W_{SL} の電位を高電位に切替え、サンプリング用トランジスタ 31 をオンさせる。これにより、駆動用トランジスタ 32 のゲート電位 V_g が基準電位 V_{ofs} にリセットされる。駆動用トランジスタ 32 のソース電位 V_s は、時刻 t_1 から時刻 t_2 にかけて、映像信号線 D_{TL} の低電位 V_{ss} にリセットされる。

40

【0052】

このとき、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} は、 $(V_{ofs} - V_{ss})$ となる。ここで、 $(V_{ofs} - V_{ss})$ が駆動用トランジスタ 32 の閾値電圧 V_{th} よりも大きくないと、次の閾値補正処理を行うことができない。そのため、 $(V_{ofs} - V_{ss}) > V_{th}$ の関係を満たすように、基準電位 V_{ofs} および低電位 V_{ss} が設定されている。

【0053】

時刻 t_3 から時刻 t_4 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_3 において、電源スキャナ 14 により、電源線 D_{SL} の電位が第 1 高電

50

位 V_{cc1} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ 32 のゲートとソースとの間に接続された蓄積容量 33 に書き込まれる。即ち、電源線 DSL の電位が第 1 高電位 V_{cc1} に切換えられることにより駆動用トランジスタ 32 のソース電位 V_s が上昇し、閾値補正期間 T_3 の時刻 t_4 までに、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} が、閾値電圧 V_{th} に等しくなる。

【0054】

なお、閾値補正期間 T_3 では、発光素子 34 がカットオフ状態となるようにカソード電位 V_{cat} が設定されているため、駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} は蓄積容量 33 側に流れ、発光素子 34 側には流れない。

【0055】

時刻 t_4 から時刻 t_6 までの書き込み + 移動度補正準備期間 T_4 では、走査線 WSL の電位が高電位から低電位に一旦切換えられる。このとき、サンプリング用トランジスタ 31 がオフされるため、駆動用トランジスタ 32 のゲートがフローティング状態となる。しかし、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} が、閾値電圧 V_{th} に等しいため、駆動用トランジスタ 32 はカットオフ状態にある。従って、駆動用トランジスタ 32 にドレイン - ソース間電流 I_{ds} は流れない。

【0056】

そして、時刻 t_4 から時刻 t_6 の間の時刻 t_5 において、水平セクタ 12 が、映像信号線 DTL の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切換える。

【0057】

その後、時刻 t_6 から時刻 t_7 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が同時に行われる。即ち、時刻 t_6 から時刻 t_7 までの間、走査線 WSL の電位が高電位に設定され、これにより、階調に応じた信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 33 に書き込まれる。また、移動度補正用の電圧 ΔV_a が蓄積容量 33 に保持された電圧から差し引かれる。

【0058】

ここで、書き込み + 移動度補正期間 T_5 終了後の時刻 t_7 における駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} を V_a とすると、 $V_a = (V_{sig} + V_{th} - \Delta V_a)$ である。

【0059】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_7 において、走査線 WSL の電位が低電位に戻される。これにより、駆動用トランジスタ 32 のゲートは、映像信号線 DTL から切り離されるため、フローティング状態となる。駆動用トランジスタ 32 のゲートがフローティング状態にあるときは、駆動用トランジスタ 32 のゲート - ソース間に蓄積容量 33 が接続されていることにより、駆動用トランジスタ 32 のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。このように、駆動用トランジスタ 32 のゲート電位 V_g が、ソース電位 V_s の変動に連動して変動する動作が、蓄積容量 33 によるブートストラップ動作である。

【0060】

時刻 t_7 以降、駆動用トランジスタ 32 のゲートがフローティング状態になり、駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} が駆動電流として発光素子 34 に流れ始めることにより、駆動電流 I_{ds} に応じて発光素子 34 のアノード電位が上昇する。また、ブートストラップ動作により、駆動用トランジスタ 32 のゲート電位 V_g も同様に上昇する。即ち、駆動用トランジスタ 32 のゲート - ソース間電圧 $V_a = (V_{sig} + V_{th} - \Delta V_a)$ を一定に維持したまま、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s が上昇する。そして、発光素子 34 のアノード電位が $(V_{thel} + V_{cat})$ を超えたとき、発光素子 34 が発光を開始する。

【0061】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_7 時点で、閾値電圧 V_{th} と移動度 μ の補正が終了しているため、発光素子 34 の発光輝度は駆動用トランジスタ 32 の閾値電圧 V

10

20

30

40

50

t_h や移動度 μ のばらつきの影響を受けることがない。即ち、発光素子34は、駆動用トランジスタ32の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けずに、信号電位 V_{sig} に応じた各画素同一の発光輝度で発光する。

【0062】

そして、時刻 t_7 から所定時間経過後の時刻 t_8 において、映像信号線DTLの電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。

【0063】

以上のようにして、ELパネル10の各画素21では、駆動用トランジスタ32の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがなく、発光素子34を発光させることができる。従って、ELパネル10を用いた表示装置1では、高品位な画質を得ることができる。

10

【0064】

[書き込み+移動度補正期間 T_5 の決定方法]

ここで、図5および図6を参照して、書き込み+移動度補正期間 T_5 の決定方法について説明する。

【0065】

図5の曲線51は、書き込み+移動度補正期間 T_5 内の経過時刻 t と駆動用トランジスタ32のドレイン-ソース間電流 I_{ds} との関係を示している。なお、以下では、曲線51を、電流曲線51と称する。

【0066】

20

書き込み+移動度補正期間 T_5 では、ELパネル10は、信号電位 V_{sig} の書き込みと移動度補正を同時に行っている。

【0067】

信号電位 V_{sig} の映像信号の書き込み動作は、駆動用トランジスタ32のゲート電位 V_g を信号電位 V_{sig} まで上昇させる。従って、映像信号の書き込み動作のみによる駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} は、拡大する方向に変化する。

【0068】

一方、移動度補正のみによる駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} の変化は、書き込み+移動度補正期間 T_5 の最初の時刻 t_{16} からの経過時刻 t を変数とする次式(1)で表すことができる。

30

【0069】

【数1】

$$V_{gs}(t) = V_{th} + \frac{1}{\frac{1}{V_{gs}(0) - V_{th}} + \frac{\beta \cdot t}{2C_s}} \quad \dots (1)$$

式(1)において、 β は、駆動用トランジスタ32に固定の係数であり、移動度 μ 、ゲート幅 W 、ゲート長 L 、単位面積あたりのゲート酸化膜容量 C_{ox} を用いて、次式(2)で表される。

【数2】

40

$$\beta = \frac{W}{L} \cdot \mu \cdot C_{ox} \quad \dots (2)$$

なお、式(1)における $V_{gs}(0)$ は、 $t=0$ としたときの駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} を表す。

【0070】

従って、式(1)によれば、移動度補正動作は、駆動用トランジスタ32のゲート-ソース間電圧 V_{gs} を低下させる。

【0071】

以上より、書き込み+移動度補正期間 T_5 における駆動用トランジスタ32のゲート-

50

ソース間電圧 V_{gs} は、時刻 t_a までは、信号電位 V_{sig} の書き込みによる上昇と、移動度補正による低下とが相殺され、全体としては緩やかに上昇する。これに対応して、駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} も、電流曲線 51 で示されるように、時刻 t_a までは時刻 t に応じて上昇する。

【0072】

そして、信号電位 V_{sig} の書き込みによる駆動用トランジスタ 32 のゲート電位 V_g の上昇が終了する時刻 t_a 以降、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} は、移動度補正によるソース電位 V_s の上昇のみが作用するため、徐々に小さくなる。これに対応して、電流曲線 51 で示されるように、ドレイン - ソース間電流 I_{ds} も、時刻 t_a 以降は時刻 t に応じて下降する。

10

【0073】

ここで、駆動用トランジスタ 32 の移動度 μ が異なる場合、図 5 の電流曲線 51 は、図 6 に示すように変化する。

【0074】

即ち、図 6 は、駆動用トランジスタ 32 の移動度 μ の違いに応じた、電流曲線 51 の変化を示す図である。

【0075】

電流曲線 51a は、移動度 μ が大である駆動用トランジスタ 32 の電流曲線を示している。また、電流曲線 51c は、移動度 μ が小である駆動用トランジスタ 32 の電流曲線を示している。電流曲線 51b は、EL パネル 10 の各画素 21 の平均的な移動度 μ を有する駆動用トランジスタ 32 の電流曲線を示している。

20

【0076】

移動度 μ が大である場合の電流曲線 51a は、駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} の上昇も下降も急峻となる。

【0077】

一方、移動度 μ が小である場合の電流曲線 51c は、駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} の上昇も下降も緩やかとなる。

【0078】

そして、駆動用トランジスタ 32 の移動度 μ が異なっても、書き込み + 移動度補正期間 T_g の開始時刻から、所定時間経過後（図 6 では、 T_1 時間経過後）に、電流曲線 51a 乃至 51c が重なる点 52 が存在する。即ち、書き込み + 移動度補正期間 T_g の開始時刻から T_1 時間経過後に、駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} が一致する点 52 が存在する。この駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} が一致する点 52 となる T_1 時間が、書き込み + 移動度補正期間 T_g に決定される。これにより、各画素 21 を構成する駆動用トランジスタ 32 の移動度 μ にばらつきがあっても、同一の駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} で、同一の駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} を流すことができる。即ち、各画素 21 を構成する駆動用トランジスタ 32 の移動度 μ を補正することができる。

30

【0079】

しかしながら、換言すれば、画素 21 の回路定数が一定である場合、電流曲線 51a 乃至 51c が重なる点 52 までの T_1 時間は、変化しない。従って、1 画素の駆動にかかる時間を短縮することができず、高速駆動が難しかった。

40

【0080】

[本発明を適用した表示装置の構成]

そこで、上述した図 1 の表示装置 1 を基本として、移動度補正時間を短縮し、高速駆動を可能した表示装置について、以下に説明する。

【0081】

即ち、図 7 は、本発明を適用した表示装置の一実施の形態を示すブロック図である。

【0082】

図 7 の表示装置 100 は、図 1 の EL パネル 10 を改善した EL パネル 101 を有する表示

50

装置である。表示装置 100 は、図 1 の EL パネル 10 に代えて、EL パネル 101 が設けられている以外は、図 1 で説明した表示装置 1 と同様の構成を有する。

【0083】

EL パネル 101 において、表示装置 1 と対応する部分については同一の符号を付してあり、その説明については適宜省略し、EL パネル 10 と異なる部分についてのみ説明する。

【0084】

EL パネル 101 は、複数の画素 121 を有する画素アレイ部 111、水平セクタ 12、ライトスキャナ 13、および電源スキャナ 114 を含むように構成されている。

【0085】

画素アレイ部 111 は、EL パネル 10 と同様に、 $N \times M$ 個の画素 121 - (1, 1) 乃至 121 - (N, M) が行列状に配置されて構成されている。なお、上述の例と同様に、画素 121 - (1, 1) 乃至 121 - (N, M) を特に区別する必要がない場合には、単に画素 121 と称する。

【0086】

図 7 の EL パネル 101 では、図 8 を参照して後述するが、画素 121 と電源スキャナ 114 との電源線 DSL の接続が、図 1 の EL パネル 10 と異なる。そのため、電源スキャナ 114 も、図 1 の電源スキャナ 14 とは異なる駆動を行う。

【0087】

次に、画素 121 と電源スキャナ 114 との電源線 DSL の接続、および、電源スキャナ 114 の駆動について、図 8 を参照して説明する。

【0088】

[EL パネル 101 の詳細構成例]

図 8 は、EL パネル 101 の詳細な構成例を示すブロック図である。

【0089】

図 8 では、EL パネル 101 に含まれる $N \times M$ 個の画素 121 のうち、列方向に並ぶ 2 つの画素 121 の等価回路であって、画素 121 - (N, M - 1) と画素 121 - (N, M) の構成を示している。なお、図示しないその他の画素 121 も、この画素 121 - (N, M - 1) と画素 121 - (N, M) と同様の構成を有している。

【0090】

画素 121 - (N, M) は、サンプリング用トランジスタ 31、駆動用トランジスタ 32、蓄積容量 33、発光素子 34、発光素子容量 34B、および補助容量 35A を有している。

【0091】

画素 121 - (N, M) の線順次走査の順番で前段 (1 行前) の画素 121 - (N, M - 1) も、サンプリング用トランジスタ 31、駆動用トランジスタ 32、蓄積容量 33、発光素子 34、発光素子容量 34B、および補助容量 35A を有している。

【0092】

従って、EL パネル 101 の画素 121 の構成要素自体は、図 3 を参照して説明した EL パネル 10 の画素 21 と同様である。ただし、補助容量 35A の一方の電極の接続先が図 3 を参照して説明した EL パネル 10 の画素 21 とは異なる。

【0093】

即ち、画素 21 では、同じ画素内のカソード側と接続されていた補助容量 35A の一方の電極が、画素 121 - (N, M) では、その前段の画素 121 - (N, M - 1) の電源線 DSL - (M - 1) と接続されている。画素 121 - (N, M - 1) の補助容量 35A も同様に、発光素子 34 のアノードと接続されている側と反対の電極は、図示せぬ画素 121 - (N, M - 2) の電源線 DSL - (M - 2) と接続されている。

【0094】

電源スキャナ 114 は、画素 121 - (N, M) の水平期間 (1F) に、電源線 DSL - M の電源電位だけでなく、補助容量 35A の一方の電極が接続されている画素 121 - (N, M - 1) の電源線 DSL - (M - 1) の電源電位も、所定期間、変更する。また、

10

20

30

40

50

電源スキャナ 114 は、画素 121 - (N, M - 1) の水平期間に、電源線 DSL - (M - 1) の電源電位だけでなく、画素 121 - (N, M - 2) の電源線 DSL - (M - 2) の電源電位も、所定期間、変更する。

【0095】

[ELパネル 101 の画素 121 の動作の説明]

図 8 に示した 2 つの画素 121 - (N, M - 1) と画素 121 - (N, M) のうちの画素 121 - (N, M) を例に、画素 121 の動作について、図 9 を参照して説明する。

【0096】

図 9 では、図 4 と同様の、画素 121 - (N, M) と接続された走査線 WSL - M、電源線 DSL - M、および映像信号線 DTL - M、並びに、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s に加えて、電源線 DSL - (M - 1) の電位も示している。

10

【0097】

時刻 t_{11} から時刻 t_{16} まで動作は、図 4 の時刻 t_1 から時刻 t_6 まで動作と同様であるので、その説明は省略する。

【0098】

書き込み + 移動度補正期間 T_5 として、時刻 t_{16} において、ライトスキャナ 13 が、走査線 WSL - M の電位を高電位に切換え、サンプリング用トランジスタ 31 をオンさせる。これにより、映像信号の書き込みと移動度補正が同時に開始される。即ち、階調に対応する信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 33 に書き込まれる。また、移動度補正用の電圧 V が蓄積容量 33 に保持された電圧から差し引かれる。

20

【0099】

同時に開始された映像信号の書き込みと移動度補正のうち、映像信号の書き込みが終了したとき以降の時刻 t_{17} において、電源スキャナ 14 が、電源線 DSL - (M - 1) の電位を、第 1 高電位 V_{cc1} から V_{ds} だけ高い第 2 高電位 V_{cc2} に設定する（上昇させる）。

【0100】

電源線 DSL - (M - 1) の電位が、第 1 高電位 V_{cc1} より V_{ds} だけ高い第 2 高電位 V_{cc2} に設定されると、電源線 DSL - (M - 1) に接続されている補助容量 35 に電荷が蓄積され、駆動用トランジスタ 32 のソース電位 V_s が上昇する。これにより、移動度補正動作による駆動用トランジスタ 32 のソース電位 V_s の上昇が、補助容量 35 によってアシストされる。

30

【0101】

駆動用トランジスタ 32 のソース電位 V_s の上昇が補助容量 35 によってアシストされた結果、駆動用トランジスタ 32 のゲート - ソース間電圧 V_{gs} が、図 4 と同じ $V_a = (V_{sig} + V_{th} - \Delta V_a)$ となるまでの時間が短縮される。

【0102】

即ち、時刻 t_{17} において電源線 DSL - (M - 1) の電位を第 2 高電位 V_{cc2} に設定することにより、駆動用トランジスタ 32 のソース電位 V_s が V_2 だけ上昇したとする。そして、図 1 の EL パネル 10 における駆動制御では、駆動用トランジスタ 32 のソース電位 V_s が V_2 だけ上昇するのに T_x 時間かかっていたとすれば、この T_x 時間だけ、書き込み + 移動度補正期間 T_5 を短縮することができる。

40

【0103】

その後、時刻 t_{17} から T 時間経過後の時刻 t_{18} において、電源スキャナ 14 が、電源線 DSL - (M - 1) の電位を、再び第 1 高電位 V_{cc1} に戻す。

【0104】

移動度補正終了後の時刻 t_{18} 以降の動作は、図 4 の時刻 t_7 以降の動作と同様である。

【0105】

[電源線 DSL - (M - 1) の電位を V_{ds} 上昇させた効果]

図 10 は、書き込み + 移動度補正期間 T_5 に、電源線 DSL - (M - 1) の電位を第 1

50

高電位 V_{cc1} より V_{ds} だけ高い第 2 高電位 V_{cc2} に設定した際の効果を示す図である。

【0106】

ELパネル 101 においては、書き込み + 移動度補正期間 T_5 内の経過時刻 t と駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} との関係は、駆動用トランジスタ 32 の移動度 μ の違いに応じて、電流曲線 61a 乃至 61c のようになる。

【0107】

電流曲線 61a が移動度大である場合、電流曲線 61c が移動度小である場合の電流曲線を示していることは、図 6 と同様である。

【0108】

電流曲線 61a 乃至 61c では、時刻 t_a 以降の曲線の傾きが電流曲線 51 より急峻となっている。即ち、補助容量 35 のアシストにより、信号電位 V_{sig} の書き込み終了時以降の駆動用トランジスタ 32 のドレイン - ソース間電流 I_{ds} の減少率が、大きくなっている。

【0109】

そして、書き込み + 移動度補正期間 T_5 の開始時刻から、曲線 61a 乃至 61c が重なる点 62 までの T_2 時間は、表示装置 1 の EL パネル 10 における T_1 時間よりも T_x だけ短縮されている。この曲線 61a 乃至 61c が重なる点 62 までの T_2 時間が、上述したように書き込み + 移動度補正期間 T_5 に設定されるから、EL パネル 101 における書き込み + 移動度補正期間 T_5 は、EL パネル 10 における書き込み + 移動度補正期間 T_5 よりも短くなる。

【0110】

即ち、表示装置 100 の EL パネル 101 によれば、移動度補正にかかる時間を短縮することができる。また、移動度補正にかかる時間を短縮することにより、高速駆動が可能となる。

【0111】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【0112】

上述した例では、画素 121 の補助容量 35A の一方の電極が、同列で前段の画素 121 の電源線 D_{SL} と接続されるようになされていたが、同列で後段（線順次走査の順番で 1 行後）の画素 121 の電源線 D_{SL} と接続されるようにしてよもよい。即ち、補助容量 35A の、発光素子 34 のアノードと接続されている側と反対の電極は、列方向に隣接する画素 121 の電源線 D_{SL} と接続されればよい。

【0113】

また、画素 121 は、図 8 に示したように、2 個のトランジスタと 2 個のキャパシタからなる画素回路（以下、 $2T_r / 2C$ 画素回路と称する）で構成されていたが、その他の回路構成を採用することもできる。

【0114】

その他の画素 101 の回路構成として、例えば、次のような回路構成を採用できる。即ち、 $2T_r / 2C$ 画素回路に、第 1 乃至第 3 のトランジスタを加えた、5 個のトランジスタと 2 個のキャパシタの構成（以下、 $5T_r / 2C$ 画素回路とも称する）を採用することもできる。 $5T_r / 2C$ 画素回路を採用した画素 121 では、水平セクタ 12 から映像信号線 D_{TL} を介してサンプリング用トランジスタ 31 に供給される信号電位が V_{sig} 固定となる。その結果、サンプリング用トランジスタ 31 は駆動用トランジスタ 32 への信号電位 V_{sig} の供給をスイッチングする機能としてのみ動作する。また、電源線 D_{SL} を介して駆動用トランジスタ 32 に供給される電位が、第 1 高電位 V_{cc1} と第 2 高電位 V_{cc2} となる。そして、追加された第 1 のトランジスタは、駆動用トランジスタ 32 への第 1 高電位 V_{cc1} の供給をスイッチングする。第 2 のトランジスタは、駆動用トランジスタ 32 への低電位 V_{ss} の供給をスイッチングする。また、第 3 のトランジスタは

10

20

30

40

50

、駆動用トランジスタ 3 2 への基準電位 V_{ofs} の供給をスイッチングする。

【 0 1 1 5 】

また、その他の画素 1 2 1 の回路構成としては、 $2 T_r / 2 C$ 画素回路と $5 T_r / 2 C$ 画素回路の中間的な回路構成を採用することもできる。即ち、4 個のトランジスタと 2 個のキャパシタからなる構成 ($4 T_r / 2 C$ 画素回路) や、3 個のトランジスタと 1 個のキャパシタからなる構成 ($3 T_r / 2 C$ 画素回路) を採用することもできる。 $4 T_r / 2 C$ 画素回路としては、例えば、 $5 T_r / 2 C$ 画素回路の第 3 のトランジスタを省略し、水平セクタ 1 2 からサンプリング用トランジスタ 3 1 に供給する信号電位を V_{sig} と V_{ofs} でパルス化するなどの構成を取ることができる。

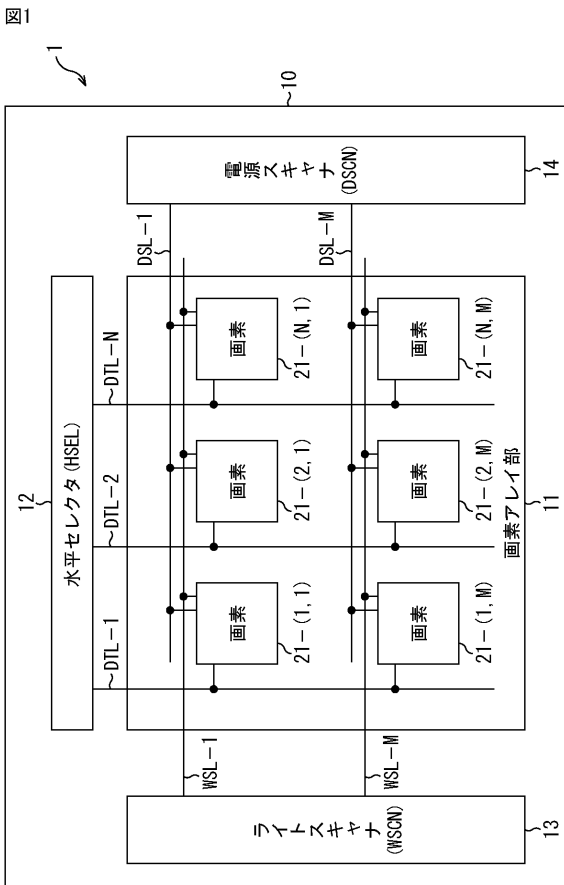
【符号の説明】

10

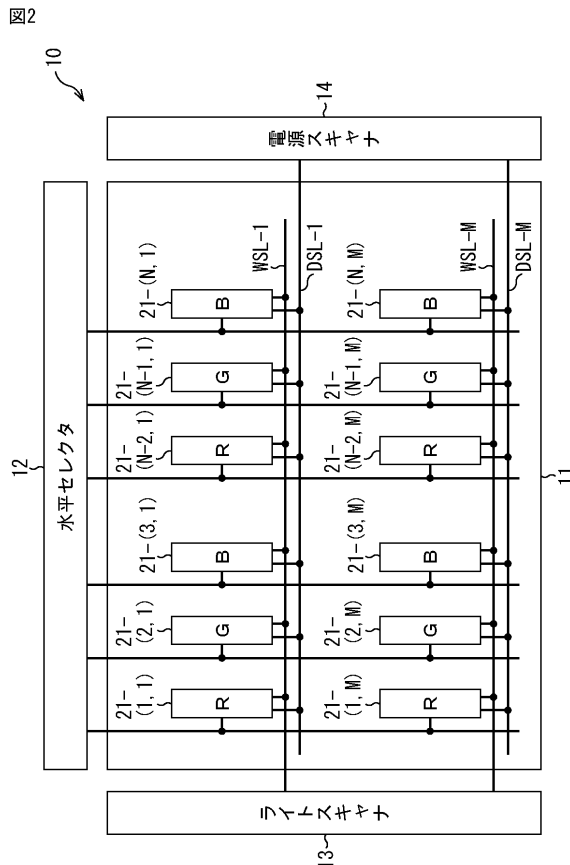
【 0 1 1 6 】

3 1 サンプリング用トランジスタ， 3 2 駆動用トランジスタ， 3 3 蓄積容量， 3 4 発光素子， 3 5 A 補助容量， 1 0 0 表示装置， 1 0 1 ELパネル， 1 1 1 画素アレイ部， 1 1 4， 1 1 4 A 電源スキャナ， 1 2 1 - (1， 1) 乃至 1 2 1 - (N， M) 画素， D S L - 1 乃至 M 電源線

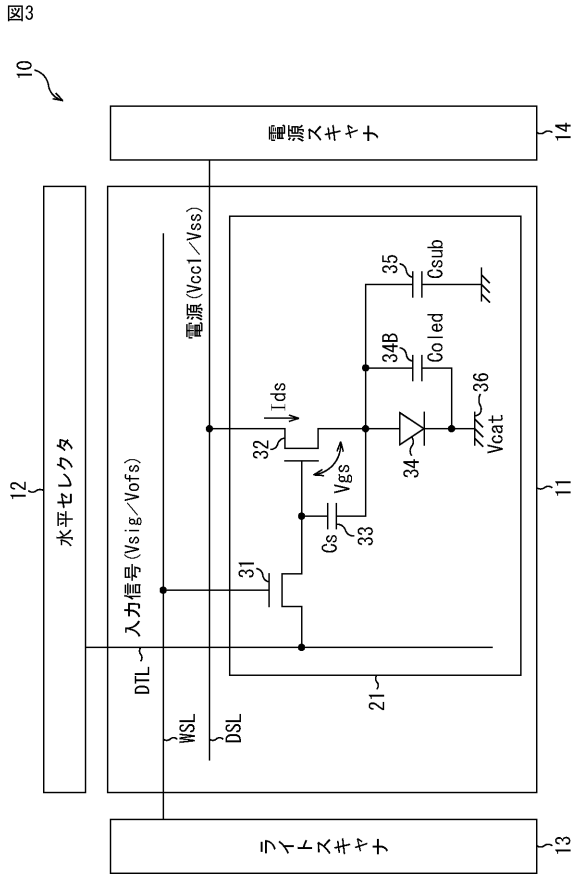
【 図 1 】



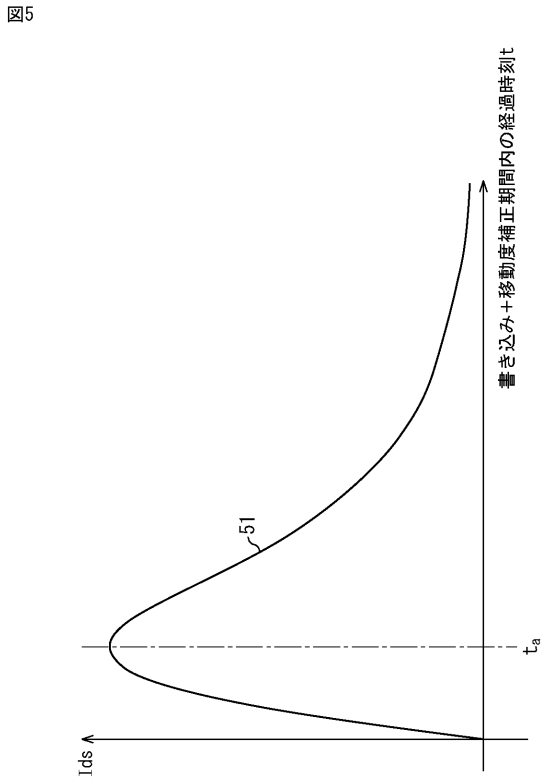
【 図 2 】



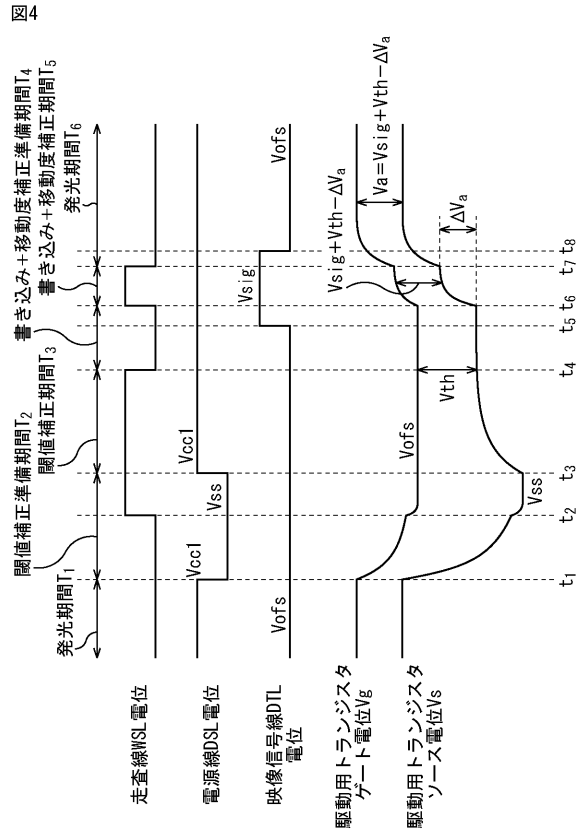
【 図 3 】



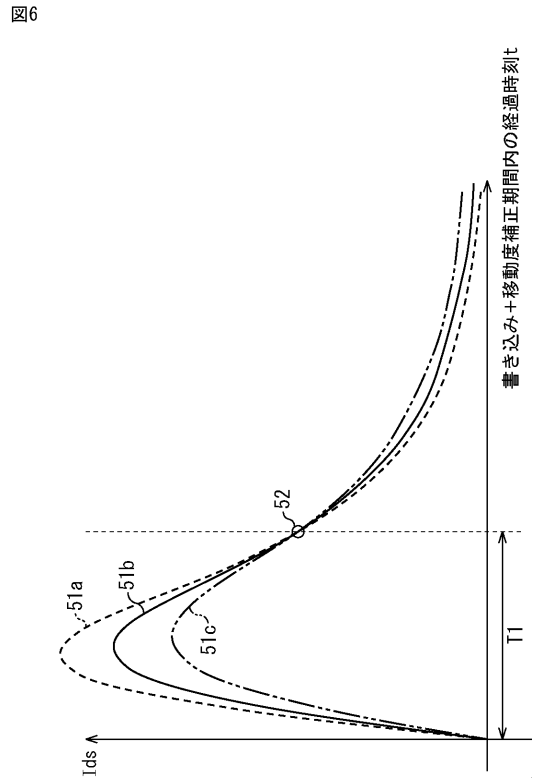
【 図 5 】



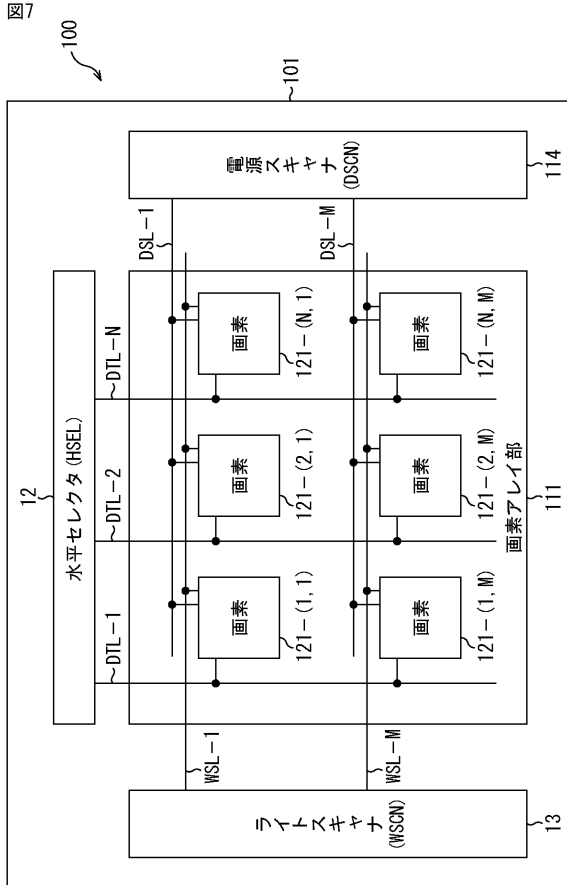
【 図 4 】



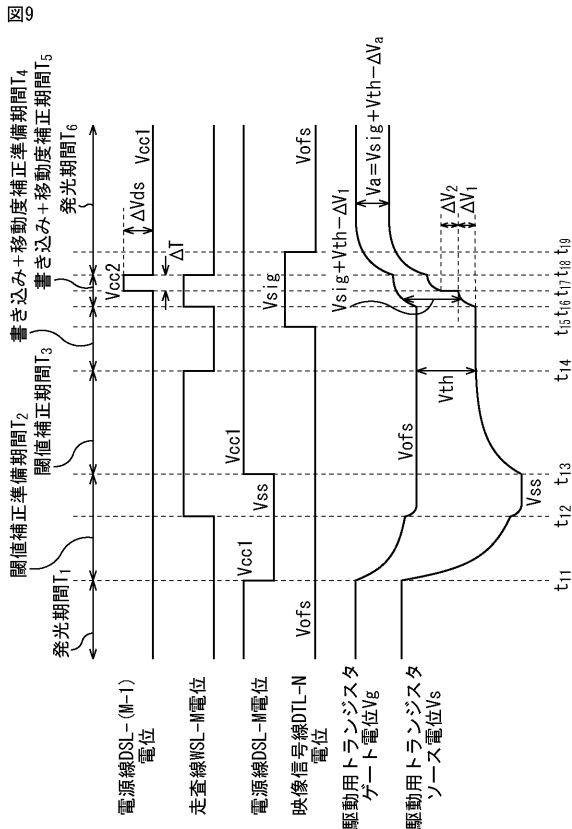
【 図 6 】



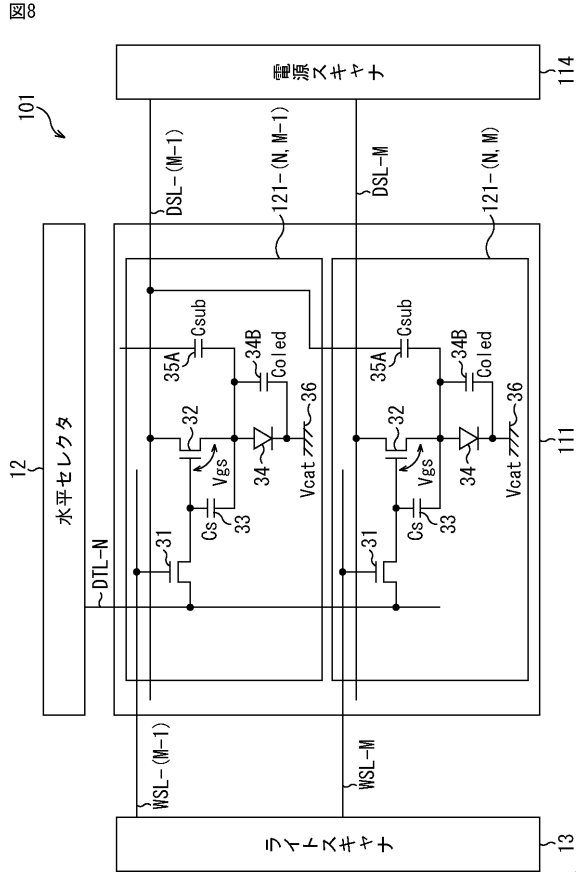
【図 7】



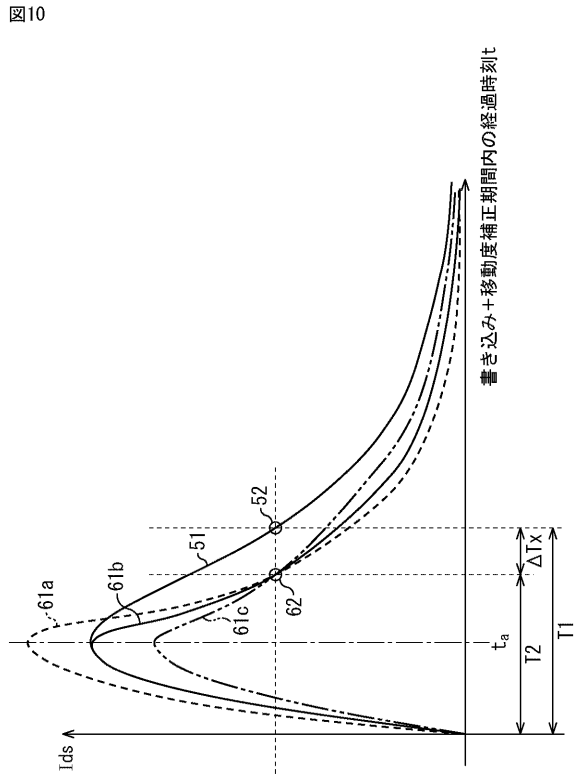
【図 9】



【図 8】



【図 10】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 1 2 G
	G 0 9 G 3/20	6 2 1 F
	H 0 5 B 33/14	A

F ターム(参考) 5C080 AA06 BB05 DD05 DD08 EE29 FF03 FF11 HH09 JJ02 JJ04
JJ05

专利名称(译)	显示装置和驱动控制方法		
公开(公告)号	JP2010250050A	公开(公告)日	2010-11-04
申请号	JP2009098815	申请日	2009-04-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	尾本啓介 富田昌嗣		
发明人	尾本 啓介 富田 昌嗣		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0852 G09G2300/0866 G09G2300/0876 G09G2310/0256 G09G2310/0262 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.622.G G09G3/20.622.D G09G3/20.623.D G09G3/20.612.G G09G3/20.621.F H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/EE29 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC09 5C380/AC11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB19 5C380/CB20 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC42 5C380/CC62 5C380/CD032 5C380/DA06 5C380/DA47		
代理人(译)	西川 孝		
其他公开文献	JP5293364B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少迁移率校正所需的时间。在使用作为自发光元件的有机EL元件的显示装置的像素中，在写入+迁移率校正周期T5中接通像素的采样晶体管以写入视频信号并校正迁移率。同时启动。即，与视频信号相对应的信号电势Vsig被加到驱动晶体管的阈值电压Vth，并被写入存储电容器中。此外，从保持在存储电容器中的电压中减去用于迁移率校正的电压。然后，在视频信号的写入完成之后的时间t17，电源扫描器将在列方向上相邻的相邻像素的电源线DSL- (M-1) 的电势设置为第一时间ΔT。将高电位Vcc1提高ΔVds。本发明可以应用于例如使用有机EL元件的显示装置。[选择图]图9

