

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-80272

(P2009-80272A)

(43) 公開日 平成21年4月16日(2009.4.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 670J	
	H05B 33/14 A	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号	特願2007-249145 (P2007-249145)	(71) 出願人	000001007
(22) 出願日	平成19年9月26日 (2007. 9. 26)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100090538
			弁理士 西山 恵三
		(74) 代理人	100096965
			弁理士 内尾 裕一
		(72) 発明者	川崎 素明
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	池田 宏治
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC34 EE04 HH05
			5C080 AA06 BB05 DD29 EE28 FF11
			JJ02 JJ03 JJ04 JJ05

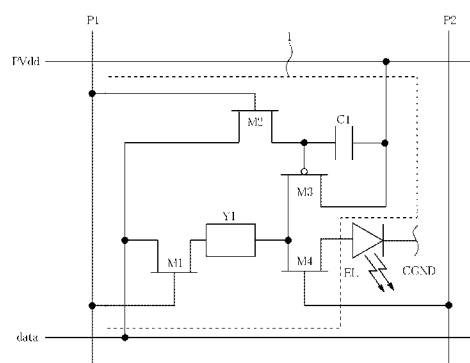
(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 EL素子は電流の累積量（電流×時間）に応じて劣化し輝度が低下する。表示素子に用いた場合、画素ごとに電流の累積量（電流×時間）が異なるため、「焼き付き」現象となって見えてしまう。

【解決手段】 駆動トランジスタと、前記駆動トランジスタのゲート - ソース間に接続された容量と、前記駆動トランジスタのドレインと前記入力端子との間に直列に設けられた抵抗素子および第1スイッチと、前記第1スイッチが閉じている期間に、前記駆動トランジスタのゲートと前記抵抗素子の前記駆動トランジスタから遠いほうの端子とを接続する第2スイッチと、前記駆動トランジスタのドレイン電流が前記出力端子から前記発光素子に流れる駆動電流の経路上に設けられた第3スイッチとを有し、前記抵抗素子は、電流の累積量に応じて抵抗値が増加する素子であることを特徴とする発光素子の駆動回路。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力端子から入力される信号電流に応じて、出力端子から発光素子に駆動電流を出力する発光素子の駆動回路であって、

駆動トランジスタと、前記駆動トランジスタのゲート - ソース間に接続された容量と、前記駆動トランジスタのドレインと前記入力端子との間に直列に設けられた抵抗素子および第 1 スイッチと、前記第 1 スイッチが閉じている期間に、前記駆動トランジスタのゲートと前記抵抗素子の前記駆動トランジスタから遠いほうの端子とを接続する第 2 スイッチと、前記駆動トランジスタのドレイン電流が前記出力端子から前記発光素子に流れる駆動電流の経路上に設けられた第 3 スイッチとを有し、前記抵抗素子は、電流の累積量に応じて抵抗値が増加する素子であることを特徴とする発光素子の駆動回路。

10

【請求項 2】

前記駆動電流の出力端子が前記駆動トランジスタのドレインである請求項 1 に記載の発光素子の駆動回路。

【請求項 3】

前記駆動電流の出力端子が前記抵抗素子の前記駆動トランジスタから遠いほうの端子である請求項 1 に記載の発光素子の駆動回路。

【請求項 4】

前記抵抗素子が、前記信号電流および前記駆動電流を逆方向に流す P N 接合ダイオードである請求項 1 ないし 3 のいずれか 1 項に記載の発光素子の駆動回路。

20

【請求項 5】

前記抵抗素子が、逆方向の 2 つの P N 接合ダイオードの直列接続である請求項 1 ないし 3 のいずれか 1 項に記載の発光素子の駆動回路。

【請求項 6】

前記抵抗素子が中間節点を有し、前記駆動電流の出力端子が前記抵抗素子の中間節点である請求項 1 に記載の発光素子の駆動回路。

【請求項 7】

前記抵抗素子の端子間を短絡する第 4 のスイッチをさらに有する請求項 6 に記載の発光素子の駆動回路。

【請求項 8】

前記抵抗素子が、中間節点から両端子に向かう 2 つの P N 接合ダイオードの直列接続である請求項 6 または 7 に記載の発光素子の駆動回路。

30

【請求項 9】

発光素子と前記発光素子に駆動電流を供給する駆動回路との組が行方向と列方向に配列され、前記駆動回路を行ごとに選択する走査線と、前記選択された駆動回路に信号電流を供給する信号線とが設けられた表示装置であって、

前記駆動回路が、駆動トランジスタと、前記駆動トランジスタのゲート - ソース間に接続された容量と、前記駆動トランジスタのドレインと前記入力端子との間に直列に設けられた抵抗素子および第 1 スイッチと、前記第 1 スイッチが閉じている期間に、前記駆動トランジスタのゲートと前記抵抗素子の前記駆動トランジスタから遠いほうの端子とを接続する第 2 スイッチと、前記駆動トランジスタのドレイン電流が前記出力端子から前記発光素子に流れる駆動電流の経路上に設けられた第 3 スイッチとを有し、前記抵抗素子は、電流の累積量に応じて抵抗値が増加する素子であることを特徴とする表示装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電流を注入して発光するエレクトロルミネッセンス素子（以後 E L 素子と言う）を画像表示に使用したアクティブマトリクス型表示装置に関するものである。

【背景技術】**【0002】**

50

近年、エレクトロルミネセンス（ＥＬ）素子を用いた表示装置がＣＲＴ（Ｃａｔｈｏｄ ｅ Ｒａｙ Ｔｕｂｅ）やＬＣＤ（ｌｉｑｕｉｄ ｃｒｙｓｔａｌ Ｄｉｓｐｌａｙ）に替わる表示装置として注目されている。その中でも、素子に流れる電流によって発光輝度が制御される電流制御型の発光素子である有機ＥＬ素子の応用開発が活発に行われている。発光波長の異なる３色の有機ＥＬ素子を駆動回路とともに基板上に多数並列したカラー表示パネルも開発されている。

【０００３】

駆動回路１には、使用されるＴＦＴ素子の特性バラツキに強い電流書き込み型が一般的に採用される。この場合、信号線４に供給される表示信号は電流信号である。図８は特許文献１に提案された電流書き込み型駆動回路（ただし駆動トランジスタをＰチャネルに変えた）の構成例である。図９は図８の駆動回路に入力される走査線Ｐ１、Ｐ２に与えられる制御信号のタイムチャートである。

10

【０００４】

図８の駆動回路１は、入力電流Ｉｄａｔａに応じた駆動電流をＥＬ素子に出力する。入力電流は信号線ｄａｔａからトランジスタＭ１のドレインに入力される。Ｍ１のドレインは、駆動回路１の電流信号の入力端子である。駆動電流はＭ３のドレインからＥＬ素子に供給される。図８においてはＭ３のドレインが出力端子になっている。

【０００５】

駆動回路１は、さらに、駆動トランジスタＭ３のドレインとドレインとの間を開閉するスイッチングトランジスタＭ２とを備えている。さらに、スイッチングトランジスタＭ２がオン（スイッチとして閉じた動作）のときオンになって、信号線ｄａｔａの信号電流を駆動トランジスタＭ３のドレインに導くスイッチングトランジスタＭ１と、Ｍ１とＭ２がオフのときにオンになって、駆動トランジスタＭ３のドレイン電流を、駆動電流としてＥＬ素子ＥＬに流すスイッチングトランジスタＭ４とが設けられている。Ｍ１、Ｍ２、Ｍ４は、駆動トランジスタＭ３のドレイン電流を、信号電流の経路に接続するか駆動電流の経路に接続するかを切り替える、電流経路切り替えの手段である。

20

【０００６】

さらに、駆動回路１には、発光電源線ＰＶｄｄ、信号線ｄａｔａ及び走査線Ｐ１、Ｐ２が接続され書き込み動作と点灯動作が行なわれる。書き込み時はＰ１＝Ｈ、Ｐ２＝Ｌにして、駆動トランジスタＭ３をダイオード接続状態にして、信号線から供給される信号電流Ｉｄａｔａを流す。この電流の大きさに応じてソース－ゲート間に電圧が発生し、保持容量Ｃ１が充電される。

30

【０００７】

点灯時はＰ１＝Ｌ、Ｐ２＝Ｈになり、駆動トランジスタＭ３のドレイン端子はＥＬ素子の電流注入端子（この場合はアノード端子）に接続される。Ｍ３のゲートはドレインから切り離されるので、書き込み時に保持容量Ｃ１に充電された電圧がそのまま維持され、駆動トランジスタＭ３のゲート電圧になる。それに応じた電流がドレインに流れる。保持容量Ｃ１の電圧はＭ３のゲート－ソース間閾値電圧およびドレイン電流対ドレイン－ソース間電圧の関係（以下、電流電圧特性という）に依存するが、それによって決定されるＭ３のドレイン電流は、閾値電圧と電流電圧特性の違いがキャンセルされて概ね信号電流Ｉｄａｔａに一致する。この結果、ＥＬ素子は信号電流Ｉｄａｔａに応じた輝度で点灯する。

40

【０００８】

ところで、ＥＬ素子には長時間点灯すると輝度低下を起す劣化現象がある。

【０００９】

図４は、定電流駆動を続けたＥＬ素子の輝度の低下を示す図である。Ｘ軸は点灯時間、Ｙ軸は表示輝度である。点灯開始時刻を０とし、経過時間Ｔ１までは初期輝度Ｌ０から輝度Ｌ１まで比較的急速に輝度が低下する。時間Ｔ１以後は緩やかな輝度低下を示す。点灯時間Ｔ１までを初期劣化期間と言い、以後を後期劣化期間と言う。大抵のＥＬ素子では初期劣化期間は短く、短時間エージング行なうことで初期劣化を終了させることができる。したがって多くの場合、表示パネルとしては点灯時間Ｔ１から始まる後期劣化期間を使用

50

することになる。

【 0 0 1 0 】

劣化の進み方は、経過時間中に流れた電流の大きさと経過時間に依存する。長時間発光を続けた画素とその周りの画素とで劣化の度合いが異なるため、表示画像を切り替えてそれらの画素が同一輝度になるような画像を表示しても、長時間の表示画像が「焼き付き」となって残って見える。とくに、デジタルカメラや携帯機器では、撮影情報、時計、各種状態説明などを画面の1箇所に固定して表示するため、その表示が「焼きつく」おそれがある。「焼き付き」は2%程度の輝度差でも識別されるとされており、製品保証期間をT1からT2とし、初期劣化後の時間T1での輝度をL1、経過時間T2での輝度をL2とすると、 $(L1 - L2) / L1$ を2%未満にする必要がある。

10

【特許文献1】米国特許第6373454号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

しかしながら、現状のEL素子は、製品保証期間（製品によって異なり、およそ10000 - 100000時間）の輝度低下を2%未満に抑えることは難しい。そのため「焼き付き」が大きな問題であった。

【課題を解決するための手段】

【 0 0 1 2 】

本発明は、入力端子から入力される信号電流に応じて、出力端子から発光素子に駆動電流を供給する発光素子の駆動回路であって、

20

駆動トランジスタと、前記駆動トランジスタのゲート - ソース間に接続された容量と、前記駆動トランジスタのドレインと前記入力端子との間に直列に設けられた抵抗素子および第1スイッチと、前記第1スイッチが閉じている期間に、前記駆動トランジスタのゲートと前記抵抗素子の前記駆動トランジスタから遠いほうの端子とを接続する第2スイッチと、前記駆動トランジスタのドレイン電流が前記出力端子から前記発光素子に流れる駆動電流の経路上に設けられた第3スイッチとを有し、前記抵抗素子は、流れた電流の累積量に応じて抵抗値が増加する素子であることを特徴とする。

【発明の効果】

【 0 0 1 3 】

30

（効果1）

本発明によれば、簡単な構成で各画素の点灯経歴による発光素子の劣化を低減したELパネルができる。

【 0 0 1 4 】

（効果2）

本発明によれば、外部メモリを必要とせず各画素の発光素子の劣化を補正できるので、高精細化に伴う画素数増加によってコストが影響されない劣化補正（焼き付き補正）が施されたELパネルができる。

【 0 0 1 5 】

（効果3）

40

本発明によれば、劣化補正メモリとしての外部RAM（ROMは高価）を必要とせず各画素の発光素子の劣化を補正できるので、EL端子間検出やEL導通電流を測定する動作が不安定且つ電圧時間を要とする劣化検出動作は必要としない。このため製品使用者にEL劣化現象（焼き付き）を悟られずに電源起動とともに直ちに「焼き付き」の無い正常画面を表示可能なELパネルができる。

【発明を実施するための最良の形態】

【 0 0 1 6 】

発光素子は、劣化によって輝度が低下するだけでなく、その端子電圧も変動（一般に上昇）する。図8の駆動回路でEL素子の端子電圧が上昇しても、駆動TFT（M3）が飽和動作領域内にある限りはELに流れる電流はほとんど変化しない。電流と輝度の関係が

50

変化せず、同じ電流に対してつねに一定の輝度が保たれるなら、E L素子の端子電圧変動があっても輝度は低下しない。しかし、上で述べたように、有機E L素子の輝度は、一定電流のもとでも時間とともに低下していくので、電流を一定に保つだけでは輝度の低下を防ぐことは出来ない。

【0017】

本発明は、有機E L発光素子（以下発光素子と略す）を用いた表示装置において、発光素子の輝度の低下を、模擬的に「劣化」するモデル素子の電圧変化と見做して、その電圧変化に応じて発光素子に流す電流を増加させるものである。個々の駆動回路にモデル素子を設けて、E Lに流れる電流と同じ電流、または一定の倍率の電流をモデル素子に流すことにより、発光素子の劣化の進行にあわせてモデル素子の電圧が変化する。モデル素子の電圧変化に応じて、発光素子に信号電流に対して補正した電流を流すことにより、信号電流に対して一定の輝度を保つことができる。

10

【0018】

モデル素子は、表示装置の各発光素子の駆動回路内に設けられる。モデル素子は、電流を流しつづけることにより抵抗値が上昇し、端子間電圧が上昇する性質を持つ抵抗素子である。

【0019】

駆動回路から駆動電流が出力されるときに、この抵抗素子にも同じ駆動電流が流れるようにすると、発光素子に流れるのと同じ電流が、同じ時間、抵抗素子に流れる。もしくは、駆動回路に信号電流が書き込まれるとき、抵抗素子にも同じ信号電流が流れるようにすると、発光素子に流れるのと同じ電流が、書き込み時間対発光時間の比で決まる時間比で、抵抗素子に流れる。いずれの場合も、発光素子の電流累積量に比例した電流の累積が抵抗素子に生じるので、その抵抗値の変化から発光素子の輝度低下量を知ることができる。このように、抵抗素子は発光素子の劣化のモデルになっている。以下この抵抗素子を劣化モデル素子と呼ぶことにする。

20

【0020】

次に、劣化モデル素子の具体例を挙げて説明する。

【0021】

電流の累積量（＝電流×時間）で端子電圧が変化する素子として、図3（a）に示すPNダイオードの逆方向ジャンクション抵抗がある。PNダイオード31に逆方向電流I32を流すと、ほぼ電流に比例した電圧Vが端子間に発生する。この電流電圧特性を図3（c）に示す。電流－電圧特性は図3（c）のAからBの向きに時間とともに変化し、同じ電流Idataに対して端子間電圧はV1からV2に増加する。

30

【0022】

図3（a）をそのまま劣化モデル素子として使ってもよいが、図3（b）のように2つのPN接合ダイオード31，33を逆方向に直列に接続したものを劣化モデル素子とすることもできる。ダイオードの順方向バイアスは逆方向バイアスよりずっと小さいので無視できて、電圧電流特性はやはり図3（c）のようになる。時間変化も図3（c）のA→Bのように生じる。すなわち、逆方向に直列接続した2つのPN接合ダイオード31，33は、1つの劣化モデル素子と考えることができる。図3（a）の劣化モデル素子に比べて、電流方向を気にせずに用いることができる利点がある。

40

【0023】

駆動回路はPMOS及びNMOSTランジスタから構成されるので、PNジャンクションは駆動回路と同じ製造プロセスで作成することができる。端子電圧の大きさはPNジャンクションのパラメータを変えることで調整できる。電流の累積量に対する変化量はPNジャンクション幅で調節することができる。発光素子の劣化特性がRGBで異なるとき、それぞれの劣化特性に合わせてPNジャンクション幅を設定してもよい。

【0024】

以下、本発明に係る発光素子の駆動回路の最良の形態について、図面を参照して具体的に説明する。

50

【実施例 1】

【0025】

図 1 は本発明の第 1 の実施例の駆動回路である。

【0026】

図 1 の駆動回路 1 は、信号線 *data* に供給される信号電流 *I_{data}* を入力信号として、これを駆動電流に変換し発光素子 *EL* に駆動電流を供給する。

【0027】

信号電流 *I_{data}* はトランジスタ *M1* によって駆動回路 1 に入力される。*M1* のソースが信号線 *data* に接続されている節点が駆動回路 1 の入力端子になっている。また、発光素子 *EL* に流れる駆動電流は、トランジスタ *M3* のドレインから供給される。トランジスタ *M3* のドレインが駆動回路 1 の出力端子である。

10

【0028】

図 1 の駆動回路 1 は、駆動トランジスタ *M3* と、駆動トランジスタ *M3* のゲート - ソース間に接続された容量 *C1* と、第 1 スイッチとなるトランジスタ *M1* , 第 2 スイッチとなるトランジスタ *M2* , 第 3 スイッチとなるトランジスタ *M4* とを備えている。さらに、駆動トランジスタ *M3* のドレインと信号線 *data* との間に、トランジスタ *M1* と直列に接続された抵抗素子 *Y1* が挿入されている。

【0029】

トランジスタ *M2* は、図 1 では駆動トランジスタ *M3* のゲートとトランジスタ *M1* のソース (信号線 *data* に接続されている端子) との間に設けられている。第 2 スイッチは、トランジスタ *M1* がオンになり第 1 スイッチが閉じている期間に、駆動トランジスタ *M3* のゲートと抵抗素子 *Y1* の駆動トランジスタ *M3* から遠いほうの端子とを接続して同電位にするためのスイッチである。したがって、トランジスタ *M2* は、駆動トランジスタ *M3* のゲートとトランジスタ *M1* のドレイン (抵抗素子 *Y1* に接続されている端子) との間に設けられていてもよい。

20

【0030】

トランジスタ *M4* は、駆動トランジスタ *M3* のドレインと発光素子 *EL* との間に設けられ、第 3 のスイッチとして、閉じたときに、駆動トランジスタ *M3* のドレイン電流を駆動電流として発光素子 *EL* に導く。第 3 スイッチは、駆動電流の経路上のどこに設けられていてもよく、発光素子 *EL* の下流側にあってもよい。

30

【0031】

図 8 の駆動回路との違いは、駆動トランジスタ *M3* のドレインとスイッチングトランジスタ *M1* のドレインとの間に、2 端子の抵抗素子 *Y1* が挿入されていることである。

【0032】

抵抗素子 *Y1* は劣化モデル素子であって、図 3 (a) または (b) いずれを用いてもよい。電流信号が書き込まれるときに抵抗素子 *Y1* を流れるので、*EL* の駆動電流と同じ電流が、書き込み時間対 *EL* 発光時間の比で決まる時間比で、抵抗素子 *Y1* に流れる。発光素子 *EL* の電流累積量に比例した電流の累積が抵抗素子 *Y1* に生じるので、その抵抗値の変化から発光素子 *EL* の輝度低下量を知ることができる。

すなわち、抵抗素子 *Y1* は劣化モデル素子として機能する。

40

【0033】

図 1 の駆動回路の動作を図 2 及び図 5 を用いて説明する。

図 5 は駆動トランジスタ *M3* のゲート - ソース間電圧 *V_g* (以下、ゲート電圧という。負の値をとるが絶対値を指すことにする。) をパラメータとする、ドレイン - ソース間電圧 *V_d* (以下、ドレイン電圧という。これも絶対値を指す) とドレイン電流 *I_d* (ソースからドレインへ方向を正とする) の関係を示す。

【0034】

図 2 a は、初期状態 (素子ができた直後の状態または初期劣化を経た後の状態をいう、以下同様) における電流設定 (書き込み) 期間の等価回路である。

【0035】

50

劣化モデル素子 Y 1 はまだ電流による「劣化」がない状態にあり、信号電流 I_{data} が流れたときの端子間電圧は初期値 V_{y1} である。書き込み期間中は、劣化モデル素子の 2 端子のうち駆動トランジスタ M 3 のドレイン端子に接続されている端子とは反対側の端子が駆動トランジスタ M 3 のゲートに接続されているので、駆動トランジスタ M 3 のドレイン電圧 V_{d1} とゲート電圧 V_{g1} は信号電流 I_{data} に応じて決定され、

$$V_{g1} - V_{d1} = V_{y1} (I_{data})$$

の関係にある。図 5 における曲線 A は、ゲート電圧 V_{g1} のときのドレイン電圧対ドレイン電流の関係を表している。

【0036】

図 2 b は初期状態における点灯期間の等価回路である。点灯期間に移ってもゲート電圧 V_{g1} は変わらないので、駆動トランジスタ M 3 は図 5 の曲線 A の上で動作する。

10

【0037】

発光素子 E L の特性を図 5 の曲線 a で示した。電源電圧 PV_{dd} を起点として V_d の負の方向に向かった曲線になっているのは、発光素子 E L の端子間電圧と駆動トランジスタ M 3 のドレイン電圧 V_d の和が電源電圧に等しいことを図 5 の上で示すためである。

【0038】

電流 I_{data} における発光素子 E L の端子電圧を V_{e1} とすると駆動トランジスタ M 3 のドレイン電圧は $V_d = (PV_{dd} - V_{e1})$ になる。図 5 において、駆動トランジスタ M 3 は曲線 A 上で動作しているので、発光素子 E L には上記 V_d で決まる曲線 A 上の電流 I_{d1} が注入される。

20

【0039】

図 2 c は累積点灯輝度 (= 輝度 × 時間) が大きくなり発光素子 E L が劣化した状態における書き込み期間の等価回路である。

【0040】

このとき、劣化モデル素子 Y 1 には電流「劣化」が発生しているので信号電流 I_{data} が流れたときの端子間電圧 V_{y2} は初期値より大きくなる。このとき、同じ信号電流 I_{data} を流すために、駆動トランジスタ M 3 のゲート電圧 V_{g2} は V_{g1} より大きくなり、ドレイン電圧 V_{d2} は V_{d1} より小さくなる。その間には

$$V_{g2} - V_{d2} = V_{y2} (I_{data})$$

の関係がある。図 5 における曲線 B は、ゲート電圧 V_{g2} のときのドレイン電圧対ドレイン電流の関係を表し、ゲート電圧 V_{g2} とドレイン電圧 V_{d2} の値が曲線 B 上の点として示されている。

30

【0041】

このように、劣化モデル素子 Y 1 を駆動トランジスタ M 3 のゲートとドレイン間に入れることにより、劣化モデル素子 Y 1 の端子間電圧の増加が駆動トランジスタ M 3 のゲート電圧、すなわち保持容量の電圧に反映される。

【0042】

図 2 d は、劣化状態での点灯期間の等価回路である。発光素子 E L の端子間電圧は劣化によって電圧が増大するので図 5 の曲線 b のようになる。曲線 B と b の交点が点灯期間の動作点である。発光素子 E L の端子間電圧は V_{e2} で与えられ、駆動トランジスタ M 3 のドレイン電位は $V_d = (PV_{dd} - V_{e2})$ になる。発光素子 E L には交点の電流 I_{d2} が流れる。

40

【0043】

駆動トランジスタ M 3 のゲート電圧 V_g が初期状態より大きくなっているため、発光素子 E L を流れる電流 I_{d2} は初期状態での電流 I_{d1} より大きくなる。これは発光素子の輝度低下を補う方向の変化である。ゲート電圧 V_g の増加は劣化モデル素子の端子間電圧 V_y の増加によるものであるから、劣化モデル素子の端子間電圧の時間変化を発光素子の輝度の時間変化に合うように調整することにより、輝度低下を相殺することができる。

【0044】

劣化モデル素子の電圧変化 $V_{y2} - V_{y1}$ を固定したときの、劣化前後の発光素子の電

50

流比 I_{d2} / I_{d1} は、駆動トランジスタ M3 の劣化補正能力を示すパラメータである。この比は駆動トランジスタ M3 のコンダクタンスに依存し、したがって設計によって変えることができる。

【0045】

駆動トランジスタ M3 の飽和領域におけるドレイン電流の傾き、および発光素子の端子間電圧増加は、劣化補正能力を小さくする要因であるが、ドレイン電流の傾きが極端に大きくない限りは劣化モデル素子の電圧変化を大きくすることにより吸収できる。

【0046】

本実施例の駆動回路においては、劣化モデル素子 Y1 には書き込み期間のみ電流が供給される。このため、劣化モデル素子と発光素子とでは電流の累積値が大きく異なることになる。走査線が 262.5 行の QVGA 表示パネル場合、劣化モデル素子と発光素子の累積電流比は $1 / 261.5$ になる。劣化モデル素子はこの場合 EL の輝度変化より 261.5 倍速く「劣化」するように設定される。つまりこの倍率に応じて大きな電圧変化になるよう調節されなければならない。

【実施例 2】

【0047】

図 6 は本発明の第 2 の実施例の駆動回路である。図 1 と異なる点は、トランジスタ M4 が、劣化モデル素子 Y1 とスイッチングトランジスタ M1 の接続点と発光素子 EL の間に設けられていることである。このため、発光素子 EL への駆動電流は劣化モデル素子を経過して流れる。劣化モデル素子 Y1 は図 3 (a) (b) いずれでも用いることができる。

【0048】

書き込み期間における動作は実施例 1 と同じである。点灯期間には劣化モデル素子と発光素子 EL を直列に電流が流れるので、図 5 の曲線 a、b が、発光素子 EL と劣化モデル素子を直列接続した回路の電流対電圧特性に置き換わる。しかし、劣化後の駆動トランジスタ M3 のゲート電圧は、実施例 1 と同じだけ増加するので、EL 電流が増加することになりはなく、同様の補償効果が得られる。

【0049】

劣化モデル素子 Y1 は、信号電流経路だけでなく駆動電流経路の上にもあるので、劣化モデル素子 Y1 と発光素子 EL には大部分の時間同じ電流が流れ、ほぼ同じ電流累積が生じる。したがって実施例 1 のような電流の時間デューティによる劣化速度の調整は不要である。

【実施例 3】

【0050】

図 7 は本発明の第 3 の実施例の駆動回路である。

【0051】

駆動トランジスタ M3 のドレインとスイッチングトランジスタ M1 及び M2 の接続点との間に、図 3 (b) で説明した抵抗素子を挿入する。すなわち、2 つのダイオード Y2、Y3 がその接続点から両端子に向かって順方向に接続された構成を、本実施例における劣化モデル素子とする。Y2 と Y3 の接続点にトランジスタ M4 を介して発光素子 EL が接続される。

【0052】

ダイオード Y2、Y3 のうち駆動トランジスタ M3 から遠いほうのダイオード Y2 が信号電流経路に対して逆方向に接続されている。駆動トランジスタに近いダイオード Y3 は順方向に信号電流が流れる。信号電流の累積に応じて端子間電圧が変化するのは Y2 のほうである。

【0053】

劣化モデル素子 Y2 + Y3 の両端には走査信号 P2 で動作するトランジスタ M5 が接続されており、駆動電流を発光素子 EL に流すときに劣化モデル素子 Y2 + Y3 の両端を短絡する。したがって駆動トランジスタ M3 のドレイン電流は、ダイオード Y2 と Y3 の両方を順方向に流れて、中間節点すなわち Y2 と Y3 の接続点から発光素子 EL に供給され

10

20

30

40

50

る。実施例 2 の回路では、発光素子の駆動電流が抵抗値の大きい逆方向のダイオードに流れるので、その分電源電圧 $P V d d$ が高くなり、消費電力が大きくなる。一方、本実施例の回路では、駆動電流が順方向に 2 つのダイオードを流れるので消費電力は少なくて済む。トランジスタ $M 5$ がないときは、 $Y 3$ にのみ順方向に駆動電流が流れる。その場合も実施例 2 に比べると消費電力が少なくなる。

【 0 0 5 4 】

なお、図 7 の劣化モデル素子 $Y 2$, $Y 3$ の各々を図 3 (b) の素子にすることもできる。その場合は消費電力が実施例 2 と同じになるが、発光素子を流れるのと同じ時間劣化が進むので、電流の時間デューティによる劣化速度の調整は不要である。

【 実施例 4 】

【 0 0 5 5 】

図 1 0 は、本発明の第 4 の実施例である有機 E L を用いたカラー表示パネルの全体構成を示すブロック図である。

【 0 0 5 6 】

表示領域 2 には、マトリクス状に画素が配列し、各画素には有機 E L 発光素子 (不図示) と実施例 1 で説明した図 1 の駆動回路 1 が配置されている。カラー表示するため、各画素は R G B 三原色の E L 素子とそれらを駆動する 3 つ画素の組みから構成される。E L 素子は列方向に同色で 3 列周期で R G B 3 色が配列されている。

【 0 0 5 7 】

駆動回路 1 には対応する列の信号線 4 と走査線 7 が接続される。行を選択する走査線 7 の制御信号によって、選択された行の駆動回路 1 は、対応する信号線 4 に供給される表示信号を取り込む。走査線の制御信号が次行に移行すると、各々の駆動回路 1 が、取り込まれた表示信号に応じた輝度で付随する E L 素子を点灯させる。

【 0 0 5 8 】

各走査線 7 の制御信号は、行クロック $K R$ と行走査開始信号 $S P R$ が入力される行数分のレジスタブロックからなる行レジスタ 6 によって生成される。

【 0 0 5 9 】

各信号線 4 に供給される表示信号は、E L 素子の各列に対応して配置された列数分の列制御回路 3 によって生成される。列制御回路 3 は R , G , B の 3 系統で構成され、各系統の列制御回路 3 には対応する色の映像信号 $V I D E O$ が入力され、R G B 共通のサンプリング信号 $S P$ 及び水平制御信号 8 に同期して表示信号を生成して各列の信号線 4 に供給する。

【 0 0 6 0 】

制御回路 9 には映像信号 $V I D E O 9$ に対応した水平同期信号 $S C$ が入力され水平制御信号 8 を生成する。サンプリング信号 $S P$ は列制御回路 3 の 1 / 3 の数のレジスタからなる列レジスタ 5 によって生成される。列レジスタ 5 には列クロック $K C$ と列走査開始開始信号 $S P C$ 及び主に列レジスタのリセット動作を行なう水平制御信号 8 が入力される。

【 0 0 6 1 】

テスト画像を表示し続けると、それぞれの発光素子の累積電流によって劣化モデル素子 $Y 1$ の電圧が変化する。画素によって駆動電流が異なるので各劣化モデル素子の電圧変化量が異なり、その結果、一定時間経過後、画面全体を白にすると画面全体が一様な発光輝度になり、テスト画像が焼きついて見えないことがない。

【 図面の簡単な説明 】

【 0 0 6 2 】

【 図 1 】 本発明の実施例 1 の駆動回路である。

【 図 2 】 図 1 の駆動回路の動作を説明する図である。

【 図 3 】 劣化モデル素子の具体例と電流対電圧特性である。

【 図 4 】 定電流で駆動したときの発光素子の輝度変化を示す図である。

【 図 5 】 実施例 1 の駆動回路の動作を説明する図である。

【 図 6 】 本発明の第 2 の実施例の駆動回路である。

10

20

30

40

50

【図 7】本発明の第 3 の実施例の駆動回路である。

【図 8】従来の発光素子の駆動回路である。

【図 9】図 1、図 6、図 7、図 8 に使用される走査信号のタイムチャートである。

【図 10】本発明の第 4 の実施例のカラー E L 表示装置のブロック図である。

【符号の説明】

【 0 0 6 3 】

- 1 駆動回路
- 2 表示領域
- 3 列制御回路
- 4 信号線
- 5 列レジスタ
- 6 行レジスタ
- 7 走査線
- 8 水平制御信号
- 9 制御回路

M 1 , M 2 , M 3 , M 4 , M 5 トランジスタ

Y 1 , Y 2 , Y 3 劣化モデル素子

P 1 、 P 2 、 7 走査線

D a t a 、 4 信号線

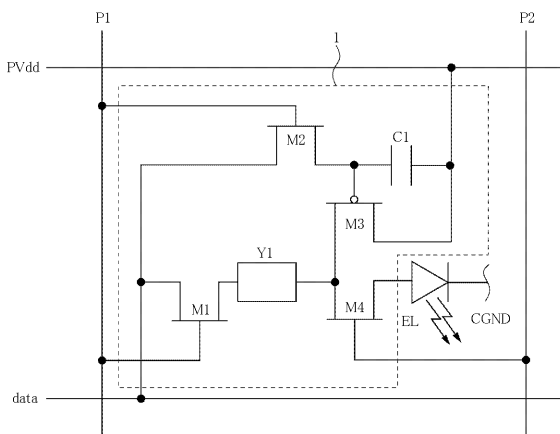
P V d d 電源線

C 1 保持容量

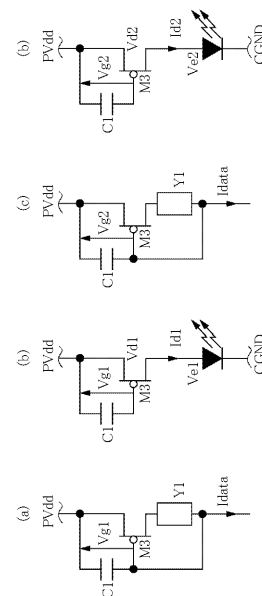
10

20

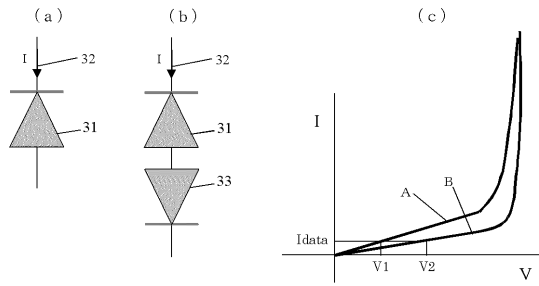
【 図 1 】



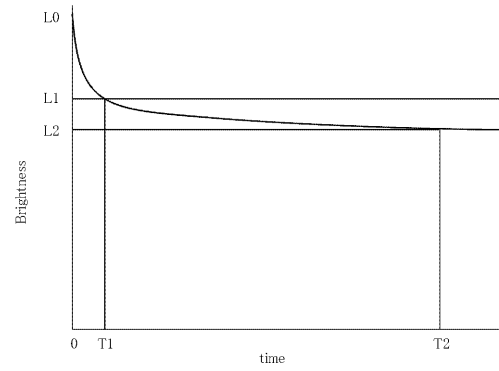
【 図 2 】



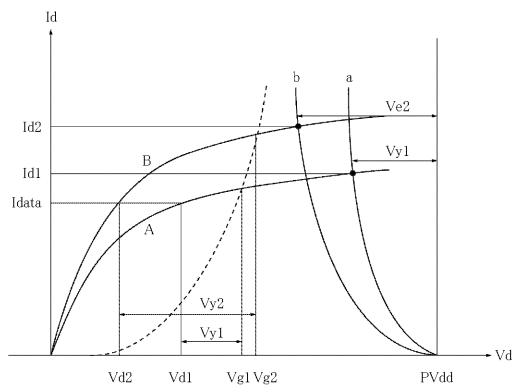
【図 3】



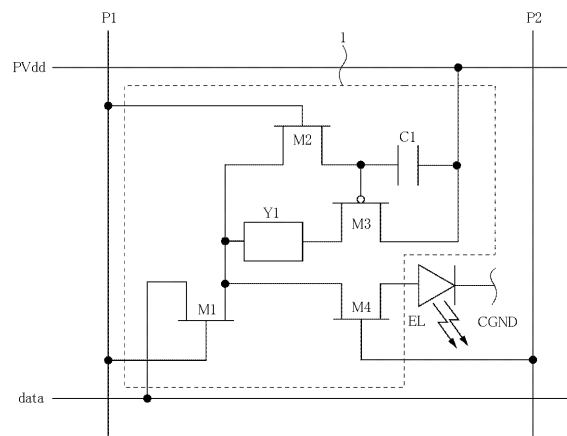
【図 4】



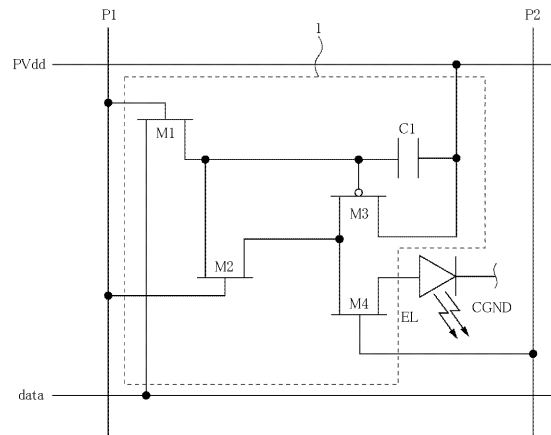
【図 5】



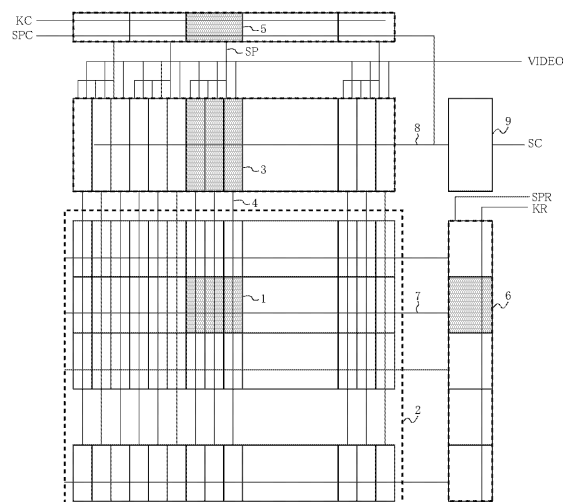
【図 6】



【 図 8 】



【 図 1 0 】



专利名称(译)	有源矩阵显示		
公开(公告)号	JP2009080272A	公开(公告)日	2009-04-16
申请号	JP2007249145	申请日	2007-09-26
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	川崎素明 池田宏治		
发明人	川崎 素明 池田 宏治		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3241 G09G2300/0842 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.J H05B33/14.A G09G3/20.670.K G09G3/3241 G09G3/3266 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC34 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AB41 5C380/BA01 5C380/BA15 5C380/BA28 5C380/BB21 5C380/BD03 5C380/BD09 5C380/BD11 5C380/CA13 5C380/CB01 5C380/CB17 5C380/CC11 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CC68 5C380/CD014 5C380/CD015 5C380/CE19 5C380/CF06 5C380/CF41 5C380/CF46 5C380/DA02 5C380/DA06		
代理人(译)	雄一Uchio		
外部链接	Espacenet		

摘要(译)

解决的问题：根据电流的累积量（电流×时间）降低EL元件的亮度。当用作显示元件时，电流的累积量（电流×时间）因像素而异，从而导致“烙印”现象。驱动晶体管，连接在驱动晶体管的栅极和源极之间的电容器，电阻元件和串联设置在驱动晶体管的漏极和输入端子之间的第一开关，以及当第一开关闭合时，第二开关连接驱动晶体管的栅极和远离驱动晶体管的电阻元件的端子，并且驱动晶体管的漏极电流从输出端子发光。第三开关设置在流过该元件的驱动电流的路径上，其中，电阻元件是电阻值根据电流的累积量而增加的元件，发光元件的驱动电路。[选型图]图1

