

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/053462

発行日 平成26年2月24日 (2014. 2. 24)

(43) 国際公開日 平成24年4月26日 (2012. 4. 26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 641D	
	G09G 3/20 642A	
審査請求 有 予備審査請求 未請求 (全 38 頁) 最終頁に続く		

出願番号	特願2012-539708 (P2012-539708)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2011/073781		シャープ株式会社
(22) 国際出願日	平成23年10月17日 (2011.10.17)		大阪府大阪市阿倍野区長池町2番2号
(31) 優先権主張番号	特願2010-236209 (P2010-236209)	(74) 代理人	100104695
(32) 優先日	平成22年10月21日 (2010.10.21)		弁理士 島田 明宏
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	岸 宣孝
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
		Fターム (参考)	3K107 AA01 BB01 CC33 CC43 CC45
			EE03 HH02 HH04 HH05
		最終頁に続く	

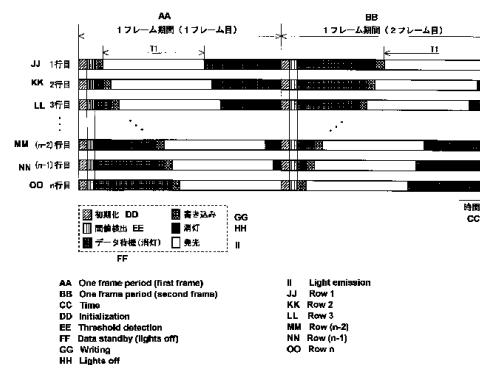
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

簡易な構成で閾値検出のための期間を十分に確保することができ、かつ、輝度ムラの発生を抑止することのできる表示装置を提供する。

表示装置は、複数の画素回路と、複数の走査信号線および複数の制御線に接続されたゲートドライバ回路と、複数の電源線に共通電源線を介して接続された電源制御回路とを備える。画素回路は、有機EL素子と複数のTFTとコンデンサとを含む。各フレーム期間において、初期化および閾値検出が複数の行で一括して行われた後、1行ずつ順次に行き込みおよび発光が行われる。ここで、連続する2フレーム期間のうちの先行するフレーム（1フレーム目）においては、1行目からn行目の順（昇順）に行き込みが行われ、当該2フレーム期間のうちの後続のフレーム（2フレーム目）においては、n行目から1行目の順（降順）に行き込みが行われる。

【図1】



【特許請求の範囲】

【請求項 1】

アクティブマトリクス型の表示装置であって、
複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、

前記複数の画素回路の列に対応して設けられた複数の映像信号線と、

前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と

、
前記複数の画素回路に電源電位を供給するために設けられた複数の電源線と、

前記複数の映像信号線を駆動する列駆動回路と、

前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動回路と

を備え、

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電氣的に接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電氣的に接続する発光制御トランジスタと、

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサと

を含み、

前記複数の行を 1 個または複数個の行グループにグループ化したときの各行グループに着目したとき、前記行駆動回路は、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グループに属する行に対応して設けられている走査信号線および制御線の全てを一括的にアクティブにし、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線を、 k フレーム期間毎 (k は自然数) に選択順序を逆にしつつ、選択的に順次にアクティブにすることを特徴とする、表示装置。

【請求項 2】

前記 k は 1 であることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記複数の電源線を駆動する電源制御回路を更に備えるとともに、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光学素子を初期化するための初期化電位を与えることを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】

前記複数の行は、複数個の行グループにグループ化されていることを特徴とする、請求項 3 に記載の表示装置。

【請求項 5】

同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする、請求項 4 に記載の表示装置。

【請求項 6】

前記複数の行は、３個以上の行グループにグループ化されていることを特徴とする、請求項４に記載の表示装置。

【請求項７】

前記複数の制御線のうちの一群に共通的に接続される共通制御線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記行駆動回路は、前記行グループに属する行の全てについての書き込み期間終了後に、前記行グループに属する全ての行の画素回路内の前記電気光学素子が同じタイミングで発光するように、前記行グループに対応する共通制御線をアクティブにすることを特徴とする、請求項１に記載の表示装置。

【請求項８】

前記複数の行は、１個の行グループにグループ化されていることを特徴とする、請求項７に記載の表示装置。

【請求項９】

前記複数の行は、複数の行グループにグループ化されていることを特徴とする、請求項７に記載の表示装置。

【請求項１０】

前記複数の電源線を駆動する電源制御回路を更に備えるとともに、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、

各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光学素子を初期化するための初期化電位を与えることを特徴とする、請求項７に記載の表示装置。

【請求項１１】

前記複数の行は、複数の行グループにグループ化されていることを特徴とする、請求項１０に記載の表示装置。

【請求項１２】

同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする、請求項１１に記載の表示装置。

【請求項１３】

前記複数の行は、３個以上の行グループにグループ化されていることを特徴とする、請求項１１に記載の表示装置。

【請求項１４】

各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行についての最初の書き込み期間開始前に、前記行駆動回路は、前記行グループに属する行に対応して設けられている走査信号線の全てを一括的にアクティブにし、前記列駆動回路は、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位を前記複数の映像信号線に印加することを特徴とする、請求項１に記載の表示装置。

【請求項１５】

複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、前記複数の画素回路の列に対応して設けられた複数の映像信号線と、前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と、前記複数の画素回路に電源電位を供給するために設けられた複数の電源線とを備えるアクティブマトリクス型の表示装置の駆動方法であって、

前記複数の映像信号線を駆動する列駆動ステップと、

前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動ステップとを備え、

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、

10

20

30

40

50

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電氣的に接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電氣的に接続する発光制御トランジスタと、

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサとを含み、

前記複数の行を１個または複数の行グループにグループ化したときの各行グループに着目したとき、前記行駆動ステップでは、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グループに属する行に対応して設けられている走査信号線および制御線の全てが一括的にアクティブにされ、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線が、 k フレーム期間毎（ k は自然数）に選択順序を逆にされつつ、選択的に順次にアクティブにされることを特徴とする、駆動方法。

【請求項１６】

前記 k は１であることを特徴とする、請求項１５に記載の駆動方法。

【請求項１７】

各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行についての最初の書き込み期間開始前に、前記行駆動ステップでは、前記行グループに属する行に対応して設けられている走査信号線の全てが一括的にアクティブにされ、前記列駆動ステップでは、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位が前記複数の映像信号線に印加されることを特徴とする、請求項１５に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置に関し、より詳しくは、有機ＥＬディスプレイなどの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

【背景技術】

【０００２】

薄型、高画質、低消費電力の表示装置として、従来より有機ＥＬ（Electro Luminescence）ディスプレイが知られている。有機ＥＬディスプレイには、電流で駆動される自発光型表示素子である有機ＥＬ素子およびこれを駆動するための駆動用トランジスタを含む複数の画素回路がマトリクス状に配置されている。

【０００３】

このような有機ＥＬ素子などの電流駆動型表示素子に流される電流量を制御する方式は、データ信号線に流れる電流に基づいて表示素子に流すべき電流を制御する定電流型制御方式（または電流指定型駆動方式）と、データ信号線に印加される電圧に基づいて表示素子に流すべき電流を制御する定電圧型制御方式（または電圧指定型駆動方式）とに大別される。有機ＥＬディスプレイを定電圧型制御方式によって動作させる際には、駆動用トランジスタの閾値電圧のばらつきや、有機ＥＬ素子の経時劣化による高抵抗化から生じる電流減少（輝度低下）を補償する必要がある。これに対して、定電流型制御方式では、上記閾値電圧や有機ＥＬ素子の内部抵抗とは無関係に有機ＥＬ素子に一定の電流が流れるようデータ信号の電流値が制御されるため、通常上記補償は必要とはならない。しかし、定電流型制御方式によると、定電圧型制御方式よりも駆動用トランジスタや配線の数が増加するため、開口率が低下する。このため、定電圧型制御方式が広く採用されている。

【０００４】

定電圧型制御方式を採用する構成において上記補償動作を行う画素回路は、従来より各種の構成が知られている。日本の特開 2006-215275 号公報には、図 28 に示す画素回路 80 が記載されている。この画素回路 80 は、TFT (Thin Film Transistor) 81~85、コンデンサ 86、および有機 EL 素子 87 を含んでいる。画素回路 80 に対して書き込みが行われるときには、まず、TFT 82, 84 をオン状態にすることにより、TFT 85 (駆動用トランジスタ) のゲートソース間電圧が初期化される。次に、TFT 84 および TFT 83 を順にオフ状態にすることにより、TFT 85 の閾値電圧がコンデンサ 86 に保持される。次に、データ線 DTL にデータ電位が印加されると共に、TFT 81 がオン状態にされる。このように各 TFT を制御することにより、TFT 85 の閾値電圧のばらつきや、有機 EL 素子 87 の経時劣化による高抵抗化 (から生じる電流減少) を補償することができる。

10

【0005】

画素回路 80 は、データ線 DTL, 4 本の制御線 WSL, AZL1, AZL2, DSL、および 3 本の電源線 (Vofs 用配線, Vcc 用配線, および Vss 用配線) に接続されている。一般に、画素回路に接続される配線 (特に、制御線) の本数が多いほど、回路は複雑になり、製造コストは高くなる。そこで日本の特開 2006-215275 号公報には、TFT 82 または TFT 84 のソース端子を制御線 WSL に接続した画素回路が記載されている。日本の特開 2007-316453 号公報には、TFT 82 のゲート端子を先行する行の制御線に接続した画素回路が記載されている。このように制御線と電源線とを共通化することにより、配線の本数を削減することができる。

20

【0006】

日本の特開 2007-310311 号公報には、図 29 に示す画素回路 90 が記載されている。画素回路 90 は、TFT 91, TFT 92, コンデンサ 93, および有機 EL 素子 94 を含んでいる。画素回路 90 に対して書き込みが行われるときには、まず、TFT 91 がオン状態にされる。次に、電源線 DSL に初期化電位が印加され、有機 EL 素子 94 のアノード端子に初期化電位が与えられる。次に、電源線 DSL に電源電位を印加することにより、TFT 92 (駆動用トランジスタ) の閾値電圧がコンデンサ 93 に保持される。次に、データ線 DTL にデータ電位が印加される。このように電源線から初期化電位を与えることにより、少ない素子数で TFT 92 の閾値電圧のばらつきを補償することができる。

30

【0007】

また、日本の特開 2007-148129 号公報には、電源線から初期化電位を与え、データ線から基準電位を与える画素回路が記載されている。さらに、日本の特開 2008-33193 号公報には、書き込みを行う前の複数の水平期間で補償動作 (閾値電圧のばらつきを補償するための動作) を行う画素回路が記載されている。さらにまた、日本の特開 2009-237041 号公報には、閾値電圧のばらつき補正処理を複数ラインずつ行い、かつ、ばらつき補正処理を同時に行う複数ラインについての書き込みのための走査順序を 1 フィールド (1 フレーム) 毎に逆にする表示装置が記載されている。

【先行技術文献】

【特許文献】

40

【0008】

【特許文献 1】日本の特開 2006-215275 号公報

【特許文献 2】日本の特開 2007-316453 号公報

【特許文献 3】日本の特開 2007-310311 号公報

【特許文献 4】日本の特開 2007-148129 号公報

【特許文献 5】日本の特開 2008-33193 号公報

【特許文献 6】日本の特開 2009-237041 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

50

図 28 に示す画素回路 80 に対して、日本の特開 2006-215275 号公報や日本の特開 2007-316453 号公報に記載された方法を適用すれば、画素回路に接続される配線の本数を削減することができる。しかしながら、この方法で得られた画素回路には、TFT の個数が多いという問題がある。これに対して、図 29 に示す画素回路 90 では、TFT の個数は少ない。しかしながら、画素回路 90 を使用するときには、電源線 DSL を制御線 WSL と連動して駆動する必要がある。このため、電源制御回路には電源線 DSL と同数の出力バッファが必要となる。また、電源線 DSL の電位を制御線 WSL の選択期間に合わせて短時間で変化させる必要があるので、電源制御回路に設ける出力バッファには大きな電流能力が必要となる。したがって、画素回路 90 については、電源制御回路の回路規模や消費電力が大きくなるという問題がある。

10

【0010】

また、日本の特開 2008-33193 号公報や日本の特開 2009-237041 号公報に記載された方法を適用すれば、補償動作（閾値検出とも呼ばれる）に必要な期間が十分に確保されるものの構成が複雑となる。これに対して、その他の従来例のように補償動作を選択期間内に行うようにすると、構成を簡易にすることができるものの TFT の閾値電圧の検出に必要な期間が充分には確保されない。さらに、補償動作の期間が十分に確保される場合であっても、行ごとの補償動作や書き込みのタイミングによっては画面上に輝度ムラが発生することが懸念される。

【0011】

そこで、本発明は、簡易な構成で閾値検出のための期間を十分に確保することができ、かつ、輝度ムラの発生を抑止することのできる表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【0012】

本発明の第 1 の局面は、アクティブマトリクス型の表示装置であって、複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、

前記複数の画素回路の列に対応して設けられた複数の映像信号線と、

前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と

、
前記複数の画素回路に電源電位を供給するために設けられた複数の電源線と、
前記複数の映像信号線を駆動する列駆動回路と、
前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動回路と
を備え、

30

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、

前記電気光学素子を通る電流の経路上に設けられた駆動用トランジスタと、

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電氣的に接続する書き込み制御トランジスタと、

40

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御線が前記行駆動回路によってアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電氣的に接続する発光制御トランジスタと、

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサと
を含み、

前記複数の行を 1 個または複数個の行グループにグループ化したときの各行グループに着目したとき、前記行駆動回路は、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グルー

50

プに属する行に対応して設けられている走査信号線および制御線の全てを一括的にアクティブにし、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線を、 k フレーム期間毎（ k は自然数）に選択順序を逆にしたつ、選択的に順次にアクティブにすることを特徴とする。

【0013】

本発明の第2の局面は、本発明の第1の局面において、
前記 k は1であることを特徴とする。

【0014】

本発明の第3の局面は、本発明の第1の局面において、
前記複数の電源線を駆動する電源制御回路を更に備えるとともに、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、
各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光学素子を初期化するための初期化電位を与えることを特徴とする。

10

【0015】

本発明の第4の局面は、本発明の第3の局面において、
前記複数の行は、複数の行グループにグループ化されていることを特徴とする。

【0016】

本発明の第5の局面は、本発明の第4の局面において、
同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする。

20

【0017】

本発明の第6の局面は、本発明の第4の局面において、
前記複数の行は、3個以上の行グループにグループ化されていることを特徴とする。

【0018】

本発明の第7の局面は、本発明の第1の局面において、
前記複数の制御線のうちの一群に共通的に接続される共通制御線を前記行グループ毎に更に備え、
各行グループに着目したとき、前記行駆動回路は、前記行グループに属する行の全てについての書き込み期間終了後に、前記行グループに属する全ての行の画素回路内の前記電気光学素子が同じタイミングで発光するよう、前記行グループに対応する共通制御線をアクティブにすることを特徴とする。

30

【0019】

本発明の第8の局面は、本発明の第7の局面において、
前記複数の行は、1個の行グループにグループ化されていることを特徴とする。

【0020】

本発明の第9の局面は、本発明の第7の局面において、
前記複数の行は、複数の行グループにグループ化されていることを特徴とする。

【0021】

本発明の第10の局面は、本発明の第7の局面において、
前記複数の電源線を駆動する電源制御回路を更に備えるとともに、前記複数の電源線のうちの一群に共通的に接続される共通電源線を前記行グループ毎に更に備え、
各行グループに着目したとき、前記電源制御回路は、前記初期化期間に、前記行グループに対応する共通電源線を介して、当該共通電源線に接続されている電源線に前記電気光学素子を初期化するための初期化電位を与えることを特徴とする。

40

【0022】

本発明の第11の局面は、本発明の第10の局面において、
前記複数の行は、複数の行グループにグループ化されていることを特徴とする。

【0023】

50

本発明の第 1 2 の局面は、本発明の第 1 1 の局面において、
同一の行グループに属する複数の電源線が互いに隣接することのないよう、前記複数の行がグループ化されていることを特徴とする。

【0024】

本発明の第 1 3 の局面は、本発明の第 1 1 の局面において、
前記複数の行は、3 個以上の行グループにグループ化されていることを特徴とする。

【0025】

本発明の第 1 4 の局面は、本発明の第 1 の局面において、
各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行についての最初の書き込み期間開始前に、前記行駆動回路は、前記行グループに属する行に対応して設けられている走査信号線の全てを一括的にアクティブにし、前記列駆動回路は、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位を前記複数の映像信号線に印加することを特徴とする。 10

【0026】

本発明の第 1 5 の局面は、複数の行および複数の列を有するマトリクスを形成するように配置された複数の画素回路と、前記複数の画素回路の列に対応して設けられた複数の映像信号線と、前記複数の画素回路の行に対応して設けられた複数の走査信号線および複数の制御線と、前記複数の画素回路に電源電位を供給するために設けられた複数の電源線とを備えるアクティブマトリクス型の表示装置の駆動方法であって、
前記複数の映像信号線を駆動する列駆動ステップと、 20
前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する行駆動ステップと
を備え、

前記画素回路は、

前記電源線から与えられる電流に基づいて発光する電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられた駆動用トランジスタと、

前記駆動用トランジスタの制御端子と前記映像信号線との間に設けられ、前記走査信号線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記制御端子と前記映像信号線とを電氣的に接続する書き込み制御トランジスタと、

前記駆動用トランジスタの一方の導通端子と前記電源線との間に設けられ、前記制御線が前記行駆動ステップでアクティブにされたときに前記駆動用トランジスタの前記一方の導通端子と前記電源線とを電氣的に接続する発光制御トランジスタと、 30

前記駆動用トランジスタの前記制御端子と前記駆動用トランジスタの他方の導通端子との間に設けられたコンデンサと
を含み、

前記複数の行を 1 個または複数個の行グループにグループ化したときの各行グループに着目したとき、前記行駆動ステップでは、フレーム期間開始後の所定期間であって前記電気光学素子を初期化するための初期化期間および当該初期化期間後の所定期間であって前記駆動用トランジスタの閾値電圧のばらつきを補償するための閾値検出期間には、前記行グループに属する行に対応して設けられている走査信号線および制御線の全てが一括的に 40
アクティブにされ、前記閾値検出期間後には、表示すべき画像に応じた電荷を前記コンデンサに蓄積させるための書き込み期間が行毎に設けられるよう、前記行グループに属する行に対応して設けられている走査信号線が、 k フレーム期間毎 (k は自然数) に選択順序を逆にされつつ、選択的に順次にアクティブにされることを特徴とする。

【0027】

本発明の第 1 6 の局面は、本発明の第 1 5 の局面において、
前記 k は 1 であることを特徴とする。

【0028】

本発明の第 1 7 の局面は、本発明の第 1 5 の局面において、
各行グループに着目したとき、前記閾値検出期間後、前記行グループに属する行につい 50

ての最初の書き込み期間開始前に、前記行駆動ステップでは、前記行グループに属する行に対応して設けられている走査信号線の全てが一括的にアクティブにされ、前記列駆動ステップでは、前記駆動用トランジスタを逆バイアス状態にするための逆バイアス電位が前記複数の映像信号線に印加されることを特徴とする。

【発明の効果】

【0029】

本発明の第1の局面によれば、各行グループに着目すると、画素回路内のコンデンサへの書き込みのための走査信号線の選択の順序（走査順序）は所定フレーム期間毎に逆にされる。このため、閾値検出終了時点から書き込み開始時点までの期間（待機期間）の合計の長さは、全ての行でほぼ等しくなる。上記待機期間には駆動用トランジスタや電気光学素子でのリーク電流が生じ得るが、リーク電流による電荷の移動量は全ての行でほぼ等しくなる。その結果、リーク電流に起因する輝度ムラの発生が抑制される。また、各フレーム期間において、各行グループに属する全ての行の画素回路の初期化・閾値検出が一括して行われるので、初期化期間および閾値検出期間を十分に長い期間に設定することができる。このため、仮に駆動能力の比較的小さい回路によって電源線が駆動されていても初期化動作を確実に行うことができ、また、閾値検出が確実に行われるので閾値電圧のばらつきの補償（閾値補償）の精度を向上させることができる。さらに、走査信号線の選択期間中に閾値検出が行われる構成と比較して、書き込み期間を十分に確保することができる。

10

【0030】

本発明の第2の局面によれば、各行グループに着目すると、画素回路内のコンデンサへの書き込みのための走査順序は1フレーム期間毎に逆にされる。このため、画素回路内の駆動用トランジスタや電気光学素子でのリーク電流に起因する輝度ムラの発生が効果的に抑制される。

20

【0031】

本発明の第3の局面によれば、行グループ毎に共通電源線が設けられ、共通電源線を介して電源制御回路から電源線に電源電位および初期化電位が供給される。このため、電源制御回路に設けられるべき出力バッファの個数が電源線の本数よりも少なくなり、電源線を個別に駆動する構成と比較して、電源制御回路の回路規模を小さくすることができる。また、電源線を用いて初期化電位の供給が行われるので、初期化電位供給用の信号線等が不要となり、画素回路内の素子数を少なくすることができる。

30

【0032】

本発明の第4の局面によれば、行グループ毎に好適なタイミングで画素回路の初期化を行うことができる。

【0033】

本発明の第5の局面によれば、隣接する2本の電源線が同一の行グループに属するようグループ化される場合には画面の上半分と下半分で電源線に流れる電流が大きく異なると画面の中央で輝度差が発生することがあるのに対し、複数の共通電源線に流れる電流の量がほぼ同じになるので画面の中央に発生する輝度差を防止することができる。

【0034】

本発明の第6の局面によれば、或る1つの行グループに属する行の画素回路で初期化・閾値検出が行われている期間中、他の2以上の行グループに属する行の画素回路では発光が行われる。このため、発光期間を比較的長くすることが可能となる。

40

【0035】

本発明の第7の局面によれば、行グループ毎に共通制御線が設けられ、共通制御線を介して行駆動回路と各制御線とが電氣的に接続される。このため、制御線を駆動するための回路に設けられるべきピン（端子）の数を制御線の本数よりも少なくすることができる。また、1つの行グループに属する全ての行の画素回路について同じタイミングで発光させることが可能となる。このため、閾値検出終了時点から発光開始時点までの期間の長さが、各行グループに属する全ての行で等しくなる。これにより、画素回路内の駆動用トランジスタに生じるリーク電流の大きさが、各行グループに属する全ての行でほぼ同じになる

50

。その結果、駆動用トランジスタでのリーク電流に起因する輝度ムラの発生が抑制される。

【0036】

本発明の第8の局面によれば、制御線を駆動するための回路の規模を効果的に縮小することができる。また、全ての行の画素回路について同じタイミングで発光させることが可能となるので、駆動用トランジスタでのリーク電流に起因する輝度ムラの発生が効果的に抑制される。

【0037】

本発明の第9の局面によれば、駆動用トランジスタでのリーク電流に起因する輝度ムラの発生を抑制するとともに、行グループ毎に好適なタイミングで画素回路の初期化を行うことができる。

10

【0038】

本発明の第10の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第3の局面と同様の効果が得られる。

【0039】

本発明の第11の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第4の局面と同様の効果が得られる。

【0040】

本発明の第12の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第5の局面と同様の効果が得られる。

20

【0041】

本発明の第13の局面によれば、行グループ毎に共通制御線を備えた構成の表示装置において、本発明の第6の局面と同様の効果が得られる。

【0042】

本発明の第14の局面によれば、各画素回路において、閾値検出の終了時点から書き込みが開始される時点までの期間、駆動用トランジスタの制御端子に逆バイアスが印加される。このため、駆動用トランジスタの閾値特性のシフトが抑制される。ここで、走査信号線は、所定フレーム期間毎に選択順序が逆にされつつ、選択的に順次にアクティブにされる。このため、駆動用トランジスタの制御端子に逆バイアスが印加される累積時間は、全ての行の画素回路でほぼ等しくなる。その結果、行ごとのばらつきを生ずることなく、駆動用トランジスタの閾値特性のシフトが抑制される。

30

【0043】

本発明の第15の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

【0044】

本発明の第16の局面によれば、本発明の第2の局面と同様の効果を表示装置の駆動方法において奏することができる。

【0045】

本発明の第17の局面によれば、本発明の第14の局面と同様の効果を表示装置の駆動方法において奏することができる。

40

【図面の簡単な説明】

【0046】

【図1】本発明の第1の実施形態に係る表示装置における各行の画素回路の動作を示す図である。

【図2】上記第1の実施形態における表示装置の全体構成を示すブロック図である。

【図3】上記第1の実施形態における電源線の接続形態を示す図である。

【図4】上記第1の実施形態における画素回路の構成を示す回路図である。

【図5】上記第1の実施形態における画素回路の駆動方法を示すタイミングチャート（1フレーム目）である。

【図6】上記第1の実施形態における画素回路の駆動方法を示すタイミングチャート（2

50

フレーム目)である。

【図 7】上記第 1 の実施形態の第 1 の変形例における電源線の接続形態を示す図である。

【図 8】上記第 1 の実施形態の第 1 の変形例における各行の画素回路の動作を示す図である。

【図 9】上記第 1 の実施形態の第 2 の変形例における電源線の接続形態を示す図である。

【図 10】上記第 1 の実施形態の第 2 の変形例における各行の画素回路の動作を示す図である。

【図 11】上記第 1 の実施形態の第 3 の変形例における電源線の接続形態を示す図である。

【図 12】上記第 1 の実施形態の第 3 の変形例における各行の画素回路の動作を示す図である。 10

【図 13】本発明の第 2 の実施形態に係る表示装置の全体構成を示すブロック図である。

【図 14】上記第 2 の実施形態における電源線および制御線の接続形態を示す図である。

【図 15】上記第 2 の実施形態における画素回路の駆動方法を示すタイミングチャート (1 フレーム目) である。

【図 16】上記第 2 の実施形態における画素回路の駆動方法を示すタイミングチャート (2 フレーム目) である。

【図 17】上記第 2 の実施形態における各行の画素回路の動作を示す図である。

【図 18】上記第 2 の実施形態の第 1 の変形例における電源線および制御線の接続形態を示す図である。 20

【図 19】上記第 2 の実施形態の第 1 の変形例における各行の画素回路の動作を示す図である。

【図 20】上記第 2 の実施形態の第 2 の変形例における電源線および制御線の接続形態を示す図である。

【図 21】上記第 2 の実施形態の第 2 の変形例における各行の画素回路の動作を示す図である。

【図 22】上記第 2 の実施形態の第 3 の変形例における電源線および制御線の接続形態を示す図である。

【図 23】上記第 2 の実施形態の第 3 の変形例における各行の画素回路の動作を示す図である。 30

【図 24】本発明の第 3 の実施形態における画素回路の駆動方法を示すタイミングチャート (1 フレーム目) である。

【図 25】上記第 3 の実施形態における画素回路の駆動方法を示すタイミングチャート (2 フレーム目) である。

【図 26】上記第 3 の実施形態における各行の画素回路の動作を示す図である。

【図 27】上記第 3 の実施形態の変形例における各行の画素回路の動作を示す図である。

【図 28】従来の表示装置に含まれる画素回路の回路図である。

【図 29】従来の別の表示装置に含まれる画素回路の回路図である。

【発明を実施するための形態】

【0047】 40

以下、添付図面を参照しつつ、本発明の実施形態について説明する。

【0048】

< 1. 第 1 の実施形態 >

< 1. 1 全体構成 >

図 2 は、本発明の第 1 の実施形態に係る表示装置の全体構成を示すブロック図である。図 2 に示す表示装置 100 は、表示制御回路 1、ゲートドライバ回路 2、ソースドライバ回路 3、電源制御回路 4、および $(m \times n)$ 個の画素回路 10 を備えた有機 EL ディスプレイである。以下、 m および n は 2 以上の整数、 i は 1 以上 n 以下の整数、 j は 1 以上 m 以下の整数であるとする。なお、本実施形態においては、ゲートドライバ回路 2 によって行駆動回路が実現され、ソースドライバ回路 3 によって列駆動回路が実現される。 50

【0049】

表示装置100には、互いに並行な n 本の走査信号線 G_i およびこれに直交する互いに並行な m 本のデータ線 S_j が設けられる。 $(m \times n)$ 個の画素回路10は、走査信号線 G_i とデータ線 S_j との各交差点に対応してマトリクス状に配置される。また、走査信号線 G_i と並行に、 n 本の制御線 E_i および n 本の電源線 $V P_i$ が設けられる。さらに、電源制御回路4と電源線 $V P_i$ とを接続するための電流供給用幹配線である共通電源線9が設けられる。走査信号線 G_i および制御線 E_i はゲートドライバ回路2に接続され、データ線 S_j はソースドライバ回路3に接続される。電源線 $V P_i$ は、共通電源線9を介して電源制御回路4に接続される。画素回路10には、図示しない共通電極により共通電位 V_{com} が供給される。なお、ここでは電源線 $V P_i$ の一端が共通電源線9に接続される構成であるが、電源線 $V P_i$ の両端（または3つ以上の接続点）が共通電源線9に接続される構成であってもよい。

10

【0050】

表示制御回路1は、ゲートドライバ回路2、ソースドライバ回路3、および電源制御回路4に各種制御信号を出力する。より詳細には、表示制御回路1は、ゲートドライバ回路2にタイミング信号 $O E$ 、スタートパルス $Y I$ 、およびクロック $Y C K$ を出力し、ソースドライバ回路3にスタートパルス $S P$ 、クロック $C L K$ 、表示データ $D A$ 、およびラッチパルス $L P$ を出力し、電源制御回路4に制御信号 $C S$ を出力する。

【0051】

ゲートドライバ回路2は、シフトレジスタ回路、論理演算回路、およびバッファを含んでいる。シフトレジスタ回路は、クロック $Y C K$ に同期してスタートパルス $Y I$ を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 $O E$ との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査信号線 G_i および制御線 E_i に与えられる。1本の走査信号線 G_i には、 m 個の画素回路10が接続されている。画素回路10は、走査信号線 G_i を用いて m 個ずつ一括して選択される。上記タイミング信号 $O E$ については、論理演算回路の構成によっては複数の信号で構成される。なお、本実施形態においては、ゲートドライバ回路2には、走査信号線 G_i を駆動する走査信号線駆動回路として機能する部分と制御線 E_i を駆動する制御線駆動回路として機能する部分とが含まれている。

20

【0052】

ソースドライバ回路3は、 m ビットのシフトレジスタ5、レジスタ6、ラッチ回路7、および m 個の D/A 変換器8を含んでいる。シフトレジスタ5は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルス $S P$ をクロック $C L K$ に同期して転送し、各段のレジスタからタイミングパルス $D L P$ を出力する。タイミングパルス $D L P$ の出力タイミングに合わせて、レジスタ6には表示データ $D A$ が供給される。レジスタ6は、タイミングパルス $D L P$ に従い、表示データ $D A$ を記憶する。レジスタ6に1行分の表示データ $D A$ が記憶されると、表示制御回路1はラッチ回路7に対してラッチパルス $L P$ を出力する。ラッチ回路7は、ラッチパルス $L P$ を受け取ると、レジスタ6に記憶された表示データを保持する。 D/A 変換器8は、データ線 S_j に対応して設けられる。 D/A 変換器8は、ラッチ回路7に保持された表示データをアナログ電圧に変換し、得られたアナログ電圧をデータ線 S_j に印加する。

30

40

【0053】

電源制御回路4は、 p 本の共通電源線9に対応して、 p 個の出力端子を有する。電源制御回路4は、制御信号 $C S$ に基づき、共通電源線9に電源電位および初期化電位を切り替えて印加する。 $p = 1$ のとき、全ての電源線 $V P_i$ は1本の共通電源線9に接続される。この場合、電源制御回路4は、1本の共通電源線9に所定のタイミングで初期化電位を印加する。 $p \geq 2$ のとき、電源線 $V P_i$ は p 個のグループに分類され、各グループに含まれる電源線は同じ共通電源線9に接続される。この場合、電源制御回路4は、 p 本の共通電源線9に互いに異なるタイミングで初期化電位を印加する。以下、電源電位はハイレベル電位であって初期化電位はローレベル電位であることを前提に説明する。

50

【0054】

なお、ここではまず $p = 1$ の場合を例に挙げて説明し、 $p \geq 2$ の場合については変形例として後述する（ $p = 2$ の場合：第1の変形例および第2の変形例、 $p = 3$ の場合：第3の変形例）。図3は、本実施形態における電源線 VP_i の接続形態を示す図である。図3に示すように、表示装置100には、電源制御回路4aと電源線 VP_i とを接続するために、1本の共通電源線111が設けられている。共通電源線111の一端は電源制御回路4aが有する1個の出力端子に接続され、全ての電源線 VP_i は共通電源線111に接続されている。すなわち、本実施形態においては、1～ n 行目によって1つの行グループが構成されている。なお、この共通電源線111は電流供給用幹配線であることを前提に説明しているが、全ての電源線 VP_i を電源制御回路4aに共通的に接続することができる配線であれば幹配線でなくてもよい。また、共通電源線の本数、共通電源線と電源線 VP_i との接続位置については周知のあらゆる構成を適用することができる。

10

【0055】

<1.2 画素回路の構成>

図4は、画素回路10の構成を示す回路図である。図4に示すように、画素回路10は、 $TFT_{11} \sim 13$ 、コンデンサ15、および有機EL素子16を含んでいる。 $TFT_{11} \sim 13$ は、いずれもNチャンネル型トランジスタである。 TFT_{11} は、書き込み制御トランジスタとして機能する。 TFT_{12} は、駆動用トランジスタとして機能する。 TFT_{13} は、発光制御トランジスタとして機能する。有機EL素子16は、電気光学素子として機能する。

20

【0056】

なお、本明細書において、電気光学素子とは、有機EL素子の他、FED（Field Emission Display）、LED、電荷駆動素子、液晶、Eインク（Electronic Ink）など、電気を与えることにより光学的な特性が変化する全ての素子をいうものとする。また、以下では電気光学素子として有機EL素子を例示するが、電流量に応じて発光量が制御される発光素子であれば同様の説明が可能である。

【0057】

図4に示すように、画素回路10は、走査信号線 G_i 、制御線 E_i 、データ線 S_j 、電源線 VP_i 、および共通電位 V_{com} を有する電極に接続される。 TFT_{11} については、一方の導通端子はデータ線 S_j に接続され、他方の導通端子は TFT_{12} のゲート端子に接続される。 TFT_{13} については、ドレイン端子は電源線 VP_i に接続され、ソース端子は TFT_{12} のドレイン端子に接続される。 TFT_{12} のソース端子は、有機EL素子16のアノード端子に接続される。有機EL素子16のカソード端子には、共通電位 V_{com} が印加される。コンデンサ15は、 TFT_{12} のゲート端子とソース端子の間に設けられる。 TFT_{11} のゲート端子は走査信号線 G_i に接続され、 TFT_{13} のゲート端子は制御線 E_i に接続される。

30

【0058】

<1.3 駆動方法>

図5および図6は、本実施形態における画素回路10の駆動方法を示すタイミングチャートである。なお、図5は、連続する2フレーム期間のうちの先行するフレーム（「1フレーム目」とする。）におけるタイミングチャートであり、図6は、当該2フレーム期間のうちの後続のフレーム（「2フレーム目」とする。）におけるタイミングチャートである。図5および図6において、 VG_i は i 行目の画素回路10に含まれる TFT_{12} のゲート電位を表し、 VS_i は当該 TFT_{12} のソース電位（有機EL素子16のアノード電位）を表している。画素回路10は、1フレーム期間に1回ずつ、初期化、閾値検出（ TFT_{12} の閾値検出）、書き込み、および発光を行い、発光期間以外の期間では消灯する。なお、発光（および消灯）するのは有機EL素子16であるが、画素回路10にはこの有機EL素子16が含まれるため、以下では「画素回路10が発光する」、「画素回路10が消灯する」と表現する。また、フレーム期間とは、1つの画像を表示するための単位期間であって、黒挿入期間等が含まれていてもよく、種々の長さに設定可能である。

40

50

【0059】

図5を参照しつつ、1フレーム目における1行目の画素回路10の動作を説明する。時刻 t_{11} より前では、走査信号線G1および制御線E1の電位はローレベルであり、電源線VP1の電位はハイレベルである。時刻 t_{11} において、走査信号線G1および制御線E1の電位はハイレベルに変化する（アクティブとなる）。これにより、TFT11およびTFT13はオン状態になる。また、時刻 t_{11} には、電源線VP1の電位はローレベルに変化する。なお、以下、電源線VPiのローレベル電位をVP_Lという。電位VP_Lには、十分に低い電位、具体的には、時刻 t_{11} 直前のTFT12のゲート電位よりも低い電位が使用される。また、時刻 t_{11} にはデータ線Sjには基準電位Vrefが印加されており、上述したようにTFT11がオン状態になることから、基準電位VrefがTFT12のゲートに与えられる。その基準電位Vrefは比較的高いレベルに設定されており、TFT12はオン状態になる。上述したようにTFT13もオン状態になっていることから、TFT12のソース電位VS1はVP_Lにほぼ等しくなる。

10

【0060】

時刻 t_{12} において、電源線VP1の電位はハイレベルに変化する。このときデータ線Sjには基準電位Vrefが印加されている。この基準電位Vrefは、上述した時刻 t_{11} の直後にTFT12がオン状態になり、かつ、時刻 t_{12} 以降に有機EL素子16に対する印加電圧が発光閾値電圧を超えないように決定される。このため、時刻 t_{12} 以降、TFT12はオン状態で維持されるが、有機EL素子16に電流は流れない。したがって、電源線VP1からTFT13とTFT12を経由してTFT12のソース端子に電流が流れ込み、TFT12のソース電位VS1は上昇する。TFT12のソース電位VS1は、ゲートソース間電圧Vgsが閾値電圧Vthに等しくなるまで上昇し、(Vref - Vth)に到達する。

20

【0061】

時刻 t_{13} において、走査信号線G1の電位はローレベルに変化する。これにより、TFT11はオフ状態になる。また、制御線E1の電位もローレベルに変化するので、時刻 t_{13} 以降、TFT13はオフ状態になる。このため、TFT12のソース電位VS1は、ほぼ(Vref - Vth)のまま維持される。

【0062】

時刻 t_{14} において、走査信号線G1の電位はハイレベルに変化し、データ線Sjの電位は表示データに応じたレベルになる。なお、以下、このときのデータ線Sjの電位をデータ電位Vdaiという。時刻 t_{14} 以降、TFT11はオン状態になり、TFT12のゲート電位VG1はVrefからVdaiに変化する。時刻 t_{14} 以降におけるTFT12のゲートソース間電圧Vgsは、次式(1)で与えられる。

30

$$V_{gs} = \{C_{OLED} / (C_{OLED} + C_{st})\} \times (V_{dai} - V_{ref}) + V_{th} \quad \cdots (1)$$

ただし、上式(1)において、C_{OLED}は有機EL素子16の容量値であり、C_{st}はコンデンサ15の容量値である。

【0063】

有機EL素子16の容量値は十分に大きく、C_{OLED} ≫ C_{st}が成立する。このため、上式(1)を次式(2)に変形する（近似させる）ことができる。

40

$$V_{gs} = V_{dai} - V_{ref} + V_{th} \quad \cdots (2)$$

このように、TFT12のゲート電位VG1がVrefからVdaiに変化したときに、TFT12のソース電位VS1はほとんど変化せず、TFT12のゲートソース間電圧Vgsはほぼ(Vdai - Vref + Vth)になる。

【0064】

時刻 t_{15} において、走査信号線G1の電位はローレベルに変化する。時刻 t_{15} 以降、TFT11はオフ状態になる。このため、TFT12のゲートソース間電圧Vgsは、データ線Sjの電位が変化しても、ほぼ(Vdai - Vref + Vth)のまま維持される。

50

【0065】

時刻 t_{16} において、制御線 E_1 の電位はハイレベルに変化する。時刻 t_{16} 以降、 TFT_{13} はオン状態になり、 TFT_{12} のドレイン端子は TFT_{13} を介して電源線 VP_1 に接続される。このとき電源線 VP_1 の電位はハイレベルであるので、電源線 VP_1 から TFT_{13} と TFT_{12} とを経由して TFT_{12} のソース端子に電流が流れ、 TFT_{12} のソース電位 VS_1 は上昇する。この時点で TFT_{12} のゲート端子はフローティング状態にある。したがって、 TFT_{12} のソース電位 VS_1 が上昇すると、 TFT_{12} のゲート電位 VG_1 も上昇する。このとき、 TFT_{12} のゲートソース間電圧 V_{gs} はほぼ一定に保たれる。

【0066】

電源線 VP_1 に印加されるハイレベル電位は、発光期間（時刻 $t_{16} \sim t_{17}$ ）において TFT_{12} が飽和領域で動作するように決定される。このため、発光期間において TFT_{12} を流れる電流 I は、チャンネル長変調効果を見做すれば、次式（3）で与えられる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} (V_{gs} - V_{th})^2 \dots (3)$$

ただし、上式（3）において、 W はゲート幅、 L はゲート長、 μ はキャリア移動度、 C_{ox} はゲート酸化膜容量である。

【0067】

そして、上式（2）と上式（3）から、次式（4）が導かれる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot C_{ox} (V_{da1} - V_{ref})^2 \dots (4)$$

【0068】

上式（4）に示す電流 I は、データ電位 V_{da1} に応じて変化するが、 TFT_{12} の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} がばらつく場合や、閾値電圧 V_{th} が経時的に変化する場合でも、有機 EL 素子 16 にデータ電位 V_{da1} に応じた電流を流し、有機 EL 素子 16 を所望の輝度で発光させることができる。

【0069】

時刻 t_{17} において、制御線 E_1 の電位はローレベルに変化する。時刻 t_{17} 以降、 TFT_{13} はオフ状態になる。このため、有機 EL 素子 16 に電流は流れず、画素回路 10 は消灯する。

【0070】

以上のように、1 行目の画素回路 10 は、時刻 t_{11} から時刻 t_{12} までの期間に初期化を行い、時刻 t_{12} から時刻 t_{13} までの期間に閾値検出を行い、時刻 t_{14} から時刻 t_{15} までの期間に書き込みを行い、時刻 t_{16} から時刻 t_{17} までの期間に発光し、時刻 t_{16} から時刻 t_{17} までの期間以外の期間には消灯する。

【0071】

2 行目の画素回路 10 は、1 行目の画素回路 10 と同様に時刻 t_{11} から時刻 t_{12} までの期間に初期化を行って時刻 t_{12} から時刻 t_{13} までの期間に閾値検出を行い、1 行目の画素回路 10 から所定時間 T_a だけ遅れて、書き込みおよび発光を行う。一般に、 i 行目の画素回路 10 は、他の行の画素回路 10 と同じ期間に初期化および閾値検出を行い、 $(i-1)$ 行目の画素回路 10 から時間 T_a だけ遅れて、書き込みおよび発光を行う。このように、1 フレーム目においては、行ごとの画素回路 10 の書き込みおよび発光は昇順で行われる。

【0072】

次に、2 フレーム目における画素回路 10 の動作について説明する。図 6 から把握されるように、2 フレーム目においても、まず全ての行の画素回路 10 で初期化と閾値検出が行われる。その後、1 フレーム目とは逆の順序で（降順で）、書き込みおよび発光が行われる。すなわち、全ての行の画素回路 10 は、時刻 t_{21} から時刻 t_{22} までの期間に初期化を行い、時刻 t_{22} から時刻 t_{23} までの期間に閾値検出を行う。その後、 n 行目から 1 行目までの画素回路 10 が、降順で所定時間 T_a ずつ遅れて、書き込みおよび発光を行う。一般に、 i 行目の画素回路 10 は、他の行の画素回路 10 と同じ期間に初期化および閾値検出を行い、 $(i+1)$ 行目の画素回路 10 から時間 T_a だけ遅れて、書き込み

10

20

30

40

50

および発光を行う。このように、2フレーム目においては、行ごとの画素回路10の書き込みおよび発光は降順で行われる。

【0073】

以上のように、本実施形態においては、全てのフレームで、まず全ての行の画素回路10で初期化と閾値検出とが行われる。その後、1フレーム毎に走査順序が逆になるように、1行ずつ画素回路10での書き込みおよび発光が行われる。

【0074】

図1は、本実施形態における各行の画素回路10の動作を示す図である。電源制御回路4aは、1フレーム目においても2フレーム目においても、1フレーム期間の先頭で所定時間だけ共通電源線111にローレベル電位（初期化電位）を印加する。このため、全ての行の画素回路10は、1フレーム期間の先頭で初期化を行う。次に、1フレーム目においても2フレーム目においても、初期化直後に全ての行の画素回路10は、閾値検出を行う。続いて、1フレーム目においては、1行目の画素回路10が選択され、1行目の画素回路10が書き込みを行う。次に2行目の画素回路10が選択され、2行目の画素回路10が書き込みを行う。以下、同様に、3～n行目の画素回路10が行ごとに順に選択され、選択された画素回路10が書き込みを行う。一方、2フレーム目においては、閾値検出後、n行目の画素回路10が選択され、n行目の画素回路10が書き込みを行う。次に（n-1）行目の画素回路10が選択され、（n-1）行目の画素回路10が書き込みを行う。以下、同様に、（n-2）～1行目の画素回路10が行ごとに1フレーム目とは逆の順に選択され、選択された画素回路10が書き込みを行う。

【0075】

各行の画素回路10は、閾値検出から書き込み直前までの期間では消灯する。ところで、各行の画素回路10は同じ時間だけ発光する必要がある。また、1フレーム目にはn行目の画素回路10の発光が当該フレーム期間の最後までに完了する必要がある。さらに、2フレーム目には1行目の画素回路10の発光が当該フレーム期間の最後までに完了する必要がある。このため、各行の画素回路10は、書き込み後に一定時間T1だけ発光し、それ以外の期間には消灯する。

【0076】

一般的な表示装置では、（全ての行の）画素回路10に対する書き込みは、1フレーム期間かけて行われる。これに対して、本実施形態では、図1に示すように、（約1/2フレームの発光期間を確保するために）画素回路10に対する書き込みは約1/2フレーム期間かけて行われる。このため、画素回路10の走査速度は、通常の約2倍になる。なお、この例では、画素回路10の発光期間の長さT1は約1/2フレーム期間となっているが、画素回路10の走査速度を通常の約2倍にしたまま発光期間の長さを1/2フレーム期間よりも短くしてもよい。あるいは、画素回路10の走査速度を通常の約2倍より速くして、発光期間の長さを1/2フレーム期間より長くしてもよい。

【0077】

<1.4 効果>

本実施形態に係る表示装置は、マトリクス状に配置された複数の画素回路10と、画素回路10の行に対応して設けられた複数の走査信号線Giおよび複数の制御線Eiと、画素回路10の列に対応して設けられた複数のデータ線Sjと、画素回路10に電源電位を供給するために設けられた複数の電源線VPiと、n本の電源線VPiに接続された共通電源線9（111）と、走査信号線Giおよび制御線Eiを駆動するゲートドライバ回路2と、データ線Sjを駆動するソースドライバ回路3と、電源線VPiを駆動する電源制御回路4（4a）とを備えている。画素回路10は、有機EL素子16（電気光学素子）と、有機EL素子16を流れる電流の経路上に設けられたTF T12（駆動用トランジスタ）と、TF T12のゲート端子とデータ線Sjとの間に設けられたTF T11（書き込み制御トランジスタ）と、TF T12のドレイン端子と電源線VPiとの間に設けられたTF T13（発光制御トランジスタ）と、TF T12のソース端子とゲート端子との間に設けられたコンデンサ15とを含んでいる。本実施形態によれば、以上のような構成にお

いて、全てのフレームで、全ての行の画素回路10が初期化および閾値検出を行った後、画素回路10が行ごとに順に選択される。選択された画素回路10は、駆動用トランジスタとして機能するTFT12のソース端子とゲート端子との間に設けられたコンデンサ15への書き込みおよび当該書き込みに基づく発光を行う。ところで、上述したように、閾値検出の際には有機EL素子16に対する印加電圧が発光閾値電圧を超えないようにされ、閾値検出後、書き込みが開始されるまでの期間、TFT12のゲートソース間電圧 V_{gs} が閾値電圧 V_{th} に等しくなった状態で維持される。このため、図5および図6に示すように、閾値検出終了時点から書き込み開始時点までの期間（以下、「待機期間」という。）には、TFT12のソース電位 V_{Si} すなわち有機EL素子16のアノード電位は理想的には維持される。しかしながら、TFT12や有機EL素子16でのリーク電流による電荷の移動は必ずしも零ではない。従って、待機期間の長さによって、書き込みが行われる際の有機EL素子16のアノード電位が行ごとに異なることがある。例えば、有機EL素子16でのリーク電流に起因して、待機期間の短い行では相対的にアノード電位が高くなり、待機期間の長い行では相対的にアノード電位が低くなるということが考えられる。このようなことが生じると、或る一定の輝度値のデータ信号に基づく書き込みが行われても、走査順序（行ごとの画素回路10の選択順序）によって実際に画面上に現れる輝度が異なることとなる。その結果、輝度ムラが発生する。この点、本実施形態によれば、1フレーム毎に走査順序が逆にされる。このため、2フレーム期間を1単位期間とすると、1単位期間中の待機期間の合計の長さは全ての行で等しくなる。これにより、TFT12や有機EL素子16でのリーク電流による電荷の移動量は、全ての行で等しくなる。その結果、書き込みが行われる際の有機EL素子16のアノード電位の変動量が全ての画素回路10においてほぼ等しくなり、輝度ムラの発生が抑制される。

10

20

【0078】

また、各フレーム期間の先頭で全ての行の画素回路10の初期化が一括して行われるので、初期化期間を適宜の期間、典型的には選択期間よりも長い期間に設定することができる。このため、電源制御回路4に含まれる出力バッファの電流能力が小さい場合であっても十分に駆動することができる。さらに、電源制御回路4は、全ての電源線 V_{Pi} に電氣的に接続された1つの共通電源線9を駆動する。したがって、電源線 V_{Pi} を個別に駆動する構成よりも、電源制御回路4に設けられるべき出力バッファを大幅に削減し、電源制御回路4の回路規模を小さくすることができる。また、電源線 V_{Pi} を用いて初期化電位の供給が行われるので、初期化電位供給用の信号線等が不要となり、画素回路10内の素子数を少なくすることができる。さらに、電源の駆動回数を1フレームで1回とすることができるので、例えば画素回路10の行数に相当する回数を駆動する場合よりも消費電力を低減することができる。また、共通電源線9が1つ（または少ない数）であることにより、電源供給用の配線領域の面積を小さくすることができる。

30

【0079】

さらにまた、全ての行の画素回路10で閾値検出が一括して行われるので、閾値検出期間を適宜の期間、典型的には選択期間よりも長い期間に設定することができる。このため、閾値検出を確実に行うことができ、閾値補償の精度を向上させることができる。また、選択期間中に閾値検出が行われる構成に比べて、画素データの書き込み期間を十分に確保することができる。そのため、例えば3次元画像表示装置（3Dテレビ）などのように書き込み期間が短い構成すなわち高速で駆動が行われる構成においても、本発明を容易に適用することができる。

40

【0080】

また、上述したように、各行の画素回路10は、書き込み後に一定時間 T_1 だけ発光し、それ以外の期間には消灯する。これにより、全ての行の画素回路10の発光期間の長さが等しくなり、輝度のばらつきが抑えられる。さらに、画素回路10は発光期間以外の期間には消灯するので、黒挿入を行う場合と同様に、動画性能を向上させることができる。

【0081】

さらにまた、画素回路10に含まれる全てのトランジスタは、Nチャネル型である。こ

50

のように画素回路 10 に含まれるトランジスタを同じ導電型で構成することにより、表示装置のコストを削減することができる。

【0082】

なお、本実施形態においては、1 フレーム毎に走査順序が逆になる構成としているが、本発明はこれに限定されず、2 フレーム毎、3 フレーム毎など複数フレーム毎に走査順序が逆になる構成にしても良い。これについては、後述する変形例や他の実施形態においても同様である。

【0083】

< 1. 5 変形例 >

< 1. 5. 1 第 1 の変形例 >

図 7 は、上記第 1 の実施形態の第 1 の変形例における電源線 VP_i の接続形態を示す図である。本変形例においては、表示装置 100 には、電源制御回路 4b と電源線 VP_i とを接続するために、2 本の共通電源線 121, 122 が設けられる。共通電源線 121, 122 の一端は、電源制御回路 4b が有する 2 個の出力端子にそれぞれ接続される。電源線 $VP_1 \sim VP_{(n/2)}$ は共通電源線 121 に接続され、電源線 $VP_{(n/2+1)} \sim VP_n$ は共通電源線 122 に接続される。すなわち、本変形例においては、 $1 \sim (n/2)$ 行目によって 1 つの行グループが構成され、 $(n/2+1) \sim n$ 行目によって別の 1 つの行グループが構成されている。

【0084】

図 8 は、本変形例における各行の画素回路 10 の動作を示す図である。電源制御回路 4b は、1 フレーム目においても 2 フレーム目においても、1 フレーム期間の先頭で所定時間だけ共通電源線 121 にローレベル電位を印加し、 $1/2$ フレーム期間経過後に所定時間だけ共通電源線 122 にローレベル電位を印加する。このため、 $1 \sim (n/2)$ 行目の画素回路 10 は 1 フレーム期間の先頭で初期化を行い、 $(n/2+1) \sim n$ 行目の画素回路 10 は $1/2$ フレーム期間だけ遅れて初期化を行う。

【0085】

1 フレーム目においても 2 フレーム目においても、1 回目の初期化後に $1 \sim (n/2)$ 行目の全ての画素回路 10 が同時に選択され、2 回目の初期化後に $(n/2+1) \sim n$ 行目の全ての画素回路 10 が同時に選択される。選択された画素回路 10 が閾値検出を行う。

【0086】

1 フレーム目においては、1 回目の閾値検出後に $1 \sim (n/2)$ 行目の画素回路 10 が昇順で選択され、2 回目の閾値検出後に $(n/2+1) \sim n$ 行目の画素回路 10 が昇順で選択される。選択された画素回路 10 が書き込みを行う。各行の画素回路 10 は、書き込み後に一定時間 T_2 だけ発光し、それ以外の期間には消灯する。2 フレーム目においては、1 回目の閾値検出後に $1 \sim (n/2)$ 行目の画素回路 10 が降順で選択され、2 回目の閾値検出後に $(n/2+1) \sim n$ 行目の画素回路 10 が降順で選択される。選択された画素回路 10 が書き込みを行う。各行の画素回路 10 は、書き込み後に一定時間 T_2 だけ発光し、それ以外の期間には消灯する。図 8 に示す例では、画素回路 10 の走査速度は通常と同じであり、画素回路 10 の発光期間の長さ T_2 は約 $1/2$ フレーム期間となる。

【0087】

なお、 $(n/2+1) \sim n$ 行目によって構成される行グループに着目すると、「時刻 t_{01} に或るフレーム期間が開始して、時刻 t_{02} に当該フレーム期間が終了する」と考えることもできる。第 2 の変形例以下についても、同様に考えることができる。

【0088】

本変形例によれば、電源制御回路 4 (4b) に設けられるべき出力バッファの個数が電源線 VP_i の本数よりも少なくなり、電源線 VP_i を個別に駆動する構成と比較して、電源制御回路 4 (4b) の回路規模を小さくすることができる。また、共通電源線 121 と共通電源線 122 とに互いに異なるタイミングで初期化電位を印加することにより、画素回路 10 の選択期間に合わせて好適なタイミングで画素回路 10 の初期化を行うことがで

10

20

30

40

50

きる。

【0089】

< 1. 5. 2 第2の変形例 >

図9は、上記第1の実施形態の第2の変形例における電源線 VP_i の接続形態を示す図である。本変形例においては、表示装置100には、電源制御回路4cと電源線 VP_i とを接続するために、2本の共通電源線131, 132が設けられる。共通電源線131, 132の一端は、電源制御回路4cが有する2個の出力端子にそれぞれ接続される。奇数行目の電源線 $VP_1, VP_3, \dots, VP(n-1)$ は共通電源線131に接続され、偶数行目の電源線 $VP_2, VP_4, \dots, VP_n$ は共通電源線132に接続される（ここでは、 n は偶数とする）。すなわち、本変形例においては、奇数行目によって1つの行グループが構成され、偶数行目によって別の1つの行グループが構成されている。

10

【0090】

図10は、本変形例における各行の画素回路10の動作を示す図である。電源制御回路4cは、1フレーム目においても2フレーム目においても、1フレーム期間の先頭で所定時間だけ共通電源線131にローレベル電位を印加し、1/2フレーム期間経過後に所定時間だけ共通電源線132にローレベル電位を印加する。このため、奇数行目の画素回路10は1フレーム期間の先頭で初期化を行い、偶数行目の画素回路10は1/2フレーム期間だけ遅れて初期化を行う。

【0091】

1フレーム目においても2フレーム目においても、1回目の初期化後に奇数行目の全ての画素回路10が同時に選択され、2回目の初期化後に偶数行目の全ての画素回路10が同時に選択される。選択された画素回路10が閾値検出を行う。

20

【0092】

1フレーム目においては、1回目の閾値検出後に奇数行目の画素回路10が昇順で選択され、2回目の閾値検出後に偶数行目の画素回路10が昇順で選択される。選択された画素回路10が書き込みを行う。各行の画素回路10は、書き込み後に一定時間 T_3 だけ発光し、それ以外の期間には消灯する。2フレーム目においては、1回目の閾値検出後に奇数行目の画素回路10が降順で選択され、2回目の閾値検出後に偶数行目の画素回路10が降順で選択される。選択された画素回路10が書き込みを行う。各行の画素回路10は、書き込み後に一定時間 T_3 だけ発光し、それ以外の期間には消灯する。図10に示す例では、画素回路10の走査速度は通常と同じであり、画素回路10の発光期間の長さ T_3 は約1/2フレーム期間となる。

30

【0093】

上述した第1の変形例によれば、画素回路10に対して表示画面内の順序に従って書き込みを行うことができる。しかしながら、画面の上半分と下半分で輝度が大きく異なる場合など、共通電源線121, 122（図7参照）を流れる電流の量が大きく異なる場合には、画面の中央で輝度差が発生することがある。この点、第2の変形例によれば、共通電源線131, 132を流れる電流の量は多くの場合ほぼ同じになるので、画面の中央に発生する輝度差を防止することができる。

【0094】

< 1. 5. 3 第3の変形例 >

図11は、上記第1の実施形態の第3の変形例における電源線 VP_i の接続形態を示す図である。本変形例においては、表示装置100には、電源制御回路4dと電源線 VP_i とを接続するために、3本の共通電源線141~143が設けられる。共通電源線141~143の一端は、電源制御回路4dが有する3個の出力端子にそれぞれ接続される。電源線 $VP_1 \sim VP(n/3)$ は共通電源線141に接続され、電源線 $VP(n/3+1) \sim VP(2n/3)$ は共通電源線142に接続され、電源線 $VP(2n/3+1) \sim VP_n$ は共通電源線143に接続される。すなわち、本変形例においては、1~($n/3$)行目によって第1の行グループが構成され、($n/3+1$)~($2n/3$)行目によって第2の行グループが構成され、($2n/3+1$)~ n 行目によって第3の行グループが構成

40

50

されている。

【0095】

図12は、本変形例における各行の画素回路10の動作を示す図である。電源制御回路4dは、1フレーム目においても2フレーム目においても、1フレーム期間の先頭で所定時間だけ共通電源線141にローレベル電位を印加し、1/3フレーム期間経過後に所定時間だけ共通電源線142にローレベル電位を印加し、さらに1/3フレーム期間経過後に所定時間だけ共通電源線143にローレベル電位を印加する。このため、1～(n/3)行目の画素回路10は1フレーム期間の先頭で初期化を行い、(n/3+1)～(2n/3)行目の画素回路10は1/3フレーム期間だけ遅れて初期化を行い、(2n/3+1)～n行目の画素回路10はさらに1/3フレーム期間だけ遅れて初期化を行う。

10

【0096】

1フレーム目においても2フレーム目においても、1回目の初期化後に1～(n/3)行目の全ての画素回路10が同時に選択され、2回目の初期化後に(n/3+1)～(2n/3)行目の全ての画素回路10が同時に選択され、3回目の初期化後に(2n/3+1)～n行目の全ての画素回路10が同時に選択される。選択された画素回路10が閾値検出を行う。

【0097】

1フレーム目においては、1回目の閾値検出後に1～(n/3)行目の画素回路10が昇順で選択され、2回目の閾値検出後に(n/3+1)～(2n/3)行目の画素回路10が昇順で選択され、3回目の閾値検出後に(2n/3+1)～n行目の画素回路10が昇順で選択される。選択された画素回路10が書き込みを行う。各行の画素回路10は、書き込み後に一定時間T4だけ発光し、それ以外の期間には消灯する。2フレーム目においては、1回目の閾値検出後に1～(n/3)行目の画素回路10が降順で選択され、2回目の閾値検出後に(n/3+1)～(2n/3)行目の画素回路10が降順で選択され、3回目の閾値検出後に(2n/3+1)～n行目の画素回路10が降順で選択される。選択された画素回路10が書き込みを行う。各行の画素回路10は、書き込み後に一定時間T4だけ発光し、それ以外の期間には消灯する。図12に示す例では、画素回路10の走査速度は通常と同じであり、画素回路10の発光期間の長さT4は約2/3フレーム期間となる。

20

【0098】

本変形例によれば、或る1つの行グループに属する行の画素回路10が初期化・閾値検出を行っている期間中、他の2つの行グループに属する行の画素回路10は発光している。このように、各画素回路10の発光期間の長さは約2/3フレーム期間となる。すなわち、1本または2本の共通電源線が設けられている構成と比較して、発光期間を長くすることができる。

30

【0099】

<1.5.4 その他の変形例>

共通電源線9の本数pについては、4以上でもよい。p≥4の場合、電源線VPiの接続形態および各行の画素回路10の動作は、上記と同様である。また、p≥3の場合には、隣接配置された(n/p)本の電源線を同じ共通電源線に接続してもよく、(p-1)本飛ばしの(n/p)本の電源線を同じ共通電源線に接続してもよい。例えば、p=3の場合に、電源線VPiを2本飛ばしに選択し、電源線VP1, VP4, …を第1の共通電源線に、電源線VP2, VP5, …を第2の共通電源線に、電源線VP3, VP6, …を第3の共通電源線にそれぞれ接続してもよい。また、p=1の場合には、画素回路10の行に対応してn本の電源線VPiを設ける代わりに、画素回路10の列に対応してm本の電源線を設けてもよい。

40

【0100】

このように共通電源線9の本数p, 画素回路10の走査速度, および画素回路10の発光期間の長さは、トレードオフの関係にある。例えば、共通電源線9の本数pを増やせば、画素回路10の走査速度を遅くしたり、画素回路10の発光期間を長くしたりすること

50

ができる。ただし、この場合、電源制御回路 4 に設けられるべき出力バッファの個数が増加し、電源制御回路 4 の回路規模が増大する。したがって、表示装置の仕様やコストなどを考慮して、これらのパラメータを決定すればよい。

【0101】

< 2. 第 2 の実施形態 >

< 2. 1 構成 >

図 13 は、本発明の第 2 の実施形態に係る表示装置の全体構成を示すブロック図である。図 13 に示す表示装置 200 は、上記第 1 の実施形態（図 2 参照）における構成要素に加えて、制御線駆動回路 20 と、該制御線駆動回路 20 と制御線 E_i とを接続するための共通制御線 21 とを備えている。本実施形態においては、走査信号線 G_i はゲートドライバ回路 2 に接続され、制御線 E_i は共通制御線 21 を介して制御線駆動回路 20 に接続されている。ゲートドライバ回路 2 と制御線駆動回路 20 とによって、行駆動回路が実現されている。なお、ゲートドライバ回路 2 とは別に制御線駆動回路 20 が設けられている理由は、本実施形態では後述するように制御線 E_i が複数本ずつ駆動されるところ、ここではゲートドライバ回路 2 は 1 行ずつ順にアクティブとなる信号を出力する回路であるとして説明しているからである。従って、例えばゲートドライバ回路 2 と制御線駆動回路 20 とが 1 つの IC チップで構成されていても良い。画素回路 10 については、上記第 1 の実施形態と同様、図 4 に示す構成となっている。

【0102】

制御線駆動回路 20 は、 q 本の共通制御線 21 に対応して、 q 個の出力端子を有する。制御線駆動回路 20 は、制御信号 TS に基づき、共通制御線 21 にハイレベルの電位およびローレベルの電位を切り替えて印加する。 $q = 1$ のとき、全ての制御線 E_i は 1 本の共通制御線 21 に接続される。 $q \geq 2$ のとき、制御線 E_i は q 個のグループに分類され、各グループに含まれる制御線は同じ共通制御線 21 に接続される。電源線 VP_i および共通電源線 9 については上記第 1 の実施形態と同様である。但し、本実施形態においては、 $p = q$ 、すなわち、共通電源線 9 の本数と共通制御線 21 の本数とは等しくされる。

【0103】

なお、ここではまず $q = 1$ の場合を例に挙げて説明し、 $q \geq 2$ の場合については変形例として後述する（ $q = 2$ の場合：第 1 の変形例および第 2 の変形例、 $q = 3$ の場合：第 3 の変形例）。図 14 は、本実施形態における電源線 VP_i および制御線 E_i の接続形態を示す図である。図 14 に示すように、表示装置 200 には、電源制御回路 4a と電源線 VP_i とを接続するために 1 本の共通電源線 111 が設けられ、制御線駆動回路 20a と制御線 E_i とを接続するために 1 本の共通制御線 211 が設けられている。共通電源線 111 の一端は電源制御回路 4a が有する 1 個の出力端子に接続され、全ての電源線 VP_i は共通電源線 111 に接続されている。共通制御線 211 の一端は制御線駆動回路 20a が有する 1 個の出力端子に接続され、全ての制御線 E_i は共通制御線 211 に接続されている。

【0104】

< 2. 2 駆動方法 >

図 15 および図 16 は、本実施形態における画素回路 10 の駆動方法を示すタイミングチャートである。なお、図 15 は、連続する 2 フレーム期間のうちの 1 フレーム目におけるタイミングチャートであり、図 16 は、当該 2 フレーム期間のうちの 2 フレーム目におけるタイミングチャートである。上記第 1 の実施形態においては、書き込み終了時点から発光開始時点までの期間の長さは全ての行で等しかったが（図 5 および図 6 を参照）、本実施形態においては、1 フレーム期間内において書き込み開始時点が相対的に早い行ほど書き込み終了時点から発光開始時点までの期間が長くなっている。これにより、全ての行の画素回路 10 は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。なお、本実施形態においても、行ごとの画素回路 10 の書き込みは、1 フレーム目には昇順で行われ、2 フレーム目には降順で行われる。

【0105】

図 17 は、本実施形態における各行の画素回路 10 の動作を示す図である。上記第 1 の実施形態と同様、画素回路 10 は、1 フレーム期間に 1 回ずつ、初期化、閾値検出 (T F T 1 2 の閾値検出)、書き込み、および発光を行い、発光期間以外の期間では消灯する。しかしながら、上記第 1 の実施形態とは異なり、各行の画素回路 10 が書き込み終了時点から各行毎に異なる所定の期間消灯した後、全ての行の画素回路 10 が同時に (一括的に) 一定時間 T 5 だけ発光し、1 フレーム期間の最後 (言い換えれば次のフレームの初期化直前) で同時に消灯する。

【0106】

< 2. 3 効果 >

本実施形態によれば、n 本の制御線 E i は 1 本の共通制御線 21 を介して制御線駆動回路 20 に接続されている。このため、上記第 1 の実施形態と比較して、制御線駆動用の回路 (上記第 1 の実施形態におけるゲートドライバ回路 2, 本実施形態における制御線駆動回路 20) に設けられるべきピン (端子) の数を大幅に少なくすることが可能となる。また、上記第 1 の実施形態と比較して、制御線駆動用の回路の規模を大幅に縮小することが可能となる。

【0107】

ところで、各行において走査信号線 G i の電位および制御線 E i の電位がローレベルになっている期間には、データ線 S j の電位が変化しても、理想的には T F T 1 2 のゲートソース間電圧 V g s は変化しない。しかしながら、T F T 1 2 にはわずかなリーク電流が存在するため、ゲートソース間電圧 V g s は、実際には少しずつ低下していく。このため、上記第 1 の実施形態のように閾値検出終了時点から発光開始時点までの期間の長さが行ごとに異なる場合には、T F T 1 2 におけるリーク電流の大きさが行ごとに異なって輝度ムラが発生することが考えられる。この点、本実施形態によれば、閾値検出終了時点から発光開始時点までの期間の長さが全ての行で等しくなるので、T F T 1 2 におけるリーク電流の大きさが全ての画素回路 10 で等しくなる。これにより、T F T 1 2 に生じるリーク電流に起因する輝度ムラの発生が抑制される。

【0108】

< 2. 4 変形例 >

< 2. 4. 1 第 1 の変形例 >

図 18 は、上記第 2 の実施形態の第 1 の変形例における電源線 V P i および制御線 E i の接続形態を示す図である。本変形例においては、表示装置 200 には、電源制御回路 4 b と電源線 V P i とを接続するために 2 本の共通電源線 121, 122 が設けられ、制御線駆動回路 20 b と制御線 E i とを接続するために 2 本の共通制御線 221, 222 が設けられている。共通電源線 121, 122 の一端は、電源制御回路 4 b が有する 2 個の出力端子にそれぞれ接続される。電源線 V P 1 ~ V P (n/2) は共通電源線 121 に接続され、電源線 V P (n/2 + 1) ~ V P n は共通電源線 122 に接続される。共通制御線 221, 222 の一端は、制御線駆動回路 20 b が有する 2 個の出力端子にそれぞれ接続される。制御線 E 1 ~ E (n/2) は共通制御線 221 に接続され、制御線 E (n/2 + 1) ~ E n は共通制御線 222 に接続される。

【0109】

図 19 は、本変形例における各行の画素回路 10 の動作を示す図である。1 フレーム目においても 2 フレーム目においても、1 ~ (n/2) 行目の画素回路 10 は 1 フレーム期間の先頭で初期化・閾値検出を行い、(n/2 + 1) ~ n 行目の画素回路 10 は 1/2 フレーム期間だけ遅れて初期化・閾値検出を行う。1 ~ (n/2) 行目の画素回路 10 についても、(n/2 + 1) ~ n 行目の画素回路 10 についても、行ごとの画素回路 10 の書き込みは、1 フレーム目には昇順で行われ、2 フレーム目には降順で行われる。

【0110】

本変形例においては、図 19 に示すように、1 フレーム目においても 2 フレーム目においても、1 ~ (n/2) 行目の全ての画素回路 10 は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。また、(n/2 + 1) ~ n 行目の全ての画素回路 10

10

20

30

40

50

は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。発光期間の長さ T_6 は、全行の画素回路 10 で等しくなっている。なお、図 19 に示す例では、画素回路 10 の走査速度は通常と同じであり、画素回路 10 の発光期間の長さ T_6 は約 $1/2$ フレーム期間となる。

【0111】

本変形例によれば、電源線 VP_i や制御線 E_i を個別に駆動する構成と比較して、電源制御回路 4 (4b) および制御線駆動回路 20 (20b) の回路規模を小さくすることができる。また、閾値検出終了時点から発光開始時点までの期間の長さが全ての行で等しくなるので、画素回路 10 内の TFT 12 に生じるリーク電流に起因する輝度ムラの発生が抑制される。

10

【0112】

< 2. 4. 2 第 2 の変形例 >

図 20 は、上記第 2 の実施形態の第 2 の変形例における電源線 VP_i および制御線 E_i の接続形態を示す図である。本変形例においては、表示装置 200 には、電源制御回路 4c と電源線 VP_i とを接続するために 2 本の共通電源線 131, 132 が設けられ、制御線駆動回路 20c と制御線 E_i とを接続するために 2 本の共通制御線 231, 232 が設けられている。共通電源線 131, 132 の一端は、電源制御回路 4c が有する 2 個の出力端子にそれぞれ接続される。奇数行目の電源線 $VP_1, VP_3, \dots, VP_{(n-1)}$ は共通電源線 131 に接続され、偶数行目の電源線 $VP_2, VP_4, \dots, VP_n$ は共通電源線 132 に接続される (ここでは、 n は偶数とする)。共通制御線 231, 232 の一端は、制御線駆動回路 20c が有する 2 個の出力端子にそれぞれ接続される。奇数行目の制御線 $E_1, E_3, \dots, E_{(n-1)}$ は共通制御線 231 に接続され、偶数行目の制御線 $E_2, E_4, \dots, E_n$ は共通制御線 232 に接続される。

20

【0113】

図 21 は、本変形例における各行の画素回路 10 の動作を示す図である。1 フレーム目においても 2 フレーム目においても、奇数行目の画素回路 10 は 1 フレーム期間の先頭で初期化・閾値検出を行い、偶数行目の画素回路 10 は $1/2$ フレーム期間だけ遅れて初期化・閾値検出を行う。奇数行目の画素回路 10 についても、偶数行目の画素回路 10 についても、行ごとの画素回路 10 の書き込みは、1 フレーム目には昇順で行われ、2 フレーム目には降順で行われる。

30

【0114】

本変形例においては、図 21 に示すように、1 フレーム目においても 2 フレーム目においても、奇数行目の全ての画素回路 10 は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。また、偶数行目の全ての画素回路 10 は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。発光期間の長さ T_7 は、全行の画素回路 10 で等しくなっている。なお、図 21 に示す例では、画素回路 10 の走査速度は通常と同じであり、画素回路 10 の発光期間の長さ T_7 は約 $1/2$ フレーム期間となる。

【0115】

本変形例によれば、上記第 1 の変形例と同様の効果が得られるほか、画面の中央に発生する輝度差を防止することができる (第 1 の実施形態の第 2 の変形例を参照)。

40

【0116】

< 2. 4. 3 第 3 の変形例 >

図 22 は、上記第 2 の実施形態の第 3 の変形例における電源線 VP_i および制御線 E_i の接続形態を示す図である。本変形例においては、表示装置 200 には、電源制御回路 4d と電源線 VP_i とを接続するために 3 本の共通電源線 141 ~ 143 が設けられ、制御線駆動回路 20d と制御線 E_i とを接続するために 3 本の共通制御線 241 ~ 243 が設けられている。共通電源線 141 ~ 143 の一端は、電源制御回路 4d が有する 3 個の出力端子にそれぞれ接続される。電源線 $VP_1 \sim VP_{(n/3)}$ は共通電源線 141 に接続され、電源線 $VP_{(n/3+1)} \sim VP_{(2n/3)}$ は共通電源線 142 に接続され、電源線 $VP_{(2n/3+1)} \sim VP_n$ は共通電源線 143 に接続される。共通制御線 241

50

～243の一端は、制御線駆動回路20dが有する3個の出力端子にそれぞれ接続される。制御線E1～E($n/3$)は共通制御線241に接続され、制御線E($n/3+1$)～E($2n/3$)は共通制御線242に接続され、制御線E($2n/3+1$)～E n は共通制御線243に接続される。

【0117】

図23は、本変形例における各行の画素回路10の動作を示す図である。1フレーム目においても2フレーム目においても、1～($n/3$)行目の画素回路10は1フレーム期間の先頭で初期化・閾値検出を行い、($n/3+1$)～($2n/3$)行目の画素回路10は1/3フレーム期間だけ遅れて初期化・閾値検出を行い、($2n/3+1$)～ n 行目の画素回路10はさらに1/3フレーム期間だけ遅れて初期化・閾値検出を行う。1～($n/3$)行目についての行ごとの画素回路10の書き込みは、1フレーム目には昇順で行われ、2フレーム目には降順で行われる。これについては、($n/3+1$)～($2n/3$)行目についても、($2n/3+1$)～ n 行目についても同様である。

【0118】

本変形例においては、図23に示すように、1フレーム目においても2フレーム目においても、1～($n/3$)行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。また、($n/3+1$)～($2n/3$)行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。さらに、($2n/3+1$)～ n 行目の全ての画素回路10は、同じタイミングで発光を開始し、同じタイミングで発光を終了する。発光期間の長さ T_8 は、全行の画素回路10で等しくなっている。なお、図23に示す例では、画素回路10の走査速度は通常と同じであり、画素回路10の発光期間の長さ T_8 は約2/3フレーム期間となる。

【0119】

本変形例によれば、或る1つの行グループに属する行の画素回路10が初期化・閾値検出を行っている期間中、他の2つの行グループに属する行の画素回路10は発光している。このように、各画素回路10の発光期間の長さは約2/3フレーム期間となる。すなわち、1本または2本の共通電源線および1本または2本の共通制御線が設けられている構成と比較して、発光期間を長くすることができる。

【0120】

<2.5.4 その他の変形例>

共通制御線21の本数 q については、4以上でもよい。 $q \geq 4$ の場合、制御線E i の接続形態および各行の画素回路10の動作は、上記と同様である。また、 $q \geq 3$ の場合には、隣接配置された(n/q)本の制御線を同じ共通制御線に接続してもよく、($q-1$)本飛ばしの(n/q)本の制御線を同じ共通制御線に接続してもよい。例えば、 $q=3$ の場合に、制御線E i を2本飛ばしに選択し、制御線E1, E4, …を第1の共通制御線に、制御線E2, E5, …を第2の共通制御線に、制御線E3, E6, …を第3の共通制御線にそれぞれ接続してもよい。

【0121】

<3.第3の実施形態>

<3.1 構成>

表示装置の全体構成、電源線VP i の接続形態、および画素回路10の構成については、上記第1の実施形態と同様であるので説明を省略する(図2, 図3, および図4を参照)。

【0122】

<3.2 駆動方法>

図24および図25は、本実施形態における画素回路10の駆動方法を示すタイミングチャートである。図24および図25に示すように、本実施形態においては、1フレーム目においても2フレーム目においても、全ての行の画素回路10での閾値検出の終了時点から各行の画素回路10での書き込みが開始される時点までの期間に、全ての行の画素回路10において一斉にTF T_{12} のゲートに逆バイアス(負バイアス)が印加される(図

10

20

30

40

50

24の時刻 $t_{14} \sim t_{15}$ 、図25の時刻 $t_{24} \sim t_{25}$ を参照)。TFT12のゲートへの逆バイアスの印加は、具体的には、全ての走査信号線 G_i の電位をハイレベルにした状態でデータ線 S_j に十分に低い電位 V_{neg} を印加することによって行われる。なお、各行の画素回路10では、書き込みが開始されるまでの期間を通じて、TFT12のゲートに逆バイアスが印加され続ける。TFT12のゲートに逆バイアスが印加される以外の動作については、上記第1の実施形態と同様であるので、説明を省略する。

【0123】

図26は、本実施形態における各行の画素回路10の動作を示す図である。1フレーム目においても2フレーム目においても、全ての行の画素回路10は、1フレーム期間の先頭で初期化を行い、次に閾値検出を行い、次にTFT12のゲートへの逆バイアス印加を行う。この逆バイアス印加は、各行の画素回路10において書き込みが開始されるまでの期間継続される。1フレーム目においては、逆バイアス印加後、行ごとの画素回路10の書き込みおよび発光が昇順で行われる。2フレーム目においては、逆バイアス印加後、行ごとの画素回路10の書き込みおよび発光が降順で行われる。なお、1フレーム目においても2フレーム目においても、各行の画素回路10は一定時間 T_9 だけ発光し、それ以外の期間には消灯する。

【0124】

<3.3 効果>

一般にTFT（薄膜トランジスタ）に関しては、「ゲートに正バイアスが印加されると閾値特性が正方向にシフトし、ゲートに逆バイアス（負バイアス）が印加されると閾値特性が負方向にシフトする」ということが知られている。なお、「閾値特性が正方向にシフトする」とは「 I_d （ドレイン電流）- V_g （ゲート電圧）特性が右方向にシフトする」ということである。自発光型表示素子を備えた表示装置においては、通常、発光している期間中、駆動用トランジスタ（TFT12）のゲート-ソース間には正の電圧が印加される。このため、発光時間が累積されるに従って、駆動用トランジスタの閾値特性は徐々に正方向にシフトする。この点、本実施形態によれば、各画素回路10において、閾値検出の終了時点から書き込みが開始される時点までの期間、TFT12のゲートに逆バイアスが印加される。このため、駆動用トランジスタとして機能するTFT12の閾値特性の（正方向への）シフトが抑制される。また、1フレーム毎に走査順序が逆にされているので、TFT12のゲートに逆バイアスが印加される累積時間は、全ての行の画素回路10でほぼ等しくなる。これにより、行ごとのばらつきを生ずることなく、TFT12の閾値特性のシフトが抑制される。なお、TFT12のゲートに逆バイアスが印加されている期間には、TFT12はオフ状態で維持され、TFT12のソースからの電荷の移動は生じない。従って、TFT12においてゲートに逆バイアスを印加しつつソースに閾値を保持し続けることができる。

【0125】

<3.4 変形例>

図27は、上記第3の実施形態の変形例における各行の画素回路10の動作を示す図である。上記第2の実施形態のように n 本の制御線 E_i を一括的に駆動する構成とすることによって、図27に示すように全ての行の画素回路10が同時に一定時間 T_{10} だけ発光するようにしても良い。また、上記第1および第2の実施形態の第1～第3の変形例と同様に、電源線 V_{Pi} や制御線 E_i を複数のグループに分類して、電源線 V_{Pi} や制御線 E_i をグループ毎に駆動する構成にしても良い。

【0126】

<4. その他>

上記各実施形態においては有機ELディスプレイを例に挙げて説明したが、本発明はこれに限定されない。電流で駆動される自発光型表示素子を備えた表示装置であれば、有機ELディスプレイ以外の表示装置にも本発明を適用することができる。

【符号の説明】

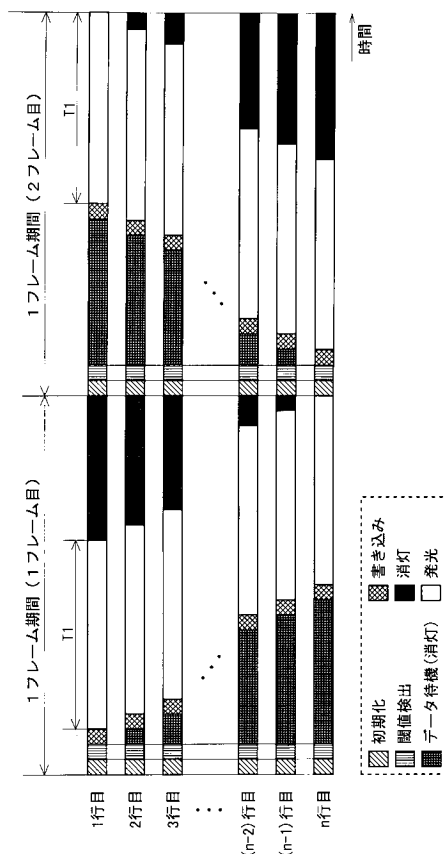
【0127】

- 1 … 表示制御回路
- 2 … ゲートドライバ回路
- 3 … ソースドライバ回路
- 4, 4 a, 4 b, 4 c, 4 d … 電源制御回路
- 5 … シフトレジスタ
- 6 … レジスタ
- 7 … ラッチ回路
- 8 … D/A変換器
- 9 … 共通電源線
- 10 … 画素回路
- 11 … T F T (書き込み制御トランジスタ)
- 12 … T F T (駆動用トランジスタ)
- 13 … T F T (発光制御トランジスタ)
- 15 … コンデンサ
- 16 … 有機 E L 素子 (電気光学素子)
- 20, 20 a, 20 b, 20 c, 20 d … 制御線駆動回路
- 21 … 共通制御線
- 100, 200 … 表示装置
- G i … 走査信号線
- E i … 制御線
- S j … データ線
- V P i … 電源線

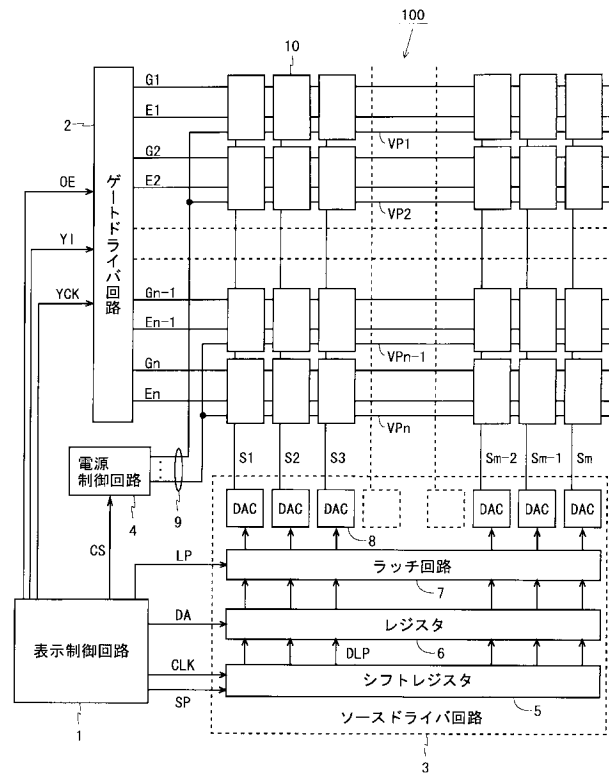
10

20

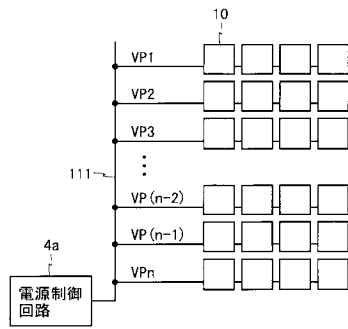
【図 1】



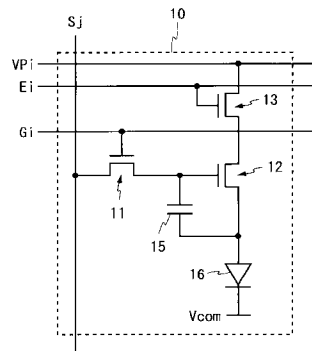
【図 2】



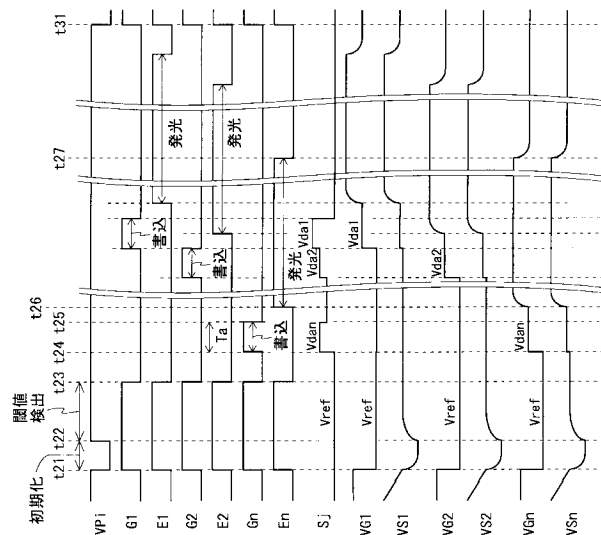
【図 3】



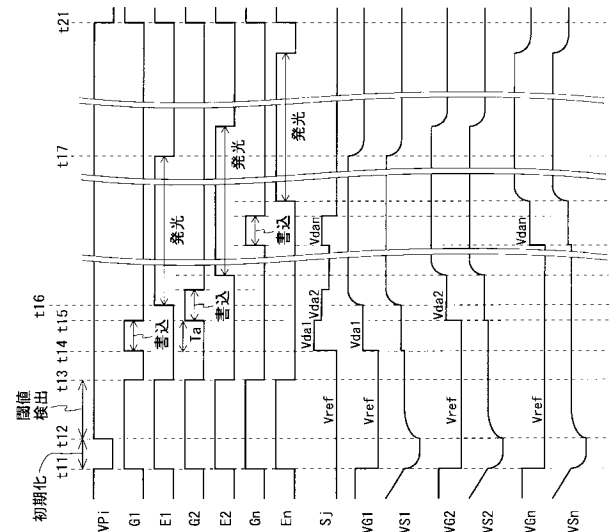
【図 4】



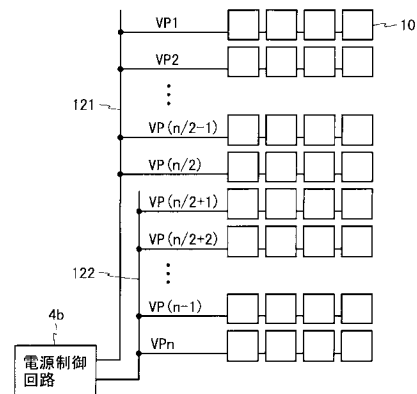
【図 6】



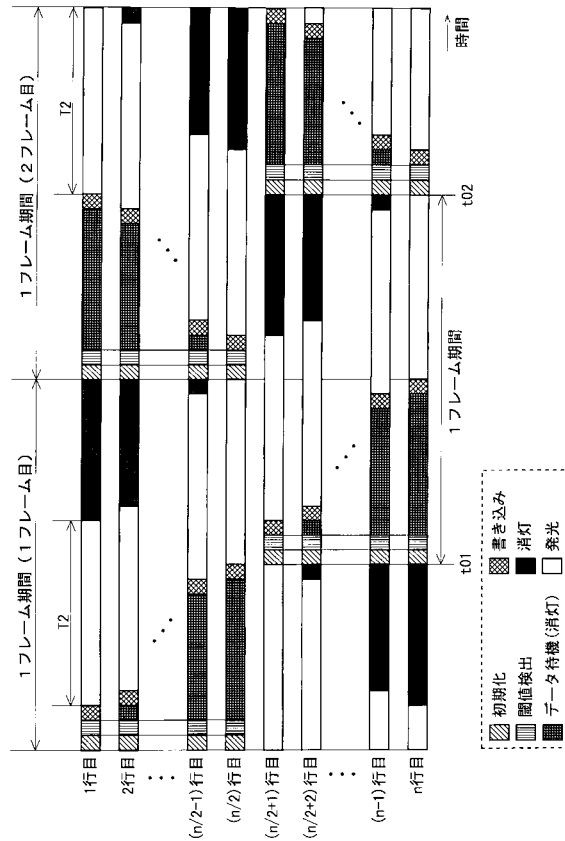
【図 5】



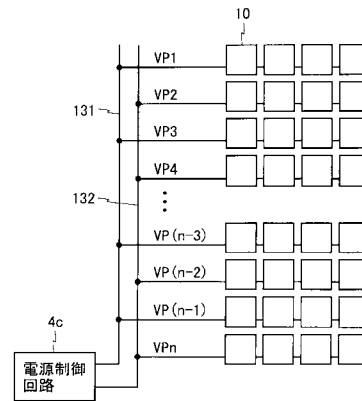
【図 7】



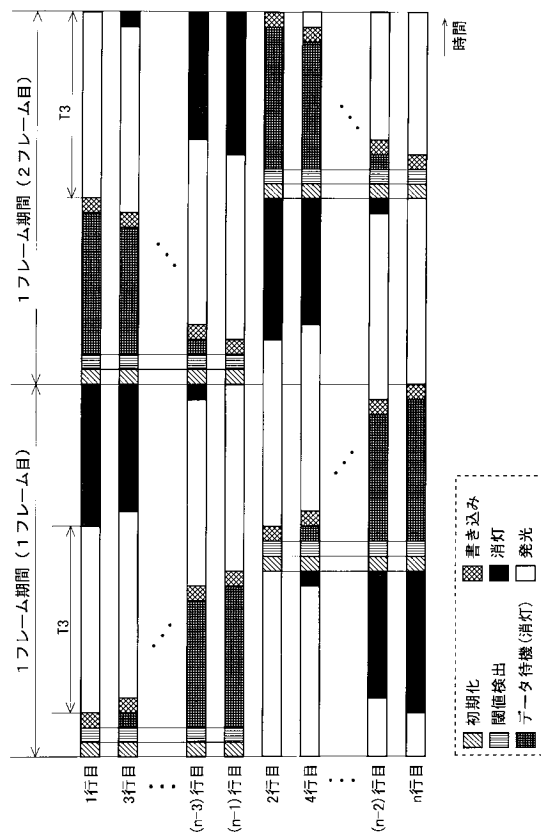
【図 8】



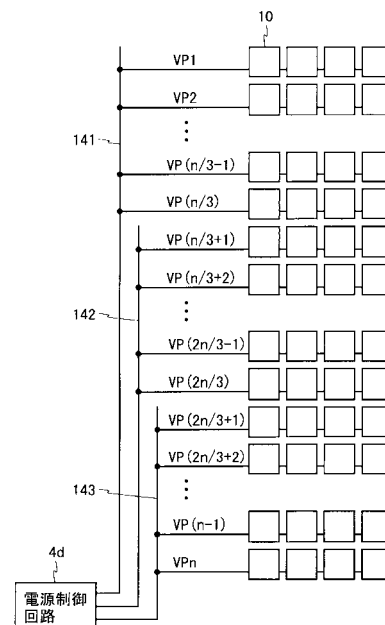
【図 9】



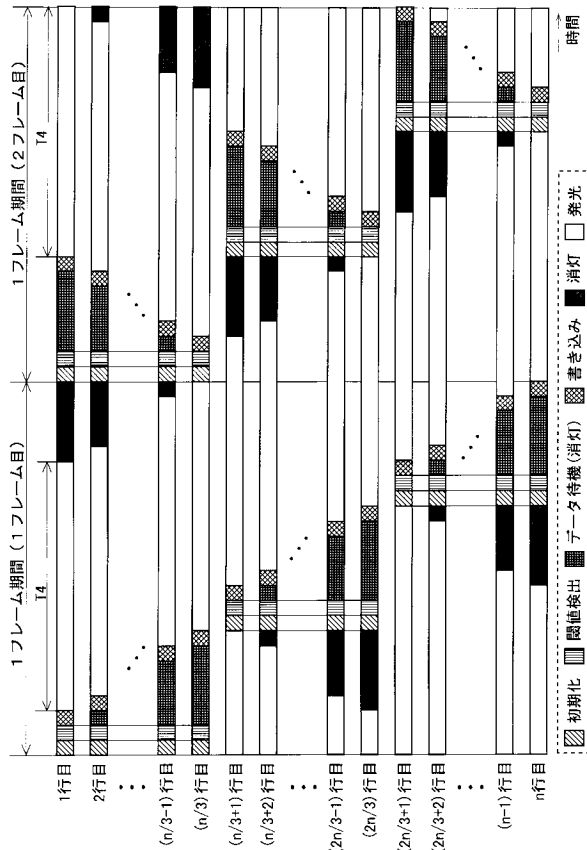
【図 10】



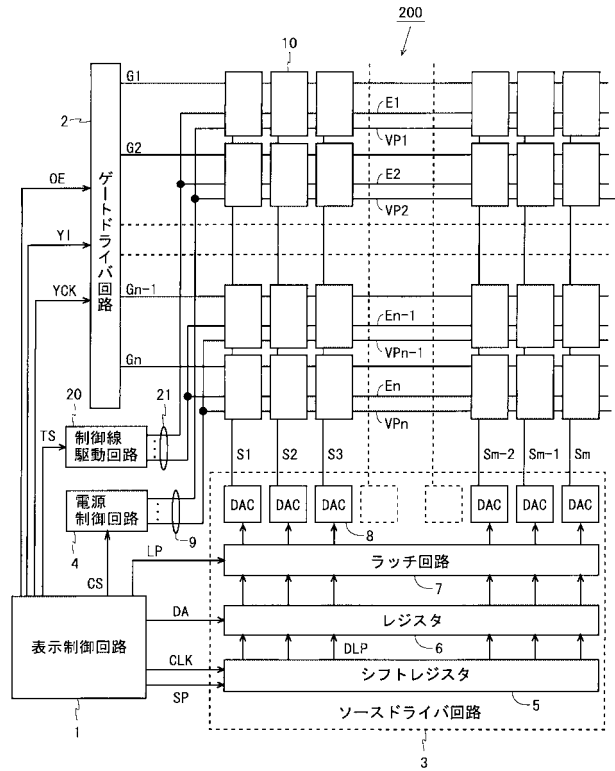
【図 11】



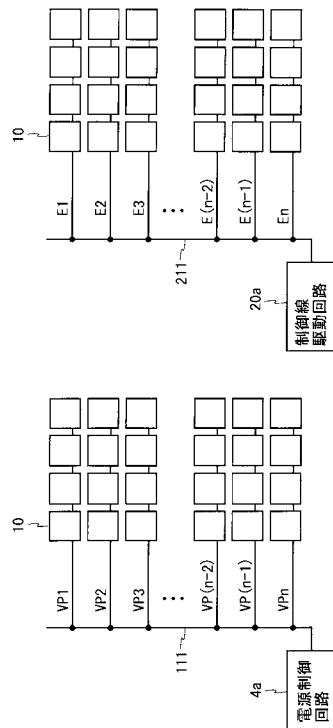
【図 1 2】



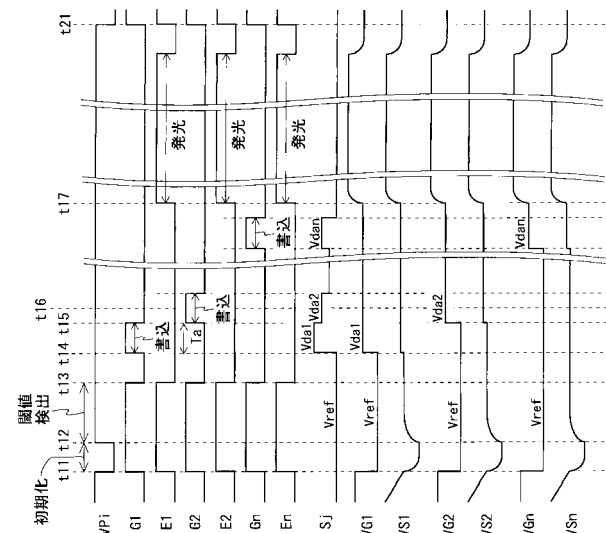
【図 1 3】



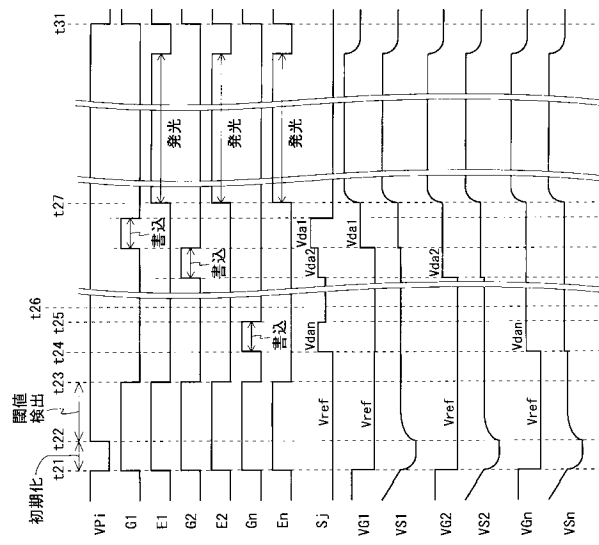
【図 1 4】



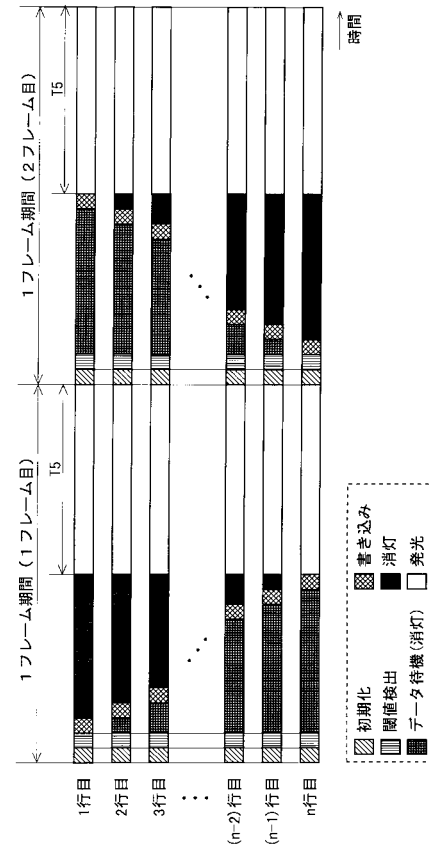
【図 1 5】



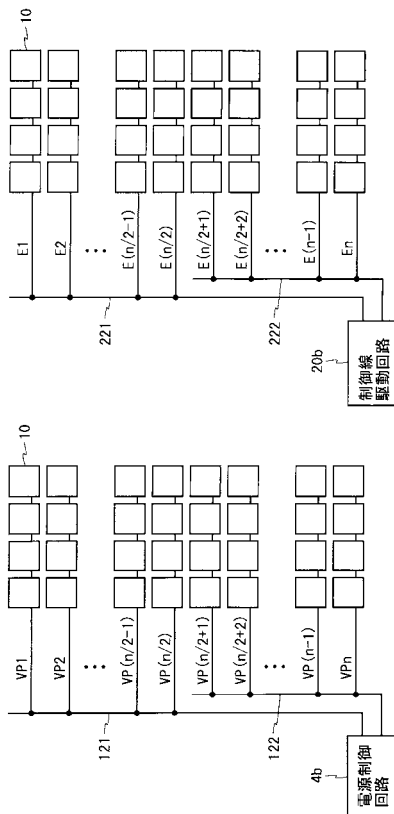
【図 16】



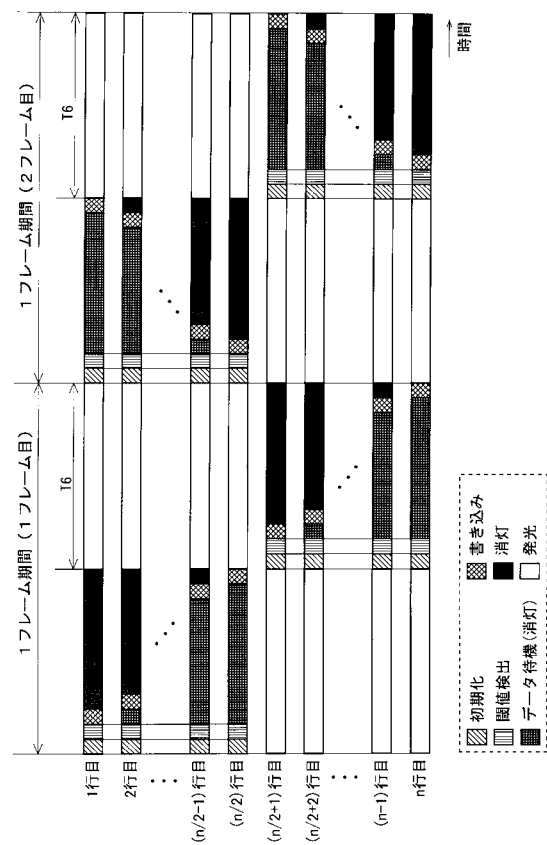
【図 17】



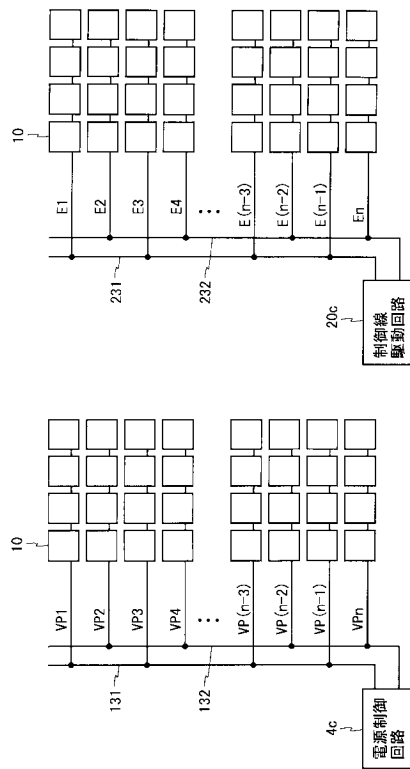
【図 18】



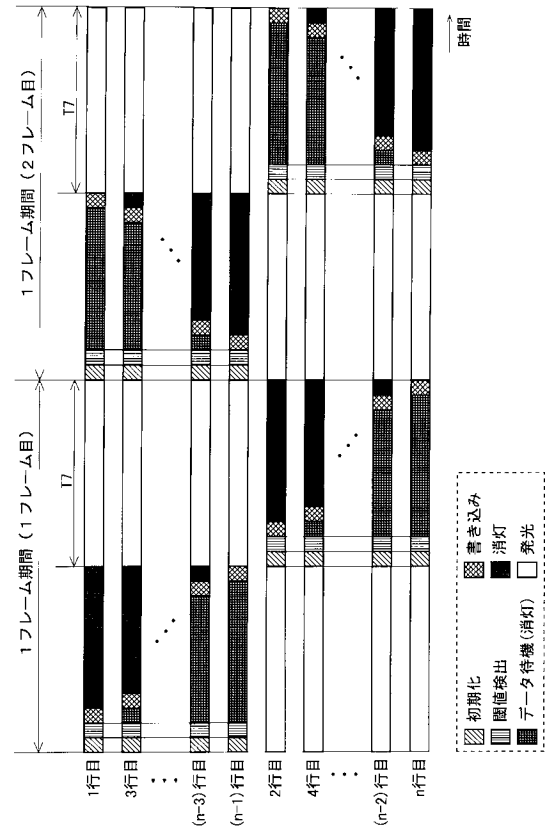
【図 19】



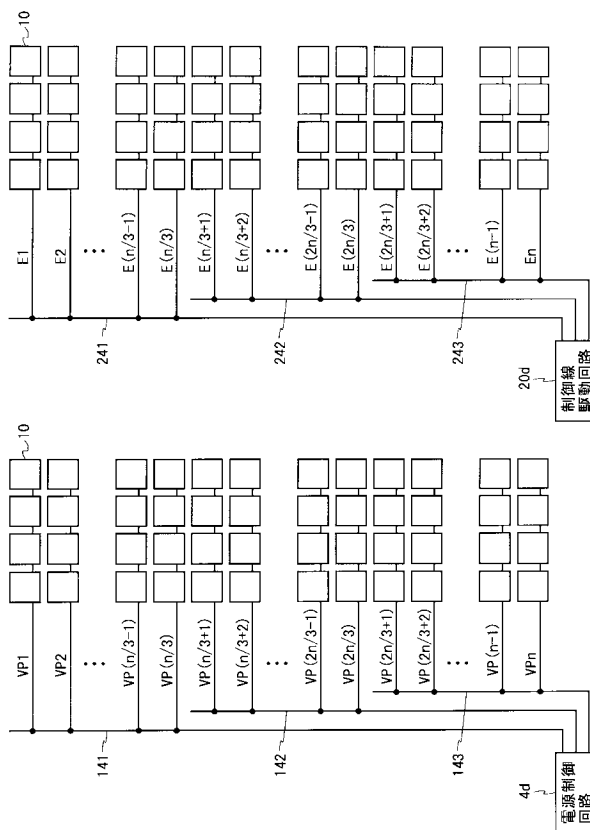
【図 20】



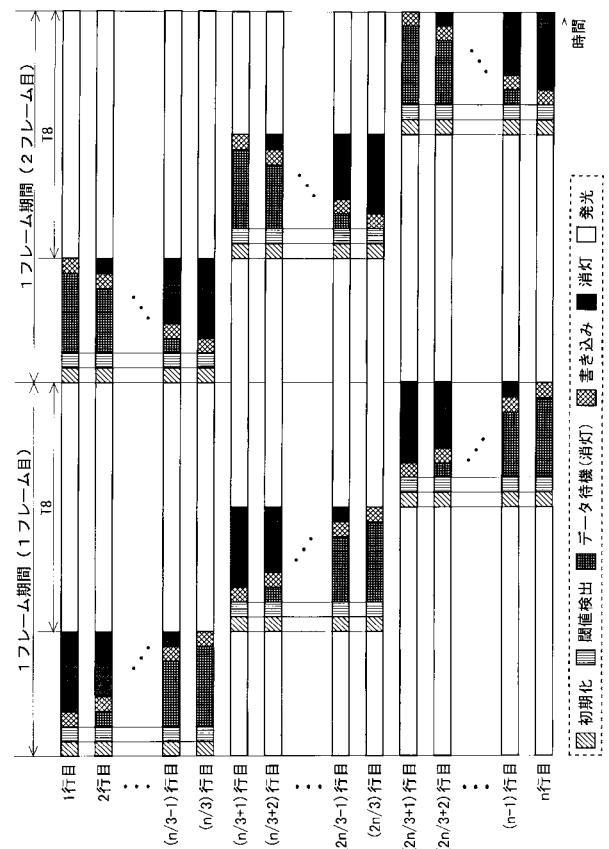
【図 21】



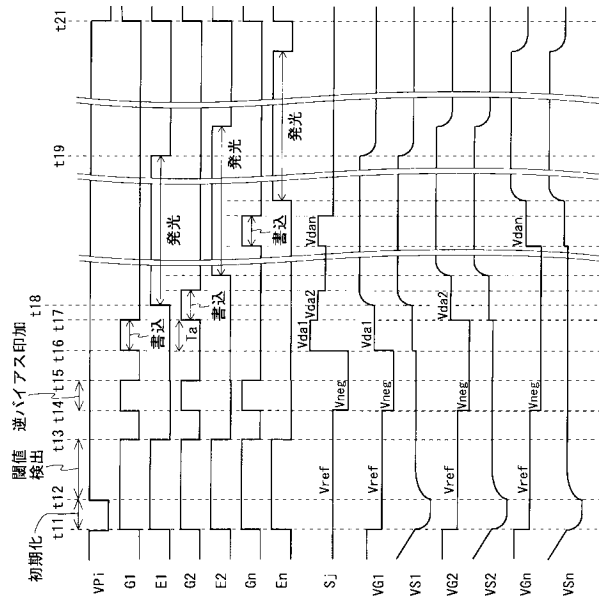
【図 22】



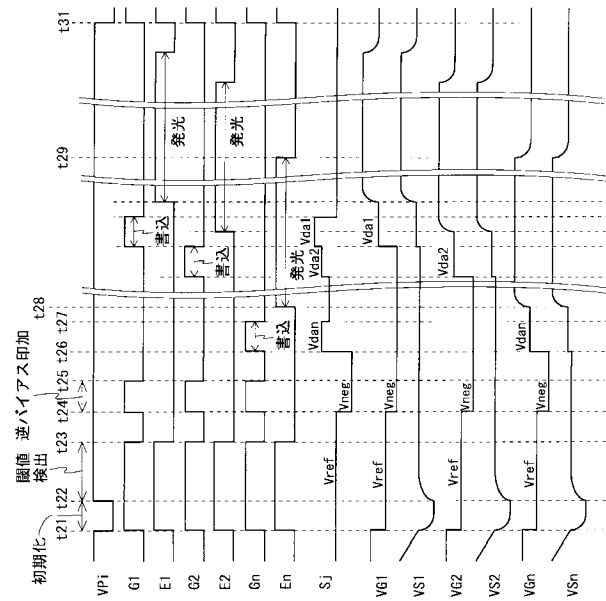
【図 23】



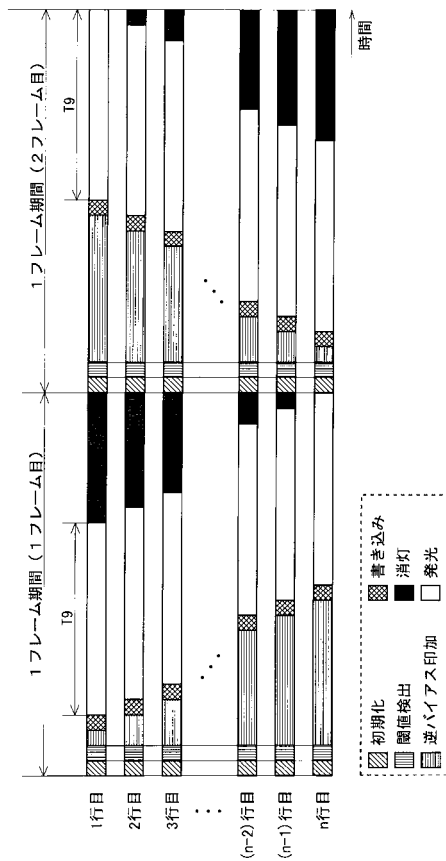
【図 24】



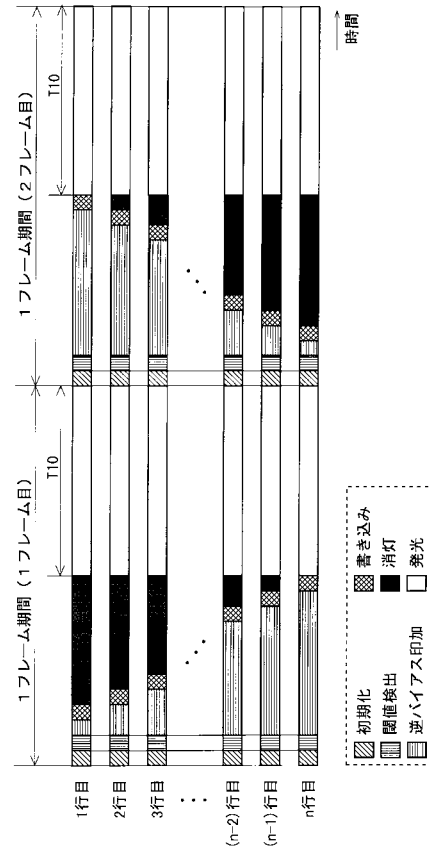
【図 25】



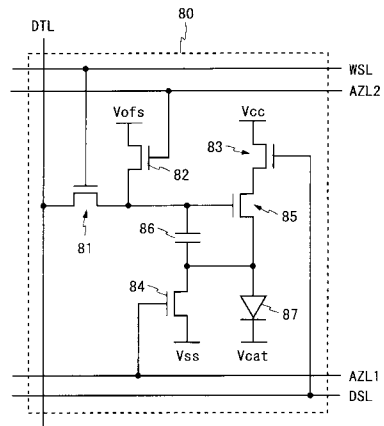
【図 26】



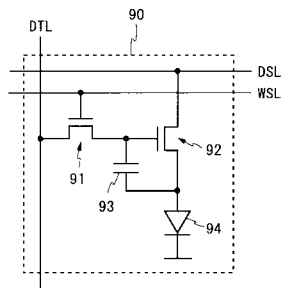
【図 27】



【図 28】



【図 29】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/073781

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-133731 A (Samsung SDI Co., Ltd.), 25 May 2006 (25.05.2006), paragraphs [0035] to [0069]; fig. 5 to 8 & US 2006/0097966 A1 & EP 001655719 A2 & KR 10-2006-0041046 A & CN 001773593 A	1-17
Y	JP 2007-148129 A (Sony Corp.), 14 June 2007 (14.06.2007), paragraphs [0036] to [0051]; fig. 14 to 18 (Family: none)	1-17
Y	WO 2008/152817 A1 (Panasonic Corp.), 18 December 2008 (18.12.2008), paragraphs [0057] to [0072]; fig. 5 to 7 & US 2010/0007645 A1 & CN 101548310 A & KR 10-2010-0021399 A	3-13

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 January, 2012 (05.01.12)Date of mailing of the international search report
17 January, 2012 (17.01.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/073781

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-237041 A (Sony Corp.), 15 October 2009 (15.10.2009), paragraphs [0054] to [0098]; fig. 1 to 16 & US 2009/0244055 A1 & CN 101546519 A & KR 10-2009-0102644 A	4-6, 9, 11-13
Y	JP 2009-192854 A (Casio Computer Co., Ltd.), 27 August 2009 (27.08.2009), paragraph [0110]; fig. 9 & US 2009/0207160 A1 & KR 10-2009-0088816 A & CN 101510391 A	5, 12
Y	JP 2002-091376 A (Hitachi, Ltd.), 27 March 2002 (27.03.2002), paragraph [0058]; fig. 14 & US 2001/0055828 A1	14, 17

国際調査報告		国際出願番号 PCT/JP2011/073781	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年			
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2006-133731 A (三星エスディアイ株式会社) 2006.05.25 段落 0035-0069、図 5-8 & US 2006/0097966 A1 & EP 001655719 A2 & KR 10-2006-0041046 A & CN 001773593 A	1-17	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 05.01.2012		国際調査報告の発送日 17.01.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 福村 拓 電話番号 03-3581-1101 内線 3226	2G 3308

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 7 3 7 8 1
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-148129 A(ソニー株式会社) 2007.06.14 段落 0036-0051、図 14-18 (ファミリーなし)	1 - 1 7
Y	WO 2008/152817 A1 (パナソニック株式会社) 2008.12.18 段落 0057-0072、図 5-7 & US 2010/0007645 A1 & CN 101548310 A & KR 10-2010-0021399 A	3 - 1 3
Y	JP 2009-237041 A (ソニー株式会社) 2009.10.15 段落 0054-0098、図 1-16 & US 2009/0244055 A1 & CN 101546519 A & KR 10-2009-0102644 A	4 - 6, 9, 1 1 - 1 3
Y	JP 2009-192854 A (カシオ計算機株式会社) 2009.08.27 段落 0110、図 9 & US 2009/0207160 A1 & KR 10-2009-0088816 A & CN 101510391 A	5, 1 2
Y	JP 2002-091376 A (株式会社日立製作所) 2002.03.27 段落 0058、図 14 & US 2001/0055828 A1	1 4, 1 7

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/20	6 2 2 R
H 0 5 B	33/14	A

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, T J, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, R O, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, H U, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI , NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

Fターム(参考) 5C080 AA06 BB05 DD05 DD22 DD23 DD26 DD27 DD29 EE29 FF11
 FF12 HH09 JJ02 JJ03 JJ04
 5C380 AA01 AA03 AB06 AC07 BA01 BA10 BA11 BA12 BA13 BA28
 BA38 BA39 BB02 BD02 BD08 BD10 CA04 CA05 CA08 CA12
 CA26 CA32 CB01 CB14 CB17 CB20 CB27 CB30 CC04 CC07
 CC27 CC30 CC33 CC39 CC41 CC61 CC62 CC63 CC65 CD012
 CD013 CD015 CF07 CF09 CF22 CF31 DA02 DA06 DA44

(注) この公表は、国際事務局(W I P O)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2012053462A1	公开(公告)日	2014-02-24
申请号	JP2012539708	申请日	2011-10-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3275 G09G3/3233 G09G2310/0283		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.611.H G09G3/20.670.J G09G3/20.622.R H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC43 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD23 5C080/DD26 5C080/DD27 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AC07 5C380/BA01 5C380/BA10 5C380/BA11 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BD08 5C380/BD10 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CB14 5C380/CB17 5C380/CB20 5C380/CB27 5C380/CB30 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CD012 5C380/CD013 5C380/CD015 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF31 5C380/DA02 5C380/DA06 5C380/DA44		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2010236209 2010-10-21 JP		
其他公开文献	JP5721736B2		
外部链接	Espacenet		

摘要(译)

(EN) 提供一种显示装置，该显示装置能够以简单的结构充分确保用于检测阈值的时间并且抑制亮度不均的发生。该显示装置包括：多个像素电路；连接至多条扫描信号线和多条控制线的栅极驱动器电路；以及经由公共电源线连接至多条电源线的电源控制电路。像素电路包括有机EL元件，多个TFT和电容器。在每个帧周期中，对多行集中执行初始化和阈值检测，然后逐行顺序执行写入和发光。在此，在连续的两个帧周期的前一帧（第一帧）中，以从第一行到第n行的顺序（升序）以及在相关的两个帧周期中的后续帧进行写入。在（第二帧）中，以从第n行到第一行的顺序（降序）执行写入。

【图1】

