(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4498434号
(P4498434)

(45)発行日　平成22年7月7日(2010.7.7)　(24)登録日　平成22年4月23日(2010.4.23)

(51)Int.Cl.		F I		
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/20	(2006.01)	G09G	3/30	K
H01L 51/50	(2006.01)	G09G	3/20	612U
		G09G	3/20	641Q
		G09G	3/20	641D

請求項の数 10　(全 545 頁)　最終頁に続く

(21)出願番号　特願2008-148640 (P2008-148640)
(22)出願日　平成20年6月5日 (2008.6.5)
(62)分割の表示　特願2004-136379 (P2004-136379)の分割
原出願日　平成16年4月30日 (2004.4.30)
(65)公開番号　特開2008-233931 (P2008-233931A)
(43)公開日　平成20年10月2日 (2008.10.2)
審査請求日　平成20年6月5日 (2008.6.5)
(31)優先権主張番号　特願2003-129528 (P2003-129528)
(32)優先日　平成15年5月7日 (2003.5.7)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2003-277166 (P2003-277166)
(32)優先日　平成15年7月18日 (2003.7.18)
(33)優先権主張国　日本国(JP)

(73)特許権者　302020207
東芝モバイルディスプレイ株式会社
埼玉県深谷市幡羅町一丁目９番地２
(74)代理人　110000899
特許業務法人　松田国際特許事務所
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

審査官　橋本　直明

最終頁に続く

(54)【発明の名称】ＥＬ表示装置

(57)【特許請求の範囲】

【請求項１】

ＥＬ素子を有する複数の色の画素がマトリックス状に配置された表示画面を有するＥＬ表示装置において、

前記画素を選択するゲートドライバ回路と、

前記画素に映像信号を印加するソースドライバ回路と、

前記複数の色のうちの第１の色の階調の出力電圧を発生する第１のガンマ発生回路と、

前記複数の色のうちの第２の色の階調の出力電圧を発生する第２のガンマ発生回路と、

前記第１のガンマ発生回路及び前記第２のガンマ発生回路の発生する出力電圧に対応した、前記ＥＬ素子に流れる電流の最大値を制御する制御回路とを具備し、

前記第１のガンマ発生回路の最低階調での前記出力電圧と、前記第２のガンマ発生回路の最低階調での前記出力電圧とが一致し、

前記第１のガンマ発生回路の最大階調の前記出力電圧と、前記第２のガンマ発生回路の最大階調での前記出力電圧とを独立に可変でき、

前記制御回路は、前記表示画面に流れる電流をアナログ－デジタル変換した処理データ、または前記ＥＬ表示装置に入力される映像データから前記表示画面に流れる電流を示す処理データを求め、

前記求めた処理データに含まれる第１の処理データと第２の処理データとの関係において、前記第１の処理データが前記第２の処理データよりも小さい時、

前記求めた第１の処理データに基づき前記画素のＥＬ素子に流す電流の最大値を、前記

求めた第２の処理データに基づき前記画素のＥＬ素子に流す電流の最大値よりも、大きくすることを特徴とするＥＬ表示装置。

【請求項２】

ＥＬ素子を有する複数の色の画素がマトリックス状に配置された表示画面を有するＥＬ表示装置において、

前記画素を選択するゲートドライバ回路と、

前記画素に映像信号を印加するソースドライバ回路と、

前記複数の色のうちの第１の色の階調の出力電圧を発生する第１のガンマ発生回路と、

前記複数の色のうちの第２の色の階調の出力電圧を発生する第２のガンマ発生回路と、

前記第１のガンマ発生回路及び前記第２のガンマ発生回路の発生する出力電圧に対応した、前記ＥＬ素子に流れる電流の最大値を制御する制御回路とを具備し、

前記第１のガンマ発生回路の最低階調での前記出力電圧と、前記第２のガンマ発生回路の最低階調での前記出力電圧とが一致し、

前記第１のガンマ発生回路の最大階調の前記出力電圧と、前記第２のガンマ発生回路の最大階調での前記出力電圧とを独立に可変でき、

前記制御回路は、前記表示画面に流れる電流をアナログ－デジタル変換した処理データ、または前記ＥＬ表示装置に入力される映像データから前記表示画面に流れる電流を示す処理データを求め、

前記求めた処理データに含まれる第１の処理データと第２の処理データとの関係において、前記第１の処理データが前記第２の処理データよりも小さい時、

前記求めた第１の処理データに基づき前記画素のＥＬ素子に流す電流の最大値を、前記求めた第２の処理データに基づき前記画素のＥＬ素子に流す電流の最大値よりも大きくし、

かつ前記表示画面に帯状の非表示領域を発生させ、前記帯状の非表示領域を移動させることを特徴とするＥＬ表示装置。

【請求項３】

前記ソースドライバ回路の出力端子と前記画素が接続されたソース信号線との間に配置されたスイッチ回路を更に具備し、

前記スイッチ回路により、前記ソースドライバ回路が出力する映像信号を、選択した前記ソース信号線に印加することを特徴とする請求項１または２に記載のＥＬ表示装置。

【請求項４】

外光の明るさを検出するホトセンサを更に具備し、

前記制御回路は、前記ホトセンサの出力に基づいて、前記ＥＬ素子に流れる電流の最大値を変化させることを特徴とする請求項１または２に記載のＥＬ表示装置。

【請求項５】

前記第１の色の画素の開口率と前記第２の色の画素の開口率とが異なっていることを特徴とする請求項１または２に記載のＥＬ表示装置。

【請求項６】

前記ゲートドライバ回路は、Ｐチャンネルトランジスタで構成され、

前記ゲートドライバ回路により、前記表示画面の画素行を選択することを特徴とする請求項１または２に記載のＥＬ表示装置。

【請求項７】

前記制御回路は、前記求めた処理データに基づいて、前記ＥＬ素子に流れる電流の最大値を変化させることを特徴とする請求項１または２に記載のＥＬ表示装置。

【請求項８】

パネル温度検出手段を更に具備し、

前記制御回路は、前記パネル温度検出手段の出力に基づいて、前記ＥＬ素子に供給するアノード電圧とカソード電圧のうち、少なくとも一方を可変することを特徴とする請求項１又は２に記載のＥＬ表示装置。

【請求項９】

前記画素は、
前記ＥＬ素子に電流を供給する駆動用トランジスタと、
前記駆動用トランジスタのゲート端子と他の端子との間を短絡させるスイッチ用トランジスタとを有し、
前記スイッチ用トランジスタは、デュアルゲート以上のマルチゲート構造であることを特徴とする請求項１または２に記載のＥＬ表示装置。
【請求項１０】
前記画素は、
前記ＥＬ素子に電流を供給する駆動用トランジスタと、
ソース信号線に印加された映像信号を前記駆動用トランジスタに供給する経路を発生させる第１のスイッチ用トランジスタと、
前記第１のスイッチ用トランジスタのゲート端子と前記駆動用トランジスタのゲート端子とに接続された第１のコンデンサとを有し、
ゲート信号線と前記第１のスイッチ用トランジスタのゲート端子とが接続され、
前記第１のスイッチ用トランジスタと前記駆動用トランジスタとは同一チャンネル極性のトランジスタであることを特徴とする請求項１または２に記載のＥＬ表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、たとえば、有機または無機エレクトロルミネッセンス（ＥＬ）素子などを用いたＥＬ表示パネル（表示装置）などの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（ＩＣなど）および駆動方法などに関するものである。
【背景技術】
【０００２】
電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。
【０００３】
有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。
【０００４】
アクティブマトリクス方式の有機ＥＬ表示パネルの一画素分の等価回路を図２に示す（たとえば、特許文献１参照）。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ（駆動用トランジスタ）１１ａ、第２のトランジスタ（スイッチング用トランジスタ）１１ｂおよび蓄積容量（コンデンサ）１９からなる。発光素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本明細書では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図２のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。
【０００５】
有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図１、図２などでは発光素子１５としてダイオードの記号を用いている。

【０００６】
発光素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子１５は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。
【０００７】
図２の動作について説明する。ゲート信号線１７を選択状態とし、ソース信号線１８に輝度情報を表す電圧の映像信号を印加する。トランジスタ１１ａが導通し、映像信号が蓄積容量１９に充電される。ゲート信号線１７を非選択状態とすると、トランジスタ１１ａがオフになる。トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート端子電位は蓄積容量（コンデンサ）１９によって安定に保持される。トランジスタ１１ａを介して発光素子１５に流れる電流は、トランジスタ１１ａのゲート／ドレイン端子間電圧Ｖｇｄに応じた値となる。発光素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。
【特許文献１】特開平８－２３４６８３号公報
【発明の開示】
【発明が解決しようとする課題】
【０００８】
有機ＥＬ表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、電流により発光するため、ポリシリコントランジスタアレイのトランジスタ特性にバラツキがあると、表示ムラが発生する。
【０００９】
図２は電圧プログラム方式の画素構成である。図２に図示する画素構成では、電圧の映像信号をトランジスタ１１ａで電流信号に変換する。したがって、トランジスタ１１ａに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ１１ａは５０％以上の特性バラツキが発生している。したがって、図２の構成では表示ムラが発生する。
【００１０】
表示ムラは、電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。また、電流プログラム方式は、低階調領域では、駆動電流が小さい。そのため、ソース信号線１８の寄生容量により良好に駆動できないという課題があった。特に、０階調目の電流は、０である。したがって、画像表示を変更できないという課題があった。
【００１１】
このように、たとえば、有機ＥＬ表示パネルを利用して良好な画像表示を得ることが困難であるという課題があった。
【課題を解決するための手段】
【００１２】
第１の本発明は、ＥＬ素子を有する複数の色の画素がマトリックス状に配置された表示画面を有するＥＬ表示装置において、
前記画素を選択するゲートドライバ回路と、
前記画素に映像信号を印加するソースドライバ回路と、
前記複数の色のうちの第１の色の階調の出力電圧を発生する第１のガンマ発生回路と、
前記複数の色のうちの第２の色の階調の出力電圧を発生する第２のガンマ発生回路と、
前記第１のガンマ発生回路及び前記第２のガンマ発生回路の発生する出力電圧に対応した、前記ＥＬ素子に流れる電流の最大値を制御する制御回路とを具備し、

前記第１のガンマ発生回路の最低階調での前記出力電圧と、前記第２のガンマ発生回路の最低階調での前記出力電圧とが一致し、
前記第１のガンマ発生回路の最大階調の前記出力電圧と、前記第２のガンマ発生回路の最大階調での前記出力電圧とを独立に可変でき、
前記制御回路は、前記表示画面に流れる電流をアナログ－デジタル変換した処理データ、または前記ＥＬ表示装置に入力される映像データから前記表示画面に流れる電流を示す処理データを求め、
前記求めた処理データに含まれる第１の処理データと第２の処理データとの関係において、前記第１の処理データが前記第２の処理データよりも小さい時、
前記求めた第１の処理データに基づき前記画素のＥＬ素子に流す電流の最大値を、前記求めた第２の処理データに基づき前記画素のＥＬ素子に流す電流の最大値よりも、大きくすることを特徴とするＥＬ表示装置である。
又、第２の本発明は、ＥＬ素子を有する複数の色の画素がマトリックス状に配置された表示画面を有するＥＬ表示装置において、
前記画素を選択するゲートドライバ回路と、
前記画素に映像信号を印加するソースドライバ回路と、
前記複数の色のうちの第１の色の階調の出力電圧を発生する第１のガンマ発生回路と、
前記複数の色のうちの第２の色の階調の出力電圧を発生する第２のガンマ発生回路と、
前記第１のガンマ発生回路及び前記第２のガンマ発生回路の発生する出力電圧に対応した、前記ＥＬ素子に流れる電流の最大値を制御する制御回路とを具備し、
前記第１のガンマ発生回路の最低階調での前記出力電圧と、前記第２のガンマ発生回路の最低階調での前記出力電圧とが一致し、
前記第１のガンマ発生回路の最大階調の前記出力電圧と、前記第２のガンマ発生回路の最大階調での前記出力電圧とを独立に可変でき、
前記制御回路は、前記表示画面に流れる電流をアナログ－デジタル変換した処理データ、または前記ＥＬ表示装置に入力される映像データから前記表示画面に流れる電流を示す処理データを求め、
前記求めた処理データに含まれる第１の処理データと第２の処理データとの関係において、前記第１の処理データが前記第２の処理データよりも小さい時、
前記求めた第１の処理データに基づき前記画素のＥＬ素子に流す電流の最大値を、前記求めた第２の処理データに基づき前記画素のＥＬ素子に流す電流の最大値よりも大きくし、
かつ前記表示画面に帯状の非表示領域を発生させ、前記帯状の非表示領域を移動させることを特徴とするＥＬ表示装置である。
又、第３の本発明は、前記ソースドライバ回路の出力端子と前記画素が接続されたソース信号線との間に配置されたスイッチ回路を更に具備し、
前記スイッチ回路により、前記ソースドライバ回路が出力する映像信号を、選択した前記ソース信号線に印加することを特徴とする第１又は第２の本発明のＥＬ表示装置である。
又、第４の本発明は、外光の明るさを検出するホトセンサを更に具備し、
前記制御回路は、前記ホトセンサの出力に基づいて、前記ＥＬ素子に流れる電流の最大値を変化させることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
又、第５の本発明は、前記第１の色の画素の開口率と前記第２の色の画素の開口率とが異なっていることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
又、第６の本発明は、前記ゲートドライバ回路は、Ｐチャンネルトランジスタで構成され、
前記ゲートドライバ回路により、前記表示画面の画素行を選択することを特徴とする第１又は第２の本発明のＥＬ表示装置である。
又、第７の本発明は、前記制御回路は、前記求めた処理データに基づいて、前記ＥＬ素子に流れる電流の最大値を変化させることを特徴とする第１又は第２の本発明のＥＬ表示

装置である。
　又、第８の本発明は、パネル温度検出手段を更に具備し、
　前記制御回路は、前記パネル温度検出手段の出力に基づいて、前記ＥＬ素子に供給するアノード電圧とカソード電圧のうち、少なくとも一方を可変することを特徴とする第１又は第２の本発明のＥＬ表示装置である。
　又、第９の本発明は、前記画素は、
　前記ＥＬ素子に電流を供給する駆動用トランジスタと、
　前記駆動用トランジスタのゲート端子と他の端子との間を短絡させるスイッチ用トランジスタとを有し、
　前記スイッチ用トランジスタは、デュアルゲート以上のマルチゲート構造であることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
　又、第１０の本発明は、前記画素は、
　前記ＥＬ素子に電流を供給する駆動用トランジスタと、
　ソース信号線に印加された映像信号を前記駆動用トランジスタに供給する経路を発生させる第１のスイッチ用トランジスタと、
　前記第１のスイッチ用トランジスタのゲート端子と前記駆動用トランジスタのゲート端子とに接続された第１のコンデンサとを有し、
　ゲート信号線と前記第１のスイッチ用トランジスタのゲート端子とが接続され、
　前記第１のスイッチ用トランジスタと前記駆動用トランジスタとは同一チャンネル極性のトランジスタであることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
　本発明においては、たとえば、表示パネル（表示装置）のドライバ回路は、主として単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、本発明においては、たとえば、表示装置などは、ｄｕｔｙ比制御、基準電流制御などを実施する。
【発明の効果】
【００１３】
　本発明においては、たとえば、ソースドライバ回路は、基準電流の発生回路を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、ＥＬ素子１５に流れる電流バラツキが発生しないように駆動する。したがって、トランジスタのしきい値ばらつきによる表示むらの発生を抑制することが可能となる。また、ｄｕｔｙ比制御などによりダイナミックレンジが広い画像表示を実現できる。
【００１４】
　本発明においては、たとえば、表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。
【００１５】
　本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。
【００１６】
　本発明は、たとえば、有機ＥＬ表示パネルを利用してより良好な画像表示を得ることができるという長所を有する。
【発明を実施するための最良の形態】
【００１７】
　本明細書において、各図面は理解を容易するために、また作図を容易にするため、省略および拡大あるいは縮小した箇所がある。たとえば、図４に図示する表示パネルの断面図では薄膜封止膜４１などを十分厚く図示している。一方、図３において、封止フタ４０は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルム（３８、３９）が必要である。しかし、

本明細書の各図面では円偏光板などを省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【００１８】

各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図３、図４の本発明の表示パネルにタッチパネルなどを付加し、図１５４から図１５７に図示する情報表示装置とすることができる。

【００１９】

本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ１１、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４などは、これらのいずれでも使用することができる。

【００２０】

ソースドライバ回路（ＩＣ）１４は、単なるドライバ機能だけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。

【００２１】

基板３０はガラス基板として説明をするが、シリコンウエハで形成してもよい。また、基板３０は、金属基板、セラミック基板、プラスティックシート（板）などを使用してよい。また、本発明の表示パネルなどを構成するトランジスタ１１、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４などは、ガラス基板などに形成し、転写技術により他の基板（プラスチックシート）に移し変えて構成または形成したものでもよいことは言うまでもない。フタ４０の材料あるいは構成に関しても基板３０と同様である。また、フタ４０、基板３０は放熱性を良好にするため、サファイアガラスなどを用いてもよいことは言うまでもない。

【００２２】

以下、本発明のＥＬ表示パネルについて図面を参照しながら説明をする。有機ＥＬ表示パネルは、図３に示すように、画素電極としての透明電極３５が形成されたガラス板３０（アレイ基板３０）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）２９、及び金属電極（反射膜）（カソード）３６が積層されたものである。透明電極（画素電極）３５である陽極（アノード）にプラス、金属電極（反射電極）３６の陰極（カソード）にマイナスの電圧を加え、透明電極３５及び金属電極３６間に直流を印加することにより、有機機能層（ＥＬ膜）２９が発光する。

【００２３】

なお、封止フタ４０とアレイ基板３０との空間には乾燥剤３７を配置する。これは、有機ＥＬ膜２９は湿度に弱いためである。乾燥剤３７によりシール剤を浸透する水分を吸収し有機ＥＬ膜２９の劣化を防止する。また、封止フタ４０とアレイ基板３０とは図２５１に図示するように周辺部を封止樹脂２５１１で封止する。

【００２４】

封止フタ４０とは、外部からの水分の浸入を防止あるいは抑制する手段であって、フタの形状に限定されるものではない。たとえば、ガラス板あるいはプラスティック板あるいはフィルムなどでもよい。また、融着ガラスなどでもよい。また、樹脂あるいは無機材料などの構成体であってもよい。また、蒸着技術などを用いて薄膜状の形成（図４を参照のこと）したものであってもよい。

【００２５】

図２５１に図示するように、封止フタ４０とアレイ基板３０間に、薄型のスピーカ２５１２を配置または形成してもよい。一例としてスピーカ２５１２はモバイル機器などで使用している薄膜型のものを使用する。封止フタ４０の凹部には空間２５１４があるため、この空間２５１４にスピーカ２５１２を配置することにより、空間２５１４を有効利用できる。また、空間２５１４内でスピーカ２５１２が振動するため、パネルの表面から音響を発生するように構成できる。もちろん、スピーカ２５１２は、表示パネルの裏面（観察面の逆面）に配置してもよい。スピーカ２５１２が振動し、空間２５１４が振動して良好な音響デバイスを構成することができる。スピーカ２５１２は乾燥剤３７と同時に固定するか、乾燥剤３７以外の箇所に封止フタ４０に貼り付けて固定する。封止フタ４０に直接にスピーカ２５１２を形成する構成でもよい。

【００２６】

封止フタ４０の空間２５１４あるいは封止フタ４０の面などに温度センサ（図示せず）を形成または配置する。この温度センサの出力結果により、以降に説明するｄｕｔｙ比制御、基準電流比制御、点灯率制御などを実施してもよい。

【００２７】

スピーカ２５１２の端子配線は、基板３０などにアルミニウムの蒸着膜で形成する。端子配線は、封止フタ４０外部に引き出し電源あるいは信号源に接続する。

【００２８】

スピーカ２５１２と同様に、薄型のマイクを配置または形成してもよい。また、圧電振動子をスピーカとして用いてもよい。なお、スピーカ、マイクなどの駆動回路はポリシリコン技術を用いてアレイ３０に直接形成あるいは配置してもよいことは言うまでもない。

【００２９】

スピーカ２５１２あるいはマイクなどの表面は、無機材料あるいは有機材料もしくは金属材料の１種類あるいは複数種類からなる薄膜あるいは厚膜２５１３を蒸着あるいは塗布して封止する。封止することによりスピーカ２５１２などから発生するガスなどによる有機ＥＬ膜などの劣化を抑制できる。

【００３０】

ＥＬ表示パネル（ＥＬ表示装置）の課題として、パネル内部で発生するハレーションを原因とするコントラスト低下がある。ＥＬ素子１５（ＥＬ膜２９）から発生した光がパネル内部に閉じ込められ乱反射するために発生する。

【００３１】

この課題を解決するために、本発明のＥＬ表示パネルでは、画像表示に非有効な表示領域（無効領域）に光吸収膜（光吸収手段）を形成または配置している。光吸収膜を形成することにより、画素１６から発生した光が基板３０などで乱反射することにより発生するハレーションによる表示コントラスト低下を抑制することができる。

【００３２】

無効領域とは、基板３０あるいは封止フタ４０の側面が例示される。また、基板３０かつ表示領域以外（たとえば、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４が形成された領域およびその近傍など）、フタ４０の全面（下取り出しの場合）などが例示される。

【００３３】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭｎO_3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【００３４】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チ

タンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

【００３５】

図３の本発明の有機ＥＬ表示パネルは、ガラスのフタ４０を用いて封止する構成である。しかし、本発明はこれに限定するものではない。たとえば、図４に図示するようにフィルム４１（薄膜でもよい。つまり、薄膜封止膜４１である）４１を用いた封止構造であってもよい。

【００３６】

封止フィルム（薄膜封止膜）４１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜４１として用いる。また、ＤＬＣ（ダイヤモンド　ライク　カーボン）膜などを電極３６の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【００３７】

薄膜４１あるいは封止構造を形成する膜の厚みは、干渉領域の膜厚には限定されない。５～１０μｍ以上あるいは、１００μｍ以上の厚みを有するように構成あるいは形成してもよいことは言うまでもない。また、封止構成の薄膜４１などが透過性を有する場合は、図４のＡ側が光出射側となり、不透過性あるいは光反射性の機能あるいは構造を有する場合は、Ｂ側が光出射側となる。

【００３８】

Ａ側とＢ側からの両方から光が出射されるように構成してもよい。この構成を採用する場合は、Ａ側からＥＬ表示パネルの画像を見る場合と、Ｂ側からＥＬ表示パネルの画像を見る場合とでは画像が左右反転する。したがって、Ａ側からＥＬ表示パネルの画像を見る場合と、Ｂ側からＥＬ表示パネルの画像を見る場合では、手動であるいはオートマチックに画像の左右を反転させる機能を付加する。この機能の実現は、映像信号の１画素行あるいは複数画素行分をラインメモリに蓄積し、ラインメモリの読み出し方向を反転させればよい。

【００３９】

図４のように封止フタ４０を用いず、封止膜４１で封止する構成を薄膜封止と呼ぶ。基板３０側から光を取り出す「下取り出し（図３を参照のこと。光取り出し方向は図３のＢ矢印方向である）」の場合の薄膜封止４１は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。

【００４０】

緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。封止膜４１は前述したように、ＤＬＣ（ダイヤモンド　ライク　カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【００４１】

有機ＥＬ膜２９側から光を取り出す「上取り出し（図４を参照のこと。光取り出し方向は図４のＡ矢印方向である）」の場合の薄膜封止は、有機ＥＬ膜２９を形成後、有機ＥＬ膜２９上にカソード（もしくはアノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次に、好ましくはこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜４１を形成する。

【００４２】

図３などにおいて、有機ＥＬ膜２９から発生した光の半分は、反射膜（カソード電極）３６で反射され、アレイ基板３０と透過して出射される。しかし、反射膜（カソード電極

）３６には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板３０にλ／４板（位相フィルム）３８および偏光板（偏光フィルム）３９を配置している。偏光板３９と位相フィルム３８を一体したものは円偏光板（円偏光シート）と呼ばれる。

【００４３】

図３、図４などの構成において、光出射面に、微細な四角錐、三角錐などの、プリズムを形成することにより、表示輝度を向上できる。四角錐の場合は、底辺の１辺は、１００μｍ以下１０μｍ以上にする。さらに好ましくは３０μｍ以下１０μｍ以上にする。三角錐の場合は、底辺の直径を１００μｍ以下１０μｍ以上にする。さらに好ましくは３０μｍ以下１０μｍ以上にする。

【００４４】

画素１６が反射電極の場合はＥＬ膜２９から発生した光は上方向に出射される（図４のＡ方向に光が出射）。したがって、位相板３８および偏光板３９は光出射側に配置することはいうまでもない。

【００４５】

反射型画素１６は、画素電極３５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極３５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ膜２９との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード３６（アノード３５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【００４６】

凸部（もしくは凹凸部）は、回折格子にすることは光取り出しに効果がある。回折格子は２次元あるいは３次元構造にする。回折格子のピッチは０．２μｍ以上２μｍ以下にすることが好ましい。この範囲で光効率が良好な結果が得られる。特に回折格子のピッチは０．３μｍ以上０．８μｍ以下にすることが好ましい。また、回折格子の形状は、サインカーブ状にすることが好ましい。

【００４７】

図１などにおいて、トランジスタ１１はＬＤＤ（ｌｉｇｈｔｌｙ　ｄｏｐｅｄ　ｄｒａｉｎ）構造を採用することが好ましい。

【００４８】

ＥＬ表示装置のカラー化は、マスク蒸着により行うが、本発明はこれに限定するものではない。たとえば、青色発光のＥＬ層を形成し、発光する青色光を、Ｒ、Ｇ、Ｂの色変換層（ＣＣＭ：カラーチェンジミディアムズ）でＲ、Ｇ、Ｂ光に変換してもよい。たとえば、図４において、薄膜封止膜４１上あるいは下にカラーフィルターを配置する。もちろん、プレシジェンシャドーマスクを利用したＲＧＢ有機材料（ＥＬ材料）の打ち分け方式を採用してもよい。本発明のカラーＥＬ表示パネルはこれらのいずれの方式を用いても良い。

【００４９】

本発明のＥＬパネル（ＥＬ表示装置）の画素１６の構造は、図１などに示すように、１つの画素１６が４つのトランジスタ１１ならびにＥＬ素子１５により形成される。画素電極３５はソース信号線１８と重なるように構成する。ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜３２を形成して絶縁し、平坦化膜３２上に画素電極３５を形成する。このようにソース信号線１８上の少なくとも１部に画素電極３５を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

【００５０】

平坦化膜３２は層間絶縁膜としても機能する。平坦化膜３２は、０．４μｍ以上２．０μｍ以下の膜厚に構成あるいは形成する。平坦化膜３２の膜厚が０．４μｍ以下であれば、層間絶縁が不良になりやすい（歩留まり低下）。２．０μｍ以上であればコンタクト接

続部３４の形成が困難になり、コンタクト不良が発生しやすい（歩留まり低下する）。

【００５１】

本発明の表示装置において、画素構成は、図１を中心に説明するが、これに限定するものではない。たとえば、図２、図６～図１３、図２８、図３１、図３３～図３６、図１５８、図１９３～図１９４、図５７４、図５７６、図５７８～図５８１、図５９５、図５９８、図６０２～図６０４、図６０７（ａ）（ｂ）（ｃ）にも適用できることは言うまでもない。

【００５２】

ＥＬ表示パネルは、Ｒ、Ｇ、Ｂで発光効率が異なる場合が多い。そのため、駆動用トランジスタ１１ａが流す電流がＲ、Ｇ、Ｂで異なる。たとえば、図２３５に図示するように、Ｂの画素１６を駆動する駆動用トランジスタ１１ａが点線とすると、Ｇの画素１６を駆動する駆動用トランジスタ１１ａが実線となる。図２３５の縦軸は、駆動用トランジスタ１１ａが流す電流（Ｓ－Ｄ電流）（μＡ）である。つまり、プログラム電流Ｉｗであり、横軸は駆動用トランジスタ１１ａのゲート端子電圧である。

【００５３】

図２３５に図示するように、Ｒ、Ｇ、Ｂでゲート端子電圧に対するＳ－Ｄ電流の大きさが異なると電流（電圧）プログラム精度が低下する（図２３５では実線の特性の精度がなくなる）。この課題に対して、駆動用トランジスタ１１ａのチャンネル幅（Ｗ）とチャンネル長（Ｌ）からなるＷＬ比を調整してトランジスタ１１ａの設計を行う。トランジスタ１１ａの設計は、同一ゲート端子電圧に対し、Ｒ、Ｇ、Ｂの駆動用トランジスタ１１ａが出力するＳ－Ｄ電流の差が２倍以内となるようにすることが好ましい。

【００５４】

本明細書ではＥＬ素子１５として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

【００５５】

有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること。１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。

【００５６】

この２つの条件を満足させるため、図２に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタとして機能させる。また、第２のトランジスタ１１ａはＥＬ素子１５に電流を供給するための駆動用トランジスタとして機能させている。

【００５７】

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

【００５８】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

【００５９】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生す

る。アモルファスシリコントランジスタでも発生する。

【００６０】

図２のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えることができない。

【００６１】

本発明の表示パネルの画素１６を構成するトランジスタ１１は、ｐ－チャンネルポリシリコン薄膜トランジスタに構成される。また、トランジスタ１１ｂは、デュアルゲート以上であるマルチゲート構造としている。

【００６２】

本発明の表示パネルの画素１６を構成するトランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用する。したがって、トランジスタ１１ｂは、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。

【００６３】

画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１の特性が一致していれば、電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【００６４】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。

【００６５】

本発明では、アニールの時のレーザー照射スポット（線状のレーザー照射範囲）をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポットを移動させる。もちろん、１画素列に限定するものではなく、たとえば、ＲＧＢ画素を１画素という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

【００６６】

レーザーアニール時の線状のレーザースポットをソース信号線１８の形成方向に一致させる（ソース信号線１８の形成方向と、レーザースポットの長手方向とを平行にする）ことにより、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる。

【００６７】

画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポットを縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。なお、Ｒ、Ｇ、Ｂの画素開口率は、異ならせてもよい。開口率を異ならせることにより、各ＲＧＢのＥＬ素子１５に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、ＲＧＢのＥＬ素子１５のい劣化速度を同一にすることができる。劣化速度を同一にすれば、ＥＬ表示装置のホワイトバランスずれが発生しない。

【００６８】

アレイ基板３０の駆動用トランジスタ１１ａの特性分布（特性ばらつき）は、ドーピング工程でも発生する。図５９１（ａ）に図示するように、ドーピングヘッド５９１１には、ドーピングのための穴が等間隔にあいている。したがって、図５９１（ａ）に図示するように、ドーピングによる特性分布が筋状に発生する。

【００６９】

本発明のアレイ基板の製造方法では、図５９１に図示するように、ドーピングによる特性の分布方向（図５９１）と、レーザーアニール方向による特性分布方向（図５９２）とソース信号線１８の形成方向（図５９３）とを一致させている。以上のように構成（形成）することにより、電流駆動方式において駆動用トランジスタ１１ａの特性ばらつきを電流プログラム方式により良好に補償することができる。

【００７０】

図５９１のドーピング工程では、ドーピングヘッド５９１１の走査方向に特性分布が発生する（ドーピングヘッドの垂直方向に特性分布が発生する）。図５９２のレーザーアニール工程では、レーザーヘッド５９１２の走査方向の垂直方向に特性分布が発生する（レーザーヘッドの長手方向に特性分布が発生する）。レーザーアニールは、線状のレーザー光が基板３０に照射され、線状にレーザーアニールされるからである。つまり、線状にレーザーショットされ、レーザー照射位置を順次ずらせることにより基板３０全体がレーザーアニールされる。

【００７１】

図５９３に図示するように、レーザーヘッド５９１２の長手方向は、ソース信号線１８と平行である（線状のレーザー光はソース信号線１８と平行になるように照射される）。また、図５９１に図示するように、ドーピングヘッド５９１１は、ソース信号線１８の形成方向に垂直になるように配置され操作される（ドーピングによる特性分布方向がソース信号線１８と平行になるようにドーピングが実施される）。

【００７２】

また、図５９４に図示するように、画素１６の駆動用トランジスタ１１ａの長手方向（チャンネル面積がａ×ｂで形成されているとき、ａまたはｂの長い辺）とレーザーヘッド５９１２の方向が一致するように、トランジスタ１１ａが形成または配置される（レーザーヘッド５９１２の走査方向と垂直にトランジスタ１１ａのチャンネルの長手方向が形成または配置される）。１レーザーショットでトランジスタ１１ａのチャンネルがアニールされ、特性バラツキが低減するからである。また、トランジスタ１１ａのチャンネルの長手方向と、ソース信号線１８に平行になるように、トランジスタ１１ａが形成または配置される。本発明の製造方法は、レーザーアニール工程を実施した後、ドーピング工程を実施する。

【００７３】

なお、以上の製造方法あるいは構成は、図２、図９、図１０、図１３、図３１、図１１、図６０２、図６０３、図６０４、図６０７（ａ）（ｂ）（ｃ）などで図示した他の画素構成にも適用できることは言うまでもない。

【００７４】

本発明のソースドライバ回路（ＩＣ）１４を構成する単位トランジスタ１５４は一定の面積が必要である。単位トランジスタ１５４に一定のトランジスタサイズが必要な理由の１つは、ウエハ５８９１にモビリティの特性分布があるからである。図５８９はウエハ５８９１の特性分布の状態を概念的に図示している。一般的にウエハの特性分布５８９２は帯状（すじ状）になっている。帯状の部分の特性が近似している。

【００７５】

特性分布５８９２を軽減するためには、ＩＣプロセスの拡散工程を工夫することにより改善する。１つの拡散工程を複数化実施することが有効である。拡散工程において、ドーピングなどを走査することにより実施している。この走査により、周期的に単位トランジスタの特性（特にＶｔ）が周期的に異なるようになる。したがって、拡散工程を複数回実施し、各拡散工程の開始位置をずらすことにより周期的なトランジスタの特性分布が平均

化される。したがって、周期的ムラがなくなる。この工程を実施しないと、通常、３～５ｍｍ周期の単位トランジスタの特性分布が発生する。走査を１～２ｍｍずらせて複数回実施することが適正である。

【００７６】

以上のように本発明のソースドライバ回路（ＩＣ）１４の製造方法は、ソースドライバ回路（ＩＣ）１４のトランジスタのモビリティを設定あるいは規定する拡散工程において、前記拡散工程を複数回に分けて、あるいは繰り返して実施することが特徴である。以上の工程は、電流出力のソースドライバ回路（ＩＣ）１４に有効なあるいは特徴ある製造方法である。

【００７７】

ソースドライバ回路（ＩＣ）１４の形成でレイアウトを工夫することも有効である。図５９０（ａ）のようにソースドライバＩＣチップ１４をレイアウトするよりも図５９０（ｂ）の特性分布５８９２の方向にレイアウトする。つまり、ウエハ５８９１の特性分布５８９２の方向にＩＣチップの長手方向が一致するようにＩＣのレチクルをレイアウト設定する。

【００７８】

図５８９のような特性分布５８９２が発生している場合は、図５５１（ａ）に図示するように、トランジスタ群４３１ｃの単位トランジスタ１５４を整然と配置するよりは、図５５１（ｂ）のようにトランジスタ群を構成する単位トランジスタ１５４を分散させて配置する方が端子１５５間の特性ばらつきが少なくなる。なお、図５５１において、同一ハッチングの単位トランジスタ１５４がトランジスタ群４３１ｃを構成するとしている。

単位トランジスタ１５４の特性バラツキは、トランジスタ群４３１ｃの出力電流によっても異なる。出力電流は、ＥＬ素子１５の効率によって決定される。たとえば、Ｇ色のＥＬ素子の発光効率が高ければＧ色の出力端子１５５から出力されるプログラム電流は小さくなる。逆に、Ｂ色のＥＬ素子の発光効率が低ければＢ色の出力端子１５５から出力されるプログラム電流は大きくなる。

【００７９】

プログラム電流が小さくなることは、単位トランジスタ１５４が出力する電流が小さくなることを意味する。電流が小さくなれば単位トランジスタ１５４のバラツキも大きくなる。単位トランジスタ１５４のバラツキを小さくするには、トランジスタサイズを大きくすればよい。

【００８０】

図１に図示する本発明のＥＬ表示パネルの画素構成などについて説明をする。ゲート信号線（第１の走査線）１７ａをアクティブ（ＯＮ電圧を印加）とする。同時に、駆動用のトランジスタ１１ａには、スイッチ用トランジスタ１１ｃを通して、前記ＥＬ素子１５に流すべきプログラム電流Ｉｗをソースドライバ回路（ＩＣ）１４から流す。また、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間を短絡するようにトランジスタ１１ｂが動作する。同時に、トランジスタ１１ａのゲート端子（Ｇ）とソース端子（Ｓ）間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９にトランジスタ１１ａのゲート電圧（あるいはドレイン電圧）を記憶する（図５（ａ）を参照のこと）。

【００８１】

なお、コンデンサ（蓄積容量）１９の大きさは、０．２ｐＦ以上２ｐＦ以下とすることがよく、中でもコンデンサ（蓄積容量）１９の大きさは、０．４ｐＦ以上１．２ｐＦ以下とすることがよい。

【００８２】

好ましくは、画素サイズを考慮してコンデンサ１９の容量を決定する。１画素に必要な容量をＣｓ（ｐＦ）とし、１画素が占める面積をＳｐとする。Ｓｐとは開口率ではない。各ＲＧＢの１つの画素が占める面積である。たとえば、Ｒ画素が２００μｍ×６７μｍであれば、Ｓｐ＝１３４００平方μｍである。

【００８３】
Ｓｐ（平方μｍ）とすれば、１５００／Ｓｐ ≦ Ｃｓ ≦ ３００００／Ｓｐとし、さらに好ましくは、３０００／Ｓｐ ≦ Ｃｓ ≦ １５０００／Ｓｐとなるようにする。なお、トランジスタ１１のゲート容量は小さいので、ここでいうＱとは、蓄積容量（コンデンサ）１９単独の容量である。Ｃｓが１５００／Ｓｐよりも小さいと、ゲート信号線１７の突き抜け電圧の影響が大きくなり、また、電圧の保持特性が低下し、輝度傾斜などが発生する。また、ＴＦＴの補償性能が低下する。Ｃｓが３００００／Ｓｐよりも大きいと、画素１６の開口率が低下する。そのため、ＥＬ素子１５の電界密度が高くなり、ＥＬ素子１５の寿命が低下するなど悪影響が発生する。また、コンデンサ容量により、電流プログラムの書込み時間が長くなり、低階調領域で書込み不足が発生する。

【００８４】
また、蓄積容量１９の容量値をＣｓ、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆとした場合、次式を満足させることが好ましい。

【００８５】
３ ＜ Ｃｓ／Ｉｏｆｆ ＜ ２４
さらに好ましくは、次式を満足させることが好ましい。

【００８６】
６ ＜ Ｃｓ／Ｉｏｆｆ ＜ １８
トランジスタ１１ｂのオフ電流を５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートーソース間（コンデンサの両端）に貯えられた電荷を１フィールド期間保持できないためである。したがって、コンデンサ１９の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を２％以下に抑えることができる。

【００８７】
以上の蓄積容量Ｃｓなどに関する事項は、図１の画素構成に限定されるものではなく、その他の電流プログラム方式の画素構成にも適用できることは言うまでもない。

【００８８】
ＥＬ素子１５の発光期間では、ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）、ゲート信号線１７ｂをアクティブとする。プログラム電流Ｉｗ＝Ｉｅの流れる経路を、ＥＬ素子１５に接続された経路に切り替えて、記憶したプログラム電流Ｉｗを前記ＥＬ素子１５に流すように動作させる（図５（ｂ）を参照のこと）。

【００８９】
図１の画素回路は、１画素内に４つのトランジスタ１１を有している。駆動用トランジスタ１１ａのゲート端子はトランジスタ１１ｂのソース端子に接続されている。トランジスタ１１ｂおよびトランジスタ１１ｃのゲート端子はゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレイン端子はトランジスタ１１ｃのソース端子ならびにトランジスタ１１ｄのソース端子に接続され、トランジスタ１１ｃのドレイン端子はソース信号線１８に接続されている。トランジスタ１１ｄのゲート端子はゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレイン端子はＥＬ素子１５のアノード電極に接続されている。

【００９０】
図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【００９１】
パネルを低コストで作製するためには、画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ回路１２もＰチャンネルで形成することが好まし

い。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まり化を実現できる。

【００９２】

以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図５を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図５（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。したがって、トランジスタ１１ａのゲート－ソースの電圧はＩ１が流れるような電圧となる。

【００９３】

第２のタイミングはトランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図５（ｂ）となる。トランジスタ１１ａのソース－ゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。

【００９４】

以上の動作を図示すると、図１９に図示するようになる。図１９（ａ）の１９１ａは、表示画面１４４における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。画素（行）１９１ａは、図５（ｂ）に図示するように非点灯（非表示画素（行））とする。

【００９５】

図１の画素構成の場合は、図５（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗが駆動用トランジスタ１１ａを流れ、プログラム電流Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【００９６】

次に、ＥＬ素子１５に電流を流す期間は図５（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【００９７】

このタイミングチャートを図２１に図示する。図２１などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。

【００９８】

図２１でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。

【００９９】

なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１１ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１１に接続してもよい（図６を参照のこと）。図６において、１画素のゲート信号線は３本となる（図１の構成は２本である）。

【０１００】
図６の画素構成では、トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。
【０１０１】
図６の画素構成において、画素１６に電流プログラムを行う際は、ゲート信号線１７ａ１、１７ａ２を同時に選択し、トランジスタ１１ｂ、１１ｃをオンさせる。なお、電流プログラムを実施している画素１６のゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｄをオフさせておく。
【０１０２】
選択した画素行における電流プログラム期間（通常、１水平走査期間）を完了する時は、まず、ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加して、トランジスタ１１ｂをオフする。この時は、ゲート信号線１７ａ２はオン電圧（Ｖｇｌ）が印加されており、トランジスタ１１ｃはオン状態である。次に、ゲート信号線１７ａ２にオフ電圧を印加し、トランジスタ１１ｃをオフさせる。
【０１０３】
以上のように、トランジスタ１１ｂ、１１ｃの両方がオン状態から、トランジスタ１１ｂ、１１ｃをオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ１１ｂをオフにし、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間をオープンにする（ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加する）。次に、トランジスタ１１ｃをオフにして、ソース信号線１８と駆動用トランジスタ１１ａのドレイン端子（Ｄ）を切り離す（ゲート信号線１７ａ２にもオフ電圧（Ｖｇｈ）を印加する）。
【０１０４】
ゲート信号線１７ａ１にオフ電圧を印加してから、ゲート信号線１７ａ２にオフ電圧を印加するまでの期間Ｔｗは、０．１μｓｅｃ以上１０μｓｅｃ以下の期間とすることが好ましい。もしくは、１Ｈの期間をＴｈとした時、Ｔｗは、Ｔｈ／５００以上Ｔｈ／１０以下とすることが好ましい。特に、Ｔｗは、Ｔｈ／２００以上Ｔｈ／５０以下とすることが好ましい。
【０１０５】
以上の事項は、図６の画素構成に限定されるものではない。たとえば、図１２などの画素構成にも適用される。図１２の画素構成において、画素１６に電流プログラムを行う際は、ゲート信号線１７ａ１、１７ａ２を同時に選択し、トランジスタ１１ｄ、１１ｃをオンさせる。なお、電流プログラムを実施している画素１６のゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｅをオフさせておく。
【０１０６】
選択した画素行における電流プログラム期間（通常、１水平走査期間）を完了する時は、まず、ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加して、トランジスタ１１ｄをオフする。この時は、ゲート信号線１７ａ２はオン電圧（Ｖｇｌ）が印加されており、トランジスタ１１ｃはオン状態である。次に、ゲート信号線１７ａ２にオフ電圧を印加し、トランジスタ１１ｃをオフさせる。
【０１０７】
以上のように、トランジスタ１１ｄ、１１ｃの両方がオン状態から、トランジスタ１１ｄ、１１ｃをオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ１１ｄをオフにし、トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間をオープンにする（ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加する）。次に、トランジスタ１１ｃをオフにして、ソース信号線１８とトランジスタ１１ａのドレイン端子（Ｄ）を切り離す（ゲート信号線１７ａ２にもオフ電圧（Ｖｇｈ）を印加する）。

【０１０８】
図１２でも図６と同様に、ゲート信号線１７ａ１にオフ電圧を印加してから、ゲート信号線１７ａ２にオフ電圧を印加するまでの期間Ｔｗは、０．１μｓｅｃ以上１０μｓｅｃ以下の期間とすることが好ましい。０．１μｓｅｃ以上１０μｓｅｃ以下の期間とすることが好ましい。もしくは、１Ｈの期間をＴｈとした時、Ｔｗは、Ｔｈ／５００以上Ｔｈ／１０以下とすることが好ましい。特に、Ｔｗは、Ｔｈ／２００以上Ｔｈ／５０以下とすることが好ましい。
【０１０９】
以上の事項は、図１０などの画素構成にあっても適用できることは言うまでもない。また、図１２では駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング用トランジスタ１１ｅを配置しているが、図１３に図示するように、スイッチング用トランジスタ１１ｅを省略してもよいことは言うまでもない。
【０１１０】
なお、本発明の画素構成は図１、図１２の構成に限定されるものではない。たとえば、図７のように構成してもよい。図７は、図１の構成に比較してスイッチング用トランジスタ１１ｄがない。替わりに切り替えスイッチ７１が形成または配置されている。図１のスイッチ１１ｄは駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ１１ｄのオンオフ制御機能が重要な構成要素である。トランジスタ１１ｄを形成せず、オンオフ機能を実現するのが、図７の構成である。
【０１１１】
図７において、切り替えスイッチ７１のａ端子は、アノード電圧Ｖｄｄに接続されている。なお、ａ端子に印加する電圧はアノード電圧Ｖｄｄに限定されるものではなく、ＥＬ素子１５に流れる電流をオフできる電圧であればいずれでもよい。
【０１１２】
切り替えスイッチ７１のｂ端子は、カソード電圧（図７ではグランドと図示している）に接続されている。なお、ｂ端子に印加する電圧はカソード電圧に限定されるものではなく、ＥＬ素子１５に流れる電流をオンできる電圧であればいずれでもよい。
【０１１３】
切り替えスイッチ７１のｃ端子にはＥＬ素子１５のカソード端子が接続されている。なお、切り替えスイッチ７１はＥＬ素子１５に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図７の形成位置に限定されるものではなく、ＥＬ素子１５の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、ＥＬ素子１５に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、ＥＬ素子１５の電流経路にＥＬ素子１５に流す電流をオンオフできるスイッチング手段を具備すれば、いずれの画素構成でもよい。
【０１１４】
本明細書において、オフとは完全に電流が流れない状態を意味するものではない。ＥＬ素子１５に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。つまり、トランジスタ１１ｄはＥＬ素子１５が発光するリーク電流を流しても良い。
【０１１５】
切り替えスイッチ７１は、ＰチャンネルとＮチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明は必要ないであろう。もちろん、スイッチ７１はＥＬ素子１５に流れる電流をオンオフするだけであるから、Ｐチャンネルトランジスタあるいはチャンネルトランジスタでも形成することができることは言うまでもない。
【０１１６】
スイッチ７１がａ端子に接続されている時は、ＥＬ素子１５のカソード端子にアノード電圧Ｖｄｄが印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇがいずれの電圧保持状態であってもＥＬ素子１５には電流が流れない。したがって、ＥＬ素子１

５は非点灯状態となる。もちろん、駆動用トランジスタ１１ａのソース端子（Ｓ）－ドレイン端子（Ｄ）間の電圧が、カットオフあるいはその近傍にすることができるように、切り換えスイッチ（回路）７１のａ端子の電圧を設定すればよい。

【０１１７】

スイッチ７１がｂ端子に接続されている時は、ＥＬ素子１５のカソード端子にカソード電圧Ｖｓｓが印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇに保持された電圧状態に応じてＥＬ素子１５に電流が流れる。したがって、ＥＬ素子１５は点灯状態となる。

【０１１８】

以上のことより図７の画素構成では、駆動用トランジスタ１１ａとＥＬ素子１５間にはスイッチング用トランジスタ１１ｄが形成されていない。しかし、スイッチ７１を制御することによりＥＬ素子１５の点灯制御を行うことができる。

【０１１９】

画素１６のスイッチング用トランジスタ１１などはホトトランジスタであってもよい。たとえば、外光の強弱によりホトトランジスタ１１をオンオフさせ、ＥＬ素子１５に流れる電流を制御することにより、表示パネルの輝度を変化させることができる。

【０１２０】

図１、図２、図６、図１１、図１２などの画素構成では、駆動用トランジスタ１１ａもしくは１１ｂは１画素につき１個である。本発明はこれに限定するものではなく、駆動用トランジスタ１１ａは１画素に複数個を形成または配置してもよい。

【０１２１】

図８は１画素１６に複数個の駆動用トランジスタ１１ａが形成または構成された実施例である。図８では１画素に２個の駆動用トランジスタ１１ａ１、１１ａ２が形成され、２個の駆動用トランジスタ１１ａ１、１１ａ２のゲート端子は共通のコンデンサ１９に接続されている。駆動用トランジスタ１１ａを複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図１などと同様であるので説明を省略する。

【０１２２】

図８において、駆動用トランジスタ１１ａは３個以上で構成（形成）してもよいことは言うまでもない。また、複数の駆動用トランジスタ１１ａはＮチャンネルとＰチャンネルの両方を用いて構成（形成）してもよい。

【０１２３】

図１、図１２は駆動用トランジスタ１１ａが出力する電流をＥＬ素子１５に流し、前記電流を駆動用トランジスタ１１ａとＥＬ素子１５間に配置されたスイッチング素子１１ｄまたはトランジスタ１１ｅでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図９の構成が例示される。

【０１２４】

図９の実施例では、ＥＬ素子１５に流す電流が駆動用トランジスタ１１ａで制御される。ＥＬ素子１５に流れる電流をオンオフさせるのはＶｄｄ端子とＥＬ素子１５間に配置されたスイッチング素子１１ｄで制御される。したがって、本発明はスイッチング素子１１ｄの配置はどこでもよく、ＥＬ素子１５に流れる電流を制御できるものであればいずれでもよい。動作などは図１などと同様あるいは類似であるので説明を省略する。

【０１２５】

また、図１０の画素構成において、すべてのトランジスタはＮチャンネルで構成している。しかし、本発明はＥＬ素子構成をＮチャンネルで構成することのみに限定するものではない。ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【０１２６】

図１０の画素構成は、２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。第１のタイミングではゲート信号線１７ａ１、１７ａ２にオン電圧（Ｖｇｈ）が印加されることにより、トランジスタ１１ｂならびにトラ

ンジスタ１１ｃがＯＮする。また、ゲート信号線１７ｂにオフ電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがＯＦＦする。したがって、ソース信号線１８より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが短絡された状態となり、駆動用トランジスタ１１ａはトランジスタ１１ｃを通じてプログラム電流が流れる。

【０１２７】

選択した画素行における電流プログラム期間（通常、１水平走査期間）を完了する時は、まず、ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加して、トランジスタ１１ｂをオフする。この時は、ゲート信号線１７ａ２はオン電圧（Ｖｇｌ）が印加されており、トランジスタ１１ｃはオン状態である。次に、ゲート信号線１７ａ２にオフ電圧を印加し、トランジスタ１１ｃをオフさせる。

【０１２８】

以上のように、トランジスタ１１ｂ、１１ｃの両方がオン状態から、トランジスタ１１ｂ、１１ｃをオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ１１ｂをオフにし、トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間をオープンにする（ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加する）。次に、トランジスタ１１ｃをオフにして、ソース信号線１８とトランジスタ１１ａのドレイン端子（Ｄ）を切り離す（ゲート信号線１７ａ２にもオフ電圧（Ｖｇｈ）を印加する）。

【０１２９】

第２のタイミングはゲート信号線１７ａ１、１７ａ２にオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。したがって、トランジスタ１１ｂとトランジスタ１１ｃがオフし、トランジスタ１１ｄがオンする。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。

【０１３０】

電流プログラム方式の画素（図１、図６から図１３、図３１から図３６など）では、駆動用トランジスタ１１ａ（図１１、図１２などではトランジスタ１１ｂ）の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、駆動用トランジスタ１１のチャンネル長Ｌが５μｍ以上１００μｍ以下とすることが好ましい。さらに好ましくは、駆動用トランジスタ１１のチャンネル長Ｌが１０μｍ以上５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【０１３１】

以上のように、本発明は、ＥＬ素子１５に電流が流れこむ経路、またはＥＬ素子１５から電流が流れ出す経路（つまり、ＥＬ素子１５の電流経路である）にＥＬ素子１５に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。

【０１３２】

電流プログラム方式の１つであるカレントミラー方式であっても、図１１、図１２に図示するように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｅを形成または配置することによりＥＬ素子１５に流れる電流をオンオフすることができる。トランジスタ１１ｅは図７の切り換えスイッチ（回路）７１に置き換えても良い。

【０１３３】

図１１のスイッチング用トランジスタ１１ｄ、１１ｃは１本のゲート信号線１７ａに接続されているが、図１２に図示するように、トランジスタ１１ｃはゲート信号線１７ａ２で制御し、トランジスタ１１ｄはゲート信号線１７ａ１で制御するように構成してもよい。先にも説明したように、図１２の画素構成の方が、画素１６の制御の汎用性が高くなり、駆動用トランジスタ１１ｂの特性補償性能も向上する。

【０１３４】

次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図１４はＥＬ表示装置の回路を中心とした説明図である。画素１６はマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行うプログラム電流を出力するソースドライバ回路（ＩＣ）１４が接続されている。ソースドライバ回路（ＩＣ）１４の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている（図１５、図５７、図５８、図５９などを参照のこと）。

【０１３５】

ソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４の最小出力電流は０．５ｎＡ以上１００ｎＡにしている。特に単位トランジスタ１５４の最小出力電流は２ｎＡ以上２０ｎＡにすることがよい。ドライバＩＣ１４内の単位トランジスタ群４３１ｃを構成する単位トランジスタ１５４の精度を確保するためである。

【０１３６】

ソースドライバ回路（ＩＣ）１４は、ソース信号線１８の電荷を強制的に放出または充電するプリチャージ回路を内蔵する。図１６などを参照のこと。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるからである。

【０１３７】

プリチャージ電圧は、駆動用トランジスタ１１ａのゲート（Ｇ）端子に立ち上がり電圧あるいは立ち上がり電圧以下の電圧を印加する方法とも考えることができる。つまり、駆動用トランジスタ１１ａをオフ状態にすることによりプログラム電流Ｉｗが０になる状態を発生さえ、ＥＬ素子１５に電流が流れないようにする。ソース信号線１８の電荷の充放電は副次てきなものである。

【０１３８】

本発明において、ソースドライバ回路（ＩＣ）１４は半導体シリコンチップで形成し、チップオンガラス（ＣＯＧ）技術で基板３０のソース信号線１８の端子と接続されている。一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路（ＩＣ）１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、表示パネルの狭額縁化を実現できる。もちろん、ゲートドライバ回路１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板３０上に実装してもよいことは言うまでもない。また、ゲートドライバ回路（ＩＣ）１２、ソースドライバ回路（ＩＣ）１４をＣＯＦあるいはＴＡＢ技術で実装してもよい。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【０１３９】

ゲートドライバ回路１２はゲート信号線１７ａ用のシフトレジスタ回路１４１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路１４１ｂとを内蔵する。なお、説明を容易にするため、画素構成は図１を例にあげて説明をする。また、図６、図１２のようにゲート信号線１７ａがゲート信号線１７ａ１と１７ａ２で構成される場合は、それぞれ独立にシフトレジスタ回路１４１を形成するか、いつのシフトレジスタ回路１４１の出力信号をロジック回路でゲート信号線１７ａ１、１７ａ２の制御信号を発生させる。

【０１４０】

各シフトレジスタ回路１４１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される（図１４を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシ

フトレジスタ回路１４１にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。

【０１４１】

シフトレジスタ回路１４１のシフトタイミングはコントロールＩＣ７６０（後述する）からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路１４１を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより信号線数が削減でき、狭額縁化を実現できる。

【０１４２】

シフトレジスタ回路１４１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路１４１の出力とゲート信号線１７を駆動する出力ゲート１４３間には少なくとも２つ以上のインバータ回路１４２が形成されている。

【０１４３】

ソースドライバ回路（ＩＣ）１４を低温ポリシリなどのポリシリ技術で基板３０上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路（ＩＣ）１４のシフトレジスタ間には複数のインバータ回路が形成される。

【０１４４】

以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライバ回路に共通の事項である。

【０１４５】

ＥＬ表示パネルの色温度は、色温度が７０００Ｋ（ケルビン）以上１２０００Ｋ以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±３０％以内となるようにする。さらに好ましくは±１５％以内となるようにする。たとえば、電流密度が１００Ａ／平方メーターをすれば、３原色がいずれも７０Ａ／平方メーター以上１３０Ａ／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５Ａ／平方メーター以上１１５Ａ／平方メーター以下となるようにする。

【０１４６】

有機ＥＬ素子１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【０１４７】

この課題に対処するため、本発明ではゲートドライバ回路１２（場合によってはソースドライバ回路（ＩＣ）１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。特に駆動用トランジスタ１１ａのゲート端子の電位位置（ｃで示す）とドレイン端子の電位位置（ａで示す）間に配置されたトランジスタ１１ｂを遮光することが好ましい。

【０１４８】

この構成を図３１４（ａ）（ｂ）に示している。特に表示パネルが黒表示の場合は、図３１４（ａ）（ｂ）におけるＥＬ素子１５のアノード端子の電位位置ｂの電位がカソード電位に近い。そのため、ＴＦＴ１７ｂがオン状態であると、電位ａも低くなる。そのため、トランジスタ１１ｂのソース端子とドレイン端子間の電位（ｃ電位とａ電位間）が大きくなり、トランジスタ１１ｂがリークしやすくなる。この課題に対しては、図３１４（ａ）（ｂ）に図示するように遮光膜３１４１を形成することが有効である。

【０１４９】

遮光膜３１４１はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚３１４１が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１のパターニングが困難になる。

【０１５０】

ドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ回路１２などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【０１５１】

しかし、ドライバ回路１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路１２などの上に少なくとも１層、好ましくは複数層の有機ＥＬ膜を画素電極上の有機ＥＬ膜形成と同時に形成する。

【０１５２】

以下、本発明の駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がＰチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時にオン電圧を印加する。

【０１５３】

ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７との交差部の容量、トランジスタ１１ｂ、トランジスタ１１ｃのチャンネル容量などにより発生する。

【０１５４】

寄生容量はソース信号線１８だけでなく、ソースドライバＩＣ１４でも発生する。図１７に図示するように、保護ダイオード１７１が主原因である。保護ダイオード１７１は、ＩＣ１４を静電気保護する目的を有するが、コンデンサとなり寄生容量ともなってしまう。一般的な保護ダイオードの容量は３～５ｐＦである。

【０１５５】

本発明のソースドライバ回路（ＩＣ）１４（後に詳細に説明をする）では、図１７に図示するように、接続端子１５５と電流出力回路１６４間にサージ低減抵抗１７２を形成または配置している。抵抗１７２はポリシリコンまたは拡散抵抗で形成する。抵抗１７２の抵抗値は、１ＫΩ以上１ＭΩ以下とする。この抵抗１７２により、外部からの静電気が抑制される。したがって、保護ダイオード１７１のサイズが小さくともよい。保護ダイオード１７１が小さければ保護ダイオードのよる寄生容量の大きさも小さくなる。

【０１５６】

図１７ではソースドライバＩＣ１４内に抵抗１７２を形成または配置しているように図示しているがこれに限定するものではなく、抵抗１７２は、アレイ３０に形成または配置してもよいことはいうまでもない。また、ダイオード（トランジスタをダイオード構成にしたものを含む）１７１についても同様である。

【０１５７】

抵抗１７１ａと１７１ｂはトリミングにより抵抗値を調整できるように構成することが好ましい。トリミングにより、抵抗値１７１ａと１７１ｂの抵抗値を調整でき、ソース信号線１８に流れるリーク電流をなくすことができる。トリミング以外で抵抗値などを調整することも可能である。たとえば、抵抗１７１を拡散抵抗で形成することより、加熱することにより抵抗値を調整できる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。

【０１５８】

ＩＣチップを全体的にあるいは部分的に加熱することによりＩＣチップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を調整あるいは変化させることができる。また、複数の抵抗１７１ａなどを形成し、１つ以上の抵抗１７１ａとソース信号線１８との接続をカットすることにより全体として抵抗値の調整を実現でき、リーク電流などをなくすことができる。以上のトリミング、調整などに関する事項は抵抗１７２に対しても適用されることは言うまでもない。

【０１５９】
ソース信号線１８の電流値変化に要する時間ｔは浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとするとｔ＝Ｃ・Ｖ／Ｉである。たとえば、プログラム電流を１０倍大きくすれば、電流値変化に要する時間が１０分の１に短くできる。したがって、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。
【０１６０】
プログラム電流をＮ倍にするとＥＬ素子１５に流れる電流もＮ倍となる。そのため、ＥＬ素子１５の輝度もＮ倍となる。そこで、所定の輝度を得るために、たとえば、図１のトランジスタ１７ｄの導通期間を１／Ｎにする。
【０１６１】
以上のように、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａに電流プログラムを行うためには、ソースドライバ回路（ＩＣ）１４から比較的大きな電流を出力する必要がある。しかし、Ｎ倍のプログラム電流をソース信号線１８に流すとこのプログラム電流値が画素１６にプログラムされてしまい、所定の電流に対しＮ倍の大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。
【０１６２】
なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたがこれは一例である。場合によっては、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にする場合もあるであろう。また、１倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。
【０１６３】
本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素１６の駆動用トランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍（Ｎ１は１以上には限定されない）の電流値を画素１６の駆動用トランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／（Ｎ２）倍（Ｎ２は１以上である。Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。
【０１６４】
本発明の駆動方法は、たとえば、白ラスター表示とし、表示画面１４４の１フィールド（フレーム）期間の平均輝度をＢ０と仮定した場合、各画素１６の輝度Ｂ１が平均輝度Ｂ０よりも高くなるように電流プログラムを行う駆動方法である。かつ、少なくとも１フィールド（フレーム）期間において、非表示領域１９２が発生するようにする駆動方法である。したがって、本発明の駆動方法では、１フィールド（フレーム）期間の平均輝度はＢ１よりも低くなる。
【０１６５】
１フィールド（フレーム）期間において、通常輝度で電流プログラムを画素１６に対し実施し、非表示領域１９２が発生するようにする駆動方法である。この方式では、１フィールド（フレーム）期間の平均輝度は通常の駆動方法（従来の駆動方法）よりも低くなる。しかし、動画表示性能を向上できる効果が発揮される。
【０１６６】
本発明は、画素構成が電流プログラム方式のみに限定されない。たとえば、図２６のよ

うな電圧プログラム方式の画素構成にも適用できる。１フレーム（フィールド）の所定期間を高い輝度で表示し、他の期間を非点灯状態にすることが、電圧駆動方式においても、動画表示性能の向上などに有効だからである。また、電圧駆動方式においても、ソース信号線１８の寄生容量の影響は無視できない。特に大型ＥＬ表示パネルにおいて、寄生容量が大きいため、本発明の駆動方法を実施することは効果がある。

【０１６７】

図２３に図示するように、間欠する間隔（非表示領域１９２／表示領域１９３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【０１６８】

非表示領域１９２とは、ある時刻において非点灯ＥＬ素子１５の画素１６領域である。表示領域１９３とは、ある時刻において点灯ＥＬ素子１５の画素１６領域である。非表示領域１９２、表示領域１９３は、水平同期信号に同期して、１画素行ずつ位置がシフトしていく。

【０１６９】

本発明の駆動方法の説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。もちろん、ゲート信号線１７ａからの突き抜け電圧によっても、理想状態から変化する。ここでは説明を容易にするため、理想状態として説明をする。

【０１７０】

液晶表示パネルは、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【０１７１】

有機（無機）ＥＬ表示パネル（表示装置）も１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。したがって、液晶表示パネルと同様の課題が発生する。一方、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイは、人間の眼の残像特性を用いて画像表示を行うため、動画表示画像の輪郭ぼけは発生しない。

【０１７２】

本発明の駆動方法では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。本発明の駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０１７３】

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示を実施するにあたり、トランジスタ１１ｄは最大でも１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素１６に保持されている。そのため、本発明の駆動方法において、間欠表示を実施するための画像メモリは不要である。

【０１７４】

本発明の駆動方法はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅ（図１２など）などをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり

、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのまま画素１６のコンデンサ１９の保持されている。したがって、次のタイミングでスイッチング素子１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【０１７５】

本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

【０１７６】

さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値を大きくすることのより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【０１７７】

電流駆動では特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（基本的には１Ｈ以内である。ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【０１７８】

図１の画素構成の場合、図６（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０１７９】

次に、ＥＬ素子１５に電流を流す期間は図６（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【０１８０】

プログラム電流Ｉｗが本来流す電流（所定値）のＮ倍であるとすると、図６（ｂ）のＥＬ素子１５に流れる電流Ｉｅも１０倍になる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１８に図示するように、倍率Ｎを高くするほど、画素１６の瞬時の表示輝度Ｂも高くなる。基本的には倍率Ｎと画素１６の輝度とは比例関係となる。

【０１８１】

そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさせ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯している範囲は１画素行（厳密には１画素である）。

【０１８２】

本発明では、この１Ｆ／Ｎの表示（点灯）領域１９３が図１９（ｂ）に示すように表示画面１４４の上から下に移動する。なお、表示領域１９３の走査方向は表示画面１４４の下から上であってもよい。また、ランダムであってもよい。

【０１８３】
本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は該当画素行のＥＬ素子１５には電流が流れない。したがって、各画素１６は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。
【０１８４】
図１９に図示するように、書き込み画素行１９１ａは非点灯表示領域１９２とする。しかし、これは、図１、図２などの画素構成の場合である。図１１、図１２などで図示するカレントミラーの画素構成では、書き込み画素行１９１は点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。
【０１８５】
以上のように、図１９、図２３などのように所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。図１９の駆動方法では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。
【０１８６】
液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。
【０１８７】
図１９に図示するように、駆動するためには、画素１６の電流プログラム期間（図１の画素構成においては、ゲート信号線１７ａのオン電圧Ｖｇｌが印加されている期間）と、ＥＬ素子１５をオフまたはオン制御している期間（図１の画素構成においては、ゲート信号線１７ｂのオン電圧Ｖｇｌまたはオフ電圧Ｖｇｈが印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線１７ａとゲート信号線１７ｂは分離されている必要がある。
【０１８８】
たとえば、ゲートドライバ回路１２から画素１６に配線されたゲート信号線１７が１本である場合、ゲート信号線１７に印加されたロジック（ＶｇｈまたはＶｇｌ）をトランジスタ１１ｂに印加し、ゲート信号線１７に印加されたロジックをインバータで変換して（ＶｇｌまたはＶｇｈ）して、トランジスタ１１ｄに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線１７ａを操作するゲートドライバ回路１２ａと、ゲート信号線１７ｂを操作するゲートドライバ回路１２ｂが必要となる。
【０１８９】
図１９の駆動方法のタイミングチャートを図２０に図示する。なお、本発明などにおいて、説明を容易にするため、特に断りがない時の画素構成は図１であるとする。図２０でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図２０（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図２０（ｂ）を参照）。この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。
【０１９０】
選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。

なお、Ｎは１以上であればいずれの値でもよい。

【０１９１】

図２１は、図２０の動作を各画素行に適用した実施例である。ゲート信号線１７に印加する電圧波形を示している。電圧波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）（２）などの添え字は選択している画素行番号を示している。

【０１９２】

図２１において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路（ＩＣ）１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍である。ただし、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。コンデンサ１９にはＮ倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。

【０１９３】

１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路（ＩＣ）１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍である。したがって、コンデンサ１９にはＮ倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０１９４】

次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０１９５】

以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、図２１の駆動方式では、ＥＬ素子１５にはＮ倍の電流が流れる。したがって、表示画面１４４はＮ倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／Ｎにしておけばよいことは言うまでもない。１／Ｎの電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面（非点灯表示領域）１９２の挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【０１９６】

しかし、寄生容量の影響が無視できるあるいは影響が軽微の場合は、Ｎ＝１として、本発明の駆動方法を実施してもよいことはいうまでもない。この駆動方法は、図９９から図１１６などを用いて後ほど説明をする。

【０１９７】

なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流してプログラム電流を流しても良い。たとえば、プログラム対象の画素１６に書き込むプログラム電流が０．２μＡとする。ソースドライバ回路（ＩＣ）１４から出力するプログラム電流を２．０μＡとする。

【０１９８】

したがって、ソースドライバ回路（ＩＣ）１４から見れば、Ｎ＝２．０／０．２＝１０

である。ソースドライバ回路（ＩＣ）１４から出力されたプログラム電流のうち、１．８μＡ（２．０－０．２）をダミー画素に流す。残りの０．２μＡを対象画素１６の駆動用トランジスタ１１ａに流す。ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

【０１９９】

以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動用トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができる。また、ＥＬ素子１５には、Ｎ倍よりは十分小さい電流を流すことができることになる。

【０２００】

図１９（ａ）は表示画面１４４への書き込み状態を図示している。図１９（ａ）において、１９１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１９などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式（図２８など）でもよい。

【０２０１】

図１９（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１９（ｂ）で示すように電流を書き込まれている画素行は非点灯領域１９２となる。

【０２０２】

Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示画面１４４の９０％の範囲を非点灯領域１９２とすればよい。表示パネルの表示画面１４４の水平走査線がＱＣＩＦの２２０本（Ｓ＝２２０）とすれば、２２本を表示領域１９３とし、２２０－２２＝１９８本を非表示領域１９２とすればよい。

【０２０３】

一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域１９３とし、この表示領域１９３をＮ倍の輝度で発光させる（Ｎは１以上の値である）。この表示領域１９３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非点灯領域１９２とする。この非点灯領域は黒表示（非発光）である。また、この非発光部１９２はトランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値は変化することは言うまでもない。

【０２０４】

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示画面１４４の９０％の範囲を非点灯領域１９２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非点灯領域１９２とすることに限定するものではない。例えば、Ｒの画素は、１／８を非点灯領域１９２とし、Ｇの画素は、１／６を非点灯領域１９２とし、Ｂの画素は、１／１０を非点灯領域１９２と、それぞれの色により変化させてもよい。また、ＲＧＢの色で個別に非点灯領域１９２（あるいは点灯領域１９３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる。この実施例を図２２に示す。

【０２０５】
図１９（ｂ）に図示するように、書き込み画素行１９１ａを含む画素行が非点灯領域１９２とし、書き込み画素行１９１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域１９３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域１９３が帯状になって、画面の上から下に移動する。
【０２０６】
図１９の表示では、１つの表示領域１９３が画面の上から下方向に移動する。フレームレートが低いと、表示領域１９３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。
【０２０７】
この課題に対しては、図２３に図示するように、表示領域１９３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図１９の明るさと同等になる。なお、分割された表示領域１９３は等しく（等分に）する必要はない。また、分割された非表示領域１９２も等しくする必要はない。
【０２０８】
以上のように、表示領域１９３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。
【０２０９】
図２４はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図２４で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。
【０２１０】
画像の分割数は可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。
【０２１１】
図２４などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより表示画面１４４を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、表示画面１４４の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域１９３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。
【０２１２】
以上の実施例は、トランジスタ１１ｄまたは切り換えスイッチ（回路）７１などによりＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子１５に流れる経路を形成することにより、表示画面１４４をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷により駆動用トランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面１４４をオンオフ（点灯、非点灯）する方式でもよい。
【０２１３】

図２５は図２３の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図２５と図２１の差異は、ゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１と同一であるので説明を省略する。

【０２１４】

なお、本発明の明細書において、表示画面１４４において、表示領域１９３と全表示領域１４４の割合をｄｕｔｙ比と呼ぶことがある。つまり、ｄｕｔｙ比は表示領域１９３の面積／全表示領域１４４の面積である。あるいは、ｄｕｔｙ比はオン電圧が印加されているゲート信号線１７ｂの本数／全ゲート信号線１７ｂの本数でもある。また、ゲート信号線１７ｂにオン電圧が印加され、このゲート信号線１７ｂに接続されている選択画素行数／表示領域１４４の全画素行数でもある。

【０２１５】

ｄｕｔｙ比の逆数（全画素行数／選択画素行数）は一定以下でないと、フリッカが発生する。この関係を図２６６に図示する。図２６６において、横軸は、全画素行数／選択画素行数つまりｄｕｔｙ比の逆数である。縦軸はフリッカの発生比である。１が最も小さく、大きくなるほどフリッカの発生が顕著になることを示している。

【０２１６】

図２６６の結果によれば、全画素行数／選択画素行数は８以下にすることが適切である。つまり、ｄｕｔｙ比は、１／８以上にすることが好ましい。また、多少フリッカが発生してもよい場合（実用上問題ない範囲）は、全画素行数／選択画素行数は１０以下にすることが適切である。つまり、ｄｕｔｙ比は、１／１０以上にすることが好ましい。

【０２１７】

図２７１、図２７２は２画素行を同時に選択する駆動方法の実施例である。図２７１において、書き込み画素行が（１）画素行目である時、ゲート信号線１７ａは（１）（２）が選択されている（図２７２を参照のこと）。つまり、画素行（１）（２）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、各画素行のゲート信号線１７ａにオン電圧が印加されている時、ゲート信号線１７ｂにはオフ電圧が印加される。

【０２１８】

したがって、１Ｈおよび２Ｈ番目の期間では、画素行（１）（２）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態１９２である。なお、図２７１では、フリッカの発生を低減するため、表示領域１９３を５分割している。

【０２１９】

理想的には、２画素（行）のトランジスタ１１ａが、それぞれがＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされ保持される。

【０２２０】

同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０２２１】

たとえば、書き込み画素行１９１ａに、本来、書き込む電流Ｉｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行１９１ｂは後に正規の画像データが書き込まれるので問題がない。画素行１９１ｂは、１Ｈ期間の間は１９１ａと同一表示である。そのため、書き込み画素行１９１ａと電流を増加させるために選択した画素行１９１ｂとを少なくとも非表示状態１９２とするのである。

【０２２２】

次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（１）には正規の画像データが保持される。

【０２２３】

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。

【０２２４】

図２７１の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域１９３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、以前に説明したように、書き込み画素行１９１を含み、かつ表示画面１の１／５の範囲を非表示領域１９２とすればよい。

【０２２５】

図２７４（ａ）（ｂ）に図示するように、２本の書き込み画素行１９１（１９１ａ、１９１ｂ）が選択され、画面１４４の上辺から下辺に順次選択されていく（図２７３も参照のこと。図２７３では画素行１６ａと１６ｂが選択されている）。しかし、図２７４（ｂ）のように、画面の下辺までくると書き込み画素行１９１ａは存在するが、１９１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行１９１ａに書き込まれる。したがって、画素行１９１ａに比較して、２倍の電流が画素にプログラムされてしまう。

【０２２６】

この課題に対して、本発明は、図２７４（ｂ）に図示するように画面１４４の下辺にダミー画素行２７４１を形成（配置）している。したがって、選択画素行が画面１４４の下辺まで選択された場合は、画面１４４の最終画素行とダミー画素行２７４１が選択される。そのため、図２７４（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行２７４１は表示領域１４４の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域１４４から離れた位置に形成されていてもよい。また、ダミー画素行２７４１は、図１のスイッチングトランジスタ１１ｄ、ＥＬ素子１５などは形成する必要はない。形成しないことにより、ダミー画素行２７４１のサイズは小さくなるからパネルの額縁を短くすることができる。

【０２２７】

図２７５は図２７４（ｂ）の状態を示している。図２７５で明らかのように、選択画素行が画面１４４の下辺の画素１６ｃ行まで選択された場合は、画面１４４の最終画素行２７４１が選択される。ダミー画素行２７４１は表示領域１４４外に配置する。つまり、ダミー画素行２７４１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ１１とのコンタクトホールをなくすとか、ダミー画素行にはＥＬ素子１５を形成しないとかである。図２７５のダミー画素行２７４１はＥＬ素子１５、トランジスタ１１ｄ、ゲート信号線１７ｂを図示しているが、駆動方法の実施には不必要である。実際に開発した本発明の表示パネルでは、ダミー画素行２７４１にはＥＬ素子１５、トランジスタ１１ｄ、ゲート信号線１７ｂを形成していない。ただし、画素電極を形成することが好ましい。画素内の寄生容量が他の画

素１６と同一にならず、保持されるプログラム電流に差異が発生する場合があるからである。

【０２２８】

図２７４（ａ）（ｂ）では、画面１４４の下辺にダミー画素（行）２７４１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図２７６（ａ）に図示するように、画面の下辺から上辺に走査する。上下逆転走査する場合は、図２７６（ｂ）に図示するように画面１４４の上辺にもダミー画素行２７４１を形成すべきである。つまり、画面１４４の上辺を下辺のそれぞれにダミー画素行２７４１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

【０２２９】

以上の実施例は、２画素行を同時選択する場合であった。本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行２７４１は４行分形成すればよい。

【０２３０】

ダミー画素行２７４１数は、同時に選択する画素行数Ｍ－１の画素行を形成すればよい。たとえば、同時に選択する画素行が５画素行であれば、書き込み画素行１９１は４画素行である。同時に選択する画素行が１０画素行であれば、１０－１＝９画素行である。

【０２３１】

図２７４、図２７６はダミー画素行２７４１を形成する場合において、ダミー画素行の配置位置の説明図である。基本的に、表示パネルは上下反転駆動するとして、ダミー画素行２７４１を画面１４４の上下に配置している。

【０２３２】

以上の実施例は、１画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて１画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

【０２３３】

以下、本発明のインターレース駆動について説明をする。図５３３はインターレース駆動を行う本発明の表示パネルの構成である。図５３３において、奇数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ１に接続されている。偶数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ２に接続されている。一方、奇数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ１に接続されている。偶数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ２に接続されている。

【０２３４】

したがって、ゲートドライバ回路１２ａ１の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路１２ｂ１の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路１２ａ２の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路１２ｂ２の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。

【０２３５】

図５３２（ａ）は、第１フィールドでの表示パネルの動作状態である。図５３２（ｂ）は、第２フィールドでの表示パネルの動作状態である。なお、説明を容易にするため、１フレームは２フィールドで構成されているとする。図５３２において、斜線を記入したゲートドライバ１２はデータの走査動作がしていないことを示している。つまり、図５３２（ａ）の第１フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ１が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ２が動作する。図５３２（ｂ）の第２フィールドでは、プログラム電流の書込み制御としてゲートドラ

イバ回路１２ａ２が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ１が動作する。以上の動作が、フレーム内で繰り返される。

【０２３６】

図５３４が第１フィールドでの画像表示状態である。図５３４（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図５３４（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第１フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図５３４（ｂ）が奇数画素行の表示状態を図示している。なお、図５３４（ｂ）は奇数画素行のみを図示している。偶数画素行は図５３４（ｃ）に図示している。図５３４（ｂ）でも明らかなように、奇数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、偶数画素行は、図５３４（ｃ）に図示しているように表示領域１９３と非表示領域１９２を走査する。

【０２３７】

図５３５が第２フィールドでの画像表示状態である。図５３５（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図５３５（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第２フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図５３５（ｂ）が奇数画素行の表示状態を図示している。なお、図５３５（ｂ）は奇数画素行のみを図示している。偶数画素行は図５３５（ｃ）に図示している。図５３５（ｂ）でも明らかなように、偶数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、奇数画素行は、図５３５（ｃ）に図示しているように表示領域１９３と非表示領域１９２を走査する。

【０２３８】

以上のように駆動することにより、インターレース駆動をＥＬ表示パネルで容易に実現することができる。また、Ｎ倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、ＥＬ素子１５の点灯制御も容易であり、回路も容易に実現できる。

【０２３９】

本発明の駆動方式は、図５３４、図５３５の駆動方式に限定されるものではない。たとえば、図５３６の駆動方式も例示される。図５３４、図５３５は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域１９２（非点灯、黒表示）とするものであった。図５３６の実施例は、ＥＬ素子１５の点灯制御を行うゲートドライバ回路１２ｂ１、１２ｂ２の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行１９１は非表示領域となるように制御することはいうまでもない（図１１、図１２のカレントミラー画素構成ではその必要はない）。

【０２４０】

図５３６では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路１２ｂ１と１２ｂ２の２つと設ける必要はない。ゲートドライバ回路１２ｂを１つで点灯制御することができる。

【０２４１】

図５３６は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図５３７は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図５３７は奇数画素行の点灯状態（表示（点灯）領域１９３、非表示（非点灯）領域１９２）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域１９３の面積と非表示領域１９２の面積とは同一になるようにしている。もちろん、表示領域１９３の面積と非表示領域１９２の面積とは同一になることに限定されるものではない。

【０２４２】

また、図５３５、図５３４において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではない。

【０２４３】
以上の実施例は、１画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図５３８に図示するように２画素行（複数画素行）を同時に電流（電圧）プログラム行っても良いことは言うまでもない（図２７４～図２７６とその説明も参照のこと）。図５３８（ａ）は奇数フィールドの実施例であり、図５３８（ｂ）は偶数フィールドの実施例である。奇数フィールドでは、（１、２）画素行、（３、４）画素行、（５、６）画素行、（７、８）画素行、（９、１０）画素行、（１１、１２）画素行、・・・・・・・・（ｎ、ｎ＋１）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。偶数フィールドでは、（２、３）画素行、（４、５）画素行、（６、７）画素行、（８、９）画素行、（１０、１１）画素行、（１２、１３）画素行、・・・・・・・・（ｎ＋１、ｎ＋２）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。
【０２４４】
以上のように各フィールドで複数画素行を選択し電流プログラムを行うことによりソース信号線１８に流す電流を増加することができ、黒書き込みを良好にすることができる。また、奇数フィールドと偶数フィールドで選択する複数画素行の組を少なくとも１画素行ずらせることにより、画像の解像度を向上させることができる。
【０２４５】
図５３８の実施例は、各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。また、１フレームを３フィールド以上で構成するようにしてもよい。
【０２４６】
また、図５３８の実施例では、２画素行を同時に選択するとしたが、これに限定するものではなく、１Ｈを前半１／２Ｈと後半の１／２Ｈとし、奇数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第１画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第２画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。
【０２４７】
また、偶数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第２画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第７画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。
【０２４８】
以上の実施例においても各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。
【０２４９】
本発明のＮ倍パルス駆動方法では、各画素行で、ゲート信号線１７ｂの波形を同一にし、１Ｈの間隔でシフトさせて印加していく。このように走査することにより、ＥＬ素子１５が点灯している時間を１Ｆ／Ｎに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線１７ｂの波形を同一にし、シフト

させていることを実現することは容易である。図１４のシフトレジスタ回路１４１ａ、１４１ｂに印加するデータであるＳＴ１、ＳＴ２を制御すればよいからである。たとえば、入力ＳＴ２がＬレベルの時、ゲート信号線１７ｂにＶｇｌが出力され、入力ＳＴ２がＨレベルの時、ゲート信号線１７ｂにＶｇｈが出力されるとすれば、シフトレジスタ１７ｂに印加するＳＴ２を１Ｆ／Ｎの期間だけＬレベルで入力し、他の期間はＨレベルにする。この入力されたＳＴ２を１Ｈに同期したクロックＣＬＫ２でシフトしていくだけである。

【０２５０】

ＥＬ表示パネル（ＥＬ表示装置）における黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１、図６、図７、図８、図９、図１０、図１１、図１２、図２８、図２７１などの構成においては、トランジスタ１１ｄあるいはトランジスタ１１ｅもしくは切り換えスイッチ（回路）７１をオンオフ操作するだけで間欠表示を実現できる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅなどの制御により実現しているのである。

【０２５１】

したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、ＥＬ素子１５に流す電流が各画素内で保存している構成において、駆動用トランジスタ１１をＥＬ素子１５間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

【０２５２】

コンデンサ１９の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。

【０２５３】

図１の画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、画素構成はそのままで、ソース信号線１８の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近い動画表示を実現しているのである。

【０２５４】

また、ゲートドライバ回路１２の動作クロックはソースドライバ回路（ＩＣ）１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Ｎの値の変更も容易である。

【０２５５】

なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【０２５６】

また、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。また、画面の中央部から走査してもよい。また、走査開始位置をランダム化してもよい。

【０２５７】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下か

ら上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域１９２の動作方向を１フィールド目では画面の上から下方向とし、つぎの第２フィールド目では画面の下から上方向としてもよい。また、１フレームを３フィールドに分割し、第１のフィールドではR、第２のフィールドではG、第３のフィールドではBとして、３フィールドで１フレームを形成するとしてもよい。また、１水平走査期間（１H）ごとに、R、G、Bを切り替えて表示してもよい（図２５から図３９とその説明などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。

【０２５８】

非表示領域１９２は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、表示（点灯）領域１９３よりも表示輝度が低い領域と解釈するべきである。また、非表示領域１９２とは、R、G、B画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。また、R、G、B画像表示のうち、１色または２色のみが低輝度の画像表示状態という場合も含まれる。

【０２５９】

基本的には表示領域１９３の輝度（明るさ）が所定値に維持される場合、表示領域１９３の面積が広くなるほど、表示画面１４４の輝度は高くなる。たとえば、表示領域１９３の輝度が１００（ｎｔ）の場合、表示領域１９３が全表示画面１４４に占める割合が１０％から２０％にすれば、画面の輝度は２倍となる。したがって、全表示画面１４４に占める表示領域１９３の面積を変化させることにより、画面の表示輝度を変化することができる。表示画面１４４の表示輝度は表示画面１４４に占める表示領域１９３の割合に比例する。

【０２６０】

表示領域１９３の面積は図１４に図示するシフトレジスタ回路１４１へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図２３の表示状態と図１９の表示状態とを切り替えることができる。１Ｆ周期でのデータパルス数を多くすれば、表示画面１４４は明るくなり、少なくすれば、表示画面１４４は暗くなる。また、連続してデータパルスを印加すれば図１９の表示状態となり、間欠にデータパルスを入力すれば図２３の表示状態となる。

【０２６１】

従来の画面の輝度調整では、表示画面１４４の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の６４階調表示を実現できる。

【０２６２】

以上の実施例は、主として、Ｎ＝２倍、４倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、Ｎ＝１より大きいことに限定されるものでもない。たとえば、ある時刻で表示画面１４４の半分以下の領域を非点灯領域１９２とすることもある。所定値の５／４倍の電流Ｉｗで電流プログラムし、１Ｆの４／５期間点灯させれば、所定の輝度を実現できる。

【０２６３】

本発明はこれに限定されるものではない。一例として、１０／４倍の電流Ｉｗで電流プログラミングし、１Ｆの４／５期間の間点灯させるという方法もある。この場合は、所定輝度の２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの２／５期間の間点灯させるという方法もある。この場合は、所定輝度の１／２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの１／１期間の間点灯させるという方法もある。この場合は、所定輝度の５／４倍で点灯する。また、１倍の電流Ｉｗで電流プログラミングし、１Ｆの１／４期間の間点灯させるという方法もある。この場合は、所定輝度の１／４倍で点灯する。

【０２６４】

つまり、本発明は、プログラム電流の大きさと、１Ｆの点灯期間を制御することにより、表示画面の輝度を制御する方式である。１Ｆ期間よりも短い期間点灯させることにより、黒画面１９２を挿入でき、動画表示性能を向上できる。逆に、Ｎを１以上とし、１Ｆの期間、常時点灯させることにより明るい画面を表示できる。

【０２６５】

好ましくは、画素に書き込む電流（ソースドライバ回路（ＩＣ）１４から出力するプログラム電流）は、画素サイズがＡ平方ｍｍとし、白ラスター表示所定輝度をＢ（ｎｔ）とした時、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／２０　≦　Ｉ　≦　（Ａ×Ｂ）

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書込み不足が解消する。

【０２６６】

さらに、好ましくは、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／１０　≦　Ｉ　≦　（Ａ×Ｂ）

の範囲とすることが好ましい。

【０２６７】

図２０、図２４では、ゲート信号線１７ａの動作タイミングとゲート信号線１７ｂの書込みタイミングには言及していない。しかし、ある画素が選択されているとした時（前記画素が接続されているゲート信号線１７ａにオン電圧が印加されている時）、その前後の１Ｈ期間（１水平走査期間）はゲート信号線１７ｂ（ＥＬ側のトランジスタ１１ｄを制御するゲート信号線）には、オフ電圧を印加する。前後１Ｈ期間にゲート信号線１７ｂにオフ電圧を印加した状態にすることにより、パネルにクロストークが発生せず、安定した画像表示を実現できる。

【０２６８】

この駆動方法のタイミングチャートを図２６に示す。図２６では、ゲート信号線１７ａには、１Ｈ（選択期間）にオン電圧（Ｖｇｌ）が印加されている。該当画素行が選択されている１Ｈ期間の前後１Ｈ期間（計３Ｈ期間）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている。

【０２６９】

なお、以上の実施例は選択期間の前後１Ｈ期間の間は、ゲート信号線１７ｂにはオフ電圧を印加するとした。しかし、本発明はこれに限定するものではない。たとえば、図２７に図示するように、選択期間の前の１Ｈ期間と選択期間後の２Ｈ期間に、ゲート信号線１７ｂにオフ電圧を印加するように構成してもよい。以上の実施例は、本発明の他の実施例にも適用できることは言うまでもない。

【０２７０】

ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は０．５μｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。

【０２７１】

先にも記載したが、黒画面１９２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。

【０２７２】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面であり、２５％が画像表示である。このとき、７

５％の黒表示部を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

【０２７３】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、２、４、８などである。

【０２７４】

全表示画面に対する黒画面の割合は、全画面１４４の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。０．２０以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【０２７５】

１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路（ＩＣ）１４などからの書き込みが苦しくなり解像度が劣化する。

【０２７６】

静止画の場合は、図２３、図５４（ｃ）、図４６８（ｃ）などに示すように、非表示領域１９２を多数に分散させることが好ましい。動画の場合は、図５４（ａ）、図４６８（ａ）などに示すように非表示領域を一括することが好ましい。

【０２７７】

映画などの自然画では、動画と静止画が連続して表示される。したがって、動画→自然画、自然画→動画の切り換えが必要である。静止画の図２３、図５４（ｃ）、図４６８（ｃ）と、動画の図２３、図５４（ａ）、図４６８（ａ）とを急に変化するとフリッカが発生する。この課題に対しては、中間動画により対応する（図４６８（ｂ）、図５４（ｂ）など）。

【０２７８】

たとえば、図４６８（ａ）から中間動画４６８（ｂ）に移行する際も、急激に変化することは好ましくない。図４６８（ａ）の表示表域１９３ａの中央部より非表示領域１９２ａ（図４６８（ｂ）を参照のこと）を発生させ、非表示領域１９２ａのＡの領域を少しずつ広くしていく（画像内容が変化しない場合は、表示領域１９３の面積の総和は維持することが必要である）。さらに静止画が連続して続く場合は、図４６８（ｃ）のように非表示領域１９２を分割し、Ｂの部分を少しずつ広くして生き、表示領域１９３を複数に分割する。静止画から動画に移行する時は逆の駆動方法（表示方法あるいは制御方法）を実施する。以上のように操作あるいは動作させることにより静止画から動画に変化あるいはその逆に変化するときであっても、フリッカの発生は生じない。

【０２７９】

静止画の場合は、図２３、図５４（ｃ）、図４６８（ｃ）などに示すように、非表示領域１９２を多数に分散させ、動画の場合は、図２３、図５４（ａ）、図４６８（ａ）などに示すように非表示領域を一括するとした。しかし、後にも説明するが、ｄｕｔｙ比制御あるいは基準電流比制御との組み合わせにより、一義に決定されるものではない。

【０２８０】

たとえば、動画の場合において、ｄｕｔｙ比が１／１の場合は、非表示表域１９２がない場合もある。また、静止画の場合において、ｄｕｔｙ比が０／１の場合は、画面１４４のすべては非表示表域１９２で、非表示領域１９２が分割できない場合もある。また、動

画の場合において、ｄｕｔｙ比が小さく（０／１に近い）場合は、非表示表域１９２が複数に分割される場合もある。静止画の場合において、ｄｕｔｙ比が大きい（１／１に近い）場合は、画面１４４のすべては非表示表域１９２がなく、非表示領域１９２が分割できない場合もある。したがって、静止画の場合は、図２３、図５４（ｃ）、図４６８（ｃ）などに示すように、非表示領域１９２を多数に分散させ、動画の場合は、図２３、図５４（ａ）、図４６８（ａ）などに示すように非表示領域を一括するというのは説明の例示である。変形例が多数存在する。

【０２８１】

したがって、本発明の駆動方式は、多数の表示（ドラマ、映画など）を本発明の表示装置で表示した場合、静止画の場合は、図２３、図５４（ｃ）、図４６８（ｃ）などに示すように、非表示領域１９２を多数に分散させる時が発生するシーンが１度でもあること、動画の場合は、図２３、図５４（ａ）、図４６８（ａ）などに示すように非表示領域を一括するシーンが１度でもあるように駆動するものである。

【０２８２】

ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。

【０２８３】

トランジスタ１１ｂ、１１ｃを駆動するゲート信号線１７ａとトランジスタ１１ｄを駆動するゲート信号線１７ｂの駆動電圧は変化させるとよい。ゲート信号線１７ａの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線１７ｂの振幅値よりも小さくする。

【０２８４】

ゲート信号線１７ａの振幅値が大きいと、ゲート信号線１７ａと画素１６との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線１７ａの振幅は、ソース信号線１８の電位が画素１６に印加されるように制御できればよい。ソース信号線１８の電位変動は小さいから、ゲート信号線１７ａの振幅値は小さくすることができる。

【０２８５】

一方、ゲート信号線１７ｂはＥＬ素子１５のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、図６のシフトレジスタ回路１４１ａと１４１ｂとの出力電圧を変化させる。画素がＰチャンネルトランジスタで形成されている場合は、シフトレジスタ回路１４１ａと１４１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ回路１４１ａのＶｇｌ（オン電圧）をシフトレジスタ回路１４１ｂのＶｇｌ（オン電圧）よりも低くする。

【０２８６】

以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本のゲート信号線１７ａを配置（形成）してもよい。

【０２８７】

図２２はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図２２ではゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。

【０２８８】

ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒから映像データをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇから映像データをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂから映像データをコンデンサ１

９Ｂに書き込む。

【０２８９】

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオフ制御することができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【０２９０】

この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路１４１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路１４１Ｒ（図示せず）と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路１４１Ｇ（図示せず）と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路１４１Ｂ（図示せず）の４つを形成（配置）することが適切である。

【０２９１】

ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、これは理想状態である。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、１０倍以下の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝１０未満の場合と同一となる。

【０２９２】

しかし、本明細書では、説明を容易にするため、突き抜け電圧などの影響がなく、理想状態として説明をする。実際には本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１５に流れるように駆動する方法である。

【０２９３】

また、本発明は、所望値より大きな電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。

【０２９４】

図１のスイッチング用トランジスタ１１ｂ、１１ｃをＰチャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。

【０２９５】

図１におけるトランジスタ１１ｂは駆動用トランジスタ１１ａが流す電流をコンデンサ１９に保持するために動作する。つまり、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）もしくはソース端子（Ｓ）間をプログラム時にショートさせる機能を有する。

【０２９６】

トランジスタ１１ｂはソース端子またはドレイン端子が保持用のコンデンサ１９に接続されている。トランジスタ１１ｂはゲート信号線１７ａに印加された電圧により、オンオフ制御される。課題は、オフ電圧が印加された時にゲート信号線１７ａの電圧がコンデンサ１９に突き抜けることである。この突き抜け電圧により、コンデンサ１９の電位（＝駆

動用トランジスタ１１ａのゲート端子（Ｇ）電位）が変動する。そのため、電流プログラムによるトランジスタ１１ａの特性補償ができなくなる。したがって、突き抜け電圧は小さくする必要がある。

【０２９７】

突き抜け電圧を小さくするためには、トランジスタ１１ｂのサイズを小さくするとよい。今、トランジスタのサイズＳｃｃをチャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）とし、Ｓｃｃ＝Ｗ・Ｌ（平方μｍ）とする。トランジスタが複数直列接続されて構成されている場合は、Ｓｃｃは接続されたトランジスタサイズの総和である。たとえば、１つのトランジスタのＷ＝５（μｍ）、Ｌ＝６（μｍ）とし、個数（ｎ＝４）が接続されて構成されていれば、Ｓｃｃ＝５×６×４＝１２０（平方μｍ）である。

【０２９８】

トランジスタのサイズと突き抜け電圧は相関がある。この関係を図２９に示す。なお、トランジスタはＰチャンネルトランジスタであるとする。ただし、Ｎチャンネルトランジスタであっても適用できる。

【０２９９】

図２９において、横軸はＳｃｃ／ｎとしている。Ｓｃｃは先に説明したようにトランジスタのサイズの総和である。ｎは接続されたトランジスタ数である。図２９ではＳｃｃをｎ個でわったものを横軸にしている。つまり、トランジスタが１個あたりのサイズである。

【０３００】

先に実施例では、トランジスタのサイズＳｃｃをチャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）とし、トランジスタ数がｎ＝４であれば、Ｓｃｃ／ｎ＝５×６×４／４＝３０（平方μｍ）である。図２９において、縦軸は突き抜け電圧（Ｖ）である。

【０３０１】

突き抜け電圧は０．３（Ｖ）以内にしないと、レーザーショットムラが発生し、視覚的に許容できない。したがって、１つあたりのトランジスタのサイズは２５（平方μｍ）以下にする必要がある。一方で、トランジスタは５（平方μｍ）以上にしないと、トランジスタの加工精度がでず、ばらつきが大きくなる。また、駆動能力にも課題を生じる。以上のことからトランジスタ１１ｂは５（平方μｍ）以上２５（平方μｍ）以下にする必要がある。さらに好ましくは、トランジスタ１１ｂは５（平方μｍ）以上２０（平方μｍ）以下にする必要がある。

【０３０２】

トランジスタによる突き抜け電圧は、トランジスタを駆動する電圧（Ｖｇｈ、Ｖｇｌ）の振幅値（Ｖｇｈ－Ｖｇｌ）とも相関がある。振幅値が大きいほど突き抜け電圧は大きくなる。この関係を図３０に図示している。図３０において、横軸を振幅値（Ｖｇｈ－Ｖｇｌ）（Ｖ）としている。縦軸は突き抜け電圧である。図２９でも説明したように、突き抜け電圧は０．３（Ｖ）以下となるようにする必要がある。

【０３０３】

なお、突き抜け電圧の許容値０．３（Ｖ）は言い換えると、ソース信号線１８の振幅値の１／５以下（２０％以下）である。ソース信号線１８はプログラム電流が白表示の場合は、１．５（Ｖ）であり、プログラム電流が黒表示の場合は３．０（Ｖ）である。したがって、（３．０－１．５）／５＝０．３（Ｖ）となる。

【０３０４】

一方、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は４（Ｖ）以上ないと十分に画素１６に書き込むことができない。以上のことから、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、４（Ｖ）以上１５（Ｖ）以下の条件と満足させる必要がある。さらに好ましくは、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、５（Ｖ）以上１２（Ｖ）以下の条件と満足させる必要がある。

【０３０５】

トランジスタ１１ｂを複数のトランジスタを直列に接続して構成する場合は、駆動用ト

ランジスタ１１ａのゲート端子（Ｇ）に近いトランジスタ（トランジスタ１１ｂｘと呼ぶ）のチャンネル長Ｌを長くすることが好ましい。ゲート信号線１７ａにオン電圧（Ｖｇｌ）からオフ電圧（Ｖｇｈ）に変化させた時、トランジスタ１１ｂｘが他のトランジスタ１１ｂよりも速くオフ状態になる。そのため、突き抜け電圧の影響が軽減される。たとえば、複数のトランジスタ１１ｂとトランジスタ１１ｂｘのチャンネル幅Ｗが３μｍであれば、複数のトランジスタ１１ｂ（トランジスタ１１ｂｘ以外）のチャンネル長Ｌは５μｍとし、トランジスタ１１ｂｘのチャンネル長Ｌｘは１０μｍとする。トランジスタ１１ｂはトランジスタ１１ｃ側から配置し、トランジスタ１１ｂｘは駆動用トランジスタ１１ａのゲート端子（Ｇ）側に配置する。

【０３０６】

なお、トランジスタ１１ｂｘのチャンネル長Ｌｘはトランジスタ１１ｂのチャンネル長Ｌの１．４倍以上４倍以下にすることが好ましい。さらに好ましくは、トランジスタ１１ｂｘのチャンネル長Ｌｘはトランジスタ１１ｂのチャンネル長Ｌの１．５倍以上３倍以下にすることが好ましい。

【０３０７】

突き抜け電圧は、画素１６を選択するゲートドライバ回路１２ａの電圧振幅に依存する。つまり、図１の画素構成では、オン電圧（Ｖｇｌ１）とオフ電圧（Ｖｇｈ１）の電位差に依存する。この電位差が小さい方が、コンデンサ１９への突き抜け電圧は減少し、トランジスタ１１ａのゲート端子の電位シフトも小さくなる。

【０３０８】

したがって、Ｖｇｌ１とＶｇｈ１との電位差は小さい方が、’突き抜け電圧’を減少させる意味では効果がある。しかし、電位差が小さければトランジスタ１１ｃが完全にオンしなくなる。たとえば、図１の画素構成を例にすれば、ソース信号線１８に印加される電圧が、５（Ｖ）～０（Ｖ）の範囲である場合は、ゲート信号線１７ａに印加される電圧は、Ｖｇｈ１＝＋６（Ｖ）以上、Ｖｇｌ１＝－２（Ｖ）以下にすることが望ましい。この電圧をゲート信号線１７ａに印加することにより選択スイッチとして動作するトランジスタ１１ｃは良好なオンオフ状態を維持できる。

【０３０９】

一方で、駆動用トランジスタ１１ａに電流プログラムを行うトランジスタ１１ｂにはほとんど電流が流れない。したがって、トランジスタ１１ｂはスイッチとして動作させなくともよい。つまり、オンが比較的十分でなくてもよい。トランジスタ１１ｂはオン電圧（Ｖｇｌ１）が高くとも動作としては十分機能する。

【０３１０】

突き抜け電圧に関する構成は、明細書では図１の画素構成を例示して説明しているがこの構成に限定されるものではない。たとえば、図１１、図１２、図１３、図３７５（ｂ）などのカレントミラー構成などの他の画素構成に対しても適用あるいは実施もしくは方式として採用できることは言うまでもない。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【０３１１】

以上のことから、図１に図示するようにゲート信号線１７ａでトランジスタ１１ｂとトランジスタ１１ｃを同時に動作させるのではなく、図２８１に図示するように、トランジスタ１１ｂを制御するゲート信号線１７ａ１と、トランジスタ１１ｃを動作させるゲート信号線１７ａ２に分離することが好ましい。

【０３１２】

ゲートドライバ回路（ＩＣ）１２ａ１はゲート信号線１７ａ１を制御し、ゲートドライバ回路（ＩＣ）１２ａ２はゲート信号線１７ａ２を制御する。ゲート信号線１７ａ１はトランジスタ１１ｂのオンオフ状態を制御する。制御する電圧はオフ電圧Ｖｇｈ１ａ、オン電圧Ｖｇｌ１ａとする。ゲート信号線１７ａ２はトランジスタ１１ｃのオンオフ状態を制御する。制御する電圧はオン電圧Ｖｇｈ１ｂ、オフ電圧Ｖｇｌ１ｂとする。

【０３１３】

ゲート信号線１７ａ１の電圧振幅｜Ｖｇｈ１ａ－Ｖｇｌ１ａ｜を小さくすることにより、トランジスタ１１ｂの寄生容量によるコンデンサ１９への突き抜け電圧が減少する。ゲート信号線１７ａ２の電圧振幅｜Ｖｇｈ１ｂ－Ｖｇｌ１ｂ｜を大きくすることにより、トランジスタ１１ｃが完全にオンオフし、良好なスイッチとして動作する。｜Ｖｇｈ１ａ－Ｖｇｌ１ａ｜と｜Ｖｇｈ１ｂ－Ｖｇｌ１ｂ｜の関係は、｜Ｖｇｈ１ａ－Ｖｇｌ１ａ｜＜｜Ｖｇｈ１ｂ－Ｖｇｌ１ｂ｜の関係が維持されるように設定あるいは構成する。

【０３１４】

オフ電圧Ｖｇｈ１とオフ電圧Ｖｇｈ２は同一にすることが好ましい。電源数が減少し、回路コストを低減できるからである。また、オフ電圧Ｖｇｈ１はアノード電圧Ｖｄｄを基準とすることにより、トランジスタ１１の動作が安定するからである。一方、ゲートドライバ回路１２ａ１のオン電圧Ｖｇｌ１は、ソースドライバ回路（ＩＣ）１４のグランド電圧（ＧＮＤ）に対して、＋１（Ｖ）以下－６（Ｖ）以上の関係を維持することが好ましい。突き抜け電圧が減少し、良好な均一表示を実現できるからである。

【０３１５】

また、ゲートドライバ回路１２ａ２のオン電圧Ｖｇｌ２は、ソースドライバ回路（ＩＣ）１４のグランド電圧（ＧＮＤ）に対して、０（Ｖ）以下－１０（Ｖ）以上の関係を維持することが好ましい。トランジスタ１１ｃを完全にオン状態にすることができ、良好な電流（電圧）プログラムを実現できるからである。また、Ｖｇｌ２は、Ｖｇｌ１よりも－１（Ｖ）以下の関係となるように電圧設定が行うことが好ましい。

【０３１６】

なお、ゲート信号線１７ａにオン電圧が印加されて画素行が選択され、その後ゲート信号線１７ａにオフ電圧が印加されるタイミングは、以下のようにすることが好ましい。つまり、ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ１ａ）を印加した後、０．０５μｓｅｃ以上１０μｓｅｃ以下（もしくは１Ｈ時間の１／４００以上１／１０以下）後に、ゲート信号線１７ａ２にオフ電圧（Ｖｇｈ１ｂ）を印加する。トランジスタ１１ｂをトランジスタ１１ｃよりも先にオフさせることにより、突き抜け電圧の影響が大幅に軽減されるからである。

【０３１７】

また、図２８１ではゲートドライバ回路１２ａ１とゲートドライバ回路１２ａ２の２つを図示したがこれに限定するものではなく、一体としてもよい。以上の事項は、ゲートドライバ回路１２ａとゲートドライバ回路１２ｂとの関係にも適用される。例えば、図１４に図示するようにゲートドライバ回路１２を一体としてもよい。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【０３１８】

以上の実施例で説明した事項は、図１の画素構成に限定されるものではない。たとえば、図６、図７、図８、図９、図１０、図１１、図１２、図１３、図２８、図３１、図３６、図１９３、図１９４、図２１５、図３１４（ａ）（ｂ）、図６０７（ａ）（ｂ）（ｃ）などの画素構成にも適用できることは言うまでもない。つまり、電圧保持用のコンデンサ１９に一端子が接続されトランジスタを動作させるゲート端子（図１ではトランジスタ１ｂのゲート端子）の電圧変動を、画素選択トランジスタ（図１ではトランジスタ１１ｃ）のゲート端子を動作させる電圧変動と異ならせる。

【０３１９】

以上の実施例は、画素１６のトランジスタ動作について記述したが、本発明は画素構成に限定されるものではなく、図２３１などで説明した保持回路２２８０についても適用できることは言うまでもない。構成が同一あるいは類似であり、技術的思想が同一であるからである。

【０３２０】

また、以上の実施例では、駆動用トランジスタ１１ａをＰチャンネルトランジスタとして説明している。駆動用トランジスタ１１ａがＮチャンネルの場合は、オン電圧の電位、オフ電圧の電位を適用できるように読み替えればよいので、説明を省略する。

【０３２１】
図１などで説明した画素構成では、駆動用トランジスタ１１ａは各画素１６に１つの構成である。しかし、本発明において、駆動用トランジスタ１１ａは１つに限定されるものでなない。たとえば、図３１の画素構成が例示される。
【０３２２】
図３１は画素１６を構成するトランジスタ数を６個とし、プログラム用トランジスタ１１ａｎはトランジスタ１１ｂ２とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成し、駆動用トランジスタ１１ａ１はトランジスタ１１ｂ１とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成した実施例である。
【０３２３】
図３１において、駆動用トランジスタ１１ａ１のゲート端子とプログラム用トランジスタ１１ａｎのゲート端子とを共通にしている。トランジスタ１１ｂ１は電流プログラム時に駆動用トランジスタ１１ａ１のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ１１ｂ２は電流プログラム時にプログラム用トランジスタ１１ａｎのドレイン端子とゲート端子とを短絡するように動作する。
【０３２４】
トランジスタ１１ｃは駆動用トランジスタ１１ａ１のゲート端子に接続されており、トランジスタ１１ｄは駆動用トランジスタ１１ａ１とＥＬ素子１５間に形成または配置され、ＥＬ素子１５に流れる電流を制御する。また、駆動用トランジスタ１１ａ１のゲート端子とアノード（Ｖｄｄ）端子間には付加コンデンサ１９が形成または配置されており、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎのソース端子はアノード（Ｖｄｄ）端子に接続されている。
【０３２５】
以上のように、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ１１ａ１を流れる電流は、トランジスタ１１ｂ１、トランジスタ１１ｃを通じてソース信号線１８に流れる。また、プログラム用トランジスタ１１ａｎを流れる電流は、トランジスタ１１ｂ２、トランジスタ１１ｃを通じてソース信号線１８に流れる。したがって、駆動用トランジスタ１１ａ１の電流と、プログラム用トランジスタ１１ａｎの電流は、同数の２つのトランジスタを通過してソース信号線１８に流れるように構成されている。
【０３２６】
図３１では、駆動用トランジスタ１１ａｌを１つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ１１ａｌは、同一チャンネル幅Ｗ、同一チャンネル長Ｌあるいは同一ＷＬ比の複数のトランジスタから構成してもよい。また、プログラミング用トランジスタ１１ａｎの駆動用トランジスタ１１ａｌと、同一チャンネル幅Ｗ、同一チャンネル長Ｌあるいは同一ＷＬ比にすることが好ましい。同一ＷＬあるいはＷＬ比のトランジスタを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。
【０３２７】
ゲート信号線１７ａに選択電圧（オン電圧）が印加されると、トランジスタ１１ａｎとトランジスタ１１ａ１からの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流Ｉｗを、駆動用トランジスタ１１ａ１からＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。
【０３２８】
Ｉｗ＝ｎ・Ｉｅ（ｎは１以上の自然数）
表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。）したがって、各Ｒ、Ｇ、Ｂの絵素が縦０．１ｍｍ、横０．０５ｍｍであれば、（Ｓ＝０．１×（０．０５×３）

（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。

【０３２９】

５　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　１５０

さらに好ましくは、以下の条件と満足するようにする。

【０３３０】

１０　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　１００

Ｉｗはソースドライバ回路（ＩＣ）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａ１がＥＬ素子１５に流す電流である。

【０３３１】

トランジスタ１１ａ１、トランジスタ１１ａｎの出力ばらつきに関しては、トランジスタ１１ａｎと駆動用トランジスタ１１ａ１を近接させて形成または配置することにより改善できる。また、トランジスタ１１ａｎ、トランジスタ１１ａ１の特性は形成方向によっても特性が異なる場合がある。したがって、同一方向に形成することが好ましい。

【０３３２】

ゲート信号線１７ａが選択されると、駆動用トランジスタ１１ａ１およびプログラム用トランジスタ１１ａｎの両方がオンする。駆動用トランジスタ１１ａ１が流す電流Ｉｗ１と、プログラム用トランジスタ１１ａｎが流す電流Ｉｗ２とは、略一致させることが好ましい。最もこのましくは、プログラム用トランジスタ１１ａｎと駆動用トランジスタ１１ａ１のサイズ（Ｗ、Ｌ）を一致させることである。つまり、Ｉｗ１＝Ｉｗ２、Ｉｗ＝２Ｉｅの関係を満足させることが好ましい。もちろん、Ｉｗ１＝Ｉｗ２の関係を満足させるには、トランジスタサイズ（Ｗ、Ｌ）を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのＷＬを調整することにより容易に実現できる。略Ｉｗ２／Ｉｗ１＝１であれば、トランジスタ１１ｂ１とトランジスタ１１ｂ２のサイズは略一致して構成あるいは形成することができる。

【０３３３】

なお、Ｉｗ２／Ｉｗ１は、１以上１０以下の関係を満足させておくことが好ましい。さらに好ましくは、１．５以上５以下の関係を満足させておくことが好ましい。

【０３３４】

Ｉｗ２／Ｉｗ１が１以下では、ほとんど、ソース信号線１８の寄生容量の影響を改善する効果は見込めない。一方Ｉｗ２／Ｉｗが１０以上となると、Ｉｗに対するＩｅの関係に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ１１ｂのオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【０３３５】

プログラム用トランジスタ１１ａｎが流す電流Ｉｗ２が、駆動用トランジスタ１１ａ１が流す電流Ｉｗ１に比較して一定以上大きい場合は（Ｉｗ２　＞　Ｉｗ１）、スイッチング用トランジスタ１１ｂ２のオン抵抗を、スイッチング用トランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ１１ｂ２は、トランジスタ１１ｂ１よりも大きな電流を、同一のゲート信号線１７ａの電圧にたいして流すように構成する必要があるからである。

【０３３６】

つまり、駆動用トランジスタ１１ａ１の出力電流の大きさに対するトランジスタ１１ｂ１の大きさと、プログラム用トランジスタ１１ａｎの出力電流の大きさに対するトランジスタ１１ｂ２の大きさをマッチングさせる必要がある。

【０３３７】

言い換えれば、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂのオン抵抗を変化させる必要がある。また、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂ１と１１ｂ２のサイズを変化させる必要がある。

【０３３８】
プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン抵抗はトランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン電流（Ｉｗ２）はトランジスタ１１ｂ１のオン電流（Ｉｗ１）よりも大きくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。

【０３３９】
Ｉｗ２：Ｉｗ１＝ｎ：１とし、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１とトランジスタ１１ｂ２がオンしたときのトランジスタ１１ｂ２のオン抵抗をＲ２、トランジスタ１１ｂ１のオン抵抗をＲ１とする。この時、Ｒ２は、Ｒ１／（ｎ＋５）以上、Ｒ１／（ｎ）以下の関係を満足するように構成する。構成するとは、トランジスタ１１ｂの所定のサイズに形成するあるいは配置するもしくは動作させる意味である。ただし、ｎは１よりも大きな値である。

【０３４０】
上記事項は、トランジスタ１１ｂ１とトランジスタ１１ｂ２のオン抵抗Ｒあるいは、プログラム電流Ｉｗの説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ１１ｂ１のゲート端子に接続されたゲート信号線１７と、トランジスタ１１ｂ２のゲート端子に接続されたゲート信号線１７とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることできる。

【０３４１】
図３２は図３１の画素構成の動作の説明図である。図３２（ａ）は電流プログラム状態であり、図３２（ｂ）はＥＬ素子１５に電流を供給している状態である。なお、図３２（ｂ）の状態で、トランジスタ１１ｄをオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【０３４２】
図３２（ａ）では、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１、１１ｂ２、１１ｃがオンする。トランジスタ１１ａ１は電流Ｉｅを供給し、トランジスタ１１ａｎは電流Ｉｗ－Ｉｅを供給し、合成した電流ＩｗがソースドライバＩｃにプログラム電流となる。以上の動作により、プログラム電流Ｉｗに対応する電圧がコンデンサ１９に保持される。電流プログラム時にはトランジスタ１１ｄはオフ状態に保持される（ゲート信号線１７ｂにはオフ電圧が印加されている）。

【０３４３】
ＥＬ素子１５に電流を流す場合が、図３２（ｂ）の動作状態にされる。ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。この状態では、トランジスタ１１ｂ１、１１ｂ２、１１ｃがオフ状態になり、トランジスタ１１ｄがオン状態になる。ＥＬ素子１５にＩｅ電流が供給される。

【０３４４】
図３３は図３１の変形例である。図３３は、トランジスタ１１ｃがソース信号線１８とトランジスタ１１ａ１のドレイン端子間に配置されている。以上のように図３１には多数の変形例が例示することができる。

【０３４５】
図３１はゲート信号線１７ａにオンオフ電圧を印加することにより、トランジスタ１１ｂ１、１１ｂ２、１１ｃが制御される。しかし、電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ１１ｂ１、１１ｂ２とトランジスタ１１ｃが同時にオフする場合、トランジスタ１１ｃの方が、トランジスタ１１ｂ１、１１ｂ２よりも先にオフになる場合とでは、コンデンサ１９に保持される電圧が規定の値から変化する場合が

ある。変化により駆動用トランジスタ１１ａからＥＬ素子１５に供給する電流Ｉｅに誤差が発生する。

【０３４６】

この課題に対しては、図３４のように構成することが好ましい。図３４では、ゲート信号線１７ａ１とトランジスタ１１ｂ１および１１ｂ２のゲート端子が接続されている。また、ゲート信号線１７ａ２にトランジスタ１１ｃのゲート端子が接続されている。したがって、ゲート信号線１７ａ１にオンオフ電圧を印加することにより、トランジスタ１１ｂ１と１１ｂ２がオンオフ制御される。また、ゲート信号線１７ａ２にオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。

【０３４７】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線１７ａ１、１７ａ２にオン電圧が印加されている状態から、ゲート信号線１７ａ１、１７ａ２にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線１７ａ１の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ１１ｂ１と１１ｂ２がオフ状態になる。次に、ゲート信号線１７ａ２をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ１１ｃがオフ状態になる。

【０３４８】

以上のように、トランジスタ１１ｂ１、１１ｂ２をオフ状態にしてから、トランジスタ１１ｃをオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ１９に保持される電圧が規定値どおりとなる。なお、ゲート信号線１７ａ１とゲート信号線１７ａ２にオフ電圧を印加するタイミングのずれは、０．１μｓｅｃ以上５μｓｅｃ以下にすることが好ましい。

【０３４９】

図３４は駆動用トランジスタ１１ａが１個の構成であったが、本発明はこれに限定するものではなく、図１９３に図示するように２個以上であってもよい。図１９３はＥＬ素子１５を駆動するトランジスタ１１ａが２個（駆動用トランジスタ１１ａ１、１１ａ２）で構成され、また、プログラム用トランジスタ１１ａｎの２個（１１ａｎ１、１１ａｎ２）で構成されている。図１９３のように構成することにより画素の特性バラツキをより低減することができる。なお、駆動用トランジスタ１１ａとプログラム用トランジスタ１１ａｎとは交互のならびになるようにレイアウト配置を行ってもよい。

【０３５０】

図１９４に図示するように、画素構成することも有効である。図１９４は２の駆動用トランジスタ１１ａ（１１ａ１、１１ａ２）を有している。この２つの駆動用トランジスタ１１ａ（１１ａ１、１１ａ２）の両方はＥＬ素子１５に電流Ｉｅを供給し、この電流によりＥＬ素子は輝度Ｂで発光する。

【０３５１】

図１９５は図１９４の画素の動作を説明するためのタイミング図である。以下、図１９４の動作について説明をする。なお、図１９４の画素はマトリックス状に配置され、順次ゲート信号線が選択されることにより該当画素が選択される。ここでは説明を容易にするために、図１と同様に１画素について説明を行う。

【０３５２】

まず、ゲート信号線１７ａが選択され、Ｖｇｌ電圧が印加されると、トランジスタ１１ｂ２、１１ｂ１、１１ｃがオンし、導通状態となる。この状態で、ソース信号線１８に印加されたプログラム電流がトランジスタ１１ａ２、１１ａ１に流れ、このプログラム電流Ｉｗが流れるように、コンデンサ１９に電圧が保持される（図１９５のゲート信号線１７ａの欄を参照のこと）。以上で電流プログラムが完了する。１Ｈの期間のゲート信号線１７ａには、オン電圧（Ｖｇｌ）が印加され、選択期間経過後、オフ電圧（Ｖｇｈ）が印加される。以上は、基本的な動作であって、実際にはゲート信号線のオンオフタイミングなどは、図２６、図２７などが適用されることは言うまでもない。

【０３５３】

次に、駆動用トランジスタ１１ａ１の電流Ｉｅ１をＥＬ素子１５に流す期間は、ゲート信号線１７ｂ１が選択される（Ｖｇｌ電圧が印加される）。また、ＥＬ素子１５に電流を流さない期間には、ゲート信号線１７ｂ１にはオフ電圧（Ｖｇｈ電圧）が印加される。以上の状態を定常的に繰り返すことあるいは周期的あるいはランダム的に行うことによりＥＬ素子１５が発光する。図１９５では、ＥＬ素子１５の発光を輝度Ｂで示している。なお、ゲート信号線１７ｂ１のタイミングチャートを図１９５のゲート信号線１７ｂ１で示している。

【０３５４】

駆動用トランジスタ１１ａ２の電流Ｉｅ２をＥＬ素子１５に流す期間は、ゲート信号線１７ｂ２が選択される（Ｖｇｌ電圧が印加される）。また、ＥＬ素子１５に電流を流さない期間には、ゲート信号線１７ｂ２にはオフ電圧（Ｖｇｈ電圧）が印加される。以上の状態を定常的に繰り返すことあるいは周期的あるいはランダム的に行うことによりＥＬ素子１５が発光する（図１９５では、ＥＬ素子１５の発光を輝度Ｂで示している。なお、ゲート信号線１７ｂ２のタイミングチャートを図１９５のゲート信号線１７ｂ２で示している。

【０３５５】

なお、図１９４、図１９５の実施例において、駆動用トランジスタ１１ａは２つとし、この２つを切り換えると説明したがこれに限定するものではなく、駆動用トランジスタ１１ａを３個以上形成または配置し、３個以上の駆動用トランジスタ１１ａを切り換えて、ＥＬ素子１５に電流Ｉｅを供給してもよい。また、２つ以上の駆動用トランジスタ１１ａが同時にＥＬ素子に電流Ｉｅを供給してもよい。また、駆動用トランジスタ１１ａ１がＥＬ素子１５に供給する電流Ｉｅ１と、駆動用トランジスタ１１ａ２がＥＬ素子１５に供給する電流Ｉｅ２とはその電流の大きさを異ならせてもよい。

【０３５６】

また、複数の駆動用トランジスタ１１ａはサイズを異ならせてもよい。また、複数の駆動用トランジスタ１１ａがＥＬ素子１５に電流を流す時間は同一である必要はなく、異なっていてもよい。たとえば、駆動用トランジスタ１１ａ１が１０μｓｅｃの時間（１０μ秒）の間、ＥＬ素子１５に電流を供給し、駆動用トランジスタ１１ａ２が２０μｓｅｃの時間（２０μ秒）の間、ＥＬ素子１５に電流を供給するように構成してもよい。

【０３５７】

図１９４において、駆動用トランジスタ１１ａ１のゲート端子と駆動用トランジスタ１１ａ２のゲート端子は共通に接続されているがこれに限定するものではなく、各ゲート端子が別のゲート電位に設定できるものであってもよいことは言うまでもない。以上の実施例は、図３１から図３６の画素構成にも適用できる。この場合は、プログラム用トランジスタと駆動用トランジスタに適用される。

【０３５８】

以上の実施例は、主として図１の変形例の実施例であった。本発明はこれに限定するものではなく、図１３などのカレントミラーの画素構成にも適用することができる。

【０３５９】

図３５は本発明の実施例である。図３５は駆動用トランジスタ１１ｂが１個で、プログラム用トランジスタ１１ａｎが４個で画素が構成された実施例である。他の構成は図１２または図１３の実施例と同様である。

【０３６０】

図３５の実施例では、ゲート信号線１７ａ１、１７ａ２が選択されると、トランジスタ１１ｃ、１１ｄが動作状態となり、プログラム用トランジスタ１１ａｎとソース信号線１８との電流経路が形成される。なお、４つのプログラム用トランジスタ１１ａｎは、同一サイズ（同一チャンネル幅Ｗ、同一チャンネル長Ｌ）で形成することが好ましい。ただし、本発明において、プログラム用トランジスタ１１ａｎは１つで構成してもよい。この場合は、１つのプログラム用トランジスタ１１ａｎの形状あるいはＷＬ比を考慮し、所定のプログラム電流Ｉｗが実現できるようにすることが好ましい。

【０３６１】
図３５の実施例では、プログラム電流Ｉｗは、４つのプログラム用トランジスタ１１ａｎの電流が合成されたものとなる。説明を容易にするため、各プログラム用トランジスタ１１ａに流れる電流が等しいとする。なお、説明を容易にするため、ＥＬ素子１５に電流を供給するトランジスタ１１ａを駆動用トランジスタ１１ｂと呼び、電流プログラム時に動作するトランジスタ１１ａｎなどをプログラム用トランジスタ１１ａｎと呼ぶことにする。
【０３６２】
図３５では、駆動用トランジスタ１１ｂと１つのプログラム用トランジスタ１１ａｎは同一出力電流となるようにしている（駆動用トランジスタおよびプログラム用トランジスタのゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためにはトランジスタ１１ａｎおよび１１ｂのＷＬ（チャンネル幅Ｗとチャンネル長Ｌ）同一にすればよい。同一ＷＬあるいはＷＬ比のトランジスタ１１ａを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。
【０３６３】
ゲート信号線１７ａ１、１７ａ２に選択電圧（オン電圧）が印加されると、複数のプログラム用トランジスタ１１ａｎからの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流Ｉｗを、駆動用トランジスタ１１ｂからＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。
【０３６４】
Ｉｗ＝ｎ・Ｉｅ（ｎは１より大きい自然数）
上式において、表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。したがって、各ＲＧＢの絵素が縦０．１ｍｍ、横０．０５ｍｍであれば、Ｓ＝０．１×（０．０５×３）（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。
【０３６５】
５　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　１５０
さらに好ましくは、以下の条件と満足するようにする。
【０３６６】
１０　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　１００
Ｉｗはソースドライバ回路（ＩＣ）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａがＥＬ素子１５に流す電流である。
【０３６７】
したがって、駆動用トランジスタ１１ｂおよびプログラム用トランジスタ１１ａのＷＬまたは大きさ（トランジスタ形状）、出力電流は上記の関係式を満足するように構成または形成する。なお、説明を容易にするため、図３５の構成では、駆動用トランジスタ１１ｂのサイズもしくは供給電流と、プログラム用トランジスタ１１ａｎのサイズ（形状）もしくは１つあたりの供給電流が等しいとすると、ｎ－１個のプログラム用トランジスタ１１ａを形成することにより上式の関係を満足させることができる。特に図３５の画素構成では、駆動用トランジスタ１１ａの電流もプログラム電流にすることができ、画素１６の開口率をカレントミラーの画素構成に比較して高くすることができる。
【０３６８】
以上のように画素１６を構成することにより、プログラム電流Ｉｗは、Ｉｅに対してｎ倍になる。したがって、ソース信号線１８に寄生容量が存在しても、書き込み不足はなくなる。
【０３６９】
各トランジスタ１１ｂ、１１ａｎの出力ばらつきに関しては、プログラム用トランジス

タ１１ａｎと駆動用トランジスタ１１ｂとを近接させて形成または配置することにより改善できる。また、トランジスタ１１ａｎ、トランジスタ１１ｂの特性は形成方向によっても特性が異なる場合がある。したがって、トランジスタのチャンネル形成方向を横方向または縦方向に統一することが好ましい。

【０３７０】

ＥＬ表示パネルでは、ＲＧＢのＥＬ素子は異なる材料で構成する。したがって、各色で発光効率が異なる場合が多い。そのため、各ＲＧＢのプログラム電流Ｉｗも異なる。ソース信号線１８の寄生容量は、一般的にＲＧＢに対する変化はなく、同一である場合が多い。各ＲＧＢのプログラム電流Ｉｗが異なり、ソース信号線１８の寄生容量がＲＧＢで同一であれば、プログラム電流の書き込み時定数が異なることになる。

【０３７１】

図３５の画素構成に関しても、各ＲＧＢのプログラム用トランジスタ１１ａｎの個数を変化させればよい。また、各ＲＧＢのプログラム用トランジスタ１１ａｎのサイズ（ＷＬなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ１１ｂの個数あるいはサイズを変化させてもよい。

【０３７２】

以上の事項は、図３１、図３３、図３４などの画素構成においても同様に適用できることは言うまでもない。各ＲＧＢのプログラム用トランジスタ１１ａｎの個数を変化させればよい。また、各ＲＧＢのプログラム用トランジスタ１１ａｎのサイズ（ＷＬなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ１１ａの個数あるいはサイズを変化させてもよい。

【０３７３】

図５７４は駆動用トランジスタ１１ａが５個構成された実施例である。他の構成は図１の実施例と同様である。図１の実施例では、プログラム電流Ｉｗ＝ＥＬ素子１５に流れる電流の関係があった。したがって、ＥＬ素子１５を低輝度で発光させる場合は、プログラム電流Ｉｗも小さくなり、ソース信号線１８に寄生容量の影響を受けやすくなる（寄生容量の充放電に長時間を必要とし、１Ｈ期間の間に駆動用トランジスタ１１ａのゲート端子電位を所定電位に変化することが困難になる）。

【０３７４】

図５７４の実施例では、ゲート信号線１７ａが選択されると、トランジスタ１１ｅ、１１ｂ、１１ｃが動作状態となり、駆動用トランジスタ１１ａとソース信号線１８との電流経路が形成される。プログラム電流Ｉｗは、駆動用トランジスタ１１ａ、１１ａ２、１１ａ３、１１ａ４、１１ａ５の電流が合成されたものとなる。説明を容易にするため、各駆動用トランジスタ１１ａに流れる電流が等しいとする。なお、説明を容易にするため、ＥＬ素子１５に電流を供給するトランジスタ１１ａを駆動用トランジスタと呼び、電流プログラム時に動作するトランジスタ１１ａ２などをプログラム用トランジスタ１１ａと呼ぶことにする。

【０３７５】

図５７４では、駆動用トランジスタ１１ａと各プログラム用トランジスタ１１ａとは同一出力電流となるようにしている（ゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためには各トランジスタ１１ａのＷＬ（チャンネル幅Ｗとチャンネル長Ｌ）同一にすればよい。同一ＷＬのトランジスタ１１ａを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。後に説明する図５７のソースドライバＩＣ１４を単位トランジスタ１５３で構成するのと同一の理由である。

【０３７６】

しかし、本発明はこれに限定するものではなく、複数のプログラム用トランジスタ１１ａは１つのプログラム用トランジスタ１１ａとして形成または構成してもよい。この場合も構成は容易である。プログラム用トランジスタ１１ａのＷを大きく形成すればよいからである。

【０３７７】
ゲート信号線１７ａに選択電圧（オン電圧）が印加されると、駆動用トランジスタ１１ａとプログラム用トランジスタ１１ａからの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流ＩｗをＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。
【０３７８】
Ｉｗ＝ｎ・Ｉｅ（ｎは１より大きい自然数）
上式において、表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。したがって、各ＲＧＢの絵素が縦０．１ｍｍ、横０．０５ｍｍであれば、Ｓ＝０．１×（０．０５×３）（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。
【０３７９】
５　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　１５０
さらに好ましくは、以下の条件と満足するようにする。
【０３８０】
１０　≦　（Ｂ・Ｓ）／（ｎ・Ｈ）　≦　１００
Ｉｗはソースドライバ ＩＣ（回路）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａがＥＬ素子１５に流す電流である。ただし、突き抜け電圧などによる誤差は考慮していない。
【０３８１】
したがって、プログラム用トランジスタ１１ａのＷＬ、大きさ、出力電流は上記の関係式を満足するように構成または形成する。図５７４の構成では、駆動用トランジスタ１１ａのサイズもしくは供給電流と、プログラム用トランジスタ１１ａのサイズもしくは１つあたりの供給電流が等しいとすると、ｎ－１個のプログラム用トランジスタ１１ａを形成することにより上式の関係を満足させることができる。特に図５７４の画素構成では、駆動用トランジスタ１１ａの電流もプログラム電流にすることができ、画素１６の開口率をカレントミラーの画素構成に比較して高くすることができる。
【０３８２】
以上のように画素１６を構成することにより、プログラム電流Ｉｗは、Ｉｅに対してｎ倍になる。したがって、ソース信号線１８に寄生容量が存在しても、書き込み不足はなくなる。
【０３８３】
図１では、プログラム電流ＩｗとＥＬ素子１５に流れる電流Ｉｅが同一であり、ばらつきが発生しない。しかし、図５７４の構成では、プログラム電流Ｉｗの一部がＥＬ素子１５に流す電流Ｉｅとなる。したがって、ばらつきが発生する可能性がある。
【０３８４】
この課題を防止するためには、プログラム用トランジスタ１１ａと駆動用トランジスタ１１ａとを近接させて形成または配置する（図５７５を参照のこと）。図５７５では、駆動用トランジスタ１１ａとプログラム用トランジスタ１１ａとを同一のＷＬに形成している。また、駆動用トランジスタ１１ａの左右をプログラム用トランジスタ１１ａで囲うように形成または配置している。以上のように構成することにより、トランジスタ１１ａのバラツキを少なくすることができ、精度のよいＩｗ＝ｎ・Ｉｅの関係を維持できる。
【０３８５】
図５７４の実施例では、駆動用トランジスタ１１ａは１個であるとしたが、本発明はこれに限定するものではない。図５７６に図示するように、駆動用トランジスタは複数個形成してもよい（１１ａａ、１１ａｂ）。また、図５７７に図示するように、トランジスタ１１の形成方向を変化させてもよい。
【０３８６】

トランジスタ１１ａの特性は形成方向によっても特性が異なる場合がある。したがって、図５７５に図示するように１つの駆動用トランジスタ１１ａａは横方向に形成し、他の駆動用トランジスタ１１ａｂは縦方向に形成することにより、出力バラツキを低減することができる。また、図５７５に図示するようにプログラム用トランジスタ１１ａも縦方向と横方向に配置することが好ましい。

【０３８７】

ＥＬ表示パネルでは、ＲＧＢのＥＬ素子は異なる材料で構成する。したがって、各色で発光効率が異なる場合が多い。そのため、各ＲＧＢのプログラム電流Ｉｗも異なる。ソース信号線１８の寄生容量は、一般的にＲＧＢに対する変化はなく、同一である場合が多い。各ＲＧＢのプログラム電流Ｉｗが異なり、ソース信号線１８の寄生容量がＲＧＢで同一であれば、プログラム電流の書き込み時定数が異なることになる。

【０３８８】

この課題に対して、本発明では、図５７８に図示するように、各ＲＧＢのプログラム用トランジスタ１１ａの個数を変化させている。一例として、Ｒ画素１６のプログラム用トランジスタ１１ａは２個であり、Ｇ画素１６のプログラム用トランジスタ１１ａは４個であり、Ｂ画素１６のプログラム用トランジスタ１１ａは１個である。

【０３８９】

図５７８の実施例において、各ＲＧＢのプログラム用トランジスタ１１ａの個数を変化させるとしたが、これに限定するものではない。たとえば、各ＲＧＢのプログラム用トランジスタ１１ａｎのサイズ（ＷＬなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、各ＲＧＢのプログラム電流Ｉｗなどが同一あるいは近似の場合は、プログラム用トランジスタ１１ａｎの個数はＲＧＢで同一であってもよいことは言うまでもない。

【０３９０】

図５７８の実施例は、プログラム用トランジスタ１１ａｎの個数などをＲＧＢで変化させた実施例であったが、本発明はこれに限定されるものではない。たとえば、図５７９に図示するように、駆動用トランジスタ１１ａのサイズを変化させてもよい。

【０３９１】

図５７９では、Ｂ画素の駆動用トランジスタ１１ａサイズ　＞　Ｇ画素の駆動用トランジスタ１１ａサイズ　＞　Ｒ画素の駆動用トランジスタ１１ａサイズとなるように形成または構成している。

【０３９２】

図５７４の実施例などでは、電流プログラム時に、駆動用トランジスタ１１ａの電流Ｉｅはトランジスタ１１ｅとトランジスタ１１ｃを経由してソース信号線１８に出力される。一方、プログラム用トランジスタ１１ａの出力電流Ｉｗ－Ｉｅは１つのトランジスタ１１ｃのみを経由してソース信号線１８に出力される。トランジスタ１１ｅ、１１ｃではオン状態でもソース－ドレイン間の電位差が発生する。このため、プログラム用トランジスタ１１ａの１つあたりの出力電流に比較して、駆動用トランジスタ１１ａの出力電流が小さくなる場合がある。

【０３９３】

この課題に対しては、図５８０のように構成あるいは形成することが好ましい。図５８０の構成では、電流プログラム時に、駆動用トランジスタ１１ａ１の電流Ｉｅはトランジスタ１１ｃ１を経由してソース信号線１８に出力される。一方、プログラム用トランジスタ１１ａｎの出力電流Ｉｗ－Ｉｅはトランジスタ１１ｃ２を経由してソース信号線１８に出力される。したがって、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎではソース信号線１８までに経由するトランジスタ数が等しくなる。したがって、トランジスタのソース－ドレイン間の電位差の影響は発生しないため、プログラム用トランジスタ１１ａｎの１つあたりの出力電流と、駆動用トランジスタ１１ａ１の出力電流が等しくなる。

【０３９４】

なお、図５８０では駆動用トランジスタ１１ａには、ゲートードレイン間ショート用のトランジスタ１１ｂ１を形成または配置している。同様に、プログラム用トランジスタ１１ａｎには、ゲートードレイン間ショート用のトランジスタ１１ｂ２を形成または配置している。

【０３９５】

図５８１は駆動用トランジスタ１１ａ１のドレイン端子と、プログラム用トランジスタ１１ａｎのドレイン端子とを接続するトランジスタ１１ｅを形成した画素構成図である。しかし、図５８１の画素構成では、画素１６を構成するトランジスタ数が７個と多いため、画素開口率が低下する。

【０３９６】

図３２３は画素１６を構成するトランジスタ数を６個とし、プログラム用トランジスタ１１ａｎはトランジスタ１１ｂ２とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成し、駆動用トランジスタ１１ａ１はトランジスタ１１ｂ１とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成した実施例である。

【０３９７】

以上のように、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。

【０３９８】

図３５は、ゲート信号線１７ａ２でトランジスタ１１ｃを制御し、ゲート信号線１７ａ１でトランジスタ１１ｄを制御する。電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ１１ｃとトランジスタ１１ｄが同時にオフすることを抑制することができる。

【０３９９】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線１７ａ１、１７ａ２にオン電圧が印加されている状態から、ゲート信号線１７ａ１、１７ａ２にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線１７ａ２の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ１１ｄがオフ状態になる。次に、ゲート信号線１７ａ１をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ１１ｃがオフ状態になる。

【０４００】

以上のように、トランジスタ１１ｄをオフ状態にしてから、トランジスタ１１ｃをオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ１９に保持される電圧が規定値どおりとなる。なお、ゲート信号線１７ａ１とゲート信号線１７ａ２にオフ電圧を印加するタイミングのずれは、０．１μｓｅｃ以上５μｓｅｃ以下にすることが好ましい。

【０４０１】

駆動用トランジスタ１１ａのゲート電位をシフトさせることにより、黒表示を良好にする方式も例示される。特に電流駆動では黒表示の実現が困難であるからである。図３７５は駆動用トランジスタ１１ａのゲート端子に接続されたコンデンサ１９を介して電位シフトさせる構成である。

【０４０２】

以下の実施例では駆動用トランジスタ１１ａはＰチャンネルトランジスタであるとして説明する。しかし、本発明はこれに限定するものではない。駆動用トランジスタ１１ａ（ＥＬ素子１５を駆動するトランジスタ）がＮチャンネルの場合あるいは駆動用トランジスタ１１ａを吐き出し電流で電流プログラムを実施する場合は、電位シフトの方向を逆にする必要があることは言うまでもない。つまり、正規の状態となるように明細書の文言を読み替える必要がある。この読み替えは当業者であれば容易であるので説明は省略する。なお、以上の事項は本発明の他の実施例にも適用される。

【０４０３】
図３７５において、コンデンサ１９の一端はコンデンサ信号線３７５１に接続されている。また、コンデンサ信号線３７５１はコンデンサドライバ３７５２によって駆動される。コンデンサドライバ３７５２はポリリシコン技術で形成され、動作としてはゲートドライバ回路１２と同様あるいは類似である。ただし、ゲートドライバ回路１２とは振幅が異なる。コンデンサドライバ３７５２は、駆動用トランジスタ１１ａのゲート端子を０．１Ｖ～１Ｖの範囲で電位シフトさせるものであるからである。
【０４０４】
該当画素１６にプログラム電流が書き込まれているときは、コンデンサ信号線３７５１は電位固定されている。画素１６にプログラム電流の書き込みが終了すると（書き込み期間の１Ｈが終了すると）、コンデンサ信号線３７５１の電位はコンデンサドライバ３７５２によりアノード電圧Ｖｄｄ側に電位シフトされる。この電位シフトにより駆動用トランジスタ１１ａのゲート端子もアノード電位Ｖｄｄ側に電位シフトされる。つまり、駆動用トランジスタ１１ａのゲート端子は電流が流れない方向に電位シフトされる。
【０４０５】
以上の動作により、本発明の表示装置（表示パネル）では、低階調領域において駆動用トランジスタ１１ａが電流を流しにくい状態となる。したがって、良好な黒表示を実現できる。図３７５（ａ）は図１の画素構成に本発明の駆動方式を適用した実施例である。図３７５（ｂ）は主として図１２などのカレントミラーの画素構成に適用した実施例である。なお、図２０７は、２トランジスタの画素構成に適用した実施例である。また、図２０６も同様にコンデンサ１９の一方の電極電位を操作することにより良好な画像表示を実現できる。
【０４０６】
図３７５はコンデンサ信号線３７５１の電位をコンデンサドライバ３７５２によりシフトさせるとした。しかし、本発明はこれに限定するものではない。良好な黒表示を実現する時は、コンデンサ信号線３７５１の電位をアノード電位Ｖｄｄ以上にしてもよい。コンデンサ信号線３７５１の電位が高いほど、ゲート信号線１７ａのオン電圧Ｖｇｌ１との電位差が大きくなり、トランジスタ１１ｂの寄生容量とコンデンサ１９との突き抜け電圧により、トランジスタ１１ａのゲート端子の電位シフトが大きくなるからである。
【０４０７】
たとえば、コンデンサ信号線３７５１の電位が１０Ｖと、６Ｖでは、１０Ｖの方が突き抜け電圧が大きくなり、トランジスタ１１ａのゲート端子の電位シフトが大きくなり、低階調領域においてトランジスタ１１ａは電流を流しにくくなる。したがって、良好な黒表示を実現できる。
【０４０８】
つまり、本発明は、電流駆動方式の画素構成において、駆動用トランジスタ１１ａのソース端子（アソード端子Ｖｄｄ。ただし、駆動用トランジスタ１１ａがＰチャンネルで、吸い込み電流により電流プログラムを実現する画素構成の場合である。駆動用トランジスタがＮチャンネルの場合などは逆の関係にすることは言うまでもない）と、駆動用トランジスタ１１ａのゲート端子電位を保持するコンデンサ１９の端子とに、個別に電圧を印加（異なる電圧を印加）できるように構成したものである。
【０４０９】
この構成により、コンデンサ１９の一端子の電位を変化させることにより、黒表示状態を調整あるいは制御することができる。なお、調整あるいは制御は、コンデンサ１９の端子電圧と、駆動用トランジスタ１１ａのソースまたはドレイン端子の電圧との相対的な関係である。したがって、コンデンサ１９の１端子の電位を固定し、アノード電位を変化させてもよいことは言うまでもない。
【０４１０】
なお、以上の実施例は、コンデンサ信号線３７５１を操作することにより、黒表示を良好にする実施例であった。しかし、本発明はこれに限定するものではない。たとえば、駆

動用トランジスタ１１ａがＮチャンネルの場合は、コンデンサ信号線３７５１などを操作することにより、高階調での電流を増加させることができる。したって、良好な白表示を実現できる。

【０４１１】

図３６は、トランジスタ１１ｃとトランジスタ１１ｄをゲート信号線１７ａに印加する電圧により制御できるようにした構成である。図３６の構成では、画素１６を駆動するゲート信号線１７は１本ですむため、配線信号線数が少なくてすむ。図３６の画素構成では、非表示領域１９２を発生させることはできない。しかし、画素の制御は容易であり、画素の開口率も向上できる。

【０４１２】

以上の実施例は、電流プログラムの画素構成であった。本発明はこれに限定するものではなく、電圧駆動と電流駆動の画素構成を組み合わせてもよい。図２１１は電圧駆動と電流駆動の両方を実施できる画素構成である。

【０４１３】

電流駆動では低下階調領域で電流書き込みが発生する。一方で電圧駆動では、低階調でも書き込み不足はない。しかし、電圧駆動では、表示画面に形成された駆動用トランジスタ１１ａの特性バラツキを吸収することができないため、レーザーアニール工程で発生するトランジスタの特性バラツキに起因するムラが表示されてしまう。電流駆動ではこのトランジスタの特性バラツキの問題がない。したがって、図２１３は本発明の駆動方式の説明図である。図２１３で図示するように、低階調領域では電圧駆動を実施する。高階調領域では電流駆動を実施する。中間の階調領域では、電圧駆動の後に、電流駆動を実施する。つまり、本発明の駆動方式では、階調に応じて、電流駆動と電圧駆動の双方あるいは一方を実施し、電圧駆動と電流駆動の課題を解決することができる。

【０４１４】

図２１１は電圧駆動と電流駆動の両方が実施することができる画素構成である。ただし、説明を容易にするため、図１と同様に１画素のみを記載している。また、ドライバ回路１２なども概念的に記載している。

【０４１５】

図２１１において、トランジスタ１１ｅを削除すると電圧オフセットキャンセル駆動の画素構成となる。図２１１の画素構成は基本的には電圧オフセットキャンセル構成において、コンデンサ１９ｂをショートするトランジスタ１１ｅを形成または配置したものである。

【０４１６】

図２１２は、図２１１の画素構成を説明する説明図である。図２１２（ａ）は電流駆動方式でのプログラム時の画素状態である。図２１２（ｂ）は電圧駆動方式でのプログラム時の状態である。

【０４１７】

まず、図２１２（ａ）の電流プログラム状態について説明をする。図２１２（ａ）ではトランジスタ１１ｅがオン状態にされる。そのため、コンデンサ１９ｂの両端がショートされる。また、ゲートドライバ回路１２ｄと１２ａは同一の動作が実施される。図２１２（ａ）では、ゲートドライバ回路１２ａ＋１２ｄとして示している。

【０４１８】

つまり、各画素行を選択される時は、ゲートドライバ回路１２ａ＋１２ｄからオン電圧はゲート信号線１７ｂと１７ａに印加される。したがって、トランジスタ１１ｅ、１１ｃ、１１ｂが同時にオン状態になる。つまり、図２１２（ａ）は図１の画素構成と同一である。そのため、ソースドライバ回路（ＩＣ）１４から出力されたプログラム電流Ｉｗが駆動用トランジスタ１１ａに書き込まれる。

【０４１９】

以降の動作（ゲート信号線１７ｂの選択状態、動作）は、図１と同様であるので説明を省略する。なお、図２１２（ａ）において、本発明で説明する図１に対応した駆動方式は

いずれも適用できることは言うまでもない。

【０４２０】

次に図２１２（ｂ）はゲート信号線１７ａとゲート信号線１７ｃは別個に動作する。なお、この画素構成は電圧オフセットキャンセラとして知られているので動作については説明を省略する。

【０４２１】

本発明は、図２１３に図示するように、低階調領域では図２１２（ｂ）の画素回路構成で動作させ、高階調領域では図２１２（ａ）の画素回路構成で動作させる。

【０４２２】

高階調領域と低階調領域の中間階調の領域では、図２１２（ｂ）の回路構成で１Ｈの最初に行い、その後、図２１２（ａ）の回路構成で実施することが好ましい。図２１２（ａ）と図２１２（ｂ）の切り換え範囲は評価によって決定する必要がある。検討の結果によれば、全階調範囲のうち、最も低階調（階調０）から、全階調の１／１０以上１／４の範囲以下のいずれかでは、図２１２（ｂ）の電圧駆動のみを実施し、全階調の１／６以上１／３以下のいずれかの範囲から最高階調までは、図２１２（ａ）の電流プログラムを実施することが好ましい。

【０４２３】

この電流駆動のみあるいは電圧駆動のみを実施する階調範囲以外では図２１２（ｂ）の電圧プログラムを実施した後、図２１２（ａ）の電流プログラムを実施する。高階調の領域においても図２１２（ｂ）の電圧プログラムを実施した後、図２１２（ａ）の電流プログラムを実施してもよい。

【０４２４】

低階調領域においても、図２１２（ｂ）の電圧プログラムを実施した後、図２１２（ａ）の電流プログラムを実施してもよい。低階調領域では電圧プログラム状態が支配的であり、電圧プログラムの後に電流プログラムを実施しても電流プログラムの状態は画素１６へのプログラム状態に影響を与えないからである。

【０４２５】

以上のように本発明は、低階調領域では、まず、１Ｈの最初には電圧プログラムの画素構成を実現して少なくとも電圧プログラムを実施し、高階調領域では、１Ｈの最後には電流プログラムの画素構成を実施して少なくとも電流プログラムを実施するものである。

【０４２６】

電流プログラムと電圧プログラムの組合せによる画素１６へのプログラムは、図１２７から図１４３で説明しているので説明を省略する。図２１１および図２１２と、図１２７から図１４３の駆動方式とを組み合わせてもよいことはいうまでもない。

【０４２７】

図１などは、電流プログラムの画素構成であるとして説明した。しかし、図１のほか図６、図７、図８、図９、図１０、図１１、図１２、図１３、図３１、図６０７（ａ）（ｂ）（ｃ）などの画素構成においても、以下の方法は適用できることは言うまでもない。以上の事項は本発明の他の実施例でも同様に適用できることは言うまでもない。

【０４２８】

図２１４は電流駆動の画素構成で電圧プログラムを行う実施例である。図２１４（ａ）は電圧プログラムを実施している状態であり、図２１４（ｂ）はＥＬ素子１５にプログラム電流Ｉｗを流して発光している状態である。

【０４２９】

図２１４（ａ）では、ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂとトランジスタ１１ｃとをオン状態にする。この状態でソース信号線１８にプログラム電圧Ｖを印加し、この電圧Ｖを画素１６のコンデンサ１９に保持させる。この時、ゲート信号線１７ｂにはオフ電圧を印加してトランジスタ１１ｄをオフ（オープン）状態にする。

【０４３０】

図２１４（ｂ）はＥＬ素子１５を発光させている時のトランジスタの状態を示している

。ゲート信号線１７ａにはオフ電圧を印加し、トランジスタ１１ｂ、トランジスタ１１ｃはオープン状態にする。ゲート信号線１７ｂにはオン電圧を印加し、トランジスタ１１ｄは短絡（オン状態）にする。

【０４３１】

以上のように駆動することにより電圧プログラムを実施できる。つまり、低階調領域ではソース信号線に少なくも１Ｈの最初にはプログラム電圧Ｖを印加し、高階調領域では、少なくとも１Ｈの最後にはプログラム電流Ｉｗを印加する。

【０４３２】

なお、電圧駆動と電流駆動の切り換えタイミングは図２１２、図１２７から図１４３などで説明しているので説明を省略する。以上の事項は本発明の他の実施例でも同様である。

【０４３３】

図２１５は図２１１の変形例である。また、図１と図２との組合せとも考えることができる。図１にトランジスタ１１ｅが追加された画素構成であるからである。トランジスタ１１ｅを制御するゲート信号線１７ｃが追加され、このゲート信号線１７ｃに順次オンオフ電圧を走査状態で印加するゲートドライバ回路１２ｃを具備する。

【０４３４】

図２１６（ａ）（ｂ）は図２１５の動作の説明図である。図２１６（ａ）は電流プログラムの駆動状態である。図２１６（ｂ）は電圧プログラムの駆動状態である。

【０４３５】

図２１６（ａ）では、ゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｅがオフ（オープン状態）になる。この状態は、図１の画素構成と同一である。したがって、ゲート信号線１７ｃに絶えずオフ電圧を印加した状態で駆動することにより、図１で説明した駆動方法などを実現できることになり、電流プログラムを実施できる。

【０４３６】

図２１６（ｂ）では、ゲート信号線１７には常時オフ電圧が印加される。したがって、ゲート信号線１７ａに接続されたトランジスタ１１ｂとトランジスタ１１ｃは常時オフ（オープン状態）にされる。この状態で、ゲート信号線１７ｃにはゲートドライバ回路１２ｃにより順次走査状態でオン電圧が印加されていく。選択された画素行のトランジスタ１１ｅがオン状態となり、ソース信号線１８に印加されたプログラム電圧Ｖがコンデンサ１９に印加される。

【０４３７】

なお、図２１６（ｂ）での駆動方式では、電圧プログラム時にトランジスタ１１ｄは必ずしもオフ（オープン）状態にすることはなく、図２１６（ｂ）に図示するようにオン状態でもオフ状態のいずれでもよい。ただし、ＥＬ素子１５に電流を流す時はトランジスタ１１ｄをオン状態にする必要があることは言うまでもない。他の動作などに関しては先の実施例と動作と同様であるので説明を省略する。

【０４３８】

図２１７は図２１２もしくは図２１５の変形例である。図２１７は駆動用トランジスタ１１ａとトランジスタ１１ｄ間にトランジスタ１１ｅが形成または配置されている。トランジスタ１１ｅはゲートドライバ回路１２ｃに接続されたゲート信号線１７ｃによってオンオフ制御される。

【０４３９】

図２１８は図２１７の動作の説明図である。図２１８（ａ）は電流プログラムの状態を示しており、図２１８（ｂ）は電圧プログラムの状態を示している。

【０４４０】

図２１８（ａ）では、ゲート信号線１７ｃには常時オン電圧が印加され（図２１２と同様に、画素行が選択される時にトランジスタ１１ｅをオン状態にしてもよいことは言うまでもない。このことは図２１５についても同様である。）、選択された画素行のゲート信号線１７ａにはオン電圧が印加される。そのため、トランジスタ１１ｂ、トランジスタ１

１ｃがオンとなる。この状態でソース信号線１８にプログラム電流Ｉｗが印加され、このプログラム電流Ｉｗが選択された画素１６のコンデンサ１９に書き込まれる。

【０４４１】

図２１８（ｂ）は電圧プログラム時の画素書き込み状態を図示している。基本的には図２の電圧プログラム状態となる。ゲート信号線１７ｃにはオフ電圧が印加されトランジスタ１１ｅがオフ（オープン状態）となる。また、図２８（ａ）と同様にゲート信号線１７ｂにはオフ電圧が印加され、トランジスタ１１ｄがオフ状態となる。この状態でソース信号線１８に印加されたプログラム電圧Ｖが選択された画素１６のコンデンサ１９に書き込まれる。他の動作などに関しては先の実施例と動作と同様であるので説明を省略する。

【０４４２】

図２の画素構成において特に問題となる事項に電源（パネルに供給するカソード電圧、アノード電圧）をオンオフする際に、過渡電流がＥＬ素子１５に流れるということがある。つまり、トランジスタ１１ｂのオンオフ状態が確定せず、また、コンデンサ１９の電位状態が不定の状態で電源がオンされるからである。この課題は電源オフ時でも発生する。

【０４４３】

この課題に対しては、図２１９に図示するように、アノードとトランジスタ１１ａ間にスイッチ用トランジスタ２１９ａと配置または形成し、駆動用トランジスタ１１ａからＥＬ素子１５あるいはカソード間にトランジスタ２１９ｂを形成または配置することにより解決することができる。

【０４４４】

電源オフする際は、図２２０に図示するように電源をオフする前に、コントローラによりトランジスタ２１９１をオフにする。トランジスタ２１９１のオフは図２２０（ａ）に図示するように、２１９１ａまたは２１９１ｂのいずれか一方をオフにしてもよい。また、図２２０（ｂ）に図示するようにトランジスタ２１９１ａとトランジスタ２１９１ｂの両方をオフにした後、電源回路をオフ状態にしてもよい。

【０４４５】

電源オンする際は、コントローラによりトランジスタ２１９１をオフにする。その後、電源回路をオンしてから、トランジスタ２１９１をオン状態にすることが好ましい。

【０４４６】

図２１９、図２２０で説明した事項は、本発明の他の画素構成にも適用できることはいうまでもない。図２１９のトランジスタ２１９ａとトランジスタ２１９ｂのいずれか一方を配置または形成すれば効果が得られることは言うまでもない。

【０４４７】

図２１９は各画素１６にスイッチ用のトランジスタ２１９１を形成または配置するとしたがこれに限定するものではなく、アノード端子に１個のスイッチ２１９１ａを配置し、カソード端子に１個のスイッチ２１９１ｂを配置してもよい。

【０４４８】

また、図２１９において２１９１はトランジスタであるとしたがこれに限定するものではなく、サイリスタのような他の素子、ホトダイオード、リレー素子などでもよいことは言うまでもない。

【０４４９】

以上の実施例は、表示領域に形成あるいは配置された画素１６は電流駆動方式の画素または電圧駆動方式の画素構成か、もしくは、電圧駆動と電流駆動とを切り換えることができるものであった。しかし、本発明はこれに限定するものではない。たとえば、図２２１にように構成してもよい。

【０４５０】

図２２１は１本のソース信号線１８に電流駆動の画素（図１など）１６ｂと電圧駆動の画素（図２など）１６ａが接続された構成である。電流駆動の画素１６ｂはソース信号線１８の一端に配置または形成され、また、形成位置はソースドライバ回路（ＩＣ）１４から遠い位置に配置または形成される。また、電流駆動の画素１６ｂの駆動用トランジスタ

１１ａのＷＬと電圧駆動の画素１６ａの駆動用トランジスタ１１ａのＷＬとは一致させる。

【０４５１】

電流駆動の画素１６ｂは、プログラム電流（電圧）の大きさなど場合に応じてオン状態にされ、ソース信号線１８に電流を供給し、ソース信号線１８の充放電を実施して、画素１６へのプログラム書き込みを実施する。

【０４５２】

図２２２は、図２２１の電圧画素１６ａと電流画素１６ｂの関係を入れ替えた構成である。以上のように本発明は、表示領域に電圧画素１６ａと電流画素１６ｂの両方を形成または配置するものである。

【０４５３】

本発明の画素構成によれば、トランジスタ１１ｄ（図１の場合）などのスイッチング手段を制御することにより、ＲＧＢ画像を順次表示することができる（図２２の構成も参照のこと）。

【０４５４】

図３７（ａ）は１フレーム（１フィールド）期間にＲ表示領域１９３Ｒ、Ｇ表示領域１９３Ｇ、Ｂ表示領域１９３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域５２とする。つまり、間欠駆動を実施する。Ｒ、Ｇ、Ｂの表示領域１９３は個別に間欠表示が実施される。

【０４５５】

図３７（ｂ）は１フィールド（１フレーム）期間にＲ、Ｇ、Ｂ表示領域１９３を複数発生するように実施した実施例である。この駆動方法は、図２３の駆動方法と類似である。したがって、説明を必要としないであろう。図３７（ｂ）に表示領域１９３を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

【０４５６】

図３８（ａ）は、ＲＧＢの表示領域１９３で表示領域１９３の面積を異ならせたものである。なお、表示領域１９３の面積は点灯期間に比例することは言うまでもない。図３８（ａ）では、Ｒ表示領域１９３ＲとＧ表示領域１９３Ｇと面積を同一にしている。Ｇ表示領域１９３ＧよりＢ表示領域１９３Ｂの面積を大きくしている。

【０４５７】

有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い。図３８（ａ）のようにＢ表示領域１９３Ｂを他の色の表示領域１９３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。また、Ｒ、Ｇ、Ｂ表示領域１９３の面積を変化させることにより、ホワイトバランス調整、色温度調整を容易に実現できる。

【０４５８】

図３８（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間１９３Ｂが複数（１９３Ｂ１、１９３Ｂ２）となるようにした実施例である。図３８（ａ）は１つのＢ表示領域１９３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図３８（ｂ）は、同一面積のＢ表示領域１９３Ｂを複数表示させることにより、ホワイトバランス調整（補正）を良好にする。また、色温度補正（調整）を良好にする。たとえば、屋外と屋内で色温度を変化させることは有効である。たとえば、屋内では、色温度を低下させ、屋外では色温度を高くする。

【０４５９】

本発明の駆動方式は図３７、図３８のいずれに限定するものではない。Ｒ、Ｇ、Ｂの表示領域１９３を発生し、また、間欠表示する。結果として動画ボケを対策し、画素１６への書き込み不足を改善する。

【０４６０】

図２３の駆動方法では、Ｒ、Ｇ、Ｂが独立の表示領域１９３は発生しない。ＲＧＢが同時に表示される（Ｗ表示領域１９３が表示されると表現すべきである）。

【０４６１】

図３８（ａ）と図３８（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図３８（ａ）のＲＧＢの表示面積１９３を変化し、かつ図３８（ｂ）のＲＧＢの表示領域１９３を複数発生させる駆動方法の実施である。

【０４６２】

図３７から図３８の駆動方式は、図２２のように、ＲＧＢごとにＥＬ素子１５（ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂ）に流れる電流を制御できる構成あれば、図３７、図３８の駆動方式を容易に実施できることは言うでもないであろう。

【０４６３】

図２２の表示パネルの構成において、ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。

【０４６４】

また、以上の駆動を実現するためには、図３９に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。

【０４６５】

図３９のゲートドライバ回路１２ｂＲ、１２ｂＧ、１２ｂＢを、図１９、図２０などで説明した方法で駆動することにより、図３７、図３８の駆動方法を実現できる。もちろん、図３９の表示パネルの構成で、図２３の駆動方法なども実現できることは言うまでもない。

【０４６６】

図２０、図２４、図２６、図２７などでは、ゲート信号線１７ｂ（ＥＬ側選択信号線）は１水平走査期間（１Ｈ）を単位として、オン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）を印加するとして説明をした。しかし、ＥＬ素子１５の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は１Ｈ単位に限定する必要はない。なお、以下の事項はゲート信号線１７ａ（１７ａ１、１７ａ２）にも適用される。

【０４６７】

アウトプットイネーブル（ＯＥＶ）の概念を説明する。ＯＥＶ制御を行うことにより、１水平走査期間（１Ｈ）以内のゲート信号線１７ａ、１７ｂにオンオフ電圧（Ｖｇｌ電圧、Ｖｇｈ電圧）を画素１６に印加できるようになる。

【０４６８】

説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線１７ａ（図１の場合）であるとして説明をする。また、ゲート信号線１７ａを制御するゲートドライバ回路１２ａの出力をＷＲ側選択信号線と呼ぶ。ＥＬ素子１５を選択するゲート信号線１７ｂ（図１の場合）であるとして説明をする。また、ゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの出力をＥＬ側選択信号線と呼ぶ。

【０４６９】

ゲートドライバ回路１２は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路１２ａのシフトレジスタ内の保持データにより、ＷＲ側選択信号線に出力される電圧がオン電圧（Ｖｇｌ）か、オフ電圧（Ｖｇｈ）か、が決定される。さらに、ゲートドライバ回路１２ａの出力段には、強制的に出力をオフにするＯＥＶ１回路（図示せず）が形成または配置されている。ＯＥＶ１回路がＬレベルの時には、ゲートドライバ回路１２ａの出力であるＷＲ側選択信号をそのままゲート信号線１７ａに出力する。

【０４７０】

以上の関係をロジック的に図示すれば、ＯＲ回路の関係となる（図４０（ｂ）を参照のこと）。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ

（１）としている。ゲートドライバ回路１２ａがオフ電圧を出力している場合は、ゲート信号線１７ａにオフ電圧が印加される。ゲートドライバ回路１２ａがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ１回路の出力とＯＲが取られてゲート信号線１７ａに出力される。ＯＥＶ１回路は、Ｈレベルの時、ゲートドライバ信号線１７ａに出力する電圧をオフ電圧（Ｖｇｈ）にする（図４０（ａ）のタイミングチャートの例を参照のこと）。

【０４７１】

ゲートドライバ回路１２ｂのシフトレジスタ内の保持データにより、ゲート信号線１７ｂ（ＥＬ側選択信号線）に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ｂの出力段には、強制的に出力をオフにするＯＥＶ２回路（図示せず）が形成または配置されている。

【０４７２】

ＯＥＶ２回路がＬレベルの時には、ゲートドライバ回路１２ｂの出力をそのままゲート信号線１７ｂに出力する。以上の関係をロジック的に図示すれば、図４０（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。

【０４７３】

ゲートドライバ回路１２ｂがオフ電圧を出力している場合（ＥＬ側選択信号はオフ電圧）は、ゲート信号線１７ｂにオフ電圧が印加される。ゲートドライバ回路１２ｂがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ２回路の出力とＯＲが取られてゲート信号線１７ｂに出力される。つまり、ＯＥＶ２回路は、入力信号がＨレベルの時、ゲートドライバ信号線１７ｂに出力する電圧をオフ電圧（Ｖｇｈ）にする。したがって、ＯＥＶ２回路のよりＥＬ側選択信号がオン電圧出力状態であっても、強制的にゲート信号線１７ｂに出力される信号はオフ電圧（Ｖｇｈ）になる。なお、ＯＥＶ２回路の入力がＬであれば、ＥＬ側選択信号がスルーでゲート信号線１７ｂに出力される（図４０（ａ）のタイミングチャートの例を参照のこと）。

【０４７４】

ゲート信号線１７ｂ（ＥＬ側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面１４４の輝度をリニアに調整することができる。これはＯＥＶ２回路を制御することにより容易に実現できる。たとえば、図４１では、図４１（ａ）よりも図４１（ｂ）の方が表示輝度は低くなる。また、図４１（ｂ）よりも図４１（ｃ）の方が表示輝度は低くなる。

【０４７５】

また、図４２に図示するように、１Ｈ期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図４２（ａ）は６回設けた実施例である。図４２（ｂ）は３回設けた実施例である。図４２（ｃ）は１回設けた実施例である。図４２では、図４２（ａ）よりも図４２（ｂ）の方が表示輝度は低くなる。また、図４２（ｂ）よりも図４２（ｃ）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

【０４７６】

以後、本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４について説明をする。本発明のソースドライバＩＣは、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。

【０４７７】

図６０８は、１／４Ｄｕｔｙ比駆動である。４Ｈ期間に１Ｈ期間の間、ゲート信号線１７ｂ（ＥＬ側選択信号線）にオン電圧が印加され、水平同期信号（ＨＤ）に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は１Ｈ単位である。

【０４７８】

しかし、本発明はこれに限定するものではなく、図６１１に図示するように１Ｈ未満（図６１１は１／２Ｈ）としてもよく、また、１Ｈ以下としてもよい。つまり、１Ｈ単位に

限定されるものではなく、１Ｈ単位以外の発生も容易である。ゲートドライバ回路１２ｂ（ゲート信号線１７ｂを制御する回路である）の出力段に形成または配置されたＯＥＶ２回路を用いればよい。ＯＥＶ２回路は先に説明したＯＥＶ１回路と同様であるので説明を省略する。

【０４７９】

図６０９は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間は１Ｈを単位としていない。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。図６０９を第１フィールドの状態とする。

【０４８０】

第１フィールドの次の第２フィールドでは、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。

【０４８１】

以上のように、複数画素行でのゲート信号線１７ｂ（ＥＬ側選択信号線）に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行のＥＬ素子１５の点灯時間を一定となるように構成してもよい。

【０４８２】

図６１０は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間を１．５Ｈをしている。また、Ａ点におけるゲート信号線１７ｂ（ＥＬ側選択信号線）の立ち上りと立下りが重なるようにしている。ゲート信号線１７ｂ（ＥＬ側選択信号線）とソース信号線１８とはカップリングしている。そのため、ゲート信号線１７ｂ（ＥＬ側選択信号線）の波形が変化すると波形の変化がソース信号線１８に突き抜ける。この突き抜けによりソース信号線１８に電位変動が発生すると電流（電圧）プログラムの精度が低下し、駆動用トランジスタ１１ａの特性ムラが表示されるようになる。

【０４８３】

図６１０において、Ａ点において、ゲート信号線１７ｂ（ＥＬ側選択信号線）（１）はオン電圧（Ｖｇｌ）印加状態からオフ電圧（Ｖｇｈ）印加状態に変化する。ゲート信号線１７ｂ（ＥＬ側選択信号線）（２）はオフ電圧（Ｖｇｈ）印加状態からオン電圧（Ｖｇｌ）印加状態に変化する。したがって、Ａ点では、ゲート信号線１７ｂ（ＥＬ側選択信号線）（１）の信号波形とゲート信号線１７ｂ（ＥＬ側選択信号線）（２）の信号波形が打ち消しあう。したがって、ソース信号線１８とゲート信号線１７ｂ（ＥＬ側選択信号線）とがカップリングしていても、ゲート信号線１７ｂ（ＥＬ側選択信号線）の波形変化がソース信号線１８に突き抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。

【０４８４】

なお、図６１０は、オン時間が１．５Ｈの実施例であった。しかし、本発明はこれに限定するものではなく、図６１２に図示するように、オン電圧の印加時間を１Ｈ以下としてもよいことは言うまでもない。

【０４８５】

なお、本発明の実施例では、ソースドライバ回路は、ＩＣチップとして説明をするがこれに限定するものではなく、高温ポリシリコン技術、低温ポリシリコン技術、ＣＧＳ技術、アモルファスシリコン技術などを用いて、表示パネルの基板３０上に直接に作製してもよいことは言うまでもない。また、シリコンウエハなどに形成したソースドライバ回路（

ＩＣ）１４を基板３０に転写してもよい。

【０４８６】

図４３はソースドライバ回路（ＩＣ）１４の１出力段の構造図である。つまり、１つのソース信号線１８に接続される出力部である。複数の同一サイズの単位トランジスタ１５４（１単位）で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。図４３は一例として６４階調表示の実施例である。１出力段に相当するトランジスタ群４３１ｃには、単位トランジスタ１５４は６３個で構成されている。

【０４８７】

本発明のソースドライバ回路（ＩＣ）１４を構成するトランジスタあるいはトランジスタ群は、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。ゲルマニウム半導体でもよい。また、低温ポリシリコン技術、高温ポリシリコン技術、ＣＧＳ技術で形成または構成したものであってもよい。

【０４８８】

図４３は本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。

【０４８９】

６４階調の場合は、Ｄ０ビットの単位トランジスタ１５４は１個、Ｄ１ビットの単位トランジスタ１５４は２個、Ｄ２ビットの単位トランジスタ１５４は４個、Ｄ３ビットの単位トランジスタ１５４は８個、Ｄ４ビットの単位トランジスタ１５４は１６個、Ｄ５ビットの単位トランジスタ１５４は３２個であるから、計単位トランジスタ１５４は６３個である。つまり、本発明は階調の表現数（この実施例の場合は、６４階調）－１個の単位トランジスタ１５４を１出力と構成（形成）する。

【０４９０】

単位トランジスタ１個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが、複数のサブ単位トランジスタに分割されているだけである。たとえば、１つの単位トランジスタ１５４が、４つのサブ単位トランジスタで構成される場合が例示される。したがって、本発明が、階調の表現数－１個の単位トランジスタで構成されていることには差異はない。

【０４９１】

また、図４３において、Ｄ５ビット目の単位トランジスタ１５４の３２個は、密集させて配置（形成）しているように図示しているが、本発明はこれに限定するこのではない。たとえば、８個の単位トランジスタ１５４の群（つまり、８個のトランジスタの集まりが４組）に分割し、分割されたトランジスタ群を分散させて配置（構成）してもよい。この方が、出力電流のバラツキが低減する。

【０４９２】

図４３において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ１５１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する単位トランジスタ１５４に向かって電流が流れる。この電流はＩＣ１４内の内部配線１５３に流れる。この内部配線１５３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線１５３に流れる電流が画素１６のプログラム電流となる。

【０４９３】

たとえば、Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ１５１がオンする。すると、カレントミラーを構成する２つの単位トランジスタ１５４に向かって電流が流れる。この電流はＩＣ１４内の内部配線１５３に流れる。この内部配線１５３はＩＣ１４の端

子電極を介してソース信号線１８に接続されているから、この内部配線１５３に流れる電流が画素１６のプログラム電流となる。

【０４９４】

他のスイッチ１５１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、スイッチ１５１ｃがオンする。すると、カレントミラーを構成する４つの単位トランジスタ１５４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ１５１ｆがオンする。すると、カレントミラーを構成する３２つの単位トランジスタ１５４に向かって電流が流れる。

【０４９５】

以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する単位トランジスタに向かって電流が流れる。したがって、データに応じて、０個から６３個に単位トランジスタに電流が流れるように構成されている。

【０４９６】

なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに限定するものではない。８ビットの場合は、２５５個の単位トランジスタ１５４を形成（配置）すればよい。また、４ビットの時は、１５個の単位トランジスタ１５４を形成（配置）すればよい。もちろん、８ビットの場合は、２５５×２個の単位トランジスタ１５４を形成（配置）してもよい。１つの単位トランジスタ１５４が２個で１単位電流を出力する。単位電流源を構成する単位トランジスタ１５４は同一のチャンネル幅Ｗ、チャンネル幅Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【０４９７】

単位トランジスタ１５４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ１５４を重み付けしてもよい。たとえば、１単位の単位トランジスタ１５４と、２倍の単位トランジスタ１５４と、４倍の単位トランジスタ１５４などを混在させて電流出力回路を構成してもよい。

【０４９８】

しかし、単位トランジスタ１５４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【０４９９】

６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５で制御されるスイッチを介してプログラム電流Ｉｗはソース信号線に出力される（電流を引き込む）。したがって、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５のＯＮ、ＯＦＦに応じて、出力線には、１倍、２倍、４倍、・・・、３２倍の電流が加算されて出力される。すなわち、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５により、出力線１５３よりプログラム電流が出力される（ソース信号線１８から電流を引き込む。）。

【０５００】

ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。基準電流は、単位トランジスタ１５４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ１５４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路（ＩＣ）１４が電流きざみ出力（電流駆動）であることから発揮される効果である。

【０５０１】

トランジスタ群４３１ｃ内の単位トランジスタ１５４のゲート端子（Ｇ）は共通のゲート配線１５３と接続されている。また、単位トランジスタ１５４のソース端子（Ｓ）は共通の内部配線１５０に接続され、内部配線１５０の一端に端子１５５が構成されている。

単位トランジスタ１５４のドレイン端子（Ｄ）はグランド電位（ＧＮＤ）に接地されている。

【０５０２】

１つのトランジスタ群４３１ｃは１本のソース信号線１８に対応して構成（形成）されている。また、図１５、図４７に図示するように、単位トランジスタ１５４は、トランジスタ１５８ｂ１または１５８ｂ２と、カレントミラー回路を構成している。トランジスタ１５８ｂには基準電流Ｉｃが流れ、この基準電流Ｉｃのより単位トランジスタ１５４の出力電流が決定される。

【０５０３】

図４７に図示するように、トランジスタ１５８ｂのゲート端子（Ｇ）と単位トランジスタのゲート端子（Ｇ）とは共通のゲート配線１５３で接続されている。そのため、トランジスタ１５８ｂと各トランジスタ群４３１ｃとはカレントミラー回路を構成している。

【０５０４】

図４７に図示するように、トランジスタ群４３１ｃの両側にトランジスタ１５８ｂ１とトランジスタ１５８ｂ２を配置することにより、ゲート配線１５３の電位勾配が小さくなる。したがって、左右のトランジスタ群（４３１ｃ１、４３１ｃｎ）の出力電流の大きさが等しくなる（ただし、同一階調の時とする）。また、基準電流Ｉｃ１とＩｃ２の大きさを調整することにより、ゲート配線１５３の電位勾配を変化させることができる。基準電流Ｉｃ１、Ｉｃ２の大きさを調整することにより、左右のトランジスタ群（４３１ｃ１、４３１ｃｎ）の出力電流の大きさを調整できる。

【０５０５】

図４７ではトランジスタ群４３１ｃとトランジスタ１５８ｂがカレントミラー回路を構成するとした。しかし、実際には、トランジスタ１５８ｂは複数のトランジスタから構成されている。つまり、複数のトランジスタ１５８ｂによるトランジスタ群４３１ｂと、トランジスタ群４３１ｃがカレントミラー回路を構成している。つまり、複数のトランジスタ１５８ｂのゲート端子と複数の単位トランジスタ１５４のゲート端子が共通のゲート配線１５３で結線されている。

【０５０６】

図４８はトランジスタ群４３１ｂのトランジスタ１５８ｂの配置構成である。１つのトランジスタ群４３１ｂには、トランジスタ群４３１ｃの単位トランジスタ１５４と同一数の６３個のトランジスタ１５８ｂが形成されている。

【０５０７】

もちろん、１つのトランジスタ群４３１ｂ内のトランジスタ１５８ｂの個数は６３個に限定するものではない。単位トランジスタ群４３１ｃの単位トランジスタ１５４数が階調数－１で構成される場合は、トランジスタ群４３１ｂ内のトランジスタ１５８ｂの個数も階調数－１あるいはこれと同様もしくは類似個数が形成される。また、図４８の構成に限定されるものではなく、図４９のようにマトリックス状に形成または配置してもよい。

【０５０８】

以上の構成を、図４４に模式的に示す。単位トランジスタ群４３１ｃが出力端子数分、並列に配置される。単位トランジスタ群４３１ｃの両脇にトランジスタ群４３１ｂが複数ブロック形成されている。トランジスタ群４３１ｂのトランジスタ１５８ｂのゲート端子と、単位トランジスタ群４３１ｃの単位トランジスタ１５４のゲート端子とはゲート配線１５３で接続される。

【０５０９】

以上の説明は、説明を容易にするため、単色のソースドライバＩＣ１４のように説明した。本来は、図４５のように構成される。つまり、トランジスタ群４３１ｂおよび単位トランジスタ群４３１ｃは赤（Ｒ）、緑（Ｇ）、青（Ｂ）のトランジスタ群が交互に配置される。図４５において、添え字Ｒが付加されたトランジスタ群は赤（Ｒ）用を示しており、添え字Ｇが付加されたトランジスタ群は緑（Ｇ）用を示しており、添え字Ｂが付加されたトランジスタ群は青（Ｂ）用を示している。以上のように、ＲＧＢ用のトランジスタ群

を交互に配置することによりＲＧＢ間の出力バラツキが低減する。この構成もソースドライバ回路（ＩＣ）１４内のレイアウトとして重要な要件である。

【０５１０】

図４７では、各トランジスタ群４３１ｃ１と４３１ｃｎの両側にトランジスタ１５８ｂ（１５８ｂ１、１５８ｂ２）が形成または配置されている。本発明はこれに限定するものではない。図４６に図示するようにトランジスタ１５８ｂは片側であってもよい。

【０５１１】

図４６では、基準電流を流すトランジスタ群４３１ｂ（トランジスタ１５８ｂ）は、ＩＣチップの外側近傍に配置している。トランジスタ１５８ｂは１つではなく、複数個が形成されトランジスタ群を構成する。ここでは説明を容易にするため、トランジスタ群４３１ｂはトランジスタ１５８ｂとして説明をする。この事項は本発明の他の実施例においても同様である。

【０５１２】

図４６はトランジスタ１５８ｂをＩＣチップの外側（チップの端）に形成した。しかし、本発明はこれに限定するものではない。たとえば、図５５４に図示するようにゲート配線１５３の中央部などにトランジスタ１５８ｂ３を形成または配置してもよい。ゲート配線１５３の安定度が増加し、横クロストークなどの発生がない。したがって、ゲート配線１５３には複数の基準電流を流すトランジスタ１５８ｂを形成することも好ましい。また、ゲート配線１５３は低抵抗化することにより安定度が向上することは言うまでもない。

【０５１３】

図６２で説明したように、コンデンサ１９をゲート配線１５３に接続することにより、ゲート配線１５３の電位が安定する。コンデンサ１９はソースドライバＩＣチップ１４の端子に外付け接続すればよい。また、ソースドライバ回路（ＩＣ）１４が低温ポリシリコン技術などで基板３０に直接に形成されたものであっても、コンデンサ１９を形成することのよりゲート配線１５３の安定性がよくなることは言うまでもない。

【０５１４】

図５５５において、ソースドライバＩＣ１４ａは基準電流を流すトランジスタ１５８ｂ２が右端に構成されており、左端はオープン状態となっている。したがって、基準電流Ｉｃ２はトランジスタ１５８ｂ２に流れる（ゲート配線１５３ａには単位トランジスタ１５４のゲート端子に流れ込む電流のみが流れる）。なお、基準電流Ｉｃ１とＩｃ２は等しいとして説明をする。出力端子１５５ａ１はカレントミラー回路を構成するトランジスタ１５８ｂ２とカレントミラー精度がよい電流が出力される。

【０５１５】

ソースドライバＩＣ１４ｂは基準電流を流すトランジスタ１５８ｂ１が左端に構成されており、右端はオープン状態となっている。したがって、基準電流Ｉｃ１はトランジスタ１５８ｂ１に流れる（ゲート配線１５３ｂには単位トランジスタ１５４のゲート端子に流れ込む電流のみが流れる）。出力端子１５５ａ２はカレントミラー回路を構成するトランジスタ１５８ｂ１とカレントミラー精度がよい電流が出力される。したがって、基準電流Ｉｃ１とＩｃ２が等しいとすると、ソースドライバＩＣ１４ａの出力端子１５５ａ１から出力される階調電流と、ソースドライバＩＣ１４ｂの出力端子１５５ａ２から出力される階調電流とは同一となる。以上の理由により２つのソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂとは良好にスケード接続される。

【０５１６】

図５５５ではソースドライバＩＣ１４ａの右端の端子１５５ａ３から出力される階調電流（プログラム電流）と、ソースドライバＩＣ１４ａの左端の端子１５５ａ１から出力される階調電流（プログラム電流）とは一致するとはかぎらない。ＩＣチップ１４ａ内の単位トランジスタ１５４の特性のより変化するからである。

【０５１７】

また、ソースドライバＩＣ１４ｂの右端の端子１５５ａ２から出力される階調電流と、ソースドライバＩＣ１４ｂの左端の端子１５５ａ３から出力される階調電流とは一致する

とはかぎらない。ＩＣチップ１４ｂ内の単位トランジスタ１５４の特性のより変化するからである。しかし、カスケードするソースドライバＩＣ１４は２チップであるから、ソースドライバＩＣ１４ａの出力端子１５５ａ１からの階調電流と、ソースドライバＩＣ１４ｂの出力端子１５５ａ２からの階調電流とが一致していれば問題はない。したがって、ゲート配線１５３は低抵抗の配線で形成してもよい。

【０５１８】

図５５５の構成を実現するためには、ＩＣチップ１４ａのゲート配線１５３の両端に位置するトランジスタ１５８ｂの一方をオープン状態（トランジスタ１５８ｂに電流が流れない状態）にする必要がある。つまり、図５５６のように構成する必要がある。図５５６において、ソースドライバＩＣ１４ａのトランジスタ１５８ｂ１はゲート端子以外がオープンにされている。したがって、ゲート配線１５３ａからトランジスタ１５８ｂ１に流れ込む電流はない。また、ソースドライブＩＣ１４ｂのトランジスタ１５８ｂ２はゲート端子以外がオープンにされている。したがって、ゲート配線１５３ｂからトランジスタ１５８ｂ２に流れ込む電流はない。

【０５１９】

図５５７は本発明の他の実施例である。ゲート配線１５３に電流が流れるとトランジスタ１５８ｂに流れる電流が正規の値から変化し、階調出力電流に誤差が発生する。ゲート配線１５３に電流が流れるのは、ＩＣチップの左右で特性差が発生（特にＶｔ）し、トランジスタ１５８ｂ１とトランジスタ１５８ｂ２のゲート端子電圧が異なるからである。

【０５２０】

ゲート端子電圧が異なることによる影響を抑制するために、本発明では、図５５７に図示するように、トランジスタ１５８ｂ１に基準電流Ｉｃ１を流す状態（図５５７（ａ）を参照のこと。トランジスタ１５８ｂ２には電流を流さない）と、トランジスタ１５８ｂ２に基準電流Ｉｃ２を流す状態（図５５７（ｂ）を参照のこと。トランジスタ１５８ｂ１には電流を流さない）を交互に行う。

【０５２１】

図５５６に図示するように、図５５７（ａ）では、トランジスタ１５８ｂ２のドレイン端子もオープンにすることが好ましい。また、図５５７（ｂ）では、トランジスタ１５８ｂ１のドレイン端子もオープンにすることが好ましい。

【０５２２】

１水平走査期間に図５５７（ａ）の状態と図５５７（ｂ）の状態とを行う。図５５７（ａ）の状態と図５５７（ｂ）の状態とは同一期間となるようにする。図５５７（ａ）では、スイッチ５５７１ａと５５７１ｃをクローズさせ、基準電流Ｉｃ１をトランジスタ１５８ｂ１に流す。この時、スイッチ５５７１ｂと５５７１ｄはオープン状態にする。したがって、トランジスタ１５８ｂ２には電流が流れない。以上の状態により、トランジスタ群４３１ｃはトランジスタ１５８ｂ１とカレントミラー回路を構成し、駆動される。

【０５２３】

次の１／２Ｈ（水平走査期間の半分）期間（図５５７（ｂ））では、スイッチ５５７１ｂと５５７１ｄをクローズさせ、基準電流Ｉｃ２をトランジスタ１５８ｂ２に流す。この時、スイッチ５５７１ａと５５７１ｃはオープン状態にする。したがって、トランジスタ１５８ｂ１には電流が流れない。以上の状態により、トランジスタ群４３１ｃはトランジスタ１５８ｂ２とカレントミラー回路を構成し、駆動される。

【０５２４】

図５５７（ａ）と図５５７（ｂ）とを交互に繰り返すことにより、トランジスタ群４３１ｃとトランジスタ１５８ｂ１とカレントミラー回路を作る期間と、トランジスタ群４３１ｃとトランジスタ１５８ｂ２とカレントミラー回路を作る期間とが交互に繰り返される。したがって、ＩＣチップ１４の左右に特性ムラが発生していても抑制することができる。

【０５２５】

なお、以上の実施例では１水平走査期間に図５５７（ａ）と図５５７（ｂ）の状態とを

行うとしたがこれに限定するものではなく、１水平走査期間以上あるいは以下であっても良い。

【０５２６】

基準電流Ｉｃは図５０に図示するように、電子ボリウム５０１とオペアンプ５０２などで発生させることが好ましい。電子ボリウム５０１とオペアンプ５０２などはソースドライバＩＣ１４に内蔵させる。電子ボリウム５０１の内部にはラダー抵抗Ｒが構成（形成）されており、ラダー抵抗Ｒは基準電圧Ｖｓ（もしくはＩＣ電源電圧）を分割している。

【０５２７】

ラダー抵抗で分圧された電圧は、スイッチＳで選択され、オペアンプ５０２の正極性端子に印加される。印加された電圧とソースドライバＩＣ１４の外付け抵抗Ｒ１により、基準電流Ｉｃが発生する。抵抗Ｒ１を外付けすることによりＲ１の値により、容易に基準電流の値を調整でき、また、ＲＧＢ回路の外付け抵抗を調整することにより容易にホワイトバランスを取ることができる。

【０５２８】

なお、本発明の実施例において、オペアンプ５０２は増幅回路などのアナログ処理回路として用いる場合もあるが、バッファとして使用する場合もある。また、コンパレータとして説明する場合もある。

【０５２９】

図５０の構成では電子ボリウム５０１ａと電子ボリウム５０１ｂを独立に動作させることができる。したがって、トランジスタ１５８ａ１とトランジスタ１５８ａ２とが流す電流の値を変更することができる。したがって、チップの左右のトランジスタ１５８ｂ（１５８ｂ１、１５８ｂ２）に流す電流を調整でき、ゲート配線１５３の電位傾きを調整可能である。

【０５３０】

単位トランジスタ１５４を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。単位トランジスタ１５４の大きさとは、チャンネル長Ｌとチャンネル幅Ｗをかけたサイズをいう。たとえば、チャンネル幅Ｗ＝３μｍ、チャンネル長Ｌ＝４μｍであれば、１つの単位電流源を構成する単位トランジスタ１５４のサイズは、Ｗ×Ｌ＝１２平方μｍである。

【０５３１】

トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、１つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

【０５３２】

図４４、図４８において、トランジスタ群４３１ｂのトランジスタ１５８ｂの総面積（トランジスタ群４３１ｂの個数×トランジスタ群４３１ｂ内のトランジスタ１５８ｂのＷＬサイズ×トランジスタ１５８ｂ数）をＳｂとする。トランジスタ群４３１ｂが１個のトランジスタ１５８ｂで構成される場合は、Ｓｂは、トランジスタ群４３１ｂの個数×トランジスタ１５８ｂのＷＬサイズであることは言うまでもない。以上のように、トランジスタ１５８ｂの総面積をＳｂとする。

【０５３３】

トランジスタ群４３１ｃの単位トランジスタ１５４の総面積（トランジスタ群４３１ｃ内の単位トランジスタ１５４のＷＬサイズ×単位トランジスタ１５４数）をＳｃ（平方μｍ）とする。トランジスタ群４３１ｃの個数をｎ（ｎは整数）とする。ｎはＱＣＩＦ＋パネルの場合は１７６である（ＲＧＢごとに基準電流回路が形成されている場合）。したがって、ｎ×Ｓｃ（平方μｍ）は、トランジスタ群４３１ｂのトランジスタ１５８ｂとカレントミラー回路を形成する（トランジスタ１５８ｂとゲート配線１５３を共通にする）単位トランジスタ１５４の総面積である。

【０５３４】

Ｓｃ×ｎ／Ｓｂが大きくなるにしたがって、ゲート配線１５３の揺れが大きくなる。Ｓ

ｃ×ｎ／Ｓｂが大きくなることは、出力端子数ｎを一定とすると、トランジスタ群４３１ｃの単位トランジスタ１５４総面積が、トランジスタ群４３１ｂのトランジスタ１５８ｂ総面積に対して大きくなることを示す。

【０５３５】

Ｓｃ×ｎ／Ｓｂが小さくなることは、出力端子数ｎを一定とすると、トランジスタ群４３１ｃの単位トランジスタ１５４総面積が、トランジスタ群４３１ｂのトランジスタ１５８ｂ総面積に対して狭いことを示す。この場合はゲート配線１５３の揺れが小さくなる。

【０５３６】

ゲート配線１５３の揺れの許容範囲は、Ｓｃ×ｎ／Ｓｂが５０以下である。Ｓｃ×ｎ／Ｓｂが５０以下であれば、変動比率は許容範囲内であり、ゲート配線１５３の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。

【０５３７】

図６７はＩＣ耐圧を単位トランジスタ１５４の出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製して単位トランジスタ１５４のバラツキを１としている。

【０５３８】

図６７は単位トランジスタ１５４の形状Ｌ／Ｗを１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ１５４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

【０５３９】

耐圧と出力バラツキに相関があるのは、トランジスタのゲート絶縁膜と関係しているためと推定される。耐圧が高い場合は、ゲート絶縁膜が厚い。ゲート絶縁膜が厚いとモビリティも低くなり、膜厚に対するバラツキも大きくなる。

【０５４０】

図６７からＩＣ耐圧が１３（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ１５４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が１５（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。

【０５４１】

図６７におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ１５４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ１５４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧１３～１５（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

【０５４２】

一方、ソースドライバ回路（ＩＣ）１４の出力端子１５５の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。画素１６の駆動用トランジスタ１１ａが白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は２（Ｖ）以上必要である。また、Ｖｗ電圧が出力端子１５５に印加されている時、単位トランジスタ１５４のチャンネル間電圧は、０．５（Ｖ）必要である。

【０５４３】

したがって、出力端子１５５（端子１５５はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは２

（Ｖ）であるから、端子１５５は最大２（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ出力であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。出力端子１５５の振幅必要範囲は、２．５（Ｖ）以上必要である。

【０５４４】

以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１５（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上１２（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、駆動用トランジスタ１１ａの振幅値を比較的大きくし、プログラム電流に対するトランジスタ１１ａのゲート端子電圧変化を大きくし、プログラム精度を向上させるという観点から、最低耐圧は４．５（Ｖ）以上にすることが好ましい。ＩＣ耐圧とは、使用できる電源電圧の最大値と同等である。なお、使用できる電源電圧とは、常時使用できる電圧であり、瞬時耐圧ではない。

【０５４５】

以上の説明は、ソースドライバＩＣ１２の使用耐圧プロセスは、２．５（Ｖ）以上１３（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板３０に直接にソースドライバ回路（ＩＣ）１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。アレイ基板３０に形成されたソースドライバ回路（ＩＣ）１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路（ＩＣ）１４に使用する電源電圧を図６７に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

【０５４６】

単位トランジスタ１５４に一定のトランジスタサイズが必要な理由は、ウエハにモビリティの特性分布があるからである。

【０５４７】

単位トランジスタ１５４のチャンネル幅Ｗは、出力電流のバラツキと相関がある。図５１は単位トランジスタ１５４の面積を一定とし、単位トランジスタ１５４のトランジスタ幅Ｗを変化させた時のグラフである。図５１は単位トランジスタ１５４のチャンネル幅Ｗ＝２（μｍ）のバラツキを１としている。

【０５４８】

図５１で示すようにバラツキ比率は、単位トランジスタのＷが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。図５１におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ１５４の面積により異なる。しかし、単位トランジスタ１５４の面積を変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

【０５４９】

以上のことから、単位トランジスタ１５４のチャンネル幅Ｗは２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ１５４のチャンネル幅Ｗは２（μｍ）以上９（μｍ）以下とすることが好ましい。また、単位トランジスタ１５４のチャンネル幅Ｗは図５２のゲート配線１５３のリンキング抑制対策からも上記範囲で形成することが好ましい。

【０５５０】

図５３は単位トランジスタ１５４のＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタ１５４のＬ／Ｗ比が２以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタ１５４のＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トランジスタの精度としてソースドライバ回路（ＩＣ）１４に採用でき

る。

【０５５１】

以上のことから、単位トランジスタ１５４のＬ／Ｗは２以上にすることが好ましい。しかし、Ｌ／Ｗが大きいということはＬが長くなることを意味しているからトランジスタサイズが大きくなる。したがって、Ｌ／Ｗは４０以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは３以上１２以下にすることが好ましい。

【０５５２】

Ｌ／Ｗが比較的大きな値の時に、出力バラツキが小さくなるのは、該当単位トランジスタ１５４のゲート電圧が高くなり、ゲート電圧の変動に対する出力電流変化が小さくなるためと思われる。

【０５５３】

また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ１５４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ１５４の出力電流が少しでもばらつくと階調数が低減する。

【０５５４】

以上のことを勘案し、本発明のドライバ回路１４は、階調数をＫとし、単位トランジスタ１５４のＬ／Ｗ（Ｌは単位トランジスタ１５４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、

$$(\sqrt{(K/16)}) \leqq L/W \leqq (\sqrt{(K/16)}) \times 20$$

の関係を満足させるように構成（形成）している。

【０５５５】

一例として６４階調を表現するためには、６３個の単位トランジスタ１５４をトランジスタ群４３１ｃに配置するとしたが、本発明はこれに限定されるものではない。単位トランジスタ１５４は、さらに複数のサブトランジスタで構成してもよい。

【０５５６】

図５４７（ａ）は、単位トランジスタ１５４である。図５４７（ｂ）は４つのサブトランジスタ５４７１で、単位トランジスタ１５４を構成している。複数のサブトランジスタ５４７１を加算した出力電流は、単位トランジスタ１５４と同一となるようにする。つまり、単位トランジスタ１５４を４つのサブトランジスタ５４７１で構成している。

【０５５７】

なお、本発明は単位トランジスタ１５４を４つのサブトランジスタ５４７１で構成することに限定するものではなく、単位トランジスタ１５４を複数のサブトランジスタ５４７１で構成すればいずれの構成でもよい。ただし、サブトランジスタ５４７１は同一のサイズまたは同一の出力電流を出力するように構成する。

【０５５８】

図５４７において、Ｓはトランジスタのソース端子、Ｇはトランジスタのゲート端子、Ｄはトランジスタのドレイン端子を示している。図５４７（ｂ）において、サブトランジスタ５４７１は同一方向に配置している。図５４７（ｃ）はサブトランジスタ５４７１が行方向に異なる方向に配置している。また、図５４７（ｄ）はサブトランジスタ５４７１が列方向に異なる方向に配置し、かつ点対称となるように配置している。図５４７（ｂ）、図５４７（ｃ）、図５４７（ｄ）はいずれも規則性がある。

【０５５９】

図５４７（ａ）（ｂ）（ｃ）（ｄ）はレイアウトであるが、サブトランジスタ５４７１は図５４７（ｅ）に図示するように直列に接続して単位トランジスタ１５４としてもよい。また、図５４７（ｆ）に図示するように並列に接続して単位トランジスタ１５４としてもよい。

【０５６０】

単位トランジスタ１５４あるいはサブトランジスタ５４７１の形成方向を変化させると

特性は異なることが多い。たとえば、図５４７（ｃ）において、単位トランジスタ１５４とサブトランジスタ５４７１ｂとは、ゲート端子に印加された電圧が同一でも、出力電流は異なる。しかし、図５４７（ｃ）では、異なる特性のサブトランジスタ５４７１が同数ずつ形成されている。したがって、トランジスタ（単位）としてはバラツキが少なくなる。また、形成方向が異なる単位トランジスタ１５４あるいはサブトランジスタ５４７１の方向を変化させることにより、特性差が補間しあって、トランジスタ（１単位）のバラツキは低減するという効果を発揮する。以上の事項は、図５４７（ｄ）の配置にも該当することは言うまでもない。

【０５６１】

したがって、図５４８などに図示するように、単位トランジスタ１５４の方向を変化させ、トランジスタ群４３１ｃとして縦方向に形成した単位トランジスタ１５４の特性と横方向に形成した単位トランジスタ１５４の特性とを補間しあうことにより、トランジスタ群４３１ｃとしてばらつきを少なくすることができる。

【０５６２】

図５４８はトランジスタ群４３１ｃ内で列ごとに単位トランジスタ１５４の形成方向を変化させた実施例である。図５４９はトランジスタ群４３１ｃ内で行ごとに単位トランジスタ１５４の形成方向を変化させた実施例である。図５５０はトランジスタ群４３１ｃ内で行および列ごとに単位トランジスタ１５４の形成方向を変化させた実施例である。

【０５６３】

図５５１（ａ）に図示するように、トランジスタ群４３１ｃの単位トランジスタ１５４を整然と配置するよりは、図５５１（ｂ）のようにトランジスタ群を構成する単位トランジスタ１５４を分散させて配置する方が端子１５５間の特性ばらつきが少なくなる。なお、図５５１において、同一ハッチングの単位トランジスタ１５４が１つのトランジスタ群４３１ｃを構成するとしている。

【０５６４】

単位トランジスタ１５４の特性バラツキは、トランジスタ群４３１ｃの出力電流によっても異なる。出力電流は、ＥＬ素子１５の効率によって決定される。たとえば、Ｇ色のＥＬ素子の発光効率が高ければＧ色の出力端子１５５から出力されるプログラム電流は小さくなる。逆に、Ｂ色のＥＬ素子の発光効率が低ければＢ色の出力端子１５５から出力されるプログラム電流は大きくなる。

【０５６５】

プログラム電流が小さくなることは、単位トランジスタ１５４が出力する電流が小さくなることを意味する。電流が小さくなれば単位トランジスタ１５４のバラツキも大きくなる。単位トランジスタ１５４のバラツキを小さくするには、トランジスタサイズを大きくすればよい。

【０５６６】

図５５２はその実施例である。図５５２ではＲ画素の出力電流が最も小さいため、Ｒ画素に対応する単位トランジスタ１５４Ｒのサイズを最も大きくしている。また、Ｇ画素の出力電流が最も大きいため、単位トランジスタ１５４のサイズは最も小さくしている。電流の大きさの中間はＢ画素である。Ｂ画素は、Ｒ画素とＧ画素に対応する単位トランジスタ１５４の中間のトランジスタサイズにしている。以上のことからＲＧＢのＥＬ素子の効率に応じて（プログラム電流の大きさに対応して）、単位トランジスタ１５４のサイズを決定し構成することは大きな効果がある。

【０５６７】

本発明は図５５３（ｂ）に図示するように、各ビット（最下位ビットを除く）に複数の単位トランジスタ１５４を形成または配置するとした。しかし、本発明はこれに限定するものではない。たとえば、図５５３に図示するように、各ビットに、各ビットに応じた電流を出力する１つのトランジスタ１５４を形成または配置してもよいことは言うまでもない。

【０５６８】

６４階調（ＲＧＢ各６ビット）の場合は、６３個の単位トランジスタ１５４を形成するとした。したがって、２５６階調（ＲＧＢ各８ビット）の場合、２５５個の単位トランジスタ１５４が必要になることになる。

【０５６９】

電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ１５４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／２にすれば、単位トランジスタ１５４が流す電流がおよそ１／２になるという特徴ある効果がある。同様に、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／４にすれば、単位トランジスタ１５４が流す電流がおよそ１／４になるという特徴ある効果がある。

【０５７０】

図５５（ａ）は、各ビットに対して同一のサイズの単位トランジスタ１５４を配置したトランジスタ群４３１ｃの構成である。説明を容易にするため、図５５（ａ）は６３個の単位トランジスタ１５４が構成され、６ビットのトランジスタ群４３１ｃを構成（形成）しているとする。また、図５５（ａ）は８ビットであるとする。

【０５７１】

図５５（ｂ）では、下位２ビット（Ａで示す）は、単位トランジスタ１５４よりも小さいサイズのトランジスタで構成している。最小ビット目の第０ビット目は、単位トランジスタ１５４のチャンネル幅Ｗの１／４で形成している（単位トランジスタ１５４ｂで示す）。また、第１ビット目は、単位トランジスタ１５４のチャンネル幅Ｗの１／２で形成している（単位トランジスタ１５４ａで示す）。

【０５７２】

以上のように、下位２ビットは上位の単位トランジスタ１５４よりも小さいサイズの単位トランジスタ（１５４ａ、１５４ｂ）で形成している。また、正規の単位トランジスタ１５４の個数は６３個で変化がない。したがって、６ビットから８ビットに変更しても、トランジスタ群４３１ｃの形成面積は図５５（ａ）と図５５（ｂ）で大差はない。

【０５７３】

図５５（ｂ）に図示するように、６ビットから８ビット仕様に変化させても出力段のトランジスタ群４３１ｃのサイズが大きくならないのは、電流の加算ができるという点、単位トランジスタ１５４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／ｎにすれば、単位トランジスタ１５４が流す電流がおよそ１／ｎになるという点をうまく利用しているからである。

【０５７４】

また、図５５（ｂ）に図示するように、単位トランジスタ１５４ａ、１５４ｂのようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ１５４ａまたは１５４ｂの出力電流は加算される。したがって、図５５（ａ）の６ビット仕様より、図５５（ｂ）の８ビット仕様のほうが高階調出力を実現できる。もちろん、単位トランジスタ１５４ａ、１５４ｂの出力バラツキが大きいから、正確な８ビット表示を実現することはできない可能性はある。でも、かならず、図５５（ａ）よりは高精細表示を実現できる。

【０５７５】

実際にはチャンネル幅Ｗを１／２にしても出力電流は正確には１／２にはならない。多少の補正が必要である。検討の結果では、チャンネル幅Ｗを１／２にすると、トランジスタのゲート端子電圧を同一とした場合、出力電流は、１／２以下となる。そのため、本発明は、下位ビットを構成するトランジスタと、上位ビットを構成するトランジスタのサイズと変化させる場合、以下のようにトランジスタサイズを設定している。

【０５７６】

まず、ソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４を２種類のサイズのように、少ない形状で構成する。複数の単位トランジスタ１５４のチャンネル長Ｌは同一にする。つまり、チャンネル幅Ｗのみを変化させる。第１の単位トランジスタの第１の単位出力電流と、第２の単位トランジスタの第２の単位出力電流の比をｎ（第１の単位出力

電流：第２の単位出力電流＝１：ｎ、ただし、ｎは１より小さい値）とするとき、第１の単位トランジスタのチャンネル幅Ｗ１　＜　第２の単位トランジスタのチャンネル幅Ｗ２×ｎ×ａ（ａ＝１）の関係となるように構成する。

【０５７７】

Ｗ１×ｎ×ａ＝Ｗ２とした場合、１．０５＜　ａ　＜１．３の関係が成り立つようにすることが好ましい。補正ａは、テストトランジスタを形成し、測定することのより補正係数を容易に把握することができる。

【０５７８】

本発明は、下位のビットを作製（構成）するために、上位のビットの単位トランジスタ１５４に比較して小さい小単位トランジスタを形成または配置するのもである。この小さいという概念は、上位ビットを構成する単位トランジスタ１５４の出力電流よりも小さいという意味である。したがって、単位トランジスタ１５４に比較してチャンネル幅Ｗが小さいだけでなく、同時にチャンネル長Ｌも小さい場合も含まれる。また、他の形状も含まれる。

【０５７９】

図５５はトランジスタ群４３１ｃを構成する単位トランジスタ１５４のサイズを複数種類とするものであった。図５５では２種類としている。この理由は、先に説明したように、単位トランジスタ１５４のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ４３１ｃを構成する単位トランジスタ１５４のサイズは低階調用と高階調用の２種類とすることが好ましい。しかし、本発明はこれに限定するものではない。３種類以上であってもよいことは言うまでもない。

【０５８０】

図４３でも図示しているように、トランジスタ群４３１ｃを構成する単位トランジスタ１５４のゲート端子は、１つのゲート配線１５３で接続されている。ゲート配線１５３に印加された電圧により単位トランジスタ１５４の出力電流が決定される。したがって、トランジスタ群４３１ｃ内の単位トランジスタ１５４の形状が同一であれば、各単位トランジスタ１５４は同一の単位電流を出力する。

【０５８１】

本発明は、トランジスタ群４３１ｃを構成する単位トランジスタ１５４のゲート配線１５３を共通にすることには限定されない。たとえば、図５６（ａ）のように構成してもよい。図５６（ａ）において、トランジスタ１５８４３１ｂ１とカレントミラー回路を構成する単位トランジスタ１５４と、トランジスタ１５８ｂ２とカレントミラー回路を構成する単位トランジスタ１５４とが配置されている。

【０５８２】

トランジスタ１５８４３１ｂ１はゲート配線１５３ａで接続されている。トランジスタ１５８ｂ２はゲート配線１５３ｂで接続されている。図５６（ａ）の一番上の１個の単位トランジスタ１５４はＬＳＢ（０ビット目）であり、２段目の２個の単位トランジスタ１５４は１ビット目、３段目の４個の単位トランジスタ１５４は２ビット目である。また、４段目の組の８個の単位トランジスタ１５４は３ビット目である。

【０５８３】

図５６（ａ）において、ゲート配線１５３ａとゲート配線１５３ｂの印加電圧を変化させることにより、各単位トランジスタ１５４のサイズ、形状が同一であっても、各単位トランジスタ１５４の出力電流をゲート配線１５３の印加電圧により変化（変更）することができる。

【０５８４】

図５６（ａ）において、単位トランジスタ１５４のサイズなどを同一にして、ゲート配線１５３ａ、１５３ｂの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ１５４のサイズなどを異ならせ、印加するゲート配線１５３ａ、１５３ｂの電圧を調整することにより、異なる形状の単位トランジスタ１５４の出力電流を

同一となるようにしてもよい。

【０５８５】

図５５では、低階調のビットを構成する単位トランジスタ１５４サイズは、高階調を構成する単位トランジスタ１５４よりも小さくした。単位トランジスタ１５４のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の単位トランジスタ１５４はチャンネル長Ｌを高階調よりも大きくし、単位トランジスタ１５４の面積を小さくならないようにしてバラツキを抑制している。

【０５８６】

図５７に図示するように低階調領域Ａの範囲の単位トランジスタ１５４のサイズと、高階調領域Ｂの範囲の単位トランジスタ１５４のサイズを異ならせると出力ばらつきは２の曲線が組み合わさったものとなる。しかし、実用上は問題ない。逆に、低階調部の単位トランジスタ１５４のサイズを高階調部の単位トランジスタ１５４のサイズよりも大きくすることにより、単位トランジスタ１５４あたりの出力バラツキを小さくすることができて好ましい。

【０５８７】

図５６のように構成すれば、低階調と高階調の単位トランジスタ１５４のサイズに関わらず、ゲート配線１５３への印加電圧調整により、単位トランジスタ１５４の出力電流を同一にすることができる。

【０５８８】

本発明において、ゲート配線１５３は１５３ａと１５３ｂの２種類として説明しているがこれに限定するものではない。３種類以上であってもよい。また、単位トランジスタ１５４の形状なども３種類以上であってもよい。

【０５８９】

図５６（ｂ）は単位トランジスタ１５４サイズを同一にし、２つのゲート配線１５３で構成した実施例である。図５６（ｂ）の一番上の２個の単位トランジスタ１５４はＬＳＢ（０ビット目）であり、２段目の４個の単位トランジスタ１５４は１ビット目、３段目の８個の単位トランジスタ１５４の組は２ビット目である。また、ゲート配線１５３ｂに接続された４組目の８個の単位トランジスタ１５４は３ビット目である。

【０５９０】

図５６（ｂ）においても、ゲート配線１５３ａとゲート配線１５３ｂの印加電圧を変化させることにより、各単位トランジスタ１５４のサイズ、形状が同一であっても、各単位トランジスタ１５４の出力電流をゲート配線１５３の印加電圧により変化（変更）することができる。

【０５９１】

図５６（ｂ）では低階調部に該当するゲート配線１５３ａに接続された単位トランジスタ１５４ａの１つの出力電流は、高階調部に該当するゲート配線１５３ｂに接続された単位トランジスタ１５４の出力電流の１／２となるように構成している。単位トランジスタ１５４ａと単位トランジスタ１５４とは同一形状としている。

【０５９２】

単位トランジスタ１５４ａの出力電流を単位トランジスタ１５４の１／２とするためにゲート配線１５３ａに印加する電圧をゲート配線１５３ｂよりも低くしている。ゲート配線１５３に印加する電圧を調整することにより単位トランジスタ１５４ａと単位トランジスタ１５４の形状が略同一であっても出力電流を変化あるいは調整することができる。

【０５９３】

なお、図５６の実施例において、ゲート配線１５３の印加電圧を変化するとして説明をした。ゲート配線１５３の印加電圧はソースドライバ回路（ＩＣ）１４の外部から印加することもできることは言うまでもない。しかし、一般的には単位トランジスタ１５４とカレントミラー対をなすトランジスタ１５８ｂ（トランジスタ群４３１ｂ）の構成あるいはサイズを変化あるいは設計もしくは構成を行うことにより、ゲート配線１５３の電圧を調整もしくは変更することができる。また、単位トランジスタ１５４とカレントミラー対を

なすトランジスタ１５８ｂ（トランジスタ群４３１ｂ）に流す電流Ｉｃを変更あるいは調整できることは言うまでもない。

【０５９４】

図５８は、高階調側の単位トランジスタ１５４ａ（Ｄ２、Ｄ３、Ｄ４・・・・・・）は２の乗数個を配置している。一方、低階調側の単位トランジスタ１５４ｂ（Ｄ０、Ｄ１）も２の乗数個を配置している。なお、以上の２の乗数個であるのは、単位トランジスタで構成されている場合である。単位トランジスタがサブトランジスタで構成されている場合は、作製するサブトランジスタの個数は整数倍となる。

【０５９５】

単位トランジスタ１５４ａと単位トランジスタ１５４ｂの単位出力電流は異ならせている（１５４ｂの単位電流のほうが、１５４ａよりも小さい。たとえば、単位トランジスタのＷを低階調側のほうを狭くしている）。低階調側も高階調側の単位トランジスタ１５４も共通のゲート配線１５３で接続されており、カレントミラー回路を構成するトランジスタ１５８ｂに流れる基準電流Ｉｃで制御される。

【０５９６】

図５９は、高階調側の単位トランジスタ１５４ａ（Ｄ２、Ｄ３、Ｄ４・・・・・・）は２の乗数個を配置している。一方、低階調側の単位トランジスタ１５４ｂ（Ｄ１、Ｄ２）も２の乗数個を配置している。高階調側の単位トランジスタ１５４ａはトランジスタ１５８ｂｈとカレントミラー回路を構成している。また、トランジスタ１５８ｂｈに流れる基準電流はＩｃｈである。一方、低階調側の単位トランジスタ１５４ｂはトランジスタ１５８ｂｌとカレントミラー回路を構成している。また、トランジスタ１５８ｂｌに流れる基準電流はＩｃｌである。

【０５９７】

以上に構成することにより、単位トランジスタ１５４ａと単位トランジスタ１５４ｂの単位出力電流は異ならせている（１５４ｂの単位電流のほうが、１５４ａよりも小さい）。低階調側と高階調側の単位トランジスタ１５４は異なるゲート配線１５３で接続されている。

【０５９８】

以上のように、本発明では多数の変形実施例がある。たとえば、図５８と図５９との組合せも例示される。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。また、一部の単位トランジスタ１５４を大きくしてもよく、また小さくしてもよい。

【０５９９】

単位トランジスタ群４３１ｃを構成する単位トランジスタ１５４、トランジスタ群４３１ｂを構成するトランジスタ１５８ｂは、Ｎチャンネルトランジスタで構成（形成）することが好ましい。これは、Ｎチャンネルトランジスタは、Ｐチャンネルトランジスタに比較して単位トランジスタ面積あたりに対する出力バラツキが小さいからである。したがって、単位トランジスタ１５４などをＮチャンネルで構成することにより、ソースドライバＩＣサイズを小さくすることができる。

【０６００】

なお、単位トランジスタ１５４をＮチャンネルで形成することは、ソースドライバＩＣ１４をシンクタイプ（吸い込み電流方式）にすることになる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルトランジスタで構成することが好ましい。

【０６０１】

図１５９のグラフはＰチャンネルトランジスタとＮチャンネルトランジスタのサイズ（ＷＬ）を同一にし、出力電流を同一にした場合の出力バラツキをしめしている。横軸は、１出力を構成するトランジスタ群４３１ｃの総面積Ｓｃの面積比である。面積Ｓｃが大きくなるほど、出力バラツキは小さいなる。

【０６０２】

縦軸は、出力バラツキの比を示している。図１５９では、Ｎチャンネルトランジスタの

総面積Ｓｃを１の時の出力バラツキを１としている。

【０６０３】

図１５９に図示するように、Ｎチャンネルトランジスタの総面積Ｓｃが４倍になると出力バラツキは０．５になる。Ｎチャンネルトランジスタの総面積Ｓｃが８倍になると出力バラツキは０．２５になる。つまり、本発明の結果から出力バラツキは１／√Ｓｃに比例する。

【０６０４】

Ｎチャンネルトランジスタの総面積ＳｃとＰチャンネルトランジスタの総面積Ｓｃが同一の時、Ｐチャンネルトランジスタの出力バラツキが、Ｎチャンネルトランジスタの出力バラツキの１．４倍になる。Ｐチャンネルトランジスタの総面積ＳｃがＮチャンネルトランジスタの総面積Ｓｃの２倍の時、出力バラツキは同一になる。つまり、出力バラツキは、Ｎチャンネルトランジスタの総面積Ｓｃ／２＝Ｐチャンネルトランジスタの総面積Ｓｃの関係がある。

【０６０５】

以上の結果から単位トランジスタ群４３１ｃを構成する単位トランジスタ１５４、トランジスタ群４３１ｂを構成するトランジスタ１５８ｂは、Ｎチャンネルトランジスタで構成（形成）することが好ましい。

【０６０６】

出力段は単位トランジスタ１５４などで形成し、トンジスタ群４３１ｃとトランジスタ１５８ｂもしくはトランジスタ１５８ｂから構成されるトランジスタ群とは、カレントミラー回路を構成する。トランジスタ１５４ｃとトランジスタ１５８ｂとを近接させることによりカレントミラー比は、ほぼ一定値となる。しかし、バラツキの範囲で変動する場合がある。この場合は、図１６０に図示するように、トリミング（レーザートリミング、サンドブラストトリミングなど）により、トランジスタ１５８ｂなどを切り離し所定範囲内のカレントミラー比に調整することが有効である。

【０６０７】

トリミングは図１６０のＡ点に実施し、トランジスタ１５８ｂ２を切り離すことにより実施する。トランジスタ１５８ｂを多く形成し、この複数のトランジスタ１５８ｂのうち、１つ以上をきり流すことによりカレントミラー比を高くすることできる。

【０６０８】

なお、好ましくは、図１６１に図示するように、配線１５３の両側にトランジスタ１５８ｂを形成または配置する。トリミング点、Ａ１またはＡ２をカットすることにより、ＩＣチップの出力端子１５５ａと１１５ｎからの出力電流の差を均一化させる。

【０６０９】

各出力段のトランジスタ群４３１ｃの出力バラツキを調整するためには、図１６２のように構成することも有効である。図１６２では各出力トランジスタ群４３１ｃ（トランジスタ群に限定するものではない。電流出力回路であればいずれの構成でもよい）とゲート配線１５３との間に、高抵抗１６２３を形成または配置している。高抵抗であるため、出力段からの出力電流が微小であっても、抵抗１６２３で電圧降下する。電圧降下により出力電流を変化させることができる。

【０６１０】

抵抗１６２３のトリミングは、トリミング装置１６２１からのレーザー光１６２２で行う。抵抗１６２３をトリミングして高抵抗値に調整する。

【０６１１】

なお、本発明の実施例ではトランジスタ群４３１ｃは単位トランジスタ１５４で構成するとしたがこれに限定するものはない。単体トランジスタで構成してもよいし、電流保持回路（後に説明する）で構成してもよい。また、電圧－電流変換（Ｖ－Ｉ変換）回路であってもよい。つまり、本明細書では出力段はトランジスタ群４３１ｃで構成するとして説明するが、これに限定するものではなく、電流出力回路であればいずれの構成であってもよい。

【０６１２】
図１６３は、トランジスタ１５７ｂと複数のトランジスタ１５８ａとカレントミラー回路を構成し、トランジスタ１５８ａとトランジスタ１５８ｂとをカレントミラー回路を構成している。また、トランジスタ１５８ｂとトランジスタ群４３１ｃともカレントミラー回路を構成している。
【０６１３】
以上の図１６３ような構成も本発明の範疇である。トリミングによる調整は、各出力段のトランジスタ１５８ｂまたはトランジスタ群４３１ｃに実施すればよい。
【０６１４】
他の構成として、図１６４の構成も例示される。図１６４は本発明のソースドライバＩＣの出力段を概念的に図示したものである。基準電圧（もしくはＩＣ（回路）１４電源電圧）Ｖｓと外づけ抵抗Ｒａ、Ｒｂによりゲート配線１５３ａの電位が決定される（調整される）。
【０６１５】
各出力段は抵抗Ｒｎと、トランジスタ１５８ａ、１５８ｂで電流回路が構成される。この電流回路に流れる電流は抵抗Ｒｎにより決定される。トランジスタ１５８ｂとトランジスタ群４３１ｃはカレントミラー回路を構成する。トランジスタ群４３１ｃの出力端子１５５から出力される電流は抵抗Ｒｎをトリミングすることにより行われる。抵抗Ｒｎをレーザートリミングすることにより、カレントミラー回路（トランジスタ１５８ｂとトランジスタ群４３１ｃ）に流れる電流を調整することができる。なお、もちろん、トランジスタ１５８ａ、１５８ｂ部はトランジスタ群を構成してもよい。
【０６１６】
ＩＣチップの左右の出力電流の傾きを調整する（出力端子１５５ａ～１５５ｎを同一にする。つまり、出力バラツキがないようにする）ためには、図１６５の構成も有効である。トランジスタ１５８ｂの電流Ｉｃ１経路に抵抗Ｒａ、トランジスタ１５８ｂの電流Ｉｃ２経路に抵抗Ｒｂを配置している。抵抗Ｒａ、Ｒｂは内蔵、外づけのいずれでもよい。ＲａまたはＲｂ、もしくはＲａとＲｂの両方をトリミングすることにより、ゲート配線１５３に流れる電流Ｉｄが変化する。したがって、ゲート配線１５３の電圧降下により、トランジスタ群４３１の単位トランジスタ１５４のゲート信号線の電位が変化する。したがって、トランジスタ群４３１ａ～４３１ｎの出力電流の傾斜分布を補正することができる。
【０６１７】
トリミングの概念には、ボリウムも含まれる。たとえば、図１６５において、抵抗ＲａとＲｂをボリウムで形成し（配置し）、ボリウムを調整することによって、電流Ｉｄの大きさを調整できる。また、抵抗が拡散抵抗の場合は加熱により抵抗値を調整あるいは変化させることができる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。また、ＩＣチップを全体的にあるいは部分的に加熱することによりＩＣチップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を調整あるいは変化させることができる。
【０６１８】
以上の事項は、本発明の他の実施例にも適用できることはいうまでもない。また、トリミングとは、抵抗値を変化させる素子トリミングあるいは機能を変化させる機能トリミング、トランジスタなどの素子を配線から切り離す切断トリミング、１つの抵抗素子を複数に分割する分割トリミング、非接続箇所にレーザー光を照射することにより短絡させ接続するトリミング、ボリウムなどの抵抗値を調整する調整トリミングも含まれる。また、トランジスタであれば、Ｓ値を変化させること、μを変化させること、ＷＬ比を変化させ出力電流の大きさを変化させること、立ち上がり電圧位置を変更することなどが例示される。その他、発振周波数を変化すること、カットオフ位置を変化させることも含まれる。つまり、トリミングとは加工、調整、変更の概念である。以上の事項は本発明の他の実施例でも同様である。
【０６１９】

他の構成として、図１６６の構成も例示される。図１６６は本発明のソースドライバＩＣの出力段を概念的に図示したものである。電子ボリウム回路５０１とオペアンプ５０２によって、ゲート配線１５３ａの電位が決定（調整）される。オペアンプ５０２、抵抗Ｒ１、トランジスタ１５８ａで定電流回路が構成されている。抵抗Ｒ１には基準電流Ｉｃが流れる。Ｒ１に流れる電流値は、オペアンプ５０２の正極端子印加電圧と、抵抗値Ｒ１の値によって決定される。

【０６２０】

したがって、抵抗Ｒ１をトリミングすることによって、基準電流Ｉｃの大きさを変化させることができる。変化により出力端子１５５からの出力電流の大きさを変更あるいは調整できる。抵抗Ｒ１は外づけ抵抗にし、ボリウムとしてもよい。また、電子ボリウム回路としてもよい。また、アナログ的に入力してもよい。

【０６２１】

オペアンプ５０２からの出力電圧は複数のトランジスタ１５８ａのゲート端子に印加され、抵抗Ｒ１に電流Ｉｃが流れる。この電流Ｉｃは分割され、トランジスタ１５８ｂに流れる。この電流によりゲート配線１５３ｂを所定の電位にする。ゲート配線１５３ｂを複数の箇所に配置されたトランジスタ１５８ｂにより電位が固定される。そのため、ゲート配線１５３ｂに電位傾きが発生しにくく、出力端子１５５からの出力バラツキが減少する。

【０６２２】

以上の実施例は、図４３に図示するように、階調ビットに対応して単位トランジスタ１５４が形成され、オン（端子１５５に電流を出力する）する単位トランジスタ１５４の個数を変化させることにより出力電流を変化させるものである。たとえば、図４３では、Ｄ５ビットには３２個の単位トランジスタ１５４が配置されており、Ｄ０ビットには１個の単位トランジスタ１５４が配置（形成）されており、Ｄ１ビットには２個の単位トランジスタ１５４が配置（形成）されている。

【０６２３】

しかし、本発明はこれに限定するものではない。たとえば、図１６７に図示するように、各ビットを大きさの異なるトランジスタで構成してもよい。図１６７において、トランジスタ１５４ｂはトランジスタ１５４ａの略２倍の電流を出力し、トランジスタ１５４ｆはトランジスタ１５４ｅの略２倍の電流を出力する。以上のように、本発明は出力段４３１ｃが単位トランジスタ１５４で構成されていることに限定するものではない。

【０６２４】

図１６５はゲート配線１５３の両端をトランジスタ１５８ｂで保持する構成であり、図１６６はゲート配線１５３の複数のトランジスタ１５８ｂで電位保持する構成である。本発明はこれに限定するものではない。たとえば、図１６８に図示するように、ゲート配線１５３の一端をトランジスタ１６８１で保持し、トランジスタ１６８１に流れる電流Ｉｄでゲート配線１５３の電位傾きを調整してもよい。トランジスタ１６８１はゲート端子に接続された抵抗ＲａとＲｂの分圧電圧で流れる電流が調整される。抵抗Ｒｂはボリウムに構成するか、トリミングにより抵抗値を調整する。基本的には、トランジスタ１６８１に流れる電流は微小である。

【０６２５】

しかし、特殊な動作方法として、トランジスタ１６８１を完全にすることにより、ゲート配線１５３の電位をグランド電圧近くに低下される方法が例示される。ゲート配線１５３をグランド電圧近くに低下させることによりトランジスタ群４３１ｃの単位トランジスタ１５４をオフ状態にできる。つまり、トランジスタ１６８１の動作により、出力端子１５５の出力電流をオンオフ制御することができる。

【０６２６】

以上の実施例では、トランジスタ（１５８、１５４など）をトリミングあるいは調整することにより出力電流などを変化あるいは変更もしくは調整するとした。調整などするトランジスタは具体的には図１６９に図示するように構成することが好ましい。図１６９は

調整などするトランジスタ１６９４の構成を概念的に図示したものである。トランジスタ１６９４はゲート端子１６９２、ソース端子１６９１、ドレイン端子１６９３で構成される。ドレイン端子１６９３はトリミングしやすいように、複数に分割されている（ドレイン端子１６９３ａ、１６９３ｂ、１６９３ｃ・・・・・）。図１６９（ａ）のＡ線でカットすることにより、ドレイン端子１６９３ｅはカットされ、トランジスタ１６９４の出力電流を減少させることができる。

【０６２７】

図１６９（ｂ）はドレイン端子１６９３のトリミングする間隔を変化させたものである。減少させる電流の大きさに応じて、１箇所以上のドレイン端子１６９３をトリミングし、出力電流を調整する。図１６９（ｂ）ではＢ線の箇所とトリミングしている。

【０６２８】

図１７０は図１６９の変形例である。図１７０（ａ）はゲート端子１６９２を１６９２ａと１６９２ｂに分割した例である。また、図１７０（ｂ）はドレイン端子１６９３とソース端子１６９１にトリミング箇所（Ｄ線、Ｅ線）を設けた実施例である。

【０６２９】

図１６９、図１７０などのトリミング方式は特に、カスケード接続を担当する素子（トランジスタなど）に対して実施すると効果がある。カスケード接続で受け渡す電流の大きさをトリミングにより調整できるため、良好なカスケード接続を実現できるからである。以上の事項は本発明の他の実施例にも適用できる。

【０６３０】

なお、以上の実施例では、ドレイン端子１６９３あるいはソース端子１６９１を１箇所あるいは複数箇所をトリミングするとしたが、本発明はこれに限定するものではない。たとえば、ゲート端子１６９２をトリミングしてもよい。また、トリミングだけに限定するものではなく、トランジスタ１６９４の半導体膜に、レーザー光あるいは熱的エネルギーを照射し、トランジスタ１６９４を劣化させることにより、出力電流などを調整してもよいことは言うまでもない。また、図１６９、図１７０などの実施例はトランジスタだけに限定されるものではなく、ダイオード、水晶、サイリスタ、コンデンサ、抵抗などに適用してもよいことはいうまでもない。

【０６３１】

また、図１６７に図示するように、各ビットでトランジスタサイズが異なる場合（ビットの大きさに比例する場合など）は、トリミングする長さ（ドレインなどの長さ）もビットの大きさに比例するように構成することが好ましい。この実施例を図１７５（ａ）（ｂ）（ｃ）に図示している。

【０６３２】

図１７５（ａ）（ｂ）（ｃ）では、図１７５（ａ）が下位ビットであり、図１７５（ｃ）が上位ビットである。また、図１７５（ｂ）が図１７５（ａ）と図１７５（ｃ）の中間ビットの状態（構成）である。下位ビットのトリミング長さＡは、上位ビットのトリミング長さＣよりも短くなるように構成している。トリミング長さは、トランジスタの電流変化量に比例する。したがって、上位ビットのトランジスタの方がトリミング変化量は大きくなるように構成している。以上のように、本発明はトランジスタの大きさ、ビット位置などに応じて変化させてもよいことはいうまでもない。つまり、各ビットで一様にすることに限定されるものではない。

【０６３３】

図４３は、各ビットに必要数の単位トランジスタ１５４を形成または配置した例である。しかし、単位トランジスタ１５４は形成バラツキがある。そのため、出力端子１５５からの出力はばらつく。このばらつきを低減するためには、各ビットの出力電流を調整する必要がある。出力電流の調整には、あらかじめ余分の単位トランジスタ１５４を形成しておき、この余分の単位トランジスタ１５４を出力端子１５５から切断することにより調整すればよい。なお、余分の単位トランジスタ１５４は他の単位トランジスタ１５４と同一サイズにする必要はない。余分の単位トランジスタ１５４は小さめに形成（分担する出力電

流を小さく）することが好ましい。

【０６３４】

図１７１は上記説明の実施例である。Ｄ０ビットには３つの単位トランジスタ１５４が形成されている。３つのうち、１つが正規の単位トランジスタ１５４であり、他の２つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ１５４（単位トランジスタ１５４と呼ぶよりは調整用トランジスタである）である。

【０６３５】

同様に、Ｄ１ビットには４つの単位トランジスタ１５４が形成されている。４つのうち、２つが正規の単位トランジスタ１５４であり、他の２つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ１５４（単位トランジスタ１５４と呼ぶよりは調整用トランジスタである）である。また、同様に、Ｄ２ビットには８つの単位トランジスタ１５４が形成されている。８つのうち、４つが正規の単位トランジスタ１５４であり、他の４つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ１５４（単位トランジスタ１５４と呼ぶよりは調整用トランジスタである）である。

【０６３６】

以上のように調整用トランジスタ１５４（図１７１でＢで示す）は出力電流を調整するためにトリミングなどが施される。Ｂで示すトランジスタはＡの矢印が示すライン上に配置されている。したがって、レーザー光などでスキャンする際に、スキャン方向を一方向に移動させるだけで調整用トランジスタをトリミングすることができる。したがって、高速トリミングを実施することができる。

【０６３７】

以上の実施例は、出力段が単位トランジスタ１５４などで構成された実施例である。しかし、トリミングなどにより出力電流を調整する方法などは、本発明はこれに限定されるものではない。図１７２に図示するように、各出力端子１５５に接続される出力段をオペアンプ５０２とトランジスタ１５８ｂおよび抵抗Ｒ１で形成した実施例にも適用できる。

【０６３８】

図１７２で図示する各出力段は、オペアンプ５０２とトランジスタ１５８ｂおよび抵抗Ｒ１で電流回路を構成している。電流の大きさは抵抗Ｒ１で調整され、階調は、回路８６２から出力される階調電圧により表現される。

【０６３９】

図１７２で図示する各出力段は、レーザー装置１６２１などによりレーザー光１６２２などが照射されトリミングされる。各出力段に対応する抵抗Ｒ１を順次トリミングしていくことにより、出力電流のバラツキが発生しないようにすることができる。

【０６４０】

なお、図１７２では、回路８６２から出力されるアナログ電圧で出力電流が決定される。ただし、本発明はこれに限定するものではなく、図１７４に図示するように、デジタル８ビットのデジタルデータをＤＡ回路６６１でアナログ電圧に変換し、オペアンプ５０２ａに印加してもよいことは言うまでもない。

【０６４１】

また、図２０９に図示するように、出力段は、映像データに対応する電流Ｉｃを流すトランジスタ１５８ｂと１対１で構成されるトランジスタ１５４からなるカレントミラー回路で構成してもよい。各出力段には、ＤＡ回路５０１とオペアンプ５０２、内蔵抵抗Ｒ１、トランジスタ１５８ａなどからなる電流回路が構成されている。抵抗Ｒ１にトリミングなどを施すことにより出力ばらつきは極めて小さくすることができる。

【０６４２】

図２１０は図２０９の類似の構成である。サンプリング回路８６２から映像データに対応する電流Ｉｃがトランジスタ１５８ｂに供給される。トランジスタ１５８ｂとトランジスタ１５４とはＮ倍のカレントミラー回路を構成している。

【０６４３】

図１７２は抵抗Ｒ１を必要に応じて順次トリミングするとしたが、本発明はこれに限定するものではない。たとえば、図１７３に図示するようにトランジスタ群４３１ｃを必要に応じてトリミングしてもよいことはいうまでもない。トリミングの必要度の判断は、端子１５５を検査用の端子１７３４などに接触させ、選択スイッチ１７３１、共通線１７３２を介して電流計（電流測定手段）１７３３に接続する。選択スイッチ１７３１は順次オンし、トランジスタ群４３１ｃからの電流を電流計１７３３に印加する。トリミング手段１６３２は電流計１７３３の測定電流値に基づき、単位トランジスタ、抵抗などをトリミングして所定値に調整する。

【０６４４】

以上の実施例は、電流の出力段などをトリミングして出力電流バラツキなどを変更あるいは調整するものであった。しかし、本発明はこれに限定するものではない。たとえば、図１７６に図示するように基準電流を発生あるいは所定値にする抵抗Ｒａ、Ｒｂなどをトリミングすることにより、基準電流Ｉｃを調整し、出力電流を変化あるいは調整してもよいことは言うまでもない。

【０６４５】

図６０などの回路構成ではホワイトバランス調整が容易である。まず、ＲＧＢの電子ボリウム５０１を同一の設定値に調整する。次に外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを調整する。

【０６４６】

ソースドライバ回路（ＩＣ）１４では、いずれかの電子ボリウムの設定値でホワイトバランスをとれば電子ボリウム５０１の値を同一にすればホワイトバランスを維持したまま、表示画面１４４の輝度調整を行えるという特徴がある。なお、６０１は基準電流回路である。

【０６４７】

図６０は、トランジスタ群４３１ｃの両側から給電する構成であるが、上記事項はこれに限定するものではない。図６１に図示するように、片側給電構成でも同様である。まず、Ｒ、Ｇ、Ｂの電子ボリウム５０１が同一の設定値で、外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスをとる。一般的にＲ回路のＩｃｒ、Ｇ回路のＩｃｇ、Ｂ回路のＩｃｂを各ＲＧＢのＥＬ素子の発光効率を考慮して所定の比率とすることによりホワイトバランスをとる。

【０６４８】

ソースドライバ回路（ＩＣ）１４では、どこかの電子ボリウムの設定値でホワイトバランスをとれば電子ボリウム５０１の値を同一にすればホワイトバランスを維持したまま、表示画面１４４の輝度調整を行えるという特徴がある。なお、ＲＧＢの電子ボリウムは、Ｒ、Ｇ、Ｂ独立に形成または配置することが好ましいが、これに限定するものではない。たとえば、Ｒ、Ｇ、Ｂで１つの電子ボリウム５０１でもホワイトバランスを維持したまま画面輝度を調整することが可能である。

【０６４９】

本発明では、ソースドライバ回路（ＩＣ）１４の内部に電子ボリウムを形成または配置することのより、ソースドライバ回路（ＩＣ）１４の外部からのデジタルデータ制御により基準電流を可変あるいは変更することができる。この事項は、電流駆動ドライバにおいて重要な事項である。電流駆動では、映像データがＥＬ素子１５に流れる電流に比例する。したがって、映像データをロジック処理することにより全ＥＬ素子に流れる電流を制御できる。基準電流もＥＬ素子１５に流れる電流に比例するから、基準電流をデジタル制御することにより、全ＥＬ素子１５に流れる電流を制御できる。以上のことから、映像データに基づき、基準電流制御を実施することにより、表示輝度のダイナミックレンジの拡大などを容易に実現できる。

【０６５０】

基準電流の変更あるいは変化させることにより、単位トランジスタ１５４の出力電流を変化することができる。たとえば、基準電流Ｉｃが１００μＡの時に、１つの単位トラン

ジスタ１５４がオン状態での出力電流が１μＡとする。この状態で、基準電流Ｉｃを５０μＡにすれば、１つの単位トランジスタ１５４の出力電流は０．５μＡとなる。同様に、基準電流Ｉｃを２００μＡにすれば、１つの単位トランジスタ１５４の出力電流は２．０μＡとなる。つまり、基準電流Ｉｃと単位トランジスタ１５４の出力電流Ｉｄは比例関係を満足することが好ましい（図６２の実線ａを参照のこと）。

【０６５１】

基準電流Ｉｃを設定する設定データと基準電流Ｉｃとは比例関係となるように構成することが好ましい。たとえば、設定データが１の時、基準電流Ｉｃが１００μＡとし、これと基底とするならば、設定データが１００の時、基準電流Ｉｃが２００μＡとなるようにする。つまり、設定データが１増加すると、基準電流Ｉｃが１μＡ増加するように構成することが好ましい。

【０６５２】

以上のように構成することにより、電子ボリウム５０１の設定データにより、ＲＧＢの基準電流（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを構成は重要性がある（特徴ある構成である）。

【０６５３】

以上の実施例では、外付け抵抗でホワイトバランスを調整するとしたが、抵抗Ｒ１はＩＣチップに内蔵させてもよいことは言うまでもない。

【０６５４】

また、図６３に図示するように、抵抗値を調整あるいは制御するスイッチＳを付加してもよい。たとえば、図６３（ａ）はスイッチＳ１の選択により外付け抵抗はＲ１となる。また、スイッチＳ２の選択により、外付け抵抗はＲ２となる。また、スイッチＳ１とＳ２の両方野の選択により、外付け抵抗はＲ１とＲ２とを並列に接続した抵抗値になる。

【０６５５】

図６３（ｂ）は直列に抵抗Ｒ１とＲ２を接続し、スイッチＳの制御により外付け抵抗をＲ１＋Ｒ２としたり、Ｒ１としたりできるように構成したものである。

【０６５６】

図６３のように構成することにより、基準電流Ｉｃの変化範囲を拡大することができる。つまり、電子ボリウム５０１の設定データだけでなく、スイッチＳの制御により基準電流を調整できるからである。したがって、本発明のＥＬ表示パネルの輝度調整範囲（ダイナミックレンジ）を拡大できる。

【０６５７】

本発明において、電子ボリウム５０１の１ステップ変化による基準電流の変化は３％程度にしている。たとえば、基準電流が１倍から３倍まで変化し、電子ボリウムのステップ数が６ビットの６４ステップであれば、（３－１）／６４＝０．０３となり、約３％である。

【０６５８】

１ステップあたりの基準電流の変化が大きいと、電子ボリウムを変化させた時の表示画面１４４輝度変化が大きく、変化した時にフリッカとして認識されてしまう。逆に、１ステップあたりの基準電流変化が小さいと、表示画面１４４輝度変化が小さく輝度調整のダイナミック変化が乏しくなる。また、ステップ数を大きくすることは、電子ボリウム５０１サイズを大きくすることに直結し、ソースドライバＩＣ１４のサイズを大きくなりコストが高くなる。

【０６５９】

以上のことから、１ステップあたりの基準電流の変化は、１％以上８％以下のきざみにすることが好ましい（ただい、基底を基準としている）。さらには、１％以上５％以下のきざみにすることが好ましい。たとえば、電子ボリウム５０１が８ビット（２５６ステッ

プ）とし、基準電流の変化が１倍から１０倍までとすると、（１０－１）／２５６＝３．５％きざみとなり、条件１％以上５％以下を満足している。

【０６６０】

以上の実施例では１ステップあたりの基準電流の変化として説明したが、基準電流の変化は、画面輝度の変化であるから、電子ボリウム５０１の１ステップあたりの表示画面１４４輝度変化あるいはアノード（もしくはカソード）電流の変化としても言い換えることができることは言うまでもない。

【０６６１】

以上の実施例において、図６２の実線ａに図示するように、基準電流Ｉｃと単位トランジスタ１５４の出力電流Ｉｄは比例関係を満足することが好ましいとしたが、これに限定するものではない。たとえば、図６２の点線ｂで示すように、非線形（１．８乗から２．８乗の範囲が好ましい）としてもよい。非線形（１．８乗から２．８乗の範囲が好ましい）とすることにより、電子ボリウム５０１の設計データに対する基準電流の変化が人間の視覚特性の２乗カーブに近づくため、階調特性が良好となる。

【０６６２】

なお、以上の実施例では、電子ボリウム５０１の設定データで基準電流を変化させるとしたが、これに限定するものではない。図６４、図６５に図示するように電圧入出力端子６４３により基準電流を変化あるいは調整もしくは制御してもよいことは言うまでもない。

【０６６３】

図５０、図６０、図６１などのの電子ボリウム５０１の構成は、図６４のように構成してもよい。図６４において、ラダー抵抗６４１（抵抗アレイあるいはトランジスタアレイ）とスイッチ６４２が電子ボリウム５０１に対応する。なお、ラダー抵抗６４１は一定間隔あるいは所定の間隔きざみの電圧を発生する手段であればいずれでもよい。たとえば、トランジスタをダイオード接続してもよいし、トランジスタのオン抵抗で構成あるいは形成してよいことはいうまでもない。

【０６６４】

また、基準電流Ｉｃを発生する電子ボリウム５０１もしくは基準電流Ｉｃを発生する手段は、図５００のように構成することが好ましい。なお、図５００は図６５を例示して説明する構成であり、図６５の構成に限定されるものではない。本発明の他の構成にも適用できることは言うまでもない。また、以降に説明するプリチャージ電圧Ｖｐｃ発生回路にも適用できることも言うまでもない。

【０６６５】

図５００に図示するように、電子ボリウム５０１内にはソースドライバ回路（ＩＣ）１４内蔵の抵抗Ｒが直列に形成または配置されている。また、スイッチＳ１と基準電圧Ｖｓｔｄ間は内蔵抵抗Ｒａで接続させている。スイッチＳｎとグランド電圧ＧＮＤ間は内蔵抵抗Ｒｂで接続されている。基準電圧Ｖｓｔｄは、精密な固定電圧である。したがって、ＥＬ表示パネルのＶｄｄ電圧が変動してもＶｓｔｄ電圧は変動しない。Ｖｓｔｄが変化すると基準電流Ｉｃが変動するため、この変動を防止し、表示パネルの輝度を一定にするためである。

【０６６６】

以上のように、抵抗Ｒａ、抵抗Ｒ、抵抗Ｒｂをソースドライバ回路（ＩＣ）１４の内蔵抵抗（ポリシリ抵抗）で形成しているため、抵抗Ｒａ、抵抗Ｒ、抵抗Ｒｂの相対値は個々のソースドライバ回路（ＩＣ）１４のポリシリ（ポリシリコン）抵抗のシート抵抗値が変動しても変動しない。したがって、ソースドライバ回路（ＩＣ）１４では基準電流Ｉｃのバラツキが発生しない。

【０６６７】

Ｒの基準電流Ｉｃｒは電子ボリウム５０１の出力電圧と抵抗Ｒ１ｒで決定される。Ｇの基準電流Ｉｃｇは電子ボリウム５０１の出力電圧と抵抗Ｒ１ｇで決定される。Ｂの基準電流Ｉｃｂは電子ボリウム５０１の出力電圧と抵抗Ｒ１ｂで決定される。基準電圧Ｖｓｔｄ

をＲＧＢで共通にし、抵抗Ｒ１ｒ、抵抗Ｒ１ｇ、抵抗Ｒ１ｂでホワイトバランスが調整される。また、電子ボリウム５０１には、内蔵抵抗Ｒａ、抵抗Ｒ、抵抗Ｒｂの相対値を一致させ、電子ボリウム５０１の電圧もＶｓｔｄとしている。したがって、基準電流Ｉｃｒ、Ｉｃｇ、Ｉｃｂはソースドライバ回路（ＩＣ）１４間で精度よく一定に維持することができる。基準電流Ｉｃを変化させるＩＤＡＴＡはコントローラ回路（ＩＣ）７６０で制御する。

【０６６８】

抵抗Ｒ１ｒ、抵抗Ｒ１ｇ、抵抗Ｒ１ｂは外づけ抵抗あるいは外づけの可変抵抗である。また、基準電圧Ｖｓｔｄを用いない場合、あるいはＶｓｔｄに該当する電圧を変化あるいは調整したい場合は、スイッチＳＷ１で外部電圧Ｖｓを印加できるように構成しておくことが好ましい。さらに、Ｓ１スイッチの電位を変化あるいは変更できるように、スイッチＳＷ２で外部電圧Ｖａを印加できるように構成することが好ましい。また、図５００には図示していないが、スイッチＳｎの出力電圧も変更できるように、電圧印加端子をソースドライバ回路（ＩＣ）１４外部に引き出しておくことが好ましい。

【０６６９】

基準電圧Ｖｓｔｄも図５０１に図示するように、ＤＡ変換回路５０１ｂに印加するデータにより、変更あるいは可変できるように構成することが好ましい。また、図５０２に図示するように、トランジスタ１５８とオペアンプからなる定電流回路で電流Ｉｒを発生し、この電流Ｉｒを電子ボリウム５０１の内蔵抵抗Ｒに流して、ｂ端子から出力される電圧を変化できるように構成してもよい。

【０６７０】

以上のラダー抵抗６４１とスイッチ回路６４２などからなる構成、方式あるいは電圧入出力端子６４３の構成、方式などは、図７５などのプリチャージ構成に適用できることはいうまでもない。また、図１４６、図１４７などのカラーマネージメント処理構成にも適用できる。また、図１４０、図１４１、図１４３、図６０７などの電圧プログラム構成にも適用できることはいうまでもない。

【０６７１】

また、図６４、図６５の構成は、図５６、図５７の構成にも適用できる。また、図５０などのように、ソースドライバ回路（ＩＣ）１４の両側から基準電流を印加する構成にも適用できる。また、図４６、図６１などにも適用できることはいうまでもない。

【０６７２】

図６４において、トランジスタ１５８ａｒがＲ回路の基準電流Ｉｃｒを発生させ、トランジスタ１５８ａｇがＧ回路の基準電流Ｉｃｇを発生させる。また、トランジスタ１５８ａｂがＢ回路の基準電流Ｉｃｂを発生させる。

【０６７３】

図６４ではラダー抵抗６４１をＲＧＢの３つのスイッチ回路（６４２ｒ、６４２ｇ、６４２ｂ）で共用している。したがって、ソースドライバ回路（ＩＣ）１４内のラダー抵抗６４１の形成面積を小さくすることができる。

【０６７４】

図６４、図６５においても、スイッチ回路６４２の設定データにより、ＲＧＢの基準電流（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスをとることができる。

【０６７５】

図６４において、電圧入出力端子６４３はドライバＩＣ（回路）１４の外部からのアナログ電圧を入力する端子である。アナログ電圧により基準電流Ｉｃを変化あるいは調整することができる。したがって、スイッチ回路６４２のよらず、ホワイトバランス調整、表示画面１４４輝度調整を実施することができる。

【０６７６】
図３４６は図６５の変形例である。図３４６では電子ボリウム５０１を赤色緑色青色用の基準電流発生回路（ＲＧＢ回路）で共通にし、ＲＧＢの基準電流の大きさは内蔵あるいは外づけ抵抗Ｒ（赤用Ｒ１、緑用Ｒ２、青用Ｒ３）もしくはソースドライバ回路（ＩＣ）１４の内蔵抵抗で調整してホワイトバランスを維持している。抵抗Ｒが内蔵の場合は、トリミングなどによりホワイトバランスが取れるように調整する。もちろん、外づけ抵抗Ｒをボリウムとしてもよいことは言うまでもない。
【０６７７】
また、抵抗Ｒは基準電流を調整あるいは設定する手段であればいずれの構成でもよい。ツエナーダイオード、トランジスタ、サイリスタなどの非線形素子であってもよい。また、定電圧レギュレータ、スイッチング電源などの回路あるいは素子であってもよい。また、抵抗Ｒの替わりにポジスタ、サーミスタなどの素子でもよい。基準電流の調整あるいは設定とともに、温度補償も同時に実施することができる。その他、基準電流を発生する定電流回路であってもよい。
【０６７８】
図３４６では、ＩＤＡＴＡ（基準電流を設定するデータ）により電子ボリウム５０１の内蔵スイッチが指定され、Ｖｘ電圧（基準電流を設定する電圧）が電子ボリウム５０１から出力される。Ｖｘ電圧がオペアンプ５０２（赤用５０２Ｒ、緑用５０２Ｇ、青用５０２Ｂ）の正極端子に印加される。したがって、赤の基準電流Ｉｃｒ＝Ｖｘ／Ｒ１、緑の基準電流Ｉｃｒ＝Ｖｘ／Ｒ２、青の基準電流Ｉｃｒ＝Ｖｘ／Ｒ３となる。これらの基準電流でホワイトバランスをとる。また、これらの基準電流がＲＧＢのプログラム電流の大きさが決定される（図６０、図６１などを参照のこと）。なお、基準電流の設定は、１フレーム（１フィールド）ごとなど比較的長周期で設定するだけでよい。変化する画面（画像）に対応して設定すれば十分だからである。
【０６７９】
ＩＤＡＴＡによりＲＧＢの基準電流の大きさは変化するが、ＩＤＡＴＡの大きさと、ＲＧＢの基準電流Ｉｃとは線形の関係で変化する。したがって、ＩＤＡＴＡが変化してもホワイトバランスは維持される。また、ＩＤＡＴＡの大きさに比例して画面１４４の輝度が変化する（ｄｕｔｙ比が固定の場合）。つまり、ＩＤＡＴＡにより画面輝度１４４をリニアかつホワイトバランスを維持したまま制御することができる。リニアに変化するため、ｄｕｔｙ比制御との組合せ制御も非常に容易になる（図９３～図１１６などを参照のこと）。この点は本発明の有効な特徴である。他の点は、図６４、図６５などと同様であるので説明を省略する。
【０６８０】
図３４６の構成では、電子ボリウム５０１の可変により、Ｒ、Ｇ、Ｂの基準電流の大きさは、同時に変化する（ＲＧＢの基準電流の比率は変化しない）。図５２６に図示するように構成すれば、Ｒの基準電流ＩｃＲ、Ｇの基準電流ＩｃＧ、Ｂの基準電流ＩｃＢの大きさを可変することができる。
【０６８１】
Ｒの基準電流ＩｃＲはスイッチＳｒ１～Ｓｒ３のクローズの個数で変化させることができる。スイッチＳｒ１～Ｓｒ３のうち、どのスイッチをクローズまたはオープンさせるかはソースドライバ回路（ＩＣ）１４の外部端子Ｓａ（図示せず）２ビットで選択できる。ＲのＳａ端子に入力されるデータが０の時は、すべてのスイッチＳｒ１～Ｓｒ３がオープン状態である。したがって、基準電流ＩｃＲは０となり、端子４３１ｃＲからプログラム電流Ｉｗは出力されない。また、過電流Ｉｄも出力されない。ＲのＳａ端子に入力されるデータが１の時は、１つのスイッチＳｒ１がクローズ状態となり、スイッチＳｒ２およびＳｒ３がオープン状態である。したがって、１倍の基準電流ＩｃＲが流れ、端子１５５から１倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて１倍の過電流Ｉｄが出力される。
【０６８２】

同様に、ＲのＳａ端子に入力されるデータが２の時は、スイッチＳｒ１とＳｒ２がクローズ状態となり、スイッチＳｒ３がオープン状態である。したがって、２倍の基準電流ＩｃＲが流れ、端子４３１ｃＲから２倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて２倍の過電流Ｉｄが出力される。Ｒのｓａ端子に入力されるデータが３の時は、すべてのスイッチＳｒ１～Ｓｒ３がクローズ状態となる。したがって、３倍の基準電流ＩｃＲが流れ、端子４３１ｃＲから３倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて３倍の過電流Ｉｄが出力される。

【０６８３】

同様にＧの基準電流ＩｃＧはスイッチＳｇ１～Ｓｇ３のクローズの個数で変化させることができる。スイッチＳｒ１～Ｓｒ３のうち、どのスイッチをクローズまたはオープンさせるかはソースドライバ回路（ＩＣ）１４のＧに対応する外部端子Ｓａ（図示せず）２ビットで選択できる。ＧのＳａ端子に入力されるデータが０の時は、すべてのスイッチＳｇ１～Ｓｇ３がオープン状態である。したがって、基準電流ＩｃＧは０となり、端子４３１ｃＧからプログラム電流Ｉｗは出力されない。また、過電流Ｉｄも出力されない。Ｇに対応するＳａ端子に入力されるデータが１の時は、１つのスイッチＳｇ１がクローズ状態となり、スイッチＳｇ１およびＳｇ２がオープン状態である。したがって、１倍の基準電流ＩｃＧが流れ、端子４３１ｃＧから１倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて１倍の過電流Ｉｄが出力される。

【０６８４】

Ｇに対応するＳａ端子に入力されるデータが２の時は、スイッチＳｇ１とＳｇ２がクローズ状態となり、スイッチＳｇ３がオープン状態である。したがって、２倍の基準電流ＩｃＧが流れ、端子４３１ｃＧから２倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて２倍の過電流Ｉｄが出力される。Ｇに対応するＳａ端子に入力されるデータが３の時は、すべてのスイッチＳｇ１～Ｓｇ３がクローズ状態となる。したがって、３倍の基準電流ＩｃＧが流れ、端子４３１ｃＧから３倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて３倍の過電流Ｉｄが出力される。

【０６８５】

Ｂについても同様であり、Ｂの基準電流ＩｃＢはスイッチＳｂ１～Ｓｂ３のクローズの個数で変化させることができる。スイッチＳｇ１～Ｓｇ３のうち、どのスイッチをクローズまたはオープンさせるかはソースドライバ回路（ＩＣ）１４のＢに対応する外部端子Ｓａ（図示せず）２ビットで選択できる。Ｂに対応するＳａ端子に入力されるデータが０の時は、すべてのスイッチＳｂ１～Ｓｂ３がオープン状態である。基準電流ＩｃＢは０となり、端子４３１ｃＢからプログラム電流Ｉｗは出力されない。また、過電流Ｉｄも出力されない。

【０６８６】

Ｂに対応するＳａ端子に入力されるデータが１の時は、１つのスイッチＳｂ１がクローズ状態となり、スイッチＳｂ１およびＳｂ２がオープン状態である。したがって、１倍の基準電流ＩｃＢが流れ、端子４３１ｃＢから１倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて１倍の過電流Ｉｄが出力される。

【０６８７】

Ｂに対応するＳａ端子に入力されるデータが２の時は、スイッチＳｂ１とＳｂ２がクローズ状態となり、スイッチＳｂ３がオープン状態である。したがって、２倍の基準電流ＩｃＢが流れ、端子４３１ｃＢから２倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応じて２倍の過電流Ｉｄが出力される。Ｂに対応するＳａ端子に入力されるデータが３の時は、すべてのスイッチＳｂ１～Ｓｂ３がクローズ状態となる。したがって、３倍の基準電流ＩｃＧが流れ、端子４３１ｃＢから３倍のプログラム電流Ｉｗは出力される。また、ソースドライバ回路（ＩＣ）１４の制御状態に応

じて３倍の過電流Ｉｄが出力される。

【０６８８】

なお、図６４、図６５などにおいて、スイッチ回路６４２は設定データが０の時、すべてのスイッチがオープン状態になるように構成されている。したがって、スイッチ回路６４２の設定データが０で電圧入出力端子６４３の入力電圧が有効になるように制御される。逆に、スイッチ回路６４２の設定データが０以外の場合は、ラダー抵抗６４１からの電圧がオペアンプ５０２の正極端子に入力される。

【０６８９】

電圧入出力端子６４３はスイッチ回路６４２からの出力電圧のモニター端子とも機能する。つまり、ラダー抵抗６４１の選択電圧がスイッチ回路６４２で選択され、選択されたいずれの電圧がオペアンプ５０２に入力されているかをモニターできる。

【０６９０】

図６４は、ラダー抵抗６４１（きざみ電圧出力手段）とＲＧＢのスイッチ回路６４２間の配線が多いため、チップ面積を必要とする。図６５は、ＲＧＢで１つのスイッチ回路６４２とした実施例である。以上の構成によっても、ホワイトバランス調整などは実用上問題なく実現できる。

【０６９１】

以上の実施例は、電子ボリウム５０１、スイッチ回路６４２をデジタルの設定データにより変化させるものであった。しかし、本発明はこれに限定するものではない。たとえば、図６６（ａ）（ｂ）に図示するように、デジタル－アナログ変換回路（Ｄ／Ａ回路）６６１により、オペアンプ５０２の入力電圧（ｃ点で示す）を変化（変更）して基準電流Ｉｃを制御してもよいことは言うまでもない。

【０６９２】

図３７７は、基準電流を調整あるいは制御する構成あるいは方式の他の実施例である。ＲＧＢの基準電流は抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）により決定される。また、抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）によりホワイトバランスが調整される。抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）は外づけ抵抗である。

【０６９３】

抵抗Ｒｓも外づけ抵抗である。抵抗Ｒｓを変化させることにより、ソースドライバＩＣ１４の基準電流はホワイトバランスを維持したまま調整することができる。したがって、複数のソースドライバＩＣ１４をカスケード接続する時は、抵抗Ｒｓを調整することにより容易に実現することができる。抵抗Ｒｓはボリウムで構成してもよい。また、トリミングで抵抗調整を実施してもよい。また、電子ボリウムで調整あるいは可変してもよい。

【０６９４】

図３７８は抵抗Ｒ１の端子電圧を電子ボリウム５０１ｂで変更する構成である。電子ボリウム５０１ｂはＤＡＴＡにより変化させる。抵抗Ｒ１ｒの一端子には電子ボリウム５０１ｂＲの出力電圧が印加される。電子ボリウム５０１ｂＲの出力電圧は８ビットのＲＤａｔａにより変化させることができる。したがって、ＲＤａｔａにより基準電流Ｉｒが変化する。

【０６９５】

同様に、抵抗Ｒ１ｇの一端子には電子ボリウム５０１ｂＧの出力電圧が印加される。電子ボリウム５０１ｂＧの出力電圧は８ビットのＧＤａｔａにより変化させることができる。したがって、ＧＤａｔａにより基準電流Ｉｇが変化する。また、同様に、抵抗Ｒ１ｂの一端子には電子ボリウム５０１ｂＢの出力電圧が印加される。電子ボリウム５０１ｂＢの出力電圧は８ビットのＢＤａｔａにより変化させることができる。したがって、ＢＤａｔａにより基準電流Ｉｂが変化する。

【０６９６】

以上の構成により、電子ボリウム５０１ｂを制御することにより、ホワイトバランスが調整され、また、基準電流を調整できる。

【０６９７】

図３７９は図３７７の変形例である。抵抗Ｒｓを電子ボリウム構成にしている。また電子ボリウム５０１をソースドライバ回路（ＩＣ）１４に内蔵させている。電子ボリウム５０１の出力電圧は、ＳＡＴＡにより変化あるいは制御することができる。ＳＤＡＴＡにより抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）の端子電圧を制御することができる。ＲＧＢの基準電流は抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）により決定される。また、抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）によりホワイトバランスが調整される。抵抗Ｒ１（Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂ）は外づけ抵抗である。他の事項は図３７７と同様あるいは類似であるので説明を省略する。

【０６９８】

なお、以上の実施例は相互に組み合わせて実施できることはいうまでもない。また、本発明の他の実施例と組み合わせることができることも言うまでもない。

【０６９９】

図４４に図示するようなソースドライバ回路（ＩＣ）１４では、特に表示パネルに画像を表示するとソース信号線１８に印加された電流によりソース信号線１８電位が変動する。この電位変動によいソースドライバＩＣ１４のゲート配線１５３がゆれる課題がある（図５２を参照のこと）。図５２に図示するように、ソース信号線１８に印加される映像信号が変化するポイントでゲート配線１５３にリンキングが発生する。リンキングによりゲート配線１５３の電位が変化するから、単位トランジスタ１５４のゲート電位が変化し、出力電流が変動する。特に、ゲート配線１５３の電位変動は、ゲート信号線１７に沿ったクロストーク（横クロストーク）となる。

【０７００】

この揺れ（ゲート配線１５３のリンキング（図５２を参照のこと））は、ソースドライバＩＣ１４の電源電圧が影響する。電源電圧が高いほどリンキングする波高値が大きくなるからでる。最悪、電源電圧も振幅する。ゲート配線１５３の電圧は、定常値が０．５５～０．６５（Ｖ）である。したがって、わずかなリンキングの発生でも出力電流の大きさの変動値は大きい。

【０７０１】

図６７はソースドライバＩＣ１４の電源電圧が１．８（Ｖ）の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバＩＣ１４の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は３程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率はＩＣ電源電圧が１３～１５（Ｖ）以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバＩＣ１４の電源電圧は１３（Ｖ）以下にする必要がある。

【０７０２】

一方、駆動用トランジスタ１１ａが白表示から黒表示の電流を流すために、ソース信号線１８の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、２．５（Ｖ）以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線１８の出力電圧がＩＣの電源電圧を越えることはできないからである。

【０７０３】

以上のことから、ソースドライバＩＣ１４の電源電圧は、２．５（Ｖ）以上１３（Ｖ）以下にする必要がある。さらに好ましくはＩＣ１４の電源電圧（使用する電圧）は、６（Ｖ）以上１０（Ｖ）以下にすることが好ましい。この範囲とすることによりゲート配線１５３の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

【０７０４】

ゲート配線１５３の配線抵抗も課題となる。ゲート配線１５３の配線抵抗Ｒ（Ω）とは、図４７では、トランジスタ１５８ｂ１からトランジスタ１５８ｂ２までの配線全長の抵抗値である。または、ゲート配線全長の抵抗である。また、図４６ではトランジスタ１５８ｂ（トランジスタ群４３１ｂ）からトランジスタ群４３１ｃｎまでの配線全長の抵抗値である。

【０７０５】
ゲート配線１５３の過渡現象の大きさは、１水平走査期間（１Ｈ）にも依存する。１Ｈ期間が短ければ、過渡現象の影響も大きいからである。配線抵抗Ｒ（Ω）が高いほど過渡現象は発生しやすい。この現象は特に、図４４から図４７の１段カレントミラー接続の構成のソースドライバ回路（ＩＣ）１４で課題となる。ゲート配線１５３が長く、１つのゲート配線１５３に接続された単位トランジスタ１５４の数が多いためである。
【０７０６】
図６８は、ゲート配線１５３の配線抵抗Ｒ（Ω）と１水平走査期間（１Ｈ期間）Ｔ（ｓｅｃ）との掛算（Ｒ・Ｔ）を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の１は、Ｒ・Ｔ＝１００を基準にしている。図６８でわかるように、Ｒ・Ｔが５以下で変動比率が大きくなる傾向がある。また、Ｒ・Ｔが１０００以上で変動比率が大きくなる傾向がある。したがって、Ｒ・Ｔは５以上１０００以下にすることが好ましい。さらに好ましくは、Ｒ・Ｔは１０以上５００以下の条件を満足することが好ましい。
【０７０７】
ｄｕｔｙ比も課題となる。ｄｕｔｙ比によりソース信号線１８の変動も大きくなるからである。なお、ｄｕｔｙ比に関しては後ほど説明をする。ここでは、ｄｕｔｙ比とは間欠駆動の割合であるとする。トランジスタ群４３１ｃの単位トランジスタ１５４の総面積（トランジスタ群４３１ｃ内の単位トランジスタ１５４のＷＬサイズ×単位トランジスタ１５４数）をＳｃ（平方μｍ）とする。
【０７０８】
図６９は横軸をＳｃ×ｄｕｔｙ比とし、縦軸を変動比率としている。図６９でわかるようにＳｃ×ｄｕｔｙ比が５００以上で変動比率が大きくなる傾向がある。また、変動比率が３以下の時が変動許容範囲である。したがって、Ｓｃ×ｄｕｔｙ比は５００以下で駆動できるように制御することが好ましい。
【０７０９】
変動許容範囲は、Ｓｃ×ｄｕｔｙ比が５００以下である。Ｓｃ×ｄｕｔｙ比が５００以下であれば、変動比率は許容範囲内であり、ゲート配線１５３の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。Ｓｃ×ｄｕｔｙ比が５００以下であれば許容範囲であるが、Ｓｃ×ｄｕｔｙ比を５０以下としてもほとんど効果がない。逆に、ソースドライバＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×ｄｕｔｙ比は５０以上５００以下にすることが好ましい。
【０７１０】
本発明のソースドライバ回路（ＩＣ）１４において、単位トランジスタ群４３１ｃとカレントミラー回路をなすトランジスタ１５８ｂあるいはトランジスタ１５８ｂを構成するトランジスタ群４３１ｂ（図４８、図４９を参照のこと）には図７０の関係を満足させることが好ましい。
【０７１１】
トランジスタ１５８ｂあるいはトランジスタ１５８ｂを構成するトランジスタ群４３１ｂ（図４８、図４９を参照のこと）に供給する電流をＩｃとし、１つの単位トランジスタ群４３１ｃから出力される電流をＩｄとする。Ｉｄはソース信号線１８に出力されるプログラム電流（吸い込みあるいは吐き出し電流）であり、トランジスタ群４３１ｃを構成する単位トランジスタ１５４のすべてが選択状態の時の電流である。したがって、Ｉｄは画素１６に印加する最大階調での電流である。
【０７１２】
なお、図４６のように１５８ｂが１つの場合は、そのままＩｃとして用いてよいが、図４７のように、トランジスタ１５８が複数個ある（複数群ある）場合は、加算したものをＩｃとして用いる。つまり、図４７ではＩｃ＝Ｉｃ１＋Ｉｃ２である。以上のように電流Ｉｃはトランジスタ群４３１ｃとカレントミラー回路を構成するトランジスタ群４３１ｂに流れる電流の総和である。

【０７１３】
この電流ＩｄとＩｃの比（Ｉｃ／Ｉｄ）は５以上にする必要がある。図７０において、縦軸はクロストーク比である。クロストークは、画像表示によるソース信号線１８の電位変化がソースドライバ回路（ＩＣ）１４のゲート配線１５３を伝播し、表示画面１４４に横お引き（クロストーク）が発生する現象である。クロストークは、画像が白表示から黒表示になるポイント、黒表示から白表示になるポイント（たとえば、白ウインドウ表示の上エッジ部、下エッジ部など）に発生しやすい。Ｉｃ／Ｉｄが５以下では急激にクロストークの発生は強くなる（クロストーク比が大きくなる）が、５以上では曲線の傾きが小さくなる。
【０７１４】
図７０から理解できるように、Ｉｃ／Ｉｄは５以上にする必要がある。しかし、１００以上にすると、トランジスタ１５８ｂを構成するトランジスタ群４３１ｂのサイズが大きく実用的でない。したがって、Ｉｃ／Ｉｄは５以上１００以下にする必要がある。さらに好ましくは、８以上５０以下にすることが好ましい。
【０７１５】
Ｉｃ／Ｉｄは水平走査時間も考慮する必要がある。１水平走査期間Ｈが短いほどゲート配線１５３の時定数が小さくする必要があるからである。なお、１水平走査期間とは、画素行にプログラム電流（プログラム電圧）を書き込む期間と考えても良い。つまり、各画素が選択され、各画素１６に電流（電圧）が書き込まれている期間である。したがって、２画素行を同時に選択する駆動方法では、２水平走査期間が該当する。
【０７１６】
水平走査期間ＨをＨ（ミリ秒）としたとき（１画素行を選択する時間）、以下の関係を満足させることが好ましい。なお、ＩｃおよびＩｄの単位はμＡである。
【０７１７】
０．３≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　６．０
さらに好ましくは、以下の関係を満足させることが好ましい。
【０７１８】
０．５≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　５．０
また、さらに好ましくは、以下の関係を満足させることが好ましい。
【０７１９】
０．６≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　３．０
以上の関係を満足させるように、Ｉｃ、Ｉｄ電流を設定し、また、トランジスタ群４３１あるいは単位トランジスタ１５４、１５８を設計することにより、クロストークの発生は極めて少なくなる。
【０７２０】
たとえば、ＱＶＧＡパネルの場合は、およそＨ＝１０００（ミリ秒）／（６０（Ｈｚ）・２４０画素行）＝０．０７（ミリ秒）である。Ｉｃ＝１８（μＡ）、最大プログラム電流Ｉｄ＝１（μＡ）とすれば、（Ｉｃ・Ｈ）／Ｉｄ＝（１８・０．０７）／１＝１．３となり、上式を満足する。
【０７２１】
また、ＸＧＡパネルの場合は、およそＨ＝０．０２５（ミリ秒）である。Ｉｃ＝１８（μＡ）、最大プログラム電流Ｉｄ＝１（μＡ）とすれば、（Ｉｃ・Ｈ）／Ｉｄ＝（６０・０．０２５）／１＝１．５となり、上式を満足する。
【０７２２】
Ｈはパネルの画素行数で固定値であり、Ｉｄはプログラム電流の最大値であるので、該当表示パネルのＥＬ素子の効率および表示輝度が決定されれば固定値である。したがって、上式を満足するように、Ｉｃを決定すればよい。たとえば、Ｈ＝０．０７（ミリ秒）、Ｉｄ＝１（μＡ）であれば、０．３≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　６．０を満足するＩｃは、４（μＡ）以上８６（μＡ）以下となる。また、Ｈ＝０．０２５（ミリ秒）、Ｉｄ＝１（μＡ）であれば、０．３≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　８．０を満足するＩｃは、１

２（μＡ）以上２４０（μＡ）以下となる。

【０７２３】

以上の実施例は、出力段が単位トランジスタ１５４で構成されるトランジスタ群４３１ｃとして説明をしているが、本発明はこれに限定するものではない。後に図１６０から図１７６などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【０７２４】

トランジスタ群４３１ｃの出力電流の大きさと出力バラツキとは、相関がある。出力電流が大きいほど、出力バラツキが小さいなる。以上の関係を図１８２に示す。出力電流が１０倍になれば、出力バラツキは約１／２（＝０．５）になり、出力電流が１００倍になれば約１／４（＝０．２５）となる。

【０７２５】

また、出力電流のバラツキは、１つの出力段のトランジスタ面積Ｓｃ（単位トランジスタ１５４で構成される場合は、トランジスタ群４３１ｃ）の面積（ＷＬあるいは１出力電流を発生する全トランジスタの総面積Ｓｃ）と相関がある。この関係を図１８３に図示する。図１８３は出力バラツキを一定とした場合に、この出力バラツキを得るためのトランジスタ面積Ｓｃと出力電流との関係を示したものである。出力電流が大きいほど、ある出力バラツキを得るためのトランジスタ面積Ｓｃは小さくすむ。出力電流が１０倍になれば、トランジスタ面積Ｓｃは約１／２（＝０．５）でよい。出力電流が１００倍になれば、所定の出力バラツキを得るためのトランジスタ面積Ｓｃは約１／４（＝０．２５）でよい。

【０７２６】

本発明の検討の結果によれば、１端子の出力電流の最高出力電流の大きさは、０．２μＡ以上２０μＡ以下にすることが好ましい。０．２μＡ以下では、出力バラツキが大きく実用的でない。２０μＡ以上では出力段のトランジスタのゲート端子電圧が高くなり、またソース端子電圧も低下することになり、ＩＣの耐圧などを高くする必要がある。そのため、出力バラツキが大きくなり好ましくない。なお、最高出力電流とは、最大階調での出力電流である。たとえば、２５６階調あれば、２５５階調目であり、６４階調であれば６３階調目である。

【０７２７】

また、本発明の検討の結果である図１８２および図１８３の関係から、１出力の最高出力電流をＩｄ（μＡ）とし、出力段を構成するトランジスタ（単位トランジスタ１５４で構成される場合は、トランジスタ群４３１ｃ）の面積（ＷＬあるいは１出力電流を発生する全トランジスタの総面積）をＳｃ（平方μｍ）としたとき、以下の条件を満足させることが好ましい。

【０７２８】

$$500 \leqq Sc \times Id \leqq 10000$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【０７２９】

$$800 \leqq Sc \times Id \leqq 8000$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【０７３０】

$$1000 \leqq Sc \times Id \leqq 5000$$

以上の条件を満足することにより、出力端子１５５から出力される電流の隣接間バラツキは１％以下にすることができ、実用上十分な性能を得ることができる。

【０７３１】

なお、以上の実施例は、出力段が単位トランジスタ１５４で構成されるトランジスタ群４３１ｃとして説明をしているが、本発明はこれに限定するものではない。図１６０から図１７６などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【０７３２】
以上のように本発明の記載事項は、他の実施例に相互に適用あるいは組み合わせて使用できるものである。複数の組み合わせはすべてを記載することが不可能であるので、記載していないだけである。
【０７３３】
図４７でトランジスタ１５８ｂ１に流す基準電流Ｉｃ１と、トランジスタ１５８ｂ２に流す基準電流Ｉｃ２とを調整することにより、図２１２に図示するように、ソースドライバＩＣ１４ａと１４ｂとのカスケード接続を良好に行えることを説明した。
【０７３４】
カスケードは図２０８に図示するように、ソースドライバＩＣ１４間をカスケード配線２０８１で結線する。カスケード配線２０８１はアレイ３０上で行う。
【０７３５】
基準電流を印加あるいは出力するカスケード配線２０８１は、図２４９（ａ）に図示するように、ソースドライバ回路（ＩＣ）１４に個別に入力してもよい。また、図２４９（ｂ）に図示するようにソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｂ間で受け渡すように構成してもよい。図２４９（ｂ）のようにカスケード配線２０８１を介して、各ビットに対応する基準電流（図１９９、図２３０、図２４６などを参照のこと）を受け渡す場合は、各カスケード配線２０８１が交差しないように端子（Ｉ０～Ｉ５で図示している）を配置する。
【０７３６】
図２４９では、ソースドライバ回路（ＩＣ）１４ａからソースドライバ回路（ＩＣ）１４ｂにカスケード接続を行う電流を受け渡している。以上のように、隣接したソースドライバ回路（ＩＣ）１４に順次カスケード接続を行う電流を受け渡してもよいし（図４００を参照のこと）、１つのマスターのソースドライバ回路（ＩＣ）１４から、他のスレーブのソースドライバ回路（ＩＣ）１４にカスケード接続を行う電流を受け渡してもよいことは言うまでもない。この方式の場合は、１フレームあるいは複数フレーム期間を分割し、時分割でカスケード接続を行う電流を受け渡せばよい。
【０７３７】
カスケード配線２０８１を良好に配置するためには、図５８２に図示するようにソースドライバＩＣを構成するとよい。図５８２ではソースドライバＩＣの端の一方に基準電流源を配置又は形成し、他方の端にカスケード用の電流源を配置している。
【０７３８】
カスケード配線２０８１はアレイ基板３０上で形成することに限定するものではない。たとえば、図５８３に図示するように、フレキ基板１８０２あるいはプリント基板でカスケード配線パターン２０８１を形成し、フレキ基板１８０２などを介してカスケード接続を行っても良い。また、ソースドライバＩＣ１４がＣＯＦ実装される場合は、図５８４に図示するように、ＣＯＦ用のフィルム１８０２にカスケード配線２０８１を形成し、ソースドライバＩＣ１４間をカスケード接続してもよい。
【０７３９】
図６１３などのように複数のソースドライバ回路（ＩＣ）（１４ａ、１４ｂ）が隣接して配置されている場合を考える。白ラスター表示においては、すべての端子（Ｉｏｕｔ）の出力電流がばらつきなく一致していることが好ましい。出力電流のバラツキが発生していても、隣接出力端子間の出力電流差が小さければ、視覚的にバラツキとして認識されることはない。なお、隣接出力端子間のばらつきは、１％以内にする必要がある。
【０７４０】
１つのソースドライバ回路（ＩＣ）１４で表示画面１４４を駆動する場合は、隣接出力端子間のバラツキが小さければよい。しかし、図６１３のように、複数のソースドライバ回路（ＩＣ）１４で１つの画面１４４を駆動する場合は課題となる。隣接出力端子間のバラツキが少なくとも、ソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｂの出力電流の絶対値に差が発生しているからである。

【０７４１】
ソースドライバ回路（ＩＣ）１４ａの単位トランジスタ群４３１のＩｏｕｔｎと、ソースドライバ回路（ＩＣ）１４ｂの単位トランジスタ群４３１のＩｏｕｔ（ｎ＋１）の出力電流の絶対値が異なれば隣接出力差により画面１４４に境目が発生するからである。以下、この課題を解決する方法を説明する。

【０７４２】
図６１３において、オペアンプ５０２の正極性端子に基準電圧Ｖｓが印加される。オペアンプ５０２の負極性端子には外付け抵抗Ｒ１が接続される。また、抵抗Ｒ１の一端子は、安定した電圧Ｖｐに接続されている。したがって、抵抗Ｒ１とオペアンプ５０２およびトランジスタ１５８で定電流回路が構成される。トランジスタ１５８を流れる電流Ｉｃは、Ｉｃ＝（Ｖｓ－Ｖｐ）／Ｒ１となる。なお、抵抗Ｒ１は外付け抵抗であるとしたが、これに限定するものではなく、ソースドライバ回路（ＩＣ）（回路）１４内に内蔵されたものでもよい。たとえば、ＩＣチップ内に形成された拡散抵抗、ポリシリコン抵抗などが例示される。もちろん、抵抗は低温ポリシリコン技術で形成してもよい。また、基準電圧Ｖｓ、Ｖｐなどは、ソースドライバ回路（ＩＣ）（回路）１４の電源電圧Ｖｃｃと共通にしてもよい。また、パネルのアノード電圧Ｖｄｄと兼用にしてもよい。

【０７４３】
ソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｂに同一基準電圧Ｖｓが印加され、この基準電圧Ｖｓにより、オペアンプ５５２からなる定電流回路により基準電流Ｉｃが発生する（図１７０なども参照のこと）。以下説明を容易にするために、抵抗Ｒ１はソースドライバ回路（ＩＣ）１４の外付け抵抗であり、１％以下の精度のものが使用されるとして説明をする。

【０７４４】
以上の構成より、ソースドライバ回路（ＩＣ）１４ａのトランジスタ１５８ｂ１とトランジスタ１５８ｂ２に流れる電流Ｉｃ、ソースドライバ回路（ＩＣ）１４ｂのトランジスタ１５８ｂ１とトランジスタ１５８ｂ２に流れる電流Ｉｃを等しくすることができる。したがって、ソースドライバ回路（ＩＣ）１４ａのトランジスタ１５８ｂ２と、ソースドライバ回路（ＩＣ）１４ｂのトランジスタ１５８ｂ１に流れる電流Ｉｃが等しくすることができる。

【０７４５】
ソースドライバ回路（ＩＣ）１４ａにおいて、トランジスタ１５８ｂ２とトランジスタ群４３１ｃｎとは近接して配置されているため、精度がよいカレントミラー回路を構成している。また、ソースドライバ回路（ＩＣ）１４ｂにおいて、トランジスタ１５８ｂ１とトランジスタ群４３１ｃ（ｎ＋１）とは近接して配置されているため、精度がよいカレントミラー回路を構成している。以上のことから、ソースドライバ回路（ＩＣ）１４ａの単位トランジスタ群４３１ｃｎの出力電流と、ソースドライバ回路（ＩＣ）１４ｂの単位トランジスタ４３１ｃ（ｎ＋１）の出力電流とは略一致する。そのため、画面１４４における、ソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｂとの境目は発生しない。

【０７４６】
以上のように本発明のソースドライバ回路（ＩＣ）１４はチップの左右に基準電流を流すトランジスタ１５８ｂを具備している点が大きな特徴である。たとえば、図４６に図示するようにソースドライバ回路（ＩＣ）１４に一方のみにトランジスタ１５８ｂを具備している場合を考えると明らかである。図４６の構成では、単位トランジスタ群４３１ｃ１はトランジスタ１５８ｂから近いため、精度のよいカレントミラー回路が構成されている。しかし、トランジスタ１５８ｂからＤ距離離れた（ＤはＩＣチップサイズの横幅に近い距離）単位トランジスタ群４３１ｃｎとトランジスタ１５８ｂとはカレントミラー回路の精度はない。

【０７４７】
図６１３の実施例では、外付け抵抗の程度と、基準電圧Ｖｓなどの精度を上げるとこと

により、ソースドライバ回路（ＩＣ）１４のトランジスタ１５８ａと１５８ｂに流す電流Ｉｃ１とＩｃ２を等しくすることができる。したがって、トランジスタ１５８ｂとカレントミラー回路を構成するトランジスタ群４３１ｃ１、４３１ｃｎ、４３１ｃ（ｎ＋１）、４３１ｃ（２ｎ）の同一階調における出力電流を精度よく同一にすることができる。そのため、画面１４４を複数のソースドライバ回路（ＩＣ）（回路）１４で駆動する場合であっても、ソースドライバ回路（ＩＣ）（回路）１４間の境目は見えることはない。なお、電流Ｉｃ１とＩｃ２は、ＩＣチップ外に構成した基準電流回路で発生し、トランジスタ１５８ｂに供給してもよいことはいうまでもない。

【０７４８】

抵抗Ｒ１１ａと抵抗Ｒ１２ａとの所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される（設計される）。同様に、抵抗Ｒ２１ａと抵抗Ｒ２２ａとの所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される（設計される）。また、抵抗Ｒ１１ｂと抵抗Ｒ１２ｂ、抵抗Ｒ２１ｂと抵抗Ｒ２２ｂの組に対しても同様である。ここでは説明を容易にするため、抵抗Ｒ１１ａ、抵抗Ｒ１２ａ、抵抗Ｒ２１ａ、抵抗Ｒ２２ａ、抵抗Ｒ１１ｂ、抵抗Ｒ１２ｂ、抵抗Ｒ２１ｂ、抵抗Ｒ２２ｂは同一の抵抗値となるように設計（形成）されているとする。

【０７４９】

抵抗Ｒ１１ａ、Ｒ１２ａとは近接して形成または配置される。同様に、抵抗Ｒ２１ａ、Ｒ２２ａとは近接して形成または配置され、抵抗Ｒ１１ｂ、Ｒ１２ｂとは近接して形成または配置される。同様に、抵抗Ｒ２１ｂ、Ｒ２２ｂとは近接して形成または配置される。各抵抗はポリシリコン抵抗あるいは拡散抵抗である。ＩＣチップ内で形成する（構成する）抵抗の値は、近接して配置した抵抗の相対比は精度よく形成できるという特質がある。しかし、絶対値には精度がない場合が多い。

【０７５０】

ソースドライバ回路（ＩＣ）１４の基準電流源は、ＩＣチップの両端に形成される場合が多い。しかし、２つの基準電流源の距離はせいぜい２０ｍｍ程度である。したがって、ソースドライバ回路（ＩＣ）１４ａの抵抗Ｒ１１ａと抵抗Ｒ２１ａの抵抗値差はわずかである場合が多い。しかし、ＩＣチップが異なるソースドライバ回路（ＩＣ）１４ａの抵抗Ｒ１１ａと抵抗Ｒ２１ａと、ソースドライバ回路（ＩＣ）１４ｂ抵抗Ｒ１１ｂと抵抗Ｒ２１ｂとは絶対値が大きく異なる場合が多い。ソースドライバ回路（ＩＣ）１４ａと１４ｂが同一ウエハで形成されていても、ＩＣの形成位置が大きく異なることが多いからである。

【０７５１】

説明を容易にするため、一例としてソースドライバ回路（ＩＣ）１４ａの抵抗１１ａ、抵抗１２ａ、抵抗２１ａ、抵抗２２ａの抵抗値は等しく、５０（ＫΩ）であるとして説明をする。また、ソースドライバ回路（ＩＣ）１４ｂの抵抗１１ｂ、抵抗１２ｂ、抵抗２１ｂ、抵抗２２ｂの抵抗値は等しく、７５（ＫΩ）であるとして説明をする。つまり、ソースドライバ回路（ＩＣ）１４ａの内蔵抵抗とソースドライバ回路（ＩＣ）１４ｂの内蔵抵抗とは、絶対値が異なり、各ソースドライバ回路（ＩＣ）の内蔵抵抗の相対抵抗値は等しいと想定している。

【０７５２】

図６１４において、抵抗Ｒ１１ａ、抵抗Ｒ２１ａ、抵抗Ｒ１１ｂ、抵抗Ｒ２１ｂの一端子は電圧Ｖｐに接続されている。また、オペアンプ５０２に基準電圧Ｖｓが印加されている。この点において、図６１３の構成と同一である。図６１４と図６１３との差異は、図６１３において、抵抗Ｒ１が外付け抵抗である点である。また、図６１４で隣接したソースドライバ回路（ＩＣ）の内蔵抵抗を接続配線２０８１でカスケード接続している点である。

【０７５３】

ソースドライバ回路（ＩＣ）１４ａの抵抗Ｒ２２ａとソースドライバ回路（ＩＣ）１４ｂの抵抗Ｒ１１ｂとは接続配線２０８１で電気的に接続されている。接続配線２０８１ｃ

とは、基板７１上に形成された配線パターンが例示される。したがって、ソースドライバ回路（ＩＣ）１４ａのオペアンプ５０２ｂに接続される抵抗はＲ１１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）となる。また、ソースドライバ回路（ＩＣ）１４ａの抵抗Ｒ２１ａとソースドライバ回路（ＩＣ）１４ｂの抵抗Ｒ１２ｂとは接続配線２０８１ｂで電気的に接続されている。したがって、ソースドライバ回路（ＩＣ）１４ｂのオペアンプ５０２ａに接続される抵抗はＲ１１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）となる。

【０７５４】

ソースドライバ回路（ＩＣ）１４ａのオペアンプ５０２ｂおよびソースドライバ回路（ＩＣ）１４ｂのオペアンプ５０２ａに接続された抵抗は１２５（ＫΩ）と等しく、また、印加される基準電圧Ｖｓ、Ｖｐなども同一である。したがって、図６１４におけるソースドライバ回路（ＩＣ）１４ａのトランジスタ１５８ｂ２に流れる電流Ｉｃ２と、ソースドライバ回路（ＩＣ）１４ｂのトランジスタ１５８ｂ１に流れる電流Ｉｃ１とは等しくなる。そのため、ソースドライバ回路（ＩＣ）１４ａのトランジスタ群４３１ｃｎに流れるプログラム電流と、ソースドライバ回路（ＩＣ）１４ｂのトランジスタ群４３１ｃ（ｎ＋１）に流れるプログラム電流とは等しくなる。

【０７５５】

図６１４の構成のより、図６１３のように外付け抵抗なしに、隣接したソースドライバ回路（ＩＣ）１４間のプログラム出力電流を等しくすることができる。つまり、ソースドライバ回路（ＩＣ）１４内の抵抗Ｒの絶対値がばらついていても自己整合により、基準電流が等しくすることができる。したがって、本発明のソースドライバ回路（ＩＣ）１４は基板７１に複数個を実装する場合であっても、全く調整の必要がなく、実装するだけでソースドライバ回路（ＩＣ）のカスケード接続を実現することができる。

【０７５６】

なお、ソースドライバ回路（ＩＣ）１４内の抵抗Ｒはトリミングにより所定の絶対値の抵抗値となるように調整してもよい。また、抵抗Ｒ１１ａとＲ１２ａ、抵抗Ｒ２１ａとＲ２２ａなどの組の相対抵抗値が所定の相対値となるように調整してもよい。

【０７５７】

また、図６１４に図示するように、ソースドライバ１４ａの端の内蔵抵抗１１ａと抵抗１２ａとは配線２０８１ａでショートする。また、ソースドライバ１４ｂの端の内蔵抵抗２１ｂと抵抗２２ｂとは配線２０８１ｄでショートする。

【０７５８】

ソースドライバ１４ａの端の内蔵抵抗１１ａと抵抗１２ａとは接続配線２０８１ａにより接続される。ソースドライバ回路（ＩＣ）１４ａのオペアンプ５０２ａに接続される抵抗は、抵抗１１ａ＋抵抗１２ａ＝５０（ＫΩ）＋５０（ＫΩ）＝１００（ＫΩ）となる。ソースドライバ回路（ＩＣ）１４ａのオペアンプ５０２ｂに接続される抵抗はＲ２１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）である。したがって、ソースドライバ回路（ＩＣ）１４ａの基準電流Ｉｃ１と基準電流Ｉｃ２とは異なった値となる。そのため、ソースドライバ回路（ＩＣ）１４ａのＩｏｕｔ１のプログラム出力電流と、ソースドライバ回路（ＩＣ）１４ａのＩｏｕｔｎのプログラム出力電流とは異なった値となってしまう。しかし、Ｉｏｕｔ１は画面１４４の端に位置するため、画面１４４の端の明るさが画面１４４の中央部と異なっていても視覚的に認識されることはない。ただし、画面１４４の中央部から端部には明るさが滑らかに変化している必要がある。

【０７５９】

同様に、ソースドライバ１４ｂの端の内蔵抵抗２１ｂと抵抗２２ｂとは接続配線２０８１ｄにより接続される。ソースドライバ回路（ＩＣ）１４ｂのオペアンプ５０２ｂに接続される抵抗は、抵抗２１ｂ＋抵抗２２ｂ＝７５（ＫΩ）＋７５（ＫΩ）＝１５０（ＫΩ）となる。ソースドライバ回路（ＩＣ）１４ｂのオペアンプ５０２ａに接続される抵抗はＲ１１ｂ＋Ｒ１２ｂ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）である。したがって、ソースドライバ回路（ＩＣ）１４ｂの基準電流Ｉｃ１と基準電流Ｉｃ２とは異なった値と

なる。そのため、ソースドライバ回路（ＩＣ）１４ｂのＩｏｕｔ（ｎ＋１）のプログラム出力電流と、ソースドライバ回路（ＩＣ）１４ｂのＩｏｕｔ（２ｎ）のプログラム出力電流とは異なった値となってしまう。しかし、Ｉｏｕｔ（２ｎ）は画面１４４の端に位置するため、画面１４４の端の明るさが画面１４４の中央部と異なっていても視覚的に認識されることはない。

【０７６０】

なお、図６１５に図示するように、抵抗Ｒ１２ａにボリウム６１５１ａを接続することにより、また、抵抗Ｒ２２ｂにボリウム６１５１ｂを接続することにより、トランジスタ群４３１ｃからのプログラム電流を調整できるように構成してもよい。また、抵抗Ｒ１２ａ、抵抗Ｒ２２ａなどを電子ボリウムなどにしてもよい。以上の事項は、抵抗Ｒ２２ａ、抵抗１２ｂに適用してもよいことは言うまでもない。

【０７６１】

図６１３、図６１４、図６１５は各ソースドライバ回路１４に抵抗を内蔵する構成であった。本発明はこれに限定するものではない。たとえば、図６１６に図示するように、ソースドライバ回路（ＩＣ）１４ａに同一抵抗値Ｒ（Ｒ１、Ｒ２、Ｒ３、Ｒ４）を内蔵してもよい。抵抗Ｒ（Ｒ１、Ｒ２、Ｒ３、Ｒ４）は近接させて配置する。近接して配置することにより、抵抗値の相対値は精度よく形成することできる。なお、抵抗（Ｒ１、Ｒ２、Ｒ３、Ｒ４）はレーザートリミングを行い、絶対値が等しくなるように調整してもよい。また、トリミングにより抵抗の相対値を等しくなるように調整してもよい。

【０７６２】

ソースドライバ回路（ＩＣ）１４ａの抵抗Ｒ３、Ｒ４は端子ａ２、端子ａ４を介して出力される。この出力は、ソースドライバ回路（ＩＣ）１４ｂの端子ｂ２、端子ｂ３よりソースドライバ回路（ＩＣ）１４ｂに入力される。以上のように構成されることにより、ソースドライバ回路（ＩＣ）１４ａ内の抵抗Ｒ３はソースドライバ回路（ＩＣ）１４ｂのオペアンプ５０２ａと接続され、定電流回路が構成される。また、ソースドライバ回路（ＩＣ）１４ａ内の抵抗Ｒ４はソースドライバ回路（ＩＣ）１４ｂのオペアンプ５０２ｂと接続され、定電流回路が構成される。

【０７６３】

なお、基準電圧Ｖｓもソースドライバ回路（ＩＣ）１４ａに入力され、ソースドライバ回路（ＩＣ）１４ｂにはソースドライバ回路（ＩＣ）１４ａの端子ａ１を介して出力される。出力された基準電圧Ｖｓはソースドライバ回路（ＩＣ）１４ｂの端子ｂ１よりソースドライバ回路（ＩＣ）１４ｂに入力される。

【０７６４】

図６１４、図６１５では接続配線２０８１がアレイ基板７１上で交差する。交差部には絶縁膜を形成する必要がある。しかし、絶縁膜の形成するためには、マスク枚数を増加させる必要がある。マスク枚数の増加によりパネルの製造コストが増加する。

【０７６５】

この課題を対策するため、図２４８に図示するように、交差部をＩＣチップ１４内に形成している。ＩＣチップ内では、２層のメタル配線を用いるため交差部の形成は、コストアップなしに形成することができる。ソースドライバ１４ａの抵抗Ｒ２１ａは端子ｂ２に接続され、抵抗Ｒ２２ｂは端子ａ２に接続される。したがって、交差部が構成される。ソースドライバ１４ｂも同様である。ソースドライバ１４ｂの抵抗Ｒ１１ａは端子ａ１に接続され、抵抗Ｒ１２ｂは端子ｂ１に接続される。図６２１では交差部は発生しない。ソースドライバ１４ａも同様である。

【０７６６】

以上のように構成すれば、ソースドライバ回路（ＩＣ）１４ａとソースドライバ回路（ＩＣ）１４ｂを接続する接続配線２０８１を図６２１に図示するように、直線的に配線（形成）することができる。

【０７６７】

カスケード接続を行うため、一例としてソースドライバ回路（ＩＣ）１４の左端の端子

（ａ１、ｂ１）は交差部を形成していない。ソースドライバ回路（ＩＣ）１４の右側の端子（ａ２、ｂ２）には交差部を形成または配置している。つまり、ソースドライバ回路（ＩＣ）１４の左右端子のうち、一方に交差部を形成し、他方には交差部を形成していない。あるいは、ソースドライバ回路（ＩＣ）１４の左右の出力配線（出力端子位置）の構成を変化させている。

【０７６８】

なお、以上の実施例では１４ａ、１４ｂはソースドライバ回路（ＩＣ）としたが、これに限定するものではなく、低温ポリシリコン技術などで形成したソースドライバ回路でもよい。また、この技術的思想はゲートドライバ回路（ＩＣ）１２などの他の機能をもつ回路をカスケード接続することに対しても適用できることは言うまでもない。

【０７６９】

以下、本発明の他の実施例である図６２０の構成について説明をする。図６２０において、特徴ある点は、基準電流を流すトランジスタ１５８ｂのベース端子（ドレイン端子）が端子ｃに接続されている点である。したがって、端子ｃをオープンにするか、グランドに接続するかで基準電流を遮断することができる。

【０７７０】

また、トランジスタ１５８ａからの基準電流がゲート配線５８１あるいはトランジスタ１５８ｂに流れ込むことを防止するため、切断点６２０１を形成（構成）している点である。切断点６２０１はレーザー光を照射し、切断する例が例示される。

【０７７１】

図６２０において、ソースドライバ回路（ＩＣ）１４ａのトランジスタ４７１ｂ１のベース端子（ドレイン端子）が端子ｃ１に接続され、トランジスタ４７１ｂ２のベース端子（ドレイン端子）が端子ｃ２に接続されている。端子ｃ１はオープンであり、切断点６２０１ａが切断されているため、トランジスタ４７１ｂ１には電流が流れないように構成されている。したがって、ゲート配線５８１ａの左端はオープン状態となる。

【０７７２】

一方、ソースドライバ回路（ＩＣ）１４ｂのトランジスタ４７１ｂ１のベース端子（ドレイン端子）が端子ｃ１に接続され、トランジスタ４７１ｂ２のベース端子（ドレイン端子）が端子ｃ２に接続されている。端子ｃ２はオープンであり、切断点６２０１ｂが切断されているため、トランジスタ４７１ｂ２には電流が流れないように構成されている。したがって、ゲート配線５８１ｂの右端はオープン状態となる。

【０７７３】

以上のように、端子ｃの電位状態を、ＩＣチップの電位設定状態により変更することができる。この変更とは、端子ｃをはんだづけによりグランド電位に設置すること、開放状態にすることである。もちろん、切断点６２０１と同様に端子ｃを切断してもよい。また、切断点６２０１はアナログスイッチなどを形成し、電気的にアナログスイッチをオンオフできるように構成してもよい。

【０７７４】

また、基準電流を調整する必要がある場合は、図２５０に図示するように、カスケード配線２０８１ａと２０８１ｂ間にトランジスタなどからなるトリミング調整部２５０１を形成または配置する。このトリミング調整部２５０１はレーザー１６２１などを用いてレーザー光１６２２で調整することにより、基準電流の大きさの調整を実施する。トリミング調整部２５０１はソースドライバ回路（ＩＣ）１４内に形成してもよいし、基板３０にポリシリコン技術などで形成してもよい。

【０７７５】

カスケードで受け渡す基準電流は精度が求められる。そのため、本発明では、カスケード部において基準電流を出力する電流源部は、トリミングを行い、所定の基準電流を出力されるように調整している。トリミングはレーザートリミングにより実施している。

【０７７６】

カスケード接続を良好に行うためには、製造されたソースドライバＩＣ１４の特性を測

定することが必要になる場合がある。特性が測定できれば、トリミングなどにより調整あるいは加工を実施することが可能になる。以下に本発明のソースドライバ回路（ＩＣ）１４の特性測定方式について説明をする。また、隣接ソース信号線１８間の出力電流バラツキを測定することができる（把握することができる）。

【０７７７】

図２９９（ａ）に図示するように、カスケード接続のための端子１５５を有している。端子１５５ａにはカスケード接続のための基準電流ＩｃＲ（赤色用）が出力される。端子１５５ｂにはカスケード接続のための基準電流ＩｃＧ（緑色用）が出力される。端子１５５ｃにはカスケード接続のための基準電流ＩｃＢ（青色用）が出力される。基準電流Ｉｃはソースドライバ ＩＣの特性を示している。基準電流Ｉｃが小さければプログラム電流Ｉｗの大きさが小さい。一方、基準電流Ｉｃが大きければプログラム電流Ｉｗの大きさが大きい。

【０７７８】

以上のことから、図２９９（ｂ）に図示するように端子１５５に既知の抵抗値の抵抗Ｒを接続し、各端子１５５の電圧を測定することのよりソースドライバＩＣ１４の特性を把握することができる。なお、端子１５５に電流計を直接に接続して基準電流Ｉｃを測定してもよい。

【０７７９】

以上の実施例は、カスケード電流の出力端子でソースドライバ回路（ＩＣ）１４の特性などを測定するものであった。しかし、本発明はこれに限定するものはなく、図３００に図示するように特性測定用の専用端子１５５を形成または構成もしくは配置してもよい。

【０７８０】

図３００では、ソース信号線１８にプログラム電流Ｉｗを出力するトランジスタ群４３１ｃに隣接して特性測定用のトランジスタ群４３１ｃ（４３１ｃＲ（赤）、４３１ｃＧ（緑）４３１ｃＢ（青））を有している。トランジスタ群４３１ｃＲ、トランジスタ群４３１ｃＧ、トランジスタ群４３１ｃＢとトランジスタ群４３１ｃとは隣接して形成させているため特性がほぼ一致する。したがって、図３０１（ａ）に図示するように、端子１５５にに既知の抵抗値の抵抗Ｒを接続し、各端子１５５（ａ、ｂ、ｃ）の電圧を測定することのよりソースドライバＩＣ１４の特定を把握することができる。なお、端子１５５に電流計を直接に接続して基準電流Ｉｃを測定してもよい。

【０７８１】

また、図３０１（ｂ）に図示するように抵抗ＲをＩＣチップ１４に内蔵させてもよいことは言うまでもない。ただし、抵抗Ｒを内蔵させる場合は、既知の抵抗値とするため、トリミングを実施することが好ましい。図３０１（ｂ）のように構成することにより、端子１５５ｄを所定電位（図３０１ではグランド電位）にすることにより、端子１５５ａ、端子１５５ｂ、端子１５５ｃで電圧を測定することができる。したがって、ソースドライバＩＣ１４の各端子１５５に接続されたトランジスタ群４３１ｃの特性を測定あるいは予測することができる。また、カスケード接続した特性を想定あるいは予測もしくは測定することができる。

【０７８２】

図３０１の実施例は、端子１５５に接続されたトランジスタ群４３１ｃなどの測定を実施するものであった。同様の構成でカスケード接続の性能あるいは特性もしくは評価を実現することができる。図３０２はその実施例である。図３０２において抵抗Ｒはチップ１４内に内蔵されている。Ｒはトリミングされ所定の抵抗値にされている。スイッチＳ（Ｓａ、Ｓｂ、Ｓｃ）を閉じることにより基準電流Ｉｃが抵抗Ｒに流れ込む。したがって、端子１５５の出力電圧から基準電流Ｉｃの値を測定することができる。測定後、トリミングなどを実施して、基準電流Ｉｃ（ＩｃＲ、ＩｃＧ、ＩｃＢ）が所定値になるように調整などする。

【０７８３】

本発明のソースドライバ回路（ＩＣ）１４は基準電流Ｉｃを所定値にすることにより、

ＲＧＢのホワイトバランスを規定でき、所定値にすることができる。また、プログラム電流Ｉｗも所定値にすることができるため、画像の表示輝度も所低値にすることができる。したがって、基準電流Ｉｃを所低値にする重要度は大きい。

【０７８４】

この課題に対して本発明は、図３０３に図示するように、ＲＧＢごとに基準電流を調整する電子ボリウム回路５０１を具備している。また、電子ボリウム５０１の値を調整して固定することにより基準電流Ｉｃを所定値にするためフラシュメモリ３０３１を有している。フラシュメモリ３０３１をＦＤＡＴＡ（ＦＤＡＴＡＲ、ＦＤＡＴＡＧ、ＦＤＡＴＡＢ）で書き換えることにより電子ボリウム５０１（５０１Ｒ、５０１Ｇ、５０１Ｂ）の値を固定あるいは一時保持させることができる。したがって、基準電流Ｉｃ（ＩｃＲ、ＩｃＧ、ＩｃＢ）を所定値に容易に調整することができる。この調整はＩｃ電流を直接測定（図２９９、図３０２など）して目標の調整値をだしてもよいが、図３０６に図示するようにパネルの画面１４４の表示輝度を測定して実施してもよい。

【０７８５】

図３０３ではフラシュメモリ３０３１によって電子ボリウム５０１の値を所低値にし、目標の基準電流Ｉｃを得るとしたが、本発明はこれに限定するものではない。たとえば、図３０４に図示するように、外部のボリウムＶＲ（赤用ＶＲ１、緑用ＶＲ２、青用ＶＲ３）で基準電流Ｉｃを調整してもよいことは言うまでもない。また、図３０５に図示するように、トランジスタ１５８ｂ（図５８、図５９、図６０などを参照のこと）に流れる基準電流Ｉｃ（ＩｃＲ、ＩｃＧ、ＩｃＢ）を電流源Ｉ（Ｉａ、Ｉｂ、Ｉｃ）で調整してもよいことは言うまでもない。

【０７８６】

図４７では、基準電流Ｉｃ１とＩｃ２とを調整するとした。しかし、ゲート配線１５３が所定値以上の抵抗値を有していると、トランジスタ１５８ｂ１に流す基準電流Ｉｃ１と、トランジスタ１５８ｂ２に流す基準電流Ｉｃ２とを同一にしても、図４７のように出力電流の傾斜が補正される。

【０７８７】

理解を容易にするため、具体的な数値で説明する。Ｉｃ１＝Ｉｃ２＝１０（μＡ）とし、この時、トランジスタ１５８ｂ１のゲート端子電圧Ｖ１＝０．６０（Ｖ）、トランジスタ１５８ｂ２のゲート端子電圧Ｖ２＝０．６１（Ｖ）とする。トランジスタ１５８ｂ２に流れる基準電流とトランジスタ１５８ｂ１に流れる基準電流との差を１％以内にする必要があるから、基準電流＝１０（μＡ）の１％は０．１（μＡ）である。したがって、（Ｖ２－Ｖ１）／０．１（μＡ）＝（０．６１－０．６０）（Ｖ）／０．１（μＡ）＝１００（ＫΩ）となる。したがって、ゲート配線１５３の抵抗値を１００（ＫΩ）とすることにより、出力電流の傾きは調整され、隣接して配置されたＩＣ１４の出力電流の差は１％以内の差におさまる。

【０７８８】

ゲート配線１５３が高抵抗であるほど、補正電流Ｉｄの大きさは小さくてよい。しかし、ゲート配線１５３の抵抗値をあまりに高くすると、図５２のリンキングの波高値も大きくなり、横クロストークの発生が顕著となる。したがって、ゲート配線１５３の抵抗値には適切な範囲が存在する。

【０７８９】

本発明は、ゲート配線１５３のうちすべてを、または、少なくともゲート配線１５３の一部はポリシリコンからなる配線で形成したことを特徴としている。好ましくは、単位トランジスタ１５４のゲート端子とのコンタクト部あるいは近傍以外をポリシリコンで形成する。ゲート配線１５３は配線幅を調整することにより、あるいは、蛇行させることにより目標の抵抗値に形成あるいは構成する。

【０７９０】

ゲート配線のリンキング発生を抑制するには、ゲート配線１５３を所定値以下の抵抗値にすることで達成できる。また、トランジスタ１５８ｂの総面積Ｓｂ（トランジスタ群４

３１ｂの総面積Ｓｂ）を大きくすることにより、達成できる。また、基準電流Ｉｃを大きくすることにより達成できる。

【０７９１】

１出力の単位トランジスタ１５４の面積（１つのトランジスタ群４３１ｃ内の単位トランジスタ１５４の総面積）をＳ０とし、トランジスタ群４３１ｂのトランジスタ１５８ｂの総面積Ｓｂ（図４４のようにトランジスタ群４３１ｂが複数ある時は、複数のトランジスタ群４３１ｂのトランジスタ１５８ｂの総面積）とする。

【０７９２】

図７１はＳｂ／Ｓ０を横軸とし、許容できるゲート配線抵抗（ＫΩ）を縦軸とした時の関係を示している。図７１の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。

【０７９３】

図７１の横軸は、総トランジスタ群４３１ｂの大きさＳｂに対する１出力あたりの単位トランジスタ１５４の大きさＳ０である（６４階調の場合は、単位トランジスタ１５４が６３個分）。Ｓ０を固定値であるとすると、Ｓｂが大きいほど、ゲート配線１５３が許容できる抵抗値も大きくなる。これは、Ｓｂが大きくなるほどゲート配線１５３に対するインピーダンスが低くなり、安定度が増加するためである。

【０７９４】

Ｓ０は出力電流（プログラム電流）を発生させるものであり、また、出力バラツキを一定値以下にする必要から、Ｓ０の大きさは設計上の変更範囲は狭い。一方でゲート配線１５３の抵抗値を所定値とするためには設計制約がある。

【０７９５】

ゲート配線１５３を高抵抗にするには、配線が細くなり断線が発生する課題、安定度の課題がある。また、Ｓｂを大きくするとチップ面積が大きくなり、コストが高くなる。したがって、ＩＣ１４のチップサイズの課題から、Ｓｂ／Ｓ０は５０以下にすることが好ましい、また、ゲート配線１５３の安定した設計、リンキングの課題などの制約から、Ｓｂ／Ｓ０は５以上にすることが好ましい。したがって、５≦　Ｓｂ／Ｓ０　≦　５０の条件を満足させる必要がある。

【０７９６】

図７１のグラフ（実線）から、Ｓｂ／Ｓ０が小さくなるほど実線カーブの傾きは緩やかになる。また、Ｓｂ／Ｓ０が１５以上では傾きが一定になる傾向がある。したがって、Ｓｂ／Ｓ０が５以上１５以下では、ゲート配線１５３の抵抗値は４００（ＫΩ）以下にする必要がある。また、Ｓｂ／Ｓ０が１５以上５０以下では、Ｓｂ／Ｓ０×２４（ＫΩ）以下にする必要がある。たとえば、Ｓｂ／Ｓ０＝５０の時は、５０×２４＝１２００（ＫΩ）以下にする必要がある。

【０７９７】

トランジスタ１５８ｂに流れる基準電流Ｉｃと、許容ゲート配線抵抗には相関がある。基準電流Ｉｃが大きいほどトランジスタ１５８ｂからゲート配線１５３をみたときのインピーダンスが低くなるからである。図７２にその関係を示す。図７２は横軸をトランジスタ１５８ｂ（もしくはトランジスタ群４３１ｂ）に流れる基準電流Ｉｃ（μＡ）である。縦軸が許容できるゲート配線抵抗（ＫΩ）を示している。図７２の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。

【０７９８】

基準電流Ｉｃを大きくすれば、ゲート配線１５３の安定度は向上する。しかし、ソースドライバＩＣ１４で消費する無効電流が増加し、また、ゲート配線１５３の電位も高くなる。このことから、基準電流Ｉｃは５０（μＡ）以下にする必要がある。

【０７９９】

基準電流Ｉｃを小さくすれば、ゲート配線１５３の安定度は低下するため、ゲート配線

１５３の抵抗値を下げる必要がある。しかし、一定値以下に基準電流を下げると単位トランジスタ４３１ｃからの出力電流のバラツキが大きくなる。つまり出力電流の安定度がなくなる。このことから、基準電流Ｉｃは２（μＡ）以上にする必要がある。以上のことから、トランジスタ１５８ｂに流す基準電流Ｉｃは２（μＡ）以上５０（μＡ）以下にする必要がある。

【０８００】

図７２のグラフ（実線）は、２つの直線に近似できる。Ｉｃが２（μＡ）以上１５（μＡ）以下では、ゲート配線１５３の抵抗値（ＭΩ）は、０．０４×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝１５（μＡ）であれば、ゲート配線１５３の抵抗値は、０．０４×１５＝０．６（ＭΩ）以下の条件を満足させる必要がある。

【０８０１】

Ｉｃが１５（μＡ）以上５０（μＡ）以下では、ゲート配線１５３の抵抗値（ＭΩ）は、０．０２５×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝５０（μＡ）であれば、ゲート配線１５３の抵抗値は、０．０２５×５０＝１．２５（ＭΩ）以下の条件を満足させる必要がある。

【０８０２】

１画素行が選択される期間（１水平走査期間（１Ｈ））と、ゲート配線１５３の抵抗Ｒ（ＫΩ）×ゲート配線１５３の長さＤ（ｍ）にも相関がある。１Ｈ期間が短いほど、ゲート配線１５３の電位が正常値に戻るのに要する期間を短くする必要があるからである。また、図４７のようにゲート配線１５３長Ｄ（＝ドライバＩＣのチップ長さ）が長くなると、トランジスタ１５８ｂから最も遠い単位トランジスタ群４３１ｃの電位変動が許容範囲を越えるからである。

【０８０３】

この現象が発生するのは、単位トランジスタ１５４とソース信号線１８間の寄生容量が影響を与えているためと推定される。つまり、ドライバＩＣ１４のチップ長Ｄが長くなると単純なゲート配線１５３の抵抗値だけでなく、寄生容量によるゲート配線１５３の電位変動も考慮する必要があることを示している。

【０８０４】

図７３は横軸を１水平走査期間（μ秒）としている。縦軸がゲート配線抵抗（ＫΩ）とチップ長Ｄ（ｍ）の掛算値である。図７３の実線の下側の範囲が許容範囲である。Ｒ・Ｄは９（ＫΩ・ｍ）がソースドライバＩＣの作製限界である。これ以上は、コストが高くなり実用的でない。一方、Ｒ・Ｄが０．０５以下では、電流Ｉｄが大きくなりすぎ、隣接出力電流の偏差が大きくなりすぎる。したがって、Ｒ・Ｄ（ＫΩ・ｍ）は０．０５以上９以下にする必要がある。

【０８０５】

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ１５４（図１５、図５７、図５８、図５９などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

【０８０６】

画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ１５４をＮチャンネルトランジスタで構成する。

【０８０７】

ソースドライバ回路（ＩＣ）１４をアレイ基板３０に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【０８０８】
本発明の１実施形態は、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより、基板３０を低コスト化できる。
【０８０９】
ソースドライバ回路（ＩＣ）１４は、単位トランジスタ１５４をＮチャンネルトランジスタで形成することが必要になる。しかし、Ｐチャンネルのみのプロセスでは、ソースドライバ回路（ＩＣ）１４は基板３０に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路（ＩＣ）１４を作製し、基板３０に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。
【０８１０】
また、単位トランジスタ１５４の面積を同一とした場合、Ｎチャンネルで形成した単位トランジスタ１５４のばらつきは、Ｐチャンネルで形成した単位トランジスタのばらつきに比較して、７０％になる。つまり、Ｎチャンネルで単位トランジスタ１５４を形成する方が、同一トランジスタ形成面積でバラツキを小さくすることができる。検討の結果によれば、Ｐチャンネルの単位トランジスタのバラツキをＮチャンネルの単位トランジスタと同一にするためには、２倍の形成面積が必要であった（図１５９参照のこと）。
【０８１１】
ソースドライバ回路（ＩＣ）１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板３０に積載してもよい。
【０８１２】
また、基板３０にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路（ＩＣ）１４の出力端子４３１を基板３０のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路（ＩＣ）１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路（ＩＣ）１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。
【０８１３】
また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。
【０８１４】
画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

【０８１５】
本発明では、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図１、図２、図６、図７、図８の画素１６の構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路（ＩＣ）１４の単位トラ

ンジスタ１５４にプログラム電流Ｉｗが流入するように構成することが重要である。
【０８１６】
したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路（ＩＣ）１４を基板に積載し、かつソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。
【０８１７】
また、Ｎチャンネルで形成した単位トランジスタ１５４はＰチャンネルで形成した単位トランジスタ１５４に比較して出力電流のバラツキが小さい。同一面積（Ｗ・Ｌ）の単位トランジスタ１５４で比較した場合、Ｎチャンネルの単位トランジスタ１５４はＰチャンネルの単位トランジスタ１５４に比較して、出力電流のばらつきは、１／１．５から１／２になる。この理由からもソースドライバＩＣ１４の単位トランジスタ１５４はＮチャンネルで形成することが好ましい。
【０８１８】
なお、図４２（ｂ）においても同様である。図４２（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４にプログラム電流Ｉｗが流入するように構成である。
【０８１９】
したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路（ＩＣ）１４を基板に積載し、かつソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。
【０８２０】
本発明では、画素１６の駆動用トランジスタ１１ａをＰチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ１５４をＮチャンネルで構成するとした。また、好ましくは、ゲートドライバ回路１２はＰチャンネルトランジスタで構成するとした。
【０８２１】
前述の逆の構成でも効果を発揮することは言うまでもない。画素１６の駆動用トランジスタ１１ａをＮチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＮチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ１５４をＰチャンネルとする構成である。なお、好ましくは、ゲートドライバ回路１２はＮチャンネルトランジスタで構成する。この構成も本発明の構成である。
【０８２２】
次に、プリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線１８などに寄生容量があると、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐＦ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。
【０８２３】
この課題を解決するためには、ソース信号線１８に画像データを書き込む前に、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、ソース信号線１８の電位レベルを画素のトランジスタ１１ａの黒表示電流（基本的にはトランジスタ１１ａはオフ状態）にすることが有効である。このプリチャージ電圧（プログラム電圧と同義あるいは類似）の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。
【０８２４】

プリチャージとは、ソース信号線１８に１Ｈの始めなどに、強制的に電圧を印加する方法である。電圧は、駆動用トランジスタ１１ａ（図１の場合を例示するが、これに限定されない。電圧駆動の画素構成でもよい）をオフ状態にするものである。駆動用トランジスタ１１ａがＰチャンネルの場合は、アノード電圧に近い電圧を印加する。つまり、オフ状態にする電圧を印加する。Ｎチャンネルの場合は、カソード電圧に近い電圧を印加する。

【０８２５】

プリチャージとは駆動用トランジスタ１１ａをオフ状態（立ち上がり電圧以下の状態）またはその近傍の電圧を印加するものである。もしくは、図１３５～１３９などのように複数のプリチャージ電圧（プログラム電圧と同義あるいは類似）を用いる（低階調プリチャージ駆動）場合は、駆動用トランジスタ１１ａのゲート端子（Ｇ）に電圧を印加し、印加した電圧に応じて駆動用トランジスタ１１ａの出力電流を変化（制御）させるものである。また、プリチャージ駆動は、画素トランジスタ１１ａに黒電圧を書き込むものである。また、画素トランジスタ１１ａをカットオフ状態にする駆動方法である。また、コンデンサ１９の端子電圧をトランジスタ１１ａがオフする電圧を書き込むものである。

【０８２６】

以上のようにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するとは、駆動用トランジスタ１１ａを強制的にオフ状態にする電圧を印加する方式である。また、ソース信号線１８に電圧を印加し、強制的に充放電させることをいう。

【０８２７】

プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するとしたが、ソース信号線１８の電位を変化させるには、電圧の印加だけでなく、電流を印加（充電又は放電）してもソース信号線１８の電位を変化させることができる。したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する技術的思想は、プリチャージ電流を印加することも含まれる。

【０８２８】

プリチャージ電圧（プログラム電圧と同義あるいは類似）（電流）は１水平走査期間に１度印加することに限定するものではなく、１水平走査期間に複数回分割して印加してもよい。また、複数水平走査期間に１度印加するように制御してもよい。また、１フレームまたは１フィールド期間に１度以上印加してもよく、複数フィールドまたは１フレームに複数回あるいは１回印加してもよいことは言うまでもない。

【０８２９】

また、１水平走査期間または１フレームなどに複数回印加する場合は、複数回内でプリチャージ電圧（プログラム電圧と同義あるいは類似）の大きさを変化してもよく、複数回内で印加期間を変化させてもよいことは言うまでもない。また、印加位置（ソース信号線１８の両端と中央部など）を変化させてもよい。印加位置はフレームまたは水平走査期間で変化させてもよい。

【０８３０】

本発明は、駆動用トランジスタがＰチャンネルにし、プリチャージ電圧（プログラム電圧と同義あるいは類似）をアノード電圧Ｖｄｄ以下（アノード電圧Ｖｄｄ－１．５（Ｖ）とすることを特徴としている。また、Ｒ、Ｇ、Ｂで少なくとも１つは他のプリチャージ電圧（プログラム電圧と同義あるいは類似）を異ならせることができるように構成していることを特徴としている。たとえば、Ｒ、Ｇ、Ｂごとに図７５の構成をソースドライバＩＣ１４内に構成あるいは形成する。

【０８３１】

本発明は、１つのソースドライバ回路（ＩＣ）１４内にＲ、Ｇ、Ｂの出力回路（プログラム電流（電圧）出力回路など）を具備するとして説明しているが、これに限定するものではない。たとえば、Ｒ、Ｇ、Ｂそれぞれ個別の出力をだす３つのソースドライバ回路（ＩＣ）１４を設け、１つのアレイ基板３０などに実装してもよい。また、図７５などで説明するプリチャージ回路構成は、各Ｒ、Ｇ、ＢのＩＣチップ（回路）１４内にそれぞれ配置する。また、本発明は、１つのソースドライバ回路（ＩＣ）１４内にＲ、Ｇ、Ｂの３つの

プリチャージ回路などを配置することに限定されない。Ｒ、Ｇ、Ｂのうち、１つ以上のプリチャージ回路を配置または形成すればよい。ＲＧＢすべてにプリチャージしなくとも黒表示が良好に実施できる色のＥＬ素子１５があるからである。

【０８３２】

さらに、プリチャージについて説明をする。図６１７はプリチャージ回路の他の実施例である。図６６の実施例との差異は、プリチャージイネーブル（ＰＥＮ）とプリチャージセレクト（ＰＳＬ）などによりプリチャージスイッチ１５１ａが制御される点である。なお、制御スイッチをＯＰＶとする。なお、電流出力段のスイッチ６５６はＰＯ信号により制御される。

【０８３３】

図６１７では、スイッチ１５１ａをオンオフすることにより、端子１５５からプリチャージ電圧Ｖｐを出力し、スイッチ１５１ｂはＰＯ信号によりオンオフすることにより、プログラム電流Ｉｗを端子１５５からソース信号線１８に印加する。しかし、図６１７の構成では、スイッチ１５１ａが閉じ、プリチャージ電圧Ｖｐが端子１５５に印加された時には、電流出力回路１６４（単位トランジスタ群４３１ｃ）にもプリチャージ電圧Ｖｐが印加される。電流出力回路１６４にプリチャージ電圧が印加されると電流出力回路１６４に異状動作が発生する場合がある。

【０８３４】

この課題に対しては、図６１８に図示するように、スイッチ１５１ｂを電流出力回路１６４とＡ点との間に配置し、ＯＰＶ信号をインバータ１４２でロジック反転してスイッチ６５６を制御するように構成する。つまり、スイッチ１５１ａが閉じている時は、スイッチ６５６は開く（オープン）状態となるようにする。このように構成することにより、端子１５５にプリチャージ電圧Ｖｐが印加されている時は、スイッチ１５１ｂは開いているために、電流出力回路１６４にはプリチャージ電圧は印加されない。このタイミングチャートを図６１９（ａ）に図示する。図６１９（ａ）において、ＯＰＶ信号がＨになっている期間ｔには、ＰＯ信号はＬとなっている。さらに好ましくは、スイッチ１５１ａが閉じている期間の前後には、スイッチ１５１ｂがオフ（開いている）になっていることが好ましい。つまり、図６１９（ｂ）に図示するように、ＯＰＶ信号がＨになっている期間の前後を含めたｔ２の期間の間ＰＯ信号がＬレベルにする。スイッチ１５１ａのオンオフによる過渡現象の悪影響を防止するためである。

【０８３５】

プリチャージの電圧は、図５５８に図示するように、一定電圧を分圧させて、複数のプリチャージ電圧を発生させてもよい。図５５８では、Ｖｐ電圧を抵抗Ｒで分圧し、分圧した電圧はオペアンプ５０２を介してインピーダンスを低下させ、プリチャージ電圧Ｖｐ１およびＶｐ２電圧を発生させている。プリチャージ電圧（Ｖｐ１、Ｖｐ２）は、画像データに応じていずれかを選択し、端子１５５より出力する。出力電圧の選択は、スイッチ１５１ａ、１５１ｂで行う。

【０８３６】

図１８６はプリチャージ駆動の説明図である。図１８６（ａ）は駆動用トランジスタ１１ａがＰチャンネルの場合である。画素構成は図１を例示して説明しているが、これに限定するものではない。図２、図７、図１１、図１２、図１３、図２８、図３１などの他の画素構成のＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【０８３７】

プリチャージ電圧（プログラム電圧と同義あるいは類似）はソースドライバ回路（ＩＣ）１４が発生する。この点も本発明の特徴である。また、ソースドライバ回路（ＩＣ）１４はシリコンチップのＩＣである。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）は、駆動用トランジスタ１１ａがＰチャンネルの場合、Ｖｄｄ電圧以下でＶｄｄ－５．０（Ｖ）以上の電圧である。プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐは、画素選択トランジスタ１１ｃがオンし、駆動用トランジスタ１１ａのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。

【０８３８】
プリチャージ電圧（プログラム電圧と同義あるいは類似）は駆動用トランジスタ１１ａをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加された画素のトランジスタ１１ｄはオフ状態にされ、ＥＬ素子１５にはプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されないように制御されている。そのため、プリチャージ電圧（プログラム電圧と同義あるいは類似）によりＥＬ素子１５が不要な発光を行うことはない。
【０８３９】
図１８６（ｂ）は駆動用トランジスタ１１ａがＮチャンネルの場合である。プリチャージ電圧（プログラム電圧と同義あるいは類似）はソースドライバ回路（ＩＣ）１４が発生する。プリチャージ電圧（プログラム電圧と同義あるいは類似）は、駆動用トランジスタ１１ａがＮチャンネルの場合、Ｖｓｓ電圧以上Ｖｓｓ＋５．０（Ｖ）以下の電圧である。プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐは、画素選択トランジスタ１１ｃがオンし、駆動用トランジスタ１１ａのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧（プログラム電圧と同義あるいは類似）は駆動用トランジスタ１１ａをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加された画素のトランジスタ１１ｄはオフ状態にされ、ＥＬ素子１５にはプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されないように制御されている。そのため、プリチャージ電圧（プログラム電圧と同義あるいは類似）によりＥＬ素子１５が不要な発光を行うことはない。
【０８４０】
図１８７（ａ）は、図１３のように画素構成がカレントミラー構成の場合である。駆動用トランジスタ１１ｂがＰチャンネルの場合である。プリチャージ電圧（プログラム電圧と同義あるいは類似）はソースドライバ回路（ＩＣ）１４が発生する。プリチャージ電圧（プログラム電圧と同義あるいは類似）は、駆動用トランジスタ１１ａがＰチャンネルの場合、Ｖｄｄ電圧以下でＶｄｄ－５．０（Ｖ）以上の電圧である。プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐは、画素選択トランジスタ１１ｃがオンし、駆動用トランジスタ１１ａのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。
【０８４１】
プリチャージ電圧（プログラム電圧と同義あるいは類似）は駆動用トランジスタ１１ａをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ１１ｄはオフ状態にされ、ＥＬ素子１５にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧によりＥＬ素子１５が不要な発光を行うことはない。
【０８４２】
図１８７（ｂ）に図示するように、トランジスタ１１ｄは必ずしも必要ではない。特に、図１３のようにカレントミラー回路構成では不要である。また、図１８６（ｂ）で図示するように、図１８７においても駆動用トランジスタ１１ｂをＮチャンネルで構成できることも言うまでもない。
【０８４３】
以上のプリチャージ駆動の一例を図示すれば、図５６５から図５６８になる。なお、プリチャージ電圧は、電子ボリウムなどで自由に設定できるように構成することが好ましい。
【０８４４】
図５６５から図５６９において、上段の図面は、プリチャージを印加していない状態のソース信号線１８電位を示している。画素１６の駆動用トランジスタはＰチャンネルとしている。また、画素データは理解を容易にするために６４階調として表示している。したがって、プリチャージ電圧（ＰＲＶ）は、アノード電圧（Ｖｄｄ）に近い電圧を印加する

。プリチャージ電圧（ＰＲＶ）を印加することのより、駆動用トランジスタに電流を流れないようにする。あるいは電流が流れにくいようにする。つまり、画素１６を黒表示にする。駆動用トランジスタがＮチャンネルの場合は、プリチャージ電圧はグランド（ＧＮＤ）電位またはカソード電圧（Ｖｓｓ）に近い電圧を印加し、駆動用トランジスタに電流が流れないようにする。

【０８４５】

以上は、プリチャージ電圧の印加により画素を黒表示あるいは黒表示に近い状態にする方法の場合である。しかし、プリチャージ電圧を印加することにより、白表示にする場合もある。したがって、プリチャージ電圧の印加とは、黒表示電圧だけではない。ソース信号線１８に電圧印加により、ソース信号線１８に一定電位にする方法である。

【０８４６】

図１など、画素１６の駆動用トランジスタ１１ａがＰチャンネルの場合は、スイッチング用トランジスタ１１ｂもＰチャンネルで形成することが重要である。スイッチング素子１１ｂがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。したがって、画素１６の駆動用トランジスタ１１ａがＮチャンネルの場合は、スイッチング用トランジスタ１１ｂもＮチャンネルで形成することが重要である。スイッチング素子１１ｂがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。

【０８４７】

下段は、ソース信号線１８にプリチャージ電圧（ＰＲＶ）を印加した時にソース信号線電位を図示している。矢印の箇所がプリチャージ電圧（ＰＲＶ）の印加位置を示している。なお、プリチャージ電圧の印加位置は、１Ｈの最初に限定するものではない。１／２Ｈまでの期間にプリチャージ電圧を印加すればよい。なお、ソース信号線１８にプリチャージ電圧を印加するときは、選択側のゲートドライバ１２ａのＯＥＶ端子を操作し、いずれのゲート信号線１７ａも選択されていない状態にすることが好ましい。

【０８４８】

図５６５はＡｌｌプリチャージモードである。１Ｈの最初にプリチャージ電圧（ＰＲＶ）をソース信号線に印加している。ソース信号線１８にプリチャージ電圧（ＰＲＶ）を印加することのより、一端ソース信号線１８は黒表示電圧が印加される。

【０８４９】

図５６６は選択プリチャージモードであり、０階調（完全黒表示）にのみプリチャージ電圧を印加した時のソース信号線電位を示している。

【０８５０】

図５６７は選択プリチャージモードであり、８階調以下の場合はプリチャージ電圧を印加した時のソース信号線電位をしめしている。

【０８５１】

また、図５６８は適応プリチャージモードであり、０階調にのみプリチャージを行い、かつ０階調が連続する場合は、１度プリチャージを行ったのちは、連続する０階調目にはプリチャージを行わないものである。図５６８の適応プリチャージモードにおいて、８階調以下に選択プリチャージを行う場合は、８階調以下が連続する場合は、１度プリチャージを行ったのちは、連続する８階調目以下にはプリチャージを行わないものである。

【０８５２】

電流駆動（電流プログラム）方式の場合は、ソース信号線１８に流れる電流の大きさが小さい。したがって、ソース信号線１８がフローティング状態になり、電位が不確定になる場合がある。この対策として、プリチャージ電圧をソース信号線１８に印加し、ソース信号線１８の電位を安定化させる方法が例示される。

【０８５３】

図５６９は、プリチャージ電圧をソース信号線１８に印加することのより安定化させた実施例である。１フィールドあるいは１フレームの最後もしくは最初にソース信号線１８にプリチャージ電圧を一斉に印加している。図５７０はその変形例である。第１フィール

ドでは奇数番目のソース信号線１８にプリチャージ電圧を印加し、第２フィールドでは、偶数番目のソース信号線１８にプリチャージ電圧を印加している。

【０８５４】

プリチャージ電圧は、図５７１に図示するように、表示期間よりも１Ｈ以上前に印加することが好ましい。図５７１では、Ｂ＝２Ｈ（２水平走査期間）前にプリチャージを行っている。表示期間の直前にプリチャージを行うと、プリチャージによりソース信号線１８の電位が大きく変動し、画像表示の最初の画素行の輝度が低下し悪影響が出る場合があるからである。

【０８５５】

図７５に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（ＩＣ）１４の一例を示す。図７５では、６ビットの定電流出力回路１６４の出力段にプリチャージ機能を搭載した場合を示している。

【０８５６】

図７５では、プリチャージ電圧を印加すると、内部配線１５０のＢ点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段１６４にも印加されることになる。しかし、電流出力段１６４は定電流回路であるから、高インピーダンスである。そのため、定電流回路１６４にプリチャージ電圧が印加されても回路の動作上問題は発生しない。

【０８５７】

プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージと呼ぶ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。

【０８５８】

好ましくは、階調データの階調０から全階調の１／８の領域の階調領域で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。

【０８５９】

特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。階調０のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

【０８６０】

プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。

【０８６１】

最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好

ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。
なお、プリチャージ電圧は、図１のアノード電圧Ｖｄｄ－０．５（Ｖ）以下、アノード電圧Ｖｄｄ－２．５（Ｖ）以上にすることが好ましい。

【０８６２】

階調０のみをプリチャージする方法にあっても、Ｒ、Ｇ、Ｂの一色あるいは２色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることも有効である。特に表示画面１４４の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、０階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。

【０８６３】

また、全くプリチャージしない第０モード、階調０のみをプリチャージする第１モード、階調０から階調３の範囲でプリチャージする第２モード、階調０から階調７の範囲でプリチャージする第３モード、全階調の範囲でプリチャージする第４モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（ＩＣ）１４内においてロジック回路を構成（設計）することにより容易に実現できる。

【０８６４】

以上の信号の印加状態により、スイッチ１５１ａがオンオフ制御され、スイッチ１５１ａオンの時、プリチャージ電圧ＰＶがソース信号線１８に印加される。なお、プリチャージ電圧ＰＶを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は１水平走査期間（１Ｈ）の１／１００以上１／５以下の時間に設定することが好ましい。たとえば、１Ｈが１００μｓｅｃとすれば、１μｓｅｃ以上２０μｓｅｃ（１Ｈの１／１００以上１Ｈの１／５以下）とする。さらに好ましくは、２μｓｅｃ以上１０μｓｅｃ（１Ｈの２／１００以上１Ｈの１／１０以下）とする。

【０８６５】

一致回路１６１の出力と、カウンタ回路１６２の出力とが、ＡＮＤ回路１６３でＡＮＤされ、一定期間、黒レベル電圧Ｖｐを出力するように構成されている。

【０８６６】

図７５は、プリチャージ電圧を階調に応じて変化できるように構成した実施例である。図７５では印加する画像データに応じてプリチャージ電圧を変化させることが容易に実現できる。プリチャージ電圧は画像データ（Ｄ３～Ｄ０）によって、電子ボリウム５０１により変化させることができる。図７５では、Ｄ３～Ｄ０ビットは電子ボリウムに接続されていることから、低階調のプリチャージ電圧が変更できるようにしていることがわかる。これは、黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。

【０８６７】

したがって、低階調領域になるにしたがって、プリチャージ電圧を高くする。画素１６の駆動用トランジスタ１１ａをＰチャンネルとしているため、アノード電圧（Ｖｄｄ）がもっと黒表示電圧である。高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）する。つまり、低階調表示では、電圧プログラム方式が実施され、高階調表示（白表示）では、電流プログラム方式が実施されていることになる。

【０８６８】

もちろん、図７５は階調に応じてプリチャージ電圧を変化するだけでなく、温度あるいは点灯率、基準電流比、ｄｕｔｙ比に応じてプリチャージ電圧を変化あるいは制御してもよい。また、温度あるいは点灯率、基準電流比、ｄｕｔｙ比に応じてプリチャージ電圧の印加時間を変化あるいは制御してもよい。

【０８６９】

図７５のプリチャージ回路では、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとかを選択できる。また、各階調に対するプリチャージ電圧も電子ボリウム５０１で変更できる。

【０８７０】

ソース信号線１８に印加する画像データにより、プリチャージ電圧ＰＶ印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。

【０８７１】

たとえば、１Ｈ前にソース信号線に画素を白表示にする電流と書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流と書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。もちろん、点灯率によりプリチャージ時間を制御（可変）してもよい。

【０８７２】

印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素トランジスタ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）するという制御方法も有効である。

【０８７３】

画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

【０８７４】

プリチャージ制御は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという方法が例示される。

【０８７５】

なお、実験および検討結果によれば、有機ＥＬ表示パネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。

【０８７６】

以前にも説明をしたが、図７６に図示するように、ＲＧＢの画像データ（ＲＤＡＴＡ、ＧＤＡＴＡ、ＢＤＡＴＡ）は各８ビットである。ＲＧＢ各８ビットの画像データは、ガンマ回路７６４でガンマ変換されて、１０ビット信号となる。ガンマ変換された信号は、フレームレートコントロール（ＦＲＣ）回路７６５でＦＲＣ処理されて、６ビットの画像データに変換される。プリチャージ制御回路（ＰＣ）７６１は、変換された６ビットの画像データからプリチャージ制御信号（プリチャージする時はＨレベルとし、プリチャージしな

い時はＬレベルとする）を発生させる。このプリチャージ制御信号を発生させる方式については後に説明をする。

【０８７７】

なお、ＦＲＣは１０ビット信号を８ビットもしくは６ビット処理することが、画像の破綻もなく好ましい。

【０８７８】

図７７は、ソースドライバ回路（ＩＣ）１４のプリチャージ回路７７３を中心とするブロック図である。プリチャージ回路７７３とは、プリチャージ制御回路７６１によりプリチャージ制御信号ＰＣ信号（赤（ＲＰＣ）、緑（ＧＰＣ）、青（ＢＰＣ））が出力される。このＰＣ信号は図７６に図示するコントロールＩＣ８１のプリチャージ制御回路７６１により発生し、ＰＣ信号は、図７７に図示するソースドライバＩＣ１４のセレクタ回路７７２に入力される。

【０８７９】

セレクタ回路７７２は、メインクロックに同期して出力段に対応するラッチ回路７７１に順次ラッチしていく。ラッチ回路７７１はラッチ回路７７１ａとラッチ回路７７１ｂの２段構成である。ラッチ回路７７１ｂは水平走査クロック（１Ｈ）に同期してプリチャージ回路７７３にデータを送出する。つまり、セレクタは、１画素行分の画像データおよびＰＣデータを順次ラッチしていき、水平走査クロック（１Ｈ）に同期して、ラッチ回路７７１ｂでデータをストアする。

【０８８０】

なお、図７７では、ラッチ回路７７１のＲ、Ｇ、ＢはＲＧＢの画像データ６ビットのラッチ回路であり、Ｐはプリチャージ信号（ＲＰＣ、ＧＰＣ、ＢＰＣ）の３ビットをラッチするラッチ回路である。

【０８８１】

プリチャージ回路７７３は、ラッチ回路７７１ｂの出力がＨレベルの時、スイッチ１５１ａをオンさせ、ソース信号線１８にプリチャージ電圧を出力する。電流出力回路１６４は画像データに応じて、プログラム電流をソース信号線１８に出力する。

【０８８２】

図７６、図７７の構成を概略的に図示すれば、図７８の構成となる。なお、図７８、図７９は１つの表示パネルに複数のソースドライバ回路（ＩＣ）１４を積載した構成（ソースドライバＩＣのカスケード接続）である。また、図７８、図７９のＣＳＥＬ１、ＣＳＥＬ２はＩＣチップのセレクト信号である。ＣＳＥＬ信号によりどちらにＩＣチップを選択し、画像データおよびＰＣ信号を入力するかを決定する。

【０８８３】

図７７、図７８の構成では、各ＲＧＢ画像データに対応して、プリチャージコントロール（ＰＣ）信号を発生させている。プリチャージの印加は、以上のようにＲＧＢごとに行うことが好ましい。しかし、動画表示、自然画表示では、ＲＧＢごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、ＲＧＢを輝度信号に変換し（換算し）、輝度によりプリチャージをするかしないかを判断してもよい。このようにしたのが、図７９の構成である。

【０８８４】

図７８の構成では、ＰＣ信号は３ビット必要である（ＲＰＣ、ＧＰＣ、ＢＰＣ）が、図７９の構成では、ＰＣ信号はＲＧＢＰＣの１ビットでよい。したがって、図７７のラッチ回路７７１においても、Ｐは１ビットのラッチでよい。なお、以降の説明では、説明を容易にする点、作図を容易にする観点から、ＲＧＢを考慮せずに説明を行う。

【０８８５】

以上の本発明の構成は、コントローラ回路（ＩＣ）７６０が画像データに基づいてＰＣ信号（プリチャージ制御信号）を発生する点、ソースドライバＩＣ１４がＰＣ信号をラッチし１Ｈの同期信号に同期してソース信号線１８に印加する点に特徴がある。また、コントローラ８１は図７６に図示するように、プリチャージモード（ＰＭＯＤＥ）信号により

、プリチャージ信号の発生を容易に変更することができる。
【０８８６】
たとえば、ＰＭＯＤＥとは、階調０のみをプリチャージするモード、階調０－７など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。
【０８８７】
１画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。
【０８８８】
プリチャージをするかしないかの判定は、１画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、あるソース信号線１８に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線１８の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ８１に１画素行分（ＦＩＦＯのため２ラインのメモリが必要）のラインメモリを形成（配置）することのより容易に実現できる。
【０８８９】
また、本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これに限定するものではない。１水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線１８に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線１８に書込み、その後にプログラム電流をソース信号線１８に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の技術的範疇である（本発明の範囲内である）。
【０８９０】
たとえば、図７５では電子ボリウム５０１を切り換えることによりプリチャージ電圧が変化する。この電子ボリウム５０１を電流出力の電子ボリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせることにより容易に実現できる。本発明では説明を容易にするため、プリチャージ駆動はプリチャージ電圧で行うとして説明をする。
【０８９１】
プリチャージ電圧（電流）の印加は、一定のプリチャージ電圧（電流）を印加することに限定するものではない。たとえば、複数のプリチャージ電圧をソース信号線に印加してもよい。たとえば、第１のプリチャージ電圧５（Ｖ）を５（μｓｅｃ）印加した後、第２のプリチャージ電圧４．５（Ｖ）を５（μｓｅｃ）印加する方法である。その後に、プログラム電流Ｉｗをソース信号線１８に印加する。
【０８９２】
プリチャージ電圧駆動は、印加する電圧波形を鋸波状に変化させたものでもよい。また、矩形波を印加してもよい。また、正規のプログラム電流（電圧）にプリチャージ電圧（電流）を重畳させてもよい。また、プリチャージ電圧（電流）の大きさ、プリチャージ電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。また、画像データの値などに応じて、印加波形の種類、プリチャージ電圧の値などを変化させてもよい。
本発明は電流駆動方式において、プリチャージ電圧（電流）を印加するとして説明をするが、プリチャージ駆動は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、ＥＬ素

子１５を駆動する駆動用トランジスタサイズが大きいため、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。この課題に対して、プログラム電圧を印加する前に、プリチャージを実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書込みを実現できる。

【０８９３】

したがって、本発明のプリチャージ駆動方式は、電流プログラム駆動に限定されるものではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図１などを参照のこと）を例示して説明をする。

【０８９４】

本発明の実施例において、プリチャージ駆動方式は、駆動用トランジスタ１１ａのみに作用するものではない。たとえば、図１１、図１２、図１３の画素構成において、カレントミラー回路を構成するトランジスタ１１ａにも作用して効果を発揮する。本発明のプリチャージ駆動方式は、ソースドライバ回路（ＩＣ）１４からみたソース信号線１８の寄生容量を充放電することを１つの目的としているが、当然のことながらソースドライバ回路（ＩＣ）１４内の寄生容量も充放電されることも目的としている。

【０８９５】

プリチャージ電圧（電流）は、黒表示を良好にすることを１つの目的としているが、これに限定されるものではない。白表示を書込み易くする白書込みプリチャージ電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプリチャージ駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書込み易くするための、所定の電圧（電流）を印加し、予備充電するものである。

【０８９６】

本発明は、黒表示でプリチャージするとして説明をするが、これは、基本的には駆動用トランジスタ１１ａからソースドライバ回路（ＩＣ）１４に吸い込み電流で実施する場合である。駆動用トランジスタ１１ａなどがＮチャンネルトランジスタの場合は、ソースドライバ回路（ＩＣ）１４からは吐き出し電流でプログラムすることになる。この場合は、白表示で書込みにくい画素構成の場合も発生する。したがって、本発明のプリチャージ駆動方法は、ソース信号線１８などを所定電位に変化させるものであって、白表示でプリチャージするとか、黒表示でプリチャージするとかは実施形態にすぎない。したがって、これらに限定されるものではない。

【０８９７】

プリチャージ電圧（電流）の印加タイミングは、プログラム電圧（電流）を書き込む画素行を選択した状態でプリチャージ電圧（電流）を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態で、ソース信号線１８にプリチャージ電圧（電流）を印加して予備充電を行ない、その後、プログラム電流（電圧）を書き込む画素行を選択してもよい。

【０８９８】

プリチャージ電圧は、ソース信号線１８に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（Ｖｄｄ）またはカソード端子への印加電圧（Ｖｓｓ）を変化させてもよい（プリチャージ電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ１１ａの書込み能力が拡大される。したがって、プリチャージ効果が発揮される。特に、アノード電圧（Ｖｄｄ）をパルス的に変化させる方式を実施する効果が高い。

【０８９９】

図２３６に図示するように点灯率に対して、アノード電圧とプリチャージ電圧とを変化させてもよい。また、図２３８に図示するように基準電流比に対してプリチャージ基準電圧（Ｖｂｖ）の大きさを変化させてもよい。プリチャージ基準電圧（Ｖｂｖ）は図２３９に図示するように（図１２７から図１４３およびその説明を参照のこと）、基準電流Ｉｃを用いたＩ－Ｖ変換回路２３９１で発生することができる。

【０９００】

点灯率、基準電流、アノード（カソード）端子のアノード（カソード）電流に対して、ゲートドライバ回路１２のオン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）も変化させてもよい。特にアノード電圧Ｖｄｄが上昇させるときは連動してＶｇｈ電圧も上昇させることが好ましい。

【０９０１】

本発明の実施例では、点灯率あるいはアノード（カソード）端子のアノード（カソード）電流によりｄｕｔｙ比、基準電流比などを可変あるいは制御するとして説明するが、点灯率あるいはアノード端子などの電流は電流駆動方式ではプログラム電流Ｉｗに比例する。したがって、プログラム電流Ｉｗあるいはプログラム電流の総和あるいは所定期間の和により、基準電流比（プリチャージ制御など以前あるいは以降に説明することも含む。たとえば、図１２７などの電圧プログラムと電流プログラムの切り換えタイミングなども含む）などを制御などすることも本発明の技術的範疇であることは明らかである。

【０９０２】

図７５などにおいて、プリチャージ電圧（もしくはプリチャージ電流）は、１水平走査期間（１Ｈ）ごとに変化させることも有効である（図２５７（ａ）に図示する）。また、図２５７（ｂ）に図示するように、複数水平走査期間で変化させてもよい。また、ランダムにプリチャージ電圧を印加し、平均の実効電圧が目標のプリチャージ電圧となるようにしてもよい。また、プリチャージ電圧を印加する画素行の画像データを演算（加算など）し、特に低階調の画像（映像）データの割合が多い時に、プリチャージ電圧（電流）を印加するように制御または構成してもよい。また、このプリチャージ電圧（電流）は、演算結果により変化さえる。これは、比較的階調が高い場合は、ＥＬ表示パネル内でハレーションが発生し、一定の低階調の画素は輝度が浮いて高くなるからである。したがって、一定の低階調以下の画素１６にはプリチャージ電圧を印加することにより、より完全な黒表示を実現し、画像のコントラスト感を高くすることができる。

【０９０３】

印加するプリチャージ電圧は一定の低階調の画素には一定の電圧を印加（一定の低階調の画素は黒つぶれ表示になる）してもよいし、また、図７５のプリチャージ電圧の変更データＤの値を制御してプリチャージ電圧を画素に印加する画像データに応じて変化させてもよい。

【０９０４】

このように場合に応じて、プリチャージ電圧（電流）を変化できるのは、図７５に図示するように、ソースドライバ回路（ＩＣ）１４内に電子ボリウム５０１を内蔵していることに起因する効果が大きい。つまり、ソースドライバ回路（ＩＣ）１４の外部からデジタル的にプリチャージ電圧などを変化させることができるからである。この変化を実現するデジタルデータＤはコントローラＩＣ（回路）７６０で発生させる。したがって、ソースドライバ回路（ＩＣ）１４とコントローラＩＣ（回路）７６とは機能分離され、設計あるいは変更が容易となる。

【０９０５】

以上は１Ｈ期間内にプリチャージ電圧などを変化させるとしたが、本発明はこれに限定するものではない。複数画素行（たとえば、１０画素行）内の画像（映像）データを演算し、変更データＤを設定してプリチャージ電圧（電流）を印加してもよい（図２５７（ｂ）を参照のこと）。また、１フレーム（フィールド）あるいは複数フレーム（フィールド）内の画像（映像）データを演算し、プリチャージ電圧（電流）を印加してもよい。

なお、プリチャージ電圧（電流）は画像（映像）データを演算することにより、変更あるいは所定の電圧として、画素１６あるいは画素行に印加するとしたが、これに限定するものではない。たとえば、あらかじめ、印加するプリチャージ電圧（電流）を固定しておき、このプリチャージ電圧などを印加してもよく、また、複数のプリチャージ電圧などをあらかじめ選択しておき、このプリチャージ電圧などを順次あるいはランダムに画素あるいは画素行あるいは画面全体に印加できるように制御してもよいことは言うまでもない。また、演算結果などにより、プリチャージ電圧などを印加しない場合もあることはいうまで

もない。

【０９０６】

また、プリチャージ電圧（電流）などは、フレームレートコントロール（ＦＲＣ）の技術を用いて実施してもよい。つまり、プリチャージ電圧などを印加する画素あるいは画素行に対して、複数のフレーム（フィールド）で、プリチャージ電圧などを印加したり、印加しなかったりすることにより、複数フレーム（フィールド）で階調表示できる（この場合は、プリチャージ電圧などの印加により階調表示されることになる）。以上のようにＦＲＣを実施することにより、少ないプリチャージ電圧（電流）の種類で適切な黒表示あるいは階調表示を実現することができる。

【０９０７】

プリチャージ電圧Ｖｐｃは、図２５８などで図示するように、電子ボリウム５０１の出力をオペアンプ回路５０２に印加し、オペアンプ回路５０２を介して発生させる。この電子ボリウム５０１の電源電圧（基準電圧）Ｖｓと駆動用トランジスタ１１ａのソース端子電位（アノード端子電圧）Ｖｄｄとは共通にすることが好ましい。プリチャージ電圧Ｖｐｃは、駆動用トランジスタ１１ａのアノード電位を基準としているからである。

【０９０８】

以上の実施例では、プリチャージ電圧などを演算などし、画素１６などに印加するとした。印加は演算後すぐに行うのではなく、遅延時間をもたせて実施してもよい。また、プリチャージ電圧などを順次あるいはランダムに変化などさせる時は、徐々にあるいは変化をゆっくりと、もしくは、ヒステリシスをもたせて行うことが好ましい。急激なプリチャージ電圧の変化は画像にスジ状の表示が発現すること、画像表示にフリッカが発生することがあるからである遅延時間などの技術的思想は図９８あるいは他の実施例で説明しているので、この思想を直接にあるいは類似に適用すればよいので説明を省略する。

【０９０９】

ＦＲＣの動作も点灯率に応じて変化などしてもよいことは言うまでもない。変化とは、ＦＲＣをするかしないかの制御、ＦＲＣをどの階調に実施するかの制御、ＦＲＣの変換ビット数の制御などである。

【０９１０】

たとえば、点灯率が高いときは、白ラスターに近い表示である。したがって、画面全体が白っぽく、ＦＲＣをする必要がない場合が多い。一方で点灯率が低い場合は、画面全体的に黒表示部が多い。この場合は、ＦＲＣを実施し、階調の再現性を高める必要がある。以上は、点灯率によりＦＲＣを変化させるとして説明したが、本発明はこれに限定するものではない。たとえば、基準電流を上昇させると、面全体が白っぽく、ＦＲＣをする必要がない場合が多い。一方で基準電流が低い場合は、画面全体的に黒表示部が多い。この場合は、ＦＲＣを実施し、階調の再現性を高める必要がある。以上の事項はｄｕｔｙ比制御にも適用できる。また、アノード（カソード）電流に変化に対応してＦＲＣ変化を実施してもよいことは言うまでもない。

【０９１１】

また、図２５９に図示するように点灯率に応じて、ＦＲＣを変化させることも有効である。図２５９において、点灯率０～２５％では、８ＦＲＣ（８フレームまたは８フィールドを用いて階調表示するＦＲＣ）を実施している。したがって、階調表示数が向上する。点灯率２５～５０％では、４ＦＲＣ（４フレームまたは４フィールドを用いて階調表示するＦＲＣ）を実施している。同様に、点灯率５０～７５％では、２ＦＲＣ（２フレームまたは２フィールドを用いて階調表示するＦＲＣ）を実施し、点灯率７５～１００％では、ＦＲＣしない。つまり、点灯率に応じて最適なＦＲＣ制御を実施する。一般的に低点灯率では、暗い画像が多いため、ガンマ係数を小さくするとともに、ＦＲＣのフレーム数を多くして階調表現を向上させることが必要である。

【０９１２】

本明細書において、点灯率に応じてｄｕｔｙ比制御などを変化させるとして説明する。しかし、点灯率とは、一定の意味ではない。たとえば、低点灯率とは、画面１４４に流れ

る電流が小さいことを意味しているが、画像を構成する低階調表示の画素が多いことも意味する。つまり、画面１４４を構成する映像は、暗い画素（低階調の画素）が多い。

【０９１３】

したがって、低点灯率とは、画面を構成する映像データのヒストグラム処理をした時、低階調の映像データが多い状態と言い換えることができる。高点灯率とは、画面１４４に流れる電流が大きいことを意味しているが、画像を構成する高階調表示の画素が多いことも意味する。つまり、画面１４４を構成する映像は、明るい画素（高階調の画素）が多い。高点灯率とは、画面を構成する映像データのヒストグラム処理をした時、高階調の映像データが多い状態と言い換えることができる。つまり、点灯率に対応して制御するとは、画素の階調分布状態あるいはヒストグラム分布に対応して制御することと同義あるいは類似の状態を意味することがある。

【０９１４】

以上のことから、点灯率にもとづいて制御するとは、場合に応じて画像の階調分布状態（低点灯率＝低階調画素が多い。高点灯率＝高階調画素が多い。）にもとづいて制御すると言い換えることができる。たとえば、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってｄｕｔｙ比を小さくするとは、低階調の画素数が多くなるにしたがって、基準電流比を増加させ、高階調の画素数が多くなるにしたがってｄｕｔｙ比を小さくすると言い換えることができる。または、低点灯率になるにしたがって基準電流比を増加させ、高点灯率になるにしたがってｄｕｔｙ比を小さくするとは、低階調の画素数が多くなるにしたがって基準電流比を増加させ、高階調の画素数が多くなるにしたがってｄｕｔｙ比を小さくするのと同一あるいは類似の意味あるいは動作もしくは制御である。

【０９１５】

また、たとえば、所定の低点灯率以下で基準電流比をＮ倍し、かつ選択信号線数をＮ本にする（図２７７～図２７９などを参照のこと）とは、低階調の画素数が一定以上の時に、基準電流比をＮ倍し、かつ選択信号線数をＮ本にすることと同一あるいは類似の意味あるいは動作もしくは制御である。

【０９１６】

また、たとえば、通常は、ｄｕｔｙ比１／１で駆動し、所定の高点灯率以上で段階的にあるいはスムーズにｄｕｔｙ比を低下させるとは、低階調あるいは高階調の画素数が一定の範囲以内の時に、ｄｕｔｙ比１／１で駆動し、高階調の画素数が一定の以上数となった時に、段階的にあるいはスムーズにｄｕｔｙ比を低下させることと同一あるいは類似の意味あるいは動作もしくは制御である。

【０９１７】

また、図４４２に図示する駆動方法も本発明の範疇である。図４４２は、横軸を階調ｂ以下（図４４２では一例としてｂ＝１６としている）の画素の割合としている。階調１６以下の画素の割合が２５％とは、たとえば、表示パネルが１０万画素を有しており、２５６階調の場合において、２．５万画素が１６階調以下の画像表示であることを示している。したがって、結果的には横軸は、点灯率あるいはそれに類似した値あるいは指標を示すことになる。

【０９１８】

図４４２の実施例では、階調１６以下の画素の割合が、７５％以上で基準電流比を増大させ、輝度を一定にするためｄｕｔｙ比が低減している。また、階調１６以下の画素の割合が、２５％以下でパネルの消費電流を低減するため、ｄｕｔｙ比を低下させている。

【０９１９】

以上のように、点灯率に基づいてとは、所定の階調を定め、定めた階調以下あるいは以上の画素の割合によりもとづいてと置き換えることができる。以上の事項は本発明の他の実施例でも同様に適用できることは言うまでもない。

【０９２０】

以上の点灯率あるいは階調ｂ以下（以上）の画素の割合などに関する事項は、他の制御

（たとえば、プリチャージ電圧、ＦＲＣ、温度など）についても適用できることは言うまでもない。また、本発明の他の実施例に組み合わせてあるいは適用できることも言うまでもない。

【０９２１】

以上の実施例は、画像（映像）データなどにより、プリチャージ電圧、ＦＲＣなどを変化あるいは制御するとしたが、本発明はこれに限定するものではない。例えば、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度もしくはこれらの組合せにより、プリチャージ電圧（電流）の大きさを変化させてもよい。また、プリチャージ電圧の印加時間を変化させてもよい。

【０９２２】

たとえば、基準電流の大きさに応じてプログラム電流の大きさが変化し、駆動用トランジスタ１１ａを流れる電流が変化するからプリチャージ電圧の大きさも変化させることが好ましい。また、点灯率が高い時は、画面に白表示に近く、画面全体にハレーションが発生しているから黒浮きが発生している。そのため、画素１６にプリチャージ電圧などを印加しても効果がない。この場合は、プリチャージ電圧などの印加をやめた方が低消費電力化を実現できる。一方で低点灯率の場合は、画面に黒表示部が多く、ハレーションの発生も少ないため、画素１６に十分なプリチャージを行い、コントラスト感を向上させる必要がある。

【０９２３】

同様に、アノード（カソード）電流が大きい時は、画面に白表示部分が多いため、ハレーションが発生しやすい。この場合は、プリチャージ電圧などの印加が必要でない場合が多い。逆にアノード（カソード）電流が小さい時は、プリチャージ電圧などの印加が必須となる場合が多い。

【０９２４】

上記実施例では、画像（映像）データ、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度もしくはこれらの組合せにより、ＦＲＣあるいはプリチャージ電圧（電流）の大きさを変化させるとしたが、これに限定するものではない。画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、アノード（カソード）端子電圧（図１２２など）、アノード端子電圧とカソード端子電圧の電位差（図２８０など）、ｄｕｔｙ比、パネル温度などの変化の割合あるいは変化を予測して、ＦＲＣ、プリチャージ電圧などの制御を実施してもよいことはいうまでのない。

【０９２５】

以上のように、本発明は、画像（映像）データなどにより、ＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せにより、その結果などに対応してプリチャージ電圧（電流）の大きさ、プリチャージ電圧などの印加の有無、プリチャージ電圧などのＦＲＣ制御、プリチャージ電圧などの変化状態、プリチャージ印加期間などを制御する駆動方法である。なお、変化あるいは変更は図９８で説明するようにゆっくりとあるいは遅延させて実施することが好ましい。

【０９２６】

以上のように、本発明は第１の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第１のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

【０９２７】

また、第２の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第２のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。もしくは、点灯率（

アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、ＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させるものである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【０９２８】

以上のように、本発明は第１の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第１のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

【０９２９】

また、第２の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第２のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させるとしたが、本発明はこれに限定するものではない。たとえば、点灯率によりゲートドライバ回路１２のオン電圧またはオフ電圧もしくは両方の電圧を変化させてもよい。

【０９３０】

以上の記載で点灯率とは、画像の表示状態を示している。点灯率が低いとは黒表示が多い画像（低階調が多い画素または画像）を示しており、点灯率が高いとは、白表示が多い画像（高階調が多い画素または画像）を示している。また、点灯率とは、アノード端子に流れ込む電流（カソード端子から流れ出す電流）の大きさを示している。点灯率が低いとは黒表示が多い画像のため、アノード端子に流れ込む電流（カソード端子から流れ出す電流）は小さい。点灯率が高いとは白表示が多い画像のため、アノード端子に流れ込む電流（カソード端子から流れ出す電流）が大きい。本発明は、以上の事項を利用して、ｄｕｔｙ比、パネル温度、ＦＲＣ、基準電流などを変化させる。

【０９３１】

点灯率が低いとは黒表示が多い画像（低階調が多い画素または画像）を示している。黒表示が多い画像は、トランジスタ１１のリークにより輝点が発生したり、黒浮きが発生したりする。この対策のために、ゲートドライバ回路１２のオンオフ電圧を操作することは有効である。以下、その実施例について説明をする。

【０９３２】

有機ＥＬ素子１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【０９３３】

この課題に対処するため、本発明ではゲートドライバ回路１２（場合によってはソースドライバ回路（ＩＣ）１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。特に駆動用トランジスタ１１ａのゲート端子の電位位置（ｃで示す）とドレイン端子の電位位置（ａで示す）間に配置されたトランジスタ１１ｂを遮光することが好ましい。この構成を図３１４（ａ）（ｂ）に示している。特に表示パネルが黒表示の場合は、図３１４（ａ）（ｂ）におけるＥＬ素子１５のアノード端子の電位位置ｂの電位がカソード電位に近い。そのため、ＴＦＴ１７ｂがオン状態であると、電位ａも低くなる。そのため、トランジスタ１１ｂのソース端子とドレイン端子間の電位（ｃ電位とａ電位間）が大きくなり、トランジスタ１１ｂがリークしやすくなる。

【０９３４】

この課題に対しては、図３１４（ａ）（ｂ）に図示するように遮光膜３１４１を形成することが有効である。なお、遮光膜３１４１はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚３１４１が薄いと遮光効果が乏しく、厚いと

凹凸が発生して上層のトランジスタ１１のパターニングが困難になる。

【０９３５】

トランジスタ１１ｂのソース端子とドレイン端子間の電位（ｃ電位とａ電位間）が大きくなり、トランジスタ１１ｂがリークしやすくなるのであるから、ｃ電位とａ電位間の電圧を低下させればリークの発生は小さくなる。低下させるには、トランジスタ１１ｄのオン電圧（Ｖｇｌ２）を高くすることが有効である。なお、Ｖｇｌ２はゲートドライバ回路１２ｂのオン電圧である。

【０９３６】

黒表示でリークが目立つのであれば、点灯率が低い時に、オン電圧Ｖｇｌ２を高くすればよい。オン電圧Ｖｇｌ２を高くするとトランジスタ１１ｄが完全にオンしない。トランジスタ１１ｄのオン抵抗が高いためである。そのため、ａ点の電圧は低くならない。したがって、トランジスタ１１ｂのリークは発生しなくなる。一方で点灯率が高い場合、ＥＬ素子１５の端子電圧を高くなる。そのため、トランジスタ１１ｄはオン抵抗を低くする必要がある。

【０９３７】

以上の実施例を図３１５に図示している。図３１５の点線に図示するように点灯率が高い場合は、オン電圧Ｖｇｌ２を低下（－方向）にし、点灯率が低くなるにつれて、オン電圧Ｖｇｌ２を上昇させてトランジスタ１１ｄのオン抵抗を高くする。なお、点灯率はアノード（カソード）端子の電流の大きさに置き換えできることは言うまでもない。また、図３１５に点線のように図示場合だけでなく、実線のように点灯率制御してもよいことは言うまでもない。

【０９３８】

図３１５では、Ｖｇｌ２電圧を点灯率に対応して変化させるとした。トランジスタ１１ｂのリーク電流を減少させる方法として、図３０７に図示するようにカソード電圧Ｖｓｓを変化させてもよい。黒表示でリークが目立つのであれば、点灯率が低い時に、カソード電圧Ｖｓｓを高くすればよい。カソード電圧Ｖｓｓを高くするとトランジスタ１１ｄが完全にオンしない。トランジスタ１１ｄのオン抵抗が高いためである。したがって、トランジスタ１１ｂのリークは発生しなくなる。一方で点灯率が高い場合、ＥＬ素子１５の端子電圧を高くなる。そのため、トランジスタ１１ｄはオン抵抗を低くする必要があるため、オン抵抗を低くする必要がある。したがって、カソード電圧Ｖｓｓを低くする。なお、点灯率はアノード（カソード）端子の電流の大きさに置き換えできることは言うまでもない。また、図３１５に点線のように図示場合だけでなく、実線のように点灯率制御してもよいことは言うまでもない。

【０９３９】

Ｖｇｌ２は、ｄｕｔｙ比制御において変化させることも好ましい。ｄｕｔｙ比は基準電流の変更と同時に実施することが多い。たとえば、図１１６において、点灯率が２０％以下の範囲において、ｄｕｔｙ比を小さくする（画面１４４に占める非点灯領域１９２の割合を多くする）と伴に、基準電流比を大きくしている（１階調あたりのプログラム電流Ｉｗを大きくする）。ｄｕｔｙ比（図１１６（ａ））と基準電流比（図１１６（ｂ））を同時に制御することにより（ｄｕｔｙ比×基準電流比＝一定）、表示輝度（図１１６（ｃ））を変化させず、電流駆動方式のクロストークあるいは黒浮きの課題を解決することができる。

【０９４０】

図１１６の駆動方法では、ｄｕｔｙ比×基準電流比＝一定の駆動方法であるため、ｄｕｔｙ比の低下に伴い、アノード端子を流れる電流が増加します。したがって、アノードおよびカソード電圧が一定の固定制御であるならは、トランジスタ１１ｄはオン抵抗を低くする必要があるため、Ｖｇｌ２を低くしてオン抵抗を低くする必要がある。

【０９４１】

以上のことから、図３１８に図示するように、ｄｕｔｙ比の変化に対応してＶｇｌ２電圧を変化させることが好ましい。図３１８ではｄｕｔｙ比が１／１～１／２の範囲では、

Ｖｇｌ２＝０Ｖとしている。したがって、トランジスタ１１ｄのオン抵抗が比較的高く、トランジスタ１１ｂのリークなどが発生しにくい。そのため、黒浮きの発生を抑制できる。ｄｕｔｙ比が１／４以下の範囲では、Ｖｇｌ２＝－８Ｖとしている。したがって、トランジスタ１１ｄのオン抵抗が低く、駆動用トランジスタ１１ａに十分なプログラム電流を流すことができ、ＥＬ素子１５も飽和領域で良好に点灯させるができる。ｄｕｔｙ比が１／４～１／２の範囲では、Ｖｇｌ２を－８～０Ｖの範囲でｄｕｔｙ比あるいは基準電流比に応じて変化させる。

【０９４２】

以上の事項は、本発明の他の実施例でも同様に適用することができることは言うまでもない。また、他の実施例と組み合わせることができることは言うまでもない。図７８などでは、画素データはＲ、Ｇ、Ｂデータおよびプリチャージデータ（ＲＰＣ、ＧＰＣ、ＢＰＣ）をパラレルにソースドライバ回路（ＩＣ）１４に印加するとしたが、本発明はこれに限定するものではない。以上のようにパラレルに印加するように構成するとコントローラ８１とソースドライバＩＣ１４とを結ぶ配線数が多くなる。そのため、コントローラ８１のピン数が増加しコントローラサイズが大きくなるという課題がある。

【０９４３】

この課題に対して、本発明は、図８０に図示するように、画像データ（ＤＡＴ）６ビットと、コントロールデータ（ＤＣＴＬ）４ビットで構成し、１０ビットで画像データおよびプリチャージデータなどをコントローラ８１からソースドライバ回路（ＩＣ）１４に印加する。

【０９４４】

具体的には、従来（パラレルでＲＧＢデータを転送する場合）の１クロックの４倍クロックを用いてシリアルで画像転送を行う。つまり、図８０に図示（ＤＡＴを参照のこと）するように、従来の１クロック期間にＲデータ６ビット、Ｇデータ６ビット、Ｂデータ６ビット、制御データ６ビットを転送する。画像データ、制御データは設定データをして取り扱う。

【０９４５】

Ｒ、Ｇ、Ｂ、データとコントロールデータ（Ｄ）の識別は、ＤＣＴＬの４ビットで行う。以上のように画像データ、コントロールデータをシリアル転送（４相）で行うことによりコントローラ８１とソースドライバ回路（ＩＣ）１４を結線する配線数が減少し、コントロールＩＣを小型化できる。

【０９４６】

図８０は画像データ（ＤＡＴ）６ビットと、コントロールデータ（ＤＣＴＬ）４ビットで構成し、１０ビットで画像データおよびプリチャージデータなどをコントローラ８１からソースドライバ回路（ＩＣ）１４に印加する方式である。また、４倍クロックを用いてシリアルで画像転送を行っている実施例である。しかし、本発明はこれに限定されるものではない。たとえば、画像データであるＲＧＢデータと、コントロールデータＤとをシリアルで伝送し、画像データとコントロールデータの識別は、ＩＤ信号で行っても良い。ＩＤデータがＨレベルの時、画像データであることを意味し、Ｌレベルの時、コントロールデータであることを意味する。

【０９４７】

また、画像データをＲＧＢのシリアルで転送し、各画像データがプリチャージするか否かをプリチャージ識別信号ＰＲＣで行っても良い。ＰＲＣ信号がＨレベルの時、該当画像データはプリチャージしてからソース信号線１８に印加されるように制御され、Ｌレベルの時は、プリチャージしないように制御される。

【０９４８】

なお、図示するように、画像データと制御データをそれぞれシリアル伝送してもよいことは言うまでもない。もちろん、画像データをシリアル伝送し、制御データをパラレル伝送してもよい。

【０９４９】

以上の実施例は、ソースドライバ回路（ＩＣ）１４への入力データをシリアル伝送するものであった。本発明は、これに限定するものではない。たとえば、図８１に例示するように、差動信号にして伝送してもよい。差動信号にする手段として、ＬＶＤＳ、ＣＭＡＤＳ、ＲＳＤＳ、ｍｉｎｉ－ＬＶＤＳ、自己転送方式などが例示される。

【０９５０】

図８２は、シリアル映像データなどが、さらに高い周波数の差動信号に変換されて伝送され、また、差動信号がシリアル映像データなどに戻され、ソースドライバ回路（ＩＣ）１４に入力され、あるいは、さらにパラレルデータに変換されてソースドライバ回路（ＩＣ）１４に入力されている実施例である。つまり、映像データはシリアルデータおよび差動信号に変換されて伝送されている。なお、伝送にあたり、一部の区間あるいは、すべての区間、もしくは一部のデータ信号などがパラレル伝送されてもよいことは言うまでもない。

【０９５１】

図８１に図示するように、本体回路（たとえば、図１５６の１５６１など）の映像信号処理回路からのシリアルデータは、差動回路としてのトランスシーバ（トランスミッタ）（Ｔ）８１１ａで差動信号に変換される。差動信号に変換することにより、信号の振幅が減少し、ノイズの影響を受けにくくなり、また不要輻射も減少する。したがって、トランスシーバ（Ｔ）８１１ａとレシーバ（Ｒ）８１１ｂ間の距離を長くすることができる。また、信号線の本数も削減することができる。

【０９５２】

差動信号は、差動回路としてのレシーバ（Ｒ）８１１ｂによりシリアルデータに変換される。もちろん、一気に図８２のコントローラＩＣ８２１の機能を取り込みパラレルデータに変換してもよいことは言うまでもない。レシーバ（Ｒ）８１１ｂにより、トランシーバ８１１ａで差動信号変換前のシリアルデータに復元される。

【０９５３】

図８２は、レシーバ（Ｒ）８１１ｂの次段にシリアル－パラレル変換回路８２１が配置または形成された構成例である。シリアル－パラレル変換回路８２１（具体的にはＡＳＩＣからなるコントローラＩＣ（回路）（制御手段）が該当する。シリアル－パラレル変換回路８２１によりシリアルデータはパラレルデータに変換され、変換されたパラレルデータがソースドライバ回路（ＩＣ）１４に入力される。

【０９５４】

図１９０に図示するように、ソースドライバＩＣ１４に差動回路およびデコーダ回路を形成（構成）し、パネルモジュール１２６４の外部からコネクタ１８０１を介して、差動信号１９０１を直接にソースドライバＩＣ１６に入力できるように構成してもよいことは言うまでもない。

【０９５５】

制御データとは、たとえば、図１６、図７５などのプリチャージ制御データ、図５０、図６０、図６４、図６５などの電子ボリウムデータなど多種多様な制御データが例示される。

【０９５６】

また、図３１９に図示するように、映像データ（ＲＧＢ）に加えて、ＯＳＤ（オンスクリーンディスプレイ）信号、Ｓ／Ｄ信号（動画と静止画との判断信号）もコントローラ回路（ＩＣ）７６０で差動信号としてソースドライバ回路（ＩＣ）１４に印加してもよい。ＯＳＤ信号は、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。

【０９５７】

また、Ｓ／Ｄ信号がＨの時、伝送さえているＲＧＢ映像信号が動画であると判断し、図５４（ａ１）（ａ２）（ａ３）（ａ４）の駆動などを実施して動画表示対応の駆動方法を行う。Ｓ／Ｄ信号がＬの時、伝送さえているＲＧＢ映像信号が静止画であると判断し、図５４（ｃ１）（ｃ２）（ｃ３）（ｃ４）または図５４（ｂ１）（ｂ２）（ｂ３）（ｂ４）の分割駆動などを実施して静止表示対応の駆動方法を行う。

【０９５８】
図２５１では、本発明の表示装置（表示パネル）にスピーカ２５１２を配置あるいは形成した実施例について説明した。このスピーカ２５１２の音声信号（ＡＤ）も図３２０に図示するように、コントローラ回路（ＩＣ）７６０で差動信号としてソースドライバ回路（ＩＣ）１４に印加してもよい。
【０９５９】
図８３はコントロールＩＣ８１とソースドライバ回路（ＩＣ）１４、ゲートドライバ回路１２との接続構成を示す。画像データ、電子ボリウムデータ、プリチャージデータをＤＣＴＬ、ＤＡＴとしてシリアル転送することにより接続配線を省略することができる。
【０９６０】
なお、ソースドライバ回路（ＩＣ）１４の入力段でシリアル－パラレル変換を行うことにより、プリチャージデータ、画像データのラッチあるいは保持回路は図７７と同様になる。ＤＣＴＬの４ビットは、クロック、スタートパルス、アップダウン切り換え、イネーブル信号である。
【０９６１】
図１８０は、本発明の表示パネルの外観図である。パネル１２６４にはソースドライバＩＣ１４がＣＯＧ実装され、ゲートドライバ回路１２はポリシリコンで形成されている。パネル１２６４の端子からフレキ基板１８０２が接続されている。フレキ基板１８０２にはコントローラ回路（ＩＣ）７６０が実装されている。コントローラ回路（ＩＣ）７６０の信号は端子１８０１から入力され、同様にゲートドライバ回路１２の信号も端子１８０１から入力される。
【０９６２】
図１８１はさらに詳細な本発明の表示パネルである。カソード配線１８１１にはカソード電圧が印加され、カソード配線１８１１はカソード接続位置１８１２でカソード電極と接続されている。ゲートドライバ回路１２にはコントローラ回路（ＩＣ）７６０からのゲートドライバ信号１８１３が印加される。また、ソースドライバＩＣ１４にもコントローラ回路（ＩＣ）７６０からソースドライバ信号１８１４が印加される。アノード配線１８１５はソースドライバＩＣの裏面（のアレイ面）に形成されている。また、アノード配線１８１５は表示パネルの表示領域近傍に形成されている。
【０９６３】
図１８１は、ＩＣ１４下にアノードまたはカソード配線を形成または配置した構成である。本発明はこれに限定するものではない。たとえば、図５８７の構成が例示される。図５８７はＩＣ１４下に、カソード配線１８１１とアノード配線１８１５を形成または配置した構成である。ＩＣ１４ａとＩＣ１４ｂ間に複数のアノード配線１８１５、カソード配線１８１１（図５８７では各２本）を配置している。少なくとも１本のカソード配線１８１１は画面１４４の中央部と端部のカソード膜に接続されている。また、そのうち、１つのカソード配線１８１１はＩＣ１４ａの下に配置されている。複数のアノード配線１８１５のうち少なくとも１本のアノード配線１８１５は画面１４４の中央部と端部に接続されている。また、そのうち、１つのアノード配線１８１５はＩＣ１４ｂの下に配置されている。また、複数のアノード配線１８１５は画面１４４の近傍で短絡されている。
【０９６４】
特に図５８７の特徴は、ＩＣチップ１４の下側に位置するアレイ基板７１上に、複数の電源配線（アノード配線、カソード配線）を配置または形成した点である。また、前記ＩＣチップ１４の下側に配置した配線も用い、カソード電極３６（図３、図４を参照のこと）と複数箇所でカソード配線１８１１とコンタクト（接続）をとった点である。また、画素１６の画素アノード配線５８７１（図１などのＶｄｄを参照のこと）と分岐するアノード配線１８１５（画面１４４の上辺に配置又は形成されている）の両端に給電点を有する点である。両側に給電点を有することにより、画素１６のＶｄｄに流れ込む電流が増加しても電圧降下の発生が少ない。
【０９６５】

アノード配線１８１５およびカソード配線１８１１の配線抵抗が高いと電圧降下が発生し、ＥＬ素子１５、駆動用トランジスタ１１ａに十分な電圧が印加されないようになる。この課題を解決する方式が図５８８の実施例である。図５８８では、カソード配線１８１１とアノード配線１８１５の薄膜配線上にカソード電極３６の金属材料からなる金属薄膜５８８１を積層させている。金属材料の積層により配線の低抵抗値化を実現できる。カソード電極３６の金属薄膜５８８１は、ＥＬ素子１５にカソード電極３６を積層する工程で同時に作製する。ＥＬ素子１５をパターニングする工程であるマスク蒸着時のマスクを加工することにより容易に実現できる。加工とは、金属薄膜５８８１を形成する箇所のマスクに穴あけ加工を行い、この穴を介して金属薄膜５８８１を形成する。

【０９６６】

なお、図５８８では、カソード配線１８１１とアノード配線１８１５の薄膜配線上にカソード電極３６の金属材料を積層させたとしたがこれに限定するものではなく、アノード電極の材料を積層させてもよいことは言うまでもない。また、カソード配線１８１１とアノード配線１８１５の両方の薄膜配線上に金属材料を積層させているとしたがこれに限定するものではなく、一方の配線に積層したものでもよい。特にアノード配線１８１５は電圧降下による影響が大きいため、積層による低抵抗値化を実現することが好ましい。

【０９６７】

なお、積層させる材料は金属材料に限定するものではなく、低抵抗値化を実現できるものであれば何でもよい。たとえば、ＩＴＯ，カーボンなどが例示される。また、積層は単層に限定されるものではなく、複数膜の積層構造であってもよい。また、合金などでもよい。たとえば、画素電極となるＩＴＯとＬｉ、Ａｌなどを積層してもよい。

【０９６８】

ＥＬ表示装置は、液晶表示装置にはないカソード配線、アノード配線を有し、図８３１に図示するようにゲートドライバ回路もゲートドライバ回路１２ａ、１２ｂと２つが必要である。したがって、配線数が多く結線が複雑である。そのため、配線の引き回しのためにパネル１２６４の額縁が大きくなる。信号線をパネル１２６４に入力するためのフレキ基板１８０２のサイズが大きくなり高コスト化に直結する。

【０９６９】

図２８２はこの課題を解決する構成の説明図である。なお、説明を容易にするため、図２８２などでは、ゲートドライバ回路１２の制御信号線はＳＴ（スタートパルスを印加あるいは伝送する信号線）、ＣＬＫ（クロック（シフト）パルスを印加あるいは伝送する信号線）、ＥＮＢＬ（イネーブルパルスを印加あるいは伝送する信号線）しか図示していない。実際には、ＵＤ（アップダウン方向の信号を印加あるいは伝送する信号線）、Ｖｇｈ電圧あるいはＶｇｌ電圧を伝送あるいは供給する信号線などがあることは言うまでもない。

【０９７０】

なお、説明を容易にするため、ＳＴ（スタートパルスを印加あるいは伝送する信号線）、ＣＬＫ（クロック（シフト）パルスを印加あるいは伝送する信号線）、ＥＮＢＬ（イネーブルパルスを印加あるいは伝送する信号線）、ＵＤ（アップダウン方向の信号を印加あるいは伝送する信号線）などの制御信号を伝送などする信号線を制御信号線と呼び、Ｖｇｈ電圧あるいはＶｇｌ電圧を伝送あるいは供給する信号線などを電圧信号線と呼ぶ。

【０９７１】

図２８２は、ソースドライバＩＣ１４は、シリコンチップで形成または構成され、アレイ基板３０にＣＯＧ（チップオンガラス）技術で実装されている。一方、ゲートドライバ回路１２は、低温ポリシリコン、高温ポリシリコンあるいはＣＧＳなどのポリシリコン技術でアレイ基板３０に直接に形成されている。

【０９７２】

図２８２では、制御信号線（もしくは電圧信号線も）は、ソースドライバＩＣ１４の裏面あるいはソースドライバＩＣ１４の配線パターンを介してゲートドライバ回路１２などに接続される。以上のように制御信号線、電力信号線はソースドライバＩＣ１４を介して

供給することにより前記信号線などを接続するフレキ基板２９１１（１８０２）の幅をソースドライバＩＣ１４のチップ幅±程度にすることができる。したがって、低コスト化が可能である（図２９１を参照のこと）。

【０９７３】

図２８２の構成を実現するために、本発明のソースドライバＩＣ１４は図２８８のように構成（形成）している。図２８８は、本発明のソースドライバＩＣ１４を裏面からみた図である。チップ１４の両端に配線２８８５などが形成されている。図２８８にあって、配線は通常のアルミ配線であり、ＩＣ製造工程で形成させる。しかし、配線２８８５などの形成方法はこれに限定するものではなく、ＩＣ１４完成後、スクリーン印刷技術などで形成してもよい。なお、配線２８８５などはチップ１４の一方のみに形成してもよいことは言うまでもない。

【０９７４】

ＩＣ１４は制御信号線などの入力端子２８８３と、ソース信号線１８と接続する端子２８８４が形成されている。チップ１４の端に制御信号線を接続する端子２８８１ａが形成または配置される。また、端子２８８１ａには配線２８８５が接続され、配線２８８５の他端は端子２８８１ｂに接続されている。したがって、Ｇ１ａの範囲に接続された制御信号線はチップの側辺の端子２８８１ｂと接続されている。また、端子２８８２ａに接続された電力信号線は配線２８８５を介して端子２８８２ｂに接続される。端子２８８２はアノードあるいはカソード配線が接続されることを想定している。したがって、電力信号線はＩＣチップをブリッジし、ＩＣ１４の出力側（ソース信号線１８との接続側）に出力される。

【０９７５】

このようにＩＣ１４を配線２８８５でブリッジするのは、図２０８などの図示するようにアノード配線１８１５などがＩＣ１４の遮光膜として、ＩＣ１４の裏面に形成されていることが多いからである（図２９０も参照のこと）。アノード配線１８１５を遮光膜としてＩＣ裏面に形成することにより、ＩＣがホトコンダクタ現象により異常動作することがない。配線２８８５で制御信号線あるいは電力信号線を接続することにより、アレイ基板３０上で配線を交差する必要がなく、交差部での短絡などが減少し、製造歩留まりを向上させることができる。

【０９７６】

なお、図２８８の実施例では、ＩＣチップ１４の裏面（実装時にアレイ基板３０と対面する面）に配線２８８５などを形成するとしたがこれに限定するものではない。配線２８８５などをＩＣチップ１４に表面に形成または配置してもよい。また、ＩＣチップ１４とアレイ基板３０との隙間に、配線２８８５などを形成したフレキ２９１１（１８０２）を配置してもよいことは言うまでもない。

【０９７７】

また、以上の実施例ではソースドライバＩＣ１４に配線２８８５などを形成し、信号線をブリッジするとした。しかし、本発明はこれに限定するものではなく、ゲートドライバ回路１２をシリコンチップ（ゲートドライバＩＣ１２）などで形成し、ゲートドライバＩＣ１２の裏面などに配線２８８５などを形成してもよいことは言うまでもない。

【０９７８】

また、配線２８８５上には無機材料あるいは有機材料からなる薄膜（厚膜）を形成することが好ましい。薄膜（厚膜）の厚みは少なくとも０．１μｍ以上必要である。しかし、３μｍ以下にすることが好ましい。薄膜（厚膜）の形成により配線２８８５が保護され、腐食などの課題が発生しなくなる。薄膜（厚膜）の比誘電率は、３．５以上６．０以下のものを使用することが好ましい。

【０９７９】

図２８９は本発明のソースドライバＩＣ１４をアレイ基板３０に実装した状態である。電力信号線（実施例ではアノード配線）は配線２８８５を介して端子２８８２ｂに出力され、表示領域１４４の画素１６部に分岐される。カソード配線は、ＩＣチップの右端の端

子２８８２ｂから出力されカソード接続点でカソード電極３６と接続される。制御信号線もＩＣ１４の配線２８８５を介して端子２８８１ｂから出力されゲートドライバ回路１２に入力される。

【０９８０】

図２９０はＩＣ１４をアレイ基板３０に実装した場合の断面図である。ＩＣチップ１４の裏面には配線２８８５が形成され、端子２８８２ａと端子２８８２ｂ間を接続している。端子２８８２には金バンプ２９０４が形成されている。金バンプ２９０４はアレイ基板３０の端子２９０２とＩＣ１４の端子２８８２とを接続している。したがって、信号線２９０１に印加された信号はＩＣ１４の配線２８８５を介して信号線２８５２と電気的に接続されるため、アノード配線２９０３などの導体線がアレイ基板３０上に形成されていても交差することがない。

【０９８１】

図３４７に図示するように、ソースドライバ回路（ＩＣ）１４からゲートドライバ回路（ＩＣ）１２に引き渡される配線２８５２が交差することがないように、出力端子位置を設定する。なお、他の内容は図２８２などで説明しているので省略する。

【０９８２】

また、図３５８に図示するように、ゲートドライバ１２の電源配線（たとえば、ＶｇｈＶｇｌ電圧などの供給配線）２８５２ｂはアレイ基板３０面に形成するとともに、チップで構成したソースドライバＩＣ１４の下面に配設（配置または形成）する。アノード配線もＩＣチップ１４の裏面部でアレイ３０の表面に形成または配置する。ゲートドライバ回路１２の制御信号線は、ソースドライバＩＣ１４に形成または配置された配線２８８５を介して接続をする。

【０９８３】

以上のように構成することにより、ＩＣチップ１４の裏面部を有効に利用することができ、また、パネルを狭額縁化することができる。

【０９８４】

以上のように、ＩＣ１４の配線２８８５を介して電力信号線あるいは制御信号線をブリッジすることのより、基板３０に形成された配線と交差することがなくなるという効果が発揮される。他の大きな効果として、図２９１に図示するように、信号線などをパネルに印加するフレキシブル基板２９１１の大きさを小さくできるという効果も発揮される。一般的にフレキシブル基板２９１１は高価であるのでサイズが小さいほどコストメリットは大きい。

【０９８５】

図２９１に図示するように、ＩＣ１４への入力信号線２９０１、２８５２にはフレキシブル基板２９１１からストレートに信号などが入力される。ＩＣ１４の配線２８８５がなければ制御信号線は基板３０の入力面でＩＣ１４を避けて折り曲げる必要がある。折り曲げればパネルの額縁が大きくなる。本発明のようにＩＣチップ１４の配線２８８５を介して接続することにより、額縁を小さくすることができる。

【０９８６】

図２８８などで説明した実施例は、端子２８８１ａと端子２８８１ｂ間などを配線２８８５などで結線した実施例である。つまり、端子２８８１ａから入力された信号はそのまま端子２８８１ｂに出力される。しかし、本発明はこれに限定するものではない。たとえば、入力された信号を分岐したり、遅延したり、変化させる回路あるいは配線を端子２８８１間に形成または配置してもよいことは言うまでもない。

【０９８７】

図２８３は一例として端子２８８１ａと端子２８８１ｂ間に変換回路２８３１を形成または配置した構成である。図２８３の実施例における変換回路２８３１は反転出力発生回路である。反転出力発生回路２８３１は入力された信号の反転信号を発生させる。たとえば、ＳＴ信号であれば、ネガティブのＳＴ信号を発生させる。このネガティブのＳＴ信号をＮＳＴと記載する。より具体的には、ＳＴが１フレームの期間の１Ｈの期間、３Ｖとな

り、他の期間は０Ｖであれば、ＮＳＴ信号は１フレームの期間の１Ｈの期間、０Ｖとなり、他の期間は３Ｖとなる。以上の事項は、ＣＬＫ、ＥＮＢＬ信号にも適用される。

【０９８８】

つまり、図２８３では端子２８８１ａに入力された信号は、反転出力回路２８３１でポジティブ信号とネガティブ信号に変換されて端子２８８１ｂから出力される。したがって、ソースドライバＩＣ１４には入力信号を少なくできる。

【０９８９】

図２８３は反転出力を発生する回路であったが、本発明はこれに限定するものではない。図２８４はフリップフロップ回路（ＦＦ回路）からなる遅延回路２８４１をソースドライバＩＣ１４内に形成してものである。

【０９９０】

図２８４では一例として、ＦＦ回路２８４１は端子２８８１ａと端子２８８１ｂ間に配置されている。ＦＦ回路２８４１によりＳＴ信号などは遅延される。ゲートドライバ回路１２の制御信号（ＳＴ、ＣＬＫなど）は、ソースドライバ回路（ＩＣ）１４のラッチ回路８６２などと同期をとり、ソース信号線１８に印加するプログラム電流のタイミングと、ゲート信号線１７ａにオン電圧を印加するタイミングとを調整する必要がある。このタイミング調整をＦＦ回路２８４１などで行う。以上のように構成することによりコントローラ回路（ＩＣ）７６０から出力する制御信号のタイミング調整が容易になる。

【０９９１】

以上の実施例のほかに、図２８５に図示するように、ＨＤ（水平走査信号）、ＶＤ（垂直走査信号）から制御信号（ＳＴ、ＣＬＫ、ＥＮＢＬなど）を発生させてもよい。つまり、ソースドライバ回路（ＩＣ）１４内に信号発生回路２８５１を形成または配置する。ＨＤ（水平走査信号）、ＶＤ（垂直走査信号）などから信号発生回路２８５１で制御信号（ＳＴ、ＣＬＫ、ＥＮＢＬなど）を発生する。以上のように構成することにより、さらにソースドライバＩＣ１４への信号線本数を削減することができる。

【０９９２】

図１４、２４８などではゲートドライバ回路１２を画面の片側に配置し、図３０、図８３、図８５、図１８０、図１８１、図２０２、図２１１、図２１２、図２１５、図２１７、図２１９、図２２３、図２２５、図２６０、図２６５、図２８１、図２８２、図２８９、図３１６、図３１９、図３２０、図３２７、図３４７、図３５８などでは、ゲートドライバ回路（ＩＣ）１２ａとゲートドライバ回路（ＩＣ）１２ｂを画面１４４の左右に配置した。しかし、本発明の表示パネル（表示装置）はこの構成に限定するものではない。図３７３に図示するように、ゲートドライバ回路（ＩＣ）１２ａとゲートドライバ回路（ＩＣ）１２ｂを画面１４４の左右位置のそれぞれに配置してもよい。

【０９９３】

図３７３は、ゲート信号線１７ａを駆動するゲートドライバ回路１２ａ１を画面１４４の左端に配置または形成し、かつ画面１４４の右端にゲート信号線１７ａを駆動するゲートドライバ回路１２ａ２を配置または形成している。また、ゲート信号線１７ｂを駆動するゲートドライバ回路１２ｂ１を画面１４４の左端に配置または形成し、かつ画面１４４の右端にゲート信号線１７ｂを駆動するゲートドライバ回路１２ｂ２を配置または形成している。

【０９９４】

ゲート信号線１７ａを駆動するゲートドライバ回路１２ａ１を画面１４４の左端に配置または形成し、かつ画面１４４の右端にゲート信号線１７ａを駆動するゲートドライバ回路１２ａ２を配置または形成する構成では、画面１４４の左右で輝度傾斜が発生する場合がある。たとえば、ゲートドライバ回路１２ｂを画面１４４の右端のみに形成すると、画面１４４の左端ではゲート信号線１７ｂに印加した信号波形がなまり、画面１４４の左端で画像が暗くなる。

【０９９５】

図３７３に図示するように、ゲート信号線１７ａを駆動するゲートドライバ回路１２ａ

１を画面１４４の左端に配置または形成し、かつ画面１４４の右端にゲート信号線１７ａを駆動するゲートドライバ回路１２ａ２を配置または形成し、かつ、ゲート信号線１７ｂを駆動するゲートドライバ回路１２ｂ１を画面１４４の左端に配置または形成し、かつ画面１４４の右端にゲート信号線１７ｂを駆動するゲートドライバ回路１２ｂ２を配置または形成すれば、画面１４４に輝度傾斜が発生するという課題はなくなる。

【０９９６】

図３７３では、ゲート信号線１７ａを駆動するゲートドライバ回路１２ａ１を画面１４４の左端に配置または形成している。また、画面１４４の右端にゲート信号線１７ａを駆動するゲートドライバ回路１２ａ２を配置または形成している。また、ゲート信号線１７ｂを駆動するゲートドライバ回路１２ｂ１を画面１４４の左端に配置または形成し、かつ画面１４４の右端にゲート信号線１７ｂを駆動するゲートドライバ回路１２ｂ２を配置または形成している。しかし、本発明はこれに限定するものではない。たとえば、ゲートドライバ回路１２ａまたは１２ｂはいずれか一方を画面１４４の左右に配置または形成した構成であってもよい。また、ゲートドライバ回路１２ａを画面１４４の一方に形成または配置し、ゲートドライバ１２ｂを画面１４４の左右に配置または形成した構成であってもよい。

【０９９７】

ゲートドライバ回路１２ａ１はポリシリコン技術を用いてアレイ３０に直接形成し、ゲートドライバ回路１２ａ２をシリコンチップで構成して、ＣＯＧ技術でアレイ３０に実装するハイブリッド構成であってもよい。また、ゲートドライバ回路１２ｂ１はポリシリコン技術を用いてアレイ３０に直接形成し、ゲートドライバ回路１２ｂ２をシリコンチップで構成して、ＣＯＧ技術でアレイ３０に実装するハイブリッド構成であってもよい。また、これらを組み合わせてもよい。

【０９９８】

図３７３の構成に対しても、図２８８～図２９１などで説明した事項は有効である。図３７４は図２８８～図２９１などで説明した実施例を適用した例である。

【０９９９】

図３７４において、端子２８８３から入力されたゲートドライバ回路（ＩＣ）１２の制御信号は、ソースドライバ回路（ＩＣ）１４の内部配線２８８５で２つに分岐されて、画面１４４の左右に配置されたゲートドライバ回路（ＩＣ）１２に伝達される。内部配線２８８５は２つの端子２８８１ｂ１間、２つの端子２８８１ｂ２間に接続されている。端子２８８１ｂ１からはゲートドライバ回路１２ｂを制御する信号が出力され、端子２８８１ｂ２からはゲートドライバ回路１２ａを制御する信号が出力される。

【１０００】

図３７４では、ソースドライバ回路（ＩＣ）１４の内部配線２８８５でゲートドライバ回路１２を制御する信号を分岐するとしたが、これに限定するものではない。図２９１などに説明するようにＩＣ１４下かつアレイ３０面に形成した配線で分岐してもよいことはいうまでもない。

【１００１】

図１９０では、ソースドライバＩＣ１４への信号を差動信号として入力する実施例を説明した。同様に図８１、図８２でも信号などを差動信号にして供給した実施例について説明をした。同様に図２９２に図示するようにゲート信号（ゲートドライバ回路１２の制御信号（ＳＴ、ＥＮＢＬなど））も差動信号として、ソースドライバＩＣ１４に印加してもよい。差動信号は差動－パラレル信号変換回路２９２１でパラレル信号に変換される。

【１００２】

図２９２の実施例では、電力信号としてのアノード電圧、カソード電圧は端子２８８２ａに入力され、ゲートドライバ回路１２を制御するゲート信号（差動）は端子２８８１ａに入力される。映像信号（差動）および制御信号（差動）は端子２８８３に入力される。なお、ゲート信号、映像信号および制御信号は、ツイストペアーの差動信号としてもよいことは言うまでもない。また、ゲート信号などは細線同軸ケーブルで伝送してもよい。

以上の実施例は他の端子（２８８３、２８８４、２８８２など）についても適用できることは言うまでもない。

【１００３】

図２９２などに差動信号として印加することにより信号線数の削減できる。図２８８、図２９０などのようにＩＣ１４に配線２８８５を形成することにより信号線などが交差することをなくすことができる。以上の構成は、アレイ基板３０にポリシリコン技術によりゲートドライバ回路１２などを形成し、ソースドライバＩＣ１４をシリコンチップなどで形成してアレイ基板３０にＣＯＧ技術を用いて実装することにより発揮できる効果である。

【１００４】

以上の実施例は、１つのＩＣ１４をパネル１２６４に用いた実施例であった。しかし、本発明はこれに限定するものではない。たとえば、図３１６に図示するように、複数のＩＣ１４（１４ａ、１４ｂ）をパネル１２６４に用いてもよい。また、２つ（複数）のＩＣチップ１４をアレイ基板３０に実装し、表示パネル１２６４を構成してもよい。ＩＣ１４の両方の端には、電力信号線または制御信号線もしくは両方の信号線が出力されるように形成あるいは配置され、ＩＣ１４の両方の端には、差動－パラレル信号変換回路２９２１が形成あるいは配置されている。

【１００５】

どちらの差動－パラレル信号変換回路２９２１が動作させるかは、セレクタ信号ＧＳＥＬに印加するロジック信号（電圧レベル）で切り換えられる。図３１６では、ＩＣチップ１４ａは差動－パラレル信号変換回路２９２１ａ１が動作し、差動－パラレル信号変換回路２９２１ａ１からゲートドライバ回路１２ａの制御信号などが出力される。また、ＩＣチップ１４ｂは差動－パラレル信号変換回路２９２１ｂ２が動作し、差動－パラレル信号変換回路２９２１ｂ２からゲートドライバ回路１２ｂの制御信号などが出力される。

【１００６】

本発明では、図５２８に図示するように、一例としてコントローラ回路（ＩＣ）７６０から差動信号を出力し、ソースドライバ回路（ＩＣ）１４で受信するとして説明する。コントローラ回路（ＩＣ）７６０に定電流回路Ｉｃｏｎが構成され、トランジスタＭ１、Ｍ２が制御されることにより、ＴｘＶ＋、ＴｘＶ－信号が端子２８８３ｃから出力される。端子２８８３ｃから出力された信号は、フレキ基板の配線、プリント基板の配線、ケーブル線、同軸配線などで伝達され、ソースドライバ回路（ＩＣ）１４の入力端子２８８３ａに印加される。

【１００７】

端子２８８３ａに印加された信号は、差動信号（ＲｘＶ＋、ＲｘＶ－）としてコンパレータ５２８１に印加され、論理信号ＴＤＡＴＡに復元される。抵抗ＲＴ１、ＲＴ２はソースドライバ回路（ＩＣ）１４の外づけ抵抗である。Ｉｃｏｎ電流の経路を終端する。抵抗ＲＴ１、ＲＴ２はソースドライバ回路（ＩＣ）１４に内蔵させてもよい。また、ソースドライバ回路（ＩＣ）１４は、ポリシリコン技術（低温ポリシリコン技術、高温ポリシリコン技術、ＣＧＳ技術）などで基板３０に直接形成したものでもよいことは言うまでもない。

【１００８】

抵抗ＲＴ１などの値は、伝送路のインピーダンスなどに適合させて選択する。本発明の構成では、抵抗ＲＴの値は、１００Ω以上３００Ω以下に構成している。

【１００９】

ソースドライバ回路（ＩＣ）１４に内蔵されたスイッチ（ＳＴ１、ＳＴ２）はアナログスイッチなどが例示される。スイッチＳＴがオン状態にするかオフ状態にするかは、ソースドライバ回路（ＩＣ）１４の入力端子（図示せず）に印加するロジックレベルにより操作する。

【１０１０】

スイッチＳＴは、スイッチに限定するものではない。ＩＣプロセス工程で、表示パネル

に入力される信号仕様に応じて、アルミ配線で選択して短絡するものであってもよい。図５２９で説明する差動入力構成か、図５３０で説明するＣＭＯＳレベル入力構成かは、表示パネルに印加する信号仕様であらかじめ決定されるからである。つまり、スイッチＳＴを用いてＣＭＯＳレベル信号か、差動信号かを適時切り換える必要がある構成は稀であるからである。

【１０１１】

もちろん、図５２９に図示するように、スイッチＳＴを設けず、コンパレータ５２８１の入力端子あるいは、コントローラ回路（ＩＣ）７６０の出力端子の経路に終端抵抗ＲＴを接続してもよいことは言うまでもない。終端抵抗ＲＴは、ソースドライバ回路（ＩＣ）１４が複数であっても１つの配線に１つの終端抵抗ＲＴを配置あるいは設置もしくは構成すればよい。

【１０１２】

終端抵抗ＲＴはボリウムで構成して、抵抗値を可変あるいは変更できるように構成してもよい。また、図３６８、図３６９、図３７２などのように構成してもよいことは言うまでもない。また、抵抗ＲＴをトリミングすることにより抵抗値を目標値に調整してもよい。

【１０１３】

図５２８の構成では、スイッチＳＴ（ＳＴ１、ＳＴ２）がオン（閉じる）することにより、ソースドライバ回路（ＩＣ）１４への入力は差動信号入力となる。スイッチＳＴがオフ（開く）と、ＣＭＯＳあるいはＴＴＬロジック信号入力となる。ＣＭＯＳレベルあるいはＴＴＬレベル入力とする場合は、図５３０に図示するようにコンパレータ５２８１の－端子にロジックレベルを判定する一定のＤＣ電圧を印加し、＋端子にロジック信号を印加する。＋端子に印加された信号レベルが－端子に印加されたＤＣ電圧以上の時、Ｈレベルロジックと判断され、＋端子に印加された信号レベルが－端子に印加されたＤＣ電圧以下の時、Ｌレベルロジックと判断される。ただし、ロジックの判断はヒステリシス特性をもつようにコンパレータ５２８１を構成することが好ましい。なお、本発明では説明を容易にするため、ＣＭＯＳレベルの信号であるとして説明をする。

【１０１４】

図５２８の構成では、コントローラ回路（ＩＣ）７６０からの出力信号は１つのソースドライバ回路（ＩＣ）１４に印加されるように図示した。しかし、実用上は、図５２９、図５３０などに図示するように、コントローラ回路（ＩＣ）７６０からの出力信号は複数のソースドライバ回路（ＩＣ）１４に印加される。

【１０１５】

図５２９は、差動信号入力の場合である。コントローラ回路（ＩＣ）７６０からの出力配線（一例として、差動信号Ｄ０＋／Ｄ０－、Ｄ１＋／Ｄ１－～Ｄ７＋／Ｄ７－の８ビットとしている。）には、終端抵抗ＲＴが配置されている。コントローラ回路（ＩＣ）７６０は、複数のソースドライバ回路（ＩＣ）１４を駆動する。ソースドライバ回路（ＩＣ）１４内のコンパレータ５２８１は各ビットの差動信号から各ビットのロジック信号（ＴＤＡＴＡ）に変換する。ＴＤＡＴＡは駆動回路５２９１に入力される。駆動回路５２９１は７７、図４３、図４５、図４８、図４６、図５０、図５６、図６０、図３９３、図３９４、図４９５、図５０８などで説明した構成が例示される。駆動回路５２９１で処理あるいは制御された信号は、端子１５５から出力され、表示パネルのソース信号線１８に印加される。

【１０１６】

図５２８、図５２９、図５３０は映像データ（Ｄ０～Ｄ７）の入力を例示しているが、これに限定するものではなく、図３６１で説明しているプリチャージ信号、図４２５で説明している制御信号、図５０５で説明しているゲートドライバ制御信号などでもよいことは言うまでもない。

【１０１７】

図５３０はＣＭＯＳレベル信号（ロジック信号）の場合である。コンパレータ５２８１

の－端子（＋端子でもよい）には、直流電圧（ＤＣ電圧）Ｖ０が印加されている。ロジック信号Ｄ０～Ｄ７の信号レベルがＶ０電圧以上の時、Ｈレベルと判断される。ロジック信号Ｄ０～Ｄ７の信号レベルがＶ０電圧以下の時、Ｌレベルとして判断される。したがって、図５３０の構成ではコンパレータ５２８１は、バッファとして機能する。

【１０１８】

以上の図５２８、図５２９の構成のソースドライバ回路（ＩＣ）１４は、図５３１に図示するように差動インターフェース（差動ＩＦ）２９２１ａとＣＭＯＳ（ＴＴＬ）インターフェース（ＣＭＯＳ　ＩＦ）２９２１ｂの両方を具備している。したがって、使用状態に応じて、ＩＦ仕様を選択することができる。図５３１（ａ）は、コントローラ回路（ＩＣ）７６０はＣＭＯＳレベルの信号を出力する。ソースドライバ回路（ＩＣ）１４は、図５３０の構成であるＣＭＯＳ－ＩＦを使用している。

【１０１９】

図５３１（ｂ）でも、コントローラ回路（ＩＣ）７６０は、ＣＭＯＳレベルの信号を出力する。図５３１（ｂ）の構成では、モード変換回路（ＩＣ）５３１１を具備している。モード変換回路（ＩＣ）５３１１は、ＣＭＯＳ信号を差動信号に変換する機能を有する。コントローラ回路（ＩＣ）７６０はＣＭＯＳ－ＩＦ２９２１ｂよりＣＭＯＳ信号を出力し、モード変換回路５３１１はＣＭＯＳ－ＩＦ２９２１ｂで受信した信号を、差動信号に変換して差動ＩＦ２９２１ａから出力する。差動ＩＦ２９２１ａから出力した差動信号は、ソースドライバ回路（ＩＣ）１４の差動ＩＦ２９２１ａに入力される。

【１０２０】

以上のように、ソースドライバ回路（ＩＣ）１４は、図５２９の回路構成を具備することにより、差動信号とＣＭＯＳ（ＴＴＬ）レベル信号の両方を受信することができる。

【１０２１】

なお、図３１６ではＩＣチップ１４の両端に差動－パラレル信号変換回路２９２１を配置するように図示したが、これに限定するものではない。差動－パラレル信号変換回路２９２１は1つで、配線２８５５で制御信号線などをチップ１４の両端に分岐できるように構成してもよい。重要なのは、ＩＣチップ１４の両端に電力信号線または制御信号線が出力できることであり、また、図３１６のようにアレイ基板３０に複数のＩＣチップ１４を実装した場合、ＩＣチップ１４の両端の電力信号線または制御信号線の出力が出力されるか否かを切り換えることができることである（もしくは両方から信号などが出力されていても画像表示に影響がないようにすることができることである）。切り換えはＧＳＥＬ信号によって行う。

【１０２２】

図６０１に図示するように、Ｇｃｎｔｌ信号でソースドライバ回路（ＩＣ）１４ごとにゲートドライバ１２への出力信号２８５２を制御してもよい。図６０１において、ソースドライバ回路（ＩＣ）１４ａのＧｃｎｔｌ１ａ信号をＨレベルにすることにより、ソースドライバ回路（ＩＣ）１４ａの出力端子２８８１ｂ１よりゲートドライバ回路１２ａへの制御信号が出力される。

【１０２３】

ソースドライバ回路（ＩＣ）１４ａのＧｃｎｔｌ１ａ信号をＬレベルにすることにより、ソースドライバ回路（ＩＣ）１４ａの出力端子２８８１ｂ１はハイインピーダンスとなる。また、ソースドライバ回路（ＩＣ）１４ａのＧｃｎｔｌ１ｂ信号をＬレベルにすることにより、ソースドライバ回路（ＩＣ）１４ａの出力端子２８８１ｂ２はハイインピーダンス状態となる。図６０１では、ソースドライバ回路（ＩＣ）１４ａの出力端子２８８１ｂ２には出力する信号はないため、Ｇｃｎｔｌ１ｂ信号はＬレベルに固定される。

【１０２４】

ソースドライバ回路（ＩＣ）１４ｂは、ソースドライバ回路（ＩＣ）１４ｂのＧｃｎｔｌ２ｂ信号をＨレベルにすることにより、ソースドライバ回路（ＩＣ）１４ｂの出力端子２８８１ｂ２よりゲートドライバ回路１２ｂへの制御信号が出力される。なお、ソースドライバ回路（ＩＣ）１４ｂのＧｃｎｔｌ２ａ信号をＬレベルにすることにより、ソースド

ライバ回路（ＩＣ）１４ｂの出力端子２８８１ｂ１はハイインピーダンスとなる。図６０１では、ソースドライバ回路（ＩＣ）１４ｂの出力端子２８８１ｂ１には出力する信号はないため、Ｇｃｎｔｌ２ａ信号はＬレベルに固定される。

【１０２５】

以上の実施例は、１つの表示パネルに２個のソースドライバ回路（ＩＣ）１４を使用する構成である。しかし、本発明はこれに限定するものではない。使用するソースドライバ回路（ＩＣ）１４は３個以上であってもよい。３個以上の場合は、少なくも１つのソースドライバ回路（ＩＣ）１４の２箇所の出力端子２８８１ｂはハイインピーダンス状態となる。ハイインピーダンス状態は、ＧＳＥＬ信号、Ｇｃｎｔｌ信号を操作することにより実現できることは言うまでもない。

【１０２６】

したがって、本発明のソースドライバＩＣ１４は、アレイ３０に１個実装する場合でも、複数実装する場合でも同一のソースドライバＩＣ１４を用いることができる。また、１個用いた場合で、ゲートドライバ回路１２が画面１４４の一方の端に形成または配置されている場合でも適用することができる。

【１０２７】

端子２８８１の入出力方向は、場合によっては入力方向であってもよい。たとえば、ゲートドライバ回路１２からのスタートパルス（ＳＴ）の出力パルスが端子２８２１ｂに入力され、端子２８８３から出力されるように構成あるいは形成してもよい。この出力パルスはコントロールＩＣ７６０に入力される。この出力パルスによりコントロールＩＣ７６０は、ゲートドライバ回路１２の動作を監視あるいは正常性を判断できる。

【１０２８】

本発明は、ソースドライバＩＣ１４をシリコンなどで形成し、ＣＯＧ技術などを用いて基板３０に実装するとしたが、これに限定するものではない。ＴＡＢあるいはＣＯＦ技術を用いて実装してもよい。また、ソースドライバＩＣの回路１４はポリシリコン技術を用いてアレイ基板３０に直接形成してもよい。特に図３１６などの構成に有効である。また、ＩＣチップ１４はアレイ基板３０（画素電極などが形成された基板）に実装するとしたが、これに限定するものではなく、対向基板側に形成し、アレイ基板３０などに形成されたソース信号線１８などと接続してもよい。以上の事項は、本発明の他の実施例においても適用できることは言うまでもない。

【１０２９】

図１９１はフレキ基板１８０２部の断面図である。フレキ基板１８０２には電源モジュール１９１２が端子１９１４を介して、フレキ基板１８０２と接続されている。電源モジュール１９１２にはコイル（トランス）１９１３が実装されており、このコイル１９１３はフレキ基板１８０２にあけられた穴に挿入されている。以上のように構成することにより全体として薄いパネルモジュールを得ることができる。

【１０３０】

コントロール回路（ＩＣ）７６０、電源回路（ＩＣ）などを積載した基板１８０２は、図５８５に図示するように、封止基板４０（封止フタ）に形成した凹部に、部品などが挿入されるように配置してもよい。図５８５のように構成することにより、パネルモジュールをコンパクトにできる。

【１０３１】

図１のように画素１６の駆動用トランジスタ１１ａ、選択トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【１０３２】

以上の実施例は、トランジスタ１１ｂのＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の電位を変動させ、コンデンサ１９の電位変動により、黒表示を良好にする構成である。しかし、本発明はこれに限定するものではない。たとえば、図５９５に図示するように、突き抜け電圧を発生させるコンデンサ１９ｂを形成したものである。図５９５（ａ）は、図１の画素構成に、コンデンサ１９ｂを形成した構成である。コンデンサ１９ｂはトランジスタ１１のゲート信号線１７を構成する電極層と、ソース信号線１８を構成（形成）する電極層を２つの電極として形成することが好ましい。コンデンサ１９ｂの容量はコンデンサ１９ａの容量の１／４以上１／１以下とすることが好ましい。

【１０３３】

図５９５（ｂ）は、画素がカレントミラー構成において、突き抜け電圧を発生するコンデンサ１９ｂを形成した構成である。なお、本実施例では説明を容易にするため、トランジスタ１１はＰチャンネルトランジスタであるとして説明をする。

【１０３４】

図５９５の画素構成において、ゲート信号線１７ａの駆動波形を図５９６に示す。トランジスタ１１ｂ、１１ｃはＰチャンネルトランジスタであるから、Ｖｇｌ電圧（Ｌ電圧）でトランジスタ１１ｂ、１１ｃがオンする。また、Ｖｇｈ電圧（Ｈ電圧）でトランジスタ１１ｂ、１１ｃがオフする。図５９６に図示するように、各画素行が選択される期間は、１水平走査期間（１Ｈ）である。

【１０３５】

図５９６において、Ａ点では、ゲート信号線１７ａに印加される電圧がＶｇｈからＶｇｌに変化する。Ａ点では、コンデンサ１９ｂにより電圧がコンデンサ１９ａに突き抜ける。したがって、駆動用トランジスタ１１ａのゲート端子電位が低電圧方向にシフトする。そのため、短期間の間、駆動用トランジスタ１１ａに少し大きな電流が流れるようになる。しかし、Ａ点からＢ点の１Ｈ期間では、駆動用トランジスタ１１ａからソース信号線１８にプログラム電流が流れるため、Ａ点以降の短期間に大きな電流が流れてもすぐに正規のプログラム電流が流れるようになる。

【１０３６】

Ｂ点では、ゲート信号線１７ａに印加される電圧がＶｇｌからＶｇｈに変化する。Ｂ点では、コンデンサ１９ｂにより電圧がコンデンサ１９ａに突き抜ける。したがって、駆動用トランジスタ１１ａのゲート端子電位が高電圧方向にシフトする。そのため、駆動用トランジスタ１１ａに流れる電流がプログラム電流よりも小さくなる。

【１０３７】

Ｂ点以降はトランジスタ１１ｂ、１１ｃがオフとなるため、駆動用トランジスタ１１ａはプログラム電流よりも小さな電流が流れるように制御され、その電流は１フレーム期間に保持される。突き抜け電圧による電圧シフトを概念的に示したのが、図５９７である。コンデンサ１９ｂによりトランジスタ１１ａのＶ－Ｉカーブは、実線から点線にシフトする。点線のＶ－Ｉカーブにシフトすることにより、駆動用トランジスタ１１ａがＥＬ素子１５に印加する電流は低減する。電圧シフト量は一定であるため、特に低階調範囲で黒表示を良好にすることができる。

【１０３８】

コンデンサ１９ｂなどによる突き抜け電圧のシフト量は一定であり、また、Ｖｇｈ電圧、Ｖｇｌ電圧が一定値であるからである。電流駆動方式（電流プログラム方式）では、低階調ではプログラム電流が小さくなり、ソース信号線１８の寄生容量の充放電が困難である。しかし、図５９５に図示する本発明では、ソース信号線１８に印加するプログラム電流を比較的大きくでき、駆動用トランジスタ１１ａがＥＬ素子１５に流す電流はプログラム電流よりも小さくすることができる。つまり、微小なプログラム電流を画素１６に書き込むことができる。

【１０３９】

逆に、突き抜け電圧を可変するには、Ｖｇｈ電圧またはＶｇｌ電圧もしくはＶｇｈ電圧とＶｇｌ電圧の電位差を変化すればよい。たとえば、点灯率（後に説明する）に応じて、

Ｖｇｈ電圧、Ｖｇｌ電圧を変化あるいは操作する駆動方法が例示される。また、コンデンサ１９ｂの容量を変化すればよい。また、アノード電圧Ｖｄｄを変化させればよい。たとえば、点灯率（後に説明する）に応じて、アノード電圧（Ｖｄｄ）を変化あるいは操作する駆動方法が例示される。これらを変化あるいは変更することにより突き抜け電圧の大きさを制御でき、駆動用トランジスタ１１ａが流す電流量を制御でき、良好な黒表示を実現できる。

【１０４０】

突き抜け電圧の大きさは階調番号によらず、一定値であるため、低階調領域では、相対的に減少するプログラム電流量の割合が大きくなる。したがって、低階調領域になるほど、良好な黒表示を実現できる。

【１０４１】

図５９５、図５９６の実施例では、駆動用トランジスタ１１ａ、トランジスタ１１ｂなどがＰチャンネルトランジスタであることが構成として重要である。また、ゲート信号線１７ａに印加する信号が、アノード電圧Ｖｄｄに近い電圧（Ｖｇｈ）でトランジスタ１１がオフし、カソード電圧に近い電圧（Ｖｇｌ）でトランジスタ１１がオンするように構成することが重要な構成である。また、画素行が選択され、非選択状態になると、次のフレーム（フィールド）で選択されるまで、各画素が書き込まれた電流値を保持することが重要な動作である。

【１０４２】

以上の実施例（図５９５など）は、トランジスタ１１ａがＰチャンネルトランジスタである構成である。しかし、本発明はこれに限定するものではない。たとえば、図５９８に図示するように、駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合であっても本発明の技術思想を適用することができる。図５９８は、突き抜け電圧を発生するコンデンサはコンデンサ１９ｂである。基本的には、図５９５（ａ）の構成をＮチャンネルの構成に変換した構成例である。

【１０４３】

図５９８の画素構成において、ゲート信号線１７ａの駆動波形を図５９９に示す。トランジスタ１１ｂ、１１ｃはＮチャンネルトランジスタであるから、Ｖｇｌ電圧（Ｌ電圧）でトランジスタ１１ｂ、１１ｃがオフする。また、Ｖｇｈ電圧（Ｈ電圧）でトランジスタ１１ｂ、１１ｃがオンする。図５９９に図示するように、各画素行が選択される期間は、１水平走査期間（１Ｈ）である。

【１０４４】

図５９９において、Ａ点では、ゲート信号線１７ａに印加される電圧がＶｇｌからＶｇｈに変化する。Ａ点では、コンデンサ１９ｂにより電圧がコンデンサ１９ａに突き抜ける。したがって、駆動用トランジスタ１１ａのゲート端子電位が高電圧方向にシフトする。そのため、短期間の間、駆動用トランジスタ１１ａに少し大きな電流が流れるようになる。しかし、Ａ点からＢ点の１Ｈ期間では、駆動用トランジスタ１１ａからソース信号線１８にプログラム電流が流れるため、Ａ点以降の短期間に大きな電流が流れてもすぐに正規のプログラム電流が流れるようになる。

【１０４５】

Ｂ点では、ゲート信号線１７ａに印加される電圧がＶｇｈからＶｇｌに変化する。Ｂ点では、コンデンサ１９ｂにより、駆動用トランジスタ１１ａのゲート端子電位が低電圧方向にシフトする。そのため、ＥＬ素子１５から駆動用トランジスタ１１ａに流れる電流は、ソース信号線１８に印加したプログラム電流よりも小さくなる。

【１０４６】

Ｂ点以降はトランジスタ１１ｂ、１１ｃがオフとなるため、駆動用トランジスタ１１ａはプログラム電流よりも小さな電流が流れるように制御され、その電流は１フレーム期間に保持される。突き抜け電圧による電圧シフトを概念的に示したのが、図６００である。主としてコンデンサ１９ｂによりトランジスタ１１ａのＶ－Ｉカーブは、実線から点線にシフトする。点線のＶ－Ｉカーブにシフトすることにより、駆動用トランジスタ１１ａが

ＥＬ素子１５に印加する電流は低減する。電圧シフト量は一定であるため、特に低階調範囲で黒表示を良好にすることができる。

【１０４７】

図５９８、図５９９の実施例では、駆動用トランジスタ１１ａ、トランジスタ１１ｂなどがＮチャンネルトランジスタであることが構成として重要である。また、ゲート信号線１７ａに印加する信号が、アノード電圧Ｖｄｄに近い電圧（Ｖｇｈ）でトランジスタ１１がオンし、カソード電圧に近い電圧（Ｖｇｌ）でトランジスタ１１がオフするように構成することが重要な構成である。

【１０４８】

ゲート信号線１７ａに印加された電圧の一定割合が、コンデンサ１９などにより突き抜け電圧として、駆動用トランジスタ１１ａのゲート端子に印加される。突き抜け電圧により駆動用トランジスタ１１ａが流す（流れ出る）電流がソース信号線１８に書き込まれたプログラム電流よりも小さくなり、良好な黒表示を実現できる。

【１０４９】

しかし、第０階調目の完全黒表示は実現できるが、第１階調などは表示しにくい場合が発生する。もしくは、第０階調から第１階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする場合も考えられる。

【１０５０】

この課題を解決する構成が、図８４の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路８４１の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル０であっても、ある程度（数１０ｎＡ）電流が流れるようにし、黒レベルの調整にも用いることができる。

【１０５１】

基本的には、図８４は、図１５の出力段に嵩上げ回路８４１（図８４の点線で囲まれた部分）を追加したものである。図８４は、電流値嵩上げ制御信号として３ビット（Ｋ０、Ｋ１、Ｋ２）を仮定したものであり、この３ビットの制御信号により、孫電流源の電流値の０～７倍の電流値を出力電流に加算することが可能である。なお、電流嵩上げ制御信号は３ビットとしているが、これに限定するものではなく、４ビット以上であってもよいことはいうまでもない。また、電流嵩上げ制御信号は、２ビット以下でもよい。

【１０５２】

以上が本発明のソースドライバ回路（ＩＣ）１４の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（ＩＣ）１４についてさらに詳しく説明をする。

【１０５３】

ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは線形の関係がある。つまり、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。電流駆動方式では、１ステップ（階調刻み）は、電流（単位トランジスタ１５４（１単位））である。

【１０５４】

人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図６２の実線ａで示すように直線の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。

【１０５５】

したがって、１ステップ（１階調）きざみづつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（ＩＣ）１４において）、黒表示領域の表示が特に課題となる。

【１０５６】

この課題に対して、低階調領域（階調０（完全黒表示）から階調（Ｒ１））の電流出力

の傾きを小さくし、高階調領域（階調（Ｒ１）から最大階調（Ｒ））の電流出力の傾きを大きくする。つまり、低階調領域では、１階調あたりに（１ステップ）増加する電流量と小さくする。高階調領域では、１階調あたりに（１ステップ）増加する電流量と大きくする。高階調領域と低階調領域で１ステップあたりに変化する電流量を異ならせることにより、階調特性が２乗カーブに近くなり、低階調領域での黒飛びの発生はない。

【１０５７】

以上の実施例では、低階調領域と高階調領域の２段階の電流傾きとしたが、これに限定するものではない。３段階以上であっても良いことは言うまでもない。しかし、２段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、５段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。

【１０５８】

本発明の技術的思想は、電流駆動方式のソースドライバ回路（ＩＣ）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、１階調ステップあたりの電流増加量が複数存在させることである。

【１０５９】

ＥＬなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ回路（ＩＣ）１４では、１つの電流源（１単位トランジスタ）１５４に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【１０６０】

ＥＬ表示パネルでは、Ｒ、Ｇ、Ｂで発光効率が異なり、また、ＮＴＳＣ基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはＲＧＢの比率を適正に調整する必要がある。調整は、ＲＧＢのそれぞれの基準電流を調整することにより行う。たとえば、Ｒの基準電流を２μＡにし、Ｇの基準電流を１．５μＡにし、Ｂの基準電流を３．５μＡにする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも１色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。

【１０６１】

ホワイトバランスは、図１８４に図示するように基準電流Ｉｃ（赤色の基準電流はＩｃｒ、緑色の基準電流はＩｃｇ、青色の基準電流はＩｃｂ）の調整により実現する。しかし、トランジスタ１５８の特性バラツキなどがあり、ホワイトバランスずれが発生する。これはＩＣチップごとに異なることがある。この課題に対しては、図１８４の基準電流回路６０１ｒ（赤用）、基準電流回路６０１ｇ（緑用）、基準電流回路６０１ｂ（青用）の内部を、図１６４などで説明するトリミング技術を用いて調整し、ホワイトバランスを実現すればよい。特に電流駆動方式は、ＥＬに流す電流Ｉと輝度の関係は直線の関係があるがあるため、この調整はいたって容易である。

【１０６２】

電流駆動方式は、ＥＬに流す電流Ｉと輝度の関係は直線の関係がある。したがって、ＲＧＢの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、本発明はＲＧＢの基準電流を調整できる調整手段を具備する点、１点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のＥＬ表示パネルに特有の回路方式である。

【１０６３】

基準電流の発生は、図６０から図６６（ａ）（ｂ）などの構成に限定されるものではない。たとえば、図１９６の構成が例示される。図１９８では、８ビットデータをＤＡ（デジタルアナログ）変換回路６６１で電圧に変換する。この電圧を電子ボリウム５０１の電源電圧（図６０ではＶｓ）となる。電子ボリウム５０１は電圧データ（ＶＤＡＴＡ）で制

御されて、Ｖｔ電圧が出力される。出力されたＶｔデータがオペアンプ５０２に入力され、抵抗Ｒ１とトランジスタ１５８ａからなる電流回路で所定の基準電流Ｉｃが出力される。以上のように構成すれば、８ビットのＤＡＴＡおよび８ビットのＶＤＡＴＡによりＶｔ電圧の可変範囲が広く制御することができる。

【１０６４】

図１９７は、複数の電流回路（オペアンプ５０２、抵抗Ｒ＊（＊は該当抵抗の番号）、トランジスタ１５８ａで構成）を具備する構成である。各電流回路が出力する基準電流の大きさＩｃは抵抗の大きさにより異なっている。オペアンプ５０２ａからなる定電流回路はＲ１＝１ＭΩであり、基準電流Ｉｃ１の電流を流す。オペアンプ５０２ｂからなる定電流回路はＲ２＝５００ＫΩであり、基準電流Ｉｃ２の電流を流す。オペアンプ５０２ｃからなる定電流回路はＲ３＝２５０ＫΩであり、基準電流Ｉｃ３の電流を流す。

【１０６５】

どの電流回路の基準電流Ｉｃを採用するかは、選択スイッチＳにより決定する。スイッチＳの選択は外部からの入力信号により実施する。スイッチＳ１がオンし、スイッチＳ２、Ｓ３をオフすることにより、トランジスタ群４３１ｂに基準電流Ｉｃ１が印加される。スイッチＳ２がオンし、スイッチＳ１、Ｓ３をオフすることにより、トランジスタ群４３１ｂに基準電流Ｉｃ２が印加される。同様に、スイッチＳ３がオンし、スイッチＳ２、Ｓ１をオフすることにより、トランジスタ群４３１ｂに基準電流Ｉｃが印加される。

【１０６６】

基準電流Ｉｃ１、Ｉｃ２、Ｉｃ３がそれぞれ異なるように構成されているため、選択するスイッチＳを切り換えることにより出力端子１５５からの出力電流を一斉に変更することができる。また、選択スイッチＳを１フィールドまたは１フレームなどの定周期で変化させることにより、フレームなどごとにパネルに印加するプログラム電流の大きさを変化させることができ、画像輝度などが複数フレームまたはフィールドで平均化され均一性のよい画像表示を得ることができる。

【１０６７】

上記の実施例では、１フィールドまたは１フレームごとに選択するスイッチＳを変化させ、プログラム電流の大きさを変化させるとしたがこれに限定するものではない。たとえば、数フィールドあるいはフレームごとに変化させてもよく、１Ｈ（１水平走査期間）あるいは複数Ｈ（走査期間）ごとにスイッチＳを切り換えてもよい。また、ランダムに変化させ、全体として所定の基準電流Ｉｃがトランジスタ群４３１ｂに印加するように動作させてもよい。

【１０６８】

基準電流の大きさを周期的に変化させるあるいはランダムに変化させ一定の周期で平均として所定の基準電流にするという駆動方法は、図１９７に限定するものではない。たとえば、図６０から図６６（ａ）（ｂ）などの基準電流の発生回路などにも適用することができる。各回路の基準電流は電子ボリウム５０１、電源電圧Ｖｓなどを変化あるいは変更することにより変更できる。

【１０６９】

上記実施例では、Ｉｃ１からＩｃ３のいずれかの基準電流Ｉｃを選択し、トランジスタ４３１ｂに印加するとしたが、これに限定するものはなく、複数の電流回路の電流を加算してトランジスタ群４３１ｂに印加してもよい。この場合は、複数のスイッチＳがオンさせればよい。また、すべてのスイッチＳをオフ状態にすることによりトランジスタ群４３１ｂに印加される基準電流＝０Ａとすることができる。０Ａにすれば各端子１５５から出力されるプログラム電流は０Ａとなる。したがって、ソースドライバＩＣ１４は出力オープンの状態にすることができる。つまり、ソース信号線１８からソースドライバＩＣ１４を切り離すことができる。

【１０７０】

図１９８は複数の基準電流発生回路からの基準電流を加算してトランジスタ４３１ｂに印加する構成である。オペアンプ５０２ａからなる電流回路はＤＡＴＡ１からなる８ビッ

トデータで出力電流Ｉｃ１が変化する。オペアンプ５０２ｂからなる電流回路はＤＡＴＡ２からなる８ビットデータで出力電流Ｉｃ２が変化する。トランジスタ群４３１ｂには基準電流Ｉｃ１あるいはＩｃ２もしくは両方の基準電流が印加される。

【１０７１】

図１９９は基準電流発生回路の他の実施例である。ゲート配線１５３の両側にトランジスタ１５８ｂ１およびトランジスタ１５８ｂ２が配置されている。トランジスタ１５８ｂ１には、Ｄ１データによりＩ、２Ｉ、４Ｉ、８Ｉのいずれかの電流もしくは組み合わせた電流が印加される。つまり、Ｄ１データによりスイッチＳ＊ａ（＊は該当スイッチの番号）が選択される。なお、２ＩとはＩの２倍の電流を意味し、４ＩとはＩの４倍の電流を意味する。以下、同様である。トランジスタ１５８ｂ２には、Ｄ２データによりＩ、２Ｉ、４Ｉ、８Ｉのいずれかの電流もしくは組み合わせた電流が印加される。つまり、Ｄ２データによりスイッチＳ＊ｂ（＊は該当スイッチの番号）が選択される。以上のように構成しても基準電流をダイナミックに可変できる。

【１０７２】

図２００はトランジスタ群４３１ｃを複数のブロック（４３１ｃ１、４３１ｃ２、４３１ｃ３）に分割した実施例である。出力端子１５５からは複数のブロックのトランジスタ群４３１ｃからの電流が出力される。

【１０７３】

単位トランジスタ１５４の大きさがトランジスタ群４３１ｃで同一であっても、各単位トランジスタ１５４に流れる電流が異なれば出力端子１５５から出力されるプログラム電流の大きさは異なる。図２０１に図示するように、基準電流が小さい時は、階調に対するプログラム電流の増加割合は小さい（図２０１の０からＫａを参照のこと）。基準電流が大きい時は、階調に対するプログラム電流の増加割合は大きい（図２０１のＫｂ以上の範囲を参照のこと）。つまり、トランジスタ群４３１ｃを複数のブロックに分割し、各ブロック内の単位トランジスタ１５４に供給する基準電流の大きさを変化させる。なお、この構成は、図５６でも説明している。

【１０７４】

図２００では、１つのトランジスタ群４３１ｃを３つのブロックに分割している。トランジスタ群４３１ｃのトランジスタブロック４３１ｃ１には、トランジスタ１５８ｂ１に印加される基準電流Ｉ１によりゲート配線１５３ａ電位が設定される。このゲート配線１５３ａの電位によりトランジスタブロック４３１ｃ１の単位トランジスタ１５４の出力電流が決定される。また、Ｉ１はＩ２よりも小さいとし、図２０１の低階調範囲（０～Ｋａ）が該当するとする。

【１０７５】

トランジスタ４３１ｃのトランジスタ４３１ｃ２には、トランジスタ１５８ｂ２に印加される基準電流Ｉ２によりゲート配線１５３ｂ電位が設定される。このゲート配線１５３ｂの電位によりトランジスタ群４３１ｃ２の単位トランジスタ１５４の出力電流が決定される。また、Ｉ２はＩ３よりも小さいとし、図２０１の中階調範囲（Ｋａ～Ｋｂ）が該当するとする。同様に、トランジスタ４３１ｃのトランジスタ４３１ｃ３には、トランジスタ１５８ｂ３に印加される基準電流Ｉ３によりゲート配線１５３ｃ電位が設定される。このゲート配線１５３ｃの電位によりトランジスタ群４３１ｃ３の単位トランジスタ１５４の出力電流が決定される。また、Ｉ３は最も大きいとし、図２０１の高階調範囲（Ｋｂ以上）が該当するとする。

【１０７６】

以上のように複数のトランジスタ群４３１ｃを複数のブロックに分割し、分割されたブロックごとに基準電流の大きさを異ならせることにより図２０１のように折れ線ガンマカーブを容易に発生させることができる。また、基準電流数を多くすることによりされに多線折れのガンマカーブを得ることができる。

【１０７７】

以上の実施例では、トランジスタ群４３１ｃを複数のブロックに分割し、分割されたブ

ロック内の単位トランジスタ１５４は同一であるとして説明したがこれに限定するものではない。図５５などに図示するように、単位トランジスタ１５４のサイズが異なっていてもよい。また、図１６７のように単位トランジスタ１５４でなくてもよい。また、基準電流の発生は図１６１から図１６８などいずれの構成であってもよい。

【１０７８】

以上の実施例では、図４３で説明したように、基本的には出力段はトランジスタ群４３１ｃで構成される。トランジスタ群４３１ｃにおいて、Ｄ０ビット目は単位トランジスタ１５４が１個、Ｄ１ビット目は単位トランジスタ１５４が２個、Ｄ２ビット目は単位トランジスタ１５４が４個、・・・・・Ｄｎビット目は単位トランジスタ１５４が２のｎ乗個が配置または形成される。この構成を概念的に図２４０で図示している。

【１０７９】

図２４０ではｔｒｂ（トランジスタブロック）３２は、単位トランジスタ１５４を３２個有していることを示している。同様に、ｔｒｂ（トランジスタブロック）１は、単位トランジスタ１５４を１個有していることを示し、ｔｒｂ（トランジスタブロック）２は、単位トランジスタ１５４を２個有していることを示している。また、ｔｒｂ（トランジスタブロック）４は、単位トランジスタ１５４を４個有していることを示している。以下同様である。

【１０８０】

しかし、単位トランジスタ１５４はＩＣウエハ内において形成位置で特性が異なる。特に拡散構成およびその前後において周期的な特性分布が発生する。一例として、３～４ｍｍ周期で単位トランジスタ１５４の特性の強弱が発生する。このため、図２４０のように端子１５５のピッチでトランジスタ群４３１ｃを形成すると、端子１５５から出力される電流の強弱周期（出力階調が全端子１５５で同一とした場合）が発生してしまうことがある。

【１０８１】

この課題に対して、本発明では図２４１に図示するように、多くの単位トランジスタ１５４を保有するｔｒｂ（トランジスタブロック）をさらに細分化する。図２４１では一例として、ｔｒｂ３２を４つのブロック（ｔｒｂ３２ａ、ｔｒｂ３２ｂ、ｔｒｂ３２ｃ、ｔｒｂ３２ｄ）に分割している。基本的には分割される単位トランジスタ１５４数は同一である。もちろん分割する単位トランジスタ１５４数は異ならせてもよいことはいうまでもない。

【１０８２】

図２４１ではｔｒｂ３２ａ、ｔｒｂ３２ｂ、ｔｒｂ３２ｃ、ｔｒｂ３２ｄは各８個の単位トランジスタ１５４で構成されている。また、ｔｒｂ１６に対しても、ｔｒｂ１６ａ、ｔｒｂ１６ｂの各８個の単位トランジスタ１５４から構成される小ブロックに分割してもよいことは言うまでもない。ここでは説明を容易にするため、ｔｒｂ３２のみが分割されているとして説明をする。

【１０８３】

出力端子１５５からの出力電流の周期をなくすためには、ＩＣ（回路）チップ内からより広い位置に形成された単位トランジスタ１５４で１つの出力段４３１ｃを構成することが有効である。この実施例が、図２４２の構成である。ただし、図２４２は概念的に図示している。実際は、横方向の配線により遠い位置にあるｔｒｂが結線されて１端子１５５の出力段４３１ｃを構成する。

【１０８４】

図２４２では、端子１５５ａのＤ５ビット目は、ｔｒｂ３２ａ１、ｔｒｂ３２ａ２、ｔｒｂ３２ｃ１、ｔｒｂ３２ｃ２から構成される。つまり本来は隣接した出力端子１５５ｂの単位トランジスタ群を用いて端子１５５ａの出力段が構成されている。同様に、端子１５５ｂのＤ５ビット目は、ｔｒｂ３２ｂ２、ｔｒｂ３２ｂ３、ｔｒｂ３２ｄ２、ｔｒｂ３２ｄ３から構成される。つまり本来は隣接した出力端子１５５ｃの単位トランジスタ群を用いて端子１５５ｂの出力段が構成されている。さらに、端子１５５ｃのＤ５ビット目は

、ｔｒｂ３２ａ３、ｔｒｂ３２ａ４、ｔｒｂ３２ｃ３、ｔｒｂ３２ｃ４から構成される。つまり本来は隣接した出力端子１５５ｄの単位トランジスタ群を用いて端子１５５ｃの出力段が構成されている。以下同様である。

【１０８５】

具体的には、図２４３のように小トランジスタ群ｔｒｂは結線される。図２４３は端子１５５ａのｔｒｂ３２のみの結線状態を図示している（他のビット、他の端子１５５も同様の結線が施される）。図２４３において、ｔｒｂ３２はｔｒｂ３２ａ１と、６端子隣のｔｒｂ３２ｂ６、１１端子隣のｔｒｂ３２ｃ１１、１６端子隣のｔｒｂ３２ｄ１６で構成されている。つまり、ｔｒｂ３２は、上下位置、左右位置がことなるｔｒｂ３２が接続（結線）されて構成される（形成される）。以上のように単位トランジスタ群４３１の各ビットを構成する単位トランジスタ１５４を離れた位置の単位トランジスタ１５４で構成することにより出力バラツキの周期性を解消することができる。

【１０８６】

しかし、図２４３のように結線を実施すると、端子１５５ｎ（最も最後の端子）は結線するｔｒｂが存在しない。この課題に対しては、トランジスタ群４３１ｃとカレントミラー対を構成する基準電流を流すトランジスタ群４３１ｂの単位トランジスタ１５８ｂ（図４８、図４９を参照のこと）を使用することにより解決できる。単位トランジスタ１５８ｂと単位トランジスタ１５４とは同一サイズ、同一形状で構成しておく。トランジスタ群４３１ｂはＩＣ（回路）１４の片方端あるいは両側に配置されている。なお、断っておくが、端子１５５ｎにおいても接続できるｔｒｂを形成する場合は、以下に説明する構成を採用する必要がないことは明らかである。

【１０８７】

トランジスタ群４３１ｂを構成する単位トランジスタ１５８ｂから構成されるｔｒｂ（３２）と同様の機能を有するトランジスタ群をｔｂとする（図２４４を参照のこと）。したがって、ｔｂとｔｒｂは同一のゲート配線１５３に接続されている。したがって、端子１５５ｎのｔｒｂ３２はｔｒｂ３２ｎ１と、６端子隣のｔｂ３２ｂ６、１１端子隣のｔｂ３２ｃ１１、１６端子隣のｔｂ３２ｄ１６で構成すればよい。

【１０８８】

なお、図２４５に図示するように、ｔｂとｔｒｂを分散してＩＣ（回路）１４内に構成または配置しておけば、図２４４のように複雑な結線は不要となることは言うまでもない。

【１０８９】

検討の結果によれば、単位トランジスタ１５４は少なくとも０．０５平方ｍｍ以上の範囲にある単位トランジスタ１５４から構成することが好ましい。さらに好ましくは０．１平方ｍｍ以上の範囲にある単位トランジスタ１５４から構成することが好ましい。さらに好ましくは０．２平方ｍｍ以上の範囲にある単位トランジスタ１５４から構成することが好ましい。この面積（平方ｍｍ）の算出は最も遠方の位置にある４個の単位トランジスタ１５４を結ぶ直線から求める。

【１０９０】

ソース信号線１８に出力するプログラム電流の偏差は、図２８６に図示するように周期性を有する場合が多い。図２８６は横軸が１チップの出力端子位置を示している。つまり、端子１からｎ端子位置である。縦軸は、３２階調目の出力プログラム電流の平均値からのずれを％で示している。図２８６に図示しているように、出力プログラム電流の偏差は周期性がある場合が多い。これは、ＩＣの製造工程の拡散プロセスによる。

【１０９１】

実線のように出力プログラム電流の偏差がある場合は、点線のように逆補正をかけることにより補正（補償）を行うことができる。補正（補償）は容易である。プログラム電流が吸い込み（シンク）電流である場合は、０～５％の範囲で吐き出し電流を加算すればよい。つまり、ソースドライバ回路（ＩＣ）１４内にＰチャンネルの単位トランジスタ１５４（図４３などの構成および説明などを参照のこと）からなる吐き出し電流回路を形成し、

この回路の吐き出し電流を各端子１５５の出力プログラム電流を加算（補償）すれはよい。また、図１６２から図１７６などで説明したトリミング技術などを用いて調整あるいは構成もしくは形成してもよい。

【１０９２】

補正（補償）する電流の大きさを決定するためには、図２８７に図示するように、端子１５５からの出力プログラム電流を測定する。映像データ（ＲＤＡＴＡ、ＧＤＡＴＡ、ＢＤＡＴＡ）を所定値（一般的には、単位トランジスタ群４３１ｃの各ビット）にして端子１５５からプログラム電流Ｉｗを出力させる。この出力電流Ｉｗを端子１５５に接続したプローブ２８７３で電流測定回路２８７２に接続し、測定する。なお、ソースドライバ回路（ＩＣ）１４内部に形成したスイッチで端子ごとの電流を切り換え電流測定回路２８７２に接続してもよいことは言うまでもない。

【１０９３】

電流測定回路２８７２は測定した電流を補正データ演算回路２８７１に出力し、補正データ演算回路２８７２は補正データを算出（演算あるいは変換）して補正回路（データ変換回路）２８７４に出力する。補正回路（データ変換回路）２８７４はフラシュメモリなどで形成されており、０～５％の範囲で吐き出し電流を端子１５５に加算する。

【１０９４】

ただし、図２８６に図示するように出力プログラム電流に周期性を有する場合は、全端子を測定することなく、一部の端子（１周期以上）の出力プログラム電流を測定することにより、全端子を出力プログラム電流のずれを予測することができる。したがって、一部の端子（１周期以上）の出力プログラム電流を測定すればよい。

【１０９５】

出力電流のバラツキは画素ピッチＰ（ｍｍ）と周期（１周期間の端子数Ｎ）と画面１４４の輝度変化割合ｂ（％）により許容範囲が定まる。たとえば、ある端子間で輝度変化が５％であっても、端子間の端子数が１０端子と１００端子では、当然のことながら、端子間が１０端子のほうが許容限度は低くなる（５％では許容できない）。

【１０９６】

以上の関係を検討した結果が図２９８である。横軸は、ｂ／（Ｐ・Ｎ）である。Ｐは画素ピッチ（ｍｍ）であり、ＮはソースドライバＩＣ１４の端子間の端子数であるから、Ｐ・Ｎで該当する周期の長さ（距離）を示す。したがって、ｂ／（Ｐ・Ｎ）は、（Ｐ・Ｎ）あたりの輝度変化割合を示すことになる。縦軸は、ｂ／（Ｐ・Ｎ）が０．５の時を１とした時の相対的な画面１４４の輝度変化の認識割合（輝度と、プログラム電流とは比例関係にあるため、出力電流偏差割合となる）である。出力電流偏差割合が大きいほど、許容できないことを示している。

【１０９７】

図２９８でもわかるように、ｂ／（Ｐ・Ｎ）が０．５以上の範囲での急にカーブの傾きが大きくなる。したがって、ｂ／（Ｐ・Ｎ）は０．５以下にすることが好ましい。

【１０９８】

輝度の変化割合は、図３０６に図示するように輝度計３０５１で測定する。ソースドライバＩＣ１４の階調を制御する制御回路３０５３で制御する。輝度計３０５１で測定された輝度は演算器３０５２で補償量が演算される。演算されたデータは図２８７に図示するように補正回路２８７４に書き込まれる。

【１０９９】

以上の実施例では、ソースドライバ回路（ＩＣ）１４の出力バラツキについて記述したが、この技術的思想は、ゲートドライバ回路（ＩＣ）１２についても適用できることは明らかである。ゲートドライバ回路（ＩＣ）１２についてもオン電圧またはオフ電圧のバラツキが発生する。したがって、本発明のソースドライバ回路（ＩＣ）１４で説明した事項をゲートドライバ回路（ＩＣ）１２に適用することにより良好なゲートドライバ回路（ＩＣ）１２を構成あるいは形成することができる。なお、いかに説明する事項に関してもゲートドライバ回路（ＩＣ）１２に適用できることは言うまでもない。

【１１００】
本発明のドライバ回路（ＩＣ）で説明する事項は、ゲートドライバ回路（ＩＣ）１２、ソースドライバ回路（ＩＣ）１４に適用することができ、また、有機（無機）ＥＬ表示パネル（表示装置）だけでなく、液晶表示パネル（表示装置）にも適用することができる。また、アクティブマトリックス表示パネルだけでなく、単純マトリックス表示パネルに本発明の技術的思想を用いてもよい。
【１１０１】
以下、本発明のソースドライバ回路（ＩＣ）１４の他の実施例について説明をする。なお、以下に説明する事項以外は、以前に説明したあるいは本明細書に記載した事項が適用できることはいうまでもない。また、適時組み合わせることができることは言うまでもない。逆に、以下の実施例で説明する事項が本発明の他の実施例適用あるいは適時採用できることも言うまでない。また、以下に説明するソースドライバ回路（ＩＣ）１４を用いて表示パネルあるいは表示装置（図１２６、図１５４から図１５７など）を構成できることは言うまでもない。
【１１０２】
図１８８は、本発明のソースドライバ回路（ＩＣ）１４の実施例である。ただし、説明に必要な部分のみ図示している。図１８８の構成においても、本発明の他の実施例とどうように、シリコンからなるＣＭＯＳトランジスタで回路構成されている（なお、回路１４をアレイ基板３０に直接形成してもよいことは言うまでもない）。
【１１０３】
図１８８において、電子ボリウム５０１を制御するデータ（ＩＲＤ、ＩＧＤ、ＩＢＤ）は、クロック（ＣＬＫ）信号に同期して、値が確定し、この値により電子ボリウム５０１のスイッチが制御され、所定の電圧がオペアンプ５０２の＋端子に印加される。
【１１０４】
オペアンプ５０２と抵抗Ｒ１、トランジスタ１５８ａにより定電流回路が構成され、基準電流Ｉｃが発生する。基準電流Ｉｃの大きさに比例して端子１５５から出力されるプログラム電流の大きさが変化する。プログラム電流発生回路１８８４は内部にカレントミラー回路とＤＡＴＡのデコーダ部を有している。より具体的にはプログラム電流発生回路１８８４は、図６０のトランジスタ１５８ｂとトランジスタ群４３１ｃの関係、図２０９、図２１０のトランジスタ１５８ｂとトランジスタ１５４の関係あるいはその類似構成が例示される。
【１１０５】
プログラム電流発生回路は、基準電流Ｉｃの大きさを基準として、映像（画像）データであるＤＡＴＡ（ＲＤＡＴＡ、ＧＤＡＴＡ、ＢＤＡＴＡ）の大きさに対応してプログラム電流Ｉｐを発生させる。
【１１０６】
発生したプログラム電流Ｉｐは電流保持回路１８８１に保持される。電流保持回路１８８１はトランジスタ１１ａ、１１ｂ、１１ｃ、１１ｄとコンデンサ１９から構成される。構成としては図１の画素構成において、ＰチャンネルトランジスタをＮチャンネルトランジスタに変更した構成である。階調電流配線１８８２に印加されたプログラム電流Ｉｐはコンデンサ１９に電圧として保持される。
【１１０７】
電流Ｉｐの保持動作は、サンプリング回路８６２の点順次動作により行われる。つまり、サンプリング回路８６２は、１０ビット（１０２４端子まで選択が可能）のアドレス信号（ＡＤＲＳ）により、プログラム電流Ｉｐを保持させる階調保持回路１８８１が選択される。選択は選択信号線１８８５に選択電圧（トランジスタ１１ｂ、１１ｃをオン状態にする電圧）を出力することにより実施される。したがって、プログラム電流Ｉｐは階調保持回路１８８１にランダムに格納させることができる。しかし、一般的には、アドレス信号ＡＤＲＳは順次カウントアップされ、電流保持回路１８８１ａから１８８１ｎが順次選択される。

【１１０８】
プログラム電流Ｉｐはコンデンサ１９に保持され、この保持された電圧により、駆動用トランジスタ１１ａはプログラム電流Ｉｐを端子１５５から出力する。電流保持回路１８８１において、駆動用トランジスタ１１ａの機能としては、図１のトランジスタ１１ａを動作とは同一である。また、図１８８のトランジスタ１１ｃ、１１ｂも図１のトランジスタ１１ｂ、１１ｃと機能あるいは動作は同一である。つまり、選択信号線１８８５に選択電圧が順次印加され、電流保持回路１８８１のトランジスタ１１ｂ、１１ｃがオンされて、プログラム電流Ｉｐがトランジスタ１１ａ（トランジスタ１１ａのゲート端子に接続されたコンデンサ１９）に保持される。
【１１０９】
すべての電流保持回路１８８１にプログラム電流Ｉｐの書き込みが完了すると、出力制御端子１８８３にオン電圧が印加され、端子１５５ａから１５５ｎに各電流保持回路１８８１に保持されたプログラム電流Ｉｐが出力される（ソース信号線１８から端子１５５にプログラム電流Ｉｐが入力される）。出力制御端子１８８３の印加されるオン電圧のタイミングは、１水平走査クロックに同期される。つまり、１画素行選択（あるいは１画素行シフト）クロックに同期される。
【１１１０】
図１８９は図１８８を模式的に図示したものである。階調電流配線１８８２を流れるプログラム電流Ｉｐはサンプリング回路８６２によりスイッチ１１ｂ、１１ｃ（トランジスタ１１ｂ、１１ｃ）が制御され、電流保持回路１８８１にプログラム電流Ｉｐが入力される。また、スイッチ１１ｂ（トランジスタ１１ｂ）が出力制御端子１８８３により制御され、一斉にオンされ、プログラム電流Ｉｐが出力される。
【１１１１】
図１８８、図１８９では、電流保持回路１８８１は１画素行分としているが、実際には、２画素行分が必要である。１画素行分（第１保持回路）は、ソース信号線１８にプログラム電流Ｉｐを出力するのに用い、他の１画素行分（第２保持回路）は、サンプリング回路８６２でサンプリングされた電流を電圧保持回路１８８１に保持するのに用いる。第１保持回路と第２保持回路とは交互に切り換えて動作させる。
【１１１２】
図２２８は第１保持回路２２８０ａと第２保持回路２２８０ｂを具備した出力段構成である。図１８８と図２２８との関係は、電流保持回路１８８１は出力回路２２８０、階調電流配線１８８２は電流信号線２２８３、出力制御端子１８８３はゲート信号線２２８２、選択信号線１８８５はゲート信号線２２８４、トランジスタ１１ａはトランジスタ２２８１ａ、トランジスタ１１ｂはトランジスタ２２８１ｂ、トランジスタ１１ｃはトランジスタ２２８１ｃ、トランジスタ１１ｄはトランジスタ２２８１ｄ、コンデンサ１９はコンデンサ２２８９が該当する。
【１１１３】
出力回路２２８０ａにプログラム電流Ｉｐがサンプリングされ入力されている時は、出力回路２２８０ｂはソース信号線１８に保持されたプログラム電流Ｉｐを出力している。逆に出力回路２２８０ａがソース信号線１８に保持されたプログラム電流Ｉｐを出力している時は、出力回路２２８０ｂはサンプリングされたプログラム電流Ｉｐを順次保持していっている。出力回路２２８０ａと出力回路２２８０ｂとが、ソース信号線１８ｂにプログラム電流Ｉｐを出力（入力）している期間は１Ｈごとに切り換えられる。この出力の切り換えはｃ１、ｃ２端子で行われる。
【１１１４】
なお、電流信号線２２８３には、リセット電圧Ｖｃｐを印加するスイッチＳｃが形成または内地している。スイッチＳｃをオンさせることにより、リセット電圧Ｖｃｐが電流信号線２２８３に印加される。リセット電圧Ｖｃｐは、ＧＮＤ電圧に近い電圧である。リセット電圧を印加する際は、ゲート信号線２２８４にオン電圧を印加し、トランジスタ２２８１ｂ、２２８１ｃをオンさせる。トランジスタ２２８１ｂ、２２８１ｃをオンさせるこ

とにより、コンデンサ２２８９の電荷を放電することができ、トランジスタ２２８１ａが電流を出力しない状態にできる。

【１１１５】

つまり、リセット電圧Ｖｃｐはトランジスタ２２８１ａをオフあるいはオフ状態に近い状態にする電圧である。なお、リセット電圧Ｖｃｐは、トランジスタ２２８１ａが中間レベルの電圧と出力するように構成などしてもよいことは言うまでもない。

【１１１６】

図２２９は図２２８の回路の動作タイミングチャート図である。図２２９において、Ｓｉｇには、プログラム電流発生回路１８８４からの信号である。映像信号に対応した電流が連続的に印加される。Ｓｃはリセットスイッチの動作を示している。Ｈレベルの時スイッチＳｃはオン状態であり、電流配線２２８３にリセット電圧Ｖｃｐが印加される。図２２９でもわかるようにリセット電圧Ｖｃｐは１Ｈの最初に印加されていることがわかる。

【１１１７】

まず、電流保持回路（出力回路）２２８０ａまたは２２８０ｂにリセット電圧Ｖｃｐが印加された後、プログラム電流Ｉｐが出力回路２２８０にサンプリングされて保持される。なお、リセット電圧Ｖｃｐは１Ｈに１回に限定するものではなく、１出力回路２２８０のサンプリングごとに印加してもよく、また、複数出力回路２２８０のサンプリングごとにリセット電圧Ｖｃｐを印加してもよい。また、１フレームまたは複数フレームごとにリセット電圧を印加してもよい。

【１１１８】

ｃ１およびｃ２は切り換え信号である。ｃ１のロジック電圧がＨレベルの時には、出力回路２２８０ａが選択され、ｃ２のロジック電圧がＨレベルの時には、出力回路２２８０ｂが選択されてソース信号線１８にプログラム電流Ｉｐが出力される。

【１１１９】

以上のように出力回路２２８０ａまたは２２８０ｂを選択し、順次プログラム電流Ｉｐを印加（保持）させるためには、図２３０に図示するようにサンプリング回路８６２を２つ設けるとよい。サンプリング回路８６２ａは出力回路２２８０ａを順次選択して、出力回路２２８０ａにプログラム電流Ｉｐを保持させる。サンプリング回路８６２ｂは出力回路２２８０ｂを順次選択して、出力回路２２８０ｂにプログラム電流Ｉｐを保持させる。

【１１２０】

リセット電圧Ｖｃｐは図７５に図示するように、プリチャージ電圧を変化させる構成を採用してもよい。なお、プリチャージ電圧に関する事項で説明した事項は、リセット電圧Ｖｃｐにも適用することができる。図７５のようなプリチャージ回路を、図２３０のリセット回路２３０１に置き換えればよい。同様に基準電流回路１８８４も以前に説明した構成を採用すればよい。

【１１２１】

出力回路２２８０で課題になるのは、ゲート信号線２２８４に印加した信号により、保持用のトランジスタ２２８１ａのゲート端子電位が変化し、保持されたプログラム電流Ｉｐから変化してしまうことがある。これは、ゲート信号線２２８４に印加された電圧波形が、寄生容量により突き抜けてゲート端子電位を変化させることにより発生する。この突き抜け電圧により保持用トランジスタ２２８１ａがＮチャンネルトランジスタの場合は、保持されたプログラム電流Ｉｐが小さくなる。保持用トランジスタ２２８１ａがＰチャンネルの場合は、図２２８の構成では、保持されたプログラム電流が大きくなる。

【１１２２】

この課題を解決する構成を図２３１に図示している。図２３１の出力回路２２８０では、スイッチ用トランジスタ２２８１ｂとコンデンサ２２８９間にトランジスタ２３１１を形成または配置している。トランジスタ２３１１は配線をオープンする機能を有する。

【１１２３】

トランジスタ２３１１は、出力回路２２８０にサンプリングされたプログラム電流Ｉｐが保持され、ゲート信号線２２８４にオフ電圧が印加される（出力回路２２８０が電流信

号線２２８３から切り離される）前に動作する（オフする）。つまり、まず、ゲート信号線２２８２にオフ電圧が印加されたのち、遅れてゲート信号線２２８４にオフ電圧が印加される。したがって、トランジスタ２３１１がオフした後、出力回路２２８０が電流信号線２２８３から切り離される。

【１１２４】

図２３２はゲート信号線２２８４と２２８５のなどのタイミングチャート図である。図２３２でわかるように、ゲート信号線２２８５にオフ電圧が印加された後、ゲート信号線２２８４にオフ電圧が印加される。

【１１２５】

以上のように、まず、トランジスタ２３１１をオフさせる。トランジスタ２３１１をオフすることによりゲート信号線２２８４の突き抜け電圧の軽減することができる。なお、図２３２における時間ｔは０．５μｓｅｃ以上にすることが好ましい。また、さらに好ましくは１μｓｅｃ以上にすることが好ましい。

【１１２６】

保持用トランジスタ２２８１ａはキンク（アーリー効果）の影響を防止あるいは抑制するため、一定のＷＬ比とすることが好ましい。図２３３はこのアーリー効果の発生比をグラフ化したものである。図２３３で図示するように、Ｌ／Ｗ比が２以下ではアーリー効果の影響が大きくなる。逆にＬ（トランジスタ２２８１ａチャンネル長（μｍ）／Ｗ（トランジスタ２２８１ａのチャンネル幅（μｍ））は２以上では、急激にアーリー効果の影響は小さくなる。以上のことから、保持用トランジスタ２２８１ａはＬ／Ｗ比が２以上にすることが好ましい。さらに好ましくは４以上にする。

【１１２７】

また、保持用トランジスタ２２８１ａのチャンネル間電圧（ＩＣ内ソースードレイン電圧Ｖｓｄ）とアーリー効果とも関連がある。この関連を図２３４に図示している。なお、Ｖｓｄ電圧とは、保持用トランジスタ２２８１ａに印加される最大電圧であり、図２３１などでは、端子１５５に印加される電圧である。

【１１２８】

図２３４のグラフでも図示するように、Ｖｓｄ電圧が９Ｖ以上でアーリー降下の影響が顕著になる傾向にある。したがって、端子１５５に印加される電圧つまりソース信号線１８に印加される電圧は９Ｖ以下０Ｖ以内（ＧＮＤ）にすることが好ましい。さらに好ましくは、ソース信号線１８に印加される電圧は８Ｖ以下０Ｖ以上にする必要がある。

【１１２９】

以上の実施例は出力回路２２８０を２段設ける構成であった。しかし、本発明はこれに限定するものではなく、図２３７に図示するように複数形成してもよい。図２３７では出力回路２２８０ａを出力回路２２８０ａｈと２２８０ａｌの２つで構成し、同様に出力回路２２８０ｂを出力回路２２８０ｂｈと２２８０ｂｌの２つで構成している。出力回路２２８０ａｈおよび２２８０ｂｈは、比較的大きなプログラム電流Ｉｐｈを出力する回路であり、出力回路２２８０ａｌおよび２２８０ｂｌは、比較的小さなプログラム電流Ｉｐｌを出力するものである。

【１１３０】

以上のように、出力回路２２８０ａ、２２８０ｂを複数に分割することにより各出力回路２２８０が分担する階調を分離あるいは加算して出力することができる。そのため、精度のよいプログラム電流Ｉｐを出力することができる。

【１１３１】

本発明のソースドライバ回路（Ｉｃ）１４の出力段は、図２４６のように構成してもよい。図２４６では、１出力段は、１の大きさの電流を出力する出力段回路２２８０ａ、２の大きさの電流を出力する出力段回路２２８０ｂ、４の大きさの電流を出力する出力段回路２２８０ｃ、８の大きさの電流を出力する出力段回路２２８０ｄ、１６の大きさの電流を出力する出力段回路２２８０ｅ、３２の大きさの電流を出力する出力段回路２２８０ｆから構成される。出力段回路２２８０ａ～２２８０ｆは映像データの各ビットに対応して

動作する。対応して動作した出力段回路２２８０ａ～２２８０ｆは加算されて、端子１５５から出力される。図２４６にように構成することにより精度のよい電流出力を実現できる。

【１１３２】

以上の実施例は、主としてシリコンチップからなるＩＣでソースドライバ回路（ＩＣ）１４を構成するものであった。しかし、本発明はこれに限定するものではなく、アレイ基板３０に直接にポリシリコン技術（ＣＧＳ技術、低温ポリシリコン技術、高温ポリシリコン技術など）を用いて出力段回路２２８０など（ポリリシコン電流保持回路２４７１）を形成または構成してもよい。

【１１３３】

図２４７はその実施例である。Ｒ、Ｇ、Ｂの出力段回路２２８０（Ｒ用は２２８０Ｒ、Ｇ用は２２８０Ｇ、Ｂ用は２２８０Ｂ）と、ＲＧＢの出力段回路２２８０を選択するスイッチＳがポリシリコン技術で形成（構成）されている。スイッチＳは１Ｈ期間を時分割して動作する。基本的には、スイッチＳは、１Ｈの１／３期間がＲの出力段回路２２８０Ｒに接続され、１Ｈの１／３期間がＧの出力段回路２２８０Ｇに接続され、残りの１Ｈの１／３期間がＢの出力段回路２２８０Ｂに接続される。表示あるいは駆動方法は、図３７、図３８で説明しているので説明を省略する。

【１１３４】

図２４７に図示するように、シフトレジスタ回路、サンプリング回路などを有するソースドライバ（回路）１４は、端子１５５でソース信号線１８と接続される。ポリシリコンからなるスイッチＳが時分割で切り換えられ、出力段回路２２８０ＲＧＢに接続される。出力段回路２２８０ＲＧＢはＲＧＢの映像データからなる電流が保持され、図２２８から図２３４などで説明した構成あるいは制御方法でソース信号線１８ＲＧＢにプログラム電流Ｉｗを出力する。なお、図２４７ではポリリシコン電流保持回路２４７１は１段分しか図示していないが、実際には２段構成されていることは言うまでもない（図２２８から図２３４の説明を参照のこと）。

【１１３５】

図２４７では、スイッチＳは、１Ｈの１／３期間がＲの出力段回路２２８０Ｒに接続され、１Ｈの１／３期間がＧの出力段回路２２８０Ｇに接続され、残りの１Ｈの１／３期間がＢの出力段回路２２８０Ｂに接続されると説明したが本発明はこれに限定するものではない。たとえば、図２５５に図示するように、Ｒ、Ｇ、Ｂを選択する期間は異なっていてもよい。これは、Ｒ、Ｇ、Ｂのプログラム電流Ｉｗの大きさが異なっているためである。Ｒ、Ｇ、ＢでＥＬ素子１５の効率が異なるため、Ｒ、Ｇ、Ｂでプログラム電流の大きさが異なる。プログラム電流の大きさが小さいと、ソース信号線１８の寄生容量の影響を受けやすいため、プログラム電流の印加期間を長くし、十分にソース信号線１８の寄生容量の充放電期間を確保する必要がある。一方で、ソース信号線１８の寄生容量の大きさは、Ｒ、Ｇ、Ｂで同一であることが多い。

【１１３６】

図２５５は、赤（Ｒ）のＥＬ素子１５の効率が良好で、プログラム電流が最も小さいことを想定している。また、緑（Ｇ）のＥＬ素子１５の効率が悪く、プログラム電流が最も大きいことを想定している。青（Ｂ）は、ＲとＧとの中間レベルの効率である。したがって、図２５５では、１Ｈ期間において、Ｒデータの選択期間（図２４７の２２８０Ｒが選択されている期間）を最も長くし、Ｇデータの選択期間（図２４７の２２８０Ｇが選択されている期間）を最も短くし、Ｂデータの選択期間（図２４７の２２８０Ｂが選択されている期間）を、その中間の期間としている。

【１１３７】

なお、保持用トランジスタ２２８１ａのモビリティは４００以下１００以上にすることが好ましい。さらに好ましくは、モビリティは３００以下１５０以上にすることがこのましい。この条件を満足させるために、トランジスタ２２８１ａを構成するゲート絶縁膜を厚くする。厚くする方法としては、ゲート絶縁膜を２層蒸着などの多層構成にする例が例

示される。

【１１３８】

以下、本発明の表示パネルの検査方法について説明をする。図２０２は、本発明の表示パネルの完成前の状態である。ソース信号線１８の一端がショート配線２０２１でショート状態にされている。検査後、ショートしている箇所はＡＡ’線で切断して完成する。ショート配線２０２１にプローブを置き検査電圧を印加することより全ソース信号線１８に検査電圧を印加することができる。

【１１３９】

ショート配線２０２１を形成しない場合（分離した状態）は、ソース信号線１８のＣＯＧ端子から電圧もしくは電流を印加する。図２０３はＣＯＧ端子（ソース信号線端子）２０３４に、検査用のショートチップ２０３２を実装した例である。ショートチップ２０３２は金属あるいは導電体から構成される。なお、ショートチップはガラス基板などの絶縁物にアルミが蒸着されたものでもよい。ショートチップは端子２０３４を電気的短絡できるものであればいずれのものでもよい。もしくは、少なくともショートチップは、ソース信号線端子２０３４に電圧などの電気信号を印加できるように構成する。

【１１４０】

ショートチップ２０３２とアノード端子配線２０３１に図２０３に図示するように直流あるいは交流電圧（電流）を印加する。ショートチップ２０３２は端子２０３３を介してソース信号線１８と接続されている。したがって、画素１６のソース信号線１８とアノードに電圧を印加することができる。たとえば、図１のＶｄｄ端子とソース信号線１８に電圧を印加できる。この状態でゲートドライバ１２に電源電圧を印加し、クロックなどを印加して（図１４などを参照のこと）動作させる。画素１６は画素行ごとに順次選択され、ソース信号線１８に印加された電圧が駆動用トランジスタ１１ａのゲート端子に印加される。ゲート端子への電圧印加により駆動用トランジスタ１１ａからソース信号線１８に電流流れる。もしくは、ＥＬ素子１５に電流が流れ、ＥＬ素子１５が発光する。

【１１４１】

以上の動作は、ゲートドライバ回路１２を走査して動作させることによりＥＬ素子１５が順次発光し、発光の点滅状態あるいは点灯状態を光学的に検出することによりＥＬ表示パネルの検査を行うことができる。

【１１４２】

検査は光学的に実施する。光学的とは、人間の視覚で判断すること、ＣＣＤカメラで撮影し画像認識で検出すること、ホトセンサで電気的な信号の大きさで判断することなどが例示される。検出は、画素が常時輝点となること、常時黒点となること、線欠陥、点滅欠陥などである。また、表示スジ、濃淡ムラなどを検出する。また、フリッカの発生状態を検出する。

【１１４３】

図２０３はショートチップ２０３２を用いるものであるが、導電性の液体などをソース信号線端子２０３４に滴下してもよい。滴下した液体などとアノード端子配線２０３１間に直流あるいは交流の電圧（電流）を印加する。電流プログラム方式では、印加する電流がμＡ程度と微小電流である。したがって、導電性の液などが高抵抗であっても検査には十分である。導電性のある液体あるいはゲルとしては水酸化ナトリウム、塩酸、硝酸、塩化ナトリウム溶液、銀ペースト、銅ペーストなどが例示される。

【１１４４】

以上の実施例では、ゲートドライバ回路１２を動作させ、ゲートドライバ回路１２を走査状態にして、画素行ごとにＥＬ素子１５を点灯状態にして、パネルあるいはアレイの検査を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、表示画面を一括して点灯させて検査をしてもよい。

【１１４５】

図２０５は画面の一括検査の説明図である。

【１１４６】

なお、説明を容易にするため、画面を一括検査するとして説明するが、これに限定されない。画面をブロックに分割して検査を行ってもよいし、複数画素行ずつ順次点灯して検査をおこなってもよい。つまり、多数画素を同時に点灯して検査を実施してもよい。１画素ずつ点灯させて検査を実施してもよいことは言うまでもない。

【１１４７】

説明を容易にするため、アノード電圧Ｖｄｄを６（Ｖ）とし、駆動用トランジスタ１１ａは５（Ｖ）以下にすることにより、ＥＬ素子１５を十分に点灯させる電流を供給できるものとする。また、全ゲート信号線１７には外部から電圧が印加されているものとする。以上のように、本発明の検査方法では、画素１６の駆動用トランジスタ１１ａがＰチャンネルの時、駆動用トランジスタ１１ａの立ち上がり電圧以下の電圧をソース信号線１８に印加できるように構成する。この立ち上がり電圧は説明を容易にするために５（Ｖ）としている。また、ソース信号線に印加する電圧は、アノード電圧Ｖｄｄからアノード電圧Ｖｄｄ－８（Ｖ）であり、好ましくは、アノード電圧Ｖｄｄからアノード－６（Ｖ）の範囲であるとして説明をする。

【１１４８】

図２０５では、ソース信号線１８には、０～５（Ｖ）の検査電圧が印加されているものとする。したがって、この電圧が駆動用トランジスタ１１ａのゲート端子に印加されることにより、駆動用トランジスタ１１ａが電流を流せるようになる。

【１１４９】

検査方法は、まず、すべてのゲート信号線１７ｂにオフ電圧Ｖｇｈ電圧を印加した状態で、ゲート信号線１７ａをオフ電圧（Ｖｇｈ）からオン電圧（Ｖｇｌ）に変化させることによりソース信号線１８の電位が画素１６に書き込まれる。ソース信号線１８の電位が駆動用トランジスタ１１ａの立ち上がり電圧以下（５（Ｖ）以下）であれば、駆動用トランジスタ１１ａに電流が流れるようにプログラムが行われる。

【１１５０】

次に、すべてのゲート信号線１７ｂにオン電圧Ｖｇｌ電圧を印加し、同時にまたはそれよりも早く、ゲート信号線１７ａをオン電圧（Ｖｇｌ）からオフ電圧（Ｖｇｈ）に変化させる。すると、駆動用トランジスタ１１ａなどが正常であれば、駆動用トランジスタ１１ａからＥＬ素子１５に電流が供給され、ＥＬ素子１５が点灯する。

【１１５１】

また、ＥＬ素子１５が点灯状態で、ゲート信号線１７ｂにオン電圧とオフ電圧を交互に印加すればＥＬ素子１５が点滅する。したがって、スイッチ用トランジスタ１１ｄの良否を判定できる。

【１１５２】

なお、図２０５において、ゲート信号線１７ａとゲート信号線１７ｂの両方にオン電圧を印加した状態で、ソース信号線１８に印加する電圧を駆動用トランジスタ１１ａの立ち上がり電圧以上と以下の間を周期的に変化させてもよい。周期的に変化させることによりこの周期的な変化に対応してＥＬ素子１５が発光する。なお、この場合のＥＬ素子１５の発光電流Ｉｔは、ソース信号線１８から供給される。また、場合によっては駆動用トランジスタ１１ａから供給される。

【１１５３】

以上のように動作させることにより、駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃ、１１ｂ、１１ｄの性能、欠陥を検出できる。また、駆動用トランジスタ１１ａ、ＥＬ素子１５の性能、特性を評価できる。

【１１５４】

以上の実施例は、ソース信号線１８の電位を変化させることにより、ＥＬ素子をソース信号線１８の電位に応じて発光制御するものである。しかし、本発明はこれに限定するものではない。たとえば、図２０６に図示するように、アノード電圧Ｖｄｄを変化させてもよい。

【１１５５】

検査方法は、まず、すべてのゲート信号線１７ｂにオフ電圧Ｖｇｈ電圧を印加した状態で、ゲート信号線１７ａをオフ電圧（Ｖｇｈ）からオン電圧（Ｖｇｌ）に変化させることによりソース信号線１８の電位が画素１６に書き込まれる。ソース信号線１８の電位が駆動用トランジスタ１１ａの立ち上がり電圧以下（５（Ｖ）以下）であれば、駆動用トランジスタ１１ａに電流が流れるようにプログラムが行われる。

【１１５６】

次に、すべてのゲート信号線１７ｂにオン電圧Ｖｇｌ電圧を印加し、同時にまたはそれよりも早く、ゲート信号線１７ａをオン電圧（Ｖｇｌ）からオフ電圧（Ｖｇｈ）に変化させる。すると、駆動用トランジスタ１１ａなどが正常であれば、駆動用トランジスタ１１ａからＥＬ素子１５に電流Ｉｔが供給され、ＥＬ素子１５が点灯する。また、ＥＬ素子１５が点灯状態で、ゲート信号線１７ｂにオン電圧とオフ電圧を交互に印加すればＥＬ素子１５が点滅する。したがって、スイッチ用トランジスタ１１ｄの良否を判定できる。

【１１５７】

ゲート信号線１７ａにオフ電圧を印加し、ゲート信号線１７ｂのオン電圧を印加した状態で、アノード端子（Ｖｄｄ電圧）にＶｄｄ電圧を、駆動用トランジスタ１１ａの立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応してＥＬ素子１５が発光する。なお、この場合のＥＬ素子１５の発光電流は、駆動用トランジスタ１１ａから供給される。以上のように動作させることにより、駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃ、１１ｂ、１１ｄの性能、欠陥を検出できる。また、駆動用トランジスタ１１ａ、ＥＬ素子１５の性能、特性を評価できる。以上の実施例は、画素構成が図１として説明したが、これに限定されるものではなく、図２、図７、図１１、図１２、図１３、図２８、図３１、図６０７などの他の画素構成のＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【１１５８】

以上の実施例は、画素構成が電流プログラム方式の場合を例示した。しかし、本発明はこれに限定するものではなく、図２のように電圧プログラム方式であっても検査できることはいうまでもない。

【１１５９】

図２０７は電圧プログラム方式の画素構成における検査方法の説明図である。検査方法は、まず、すべてのゲート信号線１７ａをオフ電圧（Ｖｇｈ）からオン電圧（Ｖｇｌ）に変化させることによりソース信号線１８の電位が画素１６に書き込まれる。ソース信号線１８の電位が駆動用トランジスタ１１ａの立ち上がり電圧以下（５（Ｖ）以下）であれば、駆動用トランジスタ１１ａに電流が流れるようにプログラムが行われる。

【１１６０】

次に、ゲート信号線１７ａをオン電圧（Ｖｇｌ）からオフ電圧（Ｖｇｈ）に変化させる。すると、駆動用トランジスタ１１ａなどが正常であれば、駆動用トランジスタ１１ａからＥＬ素子１５に電流Ｉｔが供給され、ＥＬ素子１５が点灯する。

【１１６１】

また、ゲート信号線１７ａにオフ電圧を印加し、アノード端子（Ｖｄｄ電圧）にＶｄｄ電圧を、駆動用トランジスタ１１ａの立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応してＥＬ素子１５が発光する。なお、この場合のＥＬ素子１５の発光電流は、駆動用トランジスタ１１ａから供給される。以上のように動作させることにより、駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃの性能、欠陥を検出できる。また、駆動用トランジスタ１１ａ、ＥＬ素子１５の性能、特性を評価できる。

【１１６２】

以下、図面を参照しながら本発明の他の実施例における検査方法について説明をする。図２０２はショート配線２０２１を検査後に切断する方式であった。図２２３は、ソース信号線１８の一端に検査スイッチとしてのトランジスタ２２３２を形成または配置した構成である。トランジスタ２２３２のゲート端子に電圧を印加することにより、トランジス

タ２２３２はオンし、テスト電圧（Ｖｔｅｓｔ）がソース信号線１８に印加される。トランジスタ２２３２のオンオフ制御はオンオフ制御手段２２３１により行われる。

【１１６３】

オンオフ制御手段２２３１は、トランジスタ２２３２をオンオフ制御するが、その制御はゲートドライバ回路１２と同期をとって実施される。具体的には、図２０３から図２０７で説明した検査方法が実施される。

【１１６４】

たとえば、図２２４に図示するようにして検査は実施される。トランジスタ２２３２がオンすることにより、図２２４（ａ）に図示するように、Ｖｔｅｓｔ電圧はトランジスタ２２３２を介してソース信号線１８に印加される。また、この時、ゲート信号線１７ｂにはオフ電圧が印加されており、トランジスタ１１ｄはオープン状態である。検査する画素１６のゲート信号線１７ａにオン電圧が印加されていれば、図２２４に図示するように、Ｖｔｅｓｔ電圧が駆動用トランジスタ１１ａのゲート端子に印加される。この電圧は駆動用トランジスタ１１ａの立ち上がり電圧以上である。

【１１６５】

次に、図２２４（ｂ）に図示するように、ゲート信号線１７ａにはオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。したがって、駆動用トランジスタ１１ａからＥＬ素子１５に電流Ｉｔが流れ、ＥＬ素子１５が発光する。

【１１６６】

また、図２２３の構成において、オンオフ制御手段２２３１を制御し、トランジスタ２２３２をオンオフ制御すれば、すべての画素１６のゲート信号線１７ａにオン電圧が印加されていても、ＥＬ素子１５を点滅表示させることができる。つまり、トランジスタ２２３２によりＥＬ素子１５などの特性などを評価あるいは検査することができる。

【１１６７】

図２２３はトランジスタ２２３２を制御することによりソース信号線１８に電流あるいは電圧を印加し、ＥＬ表示パネルあるいはＥＬ表示パネル用アレイを検査もしくは評価を実施するものであった。

【１１６８】

図２２５はソース信号線１８に形成された保護ダイオード２２５１を利用してソース信号線１８に検査に必要な電圧または電流を印加するものである。保護ダイオード２２５１は静電気保護のため、各ソース信号線１８にポリシリコン技術を用いて形成される。なお、ダイオード２２５１はトランジスタをダイオード接続して形成する（図４３６も参照のこと）。

【１１６９】

図２２５に図示するように、各ソース信号線１８には保護ダイオード２２５１ａ、２２５１ｂが接続されている。通常の電圧（ＶＬ、ＶＨ）設定状態では、保護ダイオードはオフ状態になるようにされている。つまり、各保護ダイオード２２５１にはＶＬあるいはＶＨにより逆電圧が印加されオフ状態である。

【１１７０】

検査時は、保護ダイオード２２５１をオン状態になるようにＶＬ電圧またはＶＨ電圧もしくは両方の電圧を設定する（操作する）。たとえば、ＶＬ電圧を高電圧にすることにより、電圧配線２２５２ａから保護ダイオード２２５１ｂを介して、検査電圧（前記高電圧：Ｖｄｄ～Ｖｄｄ－６（Ｖ））はソース信号線１８に印加することができる。また、ＶＨ電圧を低電圧にすることにより、電圧配線２２５２ｂから保護ダイオード２２５１ａを介して、検査電圧Ｖｋ（前記低電圧）をソース信号線１８に印加することができる。

【１１７１】

図４３６に図示するように、保護ダイオード２２５１を介して各ソース信号線１８に検査電圧Ｖｋを印加する。検査電圧Ｖｋは、駆動用トランジスタ１１ａが飽和電圧になる電圧である。駆動用トランジスタ１１ａがＰチャンネルトランジスタであり、アノード電圧Ｖｄｄが６（Ｖ）であれば、検査電圧Ｖｋは０以上２（Ｖ）以下になるように設定するこ

とが好ましい。もしくは、Ｖｄｄ－６以上Ｖｄｄ－４（Ｖ）以下となるように設定することが好ましい。なお、０（Ｖ）とは映像信号の最低電圧である。つまり、ソースドライバＩＣ１４が出力する最も低い電圧である。したがって、０（Ｖ）に限定されるものではない。駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、最大輝度の白ラスターを表示する時にソースドライバＩＣ１４がソース信号線１８に出力する電圧である。また、駆動用トランジスタ１１ａのチャンネル幅をＷ（μｍ）、チャンネル長をＬ（μｍ）（１画素１６が複数の駆動用トランジスタ１１ａで構成されている場合であって、駆動用トランジスタ１１ａが並列にｎ接続配置されている場合は、Ｗ×ｎとする。駆動用トランジスタ１１ａが直列にｎ接続配置されている場合は、Ｌ×ｎとする。）とした場合、Ｖｄｄ－Ｖｄｄ／（１．５×Ｌ／Ｗ）以下、０（Ｖ）（駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、最大輝度の白ラスターを表示する時にソースドライバＩＣ１４がソース信号線１８に出力する電圧）以上にすることが好ましい。さらに、Ｖｄｄ－Ｖｄｄ／（２×Ｌ／Ｗ）以下、０（Ｖ）（駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、最大輝度の白ラスターを表示する時にソースドライバＩＣ１４がソース信号線１８に出力する電圧）以上にすることが好ましい。

【１１７２】

なお、駆動用トランジスタ１１ａがＮチャンネルの場合は、Ｎチャンネルトランジスタに飽和電圧を印加するようにする。つまり、Ｐチャンネルトランジスタの場合を読み替えればよいので説明を省略する。また、図４３６などに実施例では、保護ダイオード２２５１を介してソース信号線１８に電圧を印加するとしたが、これに限定するものではなく、他の方法で電圧を印加してもよいことは言うまでもない。たとえば、トランジスタを介してあるいはプローバをソース信号線１８端に圧接して電流あるいは電圧を印加してもよいことは言うまでもない。

【１１７３】

図４３６などに図示するように、ソース信号線１８に電圧を印加し、駆動用トランジスタ１１ａに電流を流すことにより画面１４４の画素１６のＥＬ素子１５を点灯させることができる。したがって、ＥＬパネルの点灯評価を容易に実現できる。また、一定以上の大きな電流をＥＬ素子１５に流すことにより、駆動用トランジスタ１１ａは飽和動作するから、レーザーショットムラによる駆動用トランジスタ１１ａの特性ムラもほとんど発生しない。したがって、良好な表示検査を実現できる。

【１１７４】

しかし、駆動用トランジスタ１１ａが飽和状態で点灯させると、ＥＬ素子１５に大きな電流が流れる。そのため、ＥＬ表示パネルで発熱が発生し、検査工程においてＥＬ表示パネルの劣化が発生することがある。この課題に関しては、図４２９などに図示する本発明のｄｕｔｙ比制御を実施する（図１９～図２７、図５４なども参照のこと）。

【１１７５】

図４３９（ａ）に図示するように、点灯領域１９３の割合を多くすると、検査時に画面１４４が明るくなり、点欠陥検査などをやりやすくなる。しかし、点灯領域１９３の割合を多くすると、パネルの発熱量も大きくなる。図４３９（ｂ）に図示するように、点灯領域１９３の割合を少なくすると、検査時に画面１４４が暗くなり、点欠陥検査などは多少やりにくくなる。パネルの発熱量は少なくできる。ｄｕｔｙ比制御は、図１９～図２７、図５４などで説明したように、ゲートドライバ回路１２ｂなどを制御することにより容易に実現できる。以上のように、本発明の検査方法は、ゲートドライバ回路１２を制御し、ｄｕｔｙ比制御を実施することを特徴としている。

【１１７６】

図２２６は検査状態の説明図である。保護ダイオード２２５１はリーク状態の時は抵抗としてみなせる。本発明のように、保護ダイオードをリーク状態にすることによりソース信号線に検査電圧（電流）を印加し、ＥＬ表示パネルまたはアレイを検査できるのは、画１６が電流プログラム方式であることに起因することが大きい。電流プログラム方式では、プログラムする電流はμＡ程度と微小である。したがって、保護ダイオード２２５１が

リーク状態のように高抵抗の場合であっても、微小電流の印加あるいは吐き出しには影響を与えない。

【１１７７】

検査は表示領域１９３の全画素１６を同時に点灯などさせて検査を実施してもよいが、図２２７（ａ）（ｂ）に図示するように画素行を順次選択して走査させて検査を実施してもよい。図２２７（ａ）（ｂ）で１９１が検査電流を書き込んでいる画素行である。また、１９３はＥＬ素子１５を点灯などして光学的に検査を実施している領域である。１９２は非点灯領域である。

【１１７８】

以上のように、表示領域１４４に点灯領域１９３と非点灯領域とを同時に行うことにより光学的検査が容易になる。黒表示と白表示の欠陥状態が同時にあるいは走査状態（順次）で検査が実現できるからである。以上の制御は図１４などで説明したように、ゲートドライバ回路１２を制御することにより容易に実現できる。走査あるいは選択方法が以前に説明しているので説明を省略する。

【１１７９】

電圧配線２２５２の電位を保護ダイオード２２５１がオンまたはリーク状態になるようにして、電圧配線２２５２からソース信号線１８に電流または電圧を印加することにより検査を実現できる。なお、検査方法は以前に説明したものを同様であるので説明を省略する。

【１１８０】

本発明は、電流プログラム方式などの画素構成を有するアレイあるいは表示パネルの検査方法である。ソース信号線１８には保護ダイオード２２５１をリークさせ、このリーク電流を画素に書き込み、この書き込んだ電流でＥＬ素子を発光させるものである。この発光状態あるいは点灯状態もしくは点滅状態でＥＬ素子１５の特性、欠陥を検出する。同時にゲートドライバ回路１２に信号を印加し、走査させて、選択するゲート信号線１７を移動あるいは常時選択して検査などを実施する。以上の走査あるいは制御により画素１６のトランジスタ１１の欠陥検出などを実現する。

【１１８１】

電流プログラム駆動方式では、ソース信号線１８に印加するプログラム電流がμＡオーダーである。そのため、ダイオード２２５１を介して印加する電流で画素１６の電流プログラムを十分実現することができる。したがって、検査が実現する。一方で電圧プログラム方式ではソース信号線１８には電圧データを書き込む必要がある。そのため、検査は実現しにくい。

【１１８２】

図２２５では、保護ダイオード２２５１を形成などするとしたがこれに限定するものではなく、図２２３と同様にスイッチ素子、リレー回路などを形成または配置してもよいことは言うまでもない。

【１１８３】

図２２５、図２２３の検査方法では、外部から電圧あるいは電流を印加することにより検査を実現する方法（方式）であった。しかし、本発明はこれに限定するものではない。たとえば、図１などの画素構成では、スイッチ用トランジスタ１１ｂ、１１ｃをオンさせることにより（トランジスタ１１ｄはオフ（オープン）状態）、アノードＶｄｄから駆動用トランジスタ１１ａを流れる電流はソース信号線１８を介して、アレイ（表示パネル）外部に取り出すことができる。この電流の大きさ、流れる方向を測定あるいは評価することにより、アレイなどの検査あるいは評価を実現できる。同様にカソードＶｓｓ、ＥＬ素子１５を介して流れる電流をソース信号線１８から外部に取り出すことができる。したがって、同様にＥＬ素子１５などの検査を実現できる。

【１１８４】

図２２３、図２２５などにおいて、すべてのソース信号線１８に一度に所定の電圧を印加するとしたがこれに限定するものではない。電圧の代りに電流でもよい。たとえば、図

２２５において、電圧配線２２５２に低電流あるいは定電流を印加する。この電流をプログラム電流として活用し、ゲートドライバ回路１２を走査することにおり、画素１６に電流プログラムを実施することができる。

【１１８５】

また、オンオフ制御手段を複数設けて、１つのオンオフ制御手段は奇数番目のソース信号線１８に電圧または電流を印加し、他のオンオフ制御手段は偶数番目のソース信号線１８に電圧または電流を印加するように構成してもよい。また、トランジスタ２２３２はリレーなどの外づけ素子であってもよい。また、ホトダイオードなど光照射によりオンオフ制御できるものであってもよい。

【１１８６】

以上の実施例では、検査に必要な電圧または電流をパネルの外部からソース信号線１８などに印加するとしたが、本発明はこれに限定するものではなく、検査電圧などの発生手段をアレイ基板３０などにポリシリコン技術などを用いて内蔵させてもよい。また、電流を印加するだけでなく、電流を吸収する（ｓｉｎｋ方式）方式であってよい。また、ＥＬ素子１５あるいは駆動用トランジスタ１１ａが流す電流はソース信号線１８を介して検出あるいは測定する方式であってもよい。

【１１８７】

図４３７はアレイ状態などにおいて、画素１６の欠陥検査の方法の説明図である。図４３７（ａ）に図示するように、ソース信号線１８に電圧Ｖｃを印加する（図２２６なども参照のこと）。また、ゲート信号線１７ａ１およびゲート信号線１７ａ２にオン電圧を印加する。前記オン電圧の印加により、スイッチング用トランジスタ１１ｂ、１１ｃがオンする。スイッチング用トランジスタ１１ｂ、１１ｃによりソース信号線１８に印加された検査用電圧Ｖｃを駆動用トランジスタ１１ａのゲート端子に印加する。印加した電圧Ｖｃはコンデンサ１９に保持される。

【１１８８】

次に、図４３７（ｂ）に図示するように、検査電圧Ｖｃを除去し、ソース信号線１８に電流計（電流検出手段あるいは電流測定手段）４３７１を接続する（検査電圧Ｖｃの印加時に電流計４３７１は接続したままでもよい）。

【１１８９】

ゲート信号線１７ａ２にオフ電圧を印加し、ゲート信号線１７ａ１はオン電圧を印加する（オン電圧を印加したままにする）。したがって、駆動用トランジスタ１１ａのドレイン端子とゲート端子間はオープン状態となるから、コンデンサ１９に保持された電圧が検査時に保存される。そのため、駆動用トランジスタ１１ａは、印加された電圧（電流）による出力電流を流すことができる。

【１１９０】

ゲート信号線１７ａ１にはオン電圧が印加されているため、駆動用トランジスタ１１ａのドレイン端子とソース信号線１８とを接続する電流経路が保持される。図４３７の検査方法では、駆動用トランジスタ１１ａの１端子にアノード電圧Ｖｄｄが印加されている。したがって、電流はアノードＶｄｄ→駆動用トランジスタ１１ａのソース端子→駆動用トランジスタ１１ａのドレイン端子→スイッチング用トランジスタ１１ｃ→ソース信号線１８の経路で電流が流れる。

【１１９１】

ソース信号線１８に電流計（電流検出手段あるいは電流測定手段）４３７１を接続（検査電圧Ｖｃの印加時に電流計４３７１は接続したままでもよい）しているため、この電流計４３７１で、駆動用トランジスタ１１ａなどから流れる電流を検出する。電流計４７３１で検出する電流が予測された電流の大きさであれば画素１６は正常である。予測以外の電流（電圧の場合もある）の場合は、画素１６に欠陥などが発生している可能性がある。以上のようにして、画素の検査を実施することができる。

【１１９２】

順次、以上の動作を表示画面１４４の上辺から下辺の画素行に対して実施する。もちろ

ん、順次でなくてもよい。ランダムに画素行などを選択し、検査あるいは評価を実施してもよい。また、１フィールド目は奇数画素行を順次選択して検査し、１フィールド目の次の２フィールド目は偶数画素行を順次選択して検査してもよい。

【１１９３】

以上のように、本発明の検査方式は、トランジスタ１１ｃとトランジスタ１１ｂを独立にオンオフ制御できるように、画素１６を構成し、ソース信号線１８から印加した電圧または電流を画素１６の駆動用トランジスタ１１ａが動作するように（逆に動作しないようにする検査方法もある）制御する。その後、駆動用トランジスタ１１ａが一定期間、動作するようにトランジスタ１１ｂをオープンにする。また、トランジスタ１１ｃをオンさせて電流パスを形成するものである。

【１１９４】

図４３７は画素１６電圧を印加するソース信号線１８と、出力電流を検出するソース信号線１８とが同一の実施例である。図４３８は分離した構成である。図４３８において、トランジスタ１１ｄとＥＬ素子１５間にトランジスタ１１ｅを配置または形成している。トランジスタ１１ｅの１端子はソース信号線１８ｂに接続されている。

【１１９５】

ソース信号線１８ｂに検査電圧Ｖｃ２または検査電流を印加する。前記検査電圧などは、トランジスタ１１ｅ、トランジスタ１１ｄ、トランジスタ１１ｃを介してソース信号線１８ａに出力される。したがって、図４３８の画素構成では、トランジスタ１１ｄの欠陥検査も実施することができる。

【１１９６】

本発明の実施例において、検査時に、画素（行）の選択時間を変化させてもよい。選択時間を長くすることにより検査精度を向上できる。また、ＥＬ表示パネルの概略検査の時は、検査対象の画素選択時間を短くし、詳細検査のモードで選択時間を長くしてもよい。１画素行あるいは１画素単位で本発明の検査方法を実施することに限定するものではない。たとえば、複数の画素行あるいは画素を同時に検査してもよい。また、複数のソース信号線１８を短絡し、短絡された部分ごとに電流計４７３１を配置または接続してもよい。この場合は、電流計４３７１は複数の画素１６からの電流が検出される。この検出された電流の大きさあるいは電流の有無から画素１６などの欠陥を検出してもよい。また、複数の画素行を選択し、概略検査を実施した後、異常あるいは正常以外の場合に、前記選択した複数の画素行を１画素行ずつ選択して、詳細検査を実施してもよい。

【１１９７】

図４４１はアレイ３０基板に検査用トランジスタ２２３２を形成した構成の実施例である。検査用トランジスタ２２３２は、ポリシリコン技術で形成する。検査用トランジスタ２２３２は検査ドライバ回路４４１１でオンオフ制御される。検査ドライバ回路４４１１は、シリコンチップで形成または構成してもよいが、検査用トランジスタ２２３２は、ポリシリコン技術（ＣＧＳ、高温ポリシリコン、低温ポリシリコン技術など）で形成するほうが好ましい。

【１１９８】

検査用ドライバ回路４４１１は各トランジスタ２２３２のゲート端子にオンオフ電圧を印加し、オン電圧に印加により、ソース信号線１８に印加されている検査あるいは検出電流を電流測定手段４３７１に導く。検出電流により画素１６などの欠陥を検出する。奇数番目のソース信号線１８は電流計４３７１ａに接続され、偶数番目のソース信号線１８は電流計４３７１ｂに接続される。複数の電流計４３７１を用いることにより検査速度を向上でき、また、検査精度を改善できる。

【１１９９】

検査後、Ａ点をレーザーなどによってカットあるいはガラスカッターなどでカットすることにより、検査ドライバ４４１１をソース信号線１８から切り離す。また、トランジスタ２２３２を常時オフ状態にすることにより見かけ上、検査ドライバ回路４４１１とソース信号線１８とを切り離してもよい。

【１２００】
検査用ドライバ回路４４１１の構成あるいは機能をソースドライバ回路（ＩＣ）１４内に内蔵させてもよいことは言うまでもない。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。
【１２０１】
本発明の実施例において、画素１６から出力（駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、入力の場合もある。本発明は、検出電流の方向に限定されるものではない）される電流を検出などするとしたがこれに限定するものではない。検出が電圧であってもよい。たとえば、ソース信号線１８端にピックアップ抵抗を接続し、このピックアップ抵抗に流れる電流を、抵抗端で測定することにより電圧として検出あるいは測定できる。また、電圧、電流に限定するものではなく、周波数の変化、電磁波、電気力線、放出電子の変化あるいは大きさを検出してもよい。
【１２０２】
図４３７などの本発明の検査方法において、検査電圧Ｖｃを印加するとしたが、検査電流であってもよい。たとえば、本発明の電流プログラムのように、所定の電流Ｉｗを画素１６に書き込み、書き込んだ電流はゲート信号線１７ａを制御することにより、読み出して、電流計４３７１で検出あるいは測定する方式が例示される。
【１２０３】
図４３７などで説明した本発明の検査方式では、ゲート信号線１７ａ（１７ａ１、１７ａ２）を制御するとしたが、ゲート信号線１７ｂにオンオフ電圧を印加することにより、トランジスタ１１ｄなどの欠陥なども検出あるいは検査することができることは言うまでもない。また、ゲート信号線１７のオン電圧／オフ電圧、アノード電圧、カソード電圧を変化あるいは変更もしくは制御し、この変更などによるソース信号線１８の出力変化を検出あるいは測定することにより、画素１６などの欠陥を検出あるいは評価できることはいうまでもない。
【１２０４】
図４３７において、画素構成は図１または図６の画素構成で説明した。しかし、本発明はこれに限定するものではない。たとえば、図１０の画素構成においても適用できることは言うまでもない。また、図１２、図１３のカレントミラーの画素構成においても適用できる。同様に、図６０７の画素構成にも適用することができる。ゲート信号線１７（１７ａ１、１７ａ２）にオン電圧を印加することにより、コンデンサ１９に電圧を保持させることができ、ゲート信号線１７ａ１にオフ電圧を印加することにより、トランジスタ１１ｄがオフ状態となり、トランジスタ１１ａのゲート端子とドレイン端子間をオープンにすることができる。
【１２０５】
また、ゲート信号線１７ａ２にオン電圧を印加することにより、トランジスタ１１ａのドレイン端子とソース信号線１８間の電流経路を形成することができるからである。図３５、図３４などの画素構成においても同様である。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。
【１２０６】
以上の事項は、図２８などの画素構成においても適用することができる。ゲート信号線１７（１７ａ１、１７ａ２）にオン電圧を印加することにより、コンデンサ１９に電圧を保持させることができ、また、ゲート信号線１７ａ２、１７ａ１にオン電圧を印加することにより、トランジスタ１１ａのドレイン端子とソース信号線１８間の電流経路を形成することができるからである。
【１２０７】
本発明は、画素１６に電流あるいは電圧を書き込み、ゲート信号線１７を操作あるいは制御することにより、ソース信号線１８に電流あるいは電圧などを読み出し、この電流あるいは電圧などから画素などの欠陥などを検出あるいは評価するものである。以上の事項は、本発明の他の実施例にも適用されることは言うまでもない。

【１２０８】
図４８５、図４８６も表示パネルを一括点灯させ、点灯検査する方法である。表示パネルには、アノード電圧Ｖｄｄとカソード電圧Ｖｓｓを印加しておく。また、ソース信号線１８には、図２２３～図２２７、図４３６～図４４０などの方法により、好ましくは駆動用トランジスタ１１ａにゲート端子に飽和電流を流す電圧を印加する。
【１２０９】
本発明は、ゲートドライバ回路１２ａを操作し、画素を選択するゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加する。すべてのゲート信号線１７ａに一括してオン電圧が印加するように構成するのは容易である（図４８５（ａ））。イネーブル信号線にＥＮＢＬ１信号を印加することにより、すべてのゲート信号線１７ａにオン電圧を印加できるように構成することは容易であるからである。もちろん、図１４で説明したように、ＳＴ１信号を連続して印加することによりすべてのゲート信号線１７ａにオン電圧を印加することもできる。
【１２１０】
ゲート信号線１７ａにオン電圧を印加するときは、ゲートドライバ回路１２ｂを操作し、ＥＬ素子１５に電流を流す経路を制御するゲート信号線１７ｂにオフ電圧（Ｖｇｈ）を印加する。すべてのゲート信号線１７ｂに一括してオン電圧が印加するように構成するのは容易である。イネーブル信号線にＥＮＢＬ２信号を印加することにより、すべてのゲート信号線１７ｂにオフ電圧あるいはン電圧を印加できるように構成することは容易であるからである。もちろん、図１４で説明したように、ＳＴ２信号を操作することによりすべてのゲート信号線１７ｂにオフ電圧を印加することもできる。
【１２１１】
検査方法は、まず、すべてのゲート信号線１７ｂにオフ電圧Ｖｇｈ電圧を印加した状態で、すべてのゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加する。スイッチ用トランジスタ１１ｂ、１１ｃはクローズ状態である（図１およびその説明を参照のこと）。また、スイッチ用トランジスタ１１ｄはオープン状態である。したがって、ソース信号線１８に印加した電圧Ｖが画素１６に書き込まれる（図４８５（ｂ））。電圧は、駆動用トランジスタ１１ａの飽和電流を流す電圧であることが好ましい。点灯時に表示画像が均一表示できるからである。電圧Ｖは、アノード電圧Ｖｄｄより３Ｖ以上低い電圧にする。好ましくは、アノード電圧Ｖｄｄ－４（Ｖ）以上Ｖｄｄ－６（Ｖ）以上にする。以上の動作（操作）により、駆動用トランジスタ１１ａに電圧プログラムが実現される。
【１２１２】
次に点灯動作させるときは、図４８６に図示するように、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）を印加し、スイッチ用トランジスタ１１ｂ、１１ｃをオフさせる。したがって、ソース信号線１８と駆動用トランジスタ１１ａのゲート端子とは切り離される。この状態で、ゲート信号線１７ｂにオン電圧を印加し、スイッチ用トランジスタ１１ｄをオンさせる（スイッチ用トランジスタ１１ｄをクローズさせる）。すると、駆動用トランジスタ１１ａからＥＬ素子１５に電圧Ｖに対応する電流Ｉｅが流れ、ＥＬ素子１５が点灯する。この点灯状態を光学的（ＣＣＤあるいは視覚的などで）、欠陥状態あるいは不良状態、表示均一性を検査あるいは評価する。
【１２１３】
しかし、Ｖが駆動用トランジスタ１１ａの飽和電圧の場合は、電流Ｉｅが大きい。そのため、表示パネルからの発熱が大きくなり過熱状態になる。この過熱状態の対策には、図４８６（ａ）に図示するように、ゲート信号線１７ｂに周期的にオン電圧とオフ電圧を印加する（図４８６（ａ）においてＶｇｈがオフ電圧、Ｖｇｌがオン電圧、周期Ｔ）。オンオフ電圧の操作は、図４８５（ａ）に図示するようにＥＮＢＬ２信号を操作することにより容易に実現できる。
【１２１４】
図４８６（ａ）に図示するように、周期Ｔでオン電圧ｔ１の時間を短くすることにより、表示画像が暗くなるが、消費電流も小さくなる。したがって、表示均一性は低下するこ

となく、消費電流の低減により表示パネルが過熱されることはない。

【１２１５】

以上のように、ＥＬ素子１５に流れる電流を制御し、検査することのよりパネルを劣化することなく、良好な検査を実施することができる。

【１２１６】

すべてのゲート信号線１７ｂにオン電圧Ｖｇｌ電圧を印加し、駆動用トランジスタ１１ａなどが正常であれば、駆動用トランジスタ１１ａからＥＬ素子１５に電流Ｉｅが供給され、ＥＬ素子１５が点灯する。また、ＥＬ素子１５が点灯状態で、ゲート信号線１７ｂにオン電圧とオフ電圧を交互に印加すればＥＬ素子１５が点滅する。したがって、スイッチ用トランジスタ１１ｄの良否を判定できる。

【１２１７】

ゲート信号線１７ａにオフ電圧を印加し、ゲート信号線１７ｂのオン電圧を印加した状態で、アノード端子（Ｖｄｄ電圧）にＶｄｄ電圧を、駆動用トランジスタ１１ａの立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応してＥＬ素子１５が発光する。

【１２１８】

なお、この場合のＥＬ素子１５の発光電流は、駆動用トランジスタ１１ａから供給される。以上のように動作させることにより、駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃ、１１ｂ、１１ｄの性能、欠陥を検出できる。また、駆動用トランジスタ１１ａ、ＥＬ素子１５の性能、特性を評価できる。

【１２１９】

図４８５において、すべてのゲート信号線１７ａにオン電圧を印加する、あるいはすべてのゲート信号線１７ｂにオン電圧またはオフ電圧を印加するとしたが、本発明はこれに限定するものではない。偶数画素行あるいは奇数画素行を選択して点灯あるいは検査してもよいことは言うまでもない。つまり、本発明は、複数画素行を選択して点灯させ、光学的に検査するものであればいずれの方法であってもよい。また、図４８５の実施例では、図１の画素構成を例示して説明したが本発明はこれに限定するものではない。ＥＬ素子１５を点灯制御できる構成であればいずれでもよい。たとえば、図６、図７～図１３、図３１～図３６、図１９３～図１９４、図２０５～図２０７、図２１１～図２１２、図２１５～図２２２、図４３７、図４３８、図４６７などの画素構成においても適用できることは言うまでもない。

【１２２０】

以上の実施例では、ソース信号線１８に流れる電流などを検出して検査を実施するとしたが、これに限定するものではない。たとえば、図４９０（ａ）に図示するように、アノード端子に電流計４３７１などを接続または配置し、検査を行ってもよいことは言うまでもない。また、図４９０（ｂ）に図示するように、カソード端子に電流計４３７１などを接続または配置し、検査を行ってもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【１２２１】

以上の実施例は、個片に分割された表示パネル（表示装置又はアレイ基板３０）で実施するように記載したが、本発明はこれに限定するものではない。図４８８に図示するように、ガラス基板４８８１（複数のアレイ３０またはパネルが形成または構成されている）で実施してもよい。ガラス基板４８８１に、アノード電圧（Ｖｄｄ）、Ｖｇｈ電圧、Ｖｇｌ電圧、ＥＮＢＬ１、ＥＮＢＬ２（図４８５を参照のこと）、ソース信号線１８に印加する電圧（Ｖｓ）、必要に応じてカソード電圧（Ｖｓｓ）などを印加する（接続する）。

【１２２２】

ガラス基板４８８１には、図４８９に示すように信号配線４８９１が形成または配置されている。検査時にはソースドライバ回路（ＩＣ）１４は実装されない。信号線配線４８９１は、各アレイ基板３０に共通に電圧あるいは信号が印加されるように構成または形成されている。検査後に、ＢＢ’線、ＡＡ’線で割段され、基板３０などは個片に分割され

る。

【１２２３】

図２２３～図２２７、図４３６～図４４０、図４８５、図４８６の駆動方法は相互に組み合わせることができる。図４４０に本発明の検査方法のフローチャートを図示する。本発明では、まず、アレイ状態で図４３７、図４３８などで説明した画素の欠陥を検査する。この段階で駆動用トランジスタなどの画素のＴＦＴ欠陥、線欠陥などを検出する。次に、パネル状態に完成させ、図４４０に図示するように図４３６などの方式を用いて画面１４４の全体を点灯させて検査する（一括点灯検査）。一括点灯検査で問題なければ（Ｙ判定）、ソースドライバＩＣ１４をＣＯＧ実装する工程に送られる。一括点灯検査で、ＮＧ判定であれば、該当パネルは廃棄される。もし、判定がつかない場合（Ｎ判定）であれば、１画素ずつ点灯評価する。この点灯検査で問題なければ（Ｙ判定）、ソースドライバＩＣ１４をＣＯＧ実装する工程に送られる。ＣＯＧ実装工程後、最終点灯検査が実施される。

【１２２４】

以下、図面を参照しながら、電流駆動方式（電流プログラム方式）による高画質表示方法について説明をする。電流プログラム方式は、画素１６に電流信号を印加して、画素１６に電流信号を保持させる。そして、ＥＬ素子１５に保持させた電流を印加するものである。

【１２２５】

ＥＬ素子１５は印加した電流の大きさに比例して発光する。つまり、ＥＬ素子１５の発光輝度はプログラムする電流の値とリニアの関係（比例）がある。一方、電圧プログラム方式では、印加した電圧を画素１６で電流に変換する。この電圧－電流変換は非線形である。非線形の変換は制御方法が複雑になる。

【１２２６】

電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、６４階調表示であれば、映像データの０はプログラム電流Ｉｗ＝０μＡとし、映像データ６３はプログラム電流Ｉｗ＝６．３μＡとする（比例の関係となる）。同様に、映像データ３２はプログラム電流Ｉｗ＝３．２μＡとし、映像データ１０はプログラム電流Ｉｗ＝１．０μＡとする。つまり、映像データはそのまま、比例の関係でプログラム電流Ｉｗに変換される。

【１２２７】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図１５に図示するように本発明は単位トランジスタ１５４の単位電流が、映像データの１に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流はＲ、Ｇ、Ｂ回路ごとに設けられており、ＲＧＢ回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路（ＩＣ）１４、表示パネル構成の相乗効果である。

【１２２８】

ＥＬ表示パネルでは、プログラム電流とＥＬ素子１５の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにＥＬ素子１５の発光輝度を調整できる。

【１２２９】

駆動用トランジスタ１１ａはゲート端子に印加した電圧と、駆動用トランジスタ１１ａが流す電流とは非線形である（２乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。

【１２３０】

特に、図１の画素構成では、プログラム電流とＥＬ素子１５に流れる電流が理論上は等しい。したがって、発光制御は極めて容易である。本発明のＮ倍パルス駆動の場合も、プログラム電流を１／Ｎにして計算することにより発光輝度を把握できるから、発光制御の容易という点で優れている。

【１２３１】

図１１、図１２、図１３などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ１１ｂとプログラム用トランジスタ１１ａとが異なり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図１の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。

【１２３２】

ＥＬ素子１５は、投入電流量により発光輝度が比例して変化する。ＥＬ素子１５に印加する電圧（アノード電圧）は固定値である。したがって、ＥＬ表示パネルの発光輝度は消費電力と比例の関係にある。

【１２３３】

以上のことから、映像データとプログラム電流は比例し、プログラム電流とＥＬ素子１５の発光輝度は比例し、ＥＬ素子１５の発光輝度と消費電力は比例する。したがって、映像データをロジック処理すれば、ＥＬ表示パネルの消費電流（電力）、ＥＬ表示パネルの発光輝度、ＥＬ表示パネルの消費電力を制御できることになる。つまり、映像データをロジック処理（加算など）することにより、ＥＬ表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。

【１２３４】

本発明は、映像データを加算してパネルで消費される電流（電力）などを把握し、点灯率制御、ｄｕｔｙ比制御、基準電流制御などを実施する。しかし、本発明の駆動方法は、映像データを加算することに限定されない。映像データから画素１６のガンマカーブにしたがって、ＥＬ素子１５に流れる電流を求め、求められた電流を加算する。加算の結果、パネルで消費される電流（電力）を求めてもよい。つまり、映像データを用いて、パネル消費電流などを求めるようにロジック処理（ソフト処理、ハード処理のどちらでもよい）するものは、すべて本発明の技術的範疇である。なお、加算とは、ソフト処理、ハード処理のどちらでもよい。また、ビットシフトによる演算や、減算処理、除算処理、パイプライン処理などを用いてもよい。演算に、コントローラ回路（ＩＣ）７６０またはＤＳＰなどを用いてもよい。つまり、加算に限定されるものではなく、映像信号に何らかのロジック的な処理を加えるのが、本発明の技術的範疇である。

【１２３５】

たとえば、映像データ（映像データに類するデータの含む）からガンマ２．２乗の演算を実施してパネルで消費される電流（電力）を求めてもよい。つまり、２．２乗演算した結果を加算し、表示パネルに流れるリアルタイムに総電流を求める。もちろん、一定期間を平均した電流を求めてもよい。場合によっては、逆ガンマ２．２乗の演算を実施してパネルで消費される電流（電力）を求めてもよい。ソース信号線１８に印加した電圧（電流）信号に対する画素１６のＥＬ素子１５に流れる電流との関係を導き出し（演算式など）、この演算式からパネルの消費電流（電力）を求める。

【１２３６】

電流駆動の場合は、ソース信号線１８に印加した電流信号とＥＬ素子１５に流れる電流が比例の関係にあり、加算によりパネルの消費電流（電力）を容易に求めることができる。電圧駆動の場合は、非線形であるので、一定の乗数を用いれば、パネルの消費電流（電力）を容易に求めることができる（出力電流の立ち上がり位置も考慮することが好ましい）。なお、動的ガンマ処理を実施している場合は、これらのガンマ変換特性も考慮して、パネルの消費電流（電力）を求めることが好ましい。

【１２３７】

画素１６の特性あるいはソースドライバ回路（ＩＣ）１４の特性を組わ合せたときの信

号変化変化と、画素１６のＥＬ素子１５に流れる電流の換算式からパネルで消費される電流（電力）を求めてもよい。ガンマ特性が折れ線で近似されている場合は、折れ線ごとに構成された基準電流回路の基準電流の大きさなどを考慮して、各基準電流回路により出力する電流を加算して、パネルで消費される電流（電力）を求めてもよい。

【１２３８】

なお、以上の実施例では、パネルで消費される（使用される）電流（電力）をロジック的に求めるとしたが、アノード（カソード）信号線などに流れる電流をＡＤ変換してデジタル的に求めて、点灯率制御、ｄｕｔｙ比制御、基準電流制御などを実施してもよい。また、アノード（カソード）信号線などに流れる電流をアナログ的に求めて、点灯率制御、ｄｕｔｙ比制御、基準電流制御などを実施してもよい。また、表示パネルに流れる電流などは、ホトセンサなどを用いて光学－電気変換し、電気変換された信号からも把握することができる。パネルから放射される電気力線を捕捉する方式も例示される。したがって、この電気変換された信号を用いて点灯率制御、ｄｕｔｙ比制御、基準電流制御などを実施してもよい。

【１２３９】

本発明の点灯率制御、ｄｕｔｙ比制御、基準電流制御などは、単独で重要な発明を構成している。映像データを用いて、パネル消費電流などを求めるようにロジック処理（ソフト処理、ハード処理のどちらでもよい）することも、単独で重要な発明を構成している。特にｄｕｔｙ比制御などで、ＥＬ素子１５に流れる電流を必要に応じて遮断でき、パネル消費電流などを自由に制御できるのは、画素１６のトランジスタ１１ｄ（図１ではＥＬ素子１５と駆動用トランジスタ１１ａ間に配置され、ＥＬ素子１５に流れる電流を制御するトランジスタである。他の画素１６でも同様に、ＥＬ素子１５に流れる電流を制御するトランジスタが該当する）の機能によることが大きい。点灯率などに基づいて、ゲートドライバ回路１２を制御し、容易にゲート信号線１７ｂに接続されたトランジスタ１１ｄをオンオフ制御できるからである。トランジスタ１１ｄのオフする個数を増加させれば、パネルで消費する電流が比例して低下する。トランジスタ１１ｄがオンする個数を増加させれば、パネルから放射される光量が増加し、表示輝度が明るくなる。以上のように、本発明の特徴ある構成（画素、ゲートドライバ回路１２、ゲート信号線１７ｂ、トランジスタ１１ｄなど）を利用することにより、点灯率制御、ｄｕｔｙ比制御、基準電流制御を良好に実現できる。これらの制御方式を実現することにより、パネルの発熱を抑えて、パネルを長寿命化でき、電源モジュールのサイズなども小型化できる。

【１２４０】

以上の事項は、電圧駆動（電圧プログラム）方式、電流駆動（電流プログラム）方式の両方に適用できることはいうまでもない。本発明の駆動方式は、説明を容易にするため、図１の画素構成を中心に説明する。しかし、本発明はこれに限定するものではない。たとえば、図２、図６～図１３、図２８、図３１、図３３～図３６、図１５８、図１９３～図１９４、図５７４、図５７６、図５７８～図５８１、図５９５、図５９８、図６０２～図６０４、図６０７（ａ）（ｂ）（ｃ）の画素構成であっても適用できることは言うまでもない。

【１２４１】

特に本発明のＥＬ表示パネルは電流駆動方式である。かつ特徴ある構成のより画像表示制御が容易である。特徴ある画像表示制御方法は２つある。１つは、基準電流の制御である。もう１つはｄｕｔｙ比制御である。この基準電流制御とｄｕｔｙ比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。

【１２４２】

基準電流制御は図６０、図６１、図６４、図６５、図６６（ａ）（ｂ）に図示するように、ソースドライバ回路（ＩＣ）１４は、各ＲＧＢの基準電流を調整する回路を具備している。また、ソースドライバ回路（ＩＣ）１４からのプログラム電流Ｉｗは、単位トランジスタ１５４の個数で決定される。

【１２４３】
１つの単位トランジスタ１５４が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、１つの単位トランジスタ１５４が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ１５４の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスター表示で各ＲＧＢの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。
【１２４４】
図５４はｄｕｔｙ比制御方法である。図５４（ａ１）（ａ２）（ａ３）（ａ４）は非表示領域１９２を連続して挿入する方法である。動画表示に適する。また、図５４（ａ１）が最も画像が暗く、図５４（ａ４）が最も明るい。ゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。図５４（ｃ１）（ｃ２）（ｃ３）（ｃ４）は非表示領域１９２を多数に分割して挿入する方法である。特に静止画表示に適する。また、図５４（ｃ１）が最も画像が暗く、図５４（ｃ４）が最も明るい。ゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。また、図５４（ｂ１）（ｂ２）（ｂ３）（ｂ４）は、図５４（ａ１）～（ａ４）と図５４（ｃ１）～（ｃ４）との中間状態である。図５４（ｂ１）（ｂ２）（ｂ３）（ｂ４）も同様にゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。つまり、ゲート信号線１７ｂなどの制御によりトランジスタ１１ｄをオンオフさせ、ＥＬ素子１５に流れる電流を制御する。
【１２４５】
図１１、図１２の画素構成では、トランジスタ１１ｅをオンオフ制御させ、図７では、切り換えスイッチ７１をオンオフ制御する。また、図２８の画素構成では、トランジスタ１１ｄを制御して、ＥＬ素子１５に流れる電流を制御する。
【１２４６】
以上のように、ｄｕｔｙ比制御とは、ソース信号線１８に印加するプログラム電流Ｉｗは変化させずに、ＥＬ素子１５に流れる電流を制御することにより、画面１４４の明るさ制御を実現する方式である。つまり、基準電流を一定にした状態（変化させずに）で、画面１４４の明るさ制御を実現する方式である。
【１２４７】
駆動用トランジスタ１１ａが流す電流を変更することなく、画面１４４の明るさ制御を実現する方式である。また、駆動用トランジスタ１１ａのゲート端子（Ｇ）電圧を変更することなく、画面１４４の明るさ制御を実現する方式である。また、ゲートドライバ１２ｂの走査状態を変化させることにより、ゲート信号線１７ｂなどを制御し、画面１４４の明るさ制御を実現する方式である。
【１２４８】
表示領域１９３の分散は、表示パネルの画素行数が２２０本で、１／４ｄｕｔｙ比であれば、２２０／４＝５５となるから、１から５５（１の明るさからその５５倍の明るさまで調整できる）。また、表示パネルの画素行が２２０本で、１／２ｄｕｔｙ比であれば、２２０／２＝１１０となるから、１から１１０（１の明るさからその１１０倍の明るさまで調整できる）。したがって、画面輝度１４４の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれに明るさであっても、表現できる階調数を維持できると特徴がある。たとえば、６４階調表示であれば、白ラスターでの表示画面１４４輝度が３００ｎｔであっても、３ｎｔであっても６４階調表示を実現できる。
【１２４９】
以前にも説明したが、ｄｕｔｙ比は、ゲートドライバ回路１２ｂへのスタートパルスを制御することにより容易に変更できる。したがって、１／２ｄｕｔｙ比、１／４ｄｕｔｙ比、３／４ｄｕｔｙ比、３／８ｄｕｔｙ比と多種多様なｄｕｔｙ比を容易に変更できる。１水平走査期間（１Ｈ）単位のｄｕｔｙ比駆動は、水平同期信号に同期させてゲート信号線１７ｂのオンオフ信号を印加すればよい。さらに、１Ｈ単位以下でもｄｕｔｙ比制御することができる。図４０、図４１、図４２の駆動方法である。１Ｈ期間以内において、Ｏ

ＥＶ２制御を行うことにより、微小ステップの明るさ制御（ｄｕｔｙ比制御）が可能である。

【１２５０】

１Ｈ以内のｄｕｔｙ比制御を行うのは、ｄｕｔｙ比が１／４ｄｕｔｙ比以下の場合に実施する。画素行数が２２０画素行であれば、５５／２２０ｄｕｔｙ比以下である。つまり、１／２２０から５５／２２０ｄｕｔｙ比の範囲で行う。１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なｄｕｔｙ比駆動制御を行うことが望ましい。つまり、ゲート信号線１７ｂによるｄｕｔｙ比制御では、変化前から変化後の明るさ変化が５％以上になる時は、ＯＥＶ２（図４０などを参照のこと）による制御を行うことにより変化量が５％以下になるように少しずつ変化させる。この変化には、図９８で説明するＷａｉｔ機能を導入することが好ましい。

【１２５１】

ｄｕｔｙ比が１／４ｄｕｔｙ比以下で１Ｈ以内のｄｕｔｙ比制御を実施するのは、１ステップあたりの変化量が大きいためもあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が２乗特性に依存しているためと思われる。

【１２５２】

パネルの画素行が２００本であれば、５０／２００ｄｕｔｙ比以下（１／２００以上５０／２００以下）でＯＥＶ２制御を行って、１Ｈ以下の期間のｄｕｔｙ比制御を行う。１／２００ｄｕｔｙ比から２／２００ｄｕｔｙ比に変化すると１／２００ｄｕｔｙ比と２／２００ｄｕｔｙ比の差は、１／２００であり、１００％の変化となる。この変化はフリッカとして完全に視覚的に認識されてしまう。したがって、ＯＥＶ２制御（図４０などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御する。なお、１Ｈ期間以下（１Ｈ期間以内）でｄｕｔｙ比制御するとしたが、これに限定するものではない。図１９でもわかるように非表示領域１９２は連続している。つまり、１０．５Ｈ期間というような制御も本発明の範疇である。つまり、本発明は１Ｈ期間に限定されず（小数点以下が発生する）、ｄｕｔｙ比駆動を行うものである。

【１２５３】

４０／２００ｄｕｔｙ比から４１／２００ｄｕｔｙ比に変化すると、４０／２００ｄｕｔｙ比と４１／２００ｄｕｔｙ比の差は、１／２００であり、（１／２００）／（４０／２００）で２．５％の変化となる。この変化はフリッカとして視覚的に認識されるか否かは、画面輝度１４４に依存する可能性が高い。ただし、４０／２００ｄｕｔｙ比は中間調表示であるので、視覚的に敏感である。したがって、ＯＥＶ２制御（図４０などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御することが望ましい。

【１２５４】

以上のように、本発明の駆動方法および表示装置は、画素１６にＥＬ素子１５に流す電流値を記憶できる構成（図１ではコンデンサ１９が該当する）と、駆動用トランジスタ１１ａと発光素子（ＥＬ素子１５が例示される）との電流経路をオンオフできる構成（図１、図６、図７、図８、図９、図１０、図１１、図１２、図２８、図３１～図３６などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図１９の表示状態が発生させる（画像の輝度によっては、表示画面１４４が表示領域１９３（ｄｕｔｙ比１／１になってもよい）駆動方法である。かつ、ｄｕｔｙ比駆動（少なくとも表示画面１４４の一部が非表示領域１９３となる駆動方法または駆動状態）が所定のｄｕｔｙ比以下では、１水平走査期間（１Ｈ期間）以内あるいは１Ｈ期間単位に限定されるＥＬ素子１５に流す電流を制御して、表示画面１４４の輝度制御を行うものである。

【１２５５】

１Ｈ単位以内のｄｕｔｙ比制御を行う所定ｄｕｔｙ比は、ｄｕｔｙ比が１／４ｄｕｔｙ

比以下の場合に実施する。逆に所定ｄｕｔｙ比以上では、１Ｈ単位でｄｕｔｙ比制御を行う。もしくはＯＥＶ２制御は実施しない。また、１Ｈ期間以外のｄｕｔｙ比制御は、１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なｄｕｔｙ比駆動制御を行うことが望ましい。もしくは、白ラスターの最大輝度の１／４以下の輝度で実施する。

【１２５６】

本発明のｄｕｔｙ比制御駆動によれば、図７４に図示するように、ＥＬ表示パネルの階調表現数が６４階調であれば、表示画面１４４の表示輝度（ｎｔ）がいずれの輝度（輝度が低いあるいは高いに関わらず）であっても、６４階調表示が維持される。たとえば、画素行数が２２０本で、１画素行のみが表示領域１９３（表示状態）の時（ｄｕｔｙ比１／２２０）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路（ＩＣ）１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この１画素行分が順次画像表示されるからである。全画素行が表示領域１９３（表示状態）の時（ｄｕｔｙ比１／１）であっても、６４階調表示を実現できる。

【１２５７】

もちろん、２０画素行が表示領域１９３（表示状態）の時（ｄｕｔｙ比２０／２２０＝ｄｕｔｙ比１／１１）であっても、６４階調表示を実現できる。画素行にソースドライバ回路（ＩＣ）１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂによりすべての画素行が同時に画像表示されるからである。また、２０画素行のみが表示領域１９３（表示状態）の時（ｄｕｔｙ比２０／２２０＝ｄｕｔｙ比１／１１）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路（ＩＣ）１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この２０画素行分が順次走査されて画像表示されるからである。

【１２５８】

なお、本発明の基準電流制御（図５０などの回路構成を参照のこと）においても同様であり、基準電流が小さくとも大きくとも、６４階調表示を実現できる。

【１２５９】

本発明のｄｕｔｙ比制御駆動は、ＥＬ素子１５の点灯時間の制御であるから、ｄｕｔｙ比に対する表示画面１４４の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図６０のようにＲＧＢの基準電流を調整し、ホワイトバランスをとる。ｄｕｔｙ比制御では、Ｒ、Ｇ、Ｂを同時に明るさ制御するためにいずれの階調、表示画面１４４の明るさにおいてもホワイトバランスは維持される。

【１２６０】

ｄｕｔｙ比制御は、表示画面１４４に対する表示領域１９３の面積を変化させることにより、表示画面１４４の輝度を変化するものであった。当然、表示面積１９３に比例してＥＬ表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面１４４のＥＬ素子１５に流れる全消費電流を算出することができる。ＥＬ素子１５のアノード電圧Ｖｄｄは直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図６０の基準電流Ｉｃを電子ボリウムなどの調整回路で調整し、ＲＧＢの基準電流を抑制制御すればよい。

【１２６１】

また、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定する。たとえば、ｄｕｔｙ比１／８にする。自然画像はｄｕｔｙ比を大きくする。最大のｄｕｔｙ比は１／１である。たとえば、表示画面１４４の１／１００しか画像が表示されない自然画像をｄｕｔｙ比１／１とする。ｄｕｔｙ比１／１からｄｕｔｙ比１／８は表示画面１４４の自然画像の表示状態で滑らかに変化させる。

【１２６２】
以上のように一実施例として、白ラスター表示で（自然画像ではすべての画素が１００％点灯している状態）でｄｕｔｙ比１／８とし、表示画面１４４の１／１００の画素が点灯している状態をｄｕｔｙ比１／１とする。概略の消費電力は、画素数×点灯画素数の割合×ｄｕｔｙ比で算出できる。
【１２６３】
説明を容易にするため、画素数を１００とすると、白ラスター表示での消費電力は、１００×１（１００％）×ｄｕｔｙ比１／８＝８０となる。一方、１／１００が点灯している自然画像の消費電力は、１００×（１／１００）（１％）×ｄｕｔｙ比１／１＝１となる。ｄｕｔｙ比１／１～ｄｕｔｙ比１／８は画像の点灯画素数（実際には、点灯画素の総電流＝１フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかにｄｕｔｙ比制御が実施される。
【１２６４】
以上のように白ラスターで消費電力割合は８０であり、１／１００が点灯している自然画像の消費電力割合は、１になる。したがって、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定すれば、最大電流を抑制することができる。本発明は、１画面のプログラム電流の総和をＳとし、ｄｕｔｙ比をＤとし、Ｓ×Ｄで駆動制御を実施するものである。また、白ラスター表示でのプログラム電流の総和をＳｗとし、最大のｄｕｔｙ比をＤｍａｘ（通常は、ｄｕｔｙ比１／１が最大である）とし、最小のｄｕｔｙ比をＤｍｉｎとし、また、任意の自然画像でのプログラム電流の総和をＳｓとした時、Ｓｗ×Ｄｍｉｎ　≧　Ｓｓ×Ｄｍａｘの関係が維持されるようにする駆動方法およびそれを実現する表示装置である。
【１２６５】
なお、ｄｕｔｙ比の最大は１／１とする。最小はｄｕｔｙ比１／１６以上（１／８など）にすることが好ましい。つまり、ｄｕｔｙ比は１／１６以上１／１以下にする。なお、１／１を必ず使用することには制約されないことは言うまでもない。好ましくは、最小のｄｕｔｙ比は１／１０以上にする。ｄｕｔｙ比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。
【１２６６】
先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とは映像データの総和と同義である。なお、１フレーム（１フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない。１フレーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、ｄｕｔｙ比制御を行っても良い。
【１２６７】
図８５は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図８５では、外部からＹ／ＵＶ映像信号と、コンポジット（ＣＯＭＰ）映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路８５１により選択される。
【１２６８】
スイッチ回路８５１で選択された映像信号は、デコーダおよびＡ／Ｄ回路によりデコードおよびＡＤ変換され、デジタルのＲＧＢ画像データに変換される。ＲＧＢ画像データは各８ビットである。また、ＲＧＢ画像データはガンマ回路８５４でガンマ処理される。同時に輝度（Ｙ）信号が求められる。ガンマ処理により、ＲＧＢ画像データは各１０ビットの画像データに変換される。
【１２６９】
ガンマ処理後、画像データはＦＲＣ処理または誤差拡散処理が処理回路８５５で行われ

る。ＦＲＣ処理または誤差拡散処理によりＲＧＢ画像データは６ビットに変換される。この画像データはＡＩ処理回路８５６でＡＩ処理あるいはピーク電流処理が実施される。また、動画検出回路８５７で動画検出が行われる。同時に、カラーマネージメント回路８５８でカラーマネージメント処理が行われる。

【１２７０】

ＡＩ処理回路８５６、動画検出回路８５７、カラーマネージメント回路８５８の処理結果は演算回路８５９に送られ、演算処理回路８５９で制御演算、ｄｕｔｙ比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路（ＩＣ）１４およびゲートドライバ回路１２に制御データとして送出される。

【１２７１】

ｄｕｔｙ比制御、基準電流比制御、ピーク電流制御などは、ＯＳＤ（オンスクリーンディスプレイ）には適用しないことが好ましい。ＯＳＤでは、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。ＯＳＤにおいても、ピーク電流制御などを行うと、メニューの表示状態によって画面が暗くなったり明るくなったりし、視覚的に不具合が発生する。

【１２７２】

この課題に対しては、図１８５に図示するように、ＯＳＤのデータ（ＯＳＤＤＡＴＡ）と映像データ（動画データ）とを別のコントロール回路８５６で処理をする。基本的には、ＯＳＤデータは輝度変調を実施しない。

【１２７３】

なお、コントローラ回路（ＩＣ）７６０に関しても、１チップ化することに限定するものではない。たとえば、図２４８に図示するように、ゲートドライバ回路１２を制御するコントローラ回路（ＩＣ）７６０Ｇと、ソースドライバ回路（ＩＣ）１４を制御するコントローラ回路（ＩＣ）７６０Ｓに分離してもよい。分離により処理内容が明確になり、コントローラＩＣを小サイズ化することが可能である。

【１２７４】

ｄｕｔｙ比制御データはゲートドライバ回路１２ｂに送られ、ｄｕｔｙ比制御が実施される。一方、基準電流制御データはソースドライバ回路（ＩＣ）１４に送られ、基準電流制御が実施される。ガンマ補正され、ＦＲＣまたは誤差拡散処理された画像データもソースドライバ回路（ＩＣ）１４に送られる。

【１２７５】

図６２の画像データ変換は、ガンマ回路８５４のガンマ処理により行う必要がある。ガンマ回路８５４は、多点折れガンマカーブにより階調変換を行う。２５６階調の画像データは、多点折れガンマカーブにより１０２４階調に変換される。ガンマ回路８５４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。

【１２７６】

以上の説明ではｄｕｔｙ比Ｄで制御するとして説明したが、ｄｕｔｙ比は、所定期間（通常は１フィールドまたは１フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるＥＬ素子１５の点灯期間である。つまり、ｄｕｔｙ比１／８とは、１フレームの１／８の期間（１Ｆ／８）の間、ＥＬ素子１５が点灯していることを意味する。したがって、ｄｕｔｙ比は、画素１６が書き変えられる周期時間をＴｆとし、画素の点灯期間Ｔａとした時、ｄｕｔｙ比＝Ｔａ／Ｔｆと読み替えることができる。

【１２７７】

なお、画素１６が書き変えられる周期時間をＴｆとし、Ｔｆを基準とするとしたがこれに限定されるものではない。本発明のｄｕｔｙ比制御駆動は、１フレームあるいは１フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を１周期としてｄｕｔｙ比制御を実施してもよい。したがって、Ｔｆは画素を書き換える周期だけに限定されるものではなく、１フレームあるいは１フィールド以上であってもよい。たとえば、１フィールドあるいは１フレームごとに点灯期間Ｔａがことなる場合は、繰

り返し周期（期間）をＴｆとし、この期間の総点灯期間Ｔａを採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間をＴａとしてもよい。ｄｕｔｙ比についても同様である。ｄｕｔｙ比がフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均ｄｕｔｙ比を算出して用いればよい。

【１２７８】

したがって、白ラスター表示でのプログラム電流の総和をＳｗとし、任意の自然画像でのプログラム電流の総和をＳｓとし、最小の点灯期間をＴａｓ、最大の点灯期間をＴａｍ（通常はＴａｍ＝ＴｆであるからＴａｍ／Ｔｆ＝１）とした時、Ｓｗ×（Ｔａｓ／Ｔｆ）≧　Ｓｓ×（Ｔａｍ／Ｔｆ）の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【１２７９】

図６０、図６１、図６４、図６５に図示あるいは説明したように基準電流の制御により、プログラム電流をリニアに調整することができる。１つあたりの単位トランジスタ１５４の出力電流が変化するからである。単位トランジスタ１５４の出力電流を変化させるとプログラム電流Ｉｗも変化する。画素のコンデンサ１９にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子１５に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりＥＬ素子１５の発光輝度をリニアに変化させることができる。

【１２８０】

本発明のソースドライバ回路（ＩＣ）１４は、端子１５５に接続される単位トランジスタ１５４の個数を制御することによりプログラム電流Ｉｗを変化させるものであった。また、プログラム電流Ｉｗは図６０、図６２などで説明したように、基準電流Ｉｃを変化させることにより実現した。

【１２８１】

しかし、本発明の基準電流制御などは限定するものではない、一定の基準となるもの（電圧、電流、設定データなど）を変化し、この変化により端子１５５から出力される電流Ｉｗを変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子１５５のプログラム電流Ｉｗが同一割合で変化させることが重要である。なお、プログラム電流Ｉｗの変化に限定するものではない。プログラム電圧であってもよい。各端子１５５のプログラム電圧が同一割合で変化させることにより、表示画面１４４の輝度を調整することができるからである。また、ＲＧＢ端子で変化させることによりホ　ワイトバランスを調整することができるからである。

図８６は基準電流Ｉｃの調整回路を具備しない本発明の実施例である。端子１５５には、トランジスタ１５６により、プログラム電流Ｉｗが供給される。プログラム電流Ｉｗはサンプリング回路８６２によりオペアンプ５２２に印加された電圧により決定される。

【１２８２】

８ビットの映像データはＤ／Ａ回路６６１でアナログデータに変換され、アナログデータは可変増幅回路８６１で利得調整される。利得調整されたアナログデータはサンプリング回路８６２において、水平走査クロックでサンプリングされ、各コンデンサＣに保持される。なお、可変増幅回路８６１の利得は８ビットのデータにより設定される。

【１２８３】

可変増幅回路８６１の一例としては、図８７の構成が例示される。図８７において、Ｖｉｎ端子にＤＡ回路６６１のアナログデータが印加される。また、利得は、抵抗Ｒｘに直列に接続されたスイッチＳｘにより設定される。スイッチＳｘは８ビットに利得設定データにより制御される。なお、利得設定データは１フレームあるいは１フィールド単位で変化させることが可能である。

【１２８４】

以上の構成から、図８７の利得データの制御により、制御データの大きさに比例（相関）して端子１５５からの出力電流を変化させることができる。

【１２８５】

つまり、いずれかのスイッチＳｘが閉じることにより利得が設定される。このスイッチＳｘの制御が、図６４のスイッチ回路６４２、図５０の電子ボリウム５０１に該当する。つまり、スイッチＳｘの制御によりプログラム電流Ｉｗを変化あるいは調整することができる。

【１２８６】

したがって、図８６において、アナログデータがＣにサンプルホールドされ、サンプルホールドされた電圧により、プログラム電流Ｉｗがソース信号線１８に印加される。このプログラム電流Ｉｗは、可変増幅器８６１の利得データにより変化（制御）される。

【１２８７】

図８６の構成のおいても、利得設定データにより、表示画面１４４の輝度を一斉に調整（可変）することができる。したがって、本発明のｎ倍パルス駆動、ｄｕｔｙ比駆動などを実現することができる。なお、図８６などの構成では、単位トランジスタ１５４は形成されていない構成である。つまり、本発明は、電子ボリウムなどにより基準電流を調整することができ、この基準電流の調整のよりＩＣ１４の全出力端子１５５から出力される電流が比例的に変化させることができる構成に特徴がある。また、後に説明するが基準電流は映像データから求める。つまり、映像データなどからフィードバックをかけ、出力端子１５５からの電流の大きさを変化させる構成あるいは方法である。

【１２８８】

なお、実施例では端子から出力される信号は電流としているが、電圧であってもよい。電圧信号によりＥＬ素子１５に流れる電流を制御することができるからである（結局、映像データからカソード（アノード）端子に流れる電流を制御できる）。つまり、映像データにより基準電流の大きさあるいは変化量を求め、この基準電流の調整のよりＩＣ１４の全出力端子１５５から出力される電圧が比例的に変化させることができる構成に特徴がある。

【１２８９】

可変増幅器８６１を各ＲＧＢで設けることにより、ホワイトバランス調整、カラーマネージメント制御を実現できる（図１４５から図１５３を参照のこと）。つまり、本発明の表示パネルあるいは装置において、図８６の構成のソースドライバ回路（ＩＣ）１４を用いても、本発明の駆動方式、構成を実現することができる。

【１２９０】

本発明は、図６０などで説明した基準電流制御方式と、図５４（ａ）（ｂ）（ｃ）などで説明したｄｕｔｙ比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、基準電流制御方式とｄｕｔｙ比制御方式を組み合わせて実施することが好ましい。

【１２９１】

さらに、本発明の駆動方式について説明をする。本発明の駆動方法は、ＥＬ表示パネルに消費される消費電流の上限にリミットすることが１つの目的である。ＥＬ表示パネルはＥＬ素子１５に流れる電流を輝度が比例関係にある。したがって、ＥＬ素子１５に流れる電流を増大させれば、ＥＬ表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流（＝消費電力）も増大する。

【１２９２】

携帯装置などのモバイル機器に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の１つの目的である。

【１２９３】

画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像（ダイナックレンジが広い、コントラスト比が高い、階調表現力が大きいなど）変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の２つめの目的である。以上の目的を実現する本発明をＡＩ駆動と呼ぶこと

にする。

【１２９４】

説明を容易にするために、本発明のＩＣチップ１４は６４階調表示であるとする。ＡＩ駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバ回路（ＩＣ）１４は６４階調表示とし、画像データは２５６階調とする。この画像データをＥＬ表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力２５６階調を１０２４階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバＩＣ１４の６４階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（ＦＲＣ）処理が行われ、ソースドライバＩＣ１４に印加される。

【１２９５】

１画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスターは６４階調表示の場合は画像データとしては６３であるから、表示画面１４４の画素数×６３が画像データの総和である。１／１００の白ウインドウ表示で、白表示部が最大輝度の白表示では、表示画面１４４の画素数×（１／１００）×６３が画像データの総和である。

【１２９６】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、ｄｕｔｙ比制御あるいは基準電流制御を行う。

【１２９７】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの１フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをＡＤ変換して画像データの総和としてもよい。この場合は、画像データはＡＰＬレベルとも言うことができる。

【１２９８】

３０フレームから３００フレーム期間の画像データの総和あるいは総和を推定できるデータを求め、このデータの大きさに基づいて、ｄｕｔｙ比制御を行うこと好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。

【１２９９】

表示画面１４４を構成する画像のすべてのデータを加算する必要はなく、表示画面１４４の１／Ｗ（Ｗは１より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。たとえば、１画素とばしで映像データをサンプリングし、サンプリングされた映像データから総和を求めるなどの方法が例示される。また、１画素行ごとに１または複数の画素の映像データをサンプリングし、サンプリングされた映像データから総和を求める方法が例示される。

【１３００】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のＡＰＬレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためＡＰＬレベルと呼ぶ。

【１３０１】

白ラスターの時にＡＰＬレベルは画像がＲＧＢ各６ビットであるから６３（６３階調目であるからデータの表現としては６３で示されている）×画素数（ＱＣＩＦパネルの場合は１７６×ＲＧＢ×２２０）となる。したがって、ＡＰＬレベルは最大となる。ただし、ＲＧＢのＥＬ素子１５で消費する電流は異なるから、ＲＧＢで分離して画像データを算出することが好ましい。

【１３０２】
この課題に対して、図８８に図示する演算回路を使用する。図８８において、８８１、８８２乗算器である。８８１は発光輝度を重み付けする乗算器である。Ｒ、Ｇ、Ｂでは視感度が異なる。ＮＴＳＣでの視感度は、Ｒ：Ｇ：Ｂ＝３：６：１である。したがって、Ｒの乗算器８８１Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対して３倍の乗算を行う。また、Ｇの乗算器８８１Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対して６倍の乗算を行う。また、Ｂの乗算器８８１Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対して１倍の乗算を行う。ただし、この記述は概念的である。ＥＬ素子はＲＧＢで効率が異なっているからである。ＥＬ素子１５はＲＧＢで発光効率が異なる。通常、Ｂの発光効率が最も悪い。次にＧが悪い。Ｒが最も発光効率が良好である。そこで、乗算器８８２で発光効率の重み付けを行う。Ｒの乗算器８８２Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対してＲの発光効率の乗算を行う。また、Ｇの乗算器８８２Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対してＧの発光効率の乗算を行う。また、Ｂの乗算器８８２Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対してＢの発光効率の乗算を行う。
【１３０３】
乗算器８８１および８８２の結果は、加算器８８３で加算され、総和回路８８４に蓄積される。この総和回路８８４の結果にもとづき、ｄｕｔｙ比制御、基準電流制御を実施する。
【１３０４】
以上の実施例では、映像データに、ＥＬ素子１５などの効率を考慮し、所定値を乗算することによりデータを求める。本発明は、映像データから表示パネルのアノードまたはカソード端子に流れる電流を求めるものである。
【１３０５】
通常、ＲＧＢのＥＬ素子１５は、ＥＬ材料ごとに発光効率が既知であり、電流と輝度の関係がわかっている。また、ＥＬ表示パネルは生産する時の目標色温度が決定されている。したがって、ＥＬ表示パネルの表示サイズと目標輝度が決定されれば、目標色温度にするための、ＥＬ表示パネルに流すＲＧＢ電流の比率と大きさがわかる。このことから、ＥＬ表示パネルのアノード端子あるいはカソード端子に流す電流を所定値にすることにより、目標とする輝度と色温度を得ることができる。
【１３０６】
アノード端子あるいはカソード端子に流れる電流は映像データの総和に比例する。以上のことから、映像データの総和からアノード電流（カソード電流）を求めることができる。アノード電流とは表示領域に接続されたアノード端子に流れ込む電流である。カソード電流とは表示領域に接続されたカソード端子から流れ出す電流である。アノード電圧またはカソード電圧は固定値であるから、映像データからＥＬ表示パネルの消費電力を制御することができる。
【１３０７】
つまり、映像データ（の総和）の大きさあるいは大きさの変化をリアルタイムでモニタ（演算）することにより、ＥＬ表示パネルが必要とするカソード（アノード）電流を得ることができる。この電流の大きさをどの大きさに抑制すべきであるかがわかっていれば、基準電流制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。
【１３０８】
もちろん、アノード電流あるいはカソード電流の大きさをＡＤ（アナログデジタル）変換することにより、変換されたデジタルデータから基準電流制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。また、アナログデータを直接用いてオペアンプなどにより増幅率のフィードバック制御を実施することにより、基準電流制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。つまり、制御方式としてはデジタル、アナログ方式を問わない。
【１３０９】
以上のように、本発明は、映像データ（もしくはこれに比例するデータ）の大きさ（も

しくは推定できるデータ）から、ＥＬ表示パネルで消費する電力（電流）を算出あるいは制御し、ｄｕｔｙ比制御、基準電流制御を実施するものである。

【１３１０】

映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、ＥＬ表示パネルで消費する電力（電流）の算出は、１フレーム（１フィールド）ごとに実施することに限定されるものではなく、複数フレーム（フィールド）ごとに行ってもよく、また、１フレーム（１フィールド）で複数回行っても良いことは言うまでもない。また、基準電流制御、ｄｕｔｙ比制御はリアルタイムで実施することに限定されるものではなく、遅延させたり、ヒステリシスで実施したり、飛ばし飛ばしで実施してもよいことは言うまでもない。

【１３１１】

基準電流制御、ｄｕｔｙ比制御によりＥＬ表示パネルのアノード電流またはカソード電流の大きさを制御するとしたが、これに限定するものではなく、アノード電圧またはカソード電圧を制御することによっても、ＥＬ表示パネルの消費電力を制御することとができることは言うまでもない。

【１３１２】

図８８のように制御すると、輝度信号（Ｙ信号）に対するｄｕｔｙ比制御、基準電流制御を実施することができる。しかし、輝度信号（Ｙ信号）を求めて、ｄｕｔｙ比制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではＥＬ表示パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（Ｂ）の視感度が低いためである。そのため、輝度信号（Ｙ信号）の総和（ＡＰＬレベル）は小さく算出されるため、ｄｕｔｙ比制御が高ｄｕｔｙ比になる。したがって、フリッカの発生などが生じる。

【１３１３】

この課題に対しては、乗算器８８１をスルーにして用いるとよい。消費電流に対する総和（ＡＰＬレベル）が求められるからである。輝度信号（Ｙ信号）による総和（ＡＰＬレベル）と消費電流による総和（ＡＰＬレベル）は、両方を求めて加味して総合ＡＰＬレベルを求めることが望ましい。総合ＡＰＬレベルによりｄｕｔｙ比制御、基準電流制御またプリチャージ制御などを実施する。

【１３１４】

黒ラスターは６４階調表示の場合は０階調目であるから、ＡＰＬレベルは０で最小値となる。電流駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、表示画面１４４を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が６ビットで表現される場合、上位ビット（ＭＳＢ）のみをカウントしてもよい。この場合は、階調数が３２以上で、１カウントされる。したがって、表示画面１４４を構成する画像データによりＡＰＬレベルは変化する。つまり、映像データの総和とは、完全な総和ではなく、総和を推定できる方式であればいずれでもよい。

【１３１５】

アナログ的な概念から映像データの総和あるいは総和に類似する指標としてＡＰＬレベルという語を用いる。しかし、後半では、点灯率という語を用いて本発明の駆動方式の説明を行う。なお、点灯率は後に説明をする。

【１３１６】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

【１３１７】

ＥＬ表示パネルで最大に流せる電流を１００（ｍＡ）とする。白ラスター表示とき、総和（ＡＰＬレベル）は２００（単位なし）になるとする。このＡＰＬレベルが２００の時、そのままパネルに印加するとＥＬ表示パネルに２００（ｍＡ）が流れるとする。なお、ＡＰＬレベルが０の時、ＥＬ表示パネルに流れる電流は０（ｍＡ）である。また、ＡＰＬレベルが１００の時、ｄｕｔｙ比は１／２で駆動するものとする。

【１３１８】
したがって、ＡＰＬが１００以上の場合は、制限である１００（ｍＡ）以下となるようにする必要がある。最も簡単には、ＡＰＬレベルが２００の時、ｄｕｔｙ比を（１／２）×（１／２）＝１／４にし、ＡＰＬレベルが１００の時、ｄｕｔｙ比を１／２とする。ＡＰＬレベルが１００以上２００以下の時は、ｄｕｔｙ比が１／４～１／２の間をとるように制御する。ｄｕｔｙ比１／４～１／２は、ＥＬ選択側のゲートドライバ回路１２ｂが、同時に選択するゲート信号線１７ｂの本数を制御することにより実現できる。
【１３１９】
ただし、ＡＰＬレベルのみを考慮し、ｄｕｔｙ比制御を実施すれば、画像に応じて表示画面１４４の平均輝度（ＡＰＬ）が変化し、フリッカが発生する。この課題に対して、もとめるＡＰＬレベルは、少なくとも２フレーム、このましくは、１０フレームさらに好ましくは６０フレーム以上の期間保持し、この期間で演算して、演算により求めたＡＰＬレベルによりｄｕｔｙ比制御によるｄｕｔｙ比を算出する。また、表示画面１４４の最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）などの画像の特徴抽出を行ってｄｕｔｙ比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。
【１３２０】
画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）、シーンの変化状態を考慮して行うとよい。つまり、総和（ＡＰＬレベルあるいは点灯率）は、映像データの加算だけでなく、画像表示の分布状態などを考慮して補正などを行うことが好ましい。回路構成としては、図８８の加算器８８３ｃの補正回路（図示せず）の補正量を加算する構成などが例示される。
【１３２１】
ガンマ回路８５４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図８９に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロールＩＣを低コスト化できる。
【１３２２】
図８９において、ａは３２階調目での折れ線ガンマ変換である。ｂは６４階調目での折れ線ガンマ変換である。ｃは９６階調目での折れ線ガンマ変換である。ｄは１２８階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８９のｄのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８９のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８９のｂ、ｃなどのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。
【１３２３】
ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、ｄｕｔｙ比制御、基準電流制御も加味して行う。
【１３２４】
図９０は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８９のｎのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８９のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８９のｂからｎ－１のガンマカーブを選択する。ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）、シーン変化割合、シーン変化量、シーン内容を加味して行う。また、ｄｕｔｙ比制御、基準電流制御も加味して行う。
表示パネル（表示装置）が使用する環境に合わせて選択するガンマカーブを変化すること

も有効である。特にＥＬ表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。ＥＬ表示パネルは自発光のためである。そこで、図９１に図示するように、ガンマカーブを変化させてもよい。ガンマカーブａは屋内用のガンマカーブである。ガンマカーブｂは屋外用のガンマカーブである。ガンマカーブａとｂとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。

【１３２５】

なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光が明るいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブｂを選択することが有効である。

【１３２６】

屋外では、図９２のようにガンマカーブを発生させることも有効である。ガンマカーブａは１２８階調目までは出力階調は０にする。１２８階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図９２のガンマカーブｂのようにガンマ変換を行っても良い。図９２のガンマカーブは１２８階調目までは出力階調を０にする。１２８以上は出力階調を５１２以上とする。図９２のガンマカーブｂでは高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示を見えやすくする効果がある。

【１３２７】

本発明の駆動方式では、ｄｕｔｙ比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【１３２８】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明のｄｕｔｙ比駆動のように表示画面１４４に非表示領域１９２を発生させても、黒表示における透過率は一定である。逆に非表示領域１９２を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【１３２９】

ＥＬ表示パネルは、黒表示においてＥＬ素子１５に流れる電流が０の状態（電流が流れないあるいは微小）である。したがって、本発明のｄｕｔｙ比駆動のように表示画面１４４に非表示領域１９２を発生させても、黒表示の輝度は０である。非表示領域１９２の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、ｄｕｔｙ比駆動は、ＥＬ表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は０である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【１３３０】

ｄｕｔｙ比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ｄｕｔｙ比制御により表示画面１４４の輝度変化は１０倍近く変化させることができる。また、変化はｄｕｔｙ比に線形の関係になるから制御も容易である。しかし、ｄｕｔｙ比制御は、Ｎ倍パルス駆動であるから、ＥＬ素子１５に流れる電流の大きさが大きく、また、表示画面１４４の輝度にかかわらず、常時ＥＬ素子に流れる電流の大きさが大きくなり、ＥＬ素子１５が劣化しやすいという課題がある。

【１３３１】

基準電流制御は、画面輝度１４４を高くするときに、基準電流量を大きくするものである。したがって、表示画面１４４が高いときにしか、ＥＬ素子１５に流れる電流は大きくならない。そのため、ＥＬ素子１５が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

【１３３２】

本発明では、基準電流制御とｄｕｔｙ比制御の両方を用いる。ただし、一方を固定し、

他方を可変する制御もあることは言うまでもない。表示画面１４４が白ラスター表示に近い時には、基準電流は一定値に固定し、ｄｕｔｙ比のみを制御して表示輝度などを変化させる。表示画面１４４に黒ラスター表示に近い時は、ｄｕｔｙ比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。もちろん、ｄｕｔｙ比を小さくするとともに、基準電流を増大させ、表示輝度を一定に維持したまま、プログラム電流Ｉｗを増加させてもよい。

【１３３３】

一例として、ｄｕｔｙ比制御は、点灯率が１／１０以上１／１の範囲で実施する。ｄｕｔｙ比１／１で、白ラスター表示であれば、点灯率１００％である（最大の白ラスター表示時）。黒ラスターであれば、点灯率０％である（完全黒ラスター表示時）。

【１３３４】

点灯率とは、パネルのアノードまたはカソードに流れる最大電流に対する割合でもある（ただし、ｄｕｔｙ比は１／１とする）。たとえば、カソードに流れる最大電流を１００ｍＡとすれば、ｄｕｔｙ比１／１において、３０ｍＡの電流が流れていれば３０／１００＝３０％（０．３）である。図１などの画素構成の場合は、アノードにはプログラム電流が加算されているので、点灯率の計算には考慮する必要がある。カソードはＥＬ素子で消費される電流のみである。したがって、ＥＬ表示パネルの全ＥＬ素子１５で消費される電流は、カソード端子を流れる電流を測定する方が好ましい。

【１３３５】

また、カソードに流れる最大電流を１００ｍＡとし、この時、映像データの総和の最大値とすれば、点灯率とはＳＵＭ（総和）制御もしくはＡＰＬレベルの制御とは同義である。点灯率５０％と表現すれば、カソード（アノード）に流れる電流が最大の５０％と意味し、点灯率２０％と表現すれば、カソードに流れる電流が最大の２０％と意味するというように大きさが理解しやすいので今後は主として点灯率制御の用語を用いる。ただし、カソード（アノード）端子に流れる電流の最大値は、設計上、端子に流れる最大電流であり、相対的な大きさである。たとえば、設計値が小さければ最大値は小さい。

【１３３６】

点灯率は、パネルのアノードまたはカソードに流れる最大電流に対する割合であるとしたが、パネルの全ＥＬ素子に流れる最大電流の割合とも言い換えることができることは言うまでもない。

【１３３７】

本明細書では、点灯率と断り無く記載する時は、ｄｕｔｙ比１／１としている。もし、ｄｕｔｙ比１／３で、２０ｍＡの電流が流れていれば、点灯率は（２０ｍＡ×３）／１００ｍＡ＝６０％（０．６）である。つまり、点灯率が１００％でも、ｄｕｔｙ比が１／２であれば、アノード（カソード）端子に流れる電流は最大値の１／２である。点灯率５０％、アノード電流が２０ｍＡ、ｄｕｔｙ比１／１であれば、ｄｕｔｙ比１／２になれば、アノード電流は１０ｍＡとなる。アノード電流が１００ｍＡ、点灯率４０％、ｄｕｔｙ比１／１であれば、アノード電流が２００ｍＡに変化したとすると、点灯率は８０％に変化したことを意味する。以上のように、点灯率は、１画面を構成する映像データの大きさに対する割合、ＥＬ表示パネルの消費電流（電力）あるいはその割合を示している。

【１３３８】

以上の事項は、図１の画素構成のＥＬ表示パネルあるいはＥＬ表示装置だけではなく、図２、図７、図１１、図１２、図１３、図２８、図３１などの他の画素構成のＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【１３３９】

点灯率のよる基準電流制御、ｄｕｔｙ比制御はＥＬ表示パネルだけに適用されるものではなく、自己発光表示パネルであれば適用できることは言うまでもない。たとえば、ＦＥＤ表示パネルが例示される。

【１３４０】

一例として点灯率（点灯率）は、映像データの和から求める。つまり、映像データから

算出する。入力映像信号がＹ、Ｕ、Ｖの場合は、Ｙ（輝度）信号から求めても良い。しかし、ＥＬ表示パネルの場合は、Ｒ、Ｇ、Ｂで発光効率が異なるため、Ｙ信号から求めた値が消費電力にならない。したがって、Ｙ、Ｕ、Ｖ信号の場合も、一度Ｒ、Ｇ、Ｂ信号に変換し、Ｒ、Ｇ、Ｂに応じて電流に換算する係数をかけて、消費電流（消費電力）を求めることが好ましい。しかし、簡易的にＹ信号から消費電流を求めることは回路処理が容易になることも考慮してもよい。

【１３４１】

点灯率は、パネルに流れる電流で換算されているものであるとする。なぜなら、ＥＬ表示パネルではＢの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データ和とは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【１３４２】

ここでは説明を容易にするため、ｄｕｔｙ比の最大はｄｕｔｙ比１／１とする。基準電流は、１倍から３倍に変化させるとする。また、データ和は表示画面１４４のデータの総和を意味し、（データ和の）最大値は、最大輝度での白ラスター表示での画像データの総和であるとする。なお、ｄｕｔｙ比１／１まで使用する必要がないことは言うまでもない。ｄｕｔｙ比１／１は最大値として記載している。本発明の駆動方法では、最大のｄｕｔｙ比を２１０／２２０などと設定してもよいことは言うまでもない。

【１３４３】

ｄｕｔｙ比＝１／１の場合、点灯率０％にする意味は、Ｎ倍パルス駆動を実施していないことになる。なぜなら、１／１が最大輝度表示であり、Ｎ倍パルス駆動により、プログラム電流の書込み改善を実施していないからである。点灯率１００％になるつれ、ｄｕｔｙ比を１／ｎとし、ｎを大きくすることは、プログラム電流の書込み改善に何ら寄与しない。ただ、パネルの消費電力を低減するために実施しているだけである。このことは、Ｎ倍パルス駆動にはｄｕｔｙ比１／１を実施することが含まれないから容易に理解できる。本発明は、点灯率が低い（ｄｕｔｙ比が１／１に近づく）時に、基準電流を１以上にし、画面を高輝度化する。この動作からもＮ倍パルス駆動の実施には該当しない。

【１３４４】

ｄｕｔｙ比の最大はｄｕｔｙ比１／１とし、最小はｄｕｔｙ比１／１６以内にすることが好ましい。さらに好ましくは、ｄｕｔｙ比１／１０以内にするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、４倍以内にすることが好ましい。さらに好ましくは２．５倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

【１３４５】

点灯率１％とは、一例として１／１００の白ウインドウ表示である（ｄｕｔｙ１／１）。自然画像では、画像表示する画素のデータ和が、白ラスター表示の１／１００に換算できる状態を意味する。したがって、１００画素あたりの１点の白輝点表示も点灯率が１％である。

【１３４６】

以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。

【１３４７】

データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラＩＣのハード規模も小さくできる。また、ｄｕｔｙ比制御によるフリッカの発生もなく、ダイナミックレンジを広く

取れることから好ましい。

【１３４８】

図９３は本発明の基準電流制御とｄｕｔｙ比制御を実施した例である。図９３では点灯率が１／１００以下では基準電流の倍率を３倍まで変化させている。点灯率１％以上でｄｕｔｙ比を１／１から１／８まで変化させている。また、点灯率１％以下で基準電流を１から３倍まで変化させている。したがって、点灯率の値により、ｄｕｔｙ比制御で８倍、基準電流制御で３倍であるから、８×３＝２４倍の変化が実施されている。基準電流制御およびｄｕｔｙ比制御はともに画面輝度を変化させるから、２４倍のダイナミックレンジが実現されていることになる。

【１３４９】

図９３において、点灯率が１００％ではｄｕｔｙ比が１／８である。したがって、表示輝度は最大値の１／８になっている。点灯率が１００％であるから、白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の１／８に低下している。表示画面１４４の１／８が表示（点灯）領域１９３であり、非表示領域１９２が７／８を占めている。点灯率が１００％に近い画像は、ほとんどの画素１６が高階調表示である。ヒストグラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図９０などのガンマカーブのｎまたはｎに近いものが選択される。つまり、点灯率の値によりガンマカーブをダイナミックに変化させる。

【１３５０】

点灯率が１％では、ｄｕｔｙ比は１／１である。表示画面１４４の全体が表示領域１９３である。したがって、ｄｕｔｙ比制御による画面輝度制御は実施されていない。ＥＬ素子１５の発光輝度がそのまま表示画面１４４の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、点灯率が１％画像表示とは、真っ暗な夜空に星がでている画像である。この画像でｄｕｔｙ比を１／１にするということは、星の部分は、点灯率１００％の白ラスターの輝度の８倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１００の領域であるから、１／１００の領域の輝度を８倍にしたとしても消費電力の増加はわずかである。点灯率が１％以下では基準電流を増加させる。たとえば、点灯率０．１％では基準電流比は２である。したがって、点灯率１％の時に比較して２倍の輝度で表示される。つまり、星の部分は、点灯率１００％の白ラスターの輝度の８×２倍の輝度で表示されることになる。

【１３５１】

以上のように、低点灯率で基準電流を増加させることにより、表示画素の輝度を増大できる。この処理により画像につや感がでて、奥行きに深い画像表示を実現できる。

【１３５２】

点灯率が１％に近い画像で、ほとんどの画素１６が低階調表示の場合は、ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図９０などのガンマカーブのｂまたはｂに近いものが選択される。

【１３５３】

以上のように本発明の駆動方法は、ｄｕｔｙ比が大きくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。ｄｕｔｙ比が小さくなるにしたがって、ガンマのｘ乗数を小さくする駆動方法である。

【１３５４】

図９３では点灯率が１％以下では基準電流の倍率を３倍まで変化させている。点灯率が１％以下ではｄｕｔｙ比が１／１として、ｄｕｔｙ比により画面輝度を高くしている。点灯率が１％よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素１６はより高輝度で発光する。たとえば、点灯率が０．１％とは、イメージで表現すれば、真っ暗な夜空に星がでている画像である。この画像でｄｕｔｙ比

を１／１にするということは、星の部分は、白ラスターの輝度の８×２＝１６倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは０．１％の領域であるから、０．１％の領域の輝度を１６倍にしたとしても消費電力の増加はわずかである。

【１３５５】

基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイトバランスずれは認識されない。以上のことから、点灯率が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

【１３５６】

図９３では、基準電流の変化およびｄｕｔｙ比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。基準電流の倍率制御、ｄｕｔｙ比制御を曲線的にしてもよい。図９４では、横軸の点灯率が対数であるから、基準電流制御およびｄｕｔｙ比制御の線が曲線になるのは自然である。点灯率と基準電流倍率の関係、点灯率とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【１３５７】

図９３、図９４は、ＲＧＢのｄｕｔｙ比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図９５に図示するように、ＲＧＢで基準電流倍率の傾きを変化させてもよい。図９５では、青（Ｂ）の基準電流倍率の変化の傾きを最も大きくし、緑（Ｇ）の基準電流倍率の変化の傾きを次に大きくし、赤（Ｒ）の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子はＲＧＢで発光効率が異なる。また、ＥＬ素子１５に流れる電流が大きくなると印加電流に対する発光効率が悪くなる。特に、Ｂではその傾向が顕著である。そのため、ＲＧＢで基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図９５のように、基準電流倍率を大きくした時（各ＲＧＢのＥＬ素子１５に流す電流が大きい領域）では、ホワイトバランスを維持できるようにＲＧＢの基準電流倍率を異ならせることが有効である。点灯率と基準電流倍率の関係、点灯率とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【１３５８】

図９５は基準電流倍率をＲＧＢで異ならせた実施例であった。図９６はｄｕｔｙ比制御も異ならせている。点灯率を１％以上でＢとＧの傾きを同一にし、Ｒの傾きを小さくしている。また、ＧとＲは１％以下でｄｕｔｙ比１／１であるが、Ｂは１％以下でｄｕｔｙ比１／２としている。また、図９６は基準電流も異ならせている。点灯率を１％以下でＢの傾きを最も大きくし、Ｒの傾きを最も小さくしている。以上のように駆動（制御）すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。点灯率と基準電流倍率の関係、点灯率とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１３５９】

図９３から図９６は、一例として点灯率１％を境に基準電流倍率とｄｕｔｙ比を変化させる方法であった。点灯率を一定の値を境として、基準電流倍率とｄｕｔｙ比を変化させ、基準電流倍率が変化させる領域とｄｕｔｙ比を変化させる領域を重ならないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１％以下で基準電流を変化させている。基準電流倍率が変化させる領域とｄｕｔｙ比を変化させる領域を重ならないようにしている。この方法は、本発明の特徴ある方法である。

【１３６０】

点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１％以下で基準電流を変化させた

としたが、逆の関係でもよい。たとえば、点灯率が１％以下でｄｕｔｙ比を変化させ、点灯率が１％以上で基準電流を変化させてもよい。また、点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１％以下で基準電流を変化させ、点灯率が１％以上１０％以下では、基準電流倍率およびｄｕｔｙ比を一定値としてもよい。

【１３６１】

場合によっては、本発明は以上の方法に限定されない。図９７に図示するように点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１０％以下でＢの基準電流を変化させてもよい。Ｂの基準電流変化とＲＧＢのｄｕｔｙ比とを変化をオーバーラップさせている。

【１３６２】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてｄｕｔｙ比を変化させるとのフリッカが発生する。したがって、あるｄｕｔｙ比から他のｄｕｔｙ比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のｄｕｔｙ比が維持される。つまり、ｄｕｔｙ比は変化しない。このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のｄｕｔｙ比を変化前ｄｕｔｙ比と呼び、変化後のｄｕｔｙ比を変化後ｄｕｔｙ比と呼ぶ。

【１３６３】

変化前ｄｕｔｙ比が小さい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ｄｕｔｙ比が小さい状態は、表示画面１４４のデータ和が小さい状態あるいは表示画面１４４に黒表示部が多い状態である。したがって、表示画面１４４が中間調の表示で視感度が高いためと思われる。また、ｄｕｔｙ比が小さい領域では、変化ｄｕｔｙ比との差が大きくなる傾向があるからである。もちろん、ｄｕｔｙ比の差が大きくなる時は、ＯＥＶ２端子を用いて制御する。しかし、ＯＥＶ２制御にも限界がある。以上のことから、変化前ｄｕｔｙ比が小さい時は、ｗａｉｔ時間を長くする必要がある。

【１３６４】

変化前ｄｕｔｙ比が大きい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前ｄｕｔｙ比が大きい状態は、表示画面１４４のデータ和が大きい状態あるいは表示画面１４４に白表示部が多い状態である。したがって、表示画面１４４全体が白表示で視感度が低いためと思われる。以上のことから、変化前ｄｕｔｙ比が大きい時は、ｗａｉｔ時間は短くてよい。

【１３６５】

以上の関係を図９４に図示する。横軸は変化前ｄｕｔｙ比である。縦軸はＷａｉｔ時間（秒）である。ｄｕｔｙ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くしている。ｄｕｔｙ比が１／１６以上ｄｕｔｙ比８／１６（＝１／２）では、ｄｕｔｙ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。ｄｕｔｙ比８／１６以上ｄｕｔｙ比１６／１６＝１／１では、ｄｕｔｙ比に応じて２秒から０秒に変化させる。

【１３６６】

以上のように、本発明のｄｕｔｙ比制御はｄｕｔｙ比に応じてＷａｉｔ時間を変化させる。ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともｄｕｔｙ比を可変する駆動方法にあって、第１の変化前のｄｕｔｙ比が第２の変化前のｄｕｔｙ比よりも小さく、第１の変化前ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【１３６７】

以上の実施例では、変化前ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前ｄｕｔｙ比を変化後ｄｕｔｙ比と読み替えても良い。

【１３６８】

以上の実施例において、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比を基準にして説明した。

変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることが良好であることは言うまでもない。

【１３６９】

本発明のｄｕｔｙ比制御方法は、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。

【１３７０】

本発明のｄｕｔｙ比の方法は、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることを特徴とする駆動方法である。

【１３７１】

図９３、図９４などの実施例では、ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で同一にするとして説明した。しかし、本発明は、図９８に図示するようにＲＧＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

【１３７２】

以下の説明では、最大値とは白ラスターの画像データの加算値とした。これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。

【１３７３】

ただし、データ和とは、１画面のデータを正確に加算することを必要としない。１画面をサンプリングした画素のデータの加算値から１画面の加算値を推定（予測）したものでもよい。また、最大値も同様である。また、複数フィールドあるいは複数フレームからの予測値あるいは推定値でもよい。また、画像データの加算だけでなく、映像データをローパスフィルタ回路によりＡＰＬレベルを求めて、このＡＰＬレベルをデータ和としてもよい。この時の最大値は、最大振幅の映像データが入力された時のＡＰＬレベルの最大値である。

【１３７４】

データ和は表示パネルの消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易である。

【１３７５】

図９９は横軸を点灯率としている。最大値は１００％である。縦軸はｄｕｔｙ比である。点灯率＝１００％は、全画素行が最大の白表示状態である。点灯率が小さい時は、暗い画面あるいは表示（点灯）領域が少ない画面である。この時は、ｄｕｔｙ比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。点灯率が大きい時（最大値は１００％）は、明るい画面あるいは表示（点灯）領域が広い画面である。この時は、ｄｕｔｙ比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

【１３７６】

図９９では、点灯率が１００％の時に、到達するｄｕｔｙ比値を変化させている。たとえば、ｄｕｔｙ比＝１／２は画面の１／２が画像表示状態になる。したがって、画像は明るい。ｄｕｔｙ比＝１／８は画面の１／８が画像表示状態になる。したがって、ｄｕｔｙ比＝１／２に比較して１／４の明るさである。

【１３７７】

本発明の駆動方式では、点灯率、ｄｕｔｙ比、基準電流、データ和などにより画像輝度

を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【１３７８】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【１３７９】

ＥＬ表示パネルは、黒表示は、ＥＬ素子に流れる電流が０の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は０である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

【１３８０】

本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ｄｕｔｙ比制御により画面の輝度変化は１０倍近く変化させることができる。また、変化はｄｕｔｙ比に線形の関係になるから制御も容易である。また、Ｒ、Ｇ、Ｂを同一比率で変化させることできる。したがって、どのｄｕｔｙ比においてもホワイトバランスは維持される。

【１３８１】

点灯率とｄｕｔｙ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１３８２】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。表示輝度を低下させるため、ｄｕｔｙ比を小さくし、または基準電流を小さくする。もしくは、ｄｕｔｙ比をまたは基準電流のいずれか一方を小さくする。基準電流またはｄｕｔｙ比を小さくすることによりＥＬ表示パネルの消費電力を低下させることができる。

【１３８３】

以上の制御はユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図９９のａのカーブを選択する。しかし、高い輝度で表示し続けるとＥＬ素子は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、ｃのカーブを選択する。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【１３８４】

したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、ｄｕｔｙ比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のｄｕｔｙ比カーブから１つを選択できるように構成することが好ましい。

【１３８５】

なお、ｄｕｔｙ比カーブなどの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）の１つあるいは複数を加味して行うことが好ましいことは言うまでもない。

【１３８６】

以上のように、たとえば、ａは屋外用のカーブである。ｃは屋内用のカーブである。ｂ

は屋内と屋外との中間状態用のカーブである。カーブａ、ｂ、ｃとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。

【１３８７】

図９９のｄｕｔｙ比は直線であったが、これに限定するものではない。図１００に図示するように、一点折れカーブとしてもよい。つまり、点灯率に応じてｄｕｔｙ比の傾きを変化させる。もちろん、ｄｕｔｙ比カーブは曲線としてもよいし、多点折れカーブとしてもよい。また、外光あるいは画像の種類によりリアルタイムでｄｕｔｙ比カーブを変化させてもよい。以上の事項は、基準電流の変化制御においても同様である。

【１３８８】

表示パネルの消費電力低減が必要な場合は、図１００のｃカーブを選択する。消費電力が低減する効果が発揮される。表示輝度は低下するが、階調数などの画像表示の低下はない。高い表示輝度が必要な場合は、図１００のａカーブを選択する。画像の表示が明るくなり、また、フリッカの発生が少なくなる。消費電力は増大するが、階調数などの画像表示の低下はない。

【１３８９】

本発明の他の実施例において、ｄｕｔｙ比の変化は、点灯率が１／１０以上の範囲で実施する（図１０１を参照のこと）。点灯率が１に近い画像の発生は少なく、図９９のように点灯率が１００まで、ｄｕｔｙ比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、ｄｕｔｙ比の変化は点灯率が８／１０以上の範囲で実施する。

【１３９０】

自然画では、点灯率が２０％から４０％の画像が多い。したがって、この範囲ではｄｕｔｙ比が大きい方が好ましい。一方で点灯率が高い（６０％以上）では消費電力が大きくＥＬ表示パネルが発熱し劣化する傾向になる。したがって、点灯率が２０％から４０％の範囲あるいは近傍ではｄｕｔｙ比１／１あるいはその近傍とし、点灯率が６０％あるいはその近傍以上では、ｄｕｔｙ比を１／１よりも小さくするように制御することが好ましい。

【１３９１】

図１０１では点灯率が０．９以下ではｄｕｔｙ比を１／１から１／５まで変化させている。したがって、５倍のダイナミックレンジが実現されていることになる。図１０１において、点灯率が０．９以上ではｄｕｔｙ比が１／５である。したがって、表示輝度は最大値輝度の１／５になっている。点灯率１００％は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大輝度の１／５に低下している。

【１３９２】

点灯率が１０％以下では、ｄｕｔｙ比は１／１である。画面の１／１０が表示領域（白ウインドウなどの場合）である。もちろん、自然画では、暗い部分が多い画像である。ｄｕｔｙ比が１／１では、非点灯領域１９２がないため、ＥＬ素子の発光輝度がそのまま画素の表示輝度となる。

【１３９３】

点灯率１０％とはイメージ的には画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。たとえば、点灯率が１０％以下の画像表示とは、真っ暗な夜空に月がでている画像である（説明のための参考イメージ画像例である。白ウインドウでは、１／１０白ウインドウ表示である）。この画像でｄｕｔｙ比を１／１にするということは、月の部分は、白ラスターの輝度（図１０１で点灯率１００％での輝度）の５倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０の領域であるから、１／１０の領域の輝度を５倍にしたとしても消費電力の増加はわずかである。

【１３９４】
以上のように、本発明では点灯率が低い画像では、ｄｕｔｙ比を１／１あるいは比較的大きくしている。ｄｕｔｙ比１／１では発光している画素は常時電流が流れている。したがって、１つの画素からみれば消費電流が大きい。しかし、ＥＬ表示パネルにおいて、発光している画素が少ないため、ＥＬ表示パネル全体からみれば、消費電力の増加はほとんどない。ＥＬ表示パネルでは黒部分は完全黒（非発光）である。したがって、ｄｕｔｙ比１／１で最高輝度が表示できればダイナミックレンジを拡大でき、メリハリのある良好な画像表示を実現できる。
【１３９５】
一方、本発明では点灯率が高い画像では、ｄｕｔｙ比を１／５など比較的小さくしている。また、点灯率に応じて、ｄｕｔｙ比が小さくなるように制御を行う。ｄｕｔｙ比が小さい時は発光している画素は間欠電流が流れている。したがって、１つの画素の消費電流は小さい。ＥＬ表示パネルにおいて、発光している画素は多いが、１画素あたりの消費電流が少ないため、ＥＬ表示パネル全体からみれば、消費電力の増加は少ない。
【１３９６】
以上のように点灯率に対してｄｕｔｙ比を制御する本発明の駆動方法はＥＬ表示パネルなどの自己発光表示パネルに最適な駆動方法である。ｄｕｔｙ比が小さくなれば画像輝度は小さくなるが、画面全体として発生光束が多いため、暗くなったという印象は感じられない。
【１３９７】
以上のように、ｄｕｔｙ比制御と、基準電流制御の一方または両方を実施することにより、画像のコントラスト比を拡大でき、ダイナミックレンジを拡大され、低消費電力化を実現できる。
【１３９８】
以上の制御は点灯率を用いて行う。点灯率は先にも説明したが、通常の駆動（ｄｕｔｙ比１／１）では、アノードまたはカソードに流れ込む（流れ出す）電流の大きさである。点灯率が増加すると比例してアノードまたはカソード端子の電流は増加する。前記電流は基準電流の大きさに比例して増減し、また、ｄｕｔｙ比に比例して増減する。なお、本発明はｄｕｔｙ比、基準電流は点灯率により、変化させることに特徴ある。つまり、ｄｕｔｙ比、基準電流は固定ではない。画像の表示状態に応じて少なくとも複数の状態に変化させる。
【１３９９】
点灯率が０に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。
【１４００】
以上の実施例では、点灯率が０では、ｄｕｔｙ比を１／１にするとしたが、本発明はこれに限定するものではない。図１０２に図示するように、ｄｕｔｙ比を１より小さい値となるようにしてもよいことは言うまでもない。図１０２では、実線は点灯率０で、ｄｕｔｙ比＝０．８、点線は点灯率０で、ｄｕｔｙ比＝０．６である。
【１４０１】
ｄｕｔｙ比のカーブは図１０３に図示するように曲線となるようにしてもよい。なお、曲線とは、サインカーブ状、円弧状、三角形状が例示される。
【１４０２】
ｄｕｔｙ比に最大値を設ける場合は、少なくとも点灯率２０％以上５０％以下の範囲でいずれかの位置で最大値となるようにすることが好ましい。この範囲は、画像表示でよく出現する。したがって、ｄｕｔｙ比を１／１など、他の点灯率の範囲よりも大きくすることにより、画像が高輝度表示しているように認識されるからである。たとえば、点灯率３５％でｄｕｔｙ比を１／１とし、点灯率２０％、６０％ではｄｕｔｙ比を１／２とする制

御方式が例示される。

【１４０３】

点灯率に応じて階段状に制御してもよい。階段状とは、たとえば、点灯率０％以上２０％以下の場合は、ｄｕｔｙ比を１／１とし、点灯率２０％より大きく６０％以下の場合は、ｄｕｔｙ比を１／２とし、点灯率６０％より大きく１００％以下の場合は、ｄｕｔｙ比を１／４とする制御方法を言う。

【１４０４】

図１０４に図示するように、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素で、ｄｕｔｙ比カーブを変化させてもよい。図１０４では、青（Ｂ）のｄｕｔｙ比の変化の傾きを最も大きくし、緑（Ｇ）のｄｕｔｙ比の変化の傾きを次に大きくし、赤（Ｒ）のｄｕｔｙ比の変化の傾きを最も小さくしている。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。もちろん、１色を一定（点灯率が変化しても変化させない）とし、他の２色を点灯率に応じて変化するように制御してもよい。

【１４０５】

点灯率とｄｕｔｙ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。また、ホトセンサあるいは温度センサから出力により自動で、ｄｕｔｙ比、基準電流比などを調整できるように構成することが好ましい。たとえば、周囲温度（パネル温度）が高い場合は、ｄｕｔｙ比を低下（１／４など）させることにより、パネルに流れ込む消費電流を抑制することができ、パネルの自己発熱が低下し、結果としてパネル温度を低下させることができる。したがって、パネルが熱劣化することを防止できる。

【１４０６】

図４４４は、本発明の表示装置において、温度検出部などの説明図である。図４４４において、４４４１はシート状の温度センサである。温度センサ４４４１はパネルの裏面基板（図４４４では封止基板４０）と筐体（シャーシ）１２５３間に配置されている。

【１４０７】

シャーシ１２６３は熱伝導率がよい金属で形成されており、温度センサ４４４１とシャーシ４４４１間および封止基板４０と温度センサ４４４１間には熱伝導率のよいシリコングリスが塗布されている。シリコングリスによりアレイ基板３０から発熱した熱はシャーシに伝導され効率よく放熱される。温度センサ４４４１は、白金膜をシートに薄く蒸着したもの、薄型のポジスタ、カーボン抵抗膜などが例示される。

【１４０８】

温度センサ４４４１は、封止フタ４０あるいはアレイ３０に凹部を形成し、この凹部に温度センサ４４４１を挿入することで良好に温度変化を追随することができる。なお、凹部とは図３の封止フタ４０とアレイ３０間の空間でもよい。特に、有機ＥＬは透過型ではないため、裏面に光遮光物を配置してもよい。したがって、温度センサ４４４１も表示パネルの中央部に配置することができる。温度センサ４４４１は、表示パネルの表示領域の裏面の複数箇所に配置してもよいことはいうまでもない。

【１４０９】

温度センサ４４４１には一定の定電流Ｉが供給されている。温度センサ４４４１が加熱されると抵抗値が増大し、端子ａ、ｂ間の抵抗値が増大する。この抵抗値変化を検出器４４４３で検出し、検出結果はコントローラ回路（ＩＣ）７６０に伝送される。コントローラ回路（ＩＣ）７６０は検出器４４４３の結果に基づき、ｄｕｔｙ比制御、基準電流比制御などを実施し、アレイ３０などが一定以上に加熱されることを抑制する。また、温度センサをアノード線あるいはカソード線に直列に挿入し、温度センサ４４４１の抵抗変化によりアノード線などから供給する電圧Ｖｄｄを低減させてもよい。

【１４１０】

図２５２（ａ）は周囲温度により基準電流比を変化させた実施例である。周囲温度が高くなるにしたがって、基準電流を抑制し（小さくし）、パネルの消費電流を低減して自己

発熱を抑制している。図２５２（ｂ）は周囲温度によりｄｕｔｙ比を変化させた実施例である。周囲温度が高くなるにしたがって、ｄｕｔｙ比を小さくし、パネルの消費電流を低減して自己発熱を抑制している。なお、図２５２（ａ）の基準電流比制御と、図２５２（ｂ）のｄｕｔｙ比制御などの消費電流を減少させる手段などとを組み合わせてもよいことは言うまでもない。

【１４１１】

上記の実施例では温度センサ４４４１は温度により抵抗が変化するものとして例示したが本発明はこれに限定するものではない。赤外線の検出によりコントローラ回路（ＩＣ）７６０に指示を発するものでもよい。また、温度変化により電磁波を発生するものでもよい。つまり、パネルの温度変化を検出できるものであればいずれでもよい。

【１４１２】

温度変化は温度変化を積分し、その積分値が所定値を超えた時、ｄｕｔｙ比制御などの電流抑制手段を動作させるように制御してもよい。なお、積分時には、パネルからの放熱によるパネル温度の低下を考慮することが好ましい。したがって、単純に積分値で制御するのではなく、放熱量分を減算して制御する。放熱量は実験などにより容易に導出できる。

【１４１３】

本発明は温度センサで温度あるいはそれに類するもの（たとえば、赤外線の放出量など）を検出し、ｄｕｔｙ比制御などを実施し、パネルが過熱され劣化することを防止するものであった。しかし、本発明はこれに限定するものではない。図４６８は本発明の他の実施例である。

【１４１４】

図４６８は、アノードあるいはカソードに流れる電流もしくはパネルのＥＬ素子１５に流れる電流よりパネルの消費電流を計算し、パネルの温度を予測あるいは推定して、パネルの過熱状態を把握し、ｄｕｔｙ比制御、基準電流比制御などのパネル消費電流を抑制あるいは減少させる手段あるいは方法などを実施するものである。

【１４１５】

電流駆動方式は、電流と輝度が直線（比例）の関係にある。そのため、図８８などでも説明したように、映像データの総和などを算出することにより、パネルの消費電力を求めることができる。１画面の映像データの総和を時間軸で積分すれば電力量あるいは電力量を示す指標になる。また、電力と発熱の関係、発熱と放熱に冷却の関係は実験により導出することができる。

【１４１６】

以上のことから、映像データの総和を求め、総和を積分し、また、積分値から放熱量を減算することにより、パネル温度を推定あるいは予測することができる。予測の結果、パネル温度が規定以上の上昇する場合あるいは可能性があるとき、ｄｕｔｙ比制御、基準電流比制御などを実施して、パネルの消費電力を抑制する。また、抑制によりパネルが規定温度以下に低下したと予測される時は、通常のｄｕｔｙ比制御、基準電流比制御などを実施する。

【１４１７】

図４６８は上記に説明した本発明の駆動方式の実施例である。映像データ（赤はＲＤＡＴＡ、緑はＧＤＡＴＡ、青はＢＤＡＴＡ）は、重みづけされる。重みづけは、ＥＬ素子１５はＲＧＢで発光効率が異なるため、単純な映像データの加算では、消費電力を予測あるいは推定することができないからである。

【１４１８】

以上の事項は、図８８などの実施例においても説明をしたので説明を省略する。なお、説明を容易にするため、入力データはＲＧＢデータ（赤はＲＤＡＴＡ、緑はＧＤＡＴＡ、青はＢＤＡＴＡ）としているがこれに限定するものではない。ＹＵＶ（輝度データと色度データ）であってもよい。ＹＵＶの場合は、Ｙ（輝度）データあるいはＹデータとＵＶ（色度）データに直接にあるいは、色度に対する発光効率を考慮して輝度データなどに変換

して重みづけ処理を行う。

【１４１９】

なお、この動作を実施する場合も現動作状態のｄｕｔｙ比を考慮することは言うまでもない。ｄｕｔｙ比が小さければ、重みづけを行ったデータが大きくともパネルに流れ込む電流は小さく、パネルが過熱状態とはならないからである。

【１４２０】

ＲＤＡＴＡには、定数Ａ１が乗算される。ＧＤＡＴＡには、定数Ａ２が乗算される。ＢＤＡＴＡには、定数Ａ３が乗算される。乗算されたデータは総和回路（ＳＵＭ）８８４で１画面分の電流データ（もしくは類似するデータ）が求められる。総和回路８８４は比較回路４６８１に送る。比較回路４６８１はあらかじめ設定された比較データ（所定の電流データ以上では過熱状態であることを示すために設定された値またはデータ）と比較し、電流データが比較データ以上の場合、カウンタ回路４６８２を制御し、カウンタ回路４６８２のカウンタ値を１つアップする。また、電流データが比較データよりも小さい時、カウンタ回路４６８２のカウンタ値を１つダウンする。

【１４２１】

以上の動作を継続し、カウンタ回路４６８２のカウンタ値が所定以上に到達した場合、コントローラ回路（ＩＣ）７６０は、ゲートドライバ１２ｂを制御して、ｄｕｔｙ比を小さくし、パネルに流れる電流を抑制する。したがって、パネルが過熱状態になり劣化することがなくなる。

【１４２２】

定数Ａ１、Ａ２、Ａ３は、コントローラ回路（ＩＣ）７６０によりコマンドで書き換えできるように構成することが好ましいことは言うまでもない。もちろん、ユーザーが手動で書き変えできるように構成してもよいことは言うまでもない。比較回路４６８１の比較データも書き換えできるように構成することが好ましいことは言うまでもない。

【１４２３】

また、ＥＬ素子１５は温度依存性があるため、パネルの温度により定数を書き換えるように構成することが好ましい。また、点灯率によっても（ＥＬ素子１５に流れる電流の大きさによっても）発光効率が変化する。したがって、点灯率によっても定数を書き換えるように構成することが好ましい。また、図８８などにおいても説明をしているので他の説明が類似あるいは同様であるので説明を省略する。

【１４２４】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてｄｕｔｙ比、基準電流などを変化させるとのフリッカが発生する。したがって、あるｄｕｔｙ比から他のｄｕｔｙ比などに変化する時は、図９８に図示するように、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のｄｕｔｙ比が維持される。つまり、ｄｕｔｙ比は変化しない。以上の事項は、基準電流制御などにも適用できることは言うまでもない。なお、図９８に図示するように変化は、Ｒ、Ｇ、Ｂで異ならせても良い。

【１４２５】

このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のｄｕｔｙ比を変化前ｄｕｔｙ比と呼び、変化後のｄｕｔｙ比を変化後ｄｕｔｙ比と呼ぶ。なお、ヒステリシス（時間遅延）と呼ぶが、ヒステリシスには、変化をゆっくりと行う意味も含まれる。たとえば、ｄｕｔｙ比１／１から１／２に変化させる時、２秒の時間をかけてゆっくりと変化させる例が例示される（ほとんど、制御はこの方式である）。この実施例を図２５３に示している。図２５３（ａ）のパネル温度の変化に対して、図２５３（ｂ）に図示するようにｄｕｔｙ比がゆっくりと変化させるようにコントローラ回路（ＩＣ）７６０が制御される。

【１４２６】

同様のことは、基準電流比制御にも適用される。この実施例を図２５４に示している。

図２５４（ａ）のパネル温度の変化に対して、図２５４（ｂ）に図示するように、基準電流比がゆっくりと変化させるようにコントローラ回路（ＩＣ）７６０が制御される。

【１４２７】

変化前ｄｕｔｙ比が小さい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ｄｕｔｙ比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。

【１４２８】

特に中間調あるいは点灯率が中央値付近では変化はゆっくりと行う。画面が中間調の表示で視感度が高いためと思われる。また、ｄｕｔｙ比が小さい領域では、変化ｄｕｔｙ比との差が大きくなる傾向がある。もちろん、ｄｕｔｙ比の差が大きくなる時は、ＯＥＶを用いて制御する。しかし、ＯＥＶ制御にも限界がある。以上のことから、変化前ｄｕｔｙ比が小さい時は、ｗａｉｔ時間を長くする必要がある。

【１４２９】

変化前ｄｕｔｙ比が大きい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前ｄｕｔｙ比が大きい状態は、画面のデータ和が大きい状態あるいは画面に白表示部が多い状態である。したがって、画面全体が白表示で視感度が低いためと思われる。以上のことから、変化前ｄｕｔｙ比が大きい時は、ｗａｉｔ時間は短くてよい。

【１４３０】

以上の関係を図９８に図示する。横軸は変化前ｄｕｔｙ比である。縦軸はＷａｉｔ時間（秒）である。ｄｕｔｙ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くしている。たとえば、Ｂ（青）ではｄｕｔｙ比が１／１６以上ｄｕｔｙ比８／１６（＝１／２）では、ｄｕｔｙ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。ｄｕｔｙ比８／１６以上ｄｕｔｙ比１６／１６＝１／１では、ｄｕｔｙ比に応じて２秒から０秒近傍に変化させる。

【１４３１】

以上のように、本発明のｄｕｔｙ比制御はｄｕｔｙ比に応じてＷａｉｔ時間を変化させる。ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともｄｕｔｙ比を可変する駆動方法にあって、第１の変化前のｄｕｔｙ比が第２の変化前のｄｕｔｙ比よりも小さく、第１の変化前ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【１４３２】

以上の実施例では、変化前ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前ｄｕｔｙ比を変化後ｄｕｔｙ比と読み替えても良い。

【１４３３】

以上の実施例において、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比を基準にして説明した。変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることが良好であることは言うまでもない。

【１４３４】

本発明のｄｕｔｙ比制御方法は、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。なお、先にも説明したようにＷａｉｔ時間あるいはヒステリシスとは、ゆっくりと変化させる意味である。もちろん、広義には、変化を開始するのを遅延させるという意味もあることは言うまでもない。

【１４３５】

本発明のｄｕｔｙ比の方法は、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を

経由して変化後ｄｕｔｙ比に変化させることを特徴とする駆動方法である。

【１４３６】

以上の実施例では、ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で異ならせるとして説明した。しかし、本発明は、Ｒ、Ｇ、ＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

【１４３７】

以上の実施例は、ｄｕｔｙ比制御に関する実施例であった。基準電流制御についてもＷａｉｔ時間を設定することが好ましい。

【１４３８】

以上のように、本発明の駆動方法では、ｄｕｔｙ比、基準電流は急激に変化させない。急激に変化させると変化状態がフリッカとして認識されてしまうからである。通常、０．２秒以上１０秒以下の遅延時間で変化させる。以上の事項は、後に説明するアノード電圧の変化制御、プリチャージ電圧の変化制御、周囲温度による変化制御（パネル温度により、ｄｕｔｙ比、基準電流を変化させる）などにも適用できることは言うまでもない。

基準電流が小さい時は表示画面１４４が暗く、基準電流が大きい時は表示画面１４４が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、Ｗａｉｔ時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、Ｗａｉｔ時間が短くても良い。

【１４３９】

以上のような、ｄｕｔｙ比制御は、１フレームあるいは１フィールドで完結する必要はない。数フィールド（数フレーム）の期間でｄｕｔｙ比制御を行っても良い。この場合のｄｕｔｙ比は数フィールド（数フレーム）の平均値をｄｕｔｙ比とする。なお、数フィールド（数フレーム）でｄｕｔｙ比制御を行う場合であっても、数フィールド（数フレーム）期間は、６フィールド（６フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、２．５フレーム（２．５フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。

【１４４０】

以上の事項は、図１の画素構成のＥＬ表示パネルあるいはＥＬ表示装置だけではなく、図２、図７、図８、図９、図１１、図１２、図１３、図２８、図３１、図３６などの他の画素構成のＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。動画と静止画とでは、ｄｕｔｙ比パターンを変化させる。ｄｕｔｙ比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画のｄｕｔｙ比と静止画のｄｕｔｙ比との差異によって発生する。動画では非表示領域１９２を一括して挿入するｄｕｔｙ比パターンを用いる。静止画では非表示領域１９２を分散して挿入するｄｕｔｙ比パターンを用いる。非表示領域１９２の面積／画面面積１４４の比率がｄｕｔｙ比となる。しかし、同一ｄｕｔｙ比であっても、非表示領域１９２の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

【１４４１】

中間動画は、非表示領域１９２の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域１９２が３分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

【１４４２】

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、表示画面１４４が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示のｄｕｔｙ比状態から、中間動画表示１のｄｕｔｙ比状態に移行し、さらに中間動画表示２のｄｕｔｙ比状態に移行してから静止画表示のｄｕｔｙ比状態に移行させてもよい。

【１４４３】

動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はＷａｉｔ時間をおくことが好ましい。また、静止画から動画あるいは中間動画に移行する時は、非表示領域１９２の変化がゆっくりとなるようにする。

【１４４４】

ＦＲＣ（フレームレートコントロール）と動画表示とは関係する。ＦＲＣで用いるフレーム数（たとえば、４ＦＲＣでは、４フレームを用いて、２ビット分の階調表示（階調数を４倍）にする。１６ＦＲＣでは、１６フレームを用いて、４ビット分の階調表示（階調数を１６倍）にする。しかし、ｎＦＲＣ（ｎは２以上の整数）のｎ（フレーム数）が増加すると、静止画では問題がないが、動画では、動画性能が低下する。したがって、動画表示では、ｎＦＲＣのｎは小さい方が望ましい。また、動画表示では、一定以上の階調数は必要でない。ほとんどの場合が、２５６階調以下で十分である。一方、静止画では、多くの階調数が必要である。

【１４４５】

本発明では、この課題を解決するため、図４４３に図示するように、動画画素の割合にもとづいて、ｎＦＲＣのｎ数（ＦＲＣ数と呼ぶ）を変化させている。動画画素の割合とは、フレーム演算により、動画の画素として判断された画素の割合である。

【１４４６】

たとえば、第１フレームと次の第２フレーム間で、同一位置の画素データの差分を求め、差分の値が一定以上ある場合に動画画素と判定する。１パネルの画素数が１０万画素とすれば、前記差分演算により動画画素と判定された画素の数が２．５万画素であれば、動画画素の割合は２５％である。

【１４４７】

図４４３の実施例では、動画画素の割合が０％～２５％以下で、完全静止画あるいはそれに近いと判断し、１６ＦＲＣ（ｎ＝１６）としている。また、動画画素の割合が２５％～５０％以下で、動画に近い中間画像と判断し、１２ＦＲＣ（ｎ＝１２）としている。また、動画画素の割合が５０％～７５％以下で、静止画に近い中間画像と判断し、８ＦＲＣ（ｎ＝８）としている。動画画素の割合が７５％以上で、完全動画あるいはそれに近いと判断し、１ＦＲＣ（ｎ＝１つまりＦＲＣ制御しない）としている。

【１４４８】

以上のように、表示画像の内容にもとづいて、ＦＲＣを変化させることのより最適な画像表示を実現できる。ＦＲＣの変更はコントローラ回路（ＩＣ）７６０より行う。

【１４４９】

ＦＲＣの変更は、画像のシーンが急変する時に実施することが好ましい。画像シーンが急変する状態とは、画面がコマーシャルに変化したとき、チャンネルを切り換えた時、ドラマのシーンが変化したときなどが例示される。なお、シーンの急変時は、本発明のピーク電流抑制、ｄｕｔｙ比制御でも説明をしている。

【１４５０】

したがって、動画画像の割合が変化した場合にリアルタイムでｎＦＲＣのＦＲＣ数を変化させると画面がフリッカ的な表示状態になる。したがって、シーンの急変時にＦＲＣ数を変化させることが好ましい。

【１４５１】
図１６、図７５などでプリチャージ駆動について説明をした。プリチャージ電圧の印加は点灯率あるいはｄｕｔｙ比と連動させることが好ましい。プリチャージ電圧の印加は必要がない箇所には印加しないことが好ましい。白表示の輝度低下などが発生する場合があるからである。したがって、プリチャージ電圧の印加は限定されることが好ましい。
【１４５２】
プリチャージ駆動は、特に電流駆動方式において、白表示部の下にクロストークする現象を解消するために実施する。したがって、このクロストークが目立つのは、画面に黒表示部が多く、一部に白表示がある画像である。点灯率で示せば、点灯率が小さい領域でプリチャージが必要である。表示画面１４４全体が白表示であればクロストークが発生しても視覚的に認識されることはないからである。したがって、プリチャージ駆動は実施する必要がない。
【１４５３】
本発明は点灯率が高い（表示画面１４４において全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ比１／ｎのｎを大きくする。点灯率が低い（表示画面１４４の全体的に黒表示部分が多い）時に、ｄｕｔｙ比を大きくする。つまり、ｄｕｔｙ比１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。また、点灯率をプリチャージ制御とも関係がある。
【１４５４】
図１０５（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図１０５（ｂ）はプリチャージのオンオフ状態を示している。図１０５（ｂ）では、ｄｕｔｙ比が２０％以下でプリチャージ駆動するように設定している。ただし、プリチャージ駆動するとしても、本発明のプリチャージ駆動には、ａｌｌプリチャージモード、適応型プリチャージモード、０階調プリチャージモード、選択階調プリチャージモードがある。したがって、図１０５（ｂ）ではプリチャージ駆動が実施されるように設定するというポイントであり、どのプリチャージが行われるかにより駆動状態は異なる。重要なのは、ｄｕｔｙ比あるいは点灯率により、プリチャージ駆動をするかしないかを変化させることである。
【１４５５】
ｄｕｔｙ比あるいは点灯率（％）とガンマ制御も相関がある。図１０６はその説明図である。点灯率が高い画像では、全体的に輝度が高い画像が多い。そのため、画像が白っぽくなる。そのため、ガンマ定数の係数（通常、係数は２．２とされている）を大きくして、黒階調領域の面積を多くすることが好ましい。黒階調領域の面積を多くすることにより画像のメリハリ感がつく。
【１４５６】
点灯率に対するｄｕｔｙ比を図１０７であるとする。図１０７の制御では、表示画像の点灯率が１００％に近いとｄｕｔｙ比はほぼ１／４にする。階調は輝度と比例する。点灯率が高い画像では、画像の階調表示がつぶれて解像度のない画像になっていまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。
【１４５７】
以上のことから、本発明では、点灯率あるいはｄｕｔｙ比に応じて、ガンマカーブの係数を変化させている。図１０６はその説明図である。
【１４５８】
本発明は点灯率が高い（表示画面１４４の全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ比１／ｎのｎを大きくする。点灯率が低い（表示画面１４４の全体的に黒表示部分が多い）時に、ｄｕｔｙ比を大きくする。つまり、ｄｕｔｙ比１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。

図１０６（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図１０６（ｂ）のグラフは縦軸をガンマカーブの係数を示している。図１０６（ｂ）では、ｄｕｔｙ比が７０％以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

【１４５９】

図１０８（ａ）（ｂ）に図示するように、ｄｕｔｙ比が一定以上の小さい領域でガンマ係数を大きくすることも画像表示を改善できる場合がある。以上のように、点灯率（画像のデータ和）に対応して、ガンマカーブを変化させることにより、メリハリのある画像表示を実現できる。図２５６では点灯率に対してカンマ係数を変化させた実施例である。

【１４６０】

ｄｕｔｙ比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、ＥＬは電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスター表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。

【１４６１】

本発明では、点灯率が高いときに、ｄｕｔｙ比制御の１／ｎのｎを大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、ｄｕｔｙ比を１／１＝１または１／１に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。

【１４６２】

まず、点灯率（点灯率）とｄｕｔｙ比の関係を図１０７に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、ＥＬ表示パネルではＢの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データ和とは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【１４６３】

図１０７は点灯率０％の時に、ｄｕｔｙ比を１／１とし、点灯率１００％の時に最低ｄｕｔｙ比を１／４とした例である。図１０９は、電力と点灯率との掛算をした結果である。図１０７で点灯率が０から１００％まで、絶えずｄｕｔｙ比１／１であれば、図１０９のａで示すカーブとなる。図１０９の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブａでは、点灯率と消費電力は比例関係にある。したがって、点灯率０％で消費電力は０（電力比０）であり、点灯率１００％では、消費電力１００（電力比１００％）となる。

【１４６４】

図１０９のカーブｂは、図１０７のｄｕｔｙ比カーブで電力制限を実施した実施例である。点灯率１００％の時のｄｕｔｙ比は１／４であるから、カーブａに比較して、電力比は１／４の２５％になる。カーブｂは電力１／３よりも小さい範囲で動作している。したがって、図１０７のようにｄｕｔｙ比制御を実施すると、電源容量は、従来（カーブａ）に比較して１／３で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。

【１４６５】

従来（カーブａ）で点灯率が高い状態がつづくとパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、ｄｕｔｙ比制御を実施した本発明ではカーブｂでわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。

【１４６６】

図１０７のｄｕｔｙ比カーブにおいて、最低ｄｕｔｙ比を１／２にした実施例がカーブｃである。また、最低ｄｕｔｙ比を１／３にして実施例がカーブｄである。同様に最低ｄｕｔｙ比を１／８にして実施例がカーブｅである。

【１４６７】

図１０７はｄｕｔｙ比カーブを直線にしたものあった。しかし、ｄｕｔｙ比カーブは、多種多様な直線あるいは曲線で発生させることができる。たとえば、図１１０（ａ１）は、電力比が３０％以下となるようにする（図１１０（ａ２）を参照のこと）ｄｕｔｙ比制御カーブである。図１１０（ｂ１）は電力比が２０％以下となるようにする（図１１０（ｂ２）を参照のこと）ｄｕｔｙ比制御カーブである。以上のようにｄｕｔｙ比カーブあるいは基準電流比カーブは、マイコンなどのプログラミングあるいは外部制御により、可変できるように構成することが好ましい。

【１４６８】

ｄｕｔｙ比制御カーブは、ユーザーが外部環境に応じてボタンで自由に図１１０（ａ）、（ｂ）を切り換えるようにする。明るい外部環境では、図１１０（ａ１）のｄｕｔｙ比カーブを選択し、外部環境が暗いときは、図１１０（ｂ１）のｄｕｔｙ比カーブを選択するようにする。また、ｄｕｔｙ比制御カーブは自由に変更できるように構成しておくことが好ましい。

【１４６９】

以上の実施例では、基準電流が１の時を基準にして説明し、また、ｄｕｔｙ比の最大は１／１であるとして説明をした。しかし、本発明はこれに限定するものではない。たとえば、図１１１に図示するように、基準電流は、１／２を中心として１あるいは１／３などに変化させてもよい。また、最大を０．５としてもよい。ｄｕｔｙ比も０．２５を中心として０．５やそれ以下に変化させてもよい。また、最大は０．５をしてよい。

【１４７０】

図１１２に図示するように、基準電流の最小値を１とし、最大値を３として、複数の値に変化させて用いても良い。また、ｄｕｔｙ比も図１１３に図示するように、点灯率の８０％で最低とし、１００％あるいは６０％で大きくするように制御してもよいことはいうまでもない。

【１４７１】

図１１４（ａ）（ｂ）に図示するように、基準電流は、２を中心として３あるいは１などに変化させてもよい。また、最大を３としてもよい。ｄｕｔｙ比も０．５を最大として、０．２５などに変化させてもよいことは言うまでもない。図１１５（ａ）（ｂ）においても同様である。

【１４７２】

図１１６に図示するように、低点灯率領域（図１１６では点灯率２０％以下）でｄｕｔｙ比を低下させ（図１１６（ａ））、ｄｕｔｙ比の低下にあわせて、基準電流比を上昇させ（図１１６（ｂ））てもよい。以上のようにｄｕｔｙ比制御と基準電流比制御を同時に行うことにより、図１１６（ｃ）で図示するように輝度の変化はなくなる。低点灯率では低階調領域でのプログラム電流の書き込み不足が顕著に目立つ。しかし、図１１６に実施するように低点灯率領域で基準電流を増加させることによりプログラム電流を基準電流に比例して増加させることができるので電流の書き込み不足がなくなる。かつ輝度も一定であるから良好な画像表示を実現できる。

【１４７３】

図１１６において、点灯率が高い領域（図１１６では４０％以上）では、ｄｕｔｙ比は低下させるが、基準電流比は１のまま一定とする。したがって、輝度はｄｕｔｙ比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。なお、ｄｕｔｙ比の最大を１／１とする駆動方法では、非表示領域１９２は一括して挿入することが好ましい。

【１４７４】

ｆｆ基準電流比、ｄｕｔｙ比と点灯率との関係は以下に説明するように一定の関係を保

つことが好ましい。フリッカの発生の増加またはパネルの自己発熱による劣化が加速されるからである。図２６７はその一例である。図２６７（ｃ）において縦軸のＡはｄｕｔｙ比×基準電流比を示している。基本的に点灯率が低い領域では、Ａは１近傍になるように制御することが好ましい。また、点灯率が高い領域では、Ａは１よりも小さくなるように制御することが好ましい。

【１４７５】

検討の結果によれば、点灯率が３０％以下の領域では、ｄｕｔｙ比×基準電流比（Ａ）が０．７以上１．４以下にすることが好ましい。さらに好ましくは０．８以上１．２以下にすることが好ましい。また、点灯率が８０％以下の領域では、ｄｕｔｙ比×基準電流比（Ａ）が０．１以上０．８以下になるように制御あるいは設定することが好ましい。また、さらに好ましくは０．２以上０．６以下なるように制御あるいは設定することが好ましい。

【１４７６】

あるいは、点灯率５０％の時のｄｕｔｙ比×基準電流比をＡとした時、点灯率が３０％以下の領域では、ｄｕｔｙ比×基準電流比×Ａが０．７以上１．４以下に設定あるいは制御することが好ましい。さらに好ましくは０．８以上１．２以下に設定あるいは制御することが好ましい。また、点灯率が８０％以下の領域では、ｄｕｔｙ比×基準電流比×Ａが０．１以上０．８以下に設定あるいは制御することが好ましい。さらに好ましくは０．２以上０．６以下に設定あるいは制御することが好ましい。

【１４７７】

図２６７の実施例では、低点灯率領域（図２６７では点灯率２５％以下）でｄｕｔｙ比を低下させ、逆比例して基準電流比を上昇させている。したがって、ｄｕｔｙ比×基準電流比であるＡは略１の関係が保持される。そのため、画面１４４の輝度の変化はなく、プログラム電流の大きさが大きくなり電流プログラムの書き込み不足が改善される。

【１４７８】

高点灯率領域（図２６７では点灯率７５％以上）でｄｕｔｙ比を低下させ、一方、基準電流比も低下させている。したがって、ｄｕｔｙ比×基準電流比であるＡは、点灯率が大きくなるにしたがって０．２５に近づくように制御される。そのため、点灯率が高くなるにしたがって、画面１４４の輝度が低下し、消費電流も低下する。したがって、パネルの自己発熱量がＡ×点灯率に比例して低下する。

【１４７９】

一般的に、ＥＬ表示パネルが１５インチ以下の中小型の場合は、図２６９の点線に示す関係で駆動を実施することが好ましい（点灯率が高いときにｄｕｔｙ比×基準電流比を低下させる）。ＥＬ表示パネルが１５インチ以上の大型の場合は、図２６９の実線に示す関係で駆動を実施することが好ましい（点灯率が高いときにｄｕｔｙ比×基準電流比を低下させ、点灯率が低いときにｄｕｔｙ比×基準電流比を上昇させる）。

【１４８０】

本発明の電源回路の効率グラフを図２６８（ａ）に図示している。出力電流が中間より高いときに効率がよい。したがって、出力電流は一定以上の出力を平均的に使用することが好ましい。

【１４８１】

図２６９の点線のように制御を実施すると、電力の相対的変化割合（電力比）は図２６８（ｂ）の点線のようになる。図２６９の実線のように制御を実施すると、電力の相対的変化割合（電力比）は図２６８（ａ）の実線のようになる。実線では、低点灯率では電力が増加する。しかし、点灯率が低いため消費電力はほとんど増加しない。書き込み不足が改善する効果の利点のほうが大きい。

【１４８２】

ｄｕｔｙ比が１／６以上もしくは好ましくは１／４以上では、非表示領域１９２は一括して挿入（図５４（ａ１）～（ａ４）など）することが好ましい。また、ｄｕｔｙ比が１／６以下もしくは好ましくは１／４より小さい時では、非表示領域１９２は分割して挿入

（図５４（ｂ１）～（ｂ４）、図５４（ｃ１）～（ｃ４）など）することが好ましい。

【１４８３】

本発明は第１の点灯率（アノード端子のアノード電流、データの総和に対する比率などでもよいことは以前に説明をした）もしくは点灯率範囲（アノード端子のアノード電流範囲、データの総和に対する比率の範囲などでもよいことは以前に説明をした）において、第１のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度、基準電流比とｄｕｔｙ比との積などもしくはこれらの組合せとして変化させる。

【１４８４】

また、第２の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第２のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度、基準電流比とｄｕｔｙ比との積などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、ＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度、基準電流比とｄｕｔｙ比との積など、もしくはこれらの組合せとして変化させるものである。また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっくりと変化させる。

【１４８５】

本発明において、プリチャージ駆動方法について説明した。また、点灯率の概念に関しても説明を行った。プリチャージ電圧は、点灯率によって変化させることも有効である。なお、点灯率とは、ｄｕｔｙ比制御を行っていない場合は、消費電流と同義である。つまり、点灯率は、画像データの加算により導出される。電流駆動の場合は、画像データと消費電力は比例し、画像データから点灯率が導出されるからである。

【１４８６】

プリチャージ駆動は、電圧駆動と類似する。ソース信号線１８に電圧を印加し、駆動用トランジスタオ１１ａのゲート電圧にプリチャージ電圧を印加することにより、駆動用トランジスタ１１ａがＥＬ素子１５に電流を流さないようにするものだからである。したがって、プリチャージ電圧の基準原点は、アノード電位（Ｖｄｄ）である。もちろん、駆動用トランジスタがＮチャンネルの場合は、プリチャージ電圧の原点はカソードである。本明細書では、説明を容易にするため、図１に図示するように駆動用トランジスタ１１ａはＰチャンネルとして説明する。

【１４８７】

アノード電位が変化するとプリチャージ電圧の変化させる必要がある。アノード電位（Ｖｄｄ）は変化しないように、アノード配線２１５５を低抵抗値化する。しかし、点灯率が高い場合は、アノード配線（端子）に流れる電流量が多いため、電圧降下が発生する。電圧降下は消費電流に比例する。したがって、アノード電圧の電圧降下は点灯率に比例する。

【１４８８】

以上のことからプリチャージ電圧は点灯率に相関して変化させることが好ましい。または、アノード（カソード）端子に流れる電流（もしくは、ＥＬ表示パネルに流れる電流）に対応して、プリチャージ電圧変化させることが好ましい。

【１４８９】

本発明のソースドライバ回路は、図７５に図示するように、電子ボリウム５０１を具備している。したがって、電子ボリウム５０１を制御することにより、容易にプリチャージ電圧を変化させることができる。なお、電子ボリウム５０１による制御だけでなく、ソースドライバ回路（ＩＣ）１４の外部のＤＡ回路などでプリチャージ電圧を発生させて印加してもよいことはいうまでもない。

【１４９０】

アノード端子で発生する降下電圧は、以下の処理により把握できる。まず、アノード電圧の発生源から各画素までの抵抗値は設計した段階でわかっている。抵抗値はアノード配線（アノード端子から画素１６の駆動用トランジスタ１１ａまでの抵抗）の金属薄膜のシート抵抗値から決定されるからである。アノード端子に流れる消費電流は映像データの処理によりわかる。電流駆動方式では映像データの総和を求めればよい。以上のことは、図８５、図８８、図９８、図１０３、図２０５、図１０７、図１０９などでｄｕｔｙ比の導出、データ和、点灯率（＝点灯率）などとして説明した。アノードに流れる電流が容易に導出できるのは電流プログラム方式の大きな特徴である。

【１４９１】

したがって、アノード配線の抵抗値と、アノード配線に流れる電流（パネルの消費電流）がわかれば、アノード端子に発生する電圧降下がわかることになる。消費電流は１フレームの画像データ処理によりリアルタイムで導出される。したがって、画素１６でのアノード端子の電圧降下もリアルタイムで決定される。

【１４９２】

以上のことから、リアルタイムで画素１６でのアノード電圧（電圧降下を考慮して）を導出し、この電圧降下分を考慮してプリチャージ電圧を決定する。なお、プリチャージ電圧の決定はリアルタイムで行うことに限定されるものではない。間欠的に行っても良いことはいうまでもない。なお、ｄｕｔｙ比制御を行う場合は、ｄｕｔｙ比によりアノードに流れる電流が変化する。したがって、ｄｕｔｙ比制御による消費電流を加味する必要がある。ｄｕｔｙ比が１／１の場合は、点灯率は消費電流（電力）と同一である。

【１４９３】

本発明では、基準電流比（あるいは基準電流の大きさ）を小さくする（たとえば、基準電流比４から１に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流を少なくなるように制御することと同義あるいは類似である。同様に、ｄｕｔｙ比（あるいはｄｕｔｙの大きさ）を小さくする（たとえば、ｄｕｔｙ比１／１から１／４に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流を少なくなるように制御することと同義あるいは類似である。

【１４９４】

したがって、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流が減少するように制御するあるいは増加するように制御することは、ゲートドライバ回路（ＩＣ）１２を制御すること（たとえば、図１４のスタート信号（ＳＴ）を制御すること）により実現できる。あるいはゲートドライバ回路１２がゲート信号線１７ｂ（ＥＬ素子１５に流れる電流を制御する信号線あるいは制御手段）の制御状態（選択するゲート信号線１７の本数）を変更あるいは調整あるいは動作させることにより容易に実現できる。また、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流が減少するように制御するあるいは増加するように制御することは、ソースドライバ回路（ＩＣ）１４を制御すること（たとえば、図４６、図５０、図６０などの基準電流Ｉｃを制御すること）により実現できる。あるいはアノード電圧Ｖｄｄを変化あるいは制御しても実現できる。

【１４９５】

本明細書では説明を容易にするため、基本的には図１１７などにおいてはｄｕｔｙ比を１／１であるとして説明をする。つまり、点灯率とアノードに流れる電流は比例しているとする。

【１４９６】

なお、説明でアノード電流と点灯率は比例するとして説明をしている。しかし、図１などの画素構成ではアノード端子（駆動用トランジスタ１１ａのソース端子）には、ソースドライバＩＣに流れ込むプログラム電流も加算されている。したがって、現実には多少異なる。また、アノード配線に流れる電流を中心に説明しているが、カソード配線に流れる

電流と置き換えてもよいことは言うまでもない。

【１４９７】

図１１７（ａ）は点灯率に応じて画素１６のアノード電圧がＶｄｄ（点灯率０％）からＶｒ（点灯率１００％）の電圧降下が発生することを図示している。図１１７（ｂ）は点灯率に対する端子１５５に出力するプリチャージ電圧を示している。ＶｄｄからＤ（Ｖ）降下した位置に駆動用トランジスタ１１ａの立ち上がり位置がある。したがって、ＶｄからＤ（Ｖ）降下した電圧が点灯率０％でのプリチャージ電圧となる。図１１７（ｂ）の実線は、図１１７（ａ）のアノード端子の電圧降下Ｖｒ（Ｖ）をそのまま用いたものである。したがって、点灯率１００％のプリチャージ電圧はＶｄｄ－Ｄ－Ｖｒである。

【１４９８】

図１１７（ｂ）の点線は、点灯率４０％以上と以下でプリチャージ電圧を変化させたものである。点灯率４０％まではプリチャージ電圧はＶｄｄ－Ｄ（Ｖ）とし、４０％以上ではプリチャージ電圧はＶｄｄ－Ｄ－Ｖｒ（Ｖ）としている。点線のように制御することにより、プリチャージ電圧の導出回路が簡単になる。

【１４９９】

アノード電圧Ｖｄｄは、プログラム電流Ｉｗの大きさで左右される。図１の画素構成を例示して説明する。図１１８（ａ）に図示するように、電流プログラム時は、プログラム電流Ｉｗは駆動用トランジスタ１１ａからソース信号線１８に流れ込む。プログラム電流Ｉｗが大きい時は、駆動用トランジスタ１１ａのチャンネル間電圧が大きくなる。図１１８（ｂ）は図１１８（ａ）をグラフ化したものである。チャンネル間電圧Ｖ１（実際には横軸の０がＶｄｄ電圧である）の時には、プログラム電流Ｉ１が流れる。チャンネル間電圧Ｖ２（実際には横軸の０がＶｄｄ電圧である）の時には、プログラム電流Ｉ２が流れる。大きなプログラム電流Ｉｗを流すためには、アノード電圧Ｖｄｄを高くする必要がある。

【１５００】

以上の実施例は、プログラム電流Ｉｗが大きくなるとアノード電圧Ｖｄｄを大きくする必要があるとしたが、逆には、プログラム電流Ｉｗが小さい時は、アノード電圧Ｖｄｄは低くてよいということを意味する。アノード電圧Ｖｄｄが低くなればパネルの消費電力を減少させることができ、駆動用トランジスタ１１ａで消費される電力も減少させることができるので発熱を減少でき、ＥＬ素子１５の寿命も長くすることができる。

【１５０１】

プログラム電流Ｉｗは、基準電流の変化によっても変化する。基準電流Ｉｃが増加すれば、相対的にプログラム電流Ｉｗも大きくなる（画面の階調データが一定の場合、つまりラスター画面で論じている）。基準電流Ｉｃが減少すれば、相対的にプログラム電流Ｉｗも小さくなる。ここでは説明を容易にするため、プログラム電流Ｉｗの増大または減少は、基準電流Ｉｃの増大または減少と同義であるとして説明をする。

【１５０２】

図１１９は、本発明の電源回路の構成図である。Ｖｉｎは本体の電池（図示せず）からのアンレギュレータ電圧である。ＤＣＤＣコンバータ１１９１ａはＧＮＤ電圧を基準とし、Ｖｉｎ電圧から昇圧してアノード電圧Ｖｄｄを発生する。なお、説明を容易にするため、ソースドライバＩＣの電源電圧Ｖｓとアノード電圧Ｖｄｄとは同一であるとし説明をする。Ｖｄｄ＝Ｖｓとすることにより、電源数が減少し、回路構成が容易となる。また、ソースドライバＩＣに過電圧が印加されることがなくなる。ＤＣＤＣコンバータ１１９１ｂはＧＮＤ電圧を基準とし、Ｖｉｎ電圧から昇圧して基底電圧Ｖｄｗを発生する。

【１５０３】

レギュレータ１１９３は、Ｖｄｄ電圧を接地電圧として、Ｖｄｗ電圧とＶｄｄ電圧からカソード電圧Ｖｓｓを発生させる。以上の構成により、もし、Ｖｄｄ電圧が上昇すれば、Ｖｓｓ電圧も比例して上昇する。

【１５０４】

図１でも理解できるが、駆動用トランジスタ１１ａで定電流Ｉｗが発生させられ、ＥＬ

素子１５にプログラム電流Ｉｗが流れる。したがって、消費電力は、ＶｄｄとＶｓｓの電位差である。図１１９の構成では、Ｖｄｄ電圧のシフトにより、Ｖｓｓ電圧も同一方向にシフトする。したがって、アノード電圧が変化しても、ＥＬ素子１５＋駆動用トランジスタ１１ａ間に印加される電圧は一定である。

【１５０５】

図１１８で説明したようにアノード電圧は、プログラム電流Ｉｗ（基準電流Ｉｃ）が大きくなると高くする必要がある。ＧＮＤ電位が固定のためである。なお、アノード電圧の変化と同時にＩＣ電圧のＶｓも変化させる（Ｖｄｄ＝Ｖｓ）。Ｖｄｄ－Ｖｓｓが一定電圧で、Ｖｄｄが高くなれば、ＥＬ素子１５に印加される電圧が小さくなる。したがって、ＥＬ素子１５は飽和領域で動作しなくなる。しかし、Ｉｗ（Ｉｃ）が大きくしなければならない領域は、低点灯率の領域で、画素は高輝度制御が行われている。したがって、低点灯率で、かつ、高輝度表示の画素１６の輝度が低下しても画像表示に影響はほとんどない。利点とする消費電力の方が大きい。

【１５０６】

Ｖｄｄ＝Ｖｓでない場合は、図１２０に図示するように、アノード電圧ＶｄｄとＧＮＤ間に抵抗（Ｒ１、Ｒ２）分割により発生さえればよい。Ｖｓ電圧は、ＩＣ内部でプリチャージ電圧の発生用として使用するためである。プリチャージ電圧はＶｄｄを基準とするため、ＶｓとＶｄｄは連動している必要がある。なお、図１２０に図示するように、電解コンデンサＣを挿入する。

【１５０７】

図１２１はゲートオフ電圧（Ｖｇｈ）、ゲートオン電圧（Ｖｇｌ）との関係を図示したものである（図１８０とその説明も参照のこと）。図１２１（ａ）は、アノード電圧ＶｄｄよりもＶｇｈ電圧を大きくしている。Ｖｇｌ電圧は、Ｖｓｓ電圧よりも高くしている。図１２１（ｂ）は、アノード電圧Ｖｄｄをシフトさせ、基準の電圧Ｖｄｄよりも高くした状態である（電圧Ｖｄｄ１で示している）。図１２１（ｂ）では、Ｖｇｈ電圧はＶｄｄの変化と連動して高くしている。Ｖｇｌ電圧は、図１２１（ａ）から変化させていない。図１２１（ｂ）は、アノード電圧Ｖｄｄをシフトさせ、基準の電圧Ｖｄｄよりも高くした状態である（電圧Ｖｄｄ１で示している）。図１２１（ｂ）では、Ｖｇｈ電圧は、Ｖｄｄの変化と連動させていない。Ｖｇｌ電圧は、図１２１（ａ）から変化させていない。以上のように、ゲート信号線電圧Ｖｇｈ、Ｖｇｌ電圧はいずれでも良い。

【１５０８】

アノード電圧ＶｄｄとＩＣ（回路）１４の電源電圧Ｖｓ（もしくは基準電圧）は同一にすることが好ましい。また、図７５に図示するようにプリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓもアノード電圧Ｖｄｄにすることが好ましい。つまり、プリチャージを発生する回路電源電圧とＩＣ（回路）１４の電源電圧（基準電圧）ＶｓとアノードＶｄｄは略一致させる。なお、略一致とは、±０．２（Ｖ）以内の範囲を意味する。もちろん、完全に一致させることが好ましいことは言うまでもない。

【１５０９】

プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓ、アノード電圧Ｖｄｄ、回路（ＩＣ）１４の電源電圧Ｖｓは連動させる。たとえば、アノード電圧Ｖｄｄが上昇すれば、プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓも上昇させる。また、回路（ＩＣ）１４の電源電圧も上昇させる。逆に、アノード電圧Ｖｄｄが降下すれば、プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓも降下させる。また、回路（ＩＣ）１４の電源電圧も降下させる。

【１５１０】

以上のように連動させるのは、プリチャージ電圧は、駆動用トランジスタ１１ａのＶｄｄ（つまり、駆動用トランジスタ１１ａのソース端子電位）を基準にして発生させることが好ましいからである。つまり、アノード電圧Ｖｄｄが上昇すれば、プリチャージ電圧も連動して上昇させることが好ましい。したがって、電子ボリウム５０１の基準電圧（ＩＣ（回路）１４の電源電圧）Ｖｓも上昇させる。一方で、電子ボリウム５０１はソースドラ

イバ回路（ＩＣ）１４内に内蔵させているため、当然のことながら電子ボリウム５０１はＩＣの電源電圧（耐圧）を超えることができない。

【１５１１】

実際には、ソースドライバ回路（ＩＣ）１４から出力できるプリチャージ電圧は、ＩＣ（回路）１４の電源電圧－０．２（Ｖ）程度となる。したがって、プリチャージ電圧が上昇すれば、ＩＣ（回路）１４の電源電圧も上昇させなければＩＣ（回路）１４から目標のプリチャージ電圧を出力することができない。

【１５１２】

プリチャージ電圧は図７５に図示するように電子ボリウム５０１などのデジタル可変（ＩＣ外部からの可変）構成にしているため、アノード電圧Ｖｄｄの変化（たとえば、図１２３、図１２５、図１２４などを参照のこと）を検出し、電子ボリウム５０１のスイッチＳを変更することにより、プリチャージ電圧を変更することができる。したがって、図７５の構成は本発明のＩＣ（回路）１４として特長ある構成である。なお、プリチャージ電圧は、ＩＣ（回路）１４の外部で発生させて、ＩＣ（回路）１４を介してソース信号線１８などに印加してもよい。なお、この場合も、プリチャージ電圧の最大値よりもＩＣ（回路）１４の電源電圧Ｖｓは０．２（Ｖ）高くしておく必要がある。

【１５１３】

以上の実施例では、プリチャージ電圧について説明したが、プリチャージ電圧に限定するものではなく、図２２８などで説明するリセット電圧についても適用できることは言うまでもない。

【１５１４】

アノード電圧ＶｄｄとドライバＩＣ（回路）１４の電源電圧などを連動させるとしたが、図１０、図９などに図示するように駆動用トランジスタ１１ａがＮチャンネルの場合は、カソード電圧Ｖｓｓが基準となる。したがって、プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓ、カソード電圧Ｖｓｓ、回路（ＩＣ）１４の電源電圧Ｖｓ（もしくはＧＮＤレベル）は連動させる必要があることは言うまでもない。したがって、以上に説明した内容を置き換えればよい。

【１５１５】

以上の事項は本発明の他の実施例である表示パネル、表示装置、駆動方式などにも適用できることは言うまでもない。

【１５１６】

図１２２は、一例としての点灯率とアノード電圧の関係を示したものである。なお、Ｖｄｄ＋２、Ｖｄｄ＋４は、絶対的な電圧を示しているものではなく、説明を容易にするため相対的に図示したものである。

【１５１７】

図１２２において、点灯率が２５％以下で基準電流（プログラム電流）を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノード電圧も高くしている。なお、点灯率７５％以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【１５１８】

図１２２は、一例としての点灯率とアノード電圧の関係を示したものである。本発明はこれに限定するものではない。たとえば、図２８０に図示するように、点灯率などに応じて、アノード端子電圧とカソード端子電圧との電位差を変化させてもよいことはいうまでもない。たとえば、アノード端子電圧が６（Ｖ）、カソード端子電圧が－９（Ｖ）であれば、電位差は６－（－９）＝１５（Ｖ）である。つまり、アノード電圧をカソード電圧との絶対値を点灯率あるいは基準電流もしくはアノード端子に流れる電流などに応じて変化させる。

【１５１９】

図２８０の実線Ａでは、第１の点灯率もしくは点灯率範囲において第１のアノード端子電圧とカソード端子電圧との電位差とし、第２の点灯率もしくは点灯率範囲において第２

のアノード端子電圧とカソード端子電圧との電位差としており、また、第１の点灯率もしくは点灯率範囲から第２の点灯率もしくは点灯率範囲では、点灯率に応じてアノード端子電圧とカソード端子電圧を変化させている。当然ながら、アノード端子電圧またはカソード端子電圧の一方のみを変化させてもよいことは言うまでもない。

【１５２０】

図２８０の点線Ｂでは、第１の点灯率もしくは点灯率範囲において第１のアノード端子電圧とカソード端子電圧との電位差とし、第２の点灯率もしくは点灯率範囲において第２のアノード端子電圧とカソード端子電圧との電位差というようにステップ状に変化させている。

【１５２１】

一例として、図６２０～図６０４のように構成することにより、アノード電圧を制御信号ＤＡＴＡによりプログラム的に変化あるいは制御することができる。ＤＡＴＡは点灯率により変化するデジタルデータである。つまり、ＤＡＴＡの変数は点灯率である。

【１５２２】

図６０２において各画素１６の駆動用トランジスタ１１ａのアノード端子はオペアンプ５０２の出力端子ｂに接続されている。電子ボリウム５０１のａ端子出力電圧は、ＤＡＴＡにより変化する。ａ端子電圧はオペアンプ５０２に印加され、アノード電圧を制御する（変化させる）。以上の構成はカソード電圧を変化させる場合であっても適用できることは言うまでもない。

【１５２３】

図６０３は、画素１６がカレントミラーの画素構成である。カレントミラーの画素構成においても、図６０２などの方式を適用できることは言うまでもない。また、図６０４は、画素１６内にインバータ回路を有する構成である。図６０４の画素構成においても、図６０２などの方式を適用できることは言うまでもない。

【１５２４】

なお、点灯率制御など本明細書に記載する本発明の構成あるいは方式に関しては、図１の画素構成を中心にして説明する。しかし、本発明はこれに限定するものではなく、図６０２、図６０３、図６０４などの他の画素構成についても適用できることは言うまでもない。

【１５２５】

本発明の実施例では、点灯率などに対応させてｄｕｔｙ比を変化させることに１つの特徴がある。ｄｕｔｙ比は、表示パネルの走査線数（画像表示画素行数）を変化に対応させて変化させてもよい。図５１５がその実施例である。表示画素数が変化するということは、表示面積が変化することになる。表示面積が小さいほど、表示パネルで消費される電力が変化する。つまり、走査線数が増大すれば、表示面積が広くなり、表示パネルで消費される電力は多くなる。逆に、走査線数が低減すれば、表示面積が狭くなり、表示パネルで消費される電力は少なくなる。

【１５２６】

本発明でｄｕｔｙ比制御を実施する１つの目的は、一定以上の消費電力になる時を抑制し、消費電力を平均化することである。したがって、走査線数が増加する差異は、ｄｕｔｙ比を小さくする。走査線数が低下する時は、ｄｕｔｙ比が大きくともかまわない。走査線数の増減に関わらず、点灯率の応じてもｄｕｔｙ比を変化させる。

【１５２７】

図５１５において、実線は、走査線数が２００ラインの時の場合である。点灯率４０％以下で、ｄｕｔｙ比を１／１とし、４０％以上でｄｕｔｙ比を低下させている。点線は、実線と同一表示パネルにおいて、走査線数が２２０ライン表示させた時の場合である。点灯率４０％以下で、ｄｕｔｙ比を７／８とし、４０％以上でｄｕｔｙ比を低下させている。１点鎖線は、実線と同一表示パネルにおいて、走査線数が２４０ライン表示させた時の場合である。点灯率４０％以下で、ｄｕｔｙ比を３／４とし、４０％以上でｄｕｔｙ比を低下させている。

【１５２８】
以上の実施例は、走査線数に対応させてｄｕｔｙ比を可変するとした。しかし、本発明はこれに限定するものではない。たとえば、走査線数に対応させて基準電流比を変化させてもよい。走査線数が少ない時は、基準電流比を大きくし、走査線数が相対的あるいは絶対的に大きい時は基準電流比を小さくする。
【１５２９】
以上の実施例では、走査線数に対応させて、ｄｕｔｙ比などを変化させる実施例であった。パネルあるいはパネルの周囲温度に応じて、ｄｕｔｙ比などを変化させてもよい。図５１６はその実施例である。図５１６において実線は、パネル温度が４０℃以下の場合である。実線では、点灯率４０％以下で、ｄｕｔｙ比を１／１とし、４０％以上でｄｕｔｙ比を低下させている。点線では点灯率２０％以下でｄｕｔｙ比を１／２とし、点灯率２０％以上でｄｕｔｙ比を低下させる。４０℃から６０℃の間では、点線と実線の間のカーブを描く。
【１５３０】
同様に、図５１７に図示するように、基準電流比を温度に応じて変化させてもよい。もちろん、ｄｕｔｙ比と基準電流比の両方を変化させてもよい。図５１７において実線は、パネル温度が４０℃以下の場合である。実線では、点灯率４０％以下で、基準電流比を１／１とし、４０％以上で基準電流比を低下させている。点線は６０℃の場合であり、点灯率２０％以下で基準電流比を３とし、点灯率２０％以上で基準電流比を低下させる。４０℃から６０℃の間では、点線と実線の間のカーブを描く。もちろん、点線に示すように、点灯率に応じて基準電流比などを複数の値に変化させるように形成または構成してもよい。また、図５１８のように点灯率に応じて、ｄｕｔｙ比×基準電流比を変化させてもよい。
【１５３１】
図１２３において、点灯率に応じて基準電流（プログラム電流）を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。
【１５３２】
なお、図１１９から図１２３、図２８０などでは、基準電流（プログラム電流）の変化によりアノード電圧を変化させるとした。しかし、これは、駆動用トランジスタ１１ａがＰチャンネルの場合であって、Ｎチャンネルの場合は、カソード電圧を変化させることは言うまでもない。
【１５３３】
プログラム電流の大きさ（基準電流の大きさ）に対するアノード電圧は、図１２４に図示するように変化させてもよい。図１２４の実線ａは、プログラム電流（基準電流）に比例させてアノード電圧を変化させた例である。図１２４の点線ｂは、所定のプログラム電流（基準電流）以上の時に、アノード電圧を変化させた実施例である。点線ｂでは、基準電流に対するアノード電圧の変化点は１点であるので回路構成が容易となる。
【１５３４】
図１１９、図１２０において、ＤＣＤＣコンバータあるいはレギュレータの代りに、トランス（単巻きトランス、複巻きトランス）あるいはコイルを用いて昇圧回路などを形成あるいは構成してもよいことは言うまでもない。
【１５３５】
以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線１８の電位を変化させることと同義である。図１などの駆動用トランジスタ１１ａがＰチャンネルの場合は、プログラム電流Ｉｗあるいは基準電流を増加させることは、ソース信号線１８の電位を低くすることである（ＧＮＤ電位に近くなる）。逆に、プログラム電流Ｉｗあるいは基準電流を小さくすることは、ソース信号線１８の電位を高くすることである（アノードＶｄｄに近くなる）。
【１５３６】

以上のことから、図１２５に図示するように、制御を行っても良い。つまり、ソース信号線１８の電位が０（ＧＮＤ）電位の時に、アノード電圧を最も高くする（基準電流およびプログラム電流が最大値）。ソース信号線１８の電位がＶｄｄ電位の時に、アノード電圧を最も低くする（基準電流およびプログラム電流が最小値）。以上のように構成あるいは制御することにより、ＥＬ素子１５に高電圧が印加される期間を短くすることができ、ＥＬ素子１５を長寿命化できる。

【１５３７】

以下、本発明のＥＬ表示パネル（ＥＬ表示装置）の電源回路（電圧発生回路）についてさらに説明をする。

【１５３８】

本発明の有機ＥＬ表示装置の電源回路について説明をする。図５３９は本発明の電源回路の構成図である。５３９２は制御回路である。制御回路５３９２は抵抗５３９５ａと５３９５ｂの中点電位を制御し、トランジスタ５３９６のゲート端子を制御する信号を出力する。トランス５３９１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ５３９６のオンオフ制御により２次側に伝達される。５３９３は整流ダイオードであり、５３９４は平滑化コンデンサである。

【１５３９】

電流駆動方式の有機ＥＬ表示パネルは、電位的な観点から以下の特徴がある。本発明の画素構成は、図１などで説明したように、駆動用トランジスタ１１ａはＰチャンネルのトランジスタである。また、プログラム電流を発生するソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４はＮチャンネルのトランジスタである。この構成により、プログラム電流は、画素１６からソースドライバ回路（ＩＣ）１４に向かって流れる吸い込み電流（シンク電流）となっている。したがって、電位的な動作は、アノード（Ｖｄｄ）を原点として動作している。つまり、画素１６へのプログラムは電流であるから、駆動の電圧マージンが確保されていれば、ソースドライバ回路（ＩＣ）１４の電位はいずれでも良い。

【１５４０】

制御回路５３９２の制御はコントローラ７６０のロジック回路からのロジック信号（ＧＮＤ－ＶＣＣ電圧）で制御する。したがって、制御回路５３９２とロジック回路のグランド（ＧＮＤ）は一致させる必要がある。しかし、トランス５３９１は入力側と出力側は切り離されている。電流プログラム方式のソースドライバ回路（ＩＣ）１４は出力側に作用し、アノード電位（Ｖｄｄ）を基準に動作する。したがって、ソースドライバ回路（ＩＣ）１４のグランド（ＧＮＤ）は、制御回路５３９２、ロジック回路のグランドと一致させる必要はない。この点で、ソースドライバＩＣ１４が電流プログラム方式であること、トランス５３９２を用いてアノード電圧（Ｖｓｓ）を発生させること（さらに加えるならば、アノード電圧（Ｖｄｄ）を基準としてカソード電圧（Ｖｓｓ）を発生させること）、画素１６の駆動用トランジスタ１１ａがＰチャンネルであることの組み合わせは相乗効果を発揮する。

【１５４１】

有機ＥＬ表示パネルは、アノード（Ｖｄｄ）とカソード（Ｖｓｓ）との絶対値で動作する。たとえば、Ｖｄｄ＝６（Ｖ）で、Ｖｓｓ＝－６（Ｖ）であれば、６－（－６）＝１２（Ｖ）で動作する。図５３９の本発明のトランス５３９１を用いた電源回路では、アノード（Ｖｄｄ）を基準にしてカソード電圧（Ｖｓｓ）が変化する。また、アノード電圧（Ｖｄｄ）が、本発明の電流駆動のソースドライバ回路（ＩＣ）１４のプログラム電流の基準位置である。つまり、アノード電圧（Ｖｄｄ）を原点として動作している。

【１５４２】

逆に、カソード電圧（Ｖｓｓ）の電位あるいは制御はラフでよい。この理由によっても、図５３９のトランスを用いた本発明の電源回路、電流駆動の画素１６構成を有する有機ＥＬパネル、電流プログラム方式のソースドライバ回路（ＩＣ）１４とは組み合わせによる相乗効果を発揮する。また、アノード電圧の変化によりカソード電圧がシフトする点も

重要である。

【１５４３】

理論的には、有機ＥＬパネルは、アノードＶｄｄから駆動用トランジスタ１１ａに流れ込む電流Ｉｄｄと、ＥＬ素子１５からカソードＶｓｓに流れ出す電流Ｉｓｓが略一致する。つまり、Ｉｄｄ＝Ｉｓｓの関係がある。実際は、Ｉｄｄ＞Ｉｓｓとなるが、この差は、ソースドライバ回路（ＩＣ）１４のプログラム電流であるため、わずかであり無視できる。図５３９、図５４０のトランス５３９１は、構成上、アノードＶｄｄから出力される電流と、カソードＶｓｓから吸い込む電流が一致する。この点においても、有機ＥＬパネルと本発明のトランス５３９１を用いた電源回路の組み合わせの相乗効果は大きい。

【１５４４】

画素１６の駆動用トランジスタ１１ａをＮチャンネルトランジスタとする場合は、ソースドライバ回路（ＩＣ）１４の単位トランジスタ１５４は、Ｐチャンネルトランジスタにするとにより同様の効果を発揮できることは言うまでもない。

【１５４５】

ゲートドライバ回路１２のＶｇｈ電圧、Ｖｇｌ電圧、ソースドライバ回路の電源電圧などは、カソード電圧（Ｖｓｓ）または（および）アノード電圧（Ｖｄｄ）から発生させると効率がよい。また、トランス５３９１は入力２端子、出力２端子の４端子構成でもよいが、図５３９に図示するように、入力２端子、出力は中点といれて３端子とすることが望ましい。なお、トランス５３９１は単巻きトランス（コイル）でもよい。

【１５４６】

トランス５３９１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ５３９６のオンオフ制御により２次側に伝達される。５３９３は整流ダイオードであり、５３９４は平滑化コンデンサである。アノード電圧Ｖｄｄの大きさは、抵抗５３９５ｂの大きさにより調整される。Ｖｓｓはカソード電圧である。カソード電圧Ｖｓｓは、図５４１に図示するように２つの電圧を選択して出力できるように構成されている。２つの電圧の選択はスイッチ５４１１で行う。カソード電圧としての２つの電圧（図５４１では、－９（Ｖ）と－６（Ｖ））の発生は、トランス５３９１の出力側に中間タップを設けることにより容易に発生できる。

【１５４７】

また、トランス５３９１の出力側に－９（Ｖ）用と、－６（Ｖ）用の２つの巻線を構成し、この巻線のいずれかを選択することのより容易に発生できる。この点も本発明のすぐれた点である。また、図５４１などではカソード電圧（Ｖｓｓ）を切り換える点も本発明の特徴である。アノードは電位の原点として変化させると回路構成が複雑となり、コストが高くなる。

【１５４８】

一方、カソード電圧（Ｖｓｓ）は１０％程度の電位誤差が発生しても、画像表示に影響を与えない（鈍感である）。したがって、アノード電圧を基準としてカソード電圧を設定する点、パネルの温度特性にあわせて、カソード電圧（Ｖｓｓ）を変化させる点は本発明の優れた特徴である。また、トランス５３９１は、入力巻線数と出力巻線数との比を変化させることにより容易にカソード電圧およびアノード電圧を変化させることも利点が多い。また、トランジスタ５３９６のスイッチング状態を変化することにより、アノード電圧（Ｖｄｄ）を変化できることも利点が多い。図５４１では、スイッチ１７８１により－９（Ｖ）が選択されている。

【１５４９】

図５４１では、カソード電圧Ｖｓｓを２つの電圧から選択するとしたが、これに限定するものではなく、２つ以上にしてもよい。また、カソード電圧は可変レギュレータ回路を用いて、連続的に変化させてもよい。

【１５５０】

スイッチ５４１１ａと５４１１ｂとの選択は温度センサ４４４１からの出力結果による。パネル温度が低いときは、Ｖｓｓ電圧として、－９（Ｖ）を選択する。一定以上のパネ

ル温度の時は、－６（Ｖ）を選択する。これは、ＥＬ素子１５に温特があり、低温側でＥＬ素子１５の端子電圧が高くなるためである。なお、図５４１では、２つの電圧から１つの電圧を選択し、Ｖｓｓ（カソード電圧）とするとしたが、これに限定するものではなく、３つ以上の電圧からＶｓｓ電圧を選択できるように構成してもよい。以上の事項は、Ｖｄｄについても同様に適用される。なお、本発明は一定以下の低温では、カソード電圧（Ｖｓｓ）を低くする点（低温になれば、ＶｄｄとＶｓｓとの差電圧を大きくする）も本発明の特徴ある構成である。

【１５５１】

図５４１では、温度センサ４４４１でカソード電圧を切り換える（変化させる）としたが、これに限定するものではない。たとえば、図５４０に図示するように、出力電圧を決定する抵抗５３９５に並列にあるいは直列に可変抵抗（ポジスタ、サーミスタなど）５４０１を形成または配置し、温度により抵抗値５４０１を変化できるように構成してもよい。この構成により制御回路５３９２のＩＮ端子への入力電圧が変化し、Ｖｄｄ電圧あるいはＶｓｓ電圧を適正な値に調整できる。

【１５５２】

図５４１のように、パネル温度を検出し、検出結果により複数の電圧を選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、Ｖｓｓ電圧を低下させればよいからである。一般的に低温になるとＥＬ素子１５の端子間電圧は大きくなる。通常の温度の時
は、電圧が低いＶｓｓ＝－６（Ｖ）を使用することができる。

【１５５３】

なお、スイッチ５４１１は図５４１に図示するように構成してもよい。なお、複数のカソード電圧Ｖｓｓを発生させるのは、図５４１のトランス５３９１から中間タップをとりだすことにより容易に実現できる。アノード電圧Ｖｄｄの場合も同様である。実施例として、図５４２の構成を例示する。図５４２では、トランス５３９１の中間タップを用いて複数のカソード電圧を発生させている。

【１５５４】

図５４３は電位設定の説明図である。この例では説明を容易にするため、ソースドライバＩＣ１４はＧＮＤを基準にするとして説明をする。ソースドライバＩＣ１４の電源はＶｃｃである。Ｖｃｃはアノード電圧（Ｖｄｄ）と一致させてもよい。本発明では消費電力の観点から、Ｖｃｃ＜Ｖｄｄにしている。好ましくは、ソースドライバ回路（ＩＣ）のＶｃｃ電圧は　Ｖｄｄ－１．５（Ｖ）　≦　Ｖｃｃ　≦　Ｖｄｄの関係を満足させることが好ましい。たとえば、Ｖｄｄ＝７（Ｖ）であれば、Ｖｃｃは、Ｖｄｄ－１．５＝５．５（Ｖ）以上７（Ｖ）以下の条件を満足させることが好ましい。

【１５５５】

ゲートドライバ回路１２のオフ電圧Ｖｇｈは、Ｖｄｄ電圧以上にする。好ましくは、Ｖｄｄ＋０．２（Ｖ）≦Ｖｇｈ≦Ｖｄｄ＋２．５（Ｖ）の関係を満足させる。たとえば、Ｖｄｄ＝７（Ｖ）であれば、Ｖｇｈは、７＋０．２＝７．２（Ｖ）以上７＋２．５＝９．５（Ｖ）以下の条件を満足させるようにする。以上の条件は、画素選択側（図１の画素構成ではトランジスタ１１ｂ、１１ｃ）と、ＥＬ選択側（図１の画素構成ではトランジスタ１１ｄ）の両方に適用される。

【１５５６】

駆動用トランジスタ１１ａとのプログラム電流の経路を発生させるスイッチング用トランジスタ（図１の画素構成にあっては、トランジスタ１１ｂ、１１ｃが該当する）のオン電圧Ｖｇｌは、Ｖｄｄ－Ｖｄｄ以下Ｖｄｄ－Ｖｄｄ－４（Ｖ）の条件を満足させるか、もしくは、カソード電圧ＶｓｓとＶｓｓと略一致させることが好ましい。同様に、ＥＬ選択側（図１の画素構成にあっては、トランジスタ１１ｄが該当する）のオン電圧も同様である。つまり、アノード電圧が７（Ｖ）、カソード電圧が－６（Ｖ）であれば、オン電圧Ｖｇｌは、７－７（Ｖ）＝０（Ｖ）以下７－７－４＝－４（Ｖ）の範囲にすることが好ましい。もしくは、オン電圧Ｖｇｌはカソード電圧と略一致させ、－６（Ｖ）あるいはその近傍とする

ことが好ましい。

【１５５７】

画素１６の駆動用トランジスタ１１ａがＮチャンネルのトランジスタの場合は、Ｖｇｈはオン電圧となる。この場合は、オフ電圧をオン電圧に置き換えればよいことは言うまでもない。

【１５５８】

本発明の電源回路の課題に、アノード電圧Ｖｄｄおよび（または）カソード電圧ＶｓｓからＶｇｈ、Ｖｇｌ電圧などを発生させている点がある。アノード電圧などはトランス５３９１で発生させ、この電圧から、ＤＣＤＣコンバータＶｇｈ、Ｖｇｌ電圧などが印加されることになる。

【１５５９】

しかし、Ｖｇｈ、Ｖｇｌはゲートドライバ回路１２の制御電圧であり、この電圧が印加されていないと、画素のトランジスタ１１はフローティング状態となってしまう。また、Ｖｃｃ電圧がないと、ソースドライバ回路（ＩＣ）１４もフローティング状態となり、誤動作と引き起こす。したがって、図５４４に図示するように、Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧をパネルに印加した後、Ｔ１時間経過後、あるいは同時にＶｄｄ、Ｖｓｓ電圧を印加する必要がある。

【１５６０】

この課題に対して、本発明は図５４５に図示する構成で解決している。図５４５において、５４１３ａはトランス５３９１などから構成される電源回路である。５４１３ｂは、電源回路５４１３ａからの電圧を入力し、Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧などを発生させる電源回路であり、ＤＣＤＣコンバータ回路、レギュレータ回路などで構成される。５４５１はスイッチである。サイリスタ、メカニカルリレー、電子リレー、トランジスタ、アナログスイッチなどが該当する。

【１５６１】

図５４５（ａ）では、電源回路５４１３ａがまず、アノード電圧（Ｖｄｄ）およびカソード電圧（Ｖｓｓ）を発生する。この発生時には、スイッチ５４５１ａがオープン状態となっている。したがって、表示パネルにはアノード電圧（Ｖｄｄ）は印加されない。電源回路５４１３ａで発生したアノード電圧（Ｖｄｄ）およびカソード電圧（Ｖｓｓ）は電源回路５４１３ｂに印加され、電源回路５４１３ｂでＶｇｈ、Ｖｇｌ、Ｖｃｃ電圧が発生させられ、表示パネルに印加される。Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧を表示パネルに印加した後、スイッチ５４５１ａがオン（クローズ）し、表示パネルにアノード電圧（Ｖｄｄ）が印加される。

【１５６２】

図５４５（ａ）では、アノード電圧（Ｖｄｄ）のみをスイッチ５４５１ａで遮断している。これは、アノード電圧（Ｖｄｄ）が印加されていなければ、ＥＬ素子１５に電流を印加する経路が発生せず、また、ソースドライバ回路（ＩＣ）１４に流れる経路も発生しないからである。したがって、表示パネルが誤動作あるいはフローティング動作することがない。

【１５６３】

もちろん、図５４５（ｂ）に図示するように、スイッチ５４５１ａ、５４５１ｂの両方をオンオフ制御することにより、表示パネルに印加する電圧を制御してもよい。ただし、スイッチ５４５１ａと５４５１ｂは同時にクローズ状態にするか、もしくは、スイッチ５４５１ａがクローズした後、スイッチ５４５１ｂがクローズ状態となるように制御する必要がある。

【１５６４】

以上は、電源回路５４１３ａのＶｄｄ端子にスイッチ５４５１を形成または配置する構成であった。図５４６はスイッチ５４５１を形成または配置しない構成である。アノード電圧（Ｖｄｄ）とＶｇｈ電圧が近似し、また、アノード電圧（Ｖｄｄ）とＶｃｃ電圧が近似している点、Ｖｇｈ電圧が印加されていればゲートドライバ１２によりゲート信号線１

７ａ、１７ｂにオフ電圧Ｖｇｈが印加され、トランジスタ１１（図１の構成ではトランジスタ１１ｂ、トランジスタ１１ｃ、トランジスタ１１ｄ）がオフ状態になることを利用している。トランジスタ１１がオフ状態であれば、駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流経路は発生せず、また、駆動用トランジスタ１１ａからソースドライバ回路（ＩＣ）１４に流れるプログラム電流の経路も発生しないから、表示パネルが誤動作あるいは異状動作することがない。

【１５６５】

アノード電圧（Ｖｄｄ）とＶｇｈ電圧が近似していると、抵抗５４６１ａでショートされていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧（Ｖｄｄ）＝７（Ｖ）で、Ｖｇｈ＝８（Ｖ）とし、抵抗５４６１ａが１０（ＫΩ）とすれば、（８－７）／１０＝０．１となるから、抵抗５４６１ａに流れる電流は、０．１（ｍＡ）である。

【１５６６】

Ｖｇｈはオフ電圧である。また、ゲートドライバ回路１２から出力される電圧であるので、使用する電流は小さい。本発明はこの性質を利用している。つまり、アノード電圧（Ｖｄｄ）端子とＶｇｈ端子とを短絡した抵抗５４６１ａによって、ゲート信号線１７をオフ電圧（Ｖｇｈ）あるいはその近傍の電位に保持することができる。

【１５６７】

したがって、アノード電圧（Ｖｄｄ）からＥＬ素子１５に流れる電流経路が発生することがなく、表示パネルに異状動作が発生しない。なお、ゲートドライバ回路１２のシフトレジスタ１４１（図１４を参照のこと）を動作させ、すべてのゲート信号線１７からオフ電圧（Ｖｇｈ）が出力されるように、制御することは言うまでもない。

【１５６８】

その後、電源回路５４１３ｂが完全動作し、電源回路５４１３ｂから規定のＶｇｈ電圧、Ｖｇｌ電圧、Ｖｃｃ電圧が出力される。

【１５６９】

同様に、アノード電圧（Ｖｄｄ）とＶｃｃ電圧が近似していると、抵抗５４６１ｂでショートされていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧（Ｖｄｄ）＝７（Ｖ）で、Ｖｃｃ＝６（Ｖ）とし、抵抗５４６１ａが１０（ＫΩ）とすれば、（７－６）／１０＝０．１となるから、抵抗５４６１ｂに流れる電流は、０．１（ｍＡ）である。また、Ｖｃｃはソースドライバ回路（ＩＣ）１４で使用する電圧であるが、Ｖｃｃから消費される電流はソースドライバ回路（ＩＣ）１４のシフトレジスタ回路などに使用される程度であり、わずかである。

【１５７０】

本発明はこの性質を利用している。つまり、アノード電圧（Ｖｄｄ）端子とＶｃｃ端子とを短絡した抵抗５４６１ｂによって、ソースドライバ回路（ＩＣ）１４のスイッチ４８１をオフ（オープン）状態にすることにより、単位トランジスタ１５４には電流が流れ込まなくすることができる。したがって、アノード電圧（Ｖｄｄ）からソース信号線１８への電流経路は発生しないから、表示パネルに異状動作が発生しない。なお、ソースドライバ回路（ＩＣ）１４のシフトレジスタを動作させ、すべてのソース信号線１７から単位トランジスタ１５４の電流経路を切り離すように制御することは言うまでもない。

【１５７１】

図５４６において、カソード電圧（Ｖｓｓ）端子とＶｇｌ端子間を抵抗（図示せず）で短絡しておいてもよい。この抵抗の短絡により、カソード電圧（Ｖｓｓ）の発生時にカソード電圧（Ｖｓｓ）がＶｇｌ端子に印加される。したがって、ゲートドライバ回路１２が正常動作する。

【１５７２】

図５４６ではアノード電圧（Ｖｄｄ）でＶｇｈ端子を抵抗５４６１でショートするとしたが、駆動用トランジスタ１１ａがＮチャンネルのトランジスタの場合は、アノード電圧（Ｖｄｄ）とＶｇｌ端子もしくは、カソード電圧（Ｖｓｓ）とＶｇｌ端子とをショートさ

せることは言うまでもない。

【１５７３】

アノード電圧（Ｖｄｄ）とＶｇｈ電圧間、アノード電圧（Ｖｄｄ）とＶｃｃ電圧間などは比較的に高い抵抗でショート（接続）するとしたが、これに限定するものではない。抵抗５４６１をリレーあるいはアナログスイッチなどのスイッチに置き換えても良い。つまり、アノード電圧（Ｖｄｄ）が発生した時点で、リレーがクローズ状態にしておく。したがって、アノード電圧（Ｖｄｄ）をＶｇｈ端子およびＶｃｃ端子に印加される。次に、電源回路５４１３ｂでＶｇｈ電圧、Ｖｇｌ電圧、Ｖｃｃ電圧などが発生した時点で、リレーをオープン状態にし、アノード電圧（Ｖｄｄ）とＶｇｈ端子、およびアノード電圧（Ｖｄｄ）とＶｃｃ端子とを切り離す。

【１５７４】

つぎに、図２６０を用いて、本発明のＥＬ表示パネルで使用する電源（電圧）について説明をする。図１４でも説明をしたが、ゲートドライバ回路１２は、バッファ回路１４２とシフトレジスタ回路１４１で構成される。バッファ回路１４２はオフ電圧（Ｖｇｈ）とオン電圧（Ｖｇｌ）を電源電圧として使用する。一方、シフトレジスタ回路１４１はシフトレジスタの電源ＶＧＤＤとグラント（ＧＮＤ）電圧を使用し、また、入力信号（ＣＬＫ、ＵＤ、ＳＴ）の反転信号を発生させるためのＶＲＥＦ電圧を使用する。また、ソースドライバ回路（ＩＣ）１４は、電源電圧Ｖｓとグランド（ＧＮＤ）電圧を使用する。

【１５７５】

ここで理解を容易にするため、電圧値を規定する。まず、アノード電圧Ｖｄｄを６（Ｖ）とし、カソード電圧Ｖｓｓを－９（Ｖ）とする（図１などを参照のこと）。ＧＮＤ電圧は０（Ｖ）とし、ソースドライバ回路のＶｓ電圧はＶｄｄ電圧と同一の６（Ｖ）とする。Ｖｇｈ１とＶｇｈ２電圧はＶｄｄより０．５（Ｖ）以上３．０（Ｖ）以下とすることが好ましい。ここでは、Ｖｇｈ１＝Ｖｇｈ２＝８（Ｖ）とする。

【１５７６】

ゲートドライバ回路１２のＶｇｈ１は、図１のトランジスタ１１ｃのオン抵抗を十分に小さくするため、低くする必要がある。ここでは、図２６１の回路構成を容易にするため、Ｖｇｈ１と絶対値が逆であるＶｇｌ１＝－８（Ｖ）にする。ＶＧＤＤ電圧は、Ｖｇｈよりも低く、ＧＮＤ電圧よりも高くする必要がある。ここでは、図２６１のように発生電圧回路を容易にし、回路コストを低減するため、Ｖｇｈ電圧の１／２の４（Ｖ）にする。一方で、Ｖｇｌ２電圧は、余り低くすると、トランジスタ１１ｂのリークを発生する危険性があるため、したがって、ＶＧＤＤ電圧とＶＧＬ１電圧の中間電圧にすることが好ましい。ここでは、図２６１のように発生電圧回路を容易にし、回路コストを低減するため、ＶＧＤＤ電圧と絶対値が等しく、また反対極性である－４（Ｖ）にする。

【１５７７】

以上のように設定した電圧を発生する本発明の回路構成を図２６１に図示している。以下、図２６１について説明を行う。

【１５７８】

バッテリーからの電圧Ｖ１～Ｖ２は、チャージポンプ回路を有するレギュレータ回路２６１１に入力される。具体的にはＶ１＝３．６（Ｖ）、Ｖ２＝４．２（Ｖ）である。レギュレータ回路２６１１は、入力された電圧をチャージポンプ回路２６１２ａで４（Ｖ）の定電圧Ｖａに変換する。この電圧がＶＧＤＤ電圧となる。もちろん、図２６１に図示するように、正電圧および負電圧を発生するチャージポンプ回路（レギュレータ機能なし）２６１２ａで＋Ｖである４（Ｖ）と－Ｖである－４（Ｖ）とを発生させてもよい。この－４（Ｖ）がＶｇｌ２電圧となる。チャージポンプ回路２６１２ａはＶａの正方向と負方向電圧を発生するだけであるので構成が非常に容易である。したがって、低コスト化を実現できる。

【１５７９】

レギュレータ回路２６１１からの出力電圧Ｖａはチャージポンプ回路２６１２ｂに入力される。図２６１に図示するように、正電圧および負電圧を発生するチャージポンプ回路

（レギュレータ機能なし）２６１２ｂで＋２Ｖである８（Ｖ）と－２Ｖである－８（Ｖ）とを発生させてもよい。この－８（Ｖ）がＶｇｈ１とＶｇｈ２電圧となる。－２Ｖ電圧がＶｇｌ１電圧となる。チャージポンプ回路２６１２ｂはＶａの２倍の正方向と２倍の負方向電圧を発生するだけであるので構成が非常に容易である。したがって、低コスト化を実現できる。

【１５８０】

以上のように、本発明は、基準となる電圧Ｖａを定倍（２倍、３倍など）することによりＶｇｈ電圧などを発生することに特徴を有する。

【１５８１】

ＶｄｄおよびＶｓｓ電圧の発生回路を図２６２に図示する。Ｖｄｄ電圧およびＶｓｓ電圧の発生回路は、図１１９でも説明した。図２６２はトランス回路を用いる構成である。バッテリーからの電圧Ｖ１～Ｖ２は、チャージポンプ回路を有するレギュレータ回路２６１１に入力される。レギュレータ回路２６１１は、入力された電圧をチャージポンプ回路２６１２ａで４（Ｖ）の定電圧Ｖａに変換する。Ｖａ電圧（図２６１と共通）は、スイッチング回路２６２１でスイッチングされ交流化される。この交流信号はトランス２６２２からなる回路で電位変換され、電位変換された電圧は平滑化回路２６２３で直流電圧に変換される。変換された電圧がＶｄｄとＶｓｓとなる（トランスで電位シフトが行えるため）。

【１５８２】

図２６３は本発明の表示パネルの電源回路の出力電圧を図示したものである。プリチャージ電圧ＶｐｃはＶｓ電圧とＧＮＤ電圧間で動作する電子ボリウム５０１で発生する。また、ＶＲＥＦ電圧は、ＶＧＤＤ電圧とＧＮＤ間に配置された抵抗（Ｒ１、Ｒ２）によって発生する。なお、ＶＲＥＦ電圧にはコンデンサＣを配置し、安定化させる。

【１５８３】

この電圧がＶＧＤＤ電圧となる。もちろん、図２６１に図示するように、正電圧および負電圧を発生するチャージポンプ回路（レギュレータ機能なし）２６１２ａで＋Ｖである４（Ｖ）と－Ｖである－４（Ｖ）とを発生させてもよい。この－４（Ｖ）がＶｇｌ２電圧となる。チャージポンプ回路２６１２ａはＶａの正方向と負方向電圧を発生するだけであるので構成が非常に容易である。したがって、低コスト化を実現できる。

【１５８４】

本発明のプリチャージ駆動では所定電圧をソース信号線１８に印加する。また、ソースドライバＩＣはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線１８に出力するプリチャージ電圧はプログラム電圧となる。ソースドライバＩＣ内にこのプリチャージ電圧のプログラム電圧回路１２７１を導入した回路構成が図１２７である。

【１５８５】

図１２７は１つのソース信号線１８に対応する１出力回路ブロック図である。階調に応じてプログラム電流を出力する電流階調回路１６４と、階調に応じたプリチャージ電圧を出力する電圧階調回路１２７１で構成される。電流階調回路１６４と電圧階調回路１２７１には映像データが印加される。電圧階調回路１２７１の出力はスイッチ１５１ａ、１５１ｂがオンすることによりソース信号線１８に印加される。スイッチ１５１ａはプリチャージイネーブル（プリチャージＥＮＢＬ）信号と、プリチャージ信号（プリチャージＳＩＧ）で制御される。

【１５８６】

電圧階調回路１２７１は、サンプルホールド回路、ＤＡ回路などで構成される（図３０８を参照のこと）。デジタルの映像データに基づいて、ＤＡ回路によりプリチャージ電圧に変換される。この変換されたプリチャージ電圧は、サンプルホールド回路によりサンプルホールドされ、オペアンプを介してスイッチ１５１ａの一端子に印加される。なお、ＤＡ回路は電圧階調回路１２７１ごとに構成または形成する必要がなく、ソースドライバ回路（ＩＣ）１４の外部にＤＡ回路を構成し、このＤＡ回路の出力を電圧階調回路１２７１

内でサンプルホールドしてもよい。また、ポリシリコン技術で形成してもよい。

【１５８７】

電圧階調回路１２７１の出力は、図１２８に図示するように、１Ｈの最初に印加される（記号Ａで示す）。その後、電流出力回路１６４によりソース信号線にプログラム電流が供給される（記号Ｂで示す）。つまり、プリチャージ電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタ１１ａは目的電流に近い値まで、高速に設定される。その後、電流階調回路１６４が出力するプログラム電流により駆動用トランジスタ１１ａの特性バラツキを補償する目的電流（＝プログラム電流）まで設定される。

【１５８８】

プリチャージ電圧信号が印加されるＡ期間は、１Ｈの１／１００以上１／５以下の期間が好ましい。または、０．２μｓｅｃ以上１０μｓｅｃ以下の期間に設定することが好ましい。したがって、Ａ期間以外がＢ期間のプログラム電流の印加期間である。Ａ期間が短いとソース信号線１８の電荷の充放電が十分に行われないため、書き込み不足が発生する。一方、長すぎると電流印加期間（Ｂ）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ１１ａの電流補正不足となる。

【１５８９】

電圧印加期間（Ａ期間）は、１Ｈの最初から実施することが好ましいが、これに限定されない。たとえば、１Ｈの終わりのブランキング期間から開始してもよい。また、１Ｈの途中にＡ期間を実施してもよい。つまり、１Ｈのいずれかの期間に電圧印加期間を実施すれはよい。しかし、好ましくは、電圧印加期間は、１Ｈの最初から１／４Ｈ（０．２５Ｈ）の期間内に実施することが好ましい。

【１５９０】

図１２８の実施例では、電圧プリチャージ（Ａ）の期間後、電流を印加（Ｂ期間）するとしたがこれに限定するものではない。たとえば、図１２９（ａ）に図示するように、１Ｈの期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（＊Ａ）期間としてもよい。

【１５９１】

図１２９（ａ）の＊Ａの期間は、１Ｈの期間が電圧プログラムを実施している。＊Ａの期間は、低階調の領域である。低階調の領域で電流プログラムを実施してもプログラムされる電流が微小のため、ソース信号線１８の寄生容量の影響により、ソース信号線１８の電位変更を実施することができない。つまり、ＴＦＴ１１ａ（駆動用トランジスタ）の特性補償を行うことができない。また、電流プログラム方式では、プログラム電流Ｉと輝度Ｂとが線形の関係にある。そのため、低階調領域で１階調に対する輝度変化が大きすぎる。したがって、低階調領域で階調飛びが発生しやすい。

【１５９２】

この課題に対して本発明では、図１２９（ａ）に図示するように、低階調領域で１Ｈの期間にわたり電圧プログラムを実施している（＊Ａで図示している）。低階調領域における領域で電圧プログラムの電圧ステップきざみを小さくしている。画素１６のＴＦＴ１１ａに印加する電圧を一定ステップにすると、ＴＦＴ１１ａのＥＬ素子１５への出力電流は概略２乗特性となる。したがって、印加電圧に対する輝度Ｂ（輝度ＢはＥＬ素子１５への出力電流に比例する）は、人間の視感度は直線的となる（人間の視感度は、２乗特性の時に低ステップで変化していると認識するためである）。

【１５９３】

電圧プログラム方式では、ＴＦＴ１１ａの特性補償を良好に実施することができない。しかし、低階調領域では、表示画面１４４の表示輝度が低いため、特性補償不足による表示ムラが発生しても視覚的に認識されることはない。一方で、電圧プログラム方式では、ソース信号線１８の充放電を良好に実施することができる。そのため、低階調領域でも十分にソース信号線１８の充放電を実施でき、適正な階調表示を実現できる。

【１５９４】

図１２９（ａ）でも理解できるように、ソース信号線１８の電位がアノード電位（Ｖｄｄ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位が０（Ｖ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間内に実施される。なお、ソース信号線１８の電位が０（Ｖ）に近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【１５９５】

図１２９（ａ）の＊Ａ以外の期間は、１Ｈの一定期間（Ａで示す）に電圧プログラムによる電圧をソース信号線１８に印加し、その後、Ｂの期間に電流プログラムによる電流を印加している。以上のようにＡ期間の電圧の印加により画素１６のＴＦＴ１１ａのゲート電位に所定電圧を印加し、おおよそＥＬ素子１５に流す電流が所望値になるようにしている。その後、Ｂ期間のプログラム電流により、ＥＬ素子１５に流れる電流が所定値となるようにしている。＊Ａ期間は、１Ｈ期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

【１５９６】

図１２９（ａ）は、画素１６のＴＦＴ１１ａ（駆動用トランジスタ）がＰチャンネルの場合のソース信号線１８への印加信号波形である。しかし、本発明はこれに限定するものではない。画素１６のＴＦＴ１１ａがＮチャンネルであってもよい（たとえば、図１を参照のこと）。この場合は、図１２９（ｂ）に図示するように、ソース信号線１８の電位が０（Ｖ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位がアノード電圧（Ｖｄｄ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間に実施される。

【１５９７】

なお、ソース信号線１８の電位がＶｄｄに近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【１５９８】

本発明では、駆動用トランジスタ１１ａはＰチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ１１ａはＮチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ１１ａがＰチャンネルトランジスタであるとして説明を行うだけである。

【１５９９】

図１２８、図１２９などの本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、１Ｈ最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧に種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

【１６００】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である（図１３０（ｂ）、図１３１などを参照のこと）。もちろん、電圧を印加してもよいことは言うまでもない。

【１６０１】

図１２７で電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを端子１５５でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路から

の電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することがない。

【１６０２】

したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたがこれに限定するものではない。電流階調回路１６４からプログラム電流の出力した状態で、スイッチ１５１（図１２７を参照）をオンして、電圧階調回路１２７１の電圧を端子１５５に印加してもよいことは言うまでもない。

【１６０３】

スイッチ１５１を閉じて端子１５５に電圧と印加した状態で、電流階調回路１６４からプログラム電流を出力してもよい。電流階調回路１６４は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

【１６０４】

図１３０に図示するように、１Ｈ期間に印加するプログラムを電圧または電流の一方にしてもよいことは言うまでもない。図１３０において、＊Ａの期間は電圧プログラムが実施された１Ｈ期間であり、Ｂの期間は電流プログラムが実施されている１Ｈ期間である。主として低階調領域では電圧プログラムが実施され（＊Ａで示す）、中間調以上の領域では電流プログラムが実施される（Ｂで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【１６０５】

図１２７の本発明の実施例では、電圧階調回路１２７１と電流階調回路１６４には、同一の映像Ｄａｔａが入力されている。したがって、映像Ｄａｔａのラッチ回路は電圧階調回路１２７１と電流階調回路１６４と共通でよい。つまり、映像Ｄａｔａのラッチ回路は電圧階調回路１２７１と電流階調回路１６４とに独立に設ける必要はない。共通の映像Ｄａｔａラッチ回路からのデータに基づき、電流階調回路１６４または（および）電圧階調回路１２７１がデータを端子１５５に出力する。

【１６０６】

図１３２は本発明の駆動方法のタイミングチャートである。図１３２において、（ａ）のＤＡＴＡは画像データである。（ｂ）のＣＬＫは回路クロックである。（ｃ）のＰｃｎｔｌは、プリチャージのコントロール信号である。Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電圧＋電流駆動モードになる。（ｄ）のＰｔｃはプリチャージ電圧あるいは電圧階調回路１２７１からの出力の切り換え信号である。Ｐｔｃ信号がＨレベルの時は、プリチャージ電圧などの電圧出力がソース信号線１８に印加される。Ｐｔｃ信号がＬレベルの時は、電流階調回路１６４からのプログラム電流がソース信号線に出力される。

【１６０７】

たとえば、データＤ（２）、Ｄ（３）、Ｄ（８）の時は、Ｐｃｎｔｌ信号がＨレベルであるから、ソース信号線１８に電圧階調回路１２７１から電圧が出力される（Ａ期間）。ＰｃｎｔｌがＬレベルの時は、ソース信号線１８にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間をＡで示し、電流が出力される期間をＢで示す。電圧を出力する期間Ａは、Ｐｔｃ信号で制御される。Ｐｔｃ信号は、図１２７のスイッチ１５１のオンオフを制御する信号である。

【１６０８】

Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電圧＋電流駆動モードになると説明した。電圧を印加する期間は、点灯率あるいは階調に応じて変化させることが好ましい。低階調の時は、電流駆動では画素にプログラム電流を完全に書き込むことができない。したがって、電圧駆動を実施することが好ましい。電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。低点灯率の場合は、

低階調状態の画素が多い。したがって、低階調状態（低点灯率）の場合も、電圧を印加する期間を長くすることによって、電圧＋電流駆動モードであっても、電圧駆動モードが支配的になり、良好に画素に低階調状態を書き込むことができる。

【１６０９】

以上のように、電圧＋電流駆動モードであっても、点灯率あるいは画素に書き込む階調データ（映像データ）に応じて、電圧駆動状態の期間を変化させることが好ましい。つまり、ＥＬ素子１５に流す電流を小さくするときは（本発明では低点灯率範囲）、電圧駆動モード期間を長くし、ＥＬ素子１５に流す電流を大きくするときは（本発明では高点灯率範囲）、電圧駆動モード期間を短くするか、もしくは’なし’にするように制御あるいは調整もしくは装置を構成する。なお、点灯率の意味あるいは点灯率状態に関しては、本明細書内で詳細に説明しているので省略する。また、電圧＋電流駆動モードにおいて電圧駆動モードに印加（動作）期間を、ｄｕｔｙ比、基準電流比などを制御あるいは調整もしくは装置を構成してもよいことは言うまでもない。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【１６１０】

図１３２において、電圧出力期間Ａと電流出力期間Ｂとを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ１５１（図１２７を参照）をオンして、電圧階調回路１２７１の電圧を端子１５５に印加してもよいことは言うまでもない。また、スイッチ１５１を閉じて端子１５５に電圧と印加した状態で、電流階調回路１６４からプログラム電流を出力してもよい。Ａ期間後にスイッチ１５１をオープンにする。以上のように電流階調回路１６４は高インピーダンスであるので電圧回路と短絡状態にしても回路的には問題がない。

【１６１１】

図１３３はＰｔｃ信号のＨ期間を変化させることにより、ソース信号線１８に電圧を出力する期間を可変するものである。Ｈ期間は、階調番号などにより変化させる。たとえば、Ｄ（７）では、Ｐｔｃ信号は１Ｈの期間Ｌレベルである。したがって、図１２７のスイッチ１５１は１Ｈの期間オープン状態である。したがって、１Ｈ期間には電圧は印加されず、常時電流プログラム状態である。また、Ｄ（５）ではＰｔｃ期間は他の１Ｈ期間よりも長くなっている。したがって、電圧を印加するＡ期間は長く設定されている。

【１６１２】

以上の実施例では、電流駆動状態と電圧駆動状態とを切り換えるものである。しかし、本発明はこれに限定されない。図１３４の実施例では、Ｐｔｃ信号はない。したがって、Ｐｃｎｔｌ信号で制御される。そのため、Ｈ期間は電圧駆動が実施され、Ｌ期間は電流駆動が実施される。

【１６１３】

電圧プログラムは、ＲＧＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬ表示パネルの画素サイズが異なっていても、あるいはＥＬ素子１５の発光効率が異なっていても、設定あるいは調整により対応する必要がある。

【１６１４】

電圧階調回路１２７１は、アノード電圧（Ｖｄｄ）を原点として電圧を出力する。この状態を図１３５に示す。アノード電圧（Ｖｄｄ）は駆動用トランジスタ１１ａの動作原点である。なお、説明を容易にするため、図１に図示するような駆動用トランジスタ１１ａがＰチャンネルの構成であるとして説明をする。駆動用トランジスタ１１ａがＮチャンネルの場合も、原点位置が変化するだけであるので説明を省略する。したがって、説明を容易にするため、駆動用トランジスタ１１ａはＰチャンネルの場合を例にあげて説明をする。

【１６１５】
図１３５において、横軸は階調である。本発明では電圧階調回路１２７１の出力階調は２５６（８ビット）階調であるとして説明をする。縦軸はソース信号線１８への出力電圧である。図１３５では、階調番号に比例してソース信号線１８の電位は低くなる。
【１６１６】
ソース信号線１８の電圧は、駆動用トランジスタ１１ａのゲート端子電圧である。駆動用トランジスタ１１ａの出力電流は、ゲート端子電圧に非線形で変化する。一般的に図１３５のようにソース信号線１８に電圧を印加すると、駆動用トランジスタ１１ａの出力電流は、印加電圧に対して２乗特性で変化する。つまり、図１３５では階調に対するソース信号線１８の電位は比例しているが、駆動用トランジスタ１１ａの出力電流（ＥＬ素子１５に流れる電流）は、ほぼ２乗特性となる。
【１６１７】
図１３５の回路構成は、回路構成などが容易である。しかし、ＥＬ素子１５に流れる電流は階調番号に比例しない。駆動用トランジスタ１１ａに線形に変化する電圧を印加（図１３５の実施例の場合など）すると、トランジスタ１１ａの２乗特性により、出力電流は印加電圧の２乗に比例して出力されるからである。したがって、階調番号が小さい時はトランジスタ１１ａの出力電流の変化が小さく、階調番号が大きくなるにつれて、急激に大きくなる。したがって、階調番号に対する出力電流の精度が変化する。
【１６１８】
この課題を解決する構成が図１３６である。図１３６では、階調番号が小さい時には、ソース信号線１８への出力電圧の変化が大きい。また、階調番号が小さくなるほどソース信号線１８への電圧変化割合は大きくなる。一方、階調番号が大きく（２５６番目に近づく）なると、ソース信号線１８への出力電圧の変化が小さくなるように構成している。したがって、階調番号に対するソース信号線出力電流の関係は非線形となる。この非線形特性は、駆動用トランジスタ１１ａのゲート端子電圧に対するＥＬ素子１５への出力電流特性と組合せることにより、線形になるようにしている。つまり、階調番号の変化に対する駆動用トランジスタ１１ａのＥＬ素子１５への出力電流は線形となるように調整している。
【１６１９】
電流プログラム方式は、階調番号に対するＥＬ素子１５に流れる電流は線形の関係にある。図１３６の構成（方式）は電圧プログラム方式である。図１３６では電圧プログラム方式であるが、階調番号に対するＥＬ素子１５に流れる電流は線形の関係である。したがって、図１２７、図１２８のように電流プログラム方式と電圧プログラム方式とを組み合わせた構成（方式）において、マッチングがよい。
【１６２０】
図１３６は階調番号に対する駆動用トランジスタ１１ａの出力電流Ｉｅがほぼリニアに変化するようにしている。したがって、階調番号に対するソース信号線出力電圧の関係は、階調番号が小さい時はあらく、大きくなるにつれて細かく変化するようにしている。階調番号をＫとし、ソース信号線Ｖｓとした時、変化カーブ式は、図１３６に図示するようにソース信号線電圧Ｖｓ＝Ａ／（Ｋ・Ｋ）となるようにする。なお、Ａは比例定数である。もしくは、ソース信号線電圧Ｖｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ・Ｋ＋Ｄ）もしくはＶｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ）となるようにする。なお、Ｄ、Ｂ、Ｃ、Ａは定数である。
【１６２１】
以上のように、変化カーブ式を構成することにより、変化カーブ式とソース信号線電圧Ｖｓに対する駆動用トランジスタの出力電流Ｉｅを掛け合わせた時に、Ｖｓに対するＩｅが線形の関係とすることができる。
【１６２２】
図１３６では、変化カーブ式が曲線となる。そのため、変化カーブを作成することが比較的困難である。この課題に対しては、図１３７に図示するように複数の直線で変化カーブ式を構成することが適切である。つまり、２つ以上の傾きの直線で変化カーブを構成す

る。

【１６２３】

図１３６では、階調番号が小さい範囲では、ソース信号線１８の出力電圧のきざみは大きくし（Ａで示す）、階調番号が大きい範囲では、ソース信号線１８の出力電圧のきざみは小さくする（Ｂで示す）。図１３６の変化カーブでは、階調番号Ｋに対する駆動用トランジスタ１１ａの出力電流Ｉｅは非線形の関係となり、また、複数の非線形の出力を組み合わせたものとなる。しかし、階調番号Ｋに対する出力電流Ｉｅの関係は線形に近い範囲が多くなる。したがって、電流プログラム駆動との組み合わせも容易である。

【１６２４】

図１３６において、電圧階調回路１２７１と電流階調回路１６４を１つのソースドライバ回路（ＩＣ）１４内に形成するように図示しているがこれに限定するものではない。本発明は、電圧階調回路１２７１と電流階調回路１６４とを有することを特徴としている。したがって、１本のソース信号１８に一端に電圧階調回路（用ＩＣ）１２７１を配置または形成もしくは実装し、前記ソース信号線の他端に電流階調回路（用ＩＣ）１６４を配置または形成もしくは実装してもよい。つまり、本発明は、任意の画素に電流プログラムと電圧プログラムを実施できる構成もしくは方法であればいずれの構成でもよい。

【１６２５】

電圧プログラムを実施するドライバ回路（ＩＣ）１４は逆１．５乗から３．０乗のガンマ特性とする。つまり、駆動用トランジスタ１１ａのゲート電圧の変化ステップに対応して等間隔の電流増加を実現できるようにする。駆動用トランジスタ１１ａのＶ－Ｉ特性は略２乗特性であるからである（電圧Ｖ変化に対して、出力電流Ｉは略２乗特性で変化するからである）。さらに、電圧プログラムを実施するドライバ回路（ＩＣ）のガンマ特性は逆１．８乗から２．４乗のガンマ特性とすることが好ましい。

【１６２６】

電圧プログラムを実施するドライバ回路（ＩＣ）のガンマ特性はプログラムブルに構成しておくことが好ましい。また、駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、ガンマ特性カーブの原点はアノード電圧ＶｄｄあるいはＶｄｄ近傍とする。駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、ガンマ特性カーブの原点はカソード電圧Ｖｓｓまたは回路１４のグランドもしくはこれらの近傍電位とする。

【１６２７】

以上の事項は、図１２７～図１４３、図２９３、図３１１、図３１２、図３３９～図３４４などについても適用できることは言うまでもない。つまり、プリチャージ回路にあっても、プリチャージ回路（用ＩＣ）をソース信号線１８の一端に形成または配置し、電流プログラム方式のソースドライバ回路（ＩＣ）１４を前記ソース信号線１８の他端に配置または形成してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【１６２８】

また、電圧階調回路１２７１（プリチャージ回路）の変化と電流階調回路１６４とは同期させる。つまり、電圧階調回路１２７１（プリチャージ回路）の変化が電流階調回路１６４の変化に対応するように変化させる。電圧階調回路１２７１による画素１６の駆動用トランジスタ１１ａの出力電流の目標値（期待値）が１μＡであれば、電流階調回路１６４による画素１６の駆動用トランジスタ１１ａの目標値（期待値）が１μＡとなるように階調制御する。したがって、電流階調回路１６４の階調データの値と電圧階調回路（プリチャージ回路）１２７１の階調データとが一致するように構成することが好ましい。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。また、同期をさせることが好ましい。

【１６２９】

本発明はすべてのソース信号線１８に電圧プログラム（プリチャージ）と電流プログラムの両方を実施することに限定するものではない。いずれか一方を実施できるものでもよい。たとえば、奇数画素列に電圧プログラム（プリチャージ）を実施し、偶数画素列に電

流プログラムを実施できるものでもよい。このような構成であっても画質の低下はほとんどない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【１６３０】

図１３５の実施例では、階調番号が０の時は、ソース信号線１８の電位がアノード電位（Ｖｄｄ）となっていない。駆動用トランジスタ１１ａは立ち上がり電圧までは出力電流が０またはほぼ０である。この立ち上がり電圧までの範囲がＣの領域である。したがって、Ｃの領域はブランクとなるので、階調番号数が一定の場合、図１３５などに比較して相対的にソース信号線の出力電圧きざみを細かくすることができる。

【１６３１】

図１３８の関係（階調番号０の時、ソース信号線１８の電位は原点（アノード電位）でない関係）と、図１３６の非直線の関係、図１３７の複数の関係式を組合せる関係、図１３５の直線の関係などは、相互に組合せても良いことは言うまでもない。

【１６３２】

電圧プログラムは、Ｒ、Ｇ、ＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬ表示パネルの画素サイズが異なっていても、あるいはＥＬ素子１５の発光効率が異なっていても、設定あるいは調整により対応する必要がある。

【１６３３】

図１３１は、電圧駆動において、電圧の基準はＶｄｄであるという点を利用した回路構成である。図１３５から図１３８の縦軸である電圧の大きさＶｄｄを固定して変化させる。したがって、階調番号の範囲（２５６階調＝２５６きざみ）を一定とした場合でも、縦軸の電圧の大きさを調整することができ、ソースドライバ回路（ＩＣ）１４を汎用的にすることができる。

【１６３４】

図１３１は電子ボリウム５０１の電圧範囲は、ＶｄｄからＶｂｖである。したがって、オペアンプ５０２ａの出力電圧ＶａｄはＶｄｄからＶｂｖの値が出力される。Ｖｂｖはソースドライバ回路（ＩＣ）１４の外部より入力される。また、ＩＣ（回路）１４内部で発生させてもよい。電子ボリウム５０１のスイッチＳは８ビットの制御データ（階調番号）をデコーダ回路５３２でデコードされ該当のスイッチＳが閉じ、電圧ＶｄｄからＶｂｖ間の電圧がＶａｄから出力される。電圧Ｖａｄが図１３５から図１３８の縦軸である電圧となる。

【１６３５】

したがって、Ｖｂｖを変化させることにより容易にＶａｄを変化あるいは調整できる。つまり、図１３９に図示するように、縦軸は、Ｖｄｄ電圧をＶｂｖ電圧の範囲となる。以上の図１３１の回路構成は、図１４０に図示するようにＲＧＢごとに設けられる。なお、ＲＧＢのＥＬ素子１５の発光効率のバランスがとれ、ＲＧＢ電流ＩｃがＩｃｒ：Ｉｃｇ：Ｉｃｂ＝１：１：１の時、ホワイトバランスが取れる場合は、ＲＧＢで共通で１つの回路構成（図１３１）でもよいことは言うまでもない。また、ＲとＧ、ＧとＢ、ＢとＲというように複数のＩｃ電流発生回路を共通にしてよい。なお、Ｖｂｖなどは点灯率、基準電流比、ｄｕｔｙ比に応じて変化させてもよいことは言うまでもない。

【１６３６】

図７７、図７８などは電流プログラム回路用に２段のラッチ回路７７１を有している。本発明のソースドライバ回路（ＩＣ）１４は電流プログラム回路と、電圧プログラム回路の両方を具備している。

【１６３７】

図１３１などはアノード電圧Ｖｄｄを原点とするものであった。図１４１はアノード電位に該当する電圧も調整できるようにするものである。電子ボリウム５０１の端子Ｖｄｄ

にオペアンプ５０２ｃからの電圧を印加している。印加する電圧はＶｂｖｈである。電子ボリウム５０１の下限電圧は、Ｖｂｖｌである。したがって、ソース信号線１８に印加される電圧範囲は、図１４２に図示するようにＶｂｖｈ以下Ｖｂｖｌ以上となる。他の事項は他の実施例と同一あるいは類似であるので説明を省略する。

【１６３８】

図１３８でも説明したが、駆動用トランジスタ１１ａなどにはＣで示す立ち上がり電圧がある。立ち上がり電圧以下は黒表示（駆動用トランジスタ１１ａがＥＬ素子１５に電流を供給しない）である。図１４３は、図１３８のＣブランクを発生させる回路である。Ｃブランクの電圧範囲は、Ｐｋデータで調整する。Ｐｋデータは８ビットである。このＰｋデータと階調番号データＤａｔａとが加算回路３７３１で加算される。加算されたデータは９ビットとなり、デコーダ回路５３２に入力され、出コードされて電子ボリウム５０１の該当スイッチＳを閉じさせる。

【１６３９】

図２９３はプリチャージ電圧（プログラム電圧と同義あるいは類似）を発生する回路の他の実施例である。抵抗は拡散抵抗あるいはポリシリ抵抗で構成する。ただし、抵抗値もばらつきが発生する場合は、所定抵抗値が得られるようにトリミングなどを実施する。トリミングに関しては図１６２から図１７３で説明をしたので説明を省略する。

【１６４０】

実施例では抵抗アレイ２９３１の内蔵抵抗はＲ１～Ｒ６の６個としているがこれに限定するものではなく、６個以上でも６個以下でもよい。ただし、抵抗などにより発生するプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃの個数は、２の乗数－１あるいは２の乗数－２とすることが好ましい。この－１とは図２９３に図示するように、オープン状態（プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加しないモード）を指定するためである。

【１６４１】

たとえば、図２９６においてプリチャージ電圧（プログラム電圧と同義あるいは類似）を指定するＶＳＥＬデータが０の時は、Ｖｐｃ０（オープン：プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加しない）とする。Ｖｐｃ０が指定されることにより、図１２８のＢの期間（Ａに示す電圧が印加されない期間がない）のみの駆動を実現できる。つまり、該当画素１６（該当ソース信号線１８）にはプリチャージ電圧（プログラム電圧と同義あるいは類似）（プログラム電圧と同義）が印加されず（電圧プログラムは実施されない）、電流プログラムのみが実施される）。

【１６４２】

２の２乗－２のうち、－１は先に説明したＶｐｃ０（オープンモード）である。もう１通りは、ソースドライバ回路（ＩＣ）１４の外部で発生したプリチャージ電圧（プログラム電圧と同義あるいは類似）をソースドライバ回路（ＩＣ）１４の端子から取り込んで使用するモードである。

【１６４３】

なお、外部入力のプリチャージ電圧（プログラム電圧と同義あるいは類似）は固定に限定するものでない。パネルの回路のドットクロックに同期して（各画素１６に対応して）変化するものでもよいことは言うまでもない。また、内部のプリチャージ電圧（プログラム電圧と同義あるいは類似）においても同様である。たとえば、プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃ１が、パネルの回路のドットクロックに同期して（各画素１６に対応して）変化するものでもよいことは言うまでもない。

【１６４４】

たとえば、ＶＳＥＬが４ビットであれば、指定できる数は８通りである。したがって、２の乗数－１構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は７通りを指定でき、残りの１通りはオープンモードである。２の乗数－２構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は６通りを指定でき、残りの１通りはオープンモードであり、他の１通りは外部入力のプリチャージ電圧（プログラム電

圧と同義あるいは類似）を指定できる。また、プリチャージ電圧指定（電圧プログラム駆動）するＶＳＥＬが８ビットであれば、指定できる数は２５６通りである。

【１６４５】

したがって、２の乗数－１構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は２５５通りを指定でき、残りの１通りはオープンモードである。２の乗数－２構成であれば、プリチャージ電圧（プログラム電圧と同義あるいは類似）は２５４通りを指定でき、残りの１通りはオープンモードであり、他の１通りは外部入力のプリチャージ電圧（プログラム電圧と同義あるいは類似）を指定できる。

【１６４６】

以上の実施例において、２の乗数－１構成であれば、－１はオープンモードであるとしたがこれに限定するものではなく、－１を外部入力のプリチャージ電圧（プログラム電圧と同義あるいは類似）を指定モードとしてもよい。また、外部入力のプリチャージ電圧（プログラム電圧と同義あるいは類似）は１種類に限定するものではなく、複数であってもよい。その場合は、内部で発生するプリチャージ電圧（プログラム電圧と同義あるいは類似）は減少する。また、－１あるいは－２以外のすべての指定に対して異なるプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃが指定されることに限定するものでない。

【１６４７】

複数の指定データで同一のプリチャージ電圧（プログラム電圧と同義あるいは類似）が出力されるように構成あるいは形成もしくは作製してもよいことは言うまでもない。また、複数の指定データでオープンモードあるいは外部入力モードのプリチャージ電圧（プログラム電圧と同義あるいは類似）が出力されるように構成あるいは形成もしくは作製してもよいことは言うまでもない。以上の実施例は図１２７から図１４３の実施例にも適用できることは言うまでもない。また、本明細書の他の実施例にも適用できることは言うまでもない。

【１６４８】

以上の実施例において、２の乗数－３構成としてもよい。１つはオープンモードであり、他の１つは外部入力のプリチャージ電圧（プログラム電圧と同義あるいは類似）を指定モードとし、残りの１つをアノード電圧としてもよい。アノード電圧Ｖｄｄの印加により良好な黒表示を実現できる。

【１６４９】

図２９３においてプリチャージ電圧（プログラム電圧と同義あるいは類似）の印加期間を長く（最大１Ｈ期間）することにより、図１２９、図１３０に図示するように電圧プログラムを実現できる（電圧データのみをソース信号線１８あるいは画素１６に印加し、電流データを印加しない状態）。つまり、ＶＳＥＬ（図２９６を参照のこと）の選択期間あるいは選択タイミングを制御することのより、電圧プログラム方法と電流プログラム方法とのいずれか一方を選択したり、両方のプログラム方法を所定の比率期間で組み合わせたりすることができる。

【１６５０】

また、画素１６に印加する映像データ（階調データ）の大きさに応じて、両方のプログラム方法を組み合わせる比率を変化することも容易である。また、画素１６列方法に連続する映像データ（階調データ）の大きさあるいは変化状態に応じて、両方のプログラム方法を組み合わせる比率を変化することも容易である。また、いずれか一方のプログラム方法のみを実施することもできる。なお、両方のプログラム方法を組み合わせる時は、電圧プログラム方法を先に実施する。

【１６５１】

階調データの大きさに応じてプリチャージ期間（電圧階調回路１２７１の電圧印加期間）を変化させてもよい。低階調の時はプリチャージ期間（電圧階調回路１２７１の電圧印加期間）を長くし、中間階調になるにしたがって、プリチャージ期間（電圧階調回路１２７１の電圧印加期間）を短くする。

【１６５２】
以上のように本発明は、デジタル信号によりプリチャージ電圧（プログラム電圧と同義あるいは類似）を設定でき、かつ少なくとも１つ指定は、プリチャージ電圧（プログラム電圧と同義あるいは類似）は外部から入力できるか、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加しないモードを選択できることを特徴としている。
【１６５３】
プリチャージ回路（電子ボリウム５０１などから構成される。あるは図１３６の電圧階調回路１２７１）の変化と電流階調回路４３１ｃの変化とは同期させる。つまり、プリチャージ回路の変化が電流階調回路４３１ｃの変化に対応するように変化させる。プリチャージ回路による画素１６の駆動用トランジスタ１１ａの出力電流の目標値（期待値）が１μＡであれば、プリチャージ回路による画素１６の駆動用トランジスタ１１ａの目標値（期待値）が１μＡとなるように階調制御する。
【１６５４】
したがって、プリチャージ回路の階調データの値と電流階調回路４３１ｃの階調データとが一致するように構成することが好ましい。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。また、プリチャージ回路と電流階調回路４３１ｃとは同期をさせることが好ましい。
【１６５５】
プログラム電圧を印加するかしないかの判定は、１画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、６４階調で、６３階調目が最大白表示、０階調目を完全黒表示とした場合、あるソース信号線１８に印加される画像データが６３階調目→１０階調目→１０階調目であれば、６３階調目から１０階調目になる時は、プログラム電圧を印加する。低階調目は書込みにくいからである。
【１６５６】
基本動作としては、プログラム電圧を印加した後、プログラム電流を印加し電流補正を行う。同一階調から同一階調目（たとえば、１０階調目から１０階調目）あるいはある階調目から近傍の階調目（たとえば、１０階調目から９階調目）に変化する時は、プログラム電圧を印加せずに、プログラム電流のみを印加する。プログラム電圧を印加すると、駆動用トランジスタ１１ａの特性バラツキにより、レーザーショットムラが発生するからである。プログラム電流のみの駆動であれば、階調変化が少ないため、微小なプログラム電流であっても、駆動用トランジスタ１１ａの特性バラツキに追随できるからである。
【１６５７】
本発明の駆動方法または表示パネル（表示装置）において、エキシマレーザーによるアニール（ＥＬＡ）のショットの長辺方向は、ソース信号線１８の形成方向に一致させてアレイ３０を形成または構成する（レーザーのスキャン方向をソース信号線１８の形成方向に直交させる）ことが好ましいことは言うまでもない。画素１６の駆動用トランジスタ１１ａの特性変化が、レーザーアニール（ＥＬＡ）の１ショット内において特性が一致しているからである（つまり、ソース信号線１８の形成方向の画素列内では、駆動用トランジスタ１１ａの特性（モビリティ（μ）、Ｓ値など）が一致している）。
【１６５８】
本発明の実施例ではプログラム電圧を印加するとして説明するが、プログラム電圧をプリチャージ電圧に置き換えてもよい。つまり、プリチャージ電圧が複数種類の電圧を有する場合は、プログラム電圧を同義の動作となるからである。
【１６５９】
つぎの画素行（画素）に印加する画像（映像）データは、先の画素行（画素）に印加した画像（映像）データと同一あるいは変化量が小さいときは、プログラム電圧を印加せず、プログラム電流のみを印加する。先の画素行に印加したプログラム電流でソース信号線１８の電位が次に書き込むプログラム電流の電位となっているからである（ずれ量は駆動用トランジスタ１１ａの特性バラツキのみである）。したがって、ラスター表示の場合は

、プログラム電圧は印加されない（印加してもよいが）。以上の動作は、コントローラ回路（ＩＣ）７６０に１画素行分（ＦＩＦＯのため２ラインのメモリが必要）のラインメモリを形成（配置）することのより容易に実現できる。ただし、１画素行目は、垂直ブランキング期間の問題もあるので、プログラム電圧を印加することが好ましい。

【１６６０】

本発明において、プログラム電圧＋プログラム電流駆動では、プログラム電圧を印加するとして説明をするが、これに限定するものではない。１水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線１８に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線１８に書込み、その後にプログラム電流をソース信号線１８に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。

【１６６１】

以上のように、プログラム電圧印加という動作をプリチャージ電流あるいはプリチャージ電圧で行う方式も本発明のプログラム電圧＋プログラム電流駆動の範疇である。たとえば、図１３１、図１４０、図１４１、図１４３、図２９３、図２９７、図３１１、図３１２、図３３９～図３４４では電子ボリウム５０１を切り換えることによりプログラム電圧が変化する。この電子ボリウム５０１を電流出力の電子ボリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせることにより容易に実現できる。本発明では説明を容易にするため、プログラム電圧＋プログラム電流駆動のプログラム電圧印加は電圧で行うとして説明をする。

【１６６２】

プログラム電圧印加は、一定のプログラム電圧を印加することに限定するものではない。たとえば、複数のプログラム電圧をソース信号線に印加してもよい。たとえば、第１のプログラム電圧５（Ｖ）を５（μｓｅｃ）印加した後、第２のプログラム電圧４．５（Ｖ）を５（μｓｅｃ）印加する方法である。その後に、プログラム電流Ｉｗをソース信号線１８に印加する。また、プログラム電圧を鋸波状に変化させたものでもよい。また、矩形波状、三角波状、サインカーブ状の電圧などを印加してもよい。また、正規のプログラム電流（電圧）にプログラム電圧（電流）を重畳させてもよい。また、プログラム電圧（電流）の大きさ、プログラム電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。また、画像データの値などに応じて、印加波形の種類、プログラム電圧の値などを変化させてもよい。

【１６６３】

プログラム電圧はソース信号線１８の上辺の一端から印加し、プログラム電流を前記ソース信号線１８の下辺の一端から印加してもよい。また、このように表示パネルのドライバ回路１４を配置あるいは構成してもよい。

【１６６４】

プログラム電流とプログラム電圧は同時に印加してもよい。プログラム電流を発生する定電流（可変電流）回路は高インピーダンス回路であるので、プログラム電圧を発生する電圧回路とショート（短絡）しても動作に問題が発生しないからである。ただし、プログラム電圧とプログラム電流の両方をソース信号線１８に印加する場合は、プログラム電圧の印加を終了したのちに、プログラム電流の印加を終了させる。つまり、１Ｈ（水平走査期間）もしくは複数Ｈあるいは所定の期間での最後はプログラム電流の印加状態で終了させる。また、図３９０などに図示する過電流駆動（プリチャージ電流駆動）と組み合わせてもよいことは言うまでもない。

【１６６５】

本発明は電流駆動方式において、所定の電圧のプログラム電圧を印加した後、プログラム電流を印加するとして説明をする。しかし、本発明の技術的思想は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、ＥＬ素子１５を駆動する駆動用トランジスタサイズが大きいため、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。

【１６６６】
この課題に対して、正規のプログラム電圧を印加する前に、所定電圧の電圧を印加するという動作を実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書込みを実現できる（印加する電圧はトランジスタ１１ａがオフ状態あるいはその近傍となる電圧にすることが好ましい）。したがって、本発明のプログラム電圧＋プログラム電流駆動方式は、電流プログラム駆動に限定されるものではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図１などを参照のこと）を例示して説明をする。
【１６６７】
本発明の実施例において、プログラム電圧＋プログラム電流駆動方式（図１２７～図１４３なども参照のこと）は、駆動用トランジスタ１１ａのみに作用するものではない。たとえば、図１１、図１２、図１３などの画素構成において、カレントミラー回路を構成するトランジスタ１１ａにも作用して効果を発揮する。本発明のプログラム電圧＋プログラム電流駆動方式は、ソースドライバ回路（ＩＣ）１４からみたソース信号線１８の寄生容量を充放電することを１つの目的としているが、当然のことながらソースドライバ回路（ＩＣ）１４内の寄生容量も充放電されることも目的としている。
【１６６８】
プログラム電圧を印加するという動作は、黒表示を良好にすることを１つの目的としているが、これに限定されるものではない。白表示を書込み易くする白書込みプログラム電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプログラム電圧＋プログラム電流駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書込み易くするための、（画素１６に書き込む階調データに応じた）所定の電圧を印加し、ソース信号線１８などを予備充電するものである。また、階調に応じたプログラム電流を書き込みやすくするために、プログラム電圧を事前に印加するものである。したがって、ソース信号線１８などの電位が所定電位あるいは所定範囲内に維持されていれば、プログラム電圧を印加する必要はない。
【１６６９】
ただし、画素１６の駆動用トランジスタ１１ａは白表示状態（高階調表示状態）から黒表示状態（低階調表示状態）に変化する動作は比較的高速である。しかし、駆動用トランジスタ１１ａは黒表示状態から白表示状態に変化する動作は比較的遅い。したがって、プログラム電圧は、映像（画像）データの値よりも大きくし（高階調表示方向）で印加し、プログラム電流で黒表示方向に補正するように動作させることが好ましい。したがって、プログラム電圧を指定する映像データ＞プログラム電流を指定する映像データの関係を満足させることが好ましい。
【１６７０】
画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで、かつ吸い込み電流（ソースドライバ回路（ＩＣ）１４に吸い込む電流）で電流プログラムを実施する場合である。画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合あるいは駆動用トランジスタ１１ａを吐き出し電流（ソースドライバＩＣ１４から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。つまり、画素１６の駆動用トランジスタ１１ａがＮチャンネルの場合は黒表示状態（低階調表示状態）から白表示状態（高階調表示状態）に変化する動作は比較的高速である。
【１６７１】
しかし、駆動用トランジスタ１１ａは白表示状態から黒表示状態に変化する動作は比較的遅い。したがって、プログラム電圧は、映像（画像）データの値よりも小さくし（低階調表示方向）で印加し、プログラム電流で白表示方向に補正するように動作させることが好ましい。したがって、プログラム電圧を指定する映像データ＜プログラム電流を指定する映像データの関係を満足させることが好ましい。以上の事項は本発明の他の実施例においても適用（読み替え）できることは言うまでもない。
【１６７２】

本発明は説明を容易にするため、駆動用トランジスタ（ＥＬ素子１５に電流を供給するトランジスタ）がＰチャンネルであり、ソースドライバ回路（ＩＣ）１４が吸い込み（シンク）電流で動作している表示パネル（表示装置）を例示して説明をする。

【１６７３】

プログラム電圧印加タイミングは、プログラム電流を書き込む画素行を選択した状態でプログラム電圧を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態で、ソース信号線１８にプログラム電圧を印加して予備充電を行ない、その後、プログラム電流を書き込む画素行を選択してもよい。

【１６７４】

プログラム電圧は、ソース信号線１８に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（Ｖｄｄ）またはカソード端子への印加電圧（Ｖｓｓ）を変化させてもよい（プログラム電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ１１ａの書込み能力が拡大される。したがって、プログラム電圧印加（ディスチャージ）効果が発揮される。特に、アノード電圧（Ｖｄｄ）をパルス的に変化させる方式を実施する効果が高い。つまり、プログラム電圧の印加は、駆動用トランジスタ１１ａをオフ状態にする動作あるいは構成であればいずれの信号線あるいは端子（アノード端子、カソード端子、ソース信号線など）に作用させてもよいことは言うまでもない。

【１６７５】

図３３２（ａ）は階調０のみでプログラム電圧を印加した時の説明図である。階調０のみのプログラム電圧印加は階調飛びがなく、良好な黒表示を実現できるので好ましい方法である。図３３２において、行番号は、画素行の番号を示している。画素行は、第１画素行からｎ画素行まで順次画像データが書き換えられ、最終画素行ｎまで電流プログラムがされると、また、第１画素行から電流プログラムが開始される。

【１６７６】

一例として画像データは、６４階調の画像データとする。画像データは０から６３の値をとる。当然ながら、２５６階調の時は、０から２５５までの値をとる。ＰＳＬはプログラム電圧印加セレクト信号であり、Ｈレベル（記号Ｈ）のとき、プログラム電圧の出力が許可させる。Ｌレベルの時は、プログラム電圧は出力されない。ＰＥＮはプログラム電圧印加イネーブル信号である。このＰＥＮはコントローラ８１の判断により出力される信号である。つまり、コントローラは画像データに基づいて、ＰＥＮ信号をＨまたはＬレベルにする。ＰＥＮがＨレベルの時は、プログラム電圧印加をするという判断信号であり、Ｌレベルの時は、プログラム電圧印加しないという判断信号である。プログラム電圧も好ましくは映像データにより変化させることは言うまでもない。なお、具体的な構成方法は、図１２７から図１４３、図２９３から図２９７などで説明をする。

【１６７７】

図３３２では、階調０の時にのみ、ＰＥＮ信号はＨレベルとなっている。Ｐ出力は、スイッチ１５１ａのオンオフ状態である（図１６、図７５、図３０８のＳｉなどを参照のこと）。表では、○はスイッチ１５１ａがオン状態（ソース信号線１８にプログラム電圧Ｖｐが印加された状態）である。×はスイッチ１５１ａがオフ状態（ソース信号線１８にプログラム電圧が印加されていない状態）である。

【１６７８】

図３３２（ａ）では、画素行番号３と画素行番号８に該当する箇所で、ＰＥＮ信号がＨとなっている。同時に画素行番号３と画素行番号８では、ＰＳＬ信号もＨレベルであるので、Ｐ出力は○（プログラム電圧Ｖｐが出力された状態となっている。図３３２（ｂ）では、ＰＥＮ信号は図３３２（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プログラム電圧Ｖｐが出力されていない）の状態となっている。基本的にはＰＥＮ信号もコントローラ８１から出力される。しかし、ＰＥＮ信号はユーザーが調整できるようにすることが好ましい。

【１６７９】

プログラム電圧Ｖｐが出力されている期間は、図１６のカウンタ１６２で設定することができる。このカウンタはプログラマブルカウンタであり、コントローラからの設定値、あるいはユーザーの設定値に基づき動作する。カウンタ６５１はメインクロック（ＣＬＫ）に同期して動作するように構成されている。

【１６８０】

図３３３（ａ）は階調０から階調７のみをプログラム電圧印加した時の説明図である。低階調領域のみにプログラム電圧印加する方法は、電流駆動が黒表示領域を書込みにくいという課題を解決する方策として有効である。なお、いずれの範囲までプログラム電圧印加するかはコントローラ８１により設定できる。

【１６８１】

図３３３では、階調０－７の時にのみ、ＰＥＮ信号はＨレベルとなっている。Ｐ出力は、スイッチ１５１ａのオンオフ状態である。図３３３（ａ）では、画素行番号３、５、６、７、１１、１２、１３に該当する箇所で、画像データは７以下であるので、ＰＥＮ信号がＨとなっている。同時に以上の箇所で、ＰＳＬ信号もＨレベルであるので、Ｐ出力は○（プログラム電圧Ｖｐが出力された状態）となっている。図３３３（ｂ）では、ＰＳＬ信号がＬレベルであるので、Ｐ出力はすべて×（プログラム電圧が印加されていない状態）となっている。

【１６８２】

図３３４は画素１６の輝度が低くなる時にプログラム電圧印加を実施する駆動方式の説明図である。電流プログラム方式では、画素１６の輝度を高くするとき（白表示）のプログラム電流Ｉｗが大きい。したがって、ソース信号線１８に寄生容量があっても十分寄生容量を充放電することができる。しかし、画素１６を黒表示となるようにプログラム電圧を印加するときは、プログラム電流は小さくソース信号線１８の寄生容量などを十分に充放電することができない。したがって、画素１６に書き込むプログラム電流が大きくなる時は、プログラム電圧印加をする必要がない場合が多い。逆に画素１６に書き込む電流が小さくなる時（黒表示となる時）はプログラム電圧印加する必要が発生する。

【１６８３】

図３３４は画素１６の輝度が低くなる時にプログラム電圧印加を実施する駆動方式の説明図である。第１画素行目の画像データが３９である。したがって、ソース信号線１８には、画素１６を画像データ３９に電流プログラムする電位が保持されている。第２画素行目の画像データは１２である。したがって、ソース信号線１８は画像データ１２に対応する電位になるようにする必要がある。しかし、プログラム電流は階調３９から階調１２と小さくなる。そのため、ソース信号線１８を十分に充放電できない状態が発生する場合がある。この課題に対応するため、プログラム電圧印加する（ＰＥＮ信号はＨレベルとなる）。画素行３、５、６、８、１１、１２、１３、１５においても同様の判定結果となる。

【１６８４】

第３画素行目の画像データは０である。したがって、ソース信号線１８には、画素１６を画像データ０に電流プログラムする電位が保持されている。第４画素行目の画像データは２１である。したがって、ソース信号線１８は画像データ２１に対応する電位になるようにする必要がある。プログラム電流は階調０から階調２１と大きくなる。そのため、ソース信号線１８を十分に充放電可能である。したがって、第４画素行ではプログラム電圧印加する必要はない。

【１６８５】

以上の判断を、コントローラ８１で実施する。実施の結果、図３３４（ａ）に図示するように、ＰＥＮ信号は、画素行２、３、５、６、８、１１、１２、１３、１５でＨレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。図３３４（ａ）では、ＰＳＬ信号もＨレベルであるから、Ｐ出力の欄でわかるように、Ｐ出力は、画素行２、３、５、６、８、１１、１２、１３、１５で○（プログラム電圧印加する）ことになる。なお、他の画素行ではプログラム電圧印加は行われない。

【１６８６】

図３３４（ｂ）では、ＰＥＮ信号は図３３４（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プログラム電圧Ｖｐが出力されていない）の状態となっている。基本的にはＰＥＮ信号もコントローラ８１から出力される。しかし、ＰＥＮ信号はユーザーが調整できるようにすることが好ましい。

【１６８７】

図３３５は、図３３３と図３３４のプログラム電圧印加方法を組み合わせた方式である。画素１６の輝度が低くなる時にプログラム電圧印加を実施し、かつ、画素１６のプログラム電流が０－７階調の低輝度となる場合にプログラム電圧印加する方法である。どの階調以下でプログラム電圧印加するか否かは、コントローラＩＣ８１の設定値で変更可能である。また、ユーザーが変更することも可能である。変更は、コントローラ内部のテーブルにマイコンからシリアルインターフェースを介して行う。

【１６８８】

画像データは図３３４の実施例と同一である。しかし、図３３５では、第２画素行では画像データが１２であり、第１５画素行では、画像データが１２であるため、ＰＥＮ信号はＬレベルの判定結果となっている。先にも説明したように、一定以上のプログラム電流Ｉｗの大きさがあれば、ソース信号線１８の寄生容量を充放電できる。したがって、プログラム電圧印加する必要はない。逆にプログラム電圧印加するとソース信号線１８の電位が黒表示電位まで変化し、中間調表示の電位に復帰するのに時間を要する。

【１６８９】

以上の判断を、コントローラ８１で実施する。実施の結果、図３３５（ａ）に図示するように、ＰＥＮ信号は、画素行３、５、６、８、１１、１２、１３でＨレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。図３３５（ａ）では、ＰＳＬ信号もＨレベルであるから、Ｐ出力の欄でわかるように、Ｐ出力は、画素行３、５、６、８、１１、１２、１３で○（プログラム電圧印加する）ことになる。なお、他の画素行ではプログラム電圧印加は行われない。図３３５（ｂ）では、ＰＥＮ信号は図３３５（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プログラム電圧Ｖｐが出力されていない）の状態となっている。

【１６９０】

以上の実施例は、各ＲＧＢのプログラム電圧印加について説明をしていないが、図３３６のように各ＲＧＢでプログラム電圧印加判定を行うことが好ましいことは言うまでもない。各ＲＧＢで画像データがことなっているからである。

【１６９１】

図３３６は、図３３３と同様に階調０－７の範囲でプログラム電圧印加を実施する駆動方法である。各ＲＧＢでのプログラム電圧印加の判断をコントローラ８１で実施する。実施の結果、図３３６に図示するように、Ｒ画像データでは、ＰＥＮ信号は、画素行３、５、６、７、８、１１、１２、１３でＨレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。Ｇ画像データでは、ＰＥＮ信号は、画素行３、７、９、１１、１２、１３、１４でＨレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。Ｂ画像データでは、ＰＥＮ信号は、画素行１、２、３、６、７、８、９、１５でＨレベルとなる。つまり、前記画素行ではプログラム電圧印加するという結果となる。

【１６９２】

以上の実施例では、画素行に対応してプログラム電圧印加をするか否かを判断した。しかし、本発明はこれに限定するものではない。フレーム（フィールド）単位で各画素に印加される画像データの大きさ、変化などを判定し、プログラム電圧印加するか否かを判断してもよいことは言うまでもない。図３３７はその実施例である。

【１６９３】

図３３７はある画素１６に着目した画像データの変化を示している。図３３７の表の第１行目はフレーム番号を示している。表の２行目はある画素１６にプログラムされる画像データの変化を示している。また、図３３７は、図３３２と同様に階調０でプログラム電

圧印加する駆動方式の変形例である。図３３２では、階調０で必ずプログラム電圧印加する方法であった。図３３７では、階調０が一定フレーム連続する時にプログラム電圧印加する方法である。連続は、カウンタで示す。

【１６９４】

図３３７（ａ）では、フレーム３、４、５、６、１１、１２で階調０である。そのため、カウント値は、第３フレームから第６フレームまで順次カウントされる。また、フレーム１１、１２でカウントされる。図３３７（ａ）では、階調０が３フレーム連続する時に、プログラム電圧印加を実施するように制御されている。したがって、フレーム５、６でＰ出力が○（プログラム電圧が出力される）となる。フレーム１１、１２では２フレームしか階調０が連続しないため、プログラム電圧印加はされない。

【１６９５】

図３３７（ｂ）では、ＰＳＬ信号によりカウント制御を実施している。ＰＳＬ信号がＨレベルの時に、カウント値はアップされる。図３３７（ｂ）では、フレーム５、１２でＰＳＬ信号がＬレベルため、カウントアップされない。そのため、プログラム電圧は、フレーム６でしか出力されない。

【１６９６】

図３３７では階調０が一定フレーム連続する時にプログラム電圧印加するとしたが、本発明はこれに限定するものではなく、図３３３で説明したように、一定の階調範囲（たとえば、階調０－７）が連続する時にプログラム電圧印加するように制御してもよい。また、連続したフレームに限定するものではなく、離散的であってもよい。また、連続した画素行で一定の階調範囲（たとえば、階調０のみ、階調０－７など）が連続する時にプログラム電圧印加するように制御してもよい。

【１６９７】

以上のように本発明のプログラム電圧＋プログラム電流駆動方式では、画像データの値あるいは画像データの変化状態あるいはプログラム電圧印加する画素の近傍の画像データ値とその変化などにより、プログラム電圧印加するか否かを判定し、プログラム電圧（電流）を印加する。また、プログラム電圧印加を印加するか否かの情報は、ソースドライバ回路（ＩＣ）に保持される。したがって、ソースドライバ回路（ＩＣ）１４はプログラム電圧印加信号をラッチするラッチ回路２３６１（保持回路あるいは記憶手段（メモリ））を具備するだけであるから構成は容易である。また、いずれのプログラム電圧印加方式でもコントローラ回路（ＩＣ）７６０（図８３、図８５、図１８１、図３１９、図３２０、図３２７などを参照のこと）のプログラムを変更あるいは設定値を変更するだけで対応できるため汎用性がある。

【１６９８】

以上は、プログラム電圧印加により画素を黒表示あるいは黒表示に近い状態にする方法の場合である。しかし、プログラム電圧を印加することにより、白表示にする場合もある。したがって、プログラム電圧印加とは、黒表示電圧だけではない。ソース信号線１８に電圧印加により、ソース信号線１８に一定電位にする方法である。

【１６９９】

なお、図１など、画素１６の駆動用トランジスタ１１ａがＰチャンネルの場合は、スイッチング用トランジスタ１１ｂもＰチャンネルで形成することが重要である。スイッチング素子１１ｂがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。したがって、画素１６の駆動用トランジスタ１１ａがＮチャンネルの場合は、スイッチング用トランジスタ１１ｂもＮチャンネルで形成することが重要である。スイッチング素子１１ｂがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。

【１７００】

下段は、ソース信号線１８にプログラム電圧（ＰＲＶ）を印加した時にソース信号線電位を図示している。矢印の箇所がプログラム電圧（ＰＲＶ）の印加位置を示している。なお、プログラム電圧印加位置は、１Ｈの最初に限定するものではない。１／２Ｈまでの期

間にプログラム電圧を印加すればよい。なお、ソース信号線１８にプログラム電圧を印加するときは、選択側のゲートドライバ１２ａのＯＥＶ端子を操作し、いずれのゲート信号線１７ａも選択されていない状態にすることが好ましい。

【１７０１】

なお、プログラム電圧を印加するかしないかの判定は、１画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。あるソース信号線１８に印加される画像データにおいて、第１画素行目の直前の画素行（画素）（最終画素行）の印加データが６３階調目で、第１画素行（画素）目が１０階調目であり、以降の画像データの変化がない場合（１０階調目が連続する）、第１画素行（画素）に１０階調目あるいはその近傍に該当するプログラム電圧が印加さえる。しかし、第２画素行目から最終画素行目にはプログラム電圧は印加されない。

【１７０２】

図３３８はプログラム電流データ（赤用ＩＲ、緑用ＩＧ、青用ＩＢ）とプログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）との関係を示している。プログラム電流データ、プログラム電圧データは映像（画像）データにもとづき、コントローラＩＣ（回路）７６０により発生させられる（図１２７から図１４３などを参照のこと）。

【１７０３】

図３３８（ａ）はプログラム電流データ（赤用ＩＲ、緑用ＩＧ、青用ＩＢ）とプログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）が同一数を有する例である。つまり、任意のプログラム電流データ（赤用ＩＲ、緑用ＩＧ、青用ＩＢ）に対応するプログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）を有する場合である。したがって、プログラム電圧を印加すれば、それに対応するプログラム電流を印加することができる。

【１７０４】

図３３８（ｂ）はプログラム電流データ（赤用ＩＲ、緑用ＩＧ、青用ＩＢ）よりもプログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）が少ない実施例である。プログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）の下位２ビットがない。一般的に低階調では階調表示がラフでよい。図３３８（ｂ）の実施例では、たとえば、階調０～３のプログラム電流データを印加する前に、階調０のプログラム電圧データを印加する。階調４～７のプログラム電流データを印加する前に、階調１（実際は下位２ビットがないので階調４）のプログラム電圧データを印加する。

【１７０５】

図３３８（ｃ）もプログラム電流データ（赤用ＩＲ、緑用ＩＧ、青用ＩＢ）よりもプログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）が少ない実施例である。プログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）の上位および下位２ビットがない。一般的に低階調では階調表示がラフでよい。図３３８（ｃ）の実施例では、たとえば、階調０～３のプログラム電流データを印加する前に、階調０のプログラム電圧データを印加する。階調４～７のプログラム電流データを印加する前に、階調１（実際は下位２ビットがないので階調４）のプログラム電圧データを印加する。また、高階調領域では、プログラム電流が優勢のため、プログラム電圧を印加する必要がない。したがって、高階調領域でプログラム電圧を印加するときは、プログラム電圧データ（赤用ＶＲ、緑用ＶＧ、青用ＶＢ）の最大値をソース信号線１８などに印加する。

【１７０６】

図２９３において、抵抗アレイ２９３１のｃ電位は電子ボリウム５０１ａの出力により決定される。抵抗アレイ２９３１のｄ電位は電子ボリウム５０１ｂの出力により決定される。抵抗アレイ２９３１は抵抗値が１、３、５、７、・・・・・（２ｎ－１）の比率で形成されている。ｃ点から加算すると、１、４、９、１６、２５、・・・・・（ｎ・ｎ）となる。つまり、２乗特性となっている。したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃは抵抗アレイ２９３１のｃ点とｄ点との電位差が略２乗特性きざみとなる。

【１７０７】

なお、２乗きざみに限定するものではなく、１．５乗から３乗の範囲であればよい。また、この範囲は変更できるように構成することが好ましい。変更は、抵抗アレイ２９３１の抵抗Ｒ＊（＊は該当抵抗の番号）を複数抵抗値で形成し、目的に応じて切り換えるように構成すればよい。なお、１．５乗から３乗の範囲で変化させるのは、ガンマ特性を画像により変化させることにより良好な画像表示を実現できるからである。また、ガンマの変化によりプリチャージ電圧（プログラム電圧と同義あるいは類似）も変化する必要があるからである。以上のことは、図１０６、図１０８（ａ）（ｂ）などで説明をしたので省略する。

【１７０８】

図２９３のように構成することにより、プリチャージ電圧（プログラム電圧と同義あるいは類似）の原点（ｃ点＝Ｖｃｐ１）と、プリチャージ電圧（プログラム電圧と同義あるいは類似）の最終点（ｄ点＝Ｖｐｃ７）を変化させることができる。また、Ｖｃｐ１とＶｃｐ７の電圧を略２乗きざみで出力することにより、階調に応じて最適なプリチャージ電圧（プログラム電圧と同義あるいは類似）を出力することができる（図１３５から図１４２の説明も参照のこと）。なお、階調の出力方式がリニアの場合は、抵抗アレイ２９３の抵抗も等抵抗間隔にしてもよいことは言うまでもない。特に電流プログラム方式と組み合わせる場合は、図２９３のプリチャージ駆動（電圧プログラム方式）も等間隔にすることが好ましい。

【１７０９】

図２９３のＶｐｃ０はオープンしている。つまり、Ｖｐｃ０が選択された時は、電圧無印加状態となる。したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）はソース信号線１８には印加されない。

【１７１０】

図２９３はｃ点、ｄ点の両方の電圧を変化させる構成であったが、図２９７に図示するようにｄ点のみを変化させるように構成してもよい。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）は図２９３に図示するように８つに限定するものではなく、複数であればいずれでもよい。また、図２９７はＤＡ回路５０３を用いた構成であるが、図３１１に図示するようにｄ電圧はボリウム（ＶＲ）などを用いてアナルグ的に変更あるいは可変してよい。

【１７１１】

図２９７などのプリチャージ電圧（プログラム電圧と同義あるいは類似）の原点とするＶｓ電圧は、ソースドライバ回路（ＩＣ）１４の外部で発生させて電圧であってもよい。図３２４では、ボリウムＶＲでＶ０電圧を発生し、各ソースドライバ回路（ＩＣ）１４に共通の電圧として電子ボリウム５０１に印加している。つまり、Ｖ０電圧を図１３１、図１４３、図３０８、図３１１、図３１２などのＶｓ電圧として用いている。Ｖｓ電圧は、アノード電圧Ｖｄｄと同一にすることにより電源数を減少させることができる。

【１７１２】

以上の実施例では、プリチャージ電圧（プログラム電圧と同義あるいは類似）はアノード電圧に近い電圧であるとして説明をした、しかし、画素構成によっては、プリチャージ電圧（プログラム電圧と同義あるいは類似）がカソード電圧に近い場合がある。たとえば、駆動用トランジスタ１１ａがＮチャンネルトランジスタで形成している場合、駆動用トランジスタ１１ａが、Ｐチャンネルトランジスタで吐き出し電流（図１の画素構成は吸い込み（シンク）電流）で電流プログラムが実施される場合である。

【１７１３】

この場合は、プリチャージ電圧（プログラム電圧と同義あるいは類似）はカソード電圧に近い電圧とする必要がある。たとえば、図２９７ではｄ点を基準位置とする必要がある。図２９３ではオペアンプ５０２ｂの出力電圧を基準とする必要がある。また、図１３１のＶｂｖ電圧を基準とする必要があり、図１４１、図１４３ではＶｂｖｌを基準とする必要がある。以上のように画素構成などが変化すると基準位置を変更する必要があることは言うまでもない。

【１７１４】
図３１２に図示するように電圧セレクタ回路２９５１を用いて構成してもよい。電圧セレクタ回路のａ端子には電子ボリウム５０１によりプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃが変化（変更）されたものが印加され、ｂ端子には固定のプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｃが印加される。
【１７１５】
図３３９は本発明の他の実施例である。電子ボリウムの０階調目に該当するプリチャージ電圧（プログラム電圧）Ｖ０は図３２４に図示するようにＲＧＢで固定電圧を印加する。もちろん、ＲＧＢで変化させてもよい。ＣＣＭ方式では一般的にＲＧＢで共通でよい。また、抵抗Ｒは図に示すように電子ボリウム５０１の外づけとしてもよい。抵抗Ｒを変化あるいは取り替えることにより自由に各Ｖｐｃ電圧を変化できる。
【１７１６】
なお、抵抗値Ｒ１＞Ｒ２＞・・・・・・＞Ｒｎの関係を維持するように構成する。また、少なくともＲ１＞Ｒｎの関係を維持させる（Ｒｎは最後のスイッチから出力されるＶｐｃ電圧を決定する抵抗である。また、Ｒ１は低階調側でありＲｎは高階調側である。また、Ｒ１は駆動用トランジスタ１１ａの立ち上がり電圧近傍の電圧発生用であり、Ｒｎは白表示電圧を発生するものである）。特に、Ｒ１＞Ｒ２（Ｒ１の端子間電圧＞Ｒ２の端子間電圧）の関係は維持することが好ましい。駆動用トランジスタ１１ａの特性から、Ｖ０電圧の次の１階調目の電圧との差が、１階調目と２階調目の電圧との差が大きいからである。
【１７１７】
スイッチＳはＶＤＡＴＡをデコードすることにより指定される。なお、選択できるＶｐｃの電圧の個数は、表示装置が６インチ以上の場合は、表示装置の階調数の１／８以上にすることが好ましい（２５６階調の場合は、３２階調以上）。特に、１／４以上とすることが好ましい（２５６階調の場合は、６４階調以上）。比較的高階調領域までプログラム電流の書き込み不足が発生するからである。６インチ以下の比較的小型の表示パネル（表示装置）では、選択できるＶｐｃの電圧の個数は、２以上にすることが好ましい。ＶｐｃがＶ０の１つであっても良好な黒表示を実現できるが、低階調領域で階調表示することが困難な場合があるからである。Ｖｐｃが２以上であれば、ＦＲＣ制御により複数の階調を発生することができ、良好な画像表示を実現できる。
【１７１８】
ｂ点の電位を決定するＳＤＡＴＡは基準電流Ｉｃに相関する。好ましくはＩｃの１／１．５乗以上１／３乗に比例するように制御される。基準電流Ｉｃが大きい時は、ｂ点電位が降下するように制御され、基準電流Ｉｃが小さい時はｂ点電位が高くなる。したがって、基準電流Ｉｃが大きい時は、各抵抗Ｒ間の電位差が大きくなり、各Ｖｐｃの差が大きくなる（プログラム電圧のステップ変化が大きくなる）。逆に、基準電流Ｉｃが小さい時は、各抵抗Ｒ間の電位差が小さくなり、各Ｖｐｃの差が小さくなる。たとえば、図３４４に図示するように基準電流Ｉｃによりｂ端子の電位を変化させ、電圧Ｖ０との電位差により電子ボリウム５０１の各抵抗端子間の電位差と比例的に変化させる。
【１７１９】
図３４４は基準電流Ｉｃにより直接ｂ端子の電位を変化させるとしたがこれに限定するものではない。図１８８の基準電流Ｉｃ（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）を電流分流回路あるいは変換回路で変換などした電流を用いてもよい。変換などにより得られる電流は基準電流の１／２乗近傍になるように構成する。また、各ＲＧＢの電子ボリウム５０１における基準電流Ｉｃは、ＲＧＢごとに異ならすことができるように構成することが好ましいことは言うまでもない。
【１７２０】
たとえば、図３４３は、基準電流Ｉｃ（あるいは基準電流に比例または相関する電流）をトランジスタ１５８ｂ、１５８ｃからなるカレントミラー回路に導入し、抵抗Ｒ０の一端に発生する電圧Ｖ１をおペアンプ５０２ａを介して、ｂ端子に印加する構成である。こ

のように構成することにより、基準電流（本発明の点灯率制御では、基準電流を変化させることにより表示輝度あるいは消費電流制御などを実施する）の変化に応じてあるいは相関してプリチャージ電圧（プログラム電圧）を変化させることができる。なお、ｂ端子の電圧変化は緩やかにしないと画像にフリッカが発生する。この対策のために、図３４３の実施例ではｂ端子にコンデンサＣを配置または形成している。

【１７２１】

本発明の実施例において、オペアンプ５０２は増幅回路などのアナログ処理回路として用いる場合もあるが、バッファとして使用する場合もある。

【１７２２】

以上のように、基準電流変化（点灯率制御による変化）におけるｂ端子の電圧変化（プリチャージ電圧（プログラム電圧）Ｖｐｃの変化は緩やかになるように実施する。以上のことは本発明の他の実施例においての同様に適用されることは言うまでもない（図３４３、図３３９なども参照のこと）。

【１７２３】

基準電流Ｉｃに応じてあるいは相関してプリチャージ電圧（プログラム電圧）を変化あるいは変更する構成として、図３４５にあげる実施例も例示される。図３４５の実施例では、基準電流Ｉｃ（あるいは基準電流Ｉｃに比例または相関する電流）がカレントミラー回路（トランジスタ１５８ｂ、トランジスタ１５８ｃなどで構成）が構成されている。抵抗Ｒ０はソースドライバ回路（ＩＣ）１４の外部に取り付け（配置あるいは形成）されたものである。抵抗Ｒ０を取り替えるあるいははは変更することにより電子ボリウム５０１ａ、５０１ｂの端子ｂの電圧を変更あるいは可変することができる。

【１７２４】

抵抗Ｒ０は固定抵抗、ボリウムなどに限定するものでない。ツエナーダイオード、トランジスタ、サイリスタなどの非線形素子であってもよい。また、定電圧レギュレータ、スイッチング電源などの回路あるいは素子であってもよい。また、抵抗Ｒ０の替わりにポジスタ、サーミスタなどの素子でもよい。端子ｂの電位調整とともに、温度補償も同時に実施することができる。ソースドライバ回路（ＩＣ）１４の抵抗に関しても同様に置き換えることができる。

【１７２５】

以上の事項は本発明の他の実施例にも適用できることはいうまでもない。たとえば、図１８８、図２０９の抵抗Ｒ１、図１９７、図３４６の抵抗Ｒ１～Ｒ３、図３１１のＶＲ、図３２４のＶＲ、図３３９のＲ１～Ｒ８、図３４１のＲ１、Ｒ２、図３４３のＲ０、図３５１のＲａ、Ｒｂ、Ｒｃ、図３５４のＲａ、Ｒｂなどが例示される。図３５１、図３５２、図３５３などの内蔵抵抗などにも適用できることはいうまでもない。

【１７２６】

図３４５の構成は、電子ボリウム５０１ａはＶＤＡＴＡ１の値により第１のプリチャージ電圧（プログラム電圧）Ｖａが選択され、電子ボリウム５０１ｂはＶＤＡＴＡ２の値により第２のプリチャージ電圧（プログラム電圧）Ｖｂが選択される。表示パネル（表示装置）に印加されるＶｐｃはＶａ電圧とＶｂ電圧をオペアンプなどから構成される加算回路３４５１で加算されたものとなる。以上のように複数の電子ボリウム５０１（操作手段）を用いることにより柔軟にかつ目的に対応したＶｐｃ電圧を発生させることができる。

【１７２７】

図３４５の実施例は、Ｖａ電圧とＶｂ電圧を加算してＶｐｃ電圧を発生させるとしたがこれに限定するものではない。Ｖａ電圧とＶｂ電圧を減算してもよい。また、掛算してもよい。また、Ｖａ電圧とＶｂ電圧の２電圧に限定するものではなく、３つ以上の電圧でＶｐｃ電圧を発生させてもよい。また、電圧に限定するものではなく、Ｉａ電流とＩｂ電流のように発生する対象が電流などであってもよい。この電流などを最終的に電圧であるＶｐｃに変更するものであればいずれでもよい。

【１７２８】

以上のようにプリチャージ電圧（プログラム電圧）は複数の電圧を変換あるいは合成も

しくは操作することにより発生させてもよい。以上の事項は本発明の他の実施例（たとえば、図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４が例示される）にも適用できることは言うまでもない。

【１７２９】

図３４２は電子ボリウム５０１の抵抗ＲａあるいはＲｂの大きさを変化させている。Ｒａ１＞Ｒａ２、Ｒａ＞Ｒｂとしている。図３４２のように構成することにより、プリチャージ電圧の最初のステップは電圧差が大きく、高階調になるにしたがって（高階調側では）、プリチャージ電圧のステップが小さくなるようにしている。高階調側では、駆動用トランジスタ１１ａのゲート端子電圧を少し変化させるだけで大きな出力電流（＝プログラム電流）を得ることができるからである。

【１７３０】

中間部以上の抵抗Ｒｂは同一抵抗（Ｒｂ１＝Ｒｂ２）値としてもよい。また、Ｒａ＞Ｒｂとし、Ｒａ１＝Ｒａ２＝・・・・・、Ｒｂ１＝Ｒｂ２＝・・・・・・と構成してもよい。つまり、ＶＤＡＴＡに対するプリチャージ電圧Ｖｐｃの変化は１点折れ線カーブになる。もちろん、図３３９などに図示するように、すべての抵抗Ｒは同一の抵抗値でもよい。この場合は、ＶＤＡＴＡに対するプリチャージ電圧Ｖｐｃの変化はリニアになる。なお、リニアの場合であっても、Ｒａ１＞Ｒａ２なる関係を保持しておくことが好ましい。立ち上がり電圧Ｖ０と次のプリチャージ電圧Ｖｐｃ＝Ｖ１電圧とのステップが大きいためである。

【１７３１】

ソースドライバ回路（ＩＣ）１４に内蔵する抵抗の抵抗値はトリミングにより、あるいは加熱により抵抗値を所定値となるように調整あるいは加工してもよいことは言うまでもない。

【１７３２】

ＳＤＡＴＡの値は、ＤＡ回路５０３により電圧に変換され、電子ボリウム５０１の端子ｂに印加される。なお、ＳＡＤＴＡの発生の替わりに図３１１に図示するようにアナログ的に変化させてもよいことは言うまでもない。また、図３３９などでは、基準電流の大きさなどによりｂ端子電圧を変化させるとしたが、これに限定するものではなく、固定電圧でもよい。

【１７３３】

Ｖｐｃの電圧の発生は電子ボリウム５０１により発生することに限定するものではない。たとえば、オペアンプからなる加算回路でも発生させることができる。また、複数の電圧をスイッチで選択するスイッチ回路でも構成できる。

【１７３４】

図３４８は、ｂｄ端子の電位をソースドライバ回路（ＩＣ）１４の外部で発生した電圧（Ｖ１ｃ、Ｖｃ２、Ｖｃ３）をスイッチＳの操作により選択できるように構成した実施例である。

【１７３５】

本発明において、Ｖ０端子（０階調目の電圧を印加する端子あるいはトランジスタ１１ａの立ち上がり電圧以下の電圧を印加する端子）は、ＲＧＢのプリチャージ回路（プログラム電圧発生回路）で共通でもよい。しかし、ｂ端子の電圧は、ＲＧＢで独立に設定できるように構成することが好ましい。この実施例を図３４９に示す。

【１７３６】

本発明の実施例において、オペアンプ５０２は増幅回路などのアナログ処理回路として用いる場合もあるが、バッファとして使用する場合もある。

【１７３７】

図３４９では、Ｒのプリチャージ回路（プログラム電圧発生回路）５０１Ｒ、Ｇのプリチャージ回路（プログラム電圧発生回路）５０１Ｇ、Ｂのプリチャージ回路（プログラム電圧発生回路）５０１Ｂで、ａ端子のＶ０電圧を共通に印加している。しかし、ｂ端子では、Ｒのプリチャージ回路（プログラム電圧発生回路）５０１ＲにはＶ１Ｒ電圧を印加で

きるように構成している。同様に、Ｇのプリチャージ回路（プログラム電圧発生回路）５０１ＧにはＶ１Ｇ電圧を印加できるように構成している。また、Ｂのプリチャージ回路（プログラム電圧発生回路）５０１ＢにはＶ１Ｂ電圧を印加できるように構成している。

【１７３８】

図３４０の実施例は、電子ボリウム５０１内に少なくとも１つ以上のＤＡ回路５０３を形成または構成もしくは配置した実施例である。各ＤＡ回路５０３は２つの電圧（たとえば、ＤＡ回路５０３ａは電圧Ｖ０とＶ１、ＤＡ回路５０３ｂは電圧Ｖ１とＶ２、ＤＡ回路５０３ｃは電圧Ｖ２とＶ３、ＤＡ回路５０３ｄは電圧Ｖ３とＶ４）と、ＤＡデータを設定するＶＤＡＴＡ（５：０）およびどのＤＡ回路５０３を動作させるかを選択する選択ビットＳにより制御される。

【１７３９】

各ＤＡ回路５０３はＶＤＡＴＡ（５：０）とＳ端子により制御され、それぞれ２つの電圧間の電圧を出力する。たとえば、ＤＡ回路５０３ａは、Ｓ１端子が選択されることにより、Ｖｐｃ電圧を発生する。なお、Ｓ１端子を選択する信号はスイッチＳ１のオンを制御する。また、ＤＡ回路５０３ａはＶＤＡＴＡ（５：０）の値により、Ｖ０電圧とＶ１電圧間において、ＶＤＡＴＡ（５：０）の値に対応した電圧を出力する。図３４０の実施例では、ＶＤＡＴＡは６ビットであるから、Ｖ０－Ｖ１電圧を６４分割し、この分割された単位電圧×ＶＤＡＴＡ（５：０）の値＋Ｖ１電圧が出力されることになる。

【１７４０】

同様に、ＤＡ回路５０３ｂは、Ｓ２端子が選択されることにより、Ｖｐｃ電圧を発生する。Ｓ２端子を選択する信号はスイッチＳ２のオンを制御する。また、ＤＡ回路５０３ｂはＶＤＡＴＡ（５：０）の値により、Ｖ１電圧とＶ２電圧間において、ＶＤＡＴＡ（５：０）の値に対応した電圧を出力する。図３４０の実施例では、Ｖ１－Ｖ２電圧を６４分割し、この分割された単位電圧×ＶＤＡＴＡ（５：０）の値＋Ｖ２電圧が出力されることになる。以上の事項は、ＤＡ回路５０３ｃ、５０３ｄについても同様である。

【１７４１】

図３４０のように構成すれば、Ｖ０、Ｖ１・・・・・Ｖ４電圧を変更するだけで発生するＶｐｃのカーブを変更することを容易に実現できる。つまり、図３４０のＶ１、Ｖ２、Ｖ３電圧は、階調データ（ＶＤＡＴＡ（５：０）、Ｓ１、Ｓ２、Ｓ３、Ｓ４）に対するＶｐｃの折れ曲がり位置を制御している（図３４０の構成では、３点折れガンマカーブである）。Ｖ１、Ｖ２、Ｖ３電圧を変化させることにより、階調データに対するプリチャージ電圧（プログラム電圧）の大きさあるいは傾きを変更しることが容易に実現できる。また、Ｖ０電圧を変更することにより、０階調目で印加するプリチャージ電圧（プログラム電圧）位置を変化できる。また、Ｖ４電圧を変更することによりプリチャージ電圧（プログラム電圧）を印加する最大値を変化させることができる。また、ＤＡ回路５０３の個数を増加させること、入力電圧（Ｖ０～Ｖ４）数を増加させることにより、より柔軟なプリチャージ電圧（プログラム電圧）またはガンマカーブを設定することが可能になる。

【１７４２】

図３４０の実施例では、電圧Ｖ１～Ｖ４はソースドライバ回路（ＩＣ）１４の外部から供給するとしたがこれに限定するものではない。ソースドライバ回路（ＩＣ）１４の内部で発生させてもよい。また、図３４１に図示するように、２つの電圧（Ｖ０電圧、Ｖ２電圧）を抵抗（Ｒ１、Ｒ２）で分圧してＶ１電圧を発生させてもよい。

【１７４３】

ＤＡ回路５０３ｂは、Ｓ１端子が選択されることにより、Ｖｐｃ電圧を発生する。Ｓ１端子を選択する信号はスイッチＳ１のオンを制御する。また、ＤＡ回路５０３ｂはＶＤＡＴＡ（２：０）の値により、Ｖ０電圧とＶ１電圧間において、ＶＤＡＴＡ（２：０）の値に対応した電圧を出力する。図３４１の実施例では、Ｖ０－Ｖ１電圧を８分割し、この分割された単位電圧×ＶＤＡＴＡ（２：０）の値＋Ｖ１電圧が出力されることになる。

【１７４４】

ＤＡ回路５０３ｃは、Ｓ２端子が選択されることにより、Ｖｐｃ電圧を発生する。Ｓ２

端子を選択する信号はスイッチＳ２のオンを制御する。また、ＤＡ回路５０３ｃはＶＤＡＴＡ（４：０）の値により、Ｖ１電圧とＶ２電圧間において、ＶＤＡＴＡ（４：０）の値に対応した電圧を出力する。図３４１の実施例では、Ｖ１－Ｖ２電圧を３２分割し、この分割された単位電圧×ＶＤＡＴＡ（４：０）の値＋Ｖ２電圧が出力されることになる。

【１７４５】

抵抗Ｒ１あるいは抵抗Ｒ２もしくは両方の抵抗Ｒは、ソースドライバ回路（ＩＣ）１４に内蔵させてもよい。また、一方もしくは両方の抵抗を可変抵抗としてもよい。また、抵抗Ｒ１、Ｒ２に対してトリミング加工などを実施することにより調整などをしてもよいことは言うまでもない。以上の事項は本発明の他の実施例においても適用されることは言うまでもない。

【１７４６】

図３５１は、ソースドライバ回路（ＩＣ）１４の外部に３つの抵抗（Ｒａ、Ｒｂ、Ｒｃ）を用いて、Ｖ０電圧およびＶ１電圧を発生させた実施例である。抵抗はソースドライバ回路（ＩＣ）１４の端子２８８３に接続する。アノード電圧とグランド（ＧＮＤ）間に抵抗Ｒａ、Ｒｂ、Ｒｃを直列接続している。抵抗Ｒａの両端にはＶａ電圧（Ｖｄｄ－Ｖａ＝Ｖ０）、抵抗Ｒｂ間にＶｂ電圧、抵抗Ｒｃ間にＶｃ電圧（Ｖｃ＝Ｖ１）が発生する。

【１７４７】

以上のように構成することにより、抵抗Ｒａ、Ｒｂ、Ｒｃを調整することにより電圧Ｖ０、Ｖ１を自由に設定することができる。また、図３５１の構成ではアノード端子電圧Ｖｄｄを基準でＶ０電圧、Ｖ１電圧などを発生させる構成である。したがって、アノード電圧Ｖｄｄが変動した場合、あるいは電源モジュールで発生するＶｄｄ電圧の電圧バラツキが発生した場合でも、Ｖ０電圧、Ｖ１電圧は連動して変化する。この変化は画素１６の駆動用トランジスタ１１ａの動作原点（アノード端子）と一致しているため、良好な動作を実現できる。

【１７４８】

図４８７に図示するように構成することも好ましい。図４８７は図３４０の変形例（簡略化した実施例でもある）である。図４８７は４点折れガンマの実施例であるが、これは説明を容易にするためであって、４点折れガンマ以下であっても、４点折れガンマ以下以上であってもよい。

【１７４９】

図４８７の特徴は、Ｖ０～Ｖ１、Ｖ１～Ｖ２、Ｖ２～Ｖ４間のプリチャージ電圧Ｖｐｃ数が一定でないことである。一例としてＶ０～Ｖ１はＶｐｃ０とＶｐｃ１の２個、Ｖ１～Ｖ２は３２－１＝３１個のプリチャージ電圧Ｖｐｃ、Ｖ２～Ｖ３は１２８－３２＝９６個のプリチャージ電圧Ｖｐｃ、Ｖ３～Ｖ４は２５５－３２＝２２３個のプリチャージ電圧Ｖｐｃとしている。つまり、高階調になるにしたがって、プリチャージ電圧数を多くしている。

【１７５０】

図３５６に図示するように、階調０対応するプリチャージ電圧Ｖ０はＲＧＢで共通であり（図３４９などを参照のこと）、アノード電圧Ｖｄｄに近い。また、階調１対応するプリチャージ電圧Ｖ１はＲＧＢで異なり、Ｖ１とＶ０電圧の電位差は大きい（図３５６を参照のこと）。また、Ｖ１電圧は低階調であるため、電流プログラム方法において書き込み不足が発生しやすく、ＥＬ素子の発光効率も低いため、電圧駆動を支配的にする必要がある。この理由から、図４８７では、Ｖ０電圧とＶ１電圧とをソースドライバ回路（ＩＣ）１４の外部より入力している。

【１７５１】

一方、Ｖ３電圧からＶ４電圧の範囲は、グランド（ＧＮＤ）電圧に近い。また、プログラム電流も大きいため、電流駆動が支配的となるため、基本的には、プリチャージ電圧Ｖｐｃの印加は必要でない。また、図３５６で図示するため、高階調側では、ソース信号線電位（駆動用トランジスタ１１ａのゲート電位）に対する出力電流は直線的な関係になり、少しの電位変化で出力電流は大きくなる。また、電流値も大きい。したがって、プリチ

ャージ電圧Ｖｐｃの精度は必要ない。この理由から、Ｖ３電圧とＶ４電圧の間に対応する階調数を多くしても問題ない。

【１７５２】

好ましくは、Ｖ０～Ｖ１の電位差、Ｖ１～Ｖ２の電位差、Ｖ２～Ｖ３の電位差、Ｖ３～Ｖ４の電位差は同一あるいは近傍の電圧差にすることが好ましい。近傍の電位差とは、１Ｖ以内である。このように近傍の電位差にすることにより、電圧Ｖ０～Ｖ４の発生回路が容易になり、電子ボリウム５０１の構成も簡略化することができる。

【１７５３】

以上のように、本発明は、外部から（内部で発生してもよいことは言うまでもない）印加する電圧Ｖ０～Ｖ４のそれぞれ間に対応するプリチャージ電圧数が異なっていることに特徴がある。

【１７５４】

Ｖ０電圧は、基準電流比が変化しても固定でよい。しかし、Ｖ１電圧位置は、基準電流比の変化に大きく依存する。画素１６の駆動用トランジスタ１１ａの立ち上がり電流が小さいため、基準電流比に対応して駆動用トランジスタ１１ａのゲート端子電位（プログラム時のソース信号線１８電位）を大きく変化させる必要があるからである。駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、基準電流比が大きくするにしたがって、ソース信号線１８電位を低下させる必要がある。また、基準電流比による電圧の変化は、Ｖ２電圧よりもＶ４電圧の方を大きくする必要がある。

【１７５５】

以上のように本発明は、基準電流比を変化させる駆動を実施する場合は、Ｖ０電圧を固定または、所定電圧近傍の電位を維持したまま、Ｖ１電圧以降あるいはＶ２電圧以降の電位を変化させることに特徴がある。なお、駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合は、ＧＮＤ電位側にＶ０電圧（立ち上がり電圧）が位置する。

【１７５６】

したがって、図４８７の電位関係をＮチャンネル用に変更すればよい。変更は当業者であれば容易であるので説明を省略する。以上のように、本発明は、駆動用トランジスタ１１ａがＰチャンネルトランジスタであるとして説明をするがこれに限定するものではない。Ｎチャンネルトランジスタであってもよいことは言うまでもない。

【１７５７】

図４８７はＶ０とＶ１電圧間にソースドライバ回路（ＩＣ）１４の内蔵抵抗を形成または配置した構成である。もちろん、抵抗Ｒは外づけ抵抗であってもよい。また、抵抗Ｒの抵抗値はトリミングにより調整してもよい。

【１７５８】

Ｖ０電圧は固定であり、Ｖ１あるいはＶ２電圧と連動しないのであれば、図４９１に図示するように、抵抗Ｒを形成する必要がない。また、Ｖ０電圧とＶ１電圧とは比較的電位差が大きいため、Ｖ０電圧とＶ１電圧間には大きな抵抗を形成する必要がある。大きな抵抗は、抵抗のパーツ数が増大し、ソースドライバ回路（ＩＣ）１４チップのサイズ拡大に直結する。

【１７５９】

図４９１はこの課題を解決するため、Ｖ０電圧とＶ１電圧とを独立させている。つまり、Ｖ０電圧端子とＶ１電圧端子間に抵抗を形成していない。また、Ｖ１電圧端子とＶ２電圧端子間にも抵抗を形成していない。一方、Ｖ２電圧端子とＶ８電圧端子間には抵抗Ｒを配置し、Ｖｐｃ２とＶｐｃ３間、Ｖｐｃ３とＶｐｃ４間、Ｖｐｃ４とＶｐｃ５間など１つのプリチャージ電圧端子間には、抵抗Ｒの８倍の抵抗（８Ｒ）を形成している。これは、Ｖ２電圧端子とＶ３電圧端子間は比較的電位差が大きく、抵抗Ｒの形成数が少ないと貫通電流が多く流れ消費電力が大きくなるからである。

【１７６０】

Ｖ８電圧端子とＶ３２電圧端子間には抵抗Ｒを配置し、Ｖｐｃ８とＶｐｃ９間、Ｖｐｃ９とＶｐｃ１０間、Ｖｐｃ１０とＶｐｃ１１間などのプリチャージ電圧端子間には、抵抗

Ｒの４倍の抵抗（８Ｒ）を形成している。これは、Ｖ８電圧端子とＶ３２電圧端子間も比較的電位差が大きく、抵抗Ｒの形成数が少ないと貫通電流が多く流れ消費電力が大きくなるからである。Ｖ３２電圧端子とＶ１２８電圧端子間のＶｐｃ端子間には抵抗Ｒを配置している。１パーツの抵抗で構成できるのは、Ｖ３２電圧端子とＶ１２８電圧端子間に形成されるプリチャージ電圧端子数が多いため、抵抗Ｒの構成数も多く、貫通電流が流れないからである。以上の事項は、Ｖ１２８電圧端子とＶ２５５電圧端子間も同様である。

【１７６１】

図４９１の実施例のように、Ｖ２電圧、Ｖ８電圧、Ｖ３２電圧、Ｖ１２８電圧と、４倍の階調に対応するように電圧端子を構成すると、図４９２に図示するように、折れ線ガンマのプリチャージ電圧回路を構成することができる。Ｖ２電圧とＶ８電圧との電位差、Ｖ８電圧とＶ３２電圧との電位差、Ｖ３２電圧とＶ１２８電圧との電位差、Ｖ１２８電圧とＶ２５５電圧との電位差はほぼ等しくなる。また、図４９２の折れ線ガンマは駆動用トランジスタ１１ａのＶ－Ｉ特性と一致する。

【１７６２】

以上のことから、図４９１、図４９２の実施例のように、構成することにより良好なプリチャージ駆動（プリチャージ電圧＋プログラム電流駆動など）を実現することができる。図４９１の回路構成から出力されるプリチャージ電圧により、目標のソース信号線１８電位近傍に変化し、わずかなずれ量をプログラム電流により補正できるから、均一性が非常に良好な画像表示を実現できる（図１２７～図１４２などを参照のこと）。

【１７６３】

図４９１の構成は、電圧端子はＶ０、Ｖ１、Ｖ２、Ｖ８、Ｖ３２、Ｖ１２８、Ｖ２５５の７端子の実施例である。しかし、本発明はこれに限定されるものではない。たとえば、図４９３は５１２階調の実施例であり、電圧端子位置を示している。図４９３（ａ）は、端子位置を０、１、２、４、８、３２、１２８、５１２と記載している。つまり、Ｖ０電圧端子、Ｖ１電圧端子、Ｖ２電圧端子、Ｖ８電圧端子、Ｖ３２電圧端子、Ｖ１２８電圧端子、Ｖ５１２電圧端子を形成した実施例である。

【１７６４】

図４９３（ｂ）は、端子位置を０、１、８、３２、１２８、５１２と記載している。つまり、Ｖ０電圧端子、Ｖ１電圧端子、Ｖ３２電圧端子、Ｖ１２８電圧端子、Ｖ５１２電圧端子を形成した実施例である。図４９３（ｃ）は、端子位置を０、１、２、８、３２、１２８と記載している。つまり、Ｖ０電圧端子、Ｖ１電圧端子、Ｖ２電圧端子、Ｖ８電圧端子、Ｖ３２電圧端子、Ｖ１２８電圧端子を形成した実施例である。もちろん、近傍であればよく、たとえば、Ｖ０電圧端子、Ｖ１電圧端子、Ｖ３電圧端子、Ｖ７電圧端子、Ｖ３１電圧端子、Ｖ１２７電圧端子などであってもよい。

【１７６５】

以上のように、本発明は、少なくとも電圧端子の１組が４の倍数あるいはその近傍にしたものが本発明である。なお、４倍といっても、０階調から開始されるか、１階調から開始されるかにより異なる。たとえば、図４９３は、Ｖ０、Ｖ１、Ｖ２、Ｖ８、Ｖ３２、Ｖ１２８としているが、Ｖ１、Ｖ２、Ｖ７、Ｖ３１、Ｖ１２７などであってもよい。つまり、Ｖｎ／Ｖｎ－１が４近傍になればよい。たとえば、Ｖ１２７／Ｖ３１も４近傍であるので本発明の技術的範疇である。Ｖ１、Ｖ３、Ｖ１２、Ｖ３１、Ｖ２５５などであっても１つの組み合わせであるＶ１２とＶ３の関係、つまりＶ１２／Ｖ３が４であるから本発明の技術的範疇である。

【１７６６】

各電圧端子間の電位差は、基準電流比などにより変化できるように構成することが好ましい。図４９４は各電圧端子間をボリウムＶＲで可変できるように構成した実施例である。もちろん、ＶＲの替わりにＤＡコンバータ５０１で可変してもよい。電圧ＶｄｄとＧＮＤ間に抵抗Ｒ０～Ｒ６が配置されている。基準電流比の変化に伴い、抵抗Ｒ６の端子電圧は、ボリウムＶＲで変化させる。ボリウムＶＲによりＲ０～Ｒ６の各抵抗端子の電圧は変化し、この変化は、電圧端子Ｖ１～Ｖ２５６の電圧を変化させる。Ｖ０電圧は階調０の電

圧であるため、所定電圧Ｖａに固定している。電圧端子Ｖ１～Ｖ２５６の電位は、複数のソースドライバ回路（ＩＣ）１４に共通に印加される。

【１７６７】

以上の実施例は、電圧端子Ｖ１～Ｖ２５６基準電流比に対応して変化させるとしたが、点灯率など他の変動により変化させてもよいことは言うまでもない。

【１７６８】

図４９４の実施例は、ソースドライバ回路（ＩＣ）１４の外づけ抵抗Ｒにより電圧端子に印加する電圧を変化させる構成である。しかし、本発明はこれに限定するものではない。たとえば、図４９５に図示するように、ソースドライバ回路（ＩＣ）１４の内蔵抵抗Ｒａにより、電圧端子間（Ｖ２電圧とＶ８電圧間、Ｖ８電圧とＶ３２電圧間、Ｖ３２電圧とＶ１２８電圧間）に所定電圧が印加されるように構成してもよい。

【１７６９】

図４９５などでは、Ｖ１電圧とＶ２電圧とを分離しているが、図４９６に図示するように、Ｖ１電圧をプリチャージ電圧Ｖｐｃ１とし、また、オペアンプ５０２ｃを介してプリチャージ電圧Ｖｐｃ２以降を発生するように構成してもうよいことは言うまでもない。

【１７７０】

図４８７などでは、電子ボリウム５０１の抵抗Ｒは同一として説明している。抵抗Ｒの抵抗値を同一にすることによりＩＣチップを小サイズ化できる。しかし、本発明はこれに限定するものではない。抵抗Ｒは変化させてもよい。たとえば、低階調側の抵抗値を大きくし（図３５６に図示するように、Ｖ０～低階調領域では、階調に対応する電位の電位差が大きいからである）、高階調側の抵抗値を相対的にあるいは絶対値的に小さくしてもよい。また、抵抗の抵抗値は、低階調側と高階調側の２種類あるいは複数種類で構成してもよい。以上の事項は、図１３６、図１３７、図３４１、図３４２などでも説明を行っているので説明を省略する。

【１７７１】

たとえば、図４９２に図示するガンマカーブを発生するためには、プリチャージ電圧Ｖｐｃ端子間に配置する抵抗値を２乗特性にする。この実施例を図４９７に図示する。プリチャージ電圧Ｖｐｃ端子間電圧は、１、３、５、７、９・・・・・・・と抵抗値を変化させている。

【１７７２】

図４９７などにおいて、Ｖ１電圧、Ｖ２電圧などを変化させることにより、適切なプリチャージ電圧を発生することができる。電圧の変化は、図４９８に図示するようにＤＡ回路５０１ａを用いてもよい。ＤＡ回路５０１ａは、コントローラ回路（ＩＣ）７６０が出力する８ビットデータＩＤで制御する。

【１７７３】

図５０３に図示するように、トランジスタ１５８、オペアンプ５０２からなる定電流回路で定電流Ｉｒを発生し、このＩｒを電子ボリウムの抵抗Ｒに流すことによりプリチャージ電圧Ｖｐｃを可変することができる。抵抗Ｉｒはボリウム ＶＲなどで変化させる。

【１７７４】

以上の実施例は、プリチャージ駆動方式の実施例として説明したが、本発明はこれに限定されるものではない。電圧駆動方式（たとえば、図２などの画素構成を有するＥＬ表示パネルの駆動方法）にも適用できることは言うまでもない。電圧駆動では、ＲＧＢのＥＬ素子のガンマカーブが異なるため、ＲＧＢ独立のガンマ回路が必要である。

【１７７５】

図４９１の構成と、図４９７の構成とを組み合わせ、図５２７のように構成してもよい。図５２７は、たとえば、Ｖ１電圧とＶ２電圧間のタップ間の抵抗値を一定の抵抗ではなく、４Ｒ、２Ｒ、Ｒなど変化させている。変化することにより、図４９２のカーブが、曲線状となり、よりトランジスタ１１ａのＶＩ特性と一致するようになる。なお、図１３１から図１４２などの実施例と組み合わせても良いことは言うまでもない。

【１７７６】

図５２５は、電圧入力端子（電圧入力タップ）に、デジタルデータを入力し、ＤＡ変換器５０１ａで電圧を発生させた構成である。図５２５は一例として、Ｖ２電圧を入力する端子に、８ビットのＶ２ＤＡＴＡからなるデジタルデータを印加した構成である。また、Ｖ３電圧を入力する端子に、８ビットのＶ３ＤＡＴＡからなるデジタルデータを印加した構成である。端子に印加するデータをデジタルデータとし、可変できるように構成することにより、図４９２のカーブを自由に設定あるいは可変することができる。また、点灯率などに対応して、あるいは温度など、または動画と静止画の比率に応じてに対応して、図４９２のカーブを可変あるいは設定することができる。

【１７７７】

以上のように、本発明のソースドライバ回路（ＩＣ）１４において、プリチャージ電圧を発生する回路構成は、多種多様な構成が含まれる。また、以上の事項は、プリチャージ電流あるいは過電圧Ｉｄを発生する回路構成にも適用できることは言うまでもない。

【１７７８】

図４９９は、以前に説明した本発明のプリチャージ電圧回路を電圧駆動方式に適用した実施例である。ＲＧＢのＶ０電圧は共通である。電子ボリウム５０１ＲはＲの電圧発生回路である。また、電子ボリウム５０１ＧはＧの電圧発生回路である。電子ボリウム５０１ＢはＢの電圧発生回路である。図４９９に構成することによりＲＧＢ独立ガンマカーブを発生することができ、良好なホワイトバランスを実現することができる。

【１７７９】

以上のように、プリチャージ電圧を発生する本発明の回路構成、駆動方式は電圧駆動方式にも適用できることは言うまでもない。つまり、電圧＋電流駆動に限定されるものではない。

【１７８０】

図４８７では、全階調範囲において、プリチャージ電圧Ｖｐｃを対応させるとしているが、本発明はこれに限定するものではない。書き込み電流あるいは書き込み電圧が不足する領域に限定してプリチャージ電圧Ｖｐｃ発生回路を構成または配置してもよい。たとえば、図４８７では、電流駆動であり、低階調領域で書き込み不足が発生する（と想定する）。したがって、低階調の該当するＶ０～Ｖ１２８までプリチャージ電圧発生回路を構成し、それ以上は、省略してもよいことは言うまでもない。また、０階調目と偶数階調目のみにプリチャージ発生回路を構成したりするように、対応する階調を間欠にしてもよいことは言うまでもない。また、階調１２８以上のプリチャージ電圧はＶｐｃ２５５のみであってもよい。プログラム電流が支配的に動作するからである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【１７８１】

図３３９、図３４１ではｂ点電位は可変することができる構成である。ｂ点電位を可変する必要があるのは、本発明の駆動方法では基準電流を可変するからである（基準電流を変化あるいは制御する方式として図６１、図６３、図６４、図９３～図９７、図１１１～図１１６、図１２２、図１４５～図１５３、図１８８、図２５２、図２５４、図２６７、図２６９、図２７７、図２７８、図２７９などとその説明を参照のこと）。図３５０は駆動用トランジスタ１１ａのゲート端子電圧（横軸）と出力電流（縦軸）の関係を図示している。縦軸はプログラム電流Ｉｗを示す。プログラム電流Ｉｗは基準電流と比例する。また、横軸のゲート端子電圧はソース信号線１８の電位を示す。また、ソース信号線１８の電位はプリチャージ電圧（プログラム電圧）と同一である。

【１７８２】

以上のことから、図３５０は、基準電流ＩｃがＩ１で、ソース信号線１８から最大プログラム電流（最高階調時）の時は、ソース信号線１８の電位がＶ１となるようにプリチャージ電圧（プログラム電圧）を印加する必要があることを示している。同様に、基準電流ＩｃがＩ２で、ソース信号線１８から最大プログラム電流（最高階調時）の時は、ソース信号線１８の電位がＶ２となるようにプリチャージ電圧（プログラム電圧）を印加する必要があることを示している。また、基準電流ＩｃがＩ３で、ソース信号線１８から最大プ

ログラム電流（最高階調時）の時は、ソース信号線１８の電位がＶ３となるようにプリチャージ電圧（プログラム電圧）を印加する必要があることを示している。

【１７８３】

ここで、基準電流ＩｃがＩ１からＩ３まで３倍変化するとする。つまり、Ｉ３：Ｉ２：Ｉ１＝３：２：１とする。この時、Ｖ３、Ｖ２、Ｖ１は、検討の結果によれば最適値は、Ｖ３：Ｖ２：Ｖ１＝１１．５：１１：１０である。つまり、基準電流の変化が３倍あっても、プリチャージ電圧Ｖｐｃの変化はわずかである。以上のことから、Ｖｐｃの変化は小さくてよい。プリチャージ電圧の変化Ｋｖ（図３５０ではＶ３／Ｖ１）は、基準電流の変化Ｋｉ（図３５０ではＩ３／Ｉ１）の関係は、２　＜　Ｋｉ／Ｋｖ　＜　３．５の関係を維持させることが好ましい。

【１７８４】

図３５０から、基準電流Ｉの値が大きく変化させる場合であっても、プリチャージ電圧の変化は小さい。したがって、図３３９、図３４１などにおけるＶ１電圧は、基準電流が大きく変化しても変化量は小さくてすむ。そのため、ＤＡ回路５０３の出力変化は小さくて十分である。図３３９、図３４１ではＶ１電圧を基準電流に合わせて変化させるとしたが、図３５１の実施例のように端子２８８３ｃの電圧は固定でも実用上は問題が発生しない。逆に、最大プリチャージ電圧（プログラム電圧）の可変範囲が少なくて済み回路構成を簡略化できる。また、高精度の出力が可能になる。

【１７８５】

電流駆動方式において、電流書き込み不足が発生するのは、低階調領域である。また、書き込み不足が発生する領域は、図３５０のＶ０電圧（０階調目：駆動用トランジスタ１１ａの立ち上がり電圧）から、ＶｘまでのＡ区間である。この範囲は点線に記載しているように直線的な変化を示す。図３５０ではＡで示す区間は傾きを小さく表現している。実用上はこのような傾きが実線の曲線よりも小さくて十分である。図１２７～図１４３などで説明した電圧印加（プリチャージ電圧（プログラム電圧）印加）を実施した後、プログラム電流を印加する方法では、完全な補正がされたソース信号線１８電位とプリチャージ電圧印加によるソース信号線の電位との差（図３５０では実線と点線との電流差として現れる）があっても、プログラム電流により完全な補正が実現できるからである。

【１７８６】

重要なのはプリチャージ電圧（プログラム電圧）をソース信号線１８に印加し、理想的はソース信号線１８の電位（駆動用トランジスタ１１ａがプログラム電流により実現されるゲート端子電位）の近傍まで短時間（１Ｈの１／２００以上１／２０以下の時間）で設定または調整することである。この動作により理想（補償された）ソース信号線１８電位からプログラム電流により実現するソース信号線１８までに変化させる電位差が小さくなっている。したがって、比較的小さなプログラム電流（低階調領域でのプログラム電流）でも理想状態を実現できる（駆動用トランジスタ１１ａの特性を補償した電流プログラムを実現できる）。高階調領域ではプログラム電流の大きさが大きいためプリチャージ電圧（プログラム電圧）を印加せずとも、プログラム電流のみで理想状態を達成（実現）できる。

【１７８７】

以上のことから、書き込み不足が発生する範囲は低階調領域に限定される。また、高階調領域でプリチャージ電圧（プログラム電圧）は必要ない（もちろん、プリチャージ電圧を印加してもよい）。プリチャージ電圧（プログラム電圧）を印加すべき領域は全階調範囲に必要ではなく、中間調以下の領域で十分である。プリチャージ電圧を印加する領域を中間階調以下と範囲を限定することにより、図１３１、図１３５～図１４２、図３３９～図３４１、図３５１、図３５３などの電子ボリウムのタップ数を削減できる。したがって、回路の簡略化が可能であり、低コスト化を実現できる。

【１７８８】

図３５０に図示する点線に対応してプリチャージ電圧（プログラム電圧）を発生する（出力する）ように構成すると、電子ボリウム５０１の各抵抗は同一の抵抗値のものを配置

して構成することができる。したがって、電子ボリウム５０１の回路構成がシンプルになり好ましい。

【１７８９】

しかし、図３５９に図示するように、理想的には、プリチャージ電圧（プログラム電圧）の印加による出力電流Ｉは等間隔（等ステップ）となるようにすることが好ましい。電圧０から電圧Ｖ０、電圧Ｖ０から電圧Ｖ１の差は大きい。電圧Ｖ４と電圧Ｖ５の差は小さい。このようなステップ（きざみ）を実現するには、電子ボリウム５０１の抵抗の大きさを変化させればよい。

【１７９０】

プリチャージ電圧（プログラム電圧）を設定（指定）する電圧階調データと、プログラム電流を設定（指定）する電流階調データとは一致させることが好ましい。映像データが階調１２８であれば、電圧階調データも１２８とし、電流階調データも１２８とする。つまり、ガンマ変換などを行った後の映像データの番号＝電圧階調データの番号＝電流階調データとする（映像データの番号で図１３１、図３３９、図３５１などの電子ボリウム５０１のスイッチＳを決定して動作させてプリチャージ電圧（プログラム電圧）Ｖｐｃをソース信号線１８に印加する。また、映像データの番号で図１５などのスイッチ１５１のオンオフ状態を決定し、電流回路１６４あるいは単位トランジスタ群４３１ｃを操作させる。

【１７９１】

各映像データに対して、プリチャージ電圧（プログラム電圧）を印加するか否かは、コントロールＩＣ７６０で制御し、プリチャージビットにより制御する（図７５～図７９およびその説明を参照のこと）。ソース信号線１８の電位状態（各画素に書き込む１つ前のプリチャージ電圧（プログラム電圧）の印加状態）により、あるいは映像データの大きさ（低階調領域ではプリチャージ電圧（プログラム電圧）を印加する）により、プリチャージ電圧（プログラム電圧）を印加するか否かが判断される。したがって、低階調領域の映像データであっても、プリチャージ電圧（プログラム電圧）を印加しないこともある。

【１７９２】

また、高階調領域の映像データであっても、プリチャージ電圧（プログラム電圧）が印加されることもある。本発明は、プリチャージ電圧（プログラム電圧）を判定するビットをソースドライバに内蔵する点、プリチャージ電圧（プログラム電圧）を印加するか否かを判定あるいはプリチャージ電圧（プログラム電圧）を映像データ（階調）に対応して制御方法あるいは技術的思想を有する点に特徴がある。

【１７９３】

以上のように構成あるいは制御することにより、ソースドライバ回路（ＩＣ）１４の構成が容易になり、また、コントローラＩＣ（回路）７６０からソースドライバ回路（ＩＣ）１４に伝送するデータが少なくなる（電圧階調データの番号、電流階調データが必要でなく、映像データのみでよい）ため、伝送データの周波数を低減できる。

【１７９４】

選択できるＶｐｃの電圧の個数は、表示装置が６インチ以上の場合は、表示装置の階調数の１／８以上にすることが好ましい（２５６階調の場合は、３２階調以上）。特に、１／４以上とすることが好ましい（２５６階調の場合は、６４階調以上）。比較的高階調領域までプログラム電流の書き込み不足が発生するからである。しかし、先に説明したように全階調範囲でプリチャージ電圧（プログラム電圧）を印加できるように構成あるいは形成することは必要ではない。

【１７９５】

６インチ以下の比較的小型の表示パネル（表示装置）では、選択できるＶｐｃの電圧の個数は、２以上にすることが好ましい。ＶｐｃがＶ０の１つであっても良好な黒表示を実現できるが、低階調領域で階調表示することが困難な場合があるからである。Ｖｐｃが２以上であれば、ＦＲＣ制御により複数の階調を発生することができ、良好な画像表示を実現できる。

【１７９６】
プリチャージ電圧（プログラム電圧）はゲート信号線１７ａを制御する電圧（Ｖｇｈ１、Ｖｇｌ１）により変化させることが好ましい。特にＶｇｌ１電圧によりプリチャージ電圧（プログラム電圧）を変化させる。駆動用トランジスタ１１ａのゲート端子の寄生容量とＶｇｌ１電圧の振幅により駆動用トランジスタ１１ａのゲート端子電位が変化してしまうからである。
【１７９７】
図３５５に図示するように、Ｖｇｌ１電圧が低くなるほど駆動用トランジスタ１１ａの立ち上がり電圧が変化する。たとえば、Ｖｇｌ１＝０Ｖの時は、立ち上がり電圧（０階調目として印加するプリチャージ電圧（プログラム電圧））はＶ２であるが、Ｖｇｌ１＝－４Ｖの時は、立ち上がり電圧（０階調目として印加するプリチャージ電圧（プログラム電圧））はＶ１、Ｖｇｌ１＝－９Ｖの時は、立ち上がり電圧（０階調目として印加するプリチャージ電圧（プログラム電圧））はＶ０とアノード電位（図３５５ではＶｄｄ）に近づく。したがって、図３３９などのＶ０電圧をＶｇｌ１電圧と連動させて変化させることが好ましい。また、Ｖ１電圧も変化させることが好ましい。
【１７９８】
以上の事項は、本発明の他の実施例に適用できることは言うまでもない。また、以上の技術的思想を本発明の表示装置、表示パネル、表示方法などに適用できることも言うまでもない。
【１７９９】
図３５２は図３５１の変形例である。図３５２では、抵抗Ｒａ、抵抗Ｒｂをソースドライバ回路（ＩＣ）１４に内蔵している。端子２８８３ｂにＶｄｄ電圧を印加し、端子２８８３ｃとグランド間に抵抗Ｒｃを接続する。図３５２のように構成することにより外づけ抵抗が１つになる。ただし、抵抗Ｒｃの値はＲＧＢごとに個別に設定できるように構成することが好ましい。なお、端子２８８３ｃには電圧を直接入力してもよいことは言うまでもない。また、抵抗Ｒｃもソースドライバ回路（ＩＣ）１４に内蔵させてもよい。
【１８００】
抵抗Ｒａはトリミングなどにより調整してもよい。また、抵抗が拡散抵抗で形成されている場合は加熱により抵抗値調整をすることも可能である。また、電子ボリウムあるいは抵抗スイッチ回路に構成することにより所定の抵抗値に設定あるいは調整してもよい。以上の事項は図３５２、図３５３などの他の実施例にも適用できることは言うまでも無い。図３５２では抵抗Ｒａを調整することを実施例として記載している。図３５３は抵抗Ｒｂを調整することを実施例として記載している。
【１８０１】
図３５３は、端子２８８３ｂにＶｄｄ電圧を印加し、端子２８８３ｃに外づけ抵抗Ｒｃを接続している。ａ点の電位とｂ点の電位との電位差は抵抗Ｒｂを調整することにより設定する。また、抵抗Ｒｃの値を調整することによりｂ端子の電位を調整する。
【１８０２】
基準電流ＩｃによりＶ１電圧を調整する実施例として、図３５４の構成が例示される。図３５４では基準電流Ｉｃ（もしくは基準電流Ｉｃに相関あるいは比例する電流Ｉｃ）が外づけ抵抗Ｒｂに流れ込むように構成されている。したがって、端子２８８３ｂの電圧Ｖｂは、抵抗Ｒｂ×Ｉｃとなる。この電圧がトランジスタ１５８ｂのゲート端子電圧となる。トランジスタ１５８ｂは電圧Ｖｂによりチャンネル間電圧（ＳＤ電圧）が発生し、Ｉｂ電流が外づけ抵抗Ｒａに流れる。端子２８８３ａの電圧Ｖ１はＶｄｄ－Ｒａ×Ｉｂとなる。したがって、基準電流Ｉｃの大きさの変化がＶ１電圧の変化となる。電子ボリウム５０１の動作は以前に説明したので省略する。
【１８０３】
以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４が例示される。また、各実施例で説明した内容は、それぞれの実施

例と選択してあるいは複合してもしくは組み合わせて実施例を構成することができることは言うまでもない。

【１８０４】

ソースドライバ回路（ＩＣ）１４に内蔵する抵抗の抵抗値はトリミングにより、あるいは加熱により抵抗値を所定値となるように調整あるいは加工してもよいことは言うまでもない。また、外づけ抵抗についても同様である。

【１８０５】

図２９３など（他の実施例でもよい）において、抵抗アレイ２９３１（抵抗Ｒ）などはＩＣチップ１４またはソースドライバ回路（ＩＣ）１４内に内蔵するとしたが、これに限定するものではない。ＩＣ（回路）１４にディスクリート部品で外づけしてもよいことは言うまでもない。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃは抵抗Ｒなどを用い発生することに限定するものではなく、オペアンプあるいはトランジスタなど他の部品で構成してもよいことは言うまでもない。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃは一定の電圧をＰＷＭ変調などによりパルス状に発生し、コンデンサなどにより平滑化して所定のプログラム電圧を得るように構成あるいは形成もしくは作製してもよいことは言うまでもない。また、プリチャージ電圧（プログラム電圧と同義あるいは類似）ＶｐｃはＩＣ（回路）１４内で発生することに限定するものではない。ＩＣ（回路）１４の外部で発生し、ＩＣ（回路）１４の端子から入力して、ＩＣ（回路）１４ではスイッチなどで適応するプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃを選択するように構成してもよい。

【１８０６】

また、コントローラ回路（ＩＣ）７６０の制御データにより、プリチャージ電圧（プログラム電圧と同義あるいは類似）ＶｐｃはＩＣ（回路）１４の外部で発生し、ＩＣ（回路）１４の内部に取り込んでソース信号線１８などに印加するように構成してもよいことは言うまでもない。以上に記載した事項は、図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４などの本発明の他の実施例にも適用できることは言うまでもない。

【１８０７】

図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４などで説明したように、本発明では、プリチャージ電圧（プログラム電圧と同義あるいは類似）（電圧データ）を印加し、その後、プログラム電流を印加する。プログラム電流Ｉｗはより階調性を増加させるためにＦＲＣ技術を用いる。一般的に１０ビットのデータを４ＦＲＣの８ビットで表現する。

【１８０８】

本発明では、図３１３で図示するようにプリチャージ電圧もＦＲＣ化している。たとえば、図３１３（ｂ）は４ＦＲＣの駆動方法である。図３１３（ｂ）において、白○（白丸）はプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加（出力）されたことを示しており、黒○（黒丸）はプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されていないことを示している。つまり、図３１３（ｂ）（１）では、４フレーム（フィールド）で１回しかプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されないことを示している。

【１８０９】

同様に図３１３（ｂ）（２）では、４フレーム（フィールド）で２回しかプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されないことを示しており、図３１３（ｂ）（３）では、４フレーム（フィールド）で３回プリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されることを示している。図３１３（ｂ）（４）では、４フレーム（フィールド）ともプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されることを示している。

【１８１０】

以上の動作（方法）を実施することによりプリチャージ電圧（プログラム電圧と同義あ

るいは類似）で階調表示を増大することができる。したがって、階調数が増加しより良好な画像表示を実現できる。つまり、低階調領域では主としてプリチャージ電圧（プログラム電圧と同義あるいは類似）で階調表示を実現し、高階調領域ではプログラム電流により階調表示を実現する。

【１８１１】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４が例示される。

【１８１２】

なお、プリチャージ電圧（プログラム電圧と同義あるいは類似）の印加はフリッカの発生を防止するため、図３１３（ｃ）に図示（４ＦＲＣで２回プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する実施例）するように、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するタイミングを変化させることが好ましい。

【１８１３】

低階調領域においては、プリチャージ電圧（プログラム電圧と同義あるいは類似）などの電圧データ（ＶＤＡＴＡ）は短時間でソース信号線１８を充放電することができる。一方、プログラム電流Ｉｗなどの電流データ（ＩＤＡＴＡ）は、目的の電圧（電流）までソース信号線１８を充放電するのに時間を必要とする。したがって、同一の目標であるＥＬ素子１５の電流にするための動作は、電流プログラムの方が強くする必要がある。

【１８１４】

そこで、図３１３（ａ）に図示するように、階調１では電流データ（ＩＤＡＴＡ）は階調を高めのデータとする（たとえば、階調１ではＩＤＡＴＡ＝１とするのが本来であるが、４とし、４倍の電流を流す）。プリチャージ電圧（プログラム電圧と同義あるいは類似）（ＶＤＡＴＡ）は１としている（本来の値である）。同様に階調２では電流データ（ＩＤＡＴＡ）は階調を高めのデータとする（たとえば、階調２ではＩＤＡＴＡ＝２とするのが本来であるが、６とし、３倍の電流を流す）。プリチャージ電圧（プログラム電圧と同義あるいは類似）（ＶＤＡＴＡ）は２としている（本来の値である）。

【１８１５】

以上のように電流データを大きな値とすることにより精度のよりプログラムを実現できる。なお、中間調以上では、電流データと電圧データは同一（階調ｋでは、ＩＤＡＴＡ＝ＶＤＡＴＡ＝ｋ）にするか、もしくは電圧データの印加をしない。

【１８１６】

なお、ｃ電位あるいはｄ電位は、点灯率、アノード電流、ｄｕｔｙ比などによって変化させてもよいことは言うまでもない。また、図３１３に図示するＦＲＣの技術思想に対しても同様に適用できることは言うまでもない。また、以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４が例示される。

【１８１７】

図２９４はプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃを選択する回路部を中心とした説明図である。抵抗アレイ２９３１の出力は電圧セレクタ回路２９４１に入力される。電圧セレクタ回路２９４１はアナログスイッチとデコーダ回路から構成され、選択信号ＶＳＥＬの３ビット信号により１つのプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加される（図２９６を参照のこと）。選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）は配線１５０を介して端子１５５から出力される。

【１８１８】

端子１５５から出力されたプリチャージ電圧（プログラム電圧と同義あるいは類似）は、ソース信号線１８の寄生容量であるＣｓに保持される。したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）の出力は点順次動作を行ってもよい。しかし、点順次動作では端子１と端子ｎ（最終端子）ではプリチャージ電圧（プログラム電圧と同義

あるいは類似）の印加時間が異なる。

【１８１９】

この課題に対しては、図２９５に図示するように電圧セレクタ回路２９４１を２つ形成または構成する。第１Ｈ期間では、電圧セレクタ回路２９４１ａが出力する。すると、Ｃ１に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）が、セレクタ回路２９５１のスイッチＳ１が選択されることにより、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃは端子１５５から出力される。この期間（第１Ｈ期間）は、電圧セレクタ回路２９４１ａ２が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）ＶｐｃがＣ２に保持されていく。また、セレクタ回路２９５１のスイッチＳ２はオープンである。

【１８２０】

第１Ｈ期間の次の第２Ｈ期間では電圧セレクタ回路２９４１ｂが出力し、Ｃ２に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）がセレクタ回路２９５１のスイッチＳ１を介して端子１５５から出力される。この期間（第２Ｈ期間）は、電圧セレクタ回路２９４１ａ１が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）ＶｐｃがＣ１に保持されていく。また、セレクタ回路２９５１のスイッチＳ１はオープンである。

【１８２１】

図３５１などで、電子ボリウム５０１にオープン端子を設けている。しかし、これは説明を容易にするためであって、必ずしも電子ボリウム５０１内に構成あるいは形成することに限定するものではない。たとえば、図３８７に図示するように、プログラム電圧（プリチャージ電圧）の電圧階調回路１２７１の出力側にスイッチ１５１ｂ（セレクタ回路）を配置または形成し、プリチャージ電圧などを端子１５５から出力するモード（駆動方式）の場合は、スイッチ１５１ｂをａ端子側にし、他のモードではスイッチ１５１ｂをｂ端子側に設定（ａ端子を選択しない）するように構成してもよい。

【１８２２】

同様に、第２Ｈ期間の次の第３Ｈ期間では電圧セレクタ回路２９４１ａが出力し、Ｃ１に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）が、セレクタ回路２９５１のスイッチＳ１が選択されることにより、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃが端子１５５から出力される。この期間（第３Ｈ期間）は、電圧セレクタ回路２９４１ａ２が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）ＶｐｃがＣ２に保持されていく。また、セレクタ回路２９５１のスイッチＳ２はオープンである。第３Ｈ期間の次の第４Ｈ期間では電圧セレクタ回路２９４１ｂが出力し、Ｃ２に保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）がセレクタ回路２９５１のスイッチＳ１を介して端子１５５から出力される。この期間（第４Ｈ期間）は、電圧セレクタ回路２９４１ａ１が順次動作し、選択されたプリチャージ電圧（プログラム電圧と同義あるいは類似）ＶｐｃがＣ１に保持されていく。また、セレクタ回路２９５１のスイッチＳ１はオープンである。以上の動作を順次繰り返す。

【１８２３】

図３０８はプリチャージ電圧（プログラム電圧と同義あるいは類似）を出力する本発明の他の実施例である。プリチャージ電圧（プログラム電圧と同義あるいは類似）を選択あるいは決定するＶＤＡＴＡにより電子ボリウム５０１のスイッチが動作し、該当するプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃがコンデンサ Ｃｃに保持される。保持されたプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃはサンプリング回路８６２により保持され、出力するソース信号線１８のアドレスデータＰＡＤＲＳにより選択された出力のＣａ～Ｃｎに保持される。なお、ＰＡＤＲＳの指定データはドットクロックＣＬＫに同期して変化する。また、ＶＤＡＴＡは、映像データに対応して変化させる（図１２７から図１４３などの説明を参照のこと）。

【１８２４】

したがって、プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃは１Ｈの期間で各出力端子に対応する保持用コンデンサＣａ～Ｃｎに保持される。ソース信号線１８にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するときは、スイッチＳｐが一斉に一定期間クローズする。この時、スイッチＳｉはオープン状態にされ、プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃが電流回路４３１ｃに逆流することを抑制する。図２９５の電圧セレクタ回路２９４１でプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃを選択する。なお、プリチャージ電圧Ｖｐｃの選択はラッチ回路７７１で行ってもよい。このことは図３０８の実施例においても同様である。なお、図３０８においても図２９５に図示するように２段構成にすることが好ましいことは言うまでもない。

【１８２５】

図３０８はプリチャージ電圧（プログラム電圧と同義あるいは類似）をサンプルホールドする回路構成であったが、本発明はこれに限定するものではない。図３０９に図示するように複数のプリチャージ電圧（プログラム電圧と同義あるいは類似）を発生しておき、選択してもよい。

【１８２６】

図３０９ではプリチャージ電圧（プログラム電圧と同義あるいは類似）として固定のＶｐａ、Ｖｐｂと、ボリウム（ＶＲ）などで任意に変化できるＶｐｃが選択できる。プリチャージ電圧（プログラム電圧と同義あるいは類似）は２ビットのセレクタ信号（ＳＥＬ）により選択される。ＳＥＬ信号によりプリチャージ電圧（プログラム電圧と同義あるいは類似）を選択するスイッチＳｐが選択される。図３０９の表に示すように、ＳＥＬが０の時、いずれのプリチャージ電圧（プログラム電圧と同義あるいは類似）も選択されない。つまり、ソース信号線１８にはプリチャージ電圧（プログラム電圧と同義あるいは類似）は印加されない。ＳＥＬが１の時は、スイッチＳｐ１が選択されプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐａがソース信号線１８に印加される。ＳＥＬが２の時は、スイッチＳｐ２が選択されプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｂがソース信号線１８に印加される。また、ＳＥＬが３の時は、スイッチＳｐ３が選択されプリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐｃがソース信号線１８に印加される。

【１８２７】

図３０９において、電流出力回路の電流プログラムデータ（ＤＡＴＡａ、ＤＡＴＡｂ）は、ラッチ回路７７１で保持され、１Ｈごとに切り換えられる。つまり、第１Ｈではラッチ回路７７１ａが選択され、この期間はラッチ回路７７１ｂにはドットクロックに同期して順次データが保持される。第２Ｈではラッチ回路７７１ｂが選択され、この期間はラッチ回路７７１ａにはドットクロックに同期して順次データが保持される。保持されたデータは水平同期信号に同期してスイッチＳａ（Ｓａａ、Ｓａｂ）で切り換えられトランジスタ群４３１ｃの出力電流（プログラム電流など）が確定される。

【１８２８】

図３１０は主として図３０９の構成をより具体的に図示したものである。プリチャージ電圧（プログラム電圧と同義あるいは類似）Ｖｐ（Ｖｐａ、Ｖｐｂ、Ｖｐｃ、ｏｐｅｎ）を伝達するプリチャージ電圧（プログラム電圧と同義あるいは類似）配線ＰＳ（ＰＳａ、ＰＳｂ、ＰＳｃ、ＰＳｄ）がソース信号線１８に直交するように配線される。プリチャージ電圧（プログラム電圧と同義あるいは類似）配線ＰＳと内部配線１５０とは直交し、各交点にスイッチＳｐが配置されている。スイッチＳｐは図３０９に図示するようにＳＥＬ信号で切り換えられる。なお、プリチャージ電圧（プログラム電圧と同義あるいは類似）は１Ｈの最初の期間に全ソース信号線１８一斉に印加される。したがって、ＳＥＬ信号もラッチして保持しておく必要がある。

【１８２９】

以上の実施例は、ソースドライバＩＣ１４を介して、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加するものであったが、本発明はこれに限定するものではな

い。たとえば、アレイ３０基板に形成したプリチャージ電圧（プログラム電圧と同義あるいは類似）用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧（プログラム電圧と同義あるいは類似）線に印加されたプリチャージ電圧（プログラム電圧と同義あるいは類似）をソース信号線１８に印加するように構成してもよいことは言うまでもない。

【１８３０】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４が例示される。

【１８３１】

図７７、図７８はソースドライバ回路（ＩＣ）１４（プログラム電流を出力する回路あるいはＩＣ）などにプリチャージビットをラッチするラッチ回路７７１を構成あるいは形成したものであったが、本発明はこれに限定するものではない。たとえば、プログラム電圧を出力するソースドライバ回路あるいはＩＣにも適用できる。

【１８３２】

前記ソースドライバ回路（ＩＣ）１４にプリチャージ機能あるいはプリチャージ信号をラッチするラッチ回路あるいはプリチャージの選択信号線を配置または構成することにより、プログラム電圧をソース信号線１８に書き込む前に、ソース信号線の電位を所定値にすることができ、書込み安定度を向上できる。

【１８３３】

図７７、図７８などでは、プリチャージ信号線（ＲＰＣ、ＧＰＣ、ＢＰＣ）は１本とし、また、それに対応するラッチ回路は２段で各１ビットとして説明したが、本発明はこれに限定するものではない。たとえば、図７５に図示するようにプリチャージ信号が４ビットから構成される場合は、プリチャージ信号線は４本が必要である。したがって、プリチャージ信号のラッチ回路も２段で４ビット分が必要となることは言うまでもない。また、ラッチ回路７７１は図７７に図示するように２段に限定するものではない。３段以上で構成してもよいことは言うまでもない。たとえば、４段に構成すれば、ソース信号線１８に書き込む電流信号は２倍の時間確保できるようになり好ましい。また、プリチャージ信号線はＲ、Ｇ、Ｂで個別に設ける必要はないことは言うまでもない。ＲＧＢで共通の信号線としてもよい。

【１８３４】

以上のように、本発明のソースドライバ回路（ＩＣ）１４などは、ソースドライバ回路に、ソース信号線１８にプログラム電流あるいはプログラム電圧を書き込む時に、プリチャージ信号を印加するかしないかを選択する判定ビットを保持する回路を有している。また、判定ビットに保持する信号あるいは想定される信号を伝達する信号入力端子を有するものである。

【１８３５】

点灯率に応じて、ソース信号線に印加するプリチャージ電圧（プログラム電圧と同義あるいは類似）を変化あるいは変更してもよい。たとえば、点灯率に対して図７５における選択信号Ｄの値を変化し、電子ボリウム５０１を制御して端子１５５から出力されるプリチャージ信号を変化させる。点灯率に応じて駆動用トランジスタ１１ａに流れる電流が変化するため、最適なプリチャージ電圧（プログラム電圧と同義あるいは類似）の大きさ（とくに電圧駆動で階調表示をする場合）が変化する。点灯率により、最適な階調表示になるように電子ボリウム５０１を制御することにより階調表示などが実現できる。

【１８３６】

以上の実施例では、点灯率に応じて、プリチャージ電圧（プログラム電圧と同義あるいは類似）を変化させるとしたが、本発明はこれに限定するものではない。基準電流比に応じてプリチャージ電圧（プログラム電圧と同義あるいは類似）を変化させてもよい。基準電流の大きさによっても、駆動用トランジスタ１１ａに流れる電流が変化し、最適なプリチャージ電圧（プログラム電圧と同義あるいは類似）（駆動用トランジスタ１１ａのゲー

ト端子に印加する電圧）が変化するからである。また、アノード（カソード）端子の電流の大きさによってもプリチャージ電圧（プログラム電圧と同義あるいは類似）を変化させてもよい。

【１８３７】

図１２７～図１４３、図２９３、図３１１、図３１２、図３３９～図３４４などでは、画素行ごとに順次プリチャージ電圧（プログラム電圧）を印加するか否かを判断するように説明したが、本発明はこれに限定されるものでない。例えば、インターレース駆動の場合は、第１フィールドで奇数画素行にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、第２フィールドで偶数画素行にプリチャージ電圧（プログラム電圧と同義あるいは類似）するように駆動してもよい。

【１８３８】

また、任意のフレームで、プリチャージ電圧（プログラム電圧と同義あるいは類似）を各画素行に印加し、次のフレームでは、プリチャージ電圧（プログラム電圧と同義あるいは類似）を全く印加しない駆動方法も例示される。また、各画素行にランダムにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、複数フレームで平均的に各画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）が印加されるように駆動してもよい。

【１８３９】

また、特定の低階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する駆動方式が例示される。また、特定の高階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する駆動方式が例示される。また、特定の中間階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する構成も例示される。また、１Ｈまたは複数Ｈ前のソース信号線電位（画像データ）から、特定階調範囲の画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する構成も例示される。

【１８４０】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。たとえば、図１２７から図１４３、図２９３～図２９７、図３０８～図３１３、図３３８～図３４５、図３４９～図３５４が例示される。

【１８４１】

以下、本発明のＥＬ表示パネルあるいはＥＬ表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。ＥＬ表示パネルは特にＢの色度が悪いという課題があり、一方でＲの色度が非常によいという事実がある。そのため、画像を表示した場合、表示色が本来の画像と異なってしまう場合がある。図１４４の色度のＸＹ座標において、実線がＮＴＳＣの色範囲である。点線が有機ＥＬの色範囲である。ＮＴＳＣの色再現範囲と有機ＥＬの色再現範囲とがずれているために、特に樹木の緑が多い画像表示において葉が枯葉色になるという課題が発生する。

【１８４２】

この課題を解決する方策が、カラーマネージメント処理である。これは、信号処理により画像の色補正を行うものである。また、色フィルタ５８６１により画像の色度を改善する方策も例示される（図５８６を参照のこと）。

【１８４３】

色フィルタ５８６１によりＥＬ表示パネルの色純度を改善するためには、図５８６に図示するように、表示パネル７１の光出射側に色フィルタ５８６１を配置または構成あるいは形成すればよい。色フィルタ５８６１は図３６０（ａ）に図示するように、偏光フィルム１０９とパネル７１間に配置または形成してもよい。色フィルタ５８６１は、シアン色をカットするものを用いることによりＢの色度を改善することができる。色フィルタ５８６１は、樹脂からなるフィルタの他、光学的干渉多層膜からなる干渉フィルタを用いても良い。なお、色フィルタ５８６１は、図５８６（ｂ）に図示するように偏光フィルム（円偏光フィルムを含む）１０９上または下に形成または配置してもよい。また、色フィルタ

５８６１または偏光フィルム１０９に光拡散剤あるいは光を拡散させる構成を付加することにより、視野角が良好になり、色ビートを低減させることができる。

【１８４４】

回路的にカラーマネージメント（色補正処理）を実現するためには、各トランジスタ群４３１から出力されるＲＧＢの単位トランジスタ１５４出力割合を変化させるとよい。有機ＥＬでＢの色度が悪く（一方でＲの色度がよい）、樹木の葉が枯葉になる現象を抑制するためには、Ｂの電流を大きくするか、Ｒの電流を小さくすればよい。また、Ｇの電流を大きくする方策の有効である。つまり、表示画像のＲ、Ｇ、Ｂ電流の比率から表示画像の色度位置を判断し、Ｒ、Ｇ、Ｂのうち少なくとも１つの出力電流の大きさを変化させる（本発明のカラーマネージメント処理方法）。

【１８４５】

トランジスタ群４３１ｃの出力電流を調整するためには、図４６などにおける電流Ｉｃを調整すればよい（ＲＧＢで）。なお、本発明の実施例において本明細書で説明した事項、構成、方法、装置は適用できることは言うまでもない。

【１８４６】

電流Ｉｃを調整する構成は、図１４５に例示している。図１４５（ａ）は８ビットのデータをＤＡ回路６６１でアナログ信号に変換し、オペアンプ５０２ａに入力し、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。

【１８４７】

図１４５（ｂ）は８ビットのデータをＤＡ回路６６１でアナログ信号に変換し、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。ただし、図１４５（ｂ）の構成はＤＡ回路６６１の出力電圧に対する電流Ｉｃ変化は非線形となる。

【１８４８】

図１４５（ｃ）は８ビットのデータをＤＡ回路６６１でアナログ信号に変換し、トランジスタ１５７ｂを介して、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。ただし、図１４５（ｃ）の構成はＤＡ回路６６１の出力電圧に対する電流Ｉｃ変化は非線形となる。

【１８４９】

図１４６は電子ボリウム回路５０１を用いた回路構成である。図６０の電子ボリウム回路５０１の端子電圧ＶｓにＤＡ回路６６１の出力を接続した構成である。他の構成は図６０、図５０、図４６などと同様あるいは類似であるので説明を省略する。つまり、電流Ｉｃは電子ボリウム５０１により切り換えられるとともに、カラーマネージメント処理のＤＡ回路６６１の出力によっても調整することができる。

【１８５０】

なお、図１４５と図１４６の構成を組み合わせも良いことは言うまでも無い。また、図１４６において電子ボリウム５０１を制御することによりカラーマネージメント処理を実施してもよいことは言うまでのない。

【１８５１】

図１４７は図１４６の変形例である。オペアンプ５０２ａの入力端子ｃに直接電圧Ｖｃを入力できるように構成している。なお、Ｖｃを入力する時は、電子ボリウム５０１はいずれのスイッチＳも選択されずオープンになるように制御される。ＩＣ１４外部からのＶｃ電圧の印加により、容易に電流Ｉｃを制御あるいは調整することができる。

【１８５２】

図１４８は、ＤＡ回路６６１ａの電源電圧ＶｄａをＤＡ回路６６１ｂで変化させることにより、オペアンプ５０２ａの入力端子電圧を変化させるものである。入力端子電圧により出力電流Ｉｃはリニアに変化する。

【１８５３】

図１４８において、ＤＡ回路６６１ａの出力電圧は８ビットのデジタルデータによりリ

ニアに変化し、さらにＤＡ回路６６１ａの出力電圧は、ＤＡ回路６６１ｂの出力電圧によりリニアに変化する。図１４８に回路構成では電流Ｉｃの変化の幅が大きく、かつ変化はリニアであるので構成として好ましい。

【１８５４】

カラーマネージメント処理は、各ＲＧＢの電流により制御する。なお、ＲＧＢの電流とは点灯率で表現することができる（ｄｕｔｙ比は１／１とする）。ｄｕｔｙ比が１／１のとき、点灯率は画像データの総和と最大値から算出することができる。カラーマネージメント処理を実施するときは、点灯率はＲＧＢ個別で求める。つまり、Ｒの点灯率、Ｇの点灯率、Ｂの点灯率を求め（Ｒの消費電流、Ｇの消費電流、Ｂの消費電流を求めていることになる）、一定の割合の範囲、大きさでカラーマネージメント処理を実施する。画面に白表示が多い状態では、ホワイトバランスがとれているため、カラーマネージメント処理は不要だからである。

【１８５５】

図１４９（ａ）（ｂ）はカラーマネージメント処理方法の説明図である。ｄｕｔｙ比制御は以前にも説明したようにＥＬ表示パネルの消費電流を平均化するために実施している。カラーマネージメント処理は、基準電流Ｉｃの調整により実施している。図１４９（ａ）（ｂ）では点灯率が高い範囲で、Ｒの基準電流Ｉｃｒを低下させるとともに、Ｂの基準電流Ｉｃｂを増加させている。また、Ｂの基準電流Ｉｃｂは点灯率が中間レベル（３０％～６０％）の範囲でも増加させて調整を行っている。以上の処理によりＥＬ表示装置のカラーマネージメント処理を良好に実現できる。

【１８５６】

図１５０は、点灯率が低い領域でＲＧＢの基準電流Ｉｃを増加させている。これは、低点灯率で画像のダイナミックレンジを増大させるためである。Ｂの点灯率が高い領域でＢの基準電流Ｉｃｂを増大させている点がカラーマネージメント処理である。以上のように、本発明は画像のダイナミック処理とカラーマネージメント処理の両方を、基準電流制御により実現できる。

【１８５７】

図１５１はＲの基準電流Ｉｃｒを複数のレベルに制御する方式である。以上のように本発明は基準電流を自由に調整することによりカラーマネージメント処理を実施することができる。

【１８５８】

図１５２はＲＧＢの点灯率から基準電流を制御する方式であった。しかし、ＥＬ表示パネルのカラーマネージメント処理は、ＲとＢの電流（Ｉｃｒ、Ｉｃｂ）の割合により制御してもよい。図１５２はその実施例の説明図である。図１４９（ａ）（ｂ）の横軸の点灯率の替わりにＢ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）としている。Ｂ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）が一定以上になった時に、Ｂ基準電流Ｉｃｒを変化させている。

【１８５９】

同様に、図１５２は図１４９（ａ）（ｂ）横軸の点灯率の替わりにＢ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）としている。また、図１５３では、Ｂ点灯率／（Ｒ点灯率＋Ｇ点灯率）（Ｂ消費電流／（Ｒ消費電流＋Ｇ点灯率））が一定以上になった時に、Ｂ基準電流Ｉｃｒを変化させている。

【１８６０】

以上の図１４５から図１４８の構成は、電流Ｉｃの調整あるいは制御する構成である。電流Ｉｃを変化させることによりトランジスタ群４３１ｃの出力電流を変化させることができる。したがって、この構成はカラーマネージメント処理だけでなく、階調制御あるいは、トランジスタ４３１ｃなどの出力電流制御、ホワイトバランス調整回路として用いることができることは言うまでもない。

【１８６１】

以上の実施例では、基準電流Ｉｃの調整により、カラーマネージメント処理を実施する

としたが、これに限定するものではない。ｄｕｔｙ比の調整あるいは、各ＲＧＢの非表示領域５１の割合を変化あるいは制御もしくは調整することにより、ＲＧＢの輝度を個別に調整することができる。したがって、これらの構成あるいは方法を用いてカラーマネージメント処理を実施してもよいことは言うまでもない。

【１８６２】

以上の実施例は、主としてＲＧＢのＥＬ素子１５の色度がＮＴＳＣの色度と異なるために、カラーマネージメントを実施する方法または構成（装置）であった。しかし、カラーマネージメントの必要性はこれらの実施例だけでなく、ＥＬ素子１５の発光効率によっても必要である。

【１８６３】

図３２１は、ＲＧＢのＥＬ素子のＥＬ電流と輝度の関係を示すグラフである。図３２１に図示するように、ＧはＥＬ電流が大きくなっても輝度は比例的に増加する関係にある。しかし、ＲはＥＬ電流Ｉ０以上で輝度の増加が緩やかになる（比例しない＝発光効率が低下する）。また、ＢはＥＬ電流Ｉ１以上で輝度の増加が緩やかになる（比例しない＝発光効率が低下する）。

【１８６４】

以上のことから、ＥＬ電流がＩ１以上でＢの輝度が相対的に低下しホワイトバランスが取れなくなる。さらにＩ０以上のＲの輝度も相対的に低下しホワイトバランスが取れなくなる。以上の課題を解決し、ＥＬ電流の変化に対するホワイトバランスを維持するためには、図３２２の点線（Ｒ’、Ｂ’）に図示するように、階調に対するＥＬ電流の関係を非線形性にする必要がある。図３２２では、階調Ｋ２以上でＲのＥＬ電流を増加させている（Ｒ’）。また、階調Ｋ１以上でＲのＥＬ電流を増加させている（Ｂ’）。

【１８６５】

以上の制御は、階調に応じて、ＲＧＢの基準電流を変化させることにより容易に実現することができる。たとえば、Ｒに対しては、図３２３に図示するように基準電流を変化させてばよい。つまり、階調Ｋ２以上でＲの基準電流比を１からＲのＥＬ素子の効率に逆比例させて増加させる。また、Ｂに対しては、図３２３に図示するように基準電流を変化させる。つまり、階調Ｋ１以上でＢの基準電流比を１からＢのＥＬ素子の効率に逆比例させて増加させる。

【１８６６】

有機ＥＬ表示パネルのように、自己発光デバイスは固定パターン表示時での画像焼付けが課題となる。焼付けとは、有機ＥＬの材料などが発光などで劣化し、発光強度が低下する現象などをいう。この焼付けを防止するためには、固定パターンの表示時に表示画像の表示位置を時間的に移動させるのが得策である。たとえば、１分間隔で画面位置を移動させる。移動は１画素あるいは２画素程度にすることが好ましい。３画素以上では、表示画像が移動したこと視覚的に認識されてしまう。

【１８６７】

表示画像１２６４の移動とは、図１７７に図示するように、位置１９３ａに移動させたり、位置１９３ｂの位置に移動させたりすることである。移動が上下、左右に１画素あるいは２画素の移動を行う。

【１８６８】

移動タイミングは、点灯率で判断する。点灯率が急変するときに画面移動制御を行う。点灯率が急変の状態とは、画面が暗い状態から明るい状態（たとえば、夜のシーンから、昼の海のシーンへの変化など）、画面が明るい状態から暗い状態の変化、ドラマのシーンからＣＭのシーンの変更などである。

【１８６９】

点灯率が急変する状態では、シーン（画面）が急変する状態である。画面の状態が急変するため、画像の表示位置が変化しても視覚的に認識されることはない。画像の内容（画像の表示状態）が全く変化する場合がほとんどだからである。この点灯率の急変を利用して画像の表示位置を変化させ固定パターンの焼付けを抑制することができる。

【１８７０】
点灯率が急変とは、変化が２倍以上あるいは１／２以下変化した場合である。たとえば、ある時刻での点灯率が１０％であれば、点灯率が２０％以上あるいは点灯率が５％以下に変化する状態である。以上のように、点灯率が変化した場合に、画面の表示位置を変化させる。画面の表示位置の変化は水平あるいは垂直方向のスタートパルスを１クロックあるいは２クロック分遅延させることにより行う。この動作はカウンタの比較値を変化させることにより実現できる。
【１８７１】
点灯率が急変する時とは、アノード電流あるいはカソード電流が急変する時と同義である。したがって、点灯率の急変とは、アノード電流あるいはカソード電流が２倍あるいは１／２以上変化する場合である。この場合に画面位置を変化させる。たとえば、アノード電流またはカソード電流が５０ｍＡであれば、アノード電流またはカソード電流が１００ｍＡ以上あるいは２５ｍＡ以下に変化した場合に、画面位置を変化させる。
【１８７２】
本発明では、点灯率、アノード電流あるいはカソード電流は、ｄｕｔｙ比と連動させる。したがって、点灯率が急変とは、ｄｕｔｙ比が２倍あるいは１／２以上変化した状態と同義である。つまり、ｄｕｔｙ比が変化したあるいは変化させた場合に、ｄｕｔｙ比と連動させて画面位置を変化させる。たとえば、図１７８に図示するように、点灯率１～２５％の時（ｄｕｔｙ比１．０）に、矢印のようにｄｕｔｙ比が０．５に変化させた場合に、画面の表示位置を変化させる。
【１８７３】
以上の実施例では、点灯率などが変化するときに、画面の表示位置を変化させるとしたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態になるとき（たとえば、電源がオンされたとき）に、画面表示位置が前回の表示位置と変化させるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させる。
【１８７４】
焼きつきを防止するには、画像のエッジをぼかすことも有効である。つまり、画像データを積分（ローパスフィルタ）することにより、画像のエッジがぼける（微分を反対の処理である）。特に点灯率が低いときは、黒表示に画像が表示され、また、点灯率が低い時はｄｕｔｙ比を低くするので画素の輝度が高い。したがって、焼付けがし易いなる。つまり、低点灯率の時に、画像のエッジをぼやかす（積分処理）をする。つまり、本発明は、点灯率に応じて、画像の積分処理を変化させる。点灯率が低いときは積分処理を大きくし、点灯率が高い時は積分処理を小さくする（通常の表示にする）。
【１８７５】
以上の実施例を図１７９に図示する。積分処理比が１とは、積分処理をしない状態である。この比率が大きくなるにつれ、積分処理が強くなり、画素エッジがぼける。図１７９では、点灯率５０％以上で通常表示であり、点灯率２５～５０％で積分処理比４～１に変化させる。点灯率２５％以下では積分処理比４に固定する。以上のように制御することにより画素エッジの焼きつきを緩和することができる。
【１８７６】
本発明の実施例において、点灯率は、基本的にはアノード電流あるいはカソード電流の大きさと同義あるいは類似である。したがって、アノード電流あるいはカソード電流の大きさに対応して積分処理比を変化させてもよい。また、アノード電流あるいはカソード電流は、ｄｕｔｙ比と連動させる。したがって、ｄｕｔｙ比に連動させて、積分処理比を変化させてもよい。
【１８７７】
以上の実施例では、点灯率などが変化するときに、画面の表示位置を変化させるとしたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態になるとき（たとえば、電源がオンされたとき）に、画面表示位置が前回の表示位置と変化させるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させる。

【１８７８】
図１９２に図示するように、４：３の画面に１６：９などのワイド表示を行う場合は、図１９２（ａ）と図１９２（ｂ）で図示するように１画素行あるいは２画素行をずらせてもよい。この制御は、以上に説明したように、点灯率制御、基準電流制御、ｄｕｔｙ比制御、アノード（カソード）電流制御、オンオフ制御に同期して実施するとよい。
【１８７９】
本明細書において、基準電流を変化させるとして説明をした。基準電流を変化させることは、ソース信号線に流れるプログラム電流Ｉｗを変化させることである。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８に流れるプログラム電流Ｉｗを可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。
【１８８０】
本発明は、基準電流を変化することによりソースドライバ回路（ＩＣ）１４の端子１５５から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できることを特徴としている。
【１８８１】
本発明の駆動方法において、プログラム電流ＩｗとＥＬ素子１５に流れる電流Ｉｅは略一致する。したがって、基準電流を可変あるいは制御もしくは調整するとは、駆動用トランジスタあるいはＥＬ素子１５に流れる電流Ｉｅ（Ｉｗ）を可変あるいは制御もしくは調整
すると置き換えることができることは言うまでもない。ただし、図３１、図３６などの画素構成では、ＥＬ素子１５に流れる電流ＩｅとＩｗとは一致しない。しかし、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８に流れるプログラム電流Ｉｗを可変あるいは制御もしくは調整すると言うことはでき、略比例的にＥＬ素子１５に流れる電流を可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。
【１８８２】
図１２８、図１２９、図１３０などで説明したように、基準電流を変化させることは、ソース信号線１８の電位を変化させることである。たとえば、基準電流を増大させるとプログラム電流Ｉｗは比例して（相関して）大きくなり、ソース信号線１８の電位を低下させる（駆動用トランジスタがＰチャンネルの時）。逆に、基準電流を小さくするとプログラム電流Ｉｗは比例して（相関して）小さくなり、ソース信号線１８の電位を上昇させる（駆動用トランジスタがＰチャンネルの時）。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８の電位を、比例的に、あるいは一定の割合で、あるいは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できること同義である。
【１８８３】
図２７１から図２７６で説明した本発明の駆動方法では、複数の画素行を同時に選択し、プログラム電流Ｉｗを選択した画素行に分割して（平均して）印加する。たとえば、４画素行を同時に選択し、プログラム電流がＩｗとすると、理想的には１画素行に書き込まれるプログラム電流ＩｐはＩｗ／４となる。また、２画素行を同時に選択し、プログラム電流がＩｗとすると、理想的には１画素行に書き込まれるプログラム電流ＩｐはＩｗ／２となる。
【１８８４】
以上のように駆動すると、１画素行には選択された画素数で分割されたプログラム電流Ｉｐが書き込まれる。したがって、画素１６の表示輝度は分割された画素行分の１になる。したがって、表示輝度は暗くなる。これを防止するためには、基準電流を増加させればよい。たとえば、図１７１のように、２画素行を同時に選択した場合は、基準電流を２倍にすることにより輝度低下することはなくなる。つまり、本発明の駆動方法は、選択した画素数倍に基準電流を増加させて駆動するものである。

【１８８５】
増加させる基準電流は、完全に選択した画素数倍にする必要はない。評価結果によれば、選択した画素数をＮとし、増加させる基準電流の倍率をＣとした時、Ｎ・Ｃは０．８以上１．２以下に制御すればよい。この範囲であればフリッカなどは発生せず、良好な画像表示を実現できる。
【１８８６】
本発明は以上の実施例に限定されない。選択する画素行数（選択信号線数：図２７７（ａ）（ｂ）～図２７９（ａ）（ｂ）の縦軸）を点灯率により変化させてもよい。図２７７（ａ）（ｂ）では、点灯率２５％以下で選択信号線数（画素行数）を２画素行とし（図２７１の駆動方法となる）、点灯率２５％以上では、選択信号線数（画素行数）を１画素行とし（図２３の駆動方法となる）としている。また、点灯率２５％以下では、画素１６の輝度が低下することがないように、基準電流（基準電流比）も２倍としている（点灯率２５％以上の範囲に対して）。
【１８８７】
以上のように、点灯率に応じて選択する画素行数を変化させ、また、基準電流比を変化させるのは、低点灯率領域において画面１４４に黒表示領域が多く、クロストークが目立ちやすいためである。クロストークはプログラム電流Ｉｗを大きくするほど、解消する。プログラム電流Ｉｗは基準電流Ｉｃの大きさに比例する。したがって、基準電流Ｉｃ（基準電流比）を大きくすることにより、プログラム電流Ｉｗが大きくなり、クロストークが解消する。しかし、プログラム電流Ｉｗが大きくなると画素の輝度も比例して高くなってしまう。これを解消するために図２７１で説明した駆動法を実施して選択本数を多くし、プログラム電流Ｉｗを選択した画素行分の１のＩｐとすることにおり輝度が高くなることを防止する。
【１８８８】
図２７７（ａ）（ｂ）では、点灯率２５％以下で選択信号線数（画素行数）を２画素行とし、基準電流比を２倍とする。したがって、画素１６の輝度は、選択信号線数（画素行数）を１画素行とし、基準電流比を１倍とした場合と同一になる。点灯率２５％以上では、図２３と同一の駆動方法であり、選択信号線数（画素行数）を１画素行とし、基準電流（基準電流比）も１倍としている。
【１８８９】
本発明はこれに限定するものではない。図２７８（ａ）（ｂ）のように駆動してもよい。図２７８（ａ）（ｂ）では、点灯率２５％以下で選択信号線数（画素行数）を２画素行とし、基準電流比を４倍とする。したがって、画素１６の輝度は従来に対して２倍となる。しかし、基準電流比が４倍となっているので、クロストークの発生は完全に防止できる。なお、輝度が２倍になることを抑制するためには、点灯率２５％以下の領域において、ｄｕｔｙ比を１／２とすればよい。つまり、選択信号線数（画素行数）と、基準電流比と、ｄｕｔｙ比を連動させればよい。
【１８９０】
図２７８（ａ）（ｂ）では、点灯率２５％以上７５％以下では、選択信号線数（画素行数）を１画素行とし、基準電流比を２倍とする。したがって、画素１６の輝度は従来に対して２倍となる。輝度が２倍になることを抑制するためには、ｄｕｔｙ比を１／２とすればよい。同様に、点灯率７５％以上では、選択信号線数（画素行数）を１画素行とし、基準電流比を１倍とする。したがって、画素１６の輝度は、ｄｕｔｙ比を１／１とすれば従来と同一である。なお、この点灯率領域などにおいて、ｄｕｔｙ比を１／１未満とすることにより画面１４４の輝度を抑制でき、パネルの消費電力を抑制できる。
【１８９１】
図２７９（ａ）（ｂ）は本発明の他の実施例である。図２７９（ａ）（ｂ）では、点灯率２５％以下で選択信号線数（画素行数）を４画素行とし、基準電流比を４倍とする。したがって、画素１６の輝度は従来と同一である。基準電流比が４倍となっているので、クロストークの発生は完全に防止できる。点灯率２５％以上５０％以下では、選択信号線数

（画素行数）を２画素行とし、基準電流比を２倍とする。したがって、画素１６の輝度は従来と同様である。点灯率５０％以上７５％以下では選択信号線数（画素行数）を１画素行とし、基準電流比を２倍とする。したがって、画素１６の輝度は従来の２倍となる。点灯率７５％以上では、選択信号線数（画素行数）を１画素行とし、基準電流比を１倍とする。したがって、画素１６の輝度は従来と同様である。

【１８９２】

図２７７～図２７９などで説明したように、たとえば、選択信号線数を２倍にする時は、基準電流比を２倍にする。つまり、選択信号線数をＮ倍にする時は、基準電流比をＮ倍にすることにより、理論上、表示輝度は一定に保たれる。しかし、実際には、ゲート信号線１２ａから駆動用トランジスタ１１ａのゲート端子への突き抜け電圧状態が変化し、選択信号線数を変化した時に、多少ではあるが輝度変化が発生する場合がある。輝度変化が発生するとフリッカとして認識される。

【１８９３】

この課題に対しては、選択信号線数を変化させる時は、点灯率が急変する時に実施する。点灯率が急変する時とは、画面のシーンが変化した時、チャンネルを切り換えた時などが例示される。より具体的には、ある画面（シーン）の点灯率に対して１００％以上変化した時に選択信号線数を変化させ、同時にあるいは一定の遅延あるいは進みをもたせて基準電流比を連動させる。たとえば、点灯率１０％であれば、点灯率２０％あるいは５％に変化した時に選択信号線数を変化させ、同時にあるいは一定の遅延あるいは進みをもたせて基準電流比を連動させる。

【１８９４】

以上のように、本発明は、特に低点灯率の時（低階調表示が多い画面）に、選択信号線数を増加すると伴に、基準電流を増加させ、ソース信号線１８の寄生容量の充放電を高速にして書き込み不足を解消することを特徴とする。また、選択信号線数の変更は、点灯率が変化した時に実施する。

【１８９５】

以上のように、本発明の駆動方法は、選択信号線数（画素行数）と、基準電流比と、ｄｕｔｙ比あるいはこれらの組み合わせにより制御を実施し、クロストークなどの発生を抑制するものである。

【１８９６】

以上のように、点灯率に基づいて、基準電流を変化させると説明しているが、点灯率に基づいて、ソース信号線に流れるプログラム電流Ｉｗを変化させることであり、また、ソース信号線１８に流れるプログラム電流Ｉｗを可変あるいは制御もしくは調整することである。また、ソースドライバ回路（ＩＣ）１４の端子１５５から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。また、点灯率もしくはデータ和に基づいて、ソース信号線１８の電位あるいは駆動用トランジスタのゲート端子電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。

【１８９７】

点灯率に基づいてとは、映像信号のデータ和に基づいてとも置き換えることができることは言うまでもない。特に電流駆動の場合は、映像信号の大きさが画素１６に流れる電流に比例するからである。また、点灯率はアノード端子（カソード端子）に流れる電流に比例あるいは相関する。したがって、点灯率に基づいてとはアノード端子（カソード端子）に流れる電流の大きさにもとづいてと置き換えることができることは言うまでもない。もちろん、ＥＬ素子１５に流れる電流として置き換えることもできる。

【１８９８】

点灯率は連続量でなくともよい。例えば、第１のアノード電流の時を点灯率１とし、第２のアノード電流の時と点灯率２とし、点灯率１と時と、点灯率２の時で制御を変化させるという制御を実施してもよい。つまり、本発明の点灯率による制御とは、複数の点灯率

状態で変化あるいは制御するものである。

【１８９９】

本発明は第１の点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい。また、データの総和などであってもよい。）において、第１のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

【１９００】

また、第２の点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい。また、データの総和などであってもよい。）において、第２のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい。また、データの総和などであってもよい。）に応じて（適応して）、ＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させるものである。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【１９０１】

図３７５では、コンデンサ信号線３７５１を操作することにより、駆動用トランジスタ１１ａのゲート端子電位を制御し、良好な黒表示を実現するとした。この黒表示を点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）によって、制御を実施してもよい。点灯率（アノード端子のアノード電流などでもよい。また、データの総和などであってもよい。）が高いときは、白表示部分が画像の大半を占める。また、ハレーションが発生するため黒表示を良好にする必要はない。点灯率が低い場合は、黒表示部分の画像が大半を占める。したがって、良好な黒表示を実現する必要がある。しかし、突き抜け電圧を高くし、駆動用トランジスタ１１ａのゲート端子の電位シフト量を大きくすることは、駆動電圧のマージンを高くすることになり、結局、ＥＬ素子１５の負荷を大きくすることになる。

【１９０２】

以上の課題を解決するため、図３７９に図示するように、点灯率により、コンデンサ信号線３７５１の電位シフト量を変化させている。コンデンサ信号線３７５１の電位シフト量を大きくすると、駆動用トランジスタ１１ａのゲート端子の電位シフト量が大きくなる。なお、以下の実施例ではコンデンサ信号線３７５１の電位シフトを変化させるとするが、本発明はこれに限定するものではない。本発明の動作（制御方式など）は、点灯率に対応して駆動用トランジスタ１１ａのゲート端子の電位をシフトさせることである。また、点灯率が小さい時に、電位シフト量を大きくする（駆動用トランジスタ１１ａに電流が流れにくいように操作（制御）する）ものである。

【１９０３】

低点灯率では、コンデンサ信号線３７５１の電位シフト量を大きくする。電位シフト量を大きくすることより、駆動用トランジスタ１１ａのゲート端子の電位シフト量が大きくなり、良好な黒表示を実現できる。点灯率が２５～５０％の範囲では電位シフト量は一定に保持されている。この点灯率の範囲は画像表示でよく出現する範囲であり、点灯率に応じて変化させるとフリッカが発生する。

【１９０４】

なお、点灯率による電位シフトの変化は、遅延させて（ゆっくりと）実施する。高点灯率では、コンデンサ信号線３７５１の電位シフト量を小さくする。電位シフト量を小さくすることより、ＥＬ素子１５の負荷が軽減されて長寿命化を実現できる。

【１９０５】

電流駆動方式では、低階調領域においてプログラム電流が小さくなり、書き込み不足が発生することが課題である。この課題の対策のために本発明では、プリチャージ駆動、電圧＋電流駆動、基準電流制御などを実施する。

【１９０６】

電流駆動で書き込み不足が発生する原因は、図３８０に図示するようにソース信号線１８の寄生容量Ｃｓによる影響が大きい。寄生容量Ｃｓはゲート信号線１７とソース信号線１８との交差部などで発生する。

【１９０７】

以下の説明は説明を容易にするために、画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで、かつ吸い込み電流（ソースドライバ回路（ＩＣ）１４に吸い込む電流）で電流プログラムを実施する場合であるとして説明をする。画素１６の駆動用トランジスタ１１ａがＮチャンネルトランジスタの場合あるいは駆動用トランジスタ１１ａを吐き出し電流（ソースドライバＩＣ１４から吐き出す電流）で電流プログラムを実施する場合は逆の関係にする。逆の関係に変更あるいは読み変えることは当業者であれば容易であるので説明を省略する。

【１９０８】

以下の説明は画素１６の駆動用トランジスタ１１ａがＰチャンネルに限定されるものではない。また、画素構成は図１の画素構成を例示して説明をするが、これに限定するものではなく、図１２などの他の電流駆動の画素構成であればいずれでもよいことも言うまでもない。なお、以上の事項は、以前あるいはこれ以降に記載する本発明に適用されることはいうまでもない。

【１９０９】

図３８０（ａ）に図示するように、黒表示（低階調表示）から白表示（高階調表示）に変化する時は、ソースドライバ回路（ＩＣ）１４がシンク電流で駆動することが主体である。ソースドライバ回路（ＩＣ）１４がプログラム電流Ｉｄ１（Ｉｗ）で寄生容量Ｃｓの電荷を吸い込む。電流を吸い込むことにより、寄生容量Ｃｓの電荷を放電し、ソース信号線１８の電位が低下する。したがって、画素１６の駆動用トランジスタ１１ａのゲート端子電位が低下し、プログラム電流Ｉｗを流すように電流プログラムが行われる。

【１９１０】

白表示（高階調表示）から黒表示（低階調表示）に変化する時は、画素１６の駆動用トランジスタ１１ａの動作が主体である。ソースドライバ回路（ＩＣ）１４は黒表示の電流を出力するが、微小であるため実効的に動作しない。駆動用トランジスタ１１ａが動作し、プログラム電流Ｉｄ２（Ｉｗ）の電位に一致するように寄生容量Ｃｓを充電する。寄生容量Ｃｓに電荷を充電することにより、ソース信号線１８の電位が上昇する。したがって、画素１６の駆動用トランジスタ１１ａのゲート端子電位が上昇し、プログラム電流Ｉｗを流すように電流プログラムが行われる。

【１９１１】

しかし、図３８０（ａ）の駆動は低階調領域では電流Ｉｄ１が小さく、また、定電流動作のため、寄生容量Ｃｓの電荷の放電に非常に長時間を必要とする。特に白輝度に到達するまでの時間が長いため白ウインドウ表示で上辺の輝度が所定輝度より低い。そのため、視覚的にめだつ。図３８０（ｂ）は駆動用トランジスタ１１ａが非線形動作するため、比較的電流Ｉｄ２が大きい。そのため、Ｃｓの受電時間が比較的はやい。また、特に黒輝度に到達するまでの時間が短いため白ウインドウ表示で下辺の輝度が低下しやすく、視覚的にめだたない。

【１９１２】

プログラム電流の書き込み不足の課題を解決するために、電圧＋電流駆動、突き抜け電圧駆動、ｄｕｔｙ駆動、プリチャージ駆動を実施する。しかし、この方法だけでは、パネルが大型になれば、図３８０（ａ）の黒から白表示の実現が困難になる場合がある。この対策として、本発明では、１Ｈの前半にソースドライバ回路（ＩＣ）１４からのプログラム電流を増加させる。なお、後半は正規のプログラム電流Ｉｗを出力する。つまり、所定

条件の時は、１Ｈの最初に所定のプログラム電流よりも大きな電流をソース信号線１８に流し、後半に正規のプログラム電流をソース信号線１８に流す。以下この実施例について説明をする。

【１９１３】

以下に説明する駆動方法（駆動装置あるいは駆動方式）を過電流（プリチャージ電流もしくはディスチャージ電流）駆動と呼ぶ。また、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は本発明の他の駆動方式あるいは駆動装置（電圧＋電流駆動、突き抜け電圧駆動、ｄｕｔｙ駆動、プリチャージ駆動など）と組み合すことができることは言うまでもない。また、図８１などの差動信号ＩＦなどの他の実施例と組み合わせることができることも言うまでもない。

【１９１４】

図３８１は本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式を実施したソースドライバ回路（ＩＣ）１４の説明図である。基本構成は図１５、図５８、図５９の構成である。ただし、図示を容易とするため、単位トランジスタ１５４が１個の電流回路はトランジスタ群１６４ａとし、’１’で図示している。以下同様に、単位トランジスタ１５４が２個の電流回路はトランジスタ群１６４ｂとし、’２’で図示している。また、単位トランジスタ１５４が４個の電流回路はトランジスタ群１６４ｃとし、’４’で図示している。単位トランジスタ１５４が８個の電流回路はトランジスタ群１６４ｄとし、’８’で図示している。以下同様である。なお、説明を容易にするため、ＲＧＢは、各６ビットとしている。

【１９１５】

図３８１の構成は、過電流（プリチャージ電流もしくはディスチャージ電流）のプログラム電流を流すトランジスタ群はトランジスタ群１６４ｆとしている。つまり、階調データの最上位ビットのスイッチＤ５をオンオフ制御することにより、過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に流す。過電流（プリチャージ電流もしくはディスチャージ電流）を流すことにより寄生容量Ｃｓの電荷を短時間で放電させることができる。

【１９１６】

最上位ビットを過電流（プリチャージ電流もしくはディスチャージ電流）制御に使用するのは、以下の理由による。まず、説明を容易にするため、１階調から４階調に変化させるとする。また、階調数は２５６階調（ＲＧＢ各６ビット）とする。

【１９１７】

１階調から白階調に変化させる場合であっても、１階調から中間調以上（１２８階調以上）に変化させる場合は、プログラム電流の書き込み不足は発生しない。プログラム電流が比較的大きく、寄生容量Ｃｓの充放電が比較的早いからである。

【１９１８】

しかし、１階調から中間調以下に変化する場合は、プログラム電流が小さく、１Ｈ期間に寄生容量Ｃｓを十分に充放電させることができない。したがって、１階調から４階調などのように、中間調以下に階調変化させることを改善させる必要がある。この場合に、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【１９１９】

以上のように変化する階調が中間調以下であるから、プログラム電流の指定に最上位ビットは使用しない。つまり、１階調から変化させる場合、目標の階調は、’０１１１１１’以下である（最上位ビットのスイッチＤ５は絶えずオフ状態である。本発明はたえず、オフ状態の最上位ビットを制御して過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する。

【１９２０】

最初の階調（変化前の階調）が１であれば、スイッチＤ０がオンで単位トランジスタ１５４ｃが１個動作する。目標の階調が４であれば、スイッチＤ２が動作し、単位トランジスタ１５４ｃが４個動作する。しかし、単位トランジスタ１５４ｃが４個では十分に寄生

容量Ｃｓの電荷を目標値まで放電させることができない。そこで、スイッチＤ５を閉じトランジスタ群１６４ｆを動作させる。なお、Ｄ５スイッチの動作は、Ｄ２スイッチの動作に加えて実施してもよいし（１Ｈの前半をＤ５とＤ２スイッチをオンさせ、後半はＤ２スイッチのみをオンさせる）、１Ｈの前半はスイッチＤ５のみをオンさせ、後半はスイッチＤ２のみをオンさせてもよい。

【１９２１】

スイッチＤ５がオンすれば、単位トランジスタ１５４ｃが３２個動作する。したがって、Ｄ２スイッチのみの動作に比較して３２／４＝８であるから８倍の速度で寄生容量Ｃｓの電荷を放電させることができる。したがって、プログラム電流の書き込み改善が可能である。

【１９２２】

スイッチＤ５をオンさせるか否かは、ＲＧＢの映像データごとにコントローラ回路（ＩＣ）７６０で判断する。コントローラ回路（ＩＣ）７６０からは判断ビットＫＤＡＴＡがソースドライバ回路（ＩＣ）１４に印加される。ＫＤＡＴＡは一例として４ビットである。ＫＤＡＴＡ＝０の時は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。ＫＤＡＴＡ＝１の時はプリチャージ駆動（電圧＋電流駆動）を実施する。ＫＤＡＴＡ＝２～１５が過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施し、ＫＤＡＴＡの大きさは、Ｄ５ビットをオンさせる時間を示す。

【１９２３】

ＫＤＡＴＡはラッチ回路１６１で１Ｈ期間保持される。カウンタ回路１６２はＨＤ（１Ｈの同期信号）でリセットされ、クロックＣＬＫでカウントされる。カウンタ回路１６２とラッチ回路１６１のデータが比較され、カウンタ回路１６２のカウント値が、ラッチ回路１６１のデータ値（ＫＤＡＴＡ）よりも小さいとき、ＡＮＤ回路１６３は内部配線１５０ｂにオン電圧を出力しつづけ、スイッチＤ５のオン状態が維持される。したがって、トランジスタ群１６４ｆの単位トランジスタ１５４ｃの電流が内部配線１５０ａおよびソース信号線１８に流れる。なお、電流プログラム時はスイッチ１５０ｂが閉じ、プリチャージ駆動時は、スイッチ１５１ａが閉じ、スイッチ１５１ｂがオープン状態となる。

図３８８はコントローラＩＣ（回路）７６０の動作の説明図である。ただし、１画素列（ＲＧＢの組）の処理の説明図である。映像データＤＡＴＡ（８ビット×ＲＧＢ）は内部クロックに同期してラッチ回路７７１ａと７７１ｂに２段ラッチされる。したがって、ラッチ回路７７１ｂには、１Ｈ前の映像データが保持され、ラッチ回路７７１ａには現在の映像データが保持される。

【１９２４】

比較回路３８８１は１Ｈ前の映像データと現在の映像データを比較し、ＫＤＡＴＡの値を導出する。また、映像データＤＡＴＡはソースドライバ回路（ＩＣ）１４に転送される。また、コントローラ回路（ＩＣ）７６０はカウンタ１６２の上限カウント値ＣＮＴをソースドライバ回路（ＩＣ）１４に転送する。

【１９２５】

ＫＤＡＴＡは比較回路３８８１で決定される。決定は、変化前の映像データ（１Ｈ前のデータ）と変化後の映像データ（現在のデータ）から決定される。１Ｈ前のデータとは、現在のソース信号線１８の電位を示す。現在のデータとは、変化させるソース信号線１８の目標電位を示す。

【１９２６】

図３８０に図示して説明したように、プログラム電流の書き込みは、ソース信号線１８の電位を考慮して行うことが重要である。書き込み時間ｔは、Ｔ＝ＡＣＶ／Ｉ（Ａ：比例定数、Ｃ：寄生容量の大きさ、Ｖ：変化する電位差、Ｉ：プログラム電流）で表すことができる。したがって、変化する電位差Ｖが大きければ書き込み時間が長くなる。一方、プログラム電流Ｉ＝Ｉｗが大きくすれば書き込み時間は短くなる。

【１９２７】

本発明では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動でＩを大き

くする。しかし、いずれの場合でもＩを大きくすると、目標のソース信号線１８電位を越える場合が発生する。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施する場合には、電位差Ｖを考慮する必要がある。現在のソース信号線１８の電位と、次の映像データ（現在の映像データ（次に印加する映像データ＝（変化後：図３８９の縦方向））から決定される目標のソース信号線１８電位から、ＫＤＡＴＡを求める。

【１９２８】

ＫＤＡＴＡはＤ５スイッチをオンさせる時間の場合もあるが、過電流（プリチャージ電流もしくはディスチャージ電流）駆動での電流の大きさでもよい。また、Ｄ５スイッチのオン時間（時間が長いほどソース信号線１８に印加する過電流（プリチャージ電流もしくはディスチャージ電流）印加時間が長くなり、過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）と、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ（大きさが大きいほどソース信号線１８に印加する過電流（プリチャージ電流もしくはディスチャージ電流）の実効値が大きくなる）の両方を組み合わせてもよい。説明を容易にするため、最初、ＫＤＡＴＡはＤ５スイッチのオン時間であるとして説明をする。

【１９２９】

比較回路３８８１は１Ｈ前と変化後（図３８９を参照のこと）の映像データを比較してＫＤＡＴＡの大きさを決定する。ＫＤＡＴＡに０以上のデータが設定される場合は以下の条件に合致する場合である。

【１９３０】

１Ｈ前の映像データが低階調領域である場合（０階調以上全階調の１／８以下の領域であることが好ましい。たとえば、６４階調の場合は、０階調以上８階調以下である。）で、かつ、変化後の映像データが中間調領域以下である場合（１階調以上全階調の１／２以下の領域であることが好ましい。

【１９３１】

たとえば、６４階調の場合は、１階調以上３２階調以下の領域である。）にＫＤＡＴＡを設定する。設定するデータは、図３５６の駆動用トランジスタ１１ａのＶＩ特性カーブを考慮して決定する。図３５６において、ソース信号線１８のＶｄｄ電圧から、０階調目の電圧であるＶ０（完全黒表示）までの電位差は大きい。また、Ｖ０電圧から、１階調目のＶ１までの電位差は大きい。次の２階調目であるＶ２電圧とＶ１電圧までの電位差は、Ｖ０電圧からＶ１電圧までの電位差よりもかなり小さい。以降、Ｖ３とＶ２、Ｖ４とＶ３になるにつれて電位差は小さくなる。以上のように高階調側になるにしたがって、電位差が小さくなるのは、駆動用トランジスタ１１ａのＶＩ特性が非線形であることにほかならない。

【１９３２】

階調間の電位差は、寄生容量Ｃｓの電荷の放電量に比例する。したがって、プログラム電流の印加時間つまり、過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加時間と大きさに連動する。たとえば、１Ｈ前のＶ０（階調０）と変化後のＶ１（階調１）の階調差が小さいからといって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加時間を短くすることはできない。図３５６に図示するように電位差が大きいからである。

【１９３３】

逆に、階調差が大きくとも過電流（プリチャージ電流もしくはディスチャージ電流）を大きくする必要がない場合もある。たとえば、階調１０と階調３２では、階調１０の電位Ｖ１０と階調３２の電位３２の電位差も小さく（図３５６より推定）、階調３２のプログラム電流Ｉｗも大きいため、寄生容量Ｃｓを短時間で充放電できるからである。

【１９３４】

図３８９は横軸に１Ｈ前（変化前、つまり現在のソース信号線１８電位を示す）の映像データの階調番号を示している。また、縦軸に現在の映像データの階調番号（変化後、つ

まり変化させる目標のソース信号線１８電位を示す）を示している。

【１９３５】

０階調目（１Ｈ前）から０階調目（変化後）に変化させるのは、電位変化がないため、ＫＤＡＴＡは０でよい。ソース信号線１８の電位変化がないからである。０階調目（１Ｈ前）から１階調目（変化後）に変化させるのは、図３５６に図示するようにＶ０電位からＶ１電位に変化させる必要がある。Ｖ１－Ｖ０電圧は大きいから、ＫＤＡＴＡは最高値の１５（例である）に設定する。ソース信号線１８の電位変化が大きいからである。１階調目（１Ｈ前）から２階調目（変化後）に変化させるのは、図３５６に図示するようにＶ１電位からＶ２電位に変化させる必要があり、Ｖ２－Ｖ１電圧は比較的大きいから、ＫＤＡＴＡは最高値近傍の１２（一例である）に設定する。ソース信号線１８の電位変化が大きいからである。３階調目（１Ｈ前）から４階調目（変化後）に変化させるのは、図３５６に図示するようにＶ３電位からＶ４電位に変化させる必要がある。しかし、Ｖ４－Ｖ３電圧は比較的小さいため、ＫＤＡＴＡは小さい値の２に設定する。ソース信号線１８の電位変化が小さくてすみ、寄生容量Ｃｓの充放電が短時間で実施でき、目標のプログラム電流を画素１６に書き込むことができるからである。

【１９３６】

変化前が低階調領域であっても、変化後の階調が中間調以上の場合は、ＫＤＡＴＡの値は０である。変化後の階調に対応するプログラム電流が大きく、１Ｈ期間内にソース信号線１８の電位を目標電位または近傍の電位まで変化させることができるからである。たとえば、２階調から３８階調目に変化させる場合は、ＫＤＡＴＡ＝０である。

【１９３７】

変化後が変化前より低階調の場合において、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。３８階調から２階調目に変化させる場合は、ＫＤＡＴＡ＝０である。この場合は、図３８０（ｂ）が該当し、主として画素１６の駆動用トランジスタからプログラム電流Ｉｄが寄生容量Ｃｓに供給されるからである。図３８０（ｂ）の場合は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式は実施せず、電圧＋電流駆動方式あるいはプリチャージ電圧駆動を実施することが好ましい。

【１９３８】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式において、図１１６などで説明した基準電流を増加させる駆動方式あるいは基準電流比とｄｕｔｙを制御する駆動方式と組み合わせることは効果がある。基準電流の増加により、図３８１の構成では過電流（プリチャージ電流もしくはディスチャージ電流）も増加させることができるからである。したがって、寄生容量Ｃｓの充放電時間も短くなる。基準電流の大きさあるいは基準電流比の制御により、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを制御することができる点も本発明の特徴ある構成である。

【１９３９】

以上のように、ＫＤＡＴＡがコントロールＩＣ（回路）７６０で決定され、ＫＤＡＴＡがソースドライバ回路（ＩＣ）１４に差動信号（図３１９、図３２０などを参照のこと）で伝送される。伝送されたＫＤＡＴＡは図３８１のラッチ回路１６１で保持され、Ｄ５スイッチが制御される。

【１９４０】

図３８９の表の関係は、マトリックスＲＯＭテーブルを用いてＫＤＡＴＡを設定してもよいが、計算式を用いてコントローラ回路（ＩＣ）７６０の乗算器を用いてＫＤＡＴＡの算出（導出）を行ってもよい。その他、コントローラ回路（ＩＣ）７６０の外部電圧の変化によりＫＤＡＴＡを定めてもよい。また、コントローラ回路（ＩＣ）７６０で実施することに限定されるものではなく、ソースドライバ回路（ＩＣ）１４で実施してもよいことは言うまでもない。

【１９４１】

本発明は、基準電流の大きさによりプログラム電流Ｉｗの大きさが基準電流に比例して

変化する。したがって、図３８１などの過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の大きさも基準電流の大きさに比例して変化する。図３８９で説明したＫＤＡＴＡの大きさも基準電流の大きさの変化に連動させる必要があることは言うまでもない。つまり、ＫＤＡＴＡの大きさは、基準電流の大きさに連動させるあるいは基準電流の大きさを考慮することが好ましい。

【１９４２】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の技術的思想は、プログラム電流の大きさ、駆動用トランジスタ１１ａからの出力電流などに対応して過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、印加時間、実効値を設定するものである。

【１９４３】

比較回路３８８１または比較手段などではＲＧＢの映像データごとに比較を実施するが、ＲＧＢデータから輝度（Ｙ値）を求めて、ＫＤＡＴＡを算出してもよいことは言うまでもない。つまり、単に、各ＲＧＢで比較するのではなく、色度変化、輝度変化を考慮し、また、階調データの連続性、周期性、変化割合を考慮してＫＤＡＴＡを算出あるいは決定もしくは演算する。また、１画素単位でなく、周辺の画素の映像データもしくは映像データに類するデータを考慮してＫＤＡＴＡを導出してもよいことは言うまでもない。たとえば、画面１４４を複数のブロックに分割し、各ブロック内の映像データなどを考慮してＫＤＡＴＡを決定する方式が例示される。

【１９４４】

また、以上の事項は、本発明の表示装置、表示パネルなど他の実施例にも組み合わせて適用できることは言うまでもない。また、Ｎ倍パルス駆動方式（たとえば、図１９～図２７など）、Ｎ倍電流駆動画素方式（たとえば、図３１～図３６など）、非表示領域分割駆動方式（たとえば、図５４（ｂ）（ｃ）など）、フィールドシーケンシャル駆動方式（たとえば、図３７～図３８など）、電圧＋電流駆動方式（たとえば、図１２７～図１４２など）、突き抜け電圧駆動方式（明細書の突き抜け電圧に関する事項を参照のこと）、プリチャージ駆動方式（たとえば、図２９３～図２９７、図３０８～図３１２など）、複数ライン同時選択駆動方式（たとえば、図２７１～図２７６など）など他の駆動方式と組み合わせて実施できることは言うまでもない。

【１９４５】

以上の実施例は、説明を容易にするため基本構成は図１５、図５８、図５９の構成としたが、本発明はこれに限定するものではない。たとえば、図８６、図１６１～図１７４、図１８８～図１８９、図１９８～図２００、図２０８～図２１０、図２２１～図２２２、図２２８、図２３０、図２３１、図２４０、図２４１～図２５０などのドライバ回路（ＩＣ）１４にも適用できることは言うまでもない。以上の事項は、本発明の表示装置、表示パネル、駆動方式、検査方法など他の実施例にも組み合わせて適用できることは言うまでもない。

【１９４６】

図３８１などにおいて、Ｄ５スイッチが選択される時間は、１Ｈ（１水平走査期間）の３／４期間以下１／３２期間以上に設定することが好ましい。さらに好ましくは１Ｈ（１水平走査期間）の１／２期間以下１／１６期間以上に設定することが好ましい。過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が長いと、正規のプログラム電流を印加する期間が短くなり、電流補償が良好にならない場合がある。

【１９４７】

過電流（プリチャージ電流もしくはディスチャージ電流）を印加する期間が短いと、目標のソース信号線１８の電位まで到達することができない。過電流（プリチャージ電流もしくはディスチャージ電流）駆動では、目標の階調のソース信号線１８電位まで行うことが好ましいのは言うまでもない。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）駆動ののみで完全に目標のソース信号線電位にする必要はない。１Ｈの前半の

過電流（プリチャージ電流もしくはディスチャージ電流）駆動後に、正規の電流駆動を実施し、過電流（プリチャージ電流もしくはディスチャージ電流）駆動により生じた誤差は、正規の電流駆動によるプログラム電流で補償されるからである。

【１９４８】

図３８２は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式を実施した場合の、ソース信号線１８の電位変化を図示している。図３８２（ａ）はＤ５スイッチを１／（２Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ５スイッチをオンし、３２個分の単位トランジスタ１５４ｃの単位電流が端子１５５から吸い込まれる。Ｄ５スイッチは１／（２Ｈ）のｔ２期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ２後）、Ｄ５スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。

【１９４９】

ソースドライバ回路（ＩＣ）１４は定電流動作する。したがって、ｔ２～ｔ３期間には定電流のプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗにより、寄生容量Ｃｓが目標電位になるまで充放電されると、画素１６の駆動用トランジスタ１１ａから電流Ｉが流れ、ソース信号線１８の電位は目標プログラム電流Ｉｗが流れるように保持される。したがって、駆動用トランジスタ１１ａは所定プログラム電流Ｉｗが流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも、画素１６の駆動用トランジスタ１１ａにより補正される。

【１９５０】

図３８２（ｂ）はＤ５スイッチを１／（４Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ５スイッチをオンし、３２個分の単位トランジスタ１５４ｃの単位電流が端子１５５から吸い込まれる。Ｄ５スイッチは１／（４Ｈ）のｔ４期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ４後）、Ｄ５スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。

【１９５１】

ソースドライバ回路（ＩＣ）１４は定電流動作する。したがって、ｔ４～ｔ３期間には定電流のプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗにより、寄生容量Ｃｓが目標電位になるまで充放電されると、画素１６の駆動用トランジスタ１１ａから電流Ｉが流れ、ソース信号線１８の電位は目標プログラム電流Ｉｗが流れるように保持される。したがって、駆動用トランジスタ１１ａは所定プログラム電流Ｉｗが流れるように保持される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）の精度は必要ない。精度がなくとも、画素１６の駆動用トランジスタ１１ａにより補正される。

【１９５２】

図３８２（ｃ）はＤ５スイッチを１／（８Ｈ）期間オン状態にした場合である。１水平走査期間（１Ｈ）の最初であるｔ１よりＤ５スイッチをオンし、３２個分の単位トランジスタ１５４ｃの単位電流が端子１５５から吸い込まれる。Ｄ５スイッチは１／（８Ｈ）のｔ５期間までの間、オン状態が維持され、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２がソース信号線１８に流れる。したがって、ソース信号線１８の電位は目標電位のＶｎ電位近傍のＶｍ電位まで低下する。その後（ｔ５後）、Ｄ５スイッチはオフ状態となり、正規のプログラム電流Ｉｗが１Ｈの終了（ｔ３）まで、ソース信号線１８に流れて、ソース信号線１８電位は目標のＶｎ電位となる。

【１９５３】
以上のように、単位トランジスタ１５４ｃの動作個数と、１つの単位トランジスタ１５４ｃの単位電流の大きさが固定値である。したがって、Ｄ５スイッチのオン時間により、比例して寄生容量Ｃｓの充放電時間を操作することができ、ソース信号線１８の電位を操作することができる。なお、説明を容易にするため、寄生容量Ｃｓを過電流（プリチャージ電流もしくはディスチャージ電流）により充放電させるとしているが、画素１６のスイッチトランジスタなどのリークもあるから、Ｃｓの充放電に限定されるものではない。
【１９５４】
以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさが単位トランジスタ１５４の動作個数により把握できる点が図３８１の本発明の特徴ある構成である。書き込み時間ｔは、Ｔ＝ＡＣＶ／Ｉ（Ａ：比例定数、Ｃ：寄生容量の大きさ、Ｖ：変化する電位差、Ｉ：プログラム電流）で表すことができるから、ＫＤＡＴＡも値も、寄生容量（アレイ設計時に把握できる）、駆動用トランジスタ１１ａのＶＩ特性（アレイ設計時に把握できる）などから理論値にＫＤＡＴＡの値を決定できる。
【１９５５】
図３８２の実施例は、最上位ビットＤ５スイッチを操作することにより、過電流（プリチャージ電流もしくはディスチャージ電流）駆動の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、印加時間を制御するものであった。本発明はこれに限定するものではない。最上位ビット以外のスイッチを操作あるいは制御してもよいことは言うまでもない。
【１９５６】
図３８３は、ソースドライバ回路（ＩＣ）１４が各ＲＧＢ８ビット構成である場合において、最上位ビットのスイッチＤ７と最上位ビットから２番目のスイッチＤ６をＫＤＡＴＡにより制御した構成である。なお、説明を容易にするため、Ｄ７ビットには１２８個の単位トランジスタ１５４ｃが形成または配置されているとし、Ｄ６ビットには６４個の単位トランジスタ１５４ｃが形成または配置されているとする。
【１９５７】
図３８３（ａ１）はＤ７スイッチの動作を示している。図３８３（ａ２）はＤ６スイッチの動作を示している。図３８３（ａ３）はソース信号線１８の電位変化を示している。図３８３（ａ）ではＤ７、Ｄ６のスイッチを同時に動作するため、単位トランジスタ１５４ｃは１２８＋６４個が同時に動作し、端子１５５からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調３のＶ３電圧まで高速にソース信号線１８電位を変化させることができる。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが端子１５５からソースドライバ回路（ＩＣ）１４に吸い込まれる。
【１９５８】
同様に、図３８３（ｂ１）はＤ７スイッチの動作を示している。図３８３（ｂ２）はＤ６スイッチの動作を示している。図３８３（ｂ３）はソース信号線１８の電位変化を示している。図３８３（ｂ）ではＤ７スイッチのみが動作するため、単位トランジスタ１５４ｃは１２８個が同時に動作し、端子１５５からソースドライバ回路（ＩＣ）１４に流れ込む。したがって、階調０のＶ０電圧から階調２のＶ２電圧まで高速にソース信号線１８電位を変化させることができる。図３８３（ａ）より変化速度は小さい。しかし、変化する電位がＶ０からＶ２であるから、適正である。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが端子１５５からソースドライバ回路（ＩＣ）１４に吸い込まれる。
【１９５９】
同様に、図３８３（ｃ１）はＤ７スイッチの動作を示している。図３８３（ｃ２）はＤ６スイッチの動作を示している。図３８３（ｃ３）はソース信号線１８の電位変化を示している。図３８３（ｃ）ではＤ６スイッチのみが動作するため、単位トランジスタ１５４ｃは６４個が同時に動作し、端子１５５からソースドライバ回路（ＩＣ）１４に流れ込む

。したがって、階調０のＶ０電圧から階調１のＶ１電圧まで高速にソース信号線１８電位を変化させることができる。図３８３（ｂ）より変化速度は小さい。しかし、変化する電位がＶ０からＶ１であるから、適正である。なお、ｔ２後は、正規のスイッチＤが閉じ、正規のプログラム電流Ｉｗが端子１５５からソースドライバ回路（ＩＣ）１４に吸い込まれる。

【１９６０】

以上のようにＫＤＡＴＡにより、スイッチのオン期間だけでなく、複数のスイッチを操作あるいは動作させ、動作させる単位トランジスタ１５４ｃ個数を変化させることにより、適正なソース信号線電位を達成できる。

【１９６１】

図３８３では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動によるスイッチＤ（Ｄ６、Ｄ７）をｔ１からｔ２の期間に動作させるとしたが、これに限定するものではなく、図３８２に図示あるいは説明したように、ｔ２、ｔ３、ｔ４などのようにＫＤＡＴＡの値によって変化あるいは変更してもよいことは言うまでもない。また、過電流（プリチャージ電流もしくはディスチャージ電流）を印加している期間に基準電流あるいは基準電流の大きさを制御あるいは変更し、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整してもよい。なお、正規のプログラム電流を印加している期間は基準電流あるいは基準電流の大きさは正規の値にする。

【１９６２】

操作するスイッチはＤ７、Ｄ６に限定するものではなく、Ｄ５など他のスイッチも同時にあるいは選択して動作あるいは制御してもよいことは言うまでもない。たとえば、図３８５が実施例である。ａ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７スイッチをオン状態にして、１２８個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。

【１９６３】

ｂ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６スイッチをオン状態にして、１２８＋６４個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。

【１９６４】

ｃ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６、Ｄ５スイッチをオン状態にして、１２８＋６４＋３２個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。

【１９６５】

ｄ期間の例では、過電流（プリチャージ電流もしくはディスチャージ電流）駆動として１／（２Ｈ）の期間Ｄ７、Ｄ６、Ｄ５スイッチと前記スイッチに該当しない映像データのスイッチ（たとえば、映像データが４であれいば、Ｄ２スイッチ）をオン状態にして、１２８＋６４＋３２＋α個の単位電流からなる過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に印加している。

【１９６６】

以上の実施例は、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間が１Ｈの最初からとしたが、本発明はこれに限定するものではない。図３８４で（ａ１）（ａ２）では、スイッチを１Ｈの最初のｔ１から１／（２Ｈ）のｔ２まで動作させる方法である。図３８４で（ｂ１）（ｂ２）では、スイッチをｔ４から１／（２Ｈ）のｔ５まで動作させる方法である。過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間は図３８４（ａ）と同一である。ソース信号線１８の電位は、寄生容量Ｃｓの充放電で規定されるから、過電流（プリチャージ電流もしくはディスチャージ電流）の印加期間がいずれにあっても実効値は等しくなる。ただし、１Ｈの最後は、正規のプログラム電流

の印加期間にする必要がある。正規のプログラム電流の印加により、正確な目標電位（駆動用トランジスタ１１ａが精度のよいプログラム電流を流せる）に設定できるからである。

【１９６７】

図３８４（ｃ１）（ｃ２）では、スイッチを１Ｈの最初のｔ１から１／（４Ｈ）のｔ４まで動作させ、スイッチを１Ｈのｔ２から１／（４Ｈ）のｔ５まで動作させている。過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間の実効値は図３８４（ａ）と同一になる。以上のように、本発明は、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間は複数に分散してもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）の印加開始時間は１Ｈの最初からに限定するものではない。

【１９６８】

以上ように本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方法は、過電流（プリチャージ電流もしくはディスチャージ電流）の印加タイミングに限定されるものではない。ただし、該当画素１６の電流プログラムが終了する時点で、プログラム電流が印加されている期間にする必要がある。ただし、画素１６の電流プログラムに精度を必要としない時は、これに限定されることがないことは言うまでもない。つまり、過電流（プリチャージ電流もしくはディスチャージ電流）印加状態で１Ｈ期間が終了してもよい。

【１９６９】

本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動では過電流（プリチャージ電流もしくはディスチャージ電流）をソース信号線１８に流す動作が重要であって、過電流（プリチャージ電流もしくはディスチャージ電流）を発生するものが単位トランジスタ１５４ｃに限定されるものではない。たとえば、端子１５５に接続されて定電流回路、可変電流回路を形成または構成し、これらの電流回路を動作させて過電流（プリチャージ電流もしくはディスチャージ電流）を発生させてもよいことは言うまでもない。

【１９７０】

図３８１はソースドライバ回路（ＩＣ）１４の階調表示に用いる（電流プログラム駆動に用いる）構成物あるいは構造を過電流（プリチャージ電流もしくはディスチャージ電流）駆動に用いるものであった。本発明はこれに限定するものではない。図３８６に図示するように、過電流（プリチャージ電流もしくはディスチャージ電流）駆動に用いる過電流（プリチャージ電流もしくはディスチャージ電流）発生用の過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８１１を別途形成または構成してもよい。過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１は、単位トランジスタ１５４ｃと同一サイズにし、この単位トランジスタ１５４を複数個形成して構成してもよい。また、単位トランジスタ１５４ｃとサイズあるいはＷＬ比、ＷＬの形状を異ならせてもよい。ただし、すべての出力段で同一にする。

【１９７１】

図３８６では過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１のゲート端子電位は、単位トランジスタ１５４ｃのゲート端子電位と同一にした。同一にすることにより、基準電流制御により、過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１から出力する過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを容易に制御することができる。また、過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１のサイズなどの出力過電流（プリチャージ電流もしくはディスチャージ電流）が予測できるため設計が容易になる。しかし、本発明はこれに限定するものではない。過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１のゲート端子電位は単位トランジスタ１５４ｃと別の端子電位となるように構成してもよい。別になるように構成した過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１のゲート端子電位を操作することにより、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを制御することができる。

【１９７２】
過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１のドレイン端子（Ｄ）を単位トランジスタ１５４ｃのドレイン（Ｄ）端子と分離して、印加する電圧を制御あるいは調整してもよい。ドレイン端子電位の調整あるいは制御によっても過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１から出力される過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整あるいは制御することができる。
【１９７３】
以上のことは、本発明の他の実施例においても適用できる。たとえば、図３８１においても、ドレイン端子の電位を制御あるいは調整することにより過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを調整あるいは制御することができる。
【１９７４】
図３８６では、１５０ｂに印加する信号によりスイッチＤｃをオンオフ制御し、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実現する。図３８６の構成を採用することにより、映像データの大きさに左右されずに、過電流（プリチャージ電流もしくはディスチャージ電流）駆動を実施することができる。他の構成動作については、図３８０～図３９０で説明するあるいは説明しているので説明を省略する。
【１９７５】
図３８１、図３８６などの事項は、本発明の表示装置、表示パネルなど他の実施例にも組み合わせて適用できることは言うまでもない。また、Ｎ倍パルス駆動方式（たとえば、図１９～図２７など）、Ｎ倍電流駆動画素方式（たとえば、図３１～図３６など）、非表示領域分割駆動方式（たとえば、図５４（ｂ）（ｃ）など）、フィールドシーケンシャル駆動方式（たとえば、図３７～図３８など）、電圧＋電流駆動方式（たとえば、図１２７～図１４２など）、突き抜け電圧駆動方式（明細書の突き抜け電圧に関する事項を参照のこと）、プリチャージ駆動方式（たとえば、図２９３～図２９７、図３０８～図３１２など）、複数ライン同時選択駆動方式（たとえば、図２７１～図２７６など）など他の駆動方式と組み合わせて実施できることは言うまでもない。
【１９７６】
特に、図３８１、図３８６で説明した過電流（プリチャージ電流もしくはディスチャージ電流）駆動は、電圧＋電流駆動（プリチャージ駆動）と組み合わせて実施することが好ましい。図３９０はその実施例の説明図である。図３９０において、映像データとは画素１６に書き込まれる階調の変化（映像データの変化）を示している。ソース信号線電位とはソース信号線１８の電位変化を示している。また、階調数は２５６階調の場合である。映像データが２５５（白）階調から０階調に変化する場合は、図３８０（ｂ）の状態である。この場合は、まず、ソース信号線１８にプリチャージ電圧が印加される。画素１６の駆動用トランジスタ１１ａのプログラム電流Ｉｗが０であるから、電流が流れないように、ゲート端子電位がＶｄｄ電圧方向に上昇する。なお、０階調では突き抜け電圧駆動により、完全に黒表示状態にする。過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施しない。
【１９７７】
映像データが０（黒）階調から２階調に変化する場合は、図３８０（ａ）の状態である。この場合は、まず、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）がｔ３からｔ４の期間印加される。画素１６の駆動用トランジスタ１１ａは、一般的に動作しない。ｔ４からｔ５の期間ではプログラム電流駆動が行われる。過電流（プリチャージ電流もしくはディスチャージ電流）駆動により、ソース信号線１８の電位が低下しすぎている場合は、画素１６の駆動用トランジスタ１１ａが動作し、図３９０に示すようにソース信号線１８の電位をアノード電圧側に上昇させてＶ２電圧になる。
【１９７８】
以上の動作により駆動用トランジスタ１１ａのゲート端子電圧はＶ２電圧になり、精度のよいプログラム電流をＥＬ素子１５に流すことができる。

【１９７９】
映像データが２階調から１６階調に変化する場合の比較的低階調領域でプログラム電流が小さい。動作は図３８０（ａ）の状態である。この場合は、まず、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）がｔ５からｔ６の期間印加される。画素１６の駆動用トランジスタ１１ａは、一般的に動作しない。ｔ６からｔ７の期間ではプログラム電流駆動が行われる。過電流（プリチャージ電流もしくはディスチャージ電流）駆動により、ソース信号線１８の電位が適正な場合は、図３９０に図示するようにソース信号線１８の電位は変化しない。つまり、画素１６の駆動用トランジスタ１１ａも動作しない。ソース信号線１８の電位が目標値よりも低い場合は、ｔ６からｔ７の期間にソースドライバ回路（ＩＣ）１４がプログラム電流を引き込み、目標のソース信号線１８電位になる。
【１９８０】
以上の動作により、図３９０に示すようにソース信号線１８の電位を駆動用トランジスタ１１ａのゲート端子電圧はＶ１６電圧になり、精度のよいプログラム電流をＥＬ素子１５に流すことができる。
【１９８１】
映像データが１６階調から９０階調に変化する場合はプログラム電流が大きい。動作は図３８０（ａ）の状態である。この場合は、ｔ７からｔ８の全期間に渡り、プログラム電流駆動が行われる。つまり、プリチャージ電圧駆動、過電流（プリチャージ電流もしくはディスチャージ電流）駆動は実施されない。以上のように、本発明は、階調データの変化割合、変化前の大きさによりＫＤＡＴＡ値が変化させ、また、駆動方法を変更する。
【１９８２】
図４３５は、図３９０などに示す駆動方法の他の実施例（変形例）である。図４３５（ａ）は、一定以下の低階調では０階調電圧（Ｖ０）の電圧プリチャージを実施する駆動方法である。図４３５（ａ）では、画素１６に書き込む階調が５階調以下で、０階調電圧（Ｖ０）の電圧プリチャージを実施している。図４３５（ａ）では、ｔ０－ｔ１、ｔ３－ｔ４、ｔ５－ｔ６の１Ｈ期間でＶ０電圧を印加している。ｔ０－ｔ１の１Ｈで書き込むのは階調データ５であり、ｔ３－ｔ４の１Ｈで書き込むのは階調データ３であり、ｔ５－ｔ６の１Ｈで書き込むのは階調データ４である。したがって、すべて階調番号が５階調以下である。これらの低階調領域では、プログラム電流が小さいため、書き込みにくい。したがって、Ｖ０電圧を印加し、まず、黒レベルを確保してから、電流プログラムを実施する。階調番号が６階調以上では、比較的十分なプログラム電流をソース信号線１８に印加する。６階調以上では、電圧プリチャージは実施せず、プログラム電流駆動のみを実施する。
【１９８３】
図４３５（ｂ）は、一定以下の低階調では対応する電圧で電圧プリチャージを実施する駆動方法である。図４３５（ｂ）では、画素１６に書き込む階調が５階調以下で、電圧プリチャージを実施している。図４３５（ｂ）では、ｔ０－ｔ１、ｔ３－ｔ４、ｔ５－ｔ６の１Ｈ期間で電圧を印加している。ｔ０－ｔ１の１Ｈで書き込むのは階調データ５であるため、階調５に対応する電圧Ｖ５を印加する。ｔ３－ｔ４の１Ｈで書き込むのは階調データ３であるため、階調３に対応する電圧Ｖ３を印加する。あり、ｔ５－ｔ６の１Ｈで書き込むのは階調データ４であるため、階調４に対応する電圧Ｖ４を印加する。る。したがって、すべて階調番号が５階調以下で電圧プリチャージを実施している。これらの低階調領域では、プログラム電流が小さいため、書き込みにくい。したがって、所定の低階調では、対応する電圧を印加し、まず、所定の黒レベルを確保してから、電流プログラムを実施する。階調番号が６階調以上では、比較的十分なプログラム電流をソース信号線１８に印加する。６階調以上では、電圧プリチャージは実施せず、プログラム電流駆動のみを実施する。
【１９８４】
以下、図面を参照しながら、本発明の他の実施例について説明をする。図３９３は、本発明の過電流（プリチャージ電流もしくはディスチャージ電流）駆動方式の他の実施例で

ある。図３８６では過電流トランジスタ３８６１は１つであった。図３９３では、過電流トランジスタ３８６１は複数個形成または配置しており、過電流トランジスタ３８６１のゲート端子はトランジスタ４３１ｃと別のゲート配線と接続をしている。

【１９８５】

図３９３のように構成することにより、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを基準電流Ｉｃの大きさに制約されず、自由に設定あるいは調整することができる。また、複数の過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ３８６１から構成することにより、スイッチＤＣにより過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを自由に設定できる。

【１９８６】

過電流トランジスタ３８６１は、ＲＧＢ回路で共通にしている。図３９７に図示するように、Ｒの基準電流ＩｃｒでありＩｃｒはＲ（赤）の基準電流の設定値ＩＲＤＡＴＡで変更あるいは調整される。同様にＧの基準電流Ｉｃｇであり、ＩｃはＧ（緑）の基準電流の設定値ＩＧＤＡＴＡで変更あるいは調整される。また、Ｂの基準電流Ｉｃｂであり、ＩｃｂはＢ（青）の基準電流の設定値ＩＢＤＡＴＡで変更あるいは調整される。

【１９８７】

一方、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、図３９７に図示するように、ＲＧＢで共通である。つまり、Ｒの出力段回路のＩｄ（図３９３などを参照のこと）と、Ｇの出力段回路のＩｄ、Ｂの出力段回路のＩｄは同一である。Ｉｄの大きさおよび／またはＩｄの変化タイミングは過電流（プリチャージ電流もしくはディスチャージ電流）の設定データＩＫＤＡＴＡ４ビットによりコントローラ回路（ＩＣ）７６０で設定される。このＩｄが図３９３に図示するように１つのトランジスタ１５８ｄまたは複数のトランジスタ１５８ｄから構成されるトランジスタ群からなるカレントミラーの親回路に流れる。なお、図３９３では、トランジスタ１５８ｄは１つとして図示しているが、複数のトランジスタ１５８ｄで構成あるいは形成してもよいことは言うまでもない。

【１９８８】

図３８６では、ＲＧＢ回路で個別にプログラム電流の大きさを設定することができる。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）はＲＧＢ個別に設定することは好ましくない。図３８０で説明したように、過電流（プリチャージ電流もしくはディスチャージ電流）は寄生容量Ｃｓの充放電を制御するものだからである。寄生容量ＣｓはＲＧＢにおいてソース信号線１８では同一である。したがって、ＲＧＢの過電流（プリチャージ電流もしくはディスチャージ電流）が異なっていれば、図３９５に図示するように、過電流（プリチャージ電流もしくはディスチャージ電流）の書き込み速度がことなり、１Ｈ終了時のソース信号線電位が異なってしまう。

【１９８９】

図３９５では、一点鎖線のＢの過電流（プリチャージ電流もしくはディスチャージ電流）が最も大きい。したがって、１Ｈの期間で階調０に相当するＶ０電圧から階調２に相当するＶ２電圧に達している。点線のＧの過電流（プリチャージ電流もしくはディスチャージ電流）が最も小さい。したがって、１Ｈの期間では、階調０に相当するＶ０電圧から階調２に相当するＶ２電圧には到達しない。Ｒは実線で示す。図３９５に図示するように、ＧとＢの中間状態である。以上のような状態では、１Ｈ後は、ホワイトバランスがずれていることになる。ただし、図３９５は低階調の領域であるので、ホワイトバランスがずれていても実用上は問題ない。

【１９９０】

寄生容量をＲＧＢで異ならせれば、図３９５で説明した課題を解決できることは言うまでもない。つまり、図３９５の状態では、Ｒのソース信号線１８の寄生容量Ｃｓを、Ｇのソース信号線１８の寄生容量Ｃｓよりも大きくする。また、Ｂのソース信号線１８の寄生容量Ｃｓを、Ｒのソース信号線１８の寄生容量Ｃｓよりも大きくする。寄生容量Ｃｓを大きくする方法として、ＲＧＢごとにソース信号線１８端にコンデンサをポリシリコン回路で形成あるいは構成する方式が例示される。

【１９９１】
また、ＲＧＢでソース信号線１８の寄生容量を小さくする構成も例示される。Ｇのソース信号線１８の寄生容量Ｃｓを、Ｒのソース信号線１８の寄生容量Ｃｓよりも小さくする。また、Ｒのソース信号線１８の寄生容量Ｃｓを、Ｂのソース信号線１８の寄生容量Ｃｓよりも小さくする。寄生容量Ｃｓを小さくする方式として、ＲＧＢごとにソース信号線１８の配線幅を変化させる構成が例示される。
【１９９２】
ソース信号線１８の幅が狭くなれば、寄生容量Ｃｓの大きさは小さくなる。電流駆動方式では、ソース信号線１８に流れる電流はμＡオーダーである。したがって、ソース信号線１８幅が細く、ソース信号線１８の抵抗値が高くとも電流駆動方法を実現することに支障はない。
【１９９３】
以上のように、本発明では、ＲＧＢのソース信号線１８のうち１つ以上の寄生容量Ｃｓを、他のソース信号線１８の寄生容量Ｃｓと異ならせたものである。また、その実現には、ソース信号線１８の線幅を変化させる構成が例示される。容量となるコンデンサを作製あるいは配置し、該当ソース信号線１８に電気的に接続させる構成が例示される。
【１９９４】
０階調に該当するＶ０電圧は、画素１６の駆動用トランジスタ１１ａによって決定される。通常、駆動用トランジスタ１１ａは、ＲＧＢで共通のサイズあるいは大きさである。したがって、ＲＧＢではＶ０電圧は一致している。寄生容量Ｃｓの充放電はＶ０電圧を基準になる場合が多い。
【１９９５】
図３９７に図示するように、ＲＧＢ回路で過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを共通にすることにより、図３９５に図示ように各ＲＧＢでソース信号線１８の充放電曲線が異なることはない。つまり、過電流（プリチャージ電流もしくはディスチャージ電流）ＩｄはＲＧＢで同一にすることが好ましい。
【１９９６】
過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの調整回路は、図３９７の電子ボリウム回路５０１ｂで行う。電子ボリウム５０１ｂはＩＫＤＡＴＡにより、フレームごとあるいは画素行ごとに変化あるいは変更できる。また、画面１４４を複数領域に分割し、分割した領域ごとに電子ボリウム５０１ｂを配置し、分割した領域ごとに電流Ｉｄを変化あるいは調整する構成も例示される。以上の事項は、基準電流Ｉｃの電子ボリウム回路５０１ａなどにも適用できることは言うまでもない。
【１９９７】
図３９７は電子ボリウム５０１で過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを調整などする構成であった。しかし、本発明はこれに限定されるものではない。図３９６（ａ）に図示するように半固定ボリウムＶｒで調整してもよい。また、端子２８８３ｂに調整用電圧を印加してもよい。なお、内蔵抵抗Ｒ２はトリミングなどを行い、規定値となるように調整しておくことが好ましい。
【１９９８】
図３９６（ｂ）に図示するように内蔵抵抗Ｒａ、Ｒｂにより過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを調整してもよい。内蔵抵抗Ｒａ、Ｒｂのうち少なくとも一方の抵抗はトリミングなどを行い、規定値となるように調整しておくことが好ましい。抵抗Ｒ２は図に示すように外づけにしてもよいし、ソースドライバ回路（ＩＣ）１４に内蔵させてもよい。また、Ｒ２は半固定ボリウムＶｒで調整してもよい。また、端子２８８３ａに調整用電圧を印加してもよい。
【１９９９】
図３７２、図３９６などにおいて、抵抗Ｒはソースドライバ回路（ＩＣ）１８などに内蔵させるとしたが、これに限定するものではない。ソースドライバＩＣの外部に終端抵抗として配置してもよいことは言うまでもない。

【２０００】
以上のように構成あるいは形成することにより、ＲＧＢの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを設定あるいは調整もしくは変更を容易に実現することができる。
【２００１】
図３９８はプログラム電流Ｉｗを出力する出力段４３１ｃと過電流（プリチャージ電流もしくはディスチャージ電流）を出力する出力段４３１ｅとの配置関係を図示したものである。出力段４３１ｃは、ＲＧＢで異なる（もちろん、同一でもよいことは言うまでもない）基準電流によりプログラム電流の大きさは変化する。出力段４３１ｃから出力されるプログラム電流Ｉｗは端子１５５より出力される。過電流（プリチャージ電流もしくはディスチャージ電流）を出力する出力段４３１ｅは、ＲＧＢで同一（もちろん、ＲＧＢで異なっていてもよいことは言うまでもない）である。
【２００２】
基準電流Ｉｄで過電流（プリチャージ電流もしくはディスチャージ電流）の大きさは変化する。出力段４３１ｅから出力される過電流（プリチャージ電流もしくはディスチャージ電流）はプログラム電流Ｉｗを出力する端子１５５より出力される。なお、端子１５５にはプリチャージ電圧Ｖｐｃの出力回路も接続される。
【２００３】
図３９９は過電流（プリチャージ電流もしくはディスチャージ電流）回路の基準電流Ｉｄを発生させる他の実施例である。電子ボリウム５０１ｂへのデータＩＫＤＡＴＡと抵抗Ｒ２からなる定電流回路により基本的な電流Ｉｅが発生する。この電流Ｉｅがトランジスタ１５８ａ、１５８ｂに流れる。トランジスタ１５８ｂとトランジスタ１５８ｅは所定のカレントミラー比のカレントミラー回路を構成する。トランジスタ１５８ｂに対して複数のトランジスタ１５８ｅが形成または配置されている。図３９９ではトランジスタ１５８ｅは出力段数形成されている。たとえば、１６０ＲＧＢであれば、１６０×３＝４８０のトランジスタ１５８ｅが形成または配置される。
【２００４】
各トランジスタ１５８ｅは電流接続でトランジスタ１５８ｂに基準電流Ｉｄを伝送する。この伝送された電流Ｉｄにより過電流トランジスタ３８６１ａの出力電流の大きさ、変化タイミングあるいは制御状態が決定される。
【２００５】
図２４９、図２５０、図２９９～図３０５などでは、基準電流のカスケード接続について説明をした。過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄについても図４００に図示するようにソースドライバ回路（ＩＣ）間で電流Ｉｄの受け渡しを行うことが好ましい。
【２００６】
図４００では、ソースドライバ回路（ＩＣ）１４ａに外づけ抵抗Ｒが接続されている。Ｒの基準電流Ｉｃｒは抵抗Ｒ１ｒにより大きさが設定あるいは調整される。Ｇの基準電流Ｉｃｇは抵抗Ｒ１ｇにより大きさが設定あるいは調整される。また、Ｂの基準電流Ｉｃｂは抵抗Ｒ１ｂにより大きさが設定あるいは調整される。
【２００７】
同様に、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは抵抗Ｒ２により大きさが設定あるいは調整される。以上の構成により発生した基準電流Ｉｃｒ、Ｉｃｇ、Ｉｃｂ、Ｉｄは配線２０８１で隣接したソースドライバ回路（ＩＣ）１４に受け渡される。なお、各基準電流は、図３９６、図３９７などの構成により発生あるいは調整してもよいことは言うまでもない。
【２００８】
以上の実施例は過電流をトランジスタ３８６１に通過させ、基準電流Ｉｄをソースドライバ回路（ＩＣ）１４で発生させるものであった。しかし、本発明はこれに限定するものでない。たとえば、図４０１に図示するように構成してもよい。図４０１ではアレイ基板

３０に過電流トランジスタ３８６１を形成または配置した構成である。ソースドライバ回路（ＩＣ）１４からゲート配線４０１１に出力される電圧により過電流トランジスタ３８６１が動作し、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）を流す。

【２００９】

以上のように過電流（プリチャージ電流もしくはディスチャージ電流）回路は、ポリシリコン技術などを用いて構成あるいは形成してもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）回路は、ドライバ回路（ＩＣ）で構成し、アレイ基板３０のソース信号線１８端子に実装してもよい。

【２０１０】

なお、図４０１ではゲート配線４０１１に印加した電圧で過電流トランジスタ３８６１が流す過電流（プリチャージ電流もしくはディスチャージ電流）を調整するものであった。しかし、本発明はこれに限定するものではない。たとえば、図３９９に図示するトランジスタ１５８ｄと過電流トランジスタ３８６１からなるカレントミラー回路をアレイ基板３０に低温ポリシリコン技術で形成し、図３９６、図３９７、図３９９などで説明した基準電流Ｉｄは過電流トランジスタ３８６１を構成するカレントミラー回路に印加してもよい。つまり、ソースドライバ回路（ＩＣ）１４で過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄを発生させる。

【２０１１】

図３９２（ａ）は、本発明のソースドライバ回路（ＩＣ）１４における過電流（プリチャージ電流もしくはディスチャージ電流）回路の構成例である。トランジスタ１５８ｄと過電流トランジスタ３８６１とはカレントミラー回路を構成している。過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｋの大きさは２つのスイッチＤｃで制御される。スイッチＤｃ０は１個の過電流トランジスタ３８６１が接続されており、スイッチＤｃ１は２個の過電流トランジスタ３８６１が接続されている。

【２０１２】

過電流トランジスタ３８６１は図１５などで説明した単位トランジスタ１５４と同一の構成である（同一の技術思想で形成あるいは構成されている）。したがって、過電流トランジスタ３８６１の構成あるいは説明は、単位トランジスタ１５４で説明した事項がそのままあるいは準用される。したがって、説明を省略する。

【２０１３】

プリチャージ電圧Ｖｐｃを端子１５５に印加するスイッチＤｐの制御と、過電流（プリチャージ電流もしくはディスチャージ電流）を端子１５５に印加するスイッチＤｃの制御は２ビットで制御される。このビットをＫビット（１ビット目）、Ｐビット（０ビット目：ＬＳＢ）とする。したがって、４つの状態を制御できる。

【２０１４】

４つの状態を図３９２（ｂ）の表に図示している。（Ｋ、Ｐ）＝０の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、０、０）に制御される。なお、０はスイッチがオープン状態、１はスイッチがクローズ状態を示す。

【２０１５】

（Ｋ、Ｐ）＝０の時、プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープンであり、過電流制御スイッチＤｃもオープンである。したがって、端子１５５からはプリチャージ電圧も過電流（プリチャージ電流もしくはディスチャージ電流）も出力（印加）されない。

【２０１６】

（Ｋ、Ｐ）＝１の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（１、０、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはクローズ（ｃｌｏｓｅ）状態であり、過電流制御スイッチＤｃは両方ともオープン状態である。したがって、端子１５５からはプリチャージ電圧Ｖｐｃが出力されるが、過電流（プリチャージ電流もしくはディスチャージ電流）は出力（印加）されない。

【２０１７】
（Ｋ、Ｐ）＝２の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、１、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープン（ｏｐｅｎ）状態であり、過電流制御スイッチＤｃはＤｃ０がクローズ状態であり、Ｄｃ１はオープン状態である。したがって、端子１５５からはプリチャージ電圧Ｖｐｃは出力されない。また、過電流（プリチャージ電流もしくはディスチャージ電流）は１つ分の過電流トランジスタ３８６１の出力電流がソース信号線１８に印加される。
【２０１８】
（Ｋ、Ｐ）＝３の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、０、１）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープン（ｏｐｅｎ）状態であり、過電流制御スイッチＤｃはＤｃ０、Ｄｃ１がクローズ状態である。したがって、端子１５５からはプリチャージ電圧Ｖｐｃは出力されない。また、過電流（プリチャージ電流もしくはディスチャージ電流）は２つ分の過電流トランジスタ３８６１の出力電流がソース信号線１８に印加される。
【２０１９】
以上のように、２ビットの信号（Ｋ、Ｐ）により、プリチャージ電圧、過電流（プリチャージ電流もしくはディスチャージ電流）を制御することができる。
【２０２０】
図３９２（ｂ）では、（Ｋ、Ｐ）のデコード回路が必要である。デコード回路を不要にし　た構成表を図３９１に図示する。図３９１において、Ｋ０、Ｋ１は過電流（プリチャージ電流もしくはディスチャージ電流）を制御するスイッチの信号である。Ｋ０はＤｃ０をオープン、クローズを制御するビットである。Ｋ１はＤｃ１をオープン、クローズを制御するビットである（図３９２（ａ）を参照のこと）。図３９１において、Ｐはプリチャージ電圧を制御するスイッチの信号である。Ｄｐをオープン、クローズを制御するビットである（図３９２（ａ）を参照のこと）。
【２０２１】
（Ｐ、Ｋ０、Ｋ１）＝（０、０、０）の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（０、０、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはオープン（ｏｐｅｎ）状態であり、過電流制御スイッチはＤｃ０、Ｄｃ１もオープン状態である。したがって、端子１５５からはプリチャージ電圧Ｖｐｃは出力されない。また、過電流（プリチャージ電流もしくはディスチャージ電流）も出力されない。
【２０２２】
（Ｐ、Ｋ０、Ｋ１）＝（１、０、０）の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（１、０、０）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはクローズ（ｃｌｏｓｅ）状態であり、過電流制御スイッチはＤｃ０、Ｄｃ１もオープン状態である。したがって、端子１５５からはプリチャージ電圧Ｖｐｃが出力されるが、過電流（プリチャージ電流もしくはディスチャージ電流）は出力されない。
【２０２３】
たとえば、（Ｐ、Ｋ０、Ｋ１）＝（１、１、１）の時、（Ｄｐ、Ｄｃ０、Ｄｃ１）＝（１、１、１）に制御される。プリチャージ電圧（プログラム電圧）制御スイッチＤｐはクローズ（ｃｌｏｓｅ）状態であり、過電流制御スイッチはＤｃ０、Ｄｃ１もクローズ状態である。したがって、端子１５５からはプリチャージ電圧Ｖｐｃと過電流（プリチャージ電流もしくはディスチャージ電流）が出力される。
【２０２４】
以下、同様に（Ｐ、Ｋ０、Ｋ１）の値に応じて、プリチャージ電圧（プログラム電圧）制御スイッチＤｐと、過電流制御スイッチはＤｃ０、Ｄｃ１が独立に制御される。したがって、プリチャージ電圧印加と過電流（プリチャージ電流もしくはディスチャージ電流）印加を同時に実施できる。
【２０２５】
図３９１、図３９２において、スイッチ（Ｄｐ、Ｄｃ０、Ｄｃ１）をクローズさせるビ

ットを付加することによりさらに精度のよい過電流（プリチャージ電流もしくはディスチャージ電流）、プリチャージ電圧の制御を実施することができることは言うまでもない。

【２０２６】

図３９３は、過電流（プリチャージ電流もしくはディスチャージ電流）を制御するスイッチを３ビットにした実施例である。Ｄｃ０スイッチのオン（クローズ）により、１つの過電流トランジスタ３８６１の電流がソース信号線１８に印加される。Ｄｃ１スイッチのオン（クローズ）により、２つの過電流トランジスタ３８６１の電流がソース信号線１８に印加される。Ｄｃ２スイッチのオン（クローズ）により、４つの過電流トランジスタ３８６１の電流がソース信号線１８に印加される。同様に、Ｄｃ０、Ｄｃ１、Ｄｃ２スイッチのオン（クローズ）により、７つの過電流トランジスタ３８６１の電流がソース信号線１８に印加される。

【２０２７】

図３９３において、端子１５５に過電流（プリチャージ電流もしくはディスチャージ電流）を印加している期間は、ソースドライバ回路（ＩＣ）１４の端子２８８３に印加する信号のｔｄ期間により制御する。ｔｄ期間とはスイッチ１５１ｃをオン（クローズ）させる期間である。

【２０２８】

ｄ期間の制御は、ソースドライバ回路（ＩＣ）１４内部に構成あるいは形成したカウンタ回路（図示せず）により実施してもよい。ｔｄ期間の設定コマンドは、図３６０、図３６１、図３６２、図３５７などで説明したコマンド信号などでコントローラ回路（ＩＣ）７６０からソースドライバ回路（ＩＣ）１４に伝送させる。もちろん、ｔｄは１Ｈの１／２など固定値であってもよいことは言うまでもない。また、スイッチ１５１ｂと１５１ｃとは同期を取って制御することが好ましい。

【２０２９】

図４０２は、図４２４、図４２５などの映像データＤＡＴＡの下位３ビットをスイッチＤｃのオンオフ制御時間として用いたものである。つまり、Ｄ２～Ｄ０ビットを所定の規則でデコードして時間制御ビットＴ２～Ｔ０として用いている。Ｔ２～Ｔ０ビットは、プリチャージ電圧制御ビット（Ｐ）と過電流制御ビット（Ｋ）のデータ内容により意味を変化させる。

【２０３０】

プリチャージ電圧制御ビット（Ｐ）が１の時、電圧プリチャージが実施される。０の時は、電圧プリチャージが実施されない。過電流制御ビット（Ｋ）が１の時、過電流（電流プリチャージ）が実施される。０の時は、電流プリチャージが実施されない。プリチャージ電圧制御ビット（Ｐ）が１で、過電流制御ビット（Ｋ）が１の時、電圧プリチャージが実施されるとともに、過電流（電流プリチャージ）が実施される。

【２０３１】

電圧プリチャージが実施されると、ソース信号線１８の電位が所定電圧に強制的に変更される。過電流（電流プリチャージ）は、電圧プリチャージされたソース信号線１８電位からの動作になる。したがって、図４０２（ｂ）のＰ＝１、Ｋ＝１における電流プリチャージは絶対値動作になる。電圧プリチャージによりソース信号線１８の電位が所定電圧なり、この電位から変化が発生するからである。そのため、Ｔ２～Ｔ０は絶対的なＤｃスイッチのオン時間制御になる。また、絶対的なオン時間制御することが目標ソース信号線１８電位に調整でき好ましい。

【２０３２】

プリチャージ電圧制御ビット（Ｐ）が０で、過電流制御ビット（Ｋ）が１の時、電圧プリチャージが実施されない。過電流（電流プリチャージ）は実施される。電圧プリチャージが実施されないと、ソース信号線１８の電位が１Ｈ前の状態が保持される。したがって、過電流（電流プリチャージ）は、前のソース信号線１８電位からの相対動作になる。図４０２（ｃ）のＰ＝１、Ｋ＝１における電流プリチャージは相対値動作になる。そのため、Ｔ２～Ｔ０は相対的なＤｃスイッチのオン時間制御になる。

【２０３３】
図４０２では、映像データＤＡＴＡの下位３ビットをデコードしてスイッチＤｃのオンオフ制御時間として用いたものである。デコードの変換テーブルは、ＰとＫの値により変化させる。４０２（ｂ）では、Ｄ２～Ｄ０の値が大きいほど、Ｔ２～Ｔ０の大きさを大きくしている。所定のプリチャージ電圧が印加された後に、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを印加するからである。４０２（ｃ）では、Ｄ２～Ｄ０の値が大きいほど、Ｔ２～Ｔ０の大きさを小さくしている。プリチャージ電圧が印加されず、過電流（プリチャージ電流もしくはディスチャージ電流）印加前のソース信号線１８電位から、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを印加し、ソース信号線１８電位を変化させるからである。
【２０３４】
図４０２においてＴ２～Ｔ０は時間であるとしたが、本発明はこれに限定するものではなく、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさに置き換えてもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間制御と、過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ制御の両方を組み合わせてもよいことは言うまでもない。
【２０３５】
図３９３ではスイッチ１５１ｃを形成または配置したが、図３９４（ａ）に図示するように１５１ｃを形成または配置しなくともよい。定電流回路（４３１ｃと３８６１など）は、短絡してもインピーダンスが高いため問題が発生しないからである。
【２０３６】
図３９２、図３９３、図３８６では、各スイッチＤｃに単位過電流（プリチャージ電流もしくはディスチャージ電流）を流す複数の過電流トランジスタなどで構成するとしたが、本発明はこれに限定するものではない。たとえば、図３９４（ｂ）に図示するように、各スイッチＤｃに１つの過電流トランジスタ３８６１を形成または配置してもよいことは言うまでもない。図３９４（ｂ）において、スイッチＤｃ０には１つの過電流トランジスタ３８６１ａが配置または形成されている。スイッチＤｃ１にも１つの過電流トランジスタ３８６１ｂが配置または形成されている。また、スイッチＤｃ２には１つの過電流トランジスタ３８６１ｃが配置または形成されている。過電流トランジスタ３８６１ａ～３８６１ｃは出力する過電流（プリチャージ電流もしくはディスチャージ電流）の大きさを異ならせている。過電流（プリチャージ電流もしくはディスチャージ電流）の大きさは、過電流トランジスタ３８６１のＷＬ比あるいはサイズ、形状によって容易に調整あるいは設計できる。
【２０３７】
図３９９は過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄを１つのトランジスタ１５８ｅに流す構成である。しかし、図４７などで説明したようにトランジスタ１５８ｂを複数個形成し、トランジスタ群４３１ｂと構成することにより、Ｉｄのバラツキを減少させることができる。図４０５はその実施例である。過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄは４つのトランジスタ１５８ｅで発生させる。
【２０３８】
図４０５では、基準電流Ｉｃと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄは、電子ボリウム５０１に入力されるＩＤＡＴＡにより変化する。基準電流Ｉｃと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄの大きさの比率は、基準電流Ｉｃを流すトランジスタ１５８ａと過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄを流すトランジスタ１５８ｃの形状などを異ならせることにより実現する。
【２０３９】
図４０５では、基準電流Ｉｃを流すトランジスタ１５８ａは１個であり、過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄを流すトランジスタ１５８ｃ

は４個であるから、トランジスタ１５８ａとトランジスタ１５８ｃが同一形状の場合でも、基準電流Ｉｃ×４＝基準電流Ｉｄの関係を構成できる。

【２０４０】

図４０５では、スイッチＤｃに対応する過電流トランジスタ３８６１を４つ形成または配置されている。小さい過電流（プリチャージ電流もしくはディスチャージ電流）を流す複数の過電流トランジスタ３８６１で出力段を構成することにより出力バラツキが減少させることができる。以上のことは図１５などでも説明をしているので説明を省略する。

【２０４１】

図４０５では図３９３に図示するように内部配線１５０ｂに印加するオンオフ信号によりスイッチＤｃを時間制御し、端子１５５から出力する実効電流を制御している。また、スイッチ１５１ａと１５１ｂはオンオフ状態を反対の関係としている。したがって、プリチャージ電圧Ｖｐｃが端子１５５に印加されている時は、過電流（プリチャージ電流もしくはディスチャージ電流）が端子１５５に印加されないように制御されている。

【２０４２】

図１２７～図１４３、図４０５、図３０８～図３１３などは、電圧駆動と電流駆動とを組み合わせて実施する実施例である。しかし、電圧駆動のデータＶＤＡＴＡと、電流駆動のデータＩＤＡＴＡは同一のビット数にする必要はない。たとえば、プログラム電流駆動のデータＩＤＡＴＡを８ビット（２５６階調）とし、プリチャージ電圧駆動のデータＶＤＡＴＡを６ビット（６４段階）としてもよい。

【２０４３】

図４３４は、その実施例である。図４３４では、階調の番号（段回数）に対応して、プログラム電流データＩＤＡＴＡが出力できるようにソースドライバ回路（ＩＣ）１４が構成されている。しかし、プリチャージ電圧ＶＤＡＴＡはＩＤＡＴＡ４つに対し、１つしか対応させていない。つまり、プログラム電流駆動のデータＩＤＡＴＡを８ビット（２５６階調）とするならば、プリチャージ電圧駆動のデータＶＤＡＴＡは６ビット（６４段階）である。

【２０４４】

図４３４では、ＶＤＡＴＡはＩＤＡＴＡ４つに対し、等間隔で１つを対応させている。しかし、本発明はこれに限定するものではない。低階調領域では、ＶＤＡＴＡの間隔を狭くし、高階調領域ではＶＤＡＴＡの間隔を広くしてもよい。

【２０４５】

以上の事項は本明細書の他の実施例にも適用することができることは言うまでもない。また、組み合わせて実施例を構成することができることも言うまでもない。

【２０４６】

図４０６は８ビットのソースドライバ回路（ＩＣ）１４において、プログラム電流Ｉｗ（Ｄ０～Ｄ７のスイッチのオンオフ状態により発生する）と、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（説明を容易するため、トランジスタ１５８ｄと過電流トランジスタ３８６１はカレントミラー比１のカレントミラー回路を構成しているとし、過電流（プリチャージ電流もしくはディスチャージ電流）の基準電流Ｉｄと同一の過電流（プリチャージ電流もしくはディスチャージ電流）が端子１５５に印加されるとする）との発生関係あるいはその状態もしくは駆動方法を説明するための説明図である。

【２０４７】

図４０６（ａ）は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加している状態である。過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、１Ｈの１／（２Ｈ）期間など一定の期間印加される。ただし、１Ｈの１／（２Ｈ）期間というのは一実施例であり、これに限定するものではない。制御信号などにより１Ｈの１／（２Ｈ）期間、１Ｈの１／（４Ｈ）期間、１Ｈの２／（３Ｈ）期間、１Ｈの１／（８Ｈ）期間など切り替えできるように構成することが好ましいことは言うまでもない。図４０６（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図４０６（ｂ）は一例として、データＤ（Ｄ７～Ｄ０）が”１０００００１”つま

り、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗの出力状態を示している。

【２０４８】

以上のように、図４０６の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを印加している状態と、プログラム電流Ｉｗの出力状態とは独立している。

【２０４９】

図４０７（ａ）は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加している状態である。過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、１Ｈの１／（２Ｈ）期間など一定の期間印加される。

【２０５０】

ただし、図４０６で説明したように、１Ｈの１／（２Ｈ）期間というのは一実施例であり、これに限定するものではない。制御信号などにより１Ｈの１／（２Ｈ）期間、１Ｈの１／（４Ｈ）期間、１Ｈの２／（３Ｈ）期間、１Ｈの１／（８Ｈ）期間など切り替えできるように構成することが好ましいことは言うまでもない。

【２０５１】

また、映像データの大きさ、１画面の映像データの総和の大きさ、１Ｈ前のソース信号線１８電位の大きさ、各フレームの画像状態の変化、静止画あるいは動画などの画像の性質などにより、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの印加時間などは変化あるいは変更もしくは制御してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【２０５２】

図４０７（ａ）ではプログラム電流Ｉｗを発生させるスイッチＤ０～Ｄ７がすべてオン（クローズ）状態にしている。そのため、端子１５５から出力される過電流（プリチャージ電流もしくはディスチャージ電流）は、本来の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに、最大のプログラム電流Ｉｗを加えたものとなる。以上のように図４０７（ａ）のようにスイッチＤ０～Ｄ７、Ｄｃを制御することにより、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加することができる。そのため、寄生容量Ｃｓの電荷放電時間を短くすることができる。

【２０５３】

図４０７（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図４０７（ｂ）は図４０６（ｂ）と同様に一例として、データＤ（Ｄ７～Ｄ０）が”１００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗの出力状態を示している。

【２０５４】

以上のように、図４０７の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図４０７（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【２０５５】

図４０６、図４０７では過電流トランジスタ３８６１を制御し、ソース信号線１８に過電流（プリチャージ電流もしくはディスチャージ電流）を印加するとした。しかし、本発明はこれに限定するものではない。この実施例を図４０８に図示する。

【２０５６】

図４０８（ａ）ではプログラム電流Ｉｗを発生させるスイッチＤ０～Ｄ７がすべてオン（クローズ）状態にしている。しかし、過電流トランジスタ３８６１を制御するスイッチＤｃはオープン状態である。したがって、端子１５５には過電流（プリチャージ電流もしくはディスチャージ電流）であるＩｄは印加されない。図４０８（ａ）では、映像データに

基づくプログラム電流Ｉｗ以上の電流とスイッチＤ７～Ｄ０を制御することにより発生させた実施例である。一般的に書き込み不足が発生するのは、映像データが小さい領域（低階調領域）である。したがって、この領域ではＤ７ビットなどのスイッチがオンすることがない。この映像データではオンすることがないスイッチ（Ｄ７など）をオンさせて、大きなプログラム電流（＝過電流（プリチャージ電流もしくはディスチャージ電流））を発生させて、この電流でソース信号線１８の電位を制御あるいは操作する。

【２０５７】

以上のように、端子１５５から出力される過電流（プリチャージ電流もしくはディスチャージ電流）は、最大のプログラム電流Ｉｗである。以上のように図４０８（ａ）のようにスイッチＤ０～Ｄ７、Ｄｃを制御することにより、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加することができる。そのため、寄生容量Ｃｓの電荷放電時間を短くすることができる。

【２０５８】

図４０８（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図４０８（ｂ）は図４０６（ｂ）、図４０７（ｂ）と同様に一例として、データＤ（Ｄ７～Ｄ０）が”１００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗ（正規の映像データの大きさに対応する）の出力状態を示している。

【２０５９】

以上のように、図４０８の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図４０８（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【２０６０】

図４０７では、過電流トランジスタ３８６１を設けているが本発明はこれに限定するものではない。図４７０に図示するように、過電流トランジスタ３８６１を形成または配置しなくともよい。図４７０では、プリチャージ電流を印加するときは、スイッチＤ０～Ｄ７などをすべてオンさせ、最大単位電流を流すようにする（図４７０（ａ））。正規の電流を出力する時は、図４７０（ｂ）に図示するように、映像データに該当するスイッチＤ（図４７０ではスイッチＤ１は少なくともオンし、スイッチＤ０、Ｄ２、Ｄ７はオープンである）をオンさせる。他の構成は、本発明の他の実施例で説明しているので説明を省略する。

【２０６１】

図４０７、図４７０などにおいて、プリチャージ電流を印加するときは、すべてのスイッチＤ０～Ｄ７をクローズさせるとしたが、本発明はこれに限定するものではない。プリチャージ電流を印加すると時は、上位ビットのＤ７ビットのみをオンさせてもよい。また、上位ビットに該当するＤ４～Ｄ７ビットをオンさせてもよい。つまり、本発明は、所定の映像データに該当するときよりも、大きい出力電流となるようにスイッチＤｎを操作するものである。

【２０６２】

図４０８（ａ）、図４７０（ａ）ではプログラム電流Ｉｗを発生させるスイッチＤ０～Ｄ７がすべてオン（クローズ）状態にしている。しかし、過電流トランジスタ３８６１を制御するスイッチＤｃはオープン状態である。したがって、端子１５５には過電流（プリチャージ電流もしくはディスチャージ電流）であるＩｄは印加されない。

【２０６３】

図４０８（ａ）では、映像データに基づくプログラム電流Ｉｗ以上の電流とスイッチＤ７～Ｄ０を制御することにより発生させた実施例である。一般的に書き込み不足が発生するのは、映像データが小さい領域（低階調領域）である。したがって、この領域ではＤ７

ビットなどのスイッチがオンすることがない。この映像データではオンすることがないスイッチ（Ｄ７など）をオンさせて、大きなプログラム電流（＝過電流（プリチャージ電流もしくはディスチャージ電流））を発生させて、この電流でソース信号線１８の電位を制御あるいは操作する。

【２０６４】

以上のように、端子１５５から出力される過電流（プリチャージ電流もしくはディスチャージ電流）は、最大のプログラム電流Ｉｗである。以上のように図４０８（ａ）のようにスイッチＤ０～Ｄ７、Ｄｃを制御することにより、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加することができる。そのため、寄生容量Ｃｓの電荷放電時間を短くすることができる。

【２０６５】

図４０８（ｂ）は過電流（プリチャージ電流もしくはディスチャージ電流）印加時間後の状態である。図４０８（ｂ）は図４０６（ｂ）、図４０７（ｂ）と同様に一例として、データＤ（Ｄ７～Ｄ０）が”１００００００１”つまり、Ｄ７ビットとＤ０ビットがオン（クローズ）状態でのプログラム電流Ｉｗ（正規の映像データの大きさに対応する）の出力状態を示している。

【２０６６】

以上のように、図４０８の実施例では、過電流（プリチャージ電流もしくはディスチャージ電流）を流す期間に大きな過電流（プリチャージ電流もしくはディスチャージ電流）を印加することができる。なお、図４０８（ａ）において、すべてのスイッチＤ０～Ｄ７をオン（クローズ）することに限定するものではない。ソース信号線１８の電位、水平走査期間の長さ、寄生容量Ｃｓの大きさなどに対応してスイッチＤ０～Ｄ７のオンオフ状態を変化あるいは制御してもよいことは言うまでもない。

【２０６７】

図３９９、図４０５～図４０８などは、端子１５５から吸い込む方向の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを発生させる構成あるいは方法である。しかし、本発明はこれに限定するものではない。端子１５５から過電流（プリチャージ電流もしくはディスチャージ電流）を吐き出す構成であってもよい。

【２０６８】

また、端子１５５から過電流（プリチャージ電流もしくはディスチャージ電流）を吸い込む回路と、端子１５５から過電流（プリチャージ電流もしくはディスチャージ電流）を吐き出す回路の両方を形成または構成もしくは配置してもよいことは言うまでもない。

【２０６９】

図４１４は、端子１５５から過電流（プリチャージ電流もしくはディスチャージ電流）を吸い込む回路と、端子１５５から過電流（プリチャージ電流もしくはディスチャージ電流）を吐き出す回路の両方を具備する本発明のソースドライバ回路（ＩＣ）１４の実施例である。

【２０７０】

図３９９、図４０５～図４０８などとの差異は、過電流（プリチャージ電流もしくはディスチャージ電流）を吐き出す回路を有する点である。過電流（プリチャージ電流もしくはディスチャージ電流）の吐き出し回路は、トランジスタ１５８ｄ２と過電流トランジスタ３８６１からなるカレントミラー回路で構成される。このカレントミラー回路で過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２（カレントミラー比が１の時）を端子１５５に印加する。

【２０７１】

図４１４において、吐き出し方向の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２を端子１５５に印加する場合は、スイッチＤｃ２をオンする。吸い込み方向の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１を端子１５５に印加する場合は、スイッチＤｃ１をオンする。なお、スイッチＤｃ１とＤｃ２とを同時にオンさせてもよい。過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ２と過電流（

プリチャージ電流もしくはディスチャージ電流）Ｉｄ１の差が端子１５５に印加される。他の構成は、図３９９、図４０５～図４０８などと同様であるので説明を省略する。
図４０７、図４０８、図４７０などにおいて、Ｄ０～Ｄ７スイッチ（Ｄｎスイッチと呼ぶ）を制御するとした。Ｄｎスイッチをオンさせる期間（プリチャージ電流印加期間）を制御することにより、より良好な画像表示を実現できる。プリチャージ電流の印加期間は図４７１に図示するように、スイッチＤｎを制御あるいは操作することにより実現する。すべてのスイッチＤｎをオンする期間は、１Ｈ以下の期間であり、その期間であるオン期間データ値は、コントローラ回路（ＩＣ）７６０によりＲＡＭ４７１２に保持されている。カウンタ回路４６８２は１Ｈの最初のメインクロックＣＬＫでリセットされ、以降、ＣＬＫによりカウントアップされる。

【２０７２】
カウンタ回路４６８２のカウント値と、ＲＡＭ４７１２に保持されたオン期間データは一致回路４７１１で比較され、一致するするまで、すべてのスイッチＤｎをオンするロジックがスイッチＤｎの制御回路（図示せず）に印加され、スイッチＤｎがオンする。カウンタ回路４６８２のカウント値と、ＲＡＭ４７１２に保持されたオン期間データが一致すると、一致回路４７１１は、以降はオフ電圧を出力し、スイッチＤｎは映像データに対応するスイッチのみがオンされる。スイッチＤｎの操作は、ロジック回路でマスキングすることにより容易に実現できる。

【２０７３】
なお、すべてのスイッチＤｎを操作してプリチャージ電流を発生するという動作は、すべての画素に対して行われるものではない。映像信号の電位変化、映像データに大きさなどで実施したり、しなかったり操作されることはいうまでもない（適応型プリチャージ駆動と呼ぶ。図４１７～図４２２、図４６３などで説明しているので参照のこと）。以上の事項は本発明の他の実施例で説明しているので説明を省略する。

【２０７４】
図４０７、図４０８、図４７０、図４７１などの構成では、１Ｈ（１水平走査期間）の最初の期間に、映像データなどから判断され、必要な時はスイッチ１５１ａがクローズされ、プリチャージ電圧Ｖｐｃが端子１５５に印加されて、ソース信号線１８に印加される。基本的には、プリチャージ電圧Ｖｐｃが印加されている時は、スイッチ１５１ｂはオープン状態に制御される。

【２０７５】
また、１Ｈの最初あるいはプリチャージ電圧の印加した後に、映像データなどから判断され、必要な時はスイッチＤｎがクローズされ、プリチャージ電流が端子１５５に印加されて、ソース信号線１８に印加される。プリチャージ電流の印加後、正規の映像データに該当するスイッチＤがクローズされてプログラム電流Ｉｗがソース信号線１８に印加される。

【２０７６】
図４０７、図４０８、図４７０、図４７１などにおいて、プリチャージ電流Ｉｄを印加する期間を長くするほど、ソース信号線１８の電位変化を大きくすることができる。つまり、プリチャージ電流が印加される期間を制御することにより、ソース信号線１８の電位変化を大きくすることができる。

【２０７７】
プリチャージ電流Ｉｄを印加する期間は、図４７１に図示するように、カウンタの値だけで制御することできる。プリチャージ電流Ｉｄは基本的に温特がない。また、図３８０（ａ）で説明したように寄生容量を充放電する期間は線形である。したがって、ロジックで容易に制御が可能である。

【２０７８】
図４７２は、印加されているソース信号線電位が階調０電圧あるいは階調０電流（電圧で代表してＶ０とする）の場合において、次の階調ｎに変化する場合の、すべてのスイッチＤｎのオン時間を示している。たとえば、１階調目に変化させる時（０階調目から１階

調目の変化）は、すべてのスイッチＤｎを２（μｓｅｃ）オンさせればよい。同様に、たとえば、５階調目に変化させる時（０階調目から５階調目の変化）は、すべてのスイッチＤｎを４（μｓｅｃ）オンさせればよい。また、同様に、たとえば、１０階調目に変化させる時（０階調目から１０階調目の変化）は、すべてのスイッチＤｎを６（μｓｅｃ）オンさせればよい。２０階調目以降は、一定であり、すべてのスイッチＤｎを８（μｓｅｃ）オンさせればよい。２０階調目以降は、正規のプログラム電流で目標のソース信号線１８電位に到達できるからである。

【２０７９】

図４７２に印加時間を、コントローラ回路（ＩＣ）７６０に各階調に応じてマトリックステーブル（たとえば、Ｖ０に対する階調ｎのスイッチＤｎのオン時間、Ｖ１に対する階調ｎのスイッチＤｎのオン時間、Ｖ２に対する階調ｎのスイッチＤｎのオン時間、・・・・・・など、図４６３なども参照のこと）に記憶させておき、このテーブルに応じてスイッチＤｎを制御するようにすればよい。以上の事項は本発明の他の実施例においても適用できることは言うまでもない。

【２０８０】

図４０７、図４０８、図４７０、図４７１では、吸い込み電流方向のプリチャージ電流を発生する構成であった。本発明はこれに限定するものではない。たとえば、図４７３に図示するように、ソースドライバ回路（ＩＣ）１４内にシンク電流のプログラム電流出力段４３１ｃａと、吐き出し電流を出力するプログラム電流出力段４３１ｃｂを形成または構成してよい。シンク電流のプリチャージ電流を発生する場合は、出力段４３１ｃａのスイッチＤｎを制御あるいは操作する。吐き出し電流を発生する場合は、出力段４３１ｃｂスイッチＤｎを制御あるいは操作する。いずれかのプリチャージ電流は、スイッチ１５１ｂ１とスイッチ１５１ｂ２を制御することにより実現する。

【２０８１】

本発明の実施例において、プリチャージ電圧Ｖｐｃは、主としてアノード電圧に近い電圧を印加するとしたが、これに限定するものではない。たとえば、図４７４のようにプリチャージ電圧Ｖｐｃを印加してもよい。図４７４（ａ）は、低階調時に、１Ｈの最初のｔａ期間に階調０に対応するプリチャージ電圧Ｖｐｃ＝Ｖ０電圧を印加する実施例である。図４７４（ｂ）は、高階調時に、１Ｈの最初のｔａ期間に階調２５５に対応するプリチャージ電圧Ｖｐｃ＝Ｖ２５５電圧を印加する実施例である。いずれも場合も、プリチャージ電圧Ｖｐｃの印加後、プログラム電流を印加する。

【２０８２】

なお、プリチャージ電圧Ｖｐｃは１Ｈの所定期間だけでなく、１Ｈ期間の間印加しつづけてもよいことは言うまでもない。図４７５はその実施例である。

【２０８３】

図４７５（ａ）は、低階調時に、１Ｈ期間に階調０に対応するプリチャージ電圧Ｖｐｃ＝Ｖ０電圧を印加する実施例である。（ｇ）に示す期間にプリチャージ電圧としてＶ０電圧を印加しつづけている。なお、他の期間は、プリチャージ電圧Ｖｐｃを印加せず、プログラム電流のみで駆動している。プログラム電流は相対動作（現階調から次の階調に変化する）する。

【２０８４】

図４７５（ｂ）は、低階調時に、１Ｈ期間に階調０に対応するプリチャージ電圧Ｖｐｃ＝Ｖ０電圧を印加し、高階調時に、１Ｈ期間に階調２５５に対応するプリチャージ電圧Ｖｐｃ＝Ｖ２５５電圧を印加する実施例である。（ｅ）に示す期間にプリチャージ電圧としてＶ２５５を印加し続けている。また、（ｇ）に示す期間にプリチャージ電圧としてＶ０電圧を印加しつづけている。なお、他の期間は、プリチャージ電圧Ｖｐｃを印加せず、プログラム電流のみで駆動している。

【２０８５】

図４０３は、本発明の表示パネル（表示装置）の駆動方法（駆動方式）を説明するための説明図である。電圧プリチャージおよびプログラム電流によるソース信号線１８に電位

状態を示している。図４０３の実施例では、ソースドライバ回路（ＩＣ）１４が発生するプリチャージ電圧は、階調０の電位Ｖ０（黒電圧プリチャージ）と、最大の階調２５５の電位Ｖ２５５（白電圧プリチャージ）とを発生する。

【２０８６】

表示パネルが５インチ以下と小型の場合は、プリチャージ電圧の発生回路を簡略化することが可能である。図４２７はプリチャージ電圧の発生数を３つ（０階調用：Ｖ０、１階調用：Ｖ１、２階調用：Ｖ２）としている。また、図４２７は、図３５１～３５３と図３０９、図３１０とを組み合わせた構成もしくは類似の構成である。

【２０８７】

図４２７において、ソースドライバ回路（ＩＣ）１４の端子２８３ｂには、Ｖ０電圧が印加されている。Ｖ０電圧はボリウムなどにより自由に設定あるいは調整できるように構成されている。Ｖ０電圧の調整により、本発明のＥＬ表示パネルが最適な黒表示となるようにすることができる。また、Ｌ端子２８３ｃにはＶ２電圧が印加される。Ｖ２電圧もボリウムなどにより、ソースドライバ回路（ＩＣ）１４外部で自由に設定あるいは調整できるように構成されている。Ｖ０、Ｖ２電圧の調整により、本発明のＥＬ表示パネルが最適な黒表示と２階調目の表示を得ることができる。なお、Ｖ０電圧、Ｖ２電圧は、ソースドライバ回路（ＩＣ）１４内部にＤＡ回路を形成または構成し、デジタル的に変更あるいは調整してもよいことは言うまでもない。

【２０８８】

１階調目のプリチャージ電圧Ｖ１は、Ｖ０、Ｖ２電圧と内蔵あるいは外づけ抵抗Ｒａ、Ｒｂで発生させる。Ｖ２電圧を変化させれば、Ｖ１電圧も相対的に変化する。本発明では、基準電流比制御を実施する。基準電流比を変化あるいは変更すれば、図３５５、図３５６、図３５０などで説明したように、各階調での動作点（プログラム電流の大きさ）が変化する。したがって、同一の２階調目であっても基準電流を変化させればプログラム電流の大きさが異なり、ソース信号線１８電位も異なる。

【２０８９】

図４２７の構成では、基準電流あるいは基準電流比に連動して、Ｖ２電圧を変化させる。したがって、Ｖ１電圧も変化する。一方で０階調目であるＶ０電圧は動作原点であるから、基準電流を変化させても調整する必要はない。つまり、本発明は、０階調目（完全黒表示）に対応するＶ０電圧を固定し、必要に応じて、Ｖ０電圧よりも高階調（図４２７の実施例ではＶ２電圧）を調整できる構成あるいは方法である。

【２０９０】

Ｖ０電圧は、ＲＧＢで共通であっても実用上十分である。ただし、Ｖ２電圧は、ＥＬ素子１５がＲＧＢで効率が異なるため、Ｒ用のＶ２電圧、Ｇ用のＶ２電圧、Ｂ用のＶ２電圧というように個別に設定できるように構成する必要がある。

【２０９１】

Ｖ０などのプリチャージ電圧Ｖｐｃはアノード電圧Ｖｄｄと連動させることが好ましい。この実施例を図５２１に図示する。プリチャージ電圧Ｖｐｃは、基本的には、駆動用トランジスタ１１ａの立ち上がり電圧である。立ち上がり電圧は、アノード電圧Ｖｄｄは、駆動用トランジスタ１１ａの一端子の電圧である。したがって、アノード電圧Ｖｄｄが高くなれば、プリチャージ電圧Ｖｐｃも高くする必要がある。アノード電圧Ｖｄｄが低くなれば、プリチャージ電圧Ｖｐｃも低くする必要がある。

【２０９２】

以上の課題に対して、図５２１に図示するように、電子ボリウム５０１の電源電圧をアノード電圧Ｖｄｄとすることにより、Ｖｄｄ電圧が変動しても、Ｖｐｃ電圧が連動して変化する。したがって、良好なプリチャージを実現できる。

【２０９３】

以上の実施例では、プリチャージ電圧Ｖｐｃをアノード電圧Ｖｄｄに連動させるとしたが、本発明はこれに限定するものではない。駆動用トランジスタ１１ａの画素構成配置あるいは極性（ＰチャンネルまたはＮチャンネル）によっては、カソード電圧に連動させて

もよい。以上のように本発明の特徴は、カソード電圧またはアノード電圧とプリチャージ電圧Ｖｐｃを連動させることである。

【２０９４】

プリチャージ電圧であるＶ０、Ｖ１、Ｖ２電圧は、内部配線でソースドライバ回路（ＩＣ）１４内を長手方向に伝送（伝達）される。電流出力段７７１の出力配線１５０とプリチャージ電圧が印加された配線の交点にはスイッチＳｐが形成または配置されている。各スイッチはＳＳＥＬ信号（２ビット）によりオンオフ制御される。たとえば、スイッチＳｐ１ａがオンすればＶ０電圧が端子２８８４ａから出力される。また、スイッチＳｐ２ｂがオンすればＶ１電圧が端子２８８４ｂから出力される。他の構成は、図３５１～３５３、図３０９、図３１０などと同様あるいは類似であるので説明を省略する。なお、ＳＳＥＬ信号は、コントローラＩＣ（回路）７６０で発生し、ソースドライバ回路（ＩＣ）１４に伝送する。また、ＳＳＥＬ信号は、映像信号ごとに判定し、発生する。

【２０９５】

図３５０に図示するように、Ｖ０電圧がトランジスタ１１ａの立ち上がり電圧である。したがって、プリチャージ電圧としては、Ｖ０電圧よりもＶｄｄ電圧に近い電圧を印加する必要がある。しかし、Ｖ０電圧は、アレイのプロセスによりバラツキがある。一般的には、ボリウムなどを用いてアレイまたはパネルごとに調整すればよい。しかし、個々に調整することはコストアップになる。この課題を解決する方式が図５１９の構成である。

【２０９６】

図５１９において、ソースドライバ回路（ＩＣ）１４と表示領域間のソース信号線１８上にコンデンサ電極５１９１が形成されている。なお、コンデンサ電極５１９１はソース信号線１８と絶縁膜を介して配置または形成されており、直流的には接続はされていない（図５２３を参照のこと）。また、本発明の実施例において、コンデンサ電極５１９１はソース信号線１８上に形成または配置するとするが、これに限定するものではない。ソース信号線１８の下層に形成または配置してもよい。さらには、コンデンサ電極５１９１は、ソース信号線１８と電磁結合をするものであればいずれの構成でもよい。たとえば、隣接したソース信号線１８間に電極を形成または配置し、ソース信号線１８と電磁結合させた構成でもよい。

【２０９７】

図３５０でも説明したように、Ｐチャンネルのトランジスタ１１ａのゲート電位がアノード電位Ｖｄｄに近くなれば、良好な黒表示を実現できる。トランジスタ１１ａのゲート電位は、プログラム電流Ｉｗの書き込み時のソース信号線１８である。したがって、黒表示時（黒書き込み時）のソース信号線１８電位をアレイごとに測定（計測または入手）できればよい。測定する電圧は、Ｖ０電圧あるいはその近傍電圧である。この電圧がアレイまたは表示パネルで変化する。

【２０９８】

図５１９のように、構成し、ソースドライバ回路（ＩＣ）１４の出力を０にする。つまり、プログラム電流Ｉｗ＝０であるから、黒表示である。すると、ソース信号線１８の電位も黒表示を実現するための電位となる。ソース信号線１８とコンデンサ電極５１９１は交流的（電磁的）に結合しているから、全ソース信号線（コンデンサ電極５１９１と重なっている（電磁結合している）ソース信号線１８）の電位を平均した電位が、コンデンサ電極５１９１に誘起される。この誘起された電位をＶｎとする。この電位を安定されるため、図５１９に図示するようにコンデンサＣを接続しておいてもよい。

【２０９９】

コンデンサ電極５１９１の電位Ｖｎはバッファ５０２を介してアナログ－デジタル変換回路（ＡＤコンバータ）５１９３でデジタル信号に変換される。デジタル信号に変換されたＶｎデータは、加算回路５１９２に入力される。

【２１００】

このＶｎデータは黒表示時でのソース信号線１８電位を平均したものであるから、Ｖ０電圧近傍であり、Ｖｎ電圧では完全な黒表示は期待できない。そのため、Ｖｎ電圧よりも

所定の値分だけＶｄｄ電圧に高くする必要がある（駆動用トランジスタ１１ａがＰチャンネルの場合である。駆動用トランジスタ１１ａがＮチャンネルの場合は逆になる）。そのため、図５１９に図示するように、加算回路５１９２に一定の電圧ＡＤＤＶとなる、８ビットデータを加算する。ＡＤＤＶデータの大きさは、０．０５以上０．２Ｖ以下の範囲に設定することが好ましい。また、図５１９に図示するように可変できるように構成することが好ましい。可変は、たとえば、点灯率に応じて実施する。

【２１０１】

ＡＤＤＶとＶｎデータを加算した電圧が、プリチャージ電圧Ｖｐｃとなる。Ｖｐｃデータはソースドライバ回路（ＩＣ）１４の電子ボリウム５０１などでアナログデータとなり、画素にプリチャージ電圧として印加される。

【２１０２】

図５１９の実施例は、ソース信号線１８の電位を検出する方法であった。図５２０の方式は、表示領域１４４または、表示パネルの特定箇所にＶ０電圧を検出するダミー画素５２０１を形成または配置した構成である。

【２１０３】

図５２０（ａ）に図示するように、ダミー画素５２０１には、画素１６と同一のサイズ、形状の駆動用トランジスタ１１ａが形成されている。図５２０（ｂ）に図示するようにダミー画素１１ａは表示領域１４４の一部の領域に形成されている。ダミー画素５２０１の駆動用トランジスタ１１ａはゲートとドレイン端子が短絡されており、黒表示状態となっている。

【２１０４】

トランジスタ１１ｃがクローズすることにより、駆動用トランジスタ１１ａのゲート端子電圧が出力される。出力された電圧Ｖｎはアナログ－デジタル変換回路（ＡＤコンバータ）５１９３でデジタル信号に変換される。デジタル信号に変換されたＶｎデータは、加算回路５１９２に入力される。

【２１０５】

このＶｎデータは黒表示時で駆動用トランジスタ１１ａのゲート端子電位であるから、Ｖ０電圧近傍である。しかし、Ｖｎ電圧では完全な黒表示は期待できない。そのため、Ｖｎ電圧よりも所定の値分だけＶｄｄ電圧に高くする必要がある（駆動用トランジスタ１１ａがＰチャンネルの場合である。駆動用トランジスタ１１ａがＮチャンネルの場合は逆になる）。そのため、図５１９と同様に図５２０に図示するように、加算回路５１９２に一定の電圧ＡＤＤＶとなる、８ビットデータを加算する。ＡＤＤＶデータの大きさは、０．０５以上０．２Ｖ以下の範囲に設定することが好ましい。また、図５２０に図示するように可変できるように構成することが好ましい。可変は、たとえば、点灯率に応じて実施する。

【２１０６】

ＡＤＤＶとＶｎデータを加算した電圧が、プリチャージ電圧Ｖｐｃとなる。Ｖｐｃデータはソースドライバ回路（ＩＣ）１４の電子ボリウム５０１などでアナログデータとなり、画素にプリチャージ電圧として印加される。

【２１０７】

なお、図５１９の実施例では、Ｖｎ電圧などをデジタル化して処理するとしたが、本発明はこれに限定するものではない。アナログ信号のまま、加算処理などを実施してもよいことは言うまでもない。

【２１０８】

図４２８は、ＳＳＥＬ信号の説明図である。図４２８に図示するように、ＳＳＥＬ＝０では、スイッチＳＰは選択されない。つまり、プリチャージ電圧Ｖｐｃ（図４２７ではＶ０、Ｖ１、Ｖ２）は印加されない。したがって、プリチャージ電圧駆動は該当ソース信号線１８には実施されない。ＳＳＥＬ＝１では、スイッチＳＰ１が選択され、該当ソース信号線１８にＶ０電圧が所定の期間印加される。プリチャージ電圧Ｖｐｃ＝Ｖ０が印加された後、電流駆動が実施される。ただし、Ｖ０では階調０であるので、プログラム電流Ｉｗ

も０である。この場合は、画素１６の駆動用トランジスタ１１ａは、電流が流れないように、ゲート端子電位が変化する。そのため、Ｖ０電圧印加後もソース信号線１８電位は変化する。

【２１０９】

ＳＳＥＬ＝２では、スイッチＳＰ２が選択され、該当ソース信号線１８にＶ１電圧が所定の期間印加される。プリチャージ電圧Ｖｐｃ＝Ｖ１が印加された後、電流駆動が実施される。同様にＳＳＥＬ＝３では、スイッチＳＰ３が選択され、該当ソース信号線１８にＶ２電圧が所定の期間印加される。プリチャージ電圧Ｖｐｃ＝Ｖ２が印加された後、電流駆動が実施される。

【２１１０】

以上の実施例は、プリチャージ電圧回路の実施例であった。図４２９はプリチャージ電流回路の実施例である。ＩＤＡＴＡにより電子ボリウム５０１ｂからの出力電圧Ｖａが変化する。Ｖａ電圧は、オペアンプ５０２の正極性の端子に印加される。オペアンプ５０２およびトランジスタ１５８ａと抵抗Ｒで定電流回路を構成している。各定電流回路の出力電流（プリチャージ電流）は抵抗Ｒ（Ｒａ、Ｒｂ、Ｒｃ）の値により変化させる（調整する）ことができる。

【２１１１】

トランジスタ１５８ａ１には、プリチャージ電流Ｉ０が流れる。トランジスタ１５８ａ２には、プリチャージ電流Ｉ１が流れる。同様に、トランジスタ１５８ａ２は、プリチャージ電流Ｉ２が流れる。どのプリチャージ電流が端子２８８４に出力されるかは、ＳＳＥＬ信号によりスイッチＳＰが制御されることにより実施される。

【２１１２】

図４３０は、図４２９におけるＳＳＥＬ信号の説明図である。図４３０に図示するように、ＳＳＥＬ＝０では、スイッチＳＰは選択されない。つまり、プリチャージ電流Ｉｃ（図４２９ではＩ０、Ｉ１、Ｉ２）は印加されない。したがって、プリチャージ電流駆動は該当ソース信号線１８には実施されない。ＳＳＥＬ＝１では、スイッチＳＰ１が選択され、該当ソース信号線１８にＩ０電流が所定の期間印加される。プリチャージ電流Ｉ０が印加された後、電流駆動が実施される。ただし、階調０であるので、プログラム電流Ｉｗも０である。この場合は、画素１６の駆動用トランジスタ１１ａは、電流が流れないように、ゲート端子電位が変化する。

【２１１３】

ＳＳＥＬ＝２では、スイッチＳＰ２が選択され、該当ソース信号線１８にＩ１電流が所定の期間印加される。プリチャージ電流Ｉｃ＝Ｉ１が印加された後、プログラム電流駆動が実施される。同様にＳＳＥＬ＝３では、スイッチＳＰ３が選択され、該当ソース信号線１８にＩ２電流が所定の期間印加される。プリチャージ電流Ｉｃ＝Ｉ１が印加された後、プログラム電流駆動が実施される。

【２１１４】

なお、図４２７のプリチャージ電圧回路と、図４２９のプリチャージ電流回路とを組み合わせてもよいことは言うまでもない。

【２１１５】

図４０３では、プリチャージ電圧を印加する期間は一例として１μｓｅｃとしている。したがって、１Ｈ時間－１μｓｅｃが電流プログラム期間である。しかし、本発明はこれに限定するものではない。他の構成あるいは状態あるいは時間などでもよいことは言うまでもない（図４７１の実施例を参照のこと）。また、電圧駆動あるいはプリチャージ電圧駆動および電流駆動に関する事項は、図１６、図７５～図７９、図１２７～図１４２、図２１３、図２３８、図２５７～図２５８、図２６３、図２９３～図２９７、図３０８～図３１３、図３３１～図３４９、図３５１～図３５４などに説明している。これらの図面などで説明あるいは記載した事項が適用あるいは準用もしくは類似であるので省略する。

【２１１６】

過電流（プリチャージ電流もしくはディスチャージ電流）駆動に関する事項は、図３８

１～図４２２で説明している。これらの図面などで説明あるいは記載した事項が適用あるいは準用もしくは類似であるので省略する。以上の事項は本発明の他の実施例にも適用される。また、相互に組み合わせることができる。

【２１１７】

図４０３などの実施例は、ＲＧＢが各８ビット（２５６階調表示）として説明をする。なお、本発明は、以前にも説明したようにＲＧＢに限定されるものではない。単色でもよく、また、シアン、イエロー、マゼンダなどでもよく、ＲＧＢに加えて、白色（Ｗ）の４色などでもよい。図４０３（ａ）は階調０から階調２５５に変化させる実施例である。階調０と階調２５５などの電位差が大きい時は、白電圧プリチャージ（Ｖ２５５電圧を印加）が実施される。図４０３（ａ）に図示するように１Ｈの最初の期間（なお、１Ｈの最初の期間に限定するものではない）から１μｓｅｃの期間に白電圧プリチャージが実施される。白電圧プリチャージの実施により、ソース信号線１８に電圧が印加されて、ソース信号線１８電位はＶ２５５となる。その後、電流プログラムが実施され、画素１６の駆動用トランジスタ１１ａの特性に応じてソース信号線１８電位が補正される。一例として図４０３（ａ）では、ソース信号線１８電位がアノード電位Ｖｄｄの方向に上昇する。

【２１１８】

図４０３（ｂ）は階調２５５から階調０に変化させる実施例である。階調２５５と階調０などの電位差が大きい時は、黒電圧プリチャージ（Ｖ０電圧を印加）が実施される。図４０３（ｂ）に図示するように１Ｈの最初の期間（なお、１Ｈの最初の期間に限定するものではない）から１μｓｅｃの期間に黒電圧プリチャージが実施される。黒電圧プリチャージの実施により、ソース信号線１８に電圧Ｖ０が印加されて、ソース信号線１８電位はＧＮＤ電圧に近いＶ０となる。その後、電流プログラムが実施され、画素１６の駆動用トランジスタ１１ａの特性に応じてソース信号線１８電位が目標のプログラム電流に等しい電流が流れるように補正される。一例として図４０３（ｂ）では、ソース信号線１８電位がグランド（ＧＮＤ）電位の方向に下降する。

【２１１９】

図４０３（ｃ）は階調０から階調２００に変化させる実施例である。階調０と階調２００などの比較的電位差が大きい時は、白電圧プリチャージ（Ｖ２５５電圧を印加）が実施される。なお、黒電圧プリチャージは、全階調の１／４より低階調領域に変化する時に実施される。白電圧プリチャージは、全階調の１／２より高階調領域に変化する時に実施される。図４０３（ｃ）に図示するように１Ｈの最初の期間（なお、１Ｈの最初の期間に限定するものではない）から１μｓｅｃの期間に白電圧プリチャージが実施される。白電圧プリチャージの実施により、ソース信号線１８に電圧が印加されて、ソース信号線１８電位はＶ２５５となる。その後、電流プログラムが実施され、画素１６の駆動用トランジスタ１１ａが主に動作して、目標の階調電流２００に相当するソース信号線１８電位に補正される。

【２１２０】

図４０４は過電流駆動（プリチャージ電流駆動）と電圧駆動（プリチャージ電圧駆動）の両方を実施する駆動方法の説明図である。なお、回路構成は一例として図４０５の構成であるとする。スイッチ１５１はＯＮでクローズ状態、ＯＦＦでオープン状態とする。スイッチ１５１ａがＯＮでプリチャージ電圧Ｖｐｃが端子１５５に印加される（ソース信号線１８に印加される）。スイッチ１５１ｂがＯＮでプログラム電流Ｉｗが端子１５５に印加される（ソース信号線１８に印加される）。また、スイッチＤｃがＯＮで過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｗが端子１５５に印加される（ソース信号線１８に印加される）。

【２１２１】

図４０４（ａ）に図示するように、スイッチ１５１ａがＯＮでプリチャージ電圧Ｖｐｃが端子１５５に印加される状態と、スイッチ１５１ｂがＯＮでプログラム電流Ｉｗが端子１５５に印加される状態が同時に発生しても動作上は問題がない。定電流回路４３１ｃなどは内部インピーダンスが高く、定電圧回路（プリチャージ電圧回路）と短絡しても正常

動作を実施できるからである。ただし、図４０４（ｂ）（ｃ）に図示するように、スイッチＤｃがＯＮ状態の時は、スイッチ１５１ａはＯＦＦ状態にすることが好ましい。過電流（プリチャージ電流もしくはディスチャージ電流）回路からの電流が定電圧回路に突入電流として流れる場合があるからである。図４０４（ａ）に図示するように、スイッチＤｃがＯＦＦ状態の時は、スイッチ１５１ａがＯＮ状態であっても問題はない。

【２１２２】

図４０４（ｂ）（ｃ）に図示するように、スイッチＤｃがＯＮする期間を制御することにより、端子１５５に過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間を調整することができる。図４０４（ｂ）では、過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間は１／（３Ｈ）であり、図４０４（ｃ）では、過電流（プリチャージ電流もしくはディスチャージ電流）が印加される期間は１／（４Ｈ）である。図４０４（ｃ）の方が、図４０４（ｂ）よりもソース信号線１８の電位変化を大きくすることができる。

【２１２３】

図４０７、図４０８では、プログラム電流Ｉｗを制御するＤ０～Ｄ７スイッチを操作する構成を説明した。図４０９はさらに詳しい実施例あるいは他の実施例である。

【２１２４】

過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは内部配線１５０ｂに印加するオンオフ信号によりオンする期間を制御することができる。図４０９の実施例では、１Ｈの０、１／４、２／４、３／４の４つの期間で制御できる。同様に、強制的にプログラム電流Ｉｗを制御するスイッチＤ０～Ｄを操作（制御）する期間（強制制御と記載する）も、図４０９の実施例では、１Ｈの０、１／４、２／４、３／４の４つの期間で制御できる。なお、図４０９では正規のプログラム電流を流す期間はデータ制御として記載し階調４から階調５（４→５と記載）などと記載している。図４０９の実施例では、少なくとも１Ｈの１／２の期間は、正規のプログラム電流を流す期間である。

【２１２５】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈのすべての期間であってもよい。つまり、１Ｈ以下１／（４Ｈ）以上の期間であればいずれでもよい。

【２１２６】

Ｄｃスイッチと強制性によるＤ７～Ｄ０スイッチの操作（制御）は、階調の変化に応じて実施される。Ｄｃスイッチと強制性によるＤ７～Ｄ０スイッチの操作（制御）は、コントローラＩＣ（回路）７６０で、１Ｈごとの映像信号変化あるいは１Ｆ（１フレーム）内の映像信号変化あるいは変化割合などに基づいて判断される。判断されたデータあるいは制御信号は差動信号などに変換されてソースドライバ回路（ＩＣ）１４に伝送される。

図４０９（ａ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から１／（４Ｈ）の期間オン（クローズ）される。したがって、１Ｈの最初から１／（４Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（２Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【２１２７】

過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄと加算される期間は、１Ｈの最初から１／（４Ｈ）期間であり、比較的短い。正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（２Ｈ）期間に実施される。以上の動作により、ソース信号線１８の電位が１Ｈの最初から１／（２Ｈ）期間に階調４から階

調５レベルに変化し、１Ｈの後半の１／（２Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。

【２１２８】

図４０９（ｂ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から１／（２Ｈ）の期間オン（クローズ）される。したがって、１Ｈの最初から１／（２Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（２Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【２１２９】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（２Ｈ）期間に実施される。

【２１３０】

以上の動作により、ソース信号線１８の電位が１Ｈの最初から１／（２Ｈ）期間に階調１から階調２レベルに変化し、１Ｈの後半の１／（２Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、動作開始のソース信号線１８の電位が階調１レベルである時は、Ｄｃスイッチをオンする期間を長くし、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを長時間、ソース信号線１８に印加する必要がある。

【２１３１】

図４０９（ｃ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から３／（４Ｈ）の期間オン（クローズ）される。したがって、１Ｈの最初から３／（４Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（４Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（４Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【２１３２】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（４Ｈ）期間に実施される。

【２１３３】

以上の動作により、ソース信号線１８の電位が１Ｈの最初から３／（４Ｈ）期間に階調０から階調１レベルに変化し、１Ｈの後半の１／（４Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、動作開始のソース信号線１８の電位が階調０レベルである時は、Ｄｃスイッチをオンする期間を最も長くし、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを長時間、ソース信号線１８に印加する必要がある。

【２１３４】

図４０９（ｄ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは動作しない。プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１

Ｈの最初から１／（２Ｈ）期間、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【２１３５】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（２Ｈ）期間に実施される。以上の動作により、ソース信号線１８の電位が１Ｈの最初から１／（２Ｈ）期間に階調０から階調１レベルにほぼ変化し、１Ｈの後半の１／（２Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）を流すＤｃスイッチを動作させないのは、階調変化が１６階調目から１８階調目のように、変化前の階調が比較的大きく（ソース信号線１８電位が高く）、１６から１８階調目と比較的変化が小さいためである。

【２１３６】

以上の実施例では、Ｄｃスイッチは連続してオン状態を維持させるとしたが、本発明はこれに限定するものではない。図４０９（ｅ）は、Ｄｃスイッチを１Ｈ期間は連続してオン状態を維持させるとしたが、本発明はこれに限定するものではない。図４０９（ｅ）は、Ｄｃスイッチを１Ｈ期間で複数回（２回）オンさせた実施例である。図４０９（ｅ）では、過電流（プリチャージ電流もしくはディスチャージ電流）を流すスイッチＤｃは１Ｈの最初から１／（４Ｈ）の期間と、１／（２Ｈ）経過後の１／（４Ｈ）の期間にオン（クローズ）される。したがって、全体として１Ｈの１／（２Ｈ）期間、ソース信号線１８には過電流（プリチャージ電流）が印加される。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から１／（２Ｈ）の期間、強制的に（クローズ）される。
したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（４Ｈ）期間に、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１／（４Ｈ）期間に実施される。

【２１３７】

以上の動作により、ソース信号線１８の電位が１Ｈの最初から３／（４Ｈ）期間に階調２から階調３レベルに変化し、１Ｈの後半の１／（４Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、電流駆動では、定電流は加算することができる。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは１Ｈの後半以外（最終以外）のいずれの期間に印加してもよい。また、複数回に分割して印加してもよい。以上の事項は、Ｄ０～Ｄ７スイッチの強制制御に対しても適用できることは言うまでもない。

【２１３８】

以上の実施例では、Ｄｃスイッチは１Ｈの最初からオン状態にするとしたが、本発明はこれに限定するものではない。図４０９（ｆ）は、Ｄｃスイッチを最初から１／（４Ｈ）期間経過後にオンさせた実施例である。また、プログラム電流を流すスイッチＤ０～Ｄ７は１Ｈの最初から３／（４Ｈ）の期間、強制的に（クローズ）される。

【２１３９】

したがって、Ｄｃスイッチの動作により流れる過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄに加算されて、１Ｈの最初から１／（４Ｈ）期間に、ソース信号線１８にはスイッチＤ０～Ｄ７によるプリチャージ電流が印加される。

【２１４０】

正規のプログラム電流を流す期間（正規のプログラム電流となるように映像信号に該当するスイッチＤ０～Ｄ７が設定（操作あるいは制御）されている状態）は、１Ｈの後半１

／（４Ｈ）期間に実施される。以上の動作により、ソース信号線１８の電位が１Ｈの最初から３／（４Ｈ）期間に階調５から階調６レベルに変化し、１Ｈの後半の１／（４Ｈ）期間に、正規のプログラム電流により補正されて画素１６の駆動用トランジスタ１１ａが目標のプログラム電流Ｉｗを流すように電流プログラムが実施される。以上のように、電流駆動では、定電流は加算することができる。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは、１Ｈの最初から印加することに限定されるものではない。１Ｈの後半以外（最終以外）のいずれの期間に印加してもよい。また、複数回に分割して印加してもよい。以上の事項は、Ｄ０～Ｄ７スイッチの強制制御に対しても適用できることは言うまでもない。

【２１４１】

なお、以上の実施例の制御期間あるいは操作期間は１Ｈとしたが、本発明はこれに限定するものではない。１Ｈ以上の特定の期間内に実施してもよいことは言うまでもない。また、過電流（プリチャージ電流もしくはディスチャージ電流）駆動とプリチャージ電圧（プログラム電圧）駆動とを組み合わせて実施してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【２１４２】

図４１０は、過電流（プリチャージ電流もしくはディスチャージ電流）駆動とプリチャージ電圧（プログラム電圧）駆動とを組み合わせた実施例である。また、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ印加期間も変化させた実施例である。

図４１０は、プリチャージ電圧は０階調に対応するＶ０電圧の場合である。まず、図４１０（ａ１）（ａ２）（ａ３）について説明をする。図４１０（ａ１）では、プリチャージ電圧を１Ｈの最初に１μｓｅｃ印加している。また、図４１０（ａ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図４１０（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。

【２１４３】

したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。以上の図４１０（ａ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１４４】

次に、本発明の他の実施例における駆動方法について図４１０（ｂ１）（ｂ２）（ｂ３）をもちいて説明をする。図４１０（ｂ１）では、プリチャージ電圧を１Ｈの最初からｔｘμｓｅｃの時間印加している。また、図４１０（ｂ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図４１０（ｂ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１４５】
以上の図４１０（ｂ）の実施例では、プリチャージ電圧Ｖ０を印加する期間ｔｘを制御することにより、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージの印加期間を調整することができる。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。
【２１４６】
図４１０（ａ）（ｂ）はプリチャージ電圧を印加する回数は１回の場合であった。しかし、本発明は、プリチャージ電圧を印加する期間は、１回に限定するものではない。プリチャージ電圧を印加することにより、ソース信号線１８電位をリセットすることができ、リセットにより過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ駆動によるソース信号線１８の電位制御（調整）が容易になるからである。また、プリチャージ電圧ＶｐｃはＶ０電圧に限定されるものでない。図１２７～図１４３、図２９３、図３１１、図３１２、図３３９～図３４４などで説明するようにプリチャージ電圧（プログラム電圧と同義あるいは類似）は多種多様な電圧を設定することができる。
【２１４７】
図４１０（ｃ１）（ｃ２）（ｃ３）は、１Ｈ期間（所定の時間間隔）に複数回、ソース信号線１８にプリチャージ電圧を印加した実施例である。図４１０（ｃ１）では、プリチャージ電圧を１Ｈの最初からと、ｔ３時間からの２回１μｓｅｃ印加している。また、図４１０（ｃ２）に示すように１Ｈの最初から４／（５Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図４１０（ｃ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。ｔ０～ｔ３の期間は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによりソース信号線１８の電位は降下する。しかし、ｔ３～ｔ４の期間に、プリチャージ電圧を印加するために、ソース信号線１８の電位はＶ０にリセットされる。ｔ４～ｔ５の期間は過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによりソース信号線１８の電位は再び降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【２１４８】
以上の図４１０（ｃ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にリセットし、最終のプリチャージ電圧印加した時点から電流プログラムの動作が開始される。したがって、プリチャージ電圧を印加するタイミングを制御あるいは調整することにより、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に制御することが可能である。そのため、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易であり、良好で精度のよい電流プログラムを実施することができる。
【２１４９】
図４１０は、一定のプリチャージ電圧（プログラム電圧）を印加した実施例であった。図４１１はプリチャージ電圧を変化させた実施例である。なお、一例として図４１１における過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄは１Ｈの最初から１／（２Ｈ）の期間印加しているとする（ｔ１～ｔ３期間）。
【２１５０】
図４１１（ａ１）は、プリチャージ電圧は０階調に対応するＶ０電圧の場合である。図４１１（ｂ１）は、プリチャージ電圧は１階調に対応するＶ１電圧の場合である。図４１１（ｃ１）は、プリチャージ電圧は２階調に対応するＶ２電圧の場合である。

【２１５１】
図４１１（ａ１）（ａ２）（ａ３）について説明をする。図４１１（ａ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。また、図４１１（ａ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図４１１（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。
【２１５２】
また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【２１５３】
図４１１（ａ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。したがって、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。
【２１５４】
次に、図４１１（ｂ１）（ｂ２）（ｂ３）について説明をする。図４１１（ｂ１）では、１階調目に該当するプリチャージ電圧Ｖ１を１Ｈの最初に１μｓｅｃ印加している。また、図４１１（ｂ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。したがって、図４１１（ｂ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は１階調の電圧電位Ｖ１である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【２１５５】
図４１１（ｂ）の実施例では、プリチャージ電圧Ｖ１を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。プリチャージ電圧Ｖ１はＶ０よりもソース信号線１８に書き込む電位が低い。一方、過電流（プリチャージ電流）の印加時間は一定で、かつ過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさもＩｄ０と一定である。したがって、図４１１（ａ）よりソース信号線１８の電位を低くすることができるから、より高輝度表示を実現できる。
【２１５６】
また、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。
【２１５７】
さらに、図４１１（ｃ１）（ｃ２）（ｃ３）について説明をする。図４１１（ｃ１）では、２階調目に該当するプリチャージ電圧Ｖ２を１Ｈの最初に１μｓｅｃ印加している。また、図４１１（ｃ２）に示すように１Ｈの最初から１／（２Ｈ）の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄをソース信号線１８に印加している。した

がって、図４１１（ｃ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は２階調目の電圧電位Ｖ２である。

【２１５８】

また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１５９】

図４１１（ｃ）の実施例では、プリチャージ電圧Ｖ２を印加することによりソース信号線１８の電位を所定値にした後、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる電流プリチャージを実施する。プリチャージ電圧Ｖ２はＶ１よりもさらにソース信号線１８に書き込む電位が低い。一方、過電流（プリチャージ電流）の印加時間は一定で、かつ過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさもＩｄ０と一定である。したがって、図４１１（ｂ）よりソース信号線１８の電位を低くすることができるから、より高輝度表示を実現できる。

【２１６０】

また、適切な過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を理論的に予測し、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１６１】

以上のように、プリチャージ電圧Ｖｐｃの大きさあるいは電位を変化させることにより、１Ｈ経過した時の、ソース信号線１８電位を容易に制御することができる。

【２１６２】

図４１１は、一定のプリチャージ電圧（プログラム電圧）と変化させた実施例であった。図４１２は、過電流（プリチャージ電流）を変化させた実施例である。なお、プリチャージ電流を変化させることは、図３９２、図３９３、図３９４のＤｃ０、Ｄｃ１スイッチなどを制御することにより実現することができる。図４１２（ａ１）（ｂ１）では、プリチャージ電圧はＶ０と固定している。図４１２（ｃ１）ではプリチャージ電圧を印加していない実施例である。

【２１６３】

図４１２（ａ１）（ａ２）（ａ３）について説明をする。図４１２（ａ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ（ｔ１～ｔ０の期間）印加している。また、図４１２（ａ２）に示すように１Ｈの最初（ｔ１）～ｔ４の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。ｔ４～ｔ３の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１をソース信号線１８に印加している。

【２１６４】

図４１２（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ４の期間は、大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０（吸い込み電流方向）により、ソース信号線電位１８は急激に降下する。ｔ４～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０よりも小さい過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１（吸い込み電流方向）により、ソース信号線電位１８は比較的緩やかに降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１６５】

図４１２（ａ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号

線１８の電位を所定値にした後、まず、第１の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０による電流プリチャージを実施してソース信号線の電位を急変させる。次に第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１による電流プリチャージを実施してソース信号線の電位を目標電位近くまでさせる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ１１ａが所定電流を流すように電流プログラムを行う。以上のように複数の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、これらの過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を調整することにより精度のよい電流プログラムを実現できる。

【２１６６】

また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１６７】

次に、図４１２（ｂ１）（ｂ２）（ｂ３）について説明をする。図４１２（ｂ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ（ｔ１～ｔ０の期間）印加している。また、図４１２（ｂ２）に示すように１Ｈの最初（ｔ１）～ｔ３の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１をソース信号線１８に印加している。

【２１６８】

図４１２（ｂ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ３の期間は、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１（吸い込み電流方向）により、ソース信号線電位１８は降下する。ｔ３～ｔ２の期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１６９】

図４１２（ｂ）の実施例では、プリチャージ電圧Ｖ０を印加することによりソース信号線１８の電位を所定値にした後、比較的小さな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１による電流プリチャージを実施してソース信号線の電位を変化させる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ１１ａが所定電流を流すように電流プログラムを行う。

【２１７０】

以上のように、目標プログラム電流あるいはソース信号線１８電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１７１】

さらに、図４１２（ｃ１）（ｃ２）（ｃ３）について説明をする。図４１２（ｃ１）では、プリチャージ電圧を印加していない。したがって、ソース信号線１８の電位は１Ｈ前の電位である。また、図４１２（ｃ２）に示すように１Ｈの最初（ｔ１）～ｔ４の期間に第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１をソース信号線１８に印加している。ｔ４～ｔ３の期間に第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。

【２１７２】

図４１２（ｃ３）に示すように、ｔ０～ｔ４の期間は、比較的小さな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１（吸い込み電流方向）により、ソース信号線電位１８は変化する。ｔ４～ｔ３の期間は、過電流（プリチャージ電流もしくはディス

チャージ電流）Ｉｄ１よりも大きな過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０（吸い込み電流方向）により、ソース信号線電位１８は急激に降下する。ｔ３～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１７３】

図４１２（ｃ）の実施例では、まず、第２の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ１による電流プリチャージを実施してソース信号線の電位を変化させる。次に第１の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０による電流プリチャージを実施してソース信号線の電位を目標電位近くまでさせる。最後は、目的の映像信号に該当するプログラム電流で駆動用トランジスタ１１ａが所定電流を流すように電流プログラムを行う。

【２１７４】

以上のように複数の過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、これらの過電流（プリチャージ電流もしくはディスチャージ電流）の大きさ、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間を調整することにより精度のよい電流プログラムを実現できる。また、プリチャージ電圧を印加しないため、前画素行に印加した電位から相対的に電位を変化させることができる。前画素行に印加したソース信号線１８の電位は理論的に予測あるいは推測することができる。コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１７５】

図４１２では過電流（プリチャージ電流もしくはディスチャージ電流）（プリチャージ電流）を１Ｈ期間（所定期間）で変化させるとしたが、本発明はこれに限定するものではない。たとえば、１Ｈ期間（所定期間）にプリチャージ電圧を変化してもよい。また、プリチャージ電流とプリチャージ電圧の両方の大きさを変化させてもよいことは言うまでもない。また、プリチャージ電流とプリチャージ電圧の両方の印加時間を変化させてもよいことは言うまでもない。

【２１７６】

図４１３はプリチャージ電圧の印加タイミングを変化させた実施例である。過電流（プリチャージ電流）は同一であるとしている。図４１２（ａ１）（ｂ１）（ｃ１）では、プリチャージ電圧はＶ０と固定している。

【２１７７】

図４１３（ａ１）（ａ２）（ａ３）について説明をする。図４１３（ａ１）では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ（ｔ１～ｔ０の期間）印加している。また、図４１３（ａ２）に示すように１Ｈの最初（ｔ１）～ｔ５の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。

【２１７８】

図４１３（ａ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。また、ｔ０～ｔ５の期間は、Ｉｄ０（一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１７９】

以上のように、目標プログラム電流あるいはソース信号線１８電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示

せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１８０】

同様に、図４１３（ｂ１）（ｂ２）（ｂ３）について説明をする。図４１３（ｂ１）では、プリチャージ電圧Ｖ０をｔ０から１μｓｅｃ（ｔ０～ｔ３の期間）印加している。また、図４１３（ｂ２）に示すように１Ｈの最初（ｔ１）～ｔ５の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。図４１３（ｂ３）に示すように、ｔ１～ｔ０の期間は、ソース信号線１８の電位は１Ｈ前の電位（前画素行に電流プログラムを行うために印加したソース信号線１８電位）から変化が開始する。その後、ｔ０時にプリチャージ電圧Ｖ０をｔ０から１μｓｅｃ（ｔ０～ｔ１期間）印加している。したがって、ソース信号線１８電位は、Ｖ０電圧にリセットされる。

【２１８１】

ｔ３～ｔ５の期間は、Ｉｄ０（一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１８２】

以上のように、任意の時間にプリチャージ電圧を印加することにより、任意のタイミングで規定されたソース信号線１８電位（図４１３ではＶ０電圧）から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。

【２１８３】

図４１３（ｃ）も図４１３（ｂ）と同様である。図４１３（ｃ１）では、プリチャージ電圧Ｖ０をｔ３から１μｓｅｃ（ｔ３～ｔ４の期間）印加している。また、図４１３（ｂ２）に示すように１Ｈの最初（ｔ１）～ｔ５の期間に過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄ０をソース信号線１８に印加している。

【２１８４】

図４１３（ｃ３）に示すように、ｔ１～ｔ３の期間は、ソース信号線１８の電位は１Ｈ前の電位（前画素行に電流プログラムを行うために印加したソース信号線１８電位）から変化が開始する。その後、ｔ３時にプリチャージ電圧Ｖ０をｔ３から１μｓｅｃ（ｔ３～ｔ４期間）印加している。したがって、ソース信号線１８電位は、Ｖ０電圧にリセットされる。

【２１８５】

ｔ４～ｔ５の期間は、Ｉｄ０（一例として吸い込み電流方向としている。以上の事項は本発明の他の実施例でも同様である）により、ソース信号線電位１８は急激に降下する。ｔ５～ｔ２（１Ｈの最後）までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１８６】

以上のように、任意の時間にプリチャージ電圧を印加することにより、ソース信号線１８電位は一定の値に変更することができる。また、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄの大きさは同一である。したがって、過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄによる変化カーブは一定の傾斜角度となる。任意のタイミングで規定されたソース信号線１８電位（図４１３ではＶ０電圧）から、規定された

適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することによりソース信号線１８電位を目標電位近傍まで変化することができる。電位が近傍になった以降は、プログラム電流により補正するだけであるので精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。

【２１８７】

図４１０～図４１３などは、過電流（プリチャージ電流）の方向は、ソースドライバ回路（ＩＣ）１４に吸い込む方向の電流（シンク電流）を例示して説明をした。しかし、本発明はこれに限定するものではなく、過電流（プリチャージ電流）は吐き出し方向であってもよい。また、過電流（プリチャージ電流もしくはディスチャージ電流）は吐き出し電流と吸い込み電流の両方を有してもよい。

【２１８８】

図４１５は、過電流（プリチャージ電流もしくはディスチャージ電流）が吐き出し電流と吸い込み電流の両方を用いる場合の駆動方法の説明図である。回路構成としては図４１４の構成が例示される。図４１５において、スイッチ１５１ａはプリチャージ電圧のオンオフ制御に用いる。オンの時、端子１５５にプリチャージ電圧が印加される。スイッチＤｃ２は吐き出し方向のプリチャージ電流のオンオフ制御に用いる。オンの時、端子１５５に吐き出し方向のプリチャージ電流が印加される。また、スイッチＤｃ１は吸い込み方向のプリチャージ電流のオンオフ制御に用いる。オンの時、端子１５５に吸い込み方向のプリチャージ電流が印加される。

【２１８９】

図４１５のａの期間では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。また、図４１５のＤｃ１スイッチはｔ１～ｔａ期間オンしている。したがって、吸い込み方向の過電流Ｉｄ１が流れる。ｔ１から１μｓｅｃの期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。以降ｔａまでの期間は、過電流（プリチャージ電流）Ｉｄ０により、ソース信号線電位１８は急激に降下する。ｔａ～ｔ２までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１９０】

図４１５のｂの期間では、プリチャージ電圧は印加していない。また、図４１５のＤｃ２スイッチはｔ２～ｔｂ期間オンしている。したがって、吐き出し方向の過電流Ｉｄ２が流れる。過電流（プリチャージ電流）Ｉｄ２により、ソース信号線電位１８は急激に上昇する。ｔｂ～ｔ３までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１９１】

図４１５のｃの期間は低階調領域の書き込みのため、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。図４１５のＤｃ１、Ｄｃ２スイッチはオフ状態である。ｔ３から１μｓｅｃの期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。以降ｔ４までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。

【２１９２】

図４１５のｄの期間では、プリチャージ電圧Ｖ０を１Ｈの最初に１μｓｅｃ印加している。また、図４１５のＤｃ１スイッチはｔ４～ｔｄ期間オンしている。したがって、吸い込み方向の過電流Ｉｄ１が流れる。ｔ４から１μｓｅｃの期間は、ソース信号線１８の電位は０階調の電圧電位Ｖ０である。

【２１９３】
以降ｔｄまでの期間は、過電流（プリチャージ電流）Ｉｄ０により、ソース信号線電位１８は急激に降下する。ｔｄ～ｔ５までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【２１９４】
図４１５のｅの期間では、プリチャージ電圧は印加していない。また、図４１５のＤｃ２スイッチはｔ５～ｔｅ期間オンしている。したがって、吐き出し方向の過電流Ｉｄ２が流れる。過電流（プリチャージ電流）Ｉｄ２により、ソース信号線電位１８は急激に上昇する。ｔｅ～ｔ６までの期間は、映像データによる電流プログラムが実施される。したがって、ソース信号線１８の電位は、画素１６の駆動用トランジスタ１１ａがプログラム電流に一致する電流が流れるように低下する。
【２１９５】
以上のように、目標プログラム電流あるいはソース信号線１８電位から適切な大きさの過電流（プリチャージ電流もしくはディスチャージ電流）Ｉｄを制御に用い、過電流（プリチャージ電流もしくはディスチャージ電流）の印加時間あるいは大きさを調整することにより精度のよい電流プログラムを実現できる。また、ソース信号線１８の電位変化を理論的に予測あるいは推測することができるから、コントローラＩＣ（回路）７６０（図示せず）で制御あるいは設定することが容易である。そのため、良好で精度のよい電流プログラムを実施することができる。
【２１９６】
以上の実施例は、１Ｈ期間内の過電流（プリチャージ電流もしくはディスチャージ電流）駆動または／およびプリチャージ電圧駆動の実施例であった。しかし、過電流（プリチャージ電流もしくはディスチャージ電流）駆動または／およびプリチャージ電圧駆動は１Ｈ期間内だけではなく、１フレームあるいは複数水平走査期間のソース信号線１８の電位状態を考慮して行うことが好ましい。図４１６はその実施例である。
【２１９７】
図４１６などにおいて説明を容易にするため、階調数は６４階調とする。また、Ｐはプリチャージ電圧駆動を意味し、Ｐ＝１で、プリチャージ電圧をソース信号線１８に印加することを意味し、Ｐ＝０で、プリチャージ電圧はソース信号線１８に印加しないことを意味するものとする。また、Ｋは過電流（プリチャージ電流）駆動を意味し、Ｋ＝１で、プリチャージ電流をソース信号線１８に印加することを意味し、Ｋ＝０で、プリチャージ電流はソース信号線１８に印加しないことを意味するものとする。
【２１９８】
また、図４１６などにおいて、表の１ますは１Ｈ期間あるいは１画素行の選択期間を示すものとする。また、表の最上部に記載する数字は画素行番号を示す。映像データ欄の数字は映像データの大きさ（０～６３）を示す。また、図４１６などではＰ、Ｋの符号変化のみを記載しているが、実際の制御タイミング、印加電流あるいは印加電圧の大きさなどは、図４０３～図４１５などで説明した実施例が適用される。
【２１９９】
図４１６において、第３画素行目から第４画素行目に、映像データが３６から０に変化している。したがって、黒書き込みを完全に行うため第４画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。
【２２００】
第５画素行目から第６画素行目では、映像データが０から１に変化している。図３５６に図示したように、Ｖ０電圧からＶ１電圧には電位差が大きい。したがって、階調１の電流書き込みを完全に行うために、第６画素行目にＫ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ１）を印加している。なお、Ｉ１などで示す添え字は、目標とする階調を示すものとする。
【２２０１】

第６画素行目から第７画素行目では、映像データが１から８に変化している。階調差が８－１＝７あり、比較的低階調領域である。そのため、階調８の電流書き込みを完全に行うために、第７画素行目にＫ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ８）を印加している。

【２２０２】

第８画素行目から第９画素行目に、映像データが８から０に変化している。したがって、黒書き込みを完全に行うため第９画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。

【２２０３】

また、第９画素行目から第１０画素行目では、映像データが０から４に変化している。階調差が４－０＝４あり、比較的低階調領域である。また、Ｖ０電圧はアノード電圧Ｖｄｄに近く、電位が高い。そのため、階調４の電流書き込みを完全に行うために、第１０画素行目にＫ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ４）を印加している。

【２２０４】

第１１画素行目から第１２画素行目では、映像データが６０から１に変化している。したがって、電位差が大きい。また、Ｖ１電圧はアノード電圧Ｖｄｄに近く、電位が高い。そのため、階調１の電流書き込みを完全に行うために、第１２画素行目で、Ｐ＝１とし、まず、プリチャージ電圧（Ｖ０）を書き込み、ソース信号線１８の電位をリセット状態とし、さらに、Ｋ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ１）を印加している。

【２２０５】

また、第１２画素行目から第１３画素行目では、映像データが１から２に変化している。階調差は小さい。しかし、低階調領域である。また、Ｖ１電圧はアノード電圧Ｖｄｄに近く電位が高い。図３５６に図示するように、Ｖ２電位とＶ１電位とは電位差が大きい。そのため、階調２の電流書き込みを完全に行うために、第１３画素行目にＫ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ２）を印加している。

【２２０６】

さらに、第１３画素行目から第１４画素行目に、映像データが２から０に変化している。階調０はプログラム電流が０に状態である。したがって、ソース信号線１８電位を変化させることができない。そのため、黒書き込みを完全に行うため第１４画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。

【２２０７】

図４１７は本発明の他の実施例である。図４１７において、第１画素行目から第２画素行目に、映像データが３８から０に変化している。したがって、黒書き込みを完全に行うため第２画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。第２画素行目から第６画素行目までは階調０が連続する。したがって、ソース信号線１８に電位はＶ０電圧が維持されるため、第２画素行目から第６画素行目まではプリチャージ電圧の印加は不要である。

【２２０８】

逆に、プリチャージ電圧を印加すると、電圧駆動の表示状態となり、レーザーショットによる駆動用トランジスタ１１ａの特性ムラが表示され、画質を低下させることになり好ましくない。以上のように本発明は、０階調などの低階調の領域において、階調の変化がないときは、プリチャージ電圧を印加しないことを特徴とする。低階調の領域とは全階調の１／８以下の階調である。たとえば、６４階調であれば、０階調から７階調目が該当する。また、ある階調から０階調に変化する時（階調差が発生する時）は、Ｖ０電圧のプリチャージ電圧を印加することを特徴とする。

【２２０９】

第６画素行目から第７画素行目では、映像データが０から１に変化している。図３５６に図示したように、Ｖ０電圧からＶ１電圧には電位差が大きい。したがって、階調１の電流書き込みを完全に行うために、第６画素行目にＫ＝１とし、ソース信号線１８にプリチ

ャージ電流（Ｉ１）を印加している。なお、Ｉ１などで示す添え字は、目標とする階調を示すものとする。

【２２１０】

以上のように本発明は、０階調などから低階調の領域への階調の変化が発生する時は、プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。特に０階調から１階調に変化する時は必須である。

【２２１１】

図４１７は、プリチャージ電圧、プリチャージ電流を独立して印加する本発明の実施例である。しかし、本発明はこれに限定するものではない。図４１８はプリチャージ電圧とプリチャージ電流を同時に印加する本発明の駆動方法の説明図である。

【２２１２】

図４１８において、第１画素行目から第２画素行目に、映像データが３８から１に変化している。したがって、黒書き込みを完全に行うため第２画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。同時に、Ｋ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ１）を印加している。第２画素行目では、プリチャージ電圧の印加により、ソース信号線１８電位は、一旦Ｖ０電圧に上昇する。その後、過電流（プリチャージ電流）により、ソース信号線１８電位が急速に低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線１８に印加される。

【２２１３】

同様に、第６画素行目から第７画素行目に、映像データが０から１に変化している。したがって、黒書き込みを完全に行うため第７画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。同時に、Ｋ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ１）を印加している。第２画素行目では、プリチャージ電圧の印加により、ソース信号線１８電位は、一旦Ｖ０電圧に上昇する。その後、過電流（プリチャージ電流）により、ソース信号線１８電位が急速に低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線１８に印加される。

【２２１４】

なお、第２画素行目、第７画素行目に印加するプリチャージ電圧はＶ０に限定するものではない。Ｖ１電圧であってもよい。この場合は、プリチャージ電圧Ｖ１の印加により、ソース信号線１８電位は、変化し、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線１８に印加される。

【２２１５】

第２画素行目から第３画素行目に、映像データが１から０に変化している。したがって、黒書き込みを完全に行うため第７画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。第３画素行目から第６画素行目までは階調０が連続する。したがって、ソース信号線１８に電位はＶ０電圧が維持されるため、第２画素行目から第６画素行目まではプリチャージ電圧の印加は不要である。逆に、プリチャージ電圧を印加すると、電圧駆動の表示状態となり、レーザーショットによる駆動用トランジスタ１１ａの特性ムラが表示され、画質を低下させることになり好ましくない。

【２２１６】

以上のように本発明は、０階調などの低階調の領域において、階調の変化がないときは、プリチャージ電圧を印加しないことを特徴とする。低階調の領域とは全階調の１／８以下の階調である。たとえば、６４階調であれば、０階調から７階調目が該当する。また、ある階調から０階調に変化する時（階調差が発生する時）は、Ｖ０電圧のプリチャージ電圧を印加することを特徴とする。

【２２１７】

第１０画素行目から第１１画素行目では、映像データが１から２に変化している。図３５６に図示したように、Ｖ１電圧からＶ２電圧には電位差が大きい。したがって、階調２の電流書き込みを完全に行うために、第６画素行目にＫ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ２）を印加している。

【２２１８】
以上のように本発明は、０階調などから低階調の領域への階調の変化が発生する時は、プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。特に０階調から１階調に変化する時は必須である。また、０階調などから低階調の領域から階調差が１または２程度と小さい場合であっても、プリチャージ電流またはプリチャージ電圧を印加することを特徴とする。
【２２１９】
図４１９も本発明の他の実施例における本発明の駆動方法の説明図である。図４１９では、０階調に変化する時、プリチャージ電圧を印加し、０階調から１階調もしくは低階調に変化する時は、プリチャージ電流を印加する。
【２２２０】
図４１９において、第１画素行目から第２画素行目に、映像データが３８から１に変化している。したがって、黒書き込みを完全に行うため第２画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。
【２２２１】
また、第２画素行目から第３画素行目に、映像データが０から１に変化している。第３画素行目にＫ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ１）を印加している。同様に、第２３７画素行目から第２３８画素行目に、映像データが１２から０に変化している。したがって、黒書き込みを完全に行うため第２３８画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。
【２２２２】
図４２０も本発明の他の実施例における本発明の駆動方法の説明図である。図４２０では、低階調領域の低階調に対応する複数のプリチャージ電圧を印加している。以上のように、階調に対応して電圧を印加することにより良好な階調表示を実現できる。
【２２２３】
図４２０において、第３画素行目から第４画素行目に、映像データが３４から０に変化している。したがって、黒書き込みを完全に行うため第２画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ０）を印加している。
【２２２４】
第４画素行目から第５画素行目に、映像データが０から１に変化している。したがって、１階調の黒書き込みを完全に行うため第２画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ１）を印加している。
【２２２５】
第５画素行目から第６画素行目に、映像データが１から２に変化している。したがって、階調２の黒書き込みを完全に行うため第２画素行目にＰ＝１とし、ソース信号線１８にプリチャージ電圧（Ｖ１）を印加している。同時に、Ｋ＝１とし、ソース信号線１８にプリチャージ電流（Ｉ２）を印加している。第６画素行目では、プリチャージ電圧の印加により、ソース信号線１８電位は、一旦Ｖ１電圧に低下する。その後、過電流（プリチャージ電流）Ｉ２により、ソース信号線１８電位がさらに低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線１８に印加され、目標階調表示が実現する。
【２２２６】
図４２１も本発明の他の実施例における本発明の駆動方法の説明図である。図４２１では、図４１４に図示した構成の駆動回路の制御方法である。低階調領域の低階調に対応する吸い込み方向のプリチャージ電流（制御符号をＫＬで示す。また、電流をＩＬで示す）と、高階調に対応する吐き出し方向のプリチャージ電流（制御符号をＫＨで示す。また、電流をＩＨで示す）を制御する。
【２２２７】
図４２１において、第１画素行目から第２画素行目に、映像データが３８から０に変化している。したがって、黒書き込みを完全に行うため第２画素行目にＰ＝１とし、ソース

信号線１８にプリチャージ電圧（Ｖ０）を印加している。
【２２２８】
第６画素行目から第７画素行目に、映像データが０から２に変化している。したがって、Ｋ＝１とし、ソース信号線１８にプリチャージ電流（ＩＬ２）を印加している。過電流（プリチャージ電流）ＩＬ２により、ソース信号線１８電位がさらに低下し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線１８に印加され、目標階調表示が実現する。
【２２２９】
第９画素行目から第１０画素行目に、映像データが２から６３に変化している。したがって、Ｋ＝１とし、ソース信号線１８にプリチャージ電流（ＩＨ６３）を印加している。過電流（プリチャージ電流）ＩＨ６３により、ソース信号線１８電位がさらに上昇し、また、過電流の停止後、正規の映像信号に対応するプログラム電流がソース信号線１８に印加され、目標階調表示が実現する。
【２２３０】
本発明は同一階調が連続する場合、１Ｈ前の階調と次の階調の階調差を判断し、Ｐ、Ｋ符号を判断する。プリチャージ電圧、プリチャージ電流の大きさ、印加タイミング、印加時間を制御する。このような制御を実現するためには、コンロトール回路（ＩＣ）７６０などに画素行の映像データを保持するラインメモリが必要である。しかし、映像データが８ビットとすると、８ビット×横方法画素数×３（ＲＧＢ）のメモリが必要になる。ラインメモリはコストアップに直結するため、ラインメモリのビット数は極力少ない方がよい。
【２２３１】
図４２２はラインメモリを減少させる方式の説明図である。図４２２は２つの設定値（設定１、設定２）を保持できるようになっている。設定値は、コントローラ回路（ＩＣ）７６０の外部よりマイコンにより設定できるように構成されている。設定値は、映像データの大きさの判断に用いる。映像データが設定１よりも大きければｂ０ビットに１がセットされる。
【２２３２】
なお、設定値が小さければｂ０ビットは０である。映像データが設定２よりも大きければｂ１ビットに１がセットされる。もちろん判断が１つであれば、設定値は１つでよく、保持ビットｂも１つでよい。
【２２３３】
たとえば、映像データが、”０００１０１００”とする。設定１が”０００１００００”とする。設定２が”０００００１００”とする。映像データが、”００００１１００”であり、設定１が”０００１００００”であるから、映像データは設定１よりも小さい。したがって、ｂ０ビットは０となる。また、映像データが、”００００１１００”であり、設定２が”０００００１００”であるから、映像データは設定２よりも大きい。したがって、ｂ１ビットは１となる。
【２２３４】
以上の結果から、映像データは、設定１よりも小さく、設定２よりも大きいことが、ｂ０、ｂ１の２ビットで示せることになる。この２ビットをメモリで保持する。以上のように、各映像データは２ビットで大きさを示せる。
【２２３５】
以上のｂ０、ｂ１信号は、コントローラ回路（ＩＣ）７６０で発生し、ソースドライバ回路（ＩＣ）１４に伝送される。伝送されたｂ０、ｂ１符合は、図４３１に図示するように、ソースドライバ回路（ＩＣ）１４内でデコードされる。もちろん、テーブル変換してもよい。図４３１は図４２７のように、プリチャージ電圧が３つの場合である。
【２２３６】
図４３１の実施例では、（ｂ０、ｂ１）＝（０、０）の時、ａｌｌ　ｏｐｅｎ状態つまり、プリチャージ電圧駆動（電流）は実施されない。（ｂ０、ｂ１）＝（０、１）の時は

、プリチャージ電圧Ｖ０が出力される。また、同様に（ｂ０、ｂ１）＝（１、０）の時は、プリチャージ電圧Ｖ１が出力され、（ｂ０、ｂ１）＝（１、１）の時は、プリチャージ電圧Ｖ２が出力される。

【２２３７】

本発明の駆動方式で重要なのは、０階調であるのか、低階調領域であるのか、１Ｈ前の映像データと次の映像データの階調差がどの程度はなれているかである。これらの判断は、設定１、設定２の判断ビットｂ（ｂ０、ｂ１）で入手することができる。したがって、映像データのラインメモリは必要なく、各映像データの大きさの判断ビットｂを保持するだけでよい。そのため、コストを低減させることができる。

【２２３８】

図３８１～図４２２などでは、過電流駆動（プリチャージ電流駆動）により、ソース信号線１８の寄生容量Ｃｓの電荷を充放電する実施例を説明した。過電流（プリチャージ電流もしくはディスチャージ電流）駆動の課題は、ソース信号線１８の電位を目標電位で停止できない点である。スイッチＤｃがオン（クローズ）している期間、過電流（プリ　チャージ電流もしくはディスチャージ電流）Ｉｄがソース信号線１８に流れる。

【２２３９】

この課題に対しては、ソース信号線１８の電位を監視するコンパレータ回路を付加することにより解決できる。つまり、コンパレータにより、ソース信号線１８の電位変化を監視し、ソース信号線１８の電位が目標階調電位に到達したら、コンパレータ回路からＯＦＦ信号を発生させ、Ｄｃスイッチをオフ（オープン）させればよい。以上の回路は、オペアンプにより容易に構成できる。また、オペアンプは、低温ポリシリコン技術、ＣＧＳ技術、高温ポリシリコン技術のより容易に形成または構成できる。また、ソースドライバ回路（ＩＣ）１４内にコンパレータ回路を形成することも容易である。

【２２４０】

０階調の電圧プリチャージ（Ｖ０）を実施し、０階調が連続する場合は該当画素に対する（ソース信号線１８に対する）電圧プリチャージ（０階調電圧）は不要である。しかし、０階調電圧プリチャージと実施した後、１階調以上に変化する場合は、１階調以上に該当する電圧プリチャージ（Ｖ１以上の電圧）を実施することが好ましい。図３５６でも説明したようにＶ０電圧とＶ１電圧との電位差が大きいからである。電位差が大きいと階調１程度のプログラム電流では目標ソース信号線１８電位に１Ｈ期間では到達することができないからである（はるかに遠い電位でとどまってしまう）。

【２２４１】

本発明の電流駆動方式では、０階調表示で電圧プリチャージを実施し、１階調以上に変化する時は、１階調以上の電圧プリチャージを実施する。１階調以上の電圧プリチャージを実施することにより、画素１６の駆動用トランジスタ１１ａを目標プログラム電流が流れるようにプログラムすることができる。

【２２４２】

なお、１階調表示で電圧プリチャージを実施し（実施しなくとも１階調表示のソース信号線１８電位にあるとき）、２階調以上に変化する時は、２階調以上の電圧プリチャージを実施することが好ましい。２階調以上の電圧プリチャージを実施することにより、画素１６の駆動用トランジスタ１１ａを目標プログラム電流が流れるようにプログラムすることができる。１あるいは２階調表示でも電位差が比較的大きい。階調２程度のプログラム電流では目標ソース信号線１８電位に１Ｈ期間では到達することができない場合があるからである。

【２２４３】

本発明の電流駆動方式では、０階調表示で電圧プリチャージを実施し、１階調以上に変化する時は、１階調以上の電圧プリチャージを実施するとした。しかし、本発明はこれに限定するものではない。１階調以上の電圧プリチャージを図３８１～図４２２で説明した過電流（プリチャージ電流もしくはディスチャージ電流）駆動に置き換えてもよいことは言うまでもない。また、電圧プリチャージと過電流（プリチャージ電流もしくはディスチ

ャージ電流）駆動の両方を実施してもよい。

【２２４４】

１階調表示で電圧プリチャージを実施し、２階調以上に変化する時は、２階調以上の電圧プリチャージを実施することが好ましいと説明した。この場合も２階調以上の過電流駆動（電流プリチャージ駆動）を実施することにより、画素１６の駆動用トランジスタ１１ａを目標プログラム電流が流れるようにプログラムすることができることは言うまでもない。

【２２４５】

また、プリチャージ電圧の最大値が、階調ｋであり、その電圧がＶｋの時、階調ｋ以下から、階調ｋ以上に変化する時は、プリチャージ電圧Ｖｋを印加してから、プリチャージ電流を印加し、プログラム電流を印加してもよい。また、プリチャージ電圧Ｖｋを印加してから、プログラム電流を印加してもよい。つまり、まず、プリチャージ電圧Ｖｋを印加することにより、電位の嵩上げを行る。この動作により、目標電位に到達する期間を短縮することができる。

【２２４６】

以上の実施例は、ソースドライバ回路（ＩＣ）１４から、過電流（プリチャージ電流もしくはディスチャージ電流）もくしはプリチャージ電圧をソース信号線１８に印加する構成であった。本発明はこれに限定するものではない。図４４５は、アレイに過電流（プリチャージ電流もしくはディスチャージ電流）を供給する手段を形成または配置した構成である。

【２２４７】

図４４５において、画素１６ｐが過電流を供給する手段である。ただし、画素１６ｐと表現しているが、重要なのは図４４６に図示するように、過電流駆動用トランジスタ１１ａｐであり、画素１６構成である必要はない。

【２２４８】

図４４５において、画素１６ａｐはソースドライバ回路（ＩＣ）１４が配置された逆側のソース信号線１８端に形成または配置されている。ただし、本発明はこれに限定するものではない。ソースドライバ回路（ＩＣ）１４側に形成または配置されていてもよいし、ソース信号線１８の両側に配置されていてもよい。たとえば、図４５３は、ソースドライバ回路（ＩＣ）１４側に過電流画素１６ｐ１を配置し、ソース信号線１８端に第２の過電流画素１６ｐ２を配置した構成である。図４５３に図示するように、ソース信号線１８の両端に過電流画素１６ｐを配置することによりプリチャージ駆動時にソース信号線１８の電位がソース信号線１８の両端で平均的に変化し、画面１４４に輝度傾斜が発生することがなく、均一な画像表示を実現できる。

【２２４９】

過電流駆動用トランジスタ１１ａｐは、シリコンチップとして構成し、アレイ３０に実装してもよい。このましくは、過電流駆動用トランジスタ１１ａｐは、ポリシリコン技術により画素１６ａあるいはゲートドライバ回路１２などを同時に形成する。

【２２５０】

過電流駆動用トランジスタ１１ａｐは、画素１６ａの駆動用トランジスタ１１ａとは、出力電流を異ならせる。画素１６ａ（画像表示する画素）の駆動用トランジスタ１１ａのゲート端子に印加する電圧Ｖｇ１と、画素１６ｐ（過電流を供給あるいは出力する画素）の画素過電流駆動用トランジスタ１１ａｐのゲート端子に印加する電圧Ｖｇ２とを同一（Ｖｇ１＝Ｖｇ２）にした時、駆動用トランジスタ１１ａが出力する電流Ｉ１と、過電流駆動用トランジスタ１１ａｐが出力する電流Ｉ２とは、Ｉ２＝ｂＩ１（ただし、ｂは１以上）の関係を満足するようにする。Ｉ２＝ｂＩ１（ただし、ｂは１以上）の関係は、過電流駆動用トランジスタ１１ａｐおよび駆動用トランジスタ１１ａのＷＬの大きさありはＷＬ比を設計することにより設定が容易に実現できる。

【２２５１】

好ましくは、画素１６ｐの過電流駆動用トランジスタ１１ａｐは、駆動用トランジスタ

１１ａの形状と同一し、複数の駆動用トランジスタ１１ａを並列に形成または配置することにより、Ｉ２＝ｂＩ１なる関係を構成することが好ましい。

【２２５２】

たとえば、駆動用トランジスタ１１ａのチャンネル幅Ｗ＝２０μｍ、チャンネル長Ｌ＝１２μｍとし、この駆動用トランジスタ１１ａのゲート端子ＧにＶｇ１の電圧を印加したときの出力電流とＩ１とすれば、１つの過電流駆動用トランジスタ１１ａｐのチャンネル幅Ｗ＝２０μｍ、チャンネル長Ｌ＝１２μｍとし、この過電流駆動用トランジスタ１１ａｐを６個並列に連結して過電流画素１６ｐを構成し、この複数の過電流駆動用トランジスタ１１ａｐのゲート端子ＧにＶｇ１の電圧を印加したとき加算した出力電流とＩ２とすれば、Ｉ２＝６Ｉ１（ｂ＝６）なる関係を構成できる。過電流駆動用トランジスタ１１ａｐと駆動用トランジスタ１１ａの形状などを同一にすることにより、ｂの値を精度よく設定あるいは設計することが可能になる。したがって、図４４６において、過電流駆動用トランジスタ１１ａｐは、画素１６ｐに１つの構成であるが、これに限定するものではない。その他の、構成として、図４５０に図示するように、複数の過電流駆動用トランジスタ１１ａｐを直列に連結し、また、並列に連結して構成してもよいことは言うまでもない。これらの過電流駆動用トランジスタ１１ａｐは選択手段としてのトランジスタ１１ｃｐを介してソース信号線１８に接続される。以上のように、過電流（プリチャージ電流もしくはディスチャージ電流）を供給するトランジスタ１１ａｐを複数個で形成あるいは構成することにより、過電流（プリチャージ電流もしくはディスチャージ電流）のバラツキを低減することが可能である。

【２２５３】

過電流駆動用トランジスタ１１ａｐを（低温）ポリシリコン技術などで形成する場合は、特性バラツキが大きいため、アレイ３０上で分散させて形成することが好ましい。したがって、図４５０のように過電流駆動用トランジスタ１１ａｐを形成する場合であっても、極力広い範囲に過電流駆動用トランジスタ１１ａｐを配置することが好ましい。さらに好ましくは、図４５１に図示するように、複数の過電流画素１６ｐを形成し（１６ｐａ、１６ｐｂ、１６ｐｃ、１６ｐｄ）、広い範囲の過電流画素１６ｐを連結して構成することが好ましい。

【２２５４】

図４５１において、斜線で示した過電流画素１６ｐは、どのソース信号線１８とも連結されない（使用されない）。しかし、斜線で示した過電流画素１６ｐがないと、斜線で示した過電流画素１６ｐに隣接して形成された過電流画素１６ｐ（１６ｐａ、１６ｐｂ、１６ｐｃ、１６ｐｄ）が他の過電流画素１６ｐと特性が異なる。これは、パターンを規則正しく形成しないと、トランジスタを形成した周辺部がエッチングなどの状態が異なり、特性が変化するからである。図４５１のように斜線で示した過電流画素１６ｐを形成することにより、特性バラツキがなくなり均一にすることができる。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【２２５５】

過電流画素１６ｐの特性バラツキの影響を少なくするためには、図４５２に示すようにスイッチ回路Ｓで選択する過電流画素１６ｐを切り替える方式も例示される。スイッチ回路Ｓはポリシリコン技術により画素１６ａあるいはゲートドライバ回路１２などを同時に形成する。スイッチ回路Ｓは、低温ポリシリコン技術、ＣＧＳ技術、高温ポリシリコン技術のより容易に形成または構成できる。また、ソースドライバ回路（ＩＣ）１４内に形成することも容易である。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【２２５６】

スイッチ回路は、１Ｈごとに選択する過電流画素（１６ｐ１、１６ｐ２）を交互に切り替える。また、１Ｆ（１フレームまたは１フィールド）ごとに切り換えてもよい。その他、ランダムに切り換え、平均して過電流画素１６ｐ１と過電流画素１６ｐ２とを選択する回数が一致するように制御してもよい。また、奇数フィールドと偶数フィールドで選択す

る過電流画素１６ｐを変更してもよい。

【２２５７】

図４４６の過電流画素１６ｐの過電流駆動用トランジスタ１１ａｐはＰチャンネルトランジスタとして図示している。しかし、本発明はこれに限定するものではない。過電流駆動用トランジスタ１１ａｐはＮチャンネルトランジスタで構成あるいは形成してもよい。なお、画素１６ａの駆動用トランジスタ１１ａがＰチャンネルの場合は、過電流駆動用トランジスタ１１ａｐもＰチャンネルで形成または構成することが好ましい。画素１６ａの駆動用トランジスタ１１ａがＮチャンネルの場合は、過電流駆動用トランジスタ１１ａｐもＮチャンネルで形成または構成することが好ましい。

【２２５８】

図４４８に図示するように、Ｐチャンネルの過電流駆動用トランジスタ１１ａｐを有する過電流画素１６ｐと、Ｎチャンネルの過電流駆動用トランジスタ１１ａｎを有する過電流画素１６ｎの両方を形成または配置してもよい。ソース信号線１８に過電流を吐き出すときはゲート信号線１７ｐｐにオン電圧を印加して、スイッチ用トランジスタ１１ｃｐｐをオン状態にする。ソース信号線１８から過電流を吸い込むときはゲート信号線１７ｐｎにオン電圧を印加して、スイッチ用トランジスタ１１ｃｐｎをオン状態にする。また、ゲート信号線１７ｐｐとゲート信号線１７ｐｎの両方を選択し、吐き出し方向の過電流と吸い込み方向の過電流との差をソース信号線１８に印加してもよい。

【２２５９】

図４４６では、過電流画素１６ｐの過電流駆動用トランジスタ１１ａｐのソース端子はＶｃｔ電圧に接続されている。Ｖｃｔ電圧＝Ｖｄｄ電圧（アノード電圧）とすることにより、電源数を削減することができる。

【２２６０】

過電流駆動用トランジスタ１１ａｐが出力する電流の大きさを調整あるいは変更するためには、図４４６のＶｃｔ電圧を変更できることが好ましい。その実施例を図４４９に図示している。図４４９では、Ｖｃｔ電圧よりも高い電圧Ｖｔｔ電圧とＧＮＤ間にボリウムＶＲが配置されている。このボリウムＶＲによりＶｃｔ電圧を調整することができる。Ｖｃｔ電圧を高くすることにより、過電流の大きさを大きくすることができる。

【２２６１】

図４４７では、Ｖｃｔ電圧を電子ボリウム５０１に印加するＶＰＤＡＴＡにより変更できるようにした構成である。ＶＰＤＡＴＡにより、過電流の大きさを調整あるいは変更もしくは変化させることができる。また、過電流印加中であっても、ＶＰＤＡＴＡを変更することにより、過電流の大きさを調整あるいは変更もしくは変化させることができる。また、ＶＰＤＡＴＡを変更することにより、１画素行ごとあるいは複数画素行ごともしくはフレームごともしくは複数フレームごとに過電流の大きさを変化あるいは変更することができる。

【２２６２】

図４４８では、Ｐチャンネルの過電流駆動用トランジスタ１１ａｐの過電流の大きさは、Ｖｃｔｐ電圧を変化することにより実施できる。Ｎチャンネルの過電流駆動用トランジスタ１１ａｎの過電流の大きさは、Ｖｃｔｎ電圧を変化することにより実施できる。

【２２６３】

図４４６の過電流画素１６ｐには、過電流駆動用トランジスタ１１ａｐのゲート端子電位を保持するコンデンサを形成していない。しかし、本発明はこれに限定するものではない。図４４７に図示するように過電流画素１６ｐにコンデンサ１９ｐを形成または配置してもよい。コンデンサ１９ｐの配置により、保持特性が向上する。

【２２６４】

図４４５などは、各ソース信号線１８に１つの過電流画素１６ｐを配置した構成である。本発明はこれに限定するものではない。図４５４は、１ソース信号線１８に複数の過電流画素１６ｐを配置し、選択する過電流画素１６ｐの個数を変化あるいは調整できるようにした構成である。

【２２６５】
図４４５は、選択する過電流画素１６ｐの個数は０から３である。選択する過電流画素１６ｐの個数は、ゲートドライバ回路（ＩＣ）１２ｐにより実施する。ゲートドライバ回路（ＩＣ）１２ｐが３つの過電流駆動用トランジスタ１１ａｐを選択する場合は、ゲート信号線１７ｐ１、１７ｐ２、１７ｐ３にオン電圧を印加する。ゲートドライバ回路１２ｐは、低温ポリシリコン技術、ＣＧＳ技術、高温ポリシリコン技術のより容易に形成または構成できる。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。ゲート信号線１７ｐ１にオン電圧を印加することによりソース信号線１８に過電流駆動用トランジスタ１１ａｐ１の吐き出し電流が印加される。ゲート信号線１７ｐ２にオン電圧を印加することによりソース信号線１８に過電流駆動用トランジスタ１１ａｐ２の吐き出し電流が印加される。また、ゲート信号線１７ｐ３にオン電圧を印加することによりソース信号線１８に過電流駆動用トランジスタ１１ａｐ３の吐き出し電流が印加される。
【２２６６】
たとえば、過電流駆動用トランジスタ１１ａｐ１～１１ａｐ３の出力電流が同一の場合は、２本のゲート信号線１７ｐの選択により１本のゲート信号線１７ｐの選択に比較して２倍の過電流出力を得ることができる。また、３本のゲート信号線１７ｐの選択により１本のゲート信号線１７ｐの選択に比較して３倍の過電流出力を得ることができる。
【２２６７】
図４５４において、画素１６ｐにはコンデンサ１９は配置していない。コンデンサ１９は複数の画素１６ｐに１つあるいは１画素１６ｐ行に１つ配置している。
【２２６８】
図４５４において、過電流画素１６ｐ１の吐き出し電流Ｉ２１、過電流画素１６ｐ２の吐き出し電流Ｉ２２、過電流画素１６ｐ３の吐き出し電流Ｉ２３は同一として説明しているがこれに限定するものではない。画素１６ｐ１～１６ｐ３の過電流駆動用トランジスタ１１ａｐの大きさあるいは過電流駆動用トランジスタ１１ａｐの形成個数を異ならせてもよいことは言うまでもない。この場合は、過電流画素１６ｐ１の吐き出し電流Ｉ２１、過電流画素１６ｐ２の吐き出し電流Ｉ２２、過電流画素１６ｐ３の吐き出し電流Ｉ２３を異ならせることができる。したがって、ゲートドライバ回路１２ｐが選択するゲート信号線１７ｐが１ゲート信号線であっても、過電流の大きさを異ならせることができる。
【２２６９】
図４４６はゲート信号線１７ｐにオン電圧を印加することにより、１画素１６ｐ行を選択するものであった。しかし、本発明はこれに限定するものでない。たとえば、図４４９に図示するように、選択ドライバ回路（ＩＣ）４４９１は、各過電流画素１６ｐを選択し、選択した画素１６ｐのスイッチ用トランジスタ１１ｃｐをオンさせる。したがって、各ソース信号線１８に過電流を印加するしないを選択することができる。
【２２７０】
どのソース信号線１８に過電流を印加するかはコントローラ回路（ＩＣ）７６０により制御する。もちろん、ソースドライバ回路（ＩＣ）１４によって実施してもよい。選択ドライバ回路４４９１は、低温ポリシリコン技術、ＣＧＳ技術、高温ポリシリコン技術のより容易に形成または構成できる。また、ソースドライバ回路（ＩＣ）１４に内蔵させてもよい。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。
【２２７１】
ゲート信号線１７ｐのオンオフ制御はコントローラ回路（ＩＣ）７６０の制御により実施する。コントローラ回路（ＩＣ）７６０は、映像信号の処理により、ｄｕｔｙ比制御、基準電流比制御などを実施する。この実施などと対応して過電流制御を実施する。過電流制御は、コントローラ回路（ＩＣ）７６０に特定されるものではなく、他の回路でおこなってもよい。たとえば、ソースドライバ回路（ＩＣ）１４が例示される。
【２２７２】
ゲート信号線１７ｐに印加される電圧は、Ｖｇｈ、Ｖｇｌである。コントローラ回路（ＩＣ）７６０から出力電圧は、０（ＧＮＤ）、３．３（Ｖ）である。この電圧をＶｇｈ、

Ｖｇｌにレベルシフトする必要がある。レベルシフトは、ゲートドライバ回路１２ａで実施している。

【２２７３】

図４４５から図４５４で説明した構成は、単独であるいは組み合わせて構成あるいは形成することができることは言うまでもない。たとえば、図４４５の構成と図４５４の構成と置き換えることができる。差異は、１つのゲート信号線１７ｐを制御するか、３つのゲート信号線１７ｐ１～１７ｐ３を制御するかの違いである。この動作は当業者であれば容易に実施あるいは変更して採用できる。図４４８のＰチャンネルの過電流駆動用トランジスタ１１ａｐとＮチャンネルの過電流駆動用トランジスタ１１ａｎの両方を有する構成でも当業者であれば容易に実施あるいは変更して採用できる。ここでは説明を容易にするため、図４４５、図４４６の構成を例示して以降を説明する。

【２２７４】

まず、説明を容易にするため、過電流（プリチャージ電流）の印加時間を１水平走査期間（１Ｈ）の１／２（＝１／（２Ｈ））とし、残りの１／（２Ｈ）の期間に正規のプログラム電流を印加する期間とする駆動方法について説明する。ただし、過電流の印加時間は１／（２Ｈ）の期間に限定するものではない。１／（４Ｈ）や３／（４Ｈ）などの他の期間（時間）であってもよいことは言うまでもない。

【２２７５】

図４４５の構成において過電流を印加する期間は、ゲート信号線１７ｐにスイッチ用トランジスタ１１ｃｐをオン状態にするオン電圧（Ｖｇｌ）が印加される。この期間は、ゲート信号線１７ｐにオン電圧を印加することにより過電流Ｉ２がソース信号線１８に印加される。過電流を印加している期間は、映像信号であるプログラム電流Ｉｗを書き込む画素行に対応するゲート信号線１７ａにはオフ電圧を印加した状態でもよい。もちろん、映像信号であるプログラム電流Ｉｗを書き込む画素行に対応するゲート信号線１７ａにはオン電圧を印加してもよい。電流プログラム方式では、１つのソース信号線１８に複数の電流源が接続されていても動作に障害が発生しないからである。プログラム電流Ｉｗと過電流Ｉ２とを同時にソース信号線１８に印加することにより、状態によっては所定のソース信号線電位の早く到達する。

【２２７６】

過電流Ｉ２の印加期間にソースドライバ回路（ＩＣ）１４を動作させる。この時、ソースドライバ回路（ＩＣ）１４の基準電流比を大きくする。なお、基準電流比を制御する構成、方法については以前に説明しているので説明を省略する。図４５５では、ｔ１～ｔａの１／（２Ｈ）期間では、基準電流比を２（倍）としている。１Ｈの後半（ｔａ～ｔ２期間）の正規のプログラム電流Ｉｗを印加する期間では、基準電流比は１（倍）とする。前半の１／（２Ｈ）期間では基準電流比は、映像信号の大きさ、１Ｈ前の映像信号の大きさにより変化させる。（ａ）期間では、前の１Ｈの映像信号が０（完全黒表示）から１への変化である。したがって、映像信号の変化は１－０＝１と比較的小さい。しかし、図３５６で説明したように、映像信号０に対応する電圧Ｖ０と、映像信号１に対応する電圧Ｖ１との電位差は大きい。この要因を考慮し、（ａ）期間の前半の１／（２Ｈ）期間では、基準電流比を２としている。したがって、前半の１／（２Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの２倍の電流がソース信号線１８から吸い込まれる。そのため、ソース信号線１８の電位変化は、正規のプログラム電流Ｉｗを印加している場合に比較して２倍の速度で電荷が放電され、電位変化が生じる。なお、（ａ）期間の後半の１／（２Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込まれる。この期間は、ゲート信号線１７ｐにはオフ電圧が印加され、スイッチ用トランジスタ１１ｃｐはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線１８には印加されない。

【２２７７】

本発明の実施例において、画素１６ｐから過電流（プリチャージ電流）が印加されるとして説明をするが、ソース信号線１８の電位を降下させる動作は、図３８０（ａ）で説明

したようにソースドライバ回路（ＩＣ）１４の動作が支配的である。したがって、画素１６ｐの動作よりは、ソースドライバ回路（ＩＣ）１４から過電流が印加されるという方が適切である。しかし、図３８０（ｂ）で説明したようにソース信号線１８の電位を上昇させる動作は画素１６ｐの動作が支配的となる。また、動作は、駆動用トランジスタ１１ａ、過電流駆動用トランジスタ１１ａｐ（１１ａｎ：図４４８を参照のこと）によって反対動作となる。ここでは説明を容易にするため、ソースドライバ回路（ＩＣ）１４の基準電流比を増加させることにより、過電流が画素１６ｐから供給されるとして説明する。

【２２７８】

実際の動作では、過電流画素１６ｐから過電流が供給しない動作もあるし、ソースドライバ回路（ＩＣ）１４から過電流（プリチャージ電流）を印加されない場合もある。しかし、動作を場合に分けて説明することは煩雑であり、過電流画素１６ｐとソースドライバ回路（ＩＣ）１４が同時に動作して所定のソース信号線１８電位に到達し、画素１６ａ（画素１６）の駆動用トランジスタ１１ａに目的のプログラム電流が流れるように制御（駆動）される。

【２２７９】

以上のように本発明は、所定の期間に少なくとも過電流（プリチャージ電流）をソース信号線１８から吸い込むあるいはソース信号線に吐き出す動作させるという点が技術的範疇である。また、所定の期間に少なくとも過電流をソース信号線１８から吸い込むあるいはソース信号線に吐き出す動作させるという点が技術的範疇である。したがって、画素１６ｐの動作、ソースドライバ回路（ＩＣ）１４の動作に本発明の技術的範疇（技術的範囲あるいは請求の範囲）が限定されるものではない。

【２２８０】

以上の事項は、図１２７～図１４２、図２２８～図２３１、図３０８～図３１３、図３２４、図３２８～図３５４、図３８０～図４３５、図４４５～図４６７などの回路構成、駆動方法、表示パネル（表示装置）についても適用できることは言うまでもない。

【２２８１】

図４５５において、（ｂ）期間は、（ａ）期間の映像信号１から映像信号６への変化である。つまり、（ｂ）期間では、映像信号１に対応するソース信号線１８の電位から、映像信号６に対応するソース信号線１８の電位に変化させる必要がある。したがって、映像信号の変化は６－１＝５と比較的大きい。したがって、ソース信号線１８の電位変化も比較的大きい。この要因を考慮し、（ｂ）期間の前半の１／（２Ｈ）期間では、基準電流比を３としている。（ｂ）期間の前半の１／（２Ｈ）期間では、ゲート信号線１７ｐにオン電圧が印加される。前半の１／（２Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの３倍の電流がソース信号線１８から吸い込まれる。そのため、ソース信号線１８の電位変化は、正規のプログラム電流Ｉｗを印加している場合に比較して３倍の速度で電荷が放電され、電位変化が生じる。後半の１／（２Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの１倍の電流がソース信号線１８から吸い込まれる。このプログラム電流に対応するように画素１６ａの駆動用トランジスタ１１ａのゲート電位が変化し、プログラム電流Ｉｗが画素にプログラムされる。

【２２８２】

図４５５（ｃ）においては、基準電流比は１で固定する。（ｂ）期間では、映像信号が６である。（ｃ）では映像信号が１である。したがって、映像信号の変化は１－６＝－５と小さくなっている。したがって、ソース信号線電位は、アノード電位Ｖｄｄ側に上昇させる必要がある。この場合は、図３８０（ｂ）で説明した画素１６の駆動用トランジスタ１１ａの動作が主となるため、ソースドライバ回路（ＩＣ）１４の基準電流比が１でよい。画素１６の駆動用トランジスタ１１ａのドレイン－ゲート端子間は短絡され、ソース信号線１８に電荷が充電されて電位が上昇する。

【２２８３】

図４５５（ｄ）では、１Ｈ前のソース信号線１８の電位が、映像信号１に対応する電位（Ｖ１）である。（ｄ）では、映像信号１０である。したがって、１０－１＝９と映像信

号差は大きい。つまり、ソース信号線１８の電位も大きく降下させる必要がある。この要因を考慮し、（ｄ）期間の前半の１／（２Ｈ）期間では、基準電流比を４としている。したがって、前半の１／（２Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの４倍の電流がソース信号線１８から吸い込まれる。そのため、ソース信号線１８の電位変化は、正規のプログラム電流Ｉｗを印加している場合に比較して４倍の速度で電荷が放電され、電位変化が生じる。（ｄ）期間の後半の１／（２Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込まれる。この期間は、ゲート信号線１７ｐにはオフ電圧が印加され、スイッチ用トランジスタ１１ｃｐはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線１８には印加されない。

【２２８４】

図４５５（ｅ）の期間（ｔ５～ｔ６）は、１Ｈ前の期間（ｔ４～ｔ５）が映像信号１０であり、（ｄ）の期間（ｔ５～ｔ６）も映像信号が１０であり、変化がない。したがって、図４５５（ｅ）においては、基準電流比は１で固定する。画素１６は、駆動用トランジスタ１１ａのＶｔバラツキ（特性バラツキ）に応じて動作する。ソース信号線１８には、駆動用トランジスタ１１ａから電流が供給され、ソース信号線１８に流れ込むプログラム電流Ｉｗと平衡状態になる電位にソース信号線１８電位は設定される。

【２２８５】

以上のように、過電流画素１６ｐの過電流駆動用トランジスタ１１ａｐの動作と、ソースドライバ回路（ＩＣ）１４の基準電流比の増大により、ソース信号線１８の電位変化を早くし、所定のプログラム電流Ｉｗを画素１６に書き込む。

【２２８６】

なお、先にも述べたが、以上の事項は、図１２７～図１４２、図２２８～図２３１、図３０８～図３１３、図３２４、図３２８～図３５４、図３８０～図４３５、図４４５～図４６７などの回路構成、駆動方法、表示パネル（表示装置）についても適用できることは言うまでもない。また、ｄｕｔｙ比制御などの本発明の他の駆動方法と組み合わせることができることも言うまでもない。以上の事項は、以降に説明する本発明の他の実施例においても同様である。

【２２８７】

図４５７は、図４５５の実施例の変形例である。図４５５との差異は、（ｃ）期間（ｔ３～ｔ４）にプリチャージ電圧を印加したものである。プリチャージ電圧はＶ０電圧（階調０）あるいは、Ｖ１電圧（階調１）のいずれでもよい。重要なのは、映像信号が大きい値から小さい値になる時（（ｃ）では、映像信号６から映像信号１に変化する）には、プリチャージ電圧により電圧を印加して、ソース信号線１８電位をアノード電圧（Ｖｄｄ）側に上昇させることである。

【２２８８】

つまり、本発明は、ソースドライバ回路（ＩＣ）１４が吸い込み電流（シンク電流）方向で動作し、映像信号が小さい方向に変化する時（ＥＬ素子１５に流す電流を小さくする方向に変化させる時）、プリチャージ電圧により、ソース信号線１８の電位を高くする（駆動用トランジスタ１１ａに電流が流さないようにゲート端子電位を変化させる）。さらに好ましくは、図４４５～図４５８などで説明した実施例を実施する。つまり、過電流画素１６ｐを操作し、過電流をソース信号線１８に印加する。また、本発明は、ソースドライバ回路（ＩＣ）１４が吐き出し電流方向で動作し、映像信号が小さい方向に変化する時（ＥＬ素子１５に流す電流を小さくする方向に変化させる時）、プリチャージ電圧により、ソース信号線１８の電位を低くする（駆動用トランジスタ１１ａに電流が流さないようにゲート端子電位を変化させる）。

【２２８９】

プリチャージ電圧を印加するか否かは、１Ｈ前の映像データと、次の映像データにより決定する。たとえば、（ｂ）の期間（１Ｈ前の映像データ）と（ｃ）の期間（次の映像データ）のより決定する。この関係を図４６３の表に一例として示している。また、図３８

９の表のように制御する。図４６３の表において、１は次の１Ｈ期間においてプリチャージ電圧を印加することを示し、０は次の１Ｈ期間においてプリチャージ電圧は印加しないことを示している。たとえば、次の１Ｈの映像データが０の時は、１Ｈ前の映像データが１以上の場合にプリチャージ電圧を印加する。また、次の１Ｈの映像データが１の時は、１Ｈ前の映像データが４以上の場合にプリチャージ電圧を印加する。同様に次の１Ｈの映像データが２の時は、１Ｈ前の映像データが５以上の場合にプリチャージ電圧を印加する。他の場合は、プリチャージ電圧を印加しない。

【２２９０】

以上のように本発明は、映像データの変化によりプリチャージ電圧の印加の有無を決定する。したがって、良好な画像表示を実現できる。

【２２９１】

図４５７において、（ｂ）期間（ｔ２～ｔ３）は、映像信号６である。（ｃ）期間（ｔ３～ｔ４）は映像信号が１であるから、ソース信号線１８電位は、アノード電位側に上昇させる必要がある。しかし、ソースドライバ回路（ＩＣ）１４は、吸い込み電流方式（図４１４の場合は除く。図４１４の場合は、図４５７の方法を用いずともソース信号線１８の電位を良好に上昇させることができる）であるから、ソースドライバ回路（ＩＣ）１４では、ソース信号線１８の電位を上昇させることができない。

【２２９２】

この課題を解決するため、以前に説明した電圧駆動を実施する。図４５７では、ｔ３～ｔｆの期間にプリチャージ電圧をソース信号線１８に印加し、ソース信号線１８電位を上昇させている。この時の基準電流比は１でよい。また、映像信号１に該当するプログラム電流Ｉｗをソース信号線１８にソースドライバ回路（ＩＣ）１４から印加する。他の構成あるいは動作は図４５５と同一あるいは類似であるので説明を省略する。

【２２９３】

図４５５、図４５７の実施例では、前半の１／（２Ｈ）期間に、ソースドライバ回路（ＩＣ）１４に過電流となる電流を吸い込み、後半の１／（２Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込むものであった。つまり、過電流の印加期間は１／（２Ｈ）期間と固定であった。しかし、本発明はこれに限定するものではない。過電流の印加期間を変化させてもよい。

【２２９４】

図４５８は過電流の印加期間を変化させた実施例である。図４５８（１）は図４５５と同一であり、過電流の印加期間は１／（２Ｈ）期間と固定の実施例である。ただし、基準電流比は４と固定している。以上のように過電流の印加期間では、基準電流比を固定にしてもよい。固定にすることにより回路構成が簡単になり、低コスト化を実現できる。

【２２９５】

図４５８（２）は、過電流の印加期間を映像データあるいは映像データの変化（ソース信号線１８の電位またはソース信号線１８の電位変化）により、変化させた実施例である。

【２２９６】

図４５８（２）の方法において過電流を印加する期間は、ゲート信号線１７ｐにスイッチ用トランジスタ１１ｃｐをオン状態にするオン電圧（Ｖｇｌ）が印加される。この期間は、ゲート信号線１７ｐにオン電圧を印加することにより過電流Ｉ２がソース信号線１８に印加される。過電流を印加している期間は、映像信号であるプログラム電流Ｉｗを書き込む画素行に対応するゲート信号線１７ａにはオフ電圧を印加した状態でもよい。もちろん、映像信号であるプログラム電流Ｉｗを書き込む画素行に対応するゲート信号線１７ａにはオン電圧を印加してもよい。以下、図４５８（２）の実施例について説明をする。

【２２９７】

過電流Ｉ２の印加期間にソースドライバ回路（ＩＣ）１４を動作させる。この時、ソースドライバ回路（ＩＣ）１４の基準電流比を大きくする。なお、基準電流比を制御する構成、方法については以前に説明しているので説明を省略する。図４５５では、基準電流比

を４（倍）としている。過電流に印加期間の経過後は、つま正規のプログラム電流Ｉｗを印加する期間では、基準電流比は１（倍）とする。

【２２９８】

図４５８（２）の（ａ）期間では、前の１Ｈの映像信号が０（完全黒表示）から１への変化である。したがって、映像信号の変化は１－０＝１と比較的小さい。しかし、図３５６で説明したように、映像信号０に対応する電圧Ｖ０と、映像信号１に対応する電圧Ｖ１との電位差は大きい。この要因を考慮し、（ａ）期間の前半の１／（４Ｈ）期間に基準電流比４の電流を印加している。したがって、前半の１／（４Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの４倍の電流がソース信号線１８から吸い込まれる。そのため、ソース信号線１８の電位変化は、正規のプログラム電流Ｉｗを印加している場合に比較して４倍の速度で電荷が放電され、電位変化が生じる。

【２２９９】

（ａ）期間の後半の３／（４Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込まれる。この期間は、ゲート信号線１７ｐにはオフ電圧が印加され、スイッチ用トランジスタ１１ｃｐはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線１８には印加されない。

【２３００】

図４５８において、（ｂ）期間は、（ａ）期間の映像信号１から映像信号６への変化である。つまり、（ｂ）期間では、映像信号１に対応するソース信号線１８の電位から、映像信号６に対応するソース信号線１８の電位に変化させる必要がある。したがって、映像信号の変化は６－１＝５と比較的大きい。したがって、ソース信号線１８の電位変化も比較的大きい。

【２３０１】

この要因を考慮し、（ｂ）期間の前半の１／（２Ｈ）期間では、基準電流比４の電流を印加している。（ｂ）期間の前半の１／（２Ｈ）期間では、ゲート信号線１７ｐにオン電圧が印加される。前半の１／（２Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの４倍の電流がソース信号線１８から吸い込まれる。そのため、ソース信号線１８の電位変化は、正規のプログラム電流Ｉｗを印加している場合に比較して４倍の速度で電荷が放電され、電位変化が生じる。後半の１／（２Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの１倍の電流がソース信号線１８から吸い込まれる。このプログラム電流に対応するように画素１６ａの駆動用トランジスタ１１ａのゲート電位が変化し、プログラム電流Ｉｗが画素にプログラムされる。

【２３０２】

図４５８（ｃ）においては、基準電流比は１で固定する。（ｂ）期間では、映像信号が６である。（ｃ）では映像信号が１である。したがって、映像信号の変化は１－６＝－５と小さくなっている。したがって、ソース信号線電位は、アノード電位Ｖｄｄ側に上昇させる必要がある。この場合は、図３８０（ｂ）で説明した画素１６の駆動用トランジスタ１１ａの動作が主となるため、ソースドライバ回路（ＩＣ）１４の基準電流比が１でよい。画素１６の駆動用トランジスタ１１ａのドレイン－ゲート端子間は短絡され、ソース信号線１８に電荷が充電されて電位が上昇する。また、図４５７の（ｃ）期間（ｔ３～ｔ４）のように、プリチャージ電圧を印加してもよいことは言うまでもない。

【２３０３】

図４５８（ｄ）では、１Ｈ前のソース信号線１８の電位が、映像信号１に対応する電位（Ｖ１）である。（ｄ）では、映像信号１０である。したがって、１０－１＝９と映像信号差は大きい。つまり、ソース信号線１８の電位も大きく降下させる必要がある。

【２３０４】

この要因を考慮し、（ｄ）期間の前半の３／（４Ｈ）期間でプリチャージ電流を印加する。したがって、前半の３／（４Ｈ）期間では、ソースドライバ回路（ＩＣ）１４に正規のプログラム電流Ｉｗの４倍の電流がソース信号線１８から吸い込まれる。そのため、ソース信号線１８の電位変化は、正規のプログラム電流Ｉｗを印加している場合に比較して

４倍の速度で電荷が放電され、電位変化が生じる。（ｄ）期間の後半の１／（４Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込まれる。この期間は、ゲート信号線１７ｐにはオフ電圧が印加され、スイッチ用トランジスタ１１ｃｐはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線１８には印加されない。

【２３０５】

図４５８における（ｅ）の期間（ｔ５～ｔ６）は、１Ｈ前の期間（ｔ４～ｔ５）が映像信号１０であり、（ｄ）の期間（ｔ５～ｔ６）も映像信号が１０であり、変化がない。したがって、図４５５（ｅ）においては、基準電流比は１で固定する。画素１６は、駆動用トランジスタ１１ａのＶｔバラツキ（特性バラツキ）に応じて動作する。ソース信号線１８には、駆動用トランジスタ１１ａから電流が供給され、ソース信号線１８に流れ込むプログラム電流Ｉｗと平衡状態になる電位にソース信号線１８電位は設定される。

【２３０６】

以上のように、過電流画素１６ｐの過電流駆動用トランジスタ１１ａｐの動作と、ソースドライバ回路（ＩＣ）１４の基準電流比の増大により、ソース信号線１８の電位変化を早くし、所定のプログラム電流Ｉｗを画素１６に書き込む。

【２３０７】

なお、以上の事項は、図１２７～図１４２、図２２８～図２３１、図３０８～図３１３、図３２４、図３２８～図３５４、図３８０～図４３５、図４４５～図４６７などの回路構成、駆動方法、表示パネル（表示装置）についても適用できることは言うまでもない。また、ｄｕｔｙ比制御などの本発明の他の駆動方法と組み合わせることができることも言うまでもない。以上の事項は、以降に説明する本発明の他の実施例においても同様である。

【２３０８】

以上の実施例は、基準電流比を変化させて過電流をソース信号線１８に印加する実施例であった。つまり、過電流を印加している期間において、映像信号の大きさを変化させるものではなかった。しかし、本発明はこれに限定するものでない。

【２３０９】

図４５９は過電流を印加している期間において、映像信号の大きさを変化させた実施例である。図４５９において説明を容易にするため、一例として、過電流印加期間において、映像データは２ビットシフト（４倍）にするとし、基準電流比は１倍にするとする。ただし、過電流印加期間において基準電流比を１より大きくしてもよいことは言うまでもない。

【２３１０】

図４５９（１）において、（ａ）期間の映像データは１とする。映像データは２ビットシフトすると、映像信号は４となる。この映像データに基づくプログラム電流を前半の（１／（２Ｈ））期間に印加する。したがって、プログラム電流が１であったも、映像信号４であるから、基準電流を４倍にしたのと同様の効果が発揮される。（ａ）期間の後半の１／（２Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込まれる。この期間は、ゲート信号線１７ｐにはオフ電圧が印加され、スイッチ用トランジスタ１１ｃｐはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線１８には印加されない。

【２３１１】

同様に、（ｂ）期間の映像データは６とする。映像データは２ビットシフトすると、映像信号は２４となる。したがって、映像信号４であるから、基準電流を４倍にしたのと同様の効果が発揮される。この映像データに基づくプログラム電流を前半の（１／（２Ｈ））期間に印加する。（ｂ）期間の後半の１／（２Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込まれる。この期間は、ゲート信号線１７ｐにはオフ電圧が印加され、スイッチ用トランジスタ１１ｃｐはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線１８には印加されない。

【２３１２】
（ｃ）期間の映像データは１とする。映像データは２ビットシフトしてもよいが、実施例ではシフトしていない。（ｂ）期間では、映像信号が６である。（ｃ）では映像信号が１である。したがって、映像信号の変化は１－６＝－５と小さくなっている。そのため、ソース信号線電位は、アノード電位Ｖｄｄ側に上昇させる必要がある。この場合は、プログラム電流を増加させることは逆効果である。したがって、映像データのビットシフトは実施しない。以上の動作は（ｅ）期間においても適用される。
【２３１３】
（ｄ）期間の映像データは１０とする。映像データは２ビットシフトすると、映像信号は４０となる。したがって、映像信号４であるから、基準電流を４倍にしたのと同様の効果が発揮される。この映像データに基づくプログラム電流を前半の（１／（２Ｈ））期間に印加する。（ｄ）期間の後半の１／（２Ｈ）期間では、基準電流比を１とし、所定のプログラム電流Ｉｗが画素１６ａに書き込まれる。この期間は、ゲート信号線１７ｐにはオフ電圧が印加され、スイッチ用トランジスタ１１ｃｐはオフ状態とされる。したがって、過電流（プリチャージ電流）はソース信号線１８には印加されない。
【２３１４】
以上のように、制御あるいは動作させることにより、基準電流比を変化させることなく、ソース信号線１８に過電流を印加することができる。したがって、ソース信号線１８の電位変化を短時間で実施でき、所定のプログラム電流を画素１６ａ（１６）にプログラムすることができる。
【２３１５】
なお、図４５９（２）は過電流（プリチャージ電流）を印加する期間を１／（４Ｈ）とした実施例である。他の構成あるいは動作は、図４５９（１）と同様あるいは類似であるので説明を省略する。また、図４５９の実施例においても、図４５７のプリチャージ電圧（プログラム電圧）を印加すること（（ｃ）期間）、図４５８の過電流印加期間を変化することなどと組み合わせてもよいことは言うまでもない。
【２３１６】
また、図４５９において、映像データをビットシフトさせてプログラム電流Ｉｗを増大させるとしたが、本発明はこれに限定するものではない。たとえば、映像信号に一定の定数をかけること、あるいは、一定の定数を加算することなどによりプログラム電流を増大させて過電流（プリチャージ電流）としてもよいことは言うまでもない。
【２３１７】
以上のように、過電流画素１６ｐの過電流駆動用トランジスタ１１ａｐの動作と、ソースドライバ回路（ＩＣ）１４の映像データのビットシフトなどによるプログラム電流の増大により、ソース信号線１８の電位変化を早くし、所定のプログラム電流Ｉｗを画素１６に書き込む。
【２３１８】
なお、以上の事項は、図１２７～図１４２、図２２８～図２３１、図３０８～図３１３、図３２４、図３２８～図３５４、図３８０～図４３５、図４４５～図４６７などの回路構成、駆動方法、表示パネル（表示装置）についても適用できることは言うまでもない。また、ｄｕｔｙ比制御などの本発明の他の駆動方法と組み合わせることができることも言うまでもない。以上の事項は、以降に説明する本発明の他の実施例においても同様である。
【２３１９】
以上の実施例では、点灯率を考慮していないが、点灯率も考慮して基準電流比の大きさあるいは基準電流比を増大させる期間を変化あるいは制御することにより、さらに良好な画像表示を実現できる。点灯率が低い時は、低階調の画素が多く、電流駆動方式において書き込み不足が発生しやすいからである。逆に、点灯率が高いときは、プログラム電流Ｉｗが大きく、書き込み不足が発生しない。したがって、基準電流比を変化させる必要はない。

【２３２０】
図４６０は、点灯率に対応して基準電流比の増大期間（過電流印加期間）を変化させた実施例である。なお、基準電流比の変化は、遅延させてあるいはゆっくりとあるいはヒステリシスをもたせて実施する。フリッカが発生するからである。以上の事項は、ｄｕｔｙ比制御あるいは基準電流比制御の説明でおこなっているため説明を省略する（図９３～図１１６などの説明を参照のこと）。
【２３２１】
図４６０において、点灯率０～１０％では、過電流の印加期間を１Ｈの最初から７／（８Ｈ）期間としている。したがって、過電流により急速にソース信号線１８電位が上昇し、所定のソース信号線電位に到達する。点灯率１０～２５％では、過電流の印加期間を１Ｈの最初から３／（４Ｈ）期間としている。また、点灯率７５％以上では、過電流の印加期間を０としている。
【２３２２】
図４６１は、点灯率に応じてプリチャージ電流を発生する基準電流比の倍率を変化させた実施例である。図４６１において、点灯率０～１０％では、基準電流比の倍率を２０としている。したがって、過電流により急速にソース信号線１８電位が上昇し、所定のソース信号線電位に到達する。点灯率５０～７５％では、基準電流比の倍率を１０としている。点灯率７５％以上では、基準電流比の倍率を少しずつ低下させ、点灯率１００では、倍率５としている。
【２３２３】
以上の実施例では、１Ｈ期間あるいは所定の期間内では、基準電流比の大きさを固定（一定）としたが、本発明はこれに限定するものではない。なお、基準電流比などを変化させることにより出力電流（プログラム電流Ｉｗ）が変化する。本発明は、基準電流比を変化あるいは制御することが主目的ではなく、出力電流を変化させることに目的がある。
図４６２に図示するように、ソースドライバ回路（ＩＣ）１４の出力電流（プログラム電流）Ｉｗは１Ｈ期間内に変化させてもよい。図４６２（ａ）では、１Ｈの前半の１／（２Ｈ）期間に出力電流Ｉｗを変化させている。出力電流は、Ｉ３２（プログラム電流では階調３２に該当する電流）から、Ｉ１０（プログラム電流では階調１０に該当する電流）に変化させている。また、次の１Ｈ期間では出力電流は、Ｉ２０（プログラム電流では階調２０に該当する電流）から、Ｉ５（プログラム電流では階調５に該当する電流）に変化させている。出力電流Ｉｗの変化は、基準電流比の変更などにより実現できることは以前に説明したとおりである。
【２３２４】
図４６２（ｂ）では、１Ｈの前半の１／（４Ｈ）期間に出力電流Ｉｗを固定し、その後の１／（４Ｈ）期間に出力電流Ｉｗを変化させている。出力電流は、Ｉ３２（プログラム電流では階調３２に該当する電流）から、Ｉ１０（プログラム電流では階調１０に該当する電流）に変化させている。また、次の１Ｈ期間では出力電流は、Ｉ２０（プログラム電流では階調２０に該当する電流）から、Ｉ５（プログラム電流では階調５に該当する電流）に変化させている。出力電流Ｉｗの変化は、基準電流比の変更などにより実現できることは以前に説明したとおりである。
【２３２５】
以上の図４６０、図４６１、図４６２の実施例は、プリチャージ電流の印加に関する実施例であるが、プリチャージ電流をプリチャージ電圧に置きかえて実施例てしてもよいことは言うまでもない。たとえば、図４６０において、低点灯率の場合は、プリチャージ電圧の印加期間を長くし、高点灯率の場合は、プリチャージ電圧の印加期間を短くあるいはプリチャージ電圧を印加しない実施例が例示される。また、図４６１では、低点灯率の場合は、プリチャージ電圧のアノード電圧に近くし、高点灯率の場合は、プリチャージ電圧の低く（ＧＮＤに近づける）する実施例が例示される。
【２３２６】
以上の実施例は、過電流画素１６ｐの過電流駆動用トランジスタ１１ａｐの動作により

、過電流（プリチャージ電流）を印加するものであった。しかし、本発明はこれに限定するものではない。図４６５は本発明の他の実施例である。図４６４は、１Ｈの前半の所定の期間にＮ本の画素行を選択し（過電流印加期間）、１Ｈの後半の所定の期間に本来のプログラム電流を書き込む１本の画素行を選択して、プログラム電流Ｉｗを書き込み、順次保持する駆動方法である。

【２３２７】

以降の実施例では、過電流をソース信号線１８に印加する期間は、説明を容易にするため。１／（２Ｈ）とする。しかし、図４５８などで説明したようにこれに限定するものではない。また、基準電流比の制御、印加波形などに関する事項は、図４４５～図４６２などを適用できることは言うまでもない。また、プリチャージ電圧あるいはプリチャージ電流に関する事項あるいは装置の構成もしくは動作などは図１２７～図１４２、図２２８～図２３１、図３０８～図３１３、図３２４、図３２８～図３５４、図３８０～図４３５で説明した事項が適用される。したがって、以上に記載している事項は以降において説明を省略する。

【２３２８】

図４６４（ａ１）は、複数のゲート信号線１７ａを選択し、前記ゲート信号線１７ａに接続した画素行の駆動用トランジスタ１１ａからの電流をソース信号線１８に印加した状態を示している。なお、以前に説明したが、駆動用トランジスタ１１ａがソース信号線１８に電流を供給する場合もあるが、実際の動作は、ソースドライバ回路（ＩＣ）１４からの電流により動作する場合もある。

【２３２９】

図４６４（ａ２）は画面１４４の表示状態を図示している。図４６４（ａ２）より選択された画素行に該当する表示領域は非点灯領域１９２とされる。なお、以上の動作も図１９～図２７、図５４、図２７１～図２７９の実施例が適用できることはいうまでもない。また、あるいは組み合わせて実施することができることは言うまでもない。

【２３３０】

図４６４（ａ１）において、ソースドライバ回路（ＩＣ）１４は基準電流比Ｋ（Ｋは１以上の値）×Ｎ（Ｎは同時に選択した画素行数で整数）で動作する。したがって、出力電流Ｉ２は映像信号に対応するプログラム電流Ｉｗ×Ｎ×Ｋとしている。そのため、Ｉ２は大きく、ソース信号線１８の寄生容量の電荷を短期間で充放電することができる。

【２３３１】

図４６４（ｂ２）は画面１４４の表示状態を図示している。図４６４（ａ２）と同様に、１Ｈの前半で選択された画素行に該当する表示領域は非点灯領域１９２とされる。なお、以上の動作も図１９～図２７、図５４、図２７１～図２７９の実施例が適用できることはいうまでもない。また、あるいは組み合わせて実施することができることは言うまでもない。

【２３３２】

図４６４（ｂ１）は１Ｈの後半の所定の期間の動作を示している。１Ｈの後半期間では、本来のプログラム電流を書き込む１本の画素行を選択して、プログラム電流Ｉｗを書き込む。ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗをソース信号線１８に印加する。

【２３３３】

図４６５は図４６４の駆動方法のタイミングチャートである。図４６５では、同時に選択する画素行数は４画素行の例である。ゲート信号線１７ａの括弧内の添え字はゲート信号線１７ａの順番を示している（画面１４４の一番上の画素行に該当するゲート信号線１７ａは１７ａ（１）である）。

【２３３４】

図４６５に図示するように最初の１Ｈ期間である（ａ）期間において、前半の１／（２Ｈ）期間には、ゲート信号線１７ａ（１）（２）（３）（４）が選択され、該当の４画素行から電流がソース信号線１８に流れ込む（図４６５（ａ１）の状態）。（ａ）期間の後

半の１／（２Ｈ）期間には、ゲート信号線１７ａ（１）のみが選択され、該当の１画素行にプログラム電流Ｉｗが供給された電流プログラムが実施される（図４６５（ｂ１）の状態）。

【２３３５】

次の１Ｈ期間は（ｂ）である。（ｂ）期間では、図４６５に図示するように、選択する画素行は１画素行シフトされる。最初の１Ｈ期間である（ｂ）期間において、前半の１／（２Ｈ）期間には、ゲート信号線１７ａ（２）（３）（４）（５）が選択され、該当の４画素行から電流がソース信号線１８に流れ込む（図４６５（ａ１）の状態）。（ｂ）期間の後半の１／（２Ｈ）期間には、ゲート信号線１７ａ（２）のみが選択され、該当の１画素行にプログラム電流Ｉｗが供給された電流プログラムが実施される（図４６５（ｂ１）の状態）。

【２３３６】

同様に、次の１Ｈ期間は（ｃ）である。（ｃ）期間では、図４６５に図示するように、選択する画素行は１画素行シフトされる。最初の１Ｈ期間である（ｃ）期間において、前半の１／（２Ｈ）期間には、ゲート信号線１７ａ（３）（４）（５）（６）が選択され、該当の４画素行から電流がソース信号線１８に流れ込む（図４６５（ａ１）の状態）。（ｃ）期間の後半の１／（２Ｈ）期間には、ゲート信号線１７ａ（３）のみが選択され、該当の１画素行にプログラム電流Ｉｗが供給された電流プログラムが実施される（図４６５（ｂ１）の状態）。以上の動作が順次選択する画素行がシフトされ実施される。他の構成動作は、以前に説明した実施例と同様あるいは類似であるので説明を省略する。

図４６４から図４６５の実施例において、図４６０と同様に、点灯率に対応して複数画素行を選択する期間を制御することにより良好な画像表示を実現できる。図４６６はその実施例である。

【２３３７】

図４６６は、点灯率に対応して複数画素行を選択する期間（過電流印加期間）を変化させた実施例である。なお、期間の変化は、遅延させてあるいはゆっくりとあるいはヒステリシスをもたせて実施する。フリッカが発生するからである。以上の事項は、ｄｕｔｙ比制御あるいは基準電流比制御の説明でおこなっているため説明を省略する（図９３～図１１６などの説明を参照のこと）。図４６０、図４６１で説明しているので説明を省略する。

【２３３８】

以上の実施例は、選択する画素行数を変化させることにより、過電流（プリチャージ電流）をソース信号線１８に印加するものであった。しかし、選択する画素行が１画素行であっても、過電流（プリチャージ電流）を実現できる。図４６７はその実施例における画素構成である。なお、図４６７の画素構成の主要な事項は、図３１～図３４などで説明をしている。したがって、差異を中心に説明する。また、図４６７などで説明する駆動方式は、図３５～図３６などの画素構成においても適用できることは言うまでもない。

【２３３９】

図４６７の画素構成では、トランジスタ１１ａ２が過電流（Ｉｗ１＋Ｉｗ２もしくはＩｗ２）を受け持つトランジスタである。駆動用トランジスタ１１ａ１がＥＬ素子１５に電流を流すトランジスタである。トランジスタ１１ａ１はトランジスタ１１ａ１よりＷを大きくし、出力電流を大きくなるように構成している（Ｉｗ２＞Ｉｗ１）。

【２３４０】

過電流を流す時は、ゲート信号線１７ａ１、１７ａ２、１７ａ３にオン電圧を印加して、Ｉｗ２＋Ｉｗ１の電流をソース信号線１８に印加する。もしくは、ゲート信号線１７ａ１、１７ａ３にオン電圧を印加して、Ｉｗ２の電流をソース信号線１８に印加する。プログラム電流を駆動用トランジスタ１１ａ１に書き込むときは、ゲート信号線１７ａ１にオフ電圧を印加し、ゲート信号線１７ａ２、１７ａ３にオン電圧を印加して、Ｉｗ１の電流をソース信号線１８に印加する（ソースドライバ回路（ＩＣ）１４からプログラム電流Ｉｗをソース信号線１８に印加する）。

【２３４１】
１Ｈの前半の１／（２Ｈ）期間（１／（２Ｈ）期間に限定するものではない）に、Ｉｗ１＋Ｉｗ２もしくはＩｗ２の電流で駆動し、後半の１／（２Ｈ）期間には、該当の１画素行にプログラム電流Ｉｗ１が供給され、電流プログラムが実施される。以上の動作が順次選択する画素行がシフトされ実施される。他の構成動作は、以前に説明した実施例と同様あるいは類似であるので説明を省略する。
【２３４２】
図４５６が図４６７の動作のタイミングチャートである。図４５６に図示するように、１Ｈの前半の１／（２Ｈ）期間（１／（２Ｈ）期間に限定するものではない）に、一例として基準電流比を４とし、４×（Ｉｗ１＋Ｉｗ２）もしくは４×Ｉｗ２の電流で駆動される。この際、ゲート信号線１７ａ１、１７ａ２、１７ａ３にオン電圧を印加される。
後半の１／（２Ｈ）期間には、基準電流比は１とされ、該当の１画素行にプログラム電流Ｉｗ１が供給され、電流プログラムが実施される。以上の動作が順次選択する画素行がシフトされ実施される。他の構成動作は、以前に説明した実施例と同様あるいは類似であるので説明を省略する。
【２３４３】
以上の実施例は、プリチャージ電流あるいは電圧駆動に関する実施例であった。この駆動方式を用いることにより、低階調時におけるＥＬ素子１５の発光効率の変化によるホワイトバランスずれを補正することができる。しかし、技術的には、以前に説明したプリチャージ駆動と同様であるので、特に差異を中心として説明する。したがって、他の構成、動作、方式、形式などは以前に説明した内容が適用される。また、以前に説明した本発明の明細書の内容と組み合わせて実施することができる。
【２３４４】
ＥＬ素子１５は、印加電流と発光輝度とは直線の関係がある。しかし、印加電流が小さい時は、発光効率が低下する。ＲＧＢのＥＬ素子１５の発光効率が同一比率で低下するのであれば、低階調時においてもホワイトバランスずれは発生しない。しかし、図４７６に図示するように、ＲＧＢのＥＬ素子１５は特に低階調時に発光効率のバランスずれが発生する。
【２３４５】
図４７６では、緑（Ｇ）で、３１階調以下の発光効率の低下が著しい例である。図４７６では、赤（Ｒ）の発光効率の変化が小さく、また、青（Ｂ）の発光効率の変化も低階調側で比較的小さい。しかし、緑（Ｇ）の発光効率の低下は大きいため、３１階調以下、特に１５階調以下で、大きなホワイトバランスずれが発生し、白ラスター表示であっても、マゼンダ色になる。
【２３４６】
この課題に対して、低階調側で電圧駆動を実施するか、過電流あるいは嵩上げ電流を印加すればよい。つまり、低階調領域において、プリチャージ電圧またはプリチャージ電流駆動を実施する（ＥＬ素子１５に流す電流が小さい階調でプリチャージ電圧またはプリチャージ電流駆動を実施する）。
【２３４７】
図４７７は、低階調領域で、嵩上げ電流Ｉｋを印加する構成である。なお、嵩上げ電流の構成については、図８４とその説明を参照されたい。嵩上げ電流Ｉｋの制御はスイッチＫ０～Ｋ３で実施する。図４７７の実施例では、嵩上げ電流はＫ０～Ｋ３であるから、４ビットであり、０（なし）から１５までの１６段階で変化あるいは変更することが可能である。
【２３４８】
プログラム電流Ｉｗを発生するトランジスタ群は１６４ａｈ、１６４ｂｈ、１６４ｃｈ、１６４ｄｈ、１６４ｅｈ、１６４ｆｈ、１６４ｇｈ、１６４ｈｈで構成され、これらは、スイッチＤ０～Ｄ７で制御される。嵩上げ電流Ｉｋを発生するトランジスタ群は１６４ａｋ、１６４ｂｋ、１６４ｃｋ、１６４ｄｋで構成され、これらは、スイッチＫ０～Ｋ３で

制御される。

【２３４９】

たとえば、階調０では、Ｋ０スイッチをクローズし、１単位の嵩上げ電流をプログラム電流に加算する。階調１では、Ｋ１スイッチをクローズし、２単位の嵩上げ電流をプログラム電流に加算する。階調２では、Ｋ０とＫ１スイッチをクローズし、３単位の嵩上げ電流をプログラム電流に加算する。同様に、階調７は、すべてのＫスイッチをクローズし、１５単位の嵩上げ電流をプログラム電流に加算する。

【２３５０】

以上の実施例は、階調に応じて規則正しく、Ｋスイッチを動作させる実施例であったが、本発明はこれに限定するものではない。たとえば、階調０では、すべてのＫスイッチをクローズし、嵩上げ電流をプログラム電流に加算しない実施例もありえる。階調１では、Ｋ０、Ｋ１スイッチをクローズし、３単位の嵩上げ電流をプログラム電流に加算し、階調２以上では、すべてのＫスイッチをクローズし、１５単位の嵩上げ電流をプログラム電流に加算する実施例も例示される。なお、嵩上げ電流を加算するか否かは、スイッチ１５１ｂ２を制御することにより容易に実現できる。他の構成については、以前の実施例で説明しているので省略する。

【２３５１】

図４７７では、プリチャージ電圧Ｖｐｃは、Ｖ０電圧などの低階調用のプリチャージ電圧Ｖｐｃ＝ＶｐＬと、Ｖ２５５電圧などの高階調用のプリチャージ電圧Ｖｐｃ＝ＶｐＨを具備し、スイッチ１５１ａの接点をａ接点とｂ接点で切り換えて駆動できるように構成されている（（図４７５（ｂ）およびその説明を参照のこと）。また、以前に説明した過電流駆動などを組み合わせて実施できることも言うまでもない。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【２３５２】

図４７７では、ＲＧＢのうち、１色の回路を図示している。実際には、ＲＧＢが独立に構成されている。また、ＲＧＢで、嵩上げ電流の大きさ、個数、ビット数を変化あるいは変更してもよいことは言うまでもない。嵩上げ電流の大きさは、基準電流Ｉｃ２を変化させることにより容易に実現できる。また、基準電流Ｉｃ１とＩｃ２とを共通にすることにより回路構成を容易にできることは言うまでもない。また、嵩上げ電流を出力するトランジスタは単位トランジスタとする必要はなく、階調ごとに対応した嵩上げ電流を出力できるように変化あるいは変更してもよい。ＲＧＢに階調に応じて嵩上げ電流を印加することによりホワイトバランスずれが補正（補償あるいは調整）することが容易に実現できる。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【２３５３】

図４７７の実施例は、単位トランジスタで嵩上げ電流の出力段を構成した実施例であった。しかし、本発明は、これに限定するものではない。たとえば、図４７８に図示するように、嵩上げ電流Ｉｋを出力する１つまたは複数のトランジスタ１６４ｋで構成してもよい。図４７８の構成で階調に応じた嵩上げ電流を出力するには、基準電流Ｉｃ２を変化させればよい。

【２３５４】

また、図４７８で、階調に応じて嵩上げ電流の大きさを変化さえるには、図４７９に図示するようにスイッチ１５１ｂ２のクローズ時間を制御する方法もある。嵩上げ電流用トランジスタ１６４ｋは、比較的大きな嵩上げ電流を出力できるように構成する。スイッチ１５１ｂ２を短期間のクローズでは嵩上げ電流の印加の影響は小さい。スイッチ１５１ｂ２を長時間クローズさせると、ソース信号線１８の電位変化に対する影響は大きくなる。図４７９では、カウンタ回路４６８２は１Ｈのスタートパルスでリセットされ、メインクロックＣＬＫでカウントアップされる（図４７１を参照のこと）。カウンタ回路４７８２はＲＡＭに保持された階調あるいは階調変化に対するデータで制御される。カウンタ回路４６８２Ｒはソースドライバ回路（ＩＣ）１４の赤色のスイッチ（Ｒ－ＳＷ１５１ｂ２）を制御する。カウンタ回路４６８２Ｇはソースドライバ回路（ＩＣ）１４の緑色のスイッ

チ（Ｇ－ＳＷ１５１ｂ２）を制御する。また、同様にカウンタ回路４６８２Ｂはソースドライバ回路（ＩＣ）１４の青色のスイッチ（Ｂ－ＳＷ１５１ｂ２）を制御する。

【２３５５】

図４７９では、Ｇ回路のスイッチ１５１ｂ２がクローズされている期間が最も長く、次にＲ回路のスイッチ１５１ｂ２がクローズされている期間が長く、Ｂ回路のスイッチ１５１ｂ２がクローズされている期間が最も短い例である。したがって、嵩上げ電流は、Ｇが最も大きく、次にＲが大きく、Ｂが最も短い。そのため、Ｇのホワイトバランスずれ補正が最も大きく、Ｂのホワイトバランスずれ補正が最も小さい。以上のスイッチ１５１ｂ２のクローズ時間を階調あるいは階調差に対応して制御することにより、ホワイトバランスずれを良好に補正することできる。

【２３５６】

以上のように、嵩上げ電流の印加期間で、ソース信号線１８の電位を制御できるのは、低階調領域でプログラム電流が小さいため、プリチャージ電流駆動あるいはプリチャージ電圧駆動によるソース信号線１８電位変化が支配的なためである。つまり、低階調における嵩上げ電流駆動は、以前に説明したプリチャージ電流駆動と同様の動作である（図４７１、図４７２などを参照のこと）。

【２３５７】

図４７９の実施例は、図４７７のスイッチ１５１ｂ２制御にも適用できることは言うまでもない。また、図４７７、図４７８の実施例では、プリチャージ電流あるいは嵩上げ電流駆動でホワイトバランスずれを補正するものであったが、プリチャージ電圧駆動でもホワイトバランスずれを補正できることは言うまでもない。プリチャージ電圧駆動によるホワイトバランスずれの補正は、以前に説明したプリチャージ電圧駆動と同様であるので説明を省略する。

【２３５８】

図４７８などにおいて、スイッチ１５１ｂ２などは１Ｈの最初にからクローズさせるとしたがこれに限定するものではない。１Ｈ期間のいずれの期間にクローズさせても実用上は十分な補正を実現することができる。また、１Ｈ期間に複数回クローズあるいはオープンにしてもよいことは言うまでもない。以上の事項は、本発明の他のスイッチ制御においても適用できることは言うまでもない。

【２３５９】

図４７７、図４７８などは、嵩上げ電流をプログラム電流Ｉｗに加算することにより低階調領域のホワイトバランスずれを補正するものであった。しかし、本発明はこれに限定するものではない。たとえば、図４８０に図示するように、低階調補正用の単位トランジスタ群１６４（１６４ａｌ～１６４ｈｌと別途構成してもよい。

【２３６０】

図４８０では、低階調補正用の単位トランジスタ群１６４はプログラム電流Ｉｗを発生する単位トランジスタ群と同期を取って動作する。なお、低階調補正用の単位トランジスタ群１６４は単位トランジスタで構成することに限定するものではなく、図４７８で説明したように大きさが異なるトランジスタで構成してもよい。

【２３６１】

図４８０の低階調補正用トランジスタ群は、Ｌ０～Ｌ４の５ビットで制御される。したがって、１階調目から、３１階調目まで補正することができる。１階調目の場合は、スイッチＤ０がクローズし、同時にスイッチＬ０もクローズする。したがって、端子１５５には、トランジスタ群１６４ａｈの単位電流と、トランジスタ１６４ａｌの単位電流が加算されたものが出力される。同様に、２階調目の場合は、スイッチＤ１がクローズし、同時にスイッチＬ１もクローズする。したがって、端子１５５には、トランジスタ群１６４ｂｈの２単位電流と、トランジスタ１６４ｂｌの２単位電流が加算されたものが出力される。また、同様に、４階調目の場合は、スイッチＤ２がクローズし、同時にスイッチＬ２もクローズする。したがって、端子１５５には、トランジスタ群１６４ｃｈの４単位電流と、トランジスタ１６４ｃｌの４単位電流が加算されたものが出力される。以下、同様であ

る。しかし、３２階調目の場合は、スイッチＤ０～Ｄ４がクローズし、プログラム電流に対応する３２単位電流が端子１５５に出力されるが、低階調側の単位トランジスタ群１６４は動作しない。図４７６に図示するように３２階調以上ではホワイトバランスずれを補正する必要がないからである。また、ＲＧＢの低階調電流の大きさは、ＲＧＢで基準電流Ｉｄｌを異ならせるあるいは調整することにより実現できることは言うまでもない。他の構成は、本発明の他の実施例と同様であるので説明を省略する。

【２３６２】

以上の実施例と図４７９の実施例とを組み合わせてもよいことは、言うまでもでもない。また、図４８０の実施例では、低階調で、ＤｎスイッチとＬｎスイッチとを同期させて動作させるとしたが、これに限定するものではなく、低階調では、Ｌｎスイッチ（図４８０では、Ｌ０～Ｌ４）のみを動作させるように構成してもよいことは言うまでもない。３２階調以上の中間階調以上では、すべてのｌＮスイッチをクローズさせ、Ｄｎスイッチを階調にあわせてクローズさせる。この場合は、図４８１に図示するように、１点折れ線ガンマとなる。また、図４８１では、青（Ｂ）のみに一点折れガンマを実施している。赤（Ｒ）と緑（Ｇ）には実施していない。もちろん、ＲＧＢに一点折れガンマを実施してもよい。また、一点折れガンマに限定するものではなく、２点以上の多点折れガンマとしてもよい。なお、この構成は、図８４でも説明しているので説明を省略する。

【２３６３】

低階調のホワイトバランスずれは、過電流駆動あるいは図４７７～図４８０などの嵩上げ電流駆動などだけでなく、プリチャージ電圧駆動でも補償（補正）することができる。図４８２はその実施例である。図４８２では、階調３以下で電圧駆動を実施している。したがって、（ｂ）（ｃ）（ｄ）（ｅ）、（ｇ）の期間が階調３以下であるので、１Ｈの期間の間、プリチャージ電圧を印加している。なお、１Ｈの期間すべてにプリチャージ電圧を印加することに限定されるものではない。１Ｈの期間の一部の期間にプリチャージ電圧（プログラム電圧）を実施するものであってもよいことは言うまでもない。

【２３６４】

図４８３は、過電流駆動（プリチャージ電流駆動）により低階調のホワイトバランスずれを補正するものである。図４８３では、階調３以下で過電流駆動を実施している。ただし、過電流の方向は吐き出し電流方向である例である。したがって、（ｂ）（ｃ）（ｄ）（ｅ）、（ｇ）の期間が階調３以下であるので、１Ｈの期間の間、プリチャージ電流を印加している。したがって、ソース信号線１８の電位は直線的にアノード電圧Ｖｄｄの方向に上昇する。なお、１Ｈの期間すべてにプリチャージ電流を印加することに限定されるものではない。１Ｈの期間の一部の期間にプリチャージ電流（＋プログラム電流）を実施するものであってもよいことは言うまでもない。

【２３６５】

図４８４は、プリチャージ電圧を印加した後、過電流駆動（プリチャージ電流駆動）により低階調のホワイトバランスずれを補正するものである。図４８４では、階調３以下で本発明の駆動方法を実施している。したがって、（ｂ）（ｃ）（ｄ）（ｅ）、（ｇ）の期間が階調３以下であるので、１Ｈ最初の期間に、階調に対応するＶ０電圧を印加し（プリチャージ電圧を印加し）、同時にあるいは、プリチャージ電圧の印加後に、プリチャージ電流を印加している。ただし、プリチャージ電流の方向はシンク電流（吸い込み電流）の方向である。したがって、（ｂ）（ｃ）（ｄ）（ｅ）、（ｇ）の期間では、１Ｈの最初にソース信号線１８電位はＶ０電圧になり、プリチャージ電流によりソース信号線１８電位は低下する。ソース信号線１８の電位は直線的にＧＮＤ方向に低下する。なお、１Ｈの期間すべてにプリチャージ電流を印加することに限定されるものではない。１Ｈの期間の一部の期間にプリチャージ電流（＋プログラム電流）を実施するものであってもよいことは言うまでもない。

【２３６６】

以上のように、低階調のホワイトバランスずれの補正にあっても、本発明の過電流駆動、プリチャージ電圧（プログラム電圧）駆動、嵩上げ電流駆動など、あるいは組合せによ

り改善することができ、全階調範囲で良好なホワイトバランスを実現することができる。なお、以上の実施例は本発明の他の実施例に適用できることは言うまでもない。

【２３６７】

図３８１～図４２２、図４４５～図４６７、図４７７～図４８４などでは、順次過電流（プリチャージ電流もしくはディスチャージ電流）、嵩上げ電流などを印加するか否かを判断するように説明したが、本発明はこれに限定されるものでなない。例えば、インターレース駆動の場合は、第１フィールドで奇数画素行に過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、第２フィールドで偶数画素行に過電流（プリチャージ電流もしくはディスチャージ電流）するように駆動してもよい。

【２３６８】

また、任意のフレームで、過電流（プリチャージ電流もしくはディスチャージ電流）を各画素行に印加し、次のフレームでは、過電流（プリチャージ電流もしくはディスチャージ電流）を全く印加しない駆動方法も例示される。また、各画素行にランダムに過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、複数フレームで平均的に各画素に過電流（プリチャージ電流もしくはディスチャージ電流）が印加されるように駆動してもよい。

【２３６９】

また、特定の低階調の画素のみに過電流（プリチャージ電流もしくはディスチャージ電流）を印加する駆動方式が例示される。また、特定の高階調の画素のみに過電流（プリチャージ電流もしくはディスチャージ電流）を印加する駆動方式が例示される。また、特定の中間階調の画素のみに過電流（プリチャージ電流もしくはディスチャージ電流）を印加する構成も例示される。また、１Ｈまたは複数Ｈ前のソース信号線電位（画像データ）から、特定階調範囲の画素に過電流（プリチャージ電流もしくはディスチャージ電流）を印加する構成も例示される。

【２３７０】

図３８１～図４２２、図４７７～図４８４の過電流駆動（電流プリチャージ駆動）などにおける過電流（プリチャージ電流）は、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、ｄｕｔｙ比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変するとしたが、これに限定するものではない。たとえば、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、基準電流、ｄｕｔｙ比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。また、フレームレートなどを変更あるいは変化させてもよいことは言うまでもない。

【２３７１】

たとえば、過電流（プリチャージ電流）の大きさ、印加時間、印加回数などは、図９３から図１１６、図２５２、図２６９の点灯率、ｄｕｔｙ比、基準電流と連動あるいは組み合わせてもよい。また、図１１７、図２３６、図２３８、図２５７のプリチャージ電圧制御と連動あるいは組み合わせてもよい。また、図１２２、図１２３、図１２４、図１２５、図２８０のアノード電圧制御と連動あるいは組み合わせてもよい。もちろん、図１２７～図１４２、図３０８～図３１３、図３３２～図３５４で説明した電圧駆動（電圧プリチャージＡ）と組み合わせてもよい。また、図１４９、図１５０、図１５１、図１５２、図１５３のＲＧＢの基準電流制御と連動あるいは組み合わせてもよい。また、図２５３、図２５４の温度制御の概念を組み合わせてもよい。また、図２５６のガンマ制御と連動あるいは組み合わせてもよい。また、図２５９、図３１３などで説明したフレームレートコントロール（ＦＲＣ）と連動あるいは組み合わせてもよい。また、図２７７～図２７６の選択ゲート信号線数と連動あるいは組み合わせてもよい。また、図３１５、図３１８のゲート電圧制御（Ｖｇｈ、Ｖｇｌ）と連動あるいは組み合わせてもよい。また、図３１７の分割数制御と連動させてもよい。

【２３７２】
本発明では、プリチャージ電流あるいはプリチャージ電圧駆動を実施するとした。たとえば、８ビット（２５６階調）のソースドライバ回路（ＩＣ）１４で１０２４階調を実現するためには、図３１３で説明したように４ＦＲＣと組み合わせる。したがって、１０２４階調で、２階調目は、２５６階調のソースドライバ回路（ＩＣ）１４では、０階調目の出力と１階調目の出力とを組み合わせて表示する。したがって、ＦＲＣ駆動ではソース信号線１８には、１Ｈごとに０階調目の電圧（プリチャージ電圧と１階調目のプログラム電圧またはプログラム電流）が交互に印加される。この領域は低階調領域であるから、１階調目は必ずプリチャージ駆動が実施される。プリチャージ駆動はラスター表示でも実施される。プリチャージ駆動すると、電流駆動であっても電圧駆動状態となり表示の均一性が低下する。一方ラスター表示では、たとえ低階調領域であっても書き込み不足は発生しないため、プログラム電流のみで均一表示を実現できる。プリチャージ駆動を実施することにより均一性が低下することは好ましくない。
【２３７３】
この課題を解決するため、本発明は、ＦＲＣ駆動を実施する場合は、隣接した階調出力の場合（２５６階調のソースドライバ回路（ＩＣ）１４では、０階調目の出力と１階調目が隣接出力である。また、１階調目の出力と２階調目が隣接出力である）は、プリチャージ駆動は実施しない。つまり、ソース信号線１８に印加される出力が、１階調分しか差がないときはプリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施しない。ＦＲＣによるラスター表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。１階調差はＦＲＣを実施するため、プリチャージ駆動を実施すると、画面全体に電圧駆動が実施されることになり、各画素１６の駆動用トランジスタ１１ａの特性ばらつきが画面１４４に表示される可能性が高いからである。
【２３７４】
なお、ＦＲＣとは、隣接した階調を組み合わせて間の階調表示を実現する技術である。たとえば、６ビット表示（６４階調）で４ＦＲＣを実施すると、約２５６階調表示を実現できる。この表示方法では、たとえば、１階調目と２階調目（隣接した階調）を組み合わせて、１階調目と２階調目間に７階調の表示を実現できる。同様に、２階調目と３階調目（隣接した階調）を組み合わせて、１階調目と２階調目間に７階調の表示を実現できる。
【２３７５】
２階調以上の差があるときは、プリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施する（特に低階調領域では実施する）。たとえば、２５６階調のソースドライバ回路（ＩＣ）１４では、ソース信号線１８に印加する出力が０階調目から２階調目に変化する時である。また、１階調目の出力から３階調目に変化するときである。２階調以上変化する時は、ＦＲＣ以上の階調変化として判断し、書き込み不足をプリチャージ駆動で解決する。以上の判断は、コントローラ回路（ＩＣ）７６０で行う。つまり、２階調差以上では、ＦＲＣ駆動は実施されないからである。
【２３７６】
さらに実施例を記載すれば、１０２４階調の６階調目は、２５６階調のソースドライバ回路（ＩＣ）１４では、１階調目の出力と２階調目の出力で表示する。ソース信号線１８には２５６階調のソースドライバ回路（ＩＣ）１４から、１階調目の出力と２階調目の出力が交互にあるいは一定周期で印加される。
【２３７７】
このように、ソース信号線１８に印加する映像データが１階調分の時は、プリチャージ駆動は実施しない。つまり、ソース信号線１８に印加される出力が、ＦＲＣを考慮しない階調（本実施例では２５６階調）で１階調分しか差がないときはプリチャージ駆動（電圧プリチャージ、電流プリチャージなど）を実施しない。ＦＲＣによるラスター表示あるいは画像に変化が発生しないと判断し、電流駆動のみで均一表示を実現するためである。
【２３７８】
２階調以上の差があるときは、プリチャージ駆動（電圧プリチャー

ジなど）を実施する。特に低階調領域で実施する。たとえば、２５６階調のソースドライバ回路（ＩＣ）１４では、ソース信号線１８に印加する出力が１階調目から３階調目以上に変化する場合が例示される。なお、高階調領域ではプリチャージ駆動を実施する必要がない。書き込み電流が大きいためである。

【２３７９】

以上はＦＲＣを実施するときに、本階調（実施例では２５６階調）で、ソース信号線１８に印加する階調数が２階調以上変化する時に、必要に応じてプリチャージ駆動を実施するとした。しかし、本発明はこれに限定するものではない。ＦＲＣを実施しない場合においても、ソース信号線１８に印加する階調数が２階調以上変化する時に、必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。

【２３８０】

ただし、隣接した画素行での変化（ソース信号線１８に印加する信号レベルの変化）が１階調差の場合であっても、プリチャージ駆動を実施してもよい。たとえば、自然画を表示する場合は、プリチャージ駆動を実施しても、各画素１６の駆動用トランジスタ１１ａの特性ばらつきはめだたない（白らすたーなどのパターン表示の場合は、駆動用トランジスタ１１ａの特性ばらつきがめだつ）。したがって、表示画像をコントローラ回路（ＩＣ）７６０で判断して、プリチャージ駆動の実施の有無を決定すればよい。

【２３８１】

また、ｎＦＲＣ後の階調で変化する階調数がＣとした場合に、Ｃ／ｎが１よりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよいことは言うまでもない。たとえば、４ＦＲＣで、１０２４階調表示をする場合、１０２４階調で変化する階調数が４（Ｃ＝４）であれば、４／４＝１で、プリチャージ駆動は実施しない。１０２４階調で変化する階調数が５以上（Ｃ＝５以上）であれば、５／４＞１で、必要に応じてプリチャージ駆動を実施する。

【２３８２】

以上の実施例では、Ｃ／ｎが１よりも大きい場合に必要に応じてプリチャージ駆動を実施するとして説明したが、Ｃ／ｎがＫよりも大きい場合に必要に応じてプリチャージ駆動を実施するとしてもよい。Ｋの値は、点灯率により変化させる。たとえば、４ＦＲＣで、１０２４階調表示をする場合、点灯率が７０％以上の場合はＫ＝４とし、１０２４階調で変化する階調数が１６（Ｃ＝１６）以上であれば、１６／４＝４＝Ｋで、プリチャージ駆動を実施するとしてもよい。Ｃ＝１６未満の場合はプリチャージ駆動を実施しない。また、４ＦＲＣで、１０２４階調表示をする場合、点灯率が２０％以上の場合はＫ＝２とし、１０２４階調で変化する階調数が８（Ｃ＝８）以上であれば、８／４＝２＝Ｋで、プリチャージ駆動を実施するとしてもよい。Ｃ＝８未満の場合はプリチャージ駆動を実施しない。

【２３８３】

前述の実施例では、ソース信号線１８に印加する出力が１階調目から３階調目以上に変化する場合など、低階調から高階調に変化する時、３階調目から１階調目以下、１０階調目から８階調目以下などのように、高階調から低階調に変化する時に、プリチャージ駆動してもよいことは言うまでもない。なお、所定階調以上の高階調領域ではプリチャージ駆動を実施する必要がない。書き込み電流が大きいためである。

【２３８４】

以上の事項は、本発明の他の実施例にも適用することができる。また、本発明の他の実施例と組み合わせて実施することができることは言うまでもない。

また、図１２７～図１４３、図２９３、図３１１、図３１２、図３３９～図３４４、図４７７～図４８４などで説明したプリチャージ電圧（プログラム電圧と同義あるいは類似）駆動と、図３８１～図４２２などで説明した過電流（プリチャージ電流もしくはディスチャージ電流）とを組み合わせてもよいことはいうまでもない。たとえば、所定画素に印加する映像データが所定の条件を満足する場合に、プリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、その後、順次過電流（プリチャージ電流もしくはディスチャ

ージ電流）を印加し、さらに１Ｈの残りの期間にプログラム電流を印加する方式である）例示される。

【２３８５】

また、インターレース駆動の場合は、第１フィールドで奇数画素行にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、第２フィールドで偶数画素行に過電流（プリチャージ電流もしくはディスチャージ電流）を印加する駆動方式が例示される。任意のフレームで、プリチャージ電圧（プログラム電圧と同義あるいは類似）もしくは過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、次のフレームでは、プリチャージ電圧（プログラム電圧と同義あるいは類似）および過電流（プリチャージ電流もしくはディスチャージ電流）を全く印加しない駆動方式も例示される。

【２３８６】

また、各画素行にランダムにプリチャージ電圧（プログラム電圧と同義あるいは類似）または／および過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、複数フレームで平均的に各画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）または過電流（プリチャージ電流もしくはディスチャージ電流）が印加されるように駆動してもよい。

【２３８７】

また、特定の低階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、中間階調には過電流（プリチャージ電流もしくはディスチャージ電流）を印加しする駆動方式が例示される。

【２３８８】

また、特定の高階調の画素のみにプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加し、低階調の画素には、プリチャージ電圧（プログラム電圧と同義あるいは類似）と過電流（プリチャージ電流もしくはディスチャージ電流）とを適時判断して印加する駆動方式が例示される。

【２３８９】

また、特定の１Ｈ前または複数Ｈ前の画像データとの差が大きい場合に、過電流（プリチャージ電流もしくはディスチャージ電流）を印加し、０階調または低階調の場合にプリチャージ電圧（プログラム電圧と同義あるいは類似）を印加する構成（方式）も例示される。

【２３９０】

また、１Ｈまたは複数Ｈ前のソース信号線電位（画像データ）から、特定階調範囲の画素にプリチャージ電圧（プログラム電圧と同義あるいは類似）あるいは過電流（プリチャージ電流もしくはディスチャージ電流）を印加する構成（方式）も例示される。

【２３９１】

以上のように、本発明の駆動方式は、本明細書で記載した駆動方式を組み合わせて用いることができることは言うまでもない。たとえば、図１２７～図１４３、図２９３、図３１１、図３１２、図３３９～図３４４で説明したプリチャージ電圧（プログラム電圧と同義あるいは類似）駆動などと、図３８１～図４２２、図４７７～図４８４などで説明した過電流（プリチャージ電流もしくはディスチャージ電流）駆動などは組み合わせることができる。

【２３９２】

電流プリグラム方式では、ソース信号線１８の寄生容量が課題となる。ソース信号線の寄生容量は、表示画面１４４内で均一ではない。一般的に画面に周辺部で寄生容量は大きく、中央部で小さい。これは、図５２４に図示するように、ソースドライバ回路（ＩＣ）１４から表示領域１４４に配線するソース信号線１８の配置により寄生容量が変化して形成されるためと思われる。ソースドライバ回路（ＩＣ）１４から表示領域１４４間（図５２４ではＡの領域）では、ソース信号線１８が斜めに配置されるものがある。

【２３９３】

表示領域１４４の中央部のソース信号線１８ｆ、１８ｇはソースドライバ回路（ＩＣ）

１４から直線的に配置される。したがって、ソース信号線１８ｆ、１８ｇの寄生容量は比較的小さくなる。表示領域１４４の周辺部のソース信号線１８ａ、１８ｂ、１８ｍ、１８ｎはソースドライバ回路（ＩＣ）１４から斜めに配置される。したがって、ソース信号線１８ａ、１８ｂ、１８ｍ、１８ｎの寄生容量は、ソース信号線１８ｆ、１８ｇの寄生容量より大きくなる。

【２３９４】

ソース信号線１８の寄生容量が異なると、電流プログラム時のプログラム電流Ｉｗがソース信号線位置に対応して変化する。特に、この現象は低階調領域で発生する。つまり、画面中央部（線対称）から画面周辺部にかけて、輝度傾斜が発生する。

【２３９５】

この課題に対して本発明は、図５２４のように、ソース信号線１８に絶縁膜３２を形成し、この絶縁膜３２上にコンデンサ電極５１９１（図５１９も参照のこと）が形成されている。図５１９でも説明したが、コンデンサ電極５１９１はソース信号線１８の下層などに形成してもよいことは言うまでもない。

【２３９６】

図５２２は図５２４のＡ箇所の平面図である。図５２２（ａ）のｋ箇所が表示パネルの中央部である（図５２４のｋ位置を参照のこと）。ｋ箇所の断面図（ｋｋ’）を図５２３（ｂ）に示す。図５２２（ａ）のｊ箇所が表示パネルの周辺部である（図５２４のｊ位置を参照のこと）。ｊ箇所の断面図（ｊｊ’）を図５２３（ａ）に示す。

【２３９７】

図５２３でも明らかなように、図５２３（ｂ）のコンデンサ電極５１９１とソース信号線１８とのオーバーラップは、図５２３（ａ）のコンデンサ電極５１９１とソース信号線１８とのオーバーラップよりも大きい。したがって、図５２３（ｂ）のコンデンサ容量の方が、図５２３（ａ）のコンデンサ容量よりも大きい。したがって、図５２２（ａ）におけるｋ点のコンデンサ容量の方が、ｊ点のコンデンサ容量よりも大きい。以上の構成を採用あるいは実現することにより図５２４のｋ点のコンデンサ容量とｊ点のコンデンサ容量とを一致させることができる。したがって、低階調での電流プログラム駆動時であっても、画面１４４に輝度傾斜が発生することはない。

【２３９８】

以上の実施例は、コンデンサ電極５１９１の電位を一定にする構成であった。コンデンサ容量をソース信号線１８位置によって変化させることが、以上の実施例だけでなく、図５２２（ｂ）の構成によっても実現できる。図５２２（ｂ）は図５２２（ａ）の等価回路図である。図５２２（ａ）のＬ部が細く作製されているため、等価的に抵抗Ｒが接続された状態になる（図５２２（ｂ））。

【２３９９】

したがって、図５２２（ｂ）のＢ点に電圧を印加すると、Ｂ点からＡ点、Ｂ点からＣ点にかけて電位傾斜が発生する。したがって、Ｂ点付近ではコンデンサ容量が増加し、Ａ点およびＣ点では、Ｂ点に対して相対的にコンデンサ容量が低下する。したがって、図５２４におけるｊ点（ソース信号線１８の寄生容量が大きい）とｋ点（ソース信号線１８の寄生容量が小さい）とのトータルのコンデンサ容量が一致する。

【２４００】

図５２２（ｂ）のＡ点、Ｃ点、Ｂ点など電圧を印加する位置に応じてソースドライバ回路（ＩＣ）１４から各ソース信号線１８をみたコンデンサ容量を変化あるいは変更することができる。したがって、画面の輝度傾斜を補正することができ、また、意図的に輝度傾斜を発生させることもできる。

【２４０１】

図５２２では、ソース信号線１８上にコンデンサ電極５１９１を形成するとした。しかし、本発明はこれに限定するものではない。本発明の意図は、ソースドライバ回路（ＩＣ）１４から各ソース信号線１８を見た時、寄生容量（寄生容量に限定するものではない。コンデンサ成分であればよい）が各ソース信号線１８で略一致あるいは極力等しくなるよう

に構成するものである。

【２４０２】

したがって、図５２２のように、ソース信号線１８上にコンデンサ電極５１９１を形成または配置する構成が一例である。他に、隣接したソース信号線１８間に第１の電極を形成し、形成した第１の電極を所定電位とすることによりソース信号線１８とこの第１の電極の間に電磁結合させて、コンデンサを構成してよい。第１の電極の形状、位置を画面１４４の中央部と周辺部で変化させることにより、ソース信号線１８のコンデンサ容量を均一化させることができる。

【２４０３】

隣接したソース信号線１８間に溝を形成し、基板３０を介して隣接したソース信号線１８が電磁結合することを変化あるいは調整することができる。溝を長くすることにより、隣接したソース信号線間の電磁結合は小さくなり、該当ソース信号線１８間にコンデンサ容量は小さくなる。また、溝を深くすることにより、隣接したソース信号線間の電磁結合は小さくなり、該当ソース信号線１８間にコンデンサ容量は小さくなる。逆に基板３０に形成する溝を短くすることにより、隣接したソース信号線間の電磁結合は相対的に大きくなり、該当ソース信号線１８間にコンデンサ容量は大くなる。また、溝を浅くすることにより、隣接したソース信号線間の電磁結合は相対的に大きくなり、該当ソース信号線１８間にコンデンサ容量は相対的に大きくなる。

【２４０４】

図５１９、図５１２において、コンデンサ電極５１９１を形成するとしたが、これに限定するものではない。たとえば、カソード電極３６でコンデンサ電極５１９１を形成してもよい。もしくは、カソード電極３６の形成プロセスで、コンデンサ電極５１９１を形成してもよい。

【２４０５】

以上のように、電流駆動方式などにおいて、ソース信号線１８の寄生容量が、略均一になるように表示パネル（アレイ）を構成したことに特徴を有する。また、寄生容量を制御または可変できることに特徴と有する。また、これらの表示パネル（アレイ）の駆動方法に特徴を有する。

【２４０６】

以下、本発明のＥＬ表示パネルまたはＥＬ表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。図１２６は情報端末装置の一例としての携帯電話の平面図である。筐体１２６３にアンテナ１２６１、テンキー１２６２などが取り付けられている。１２６２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【２４０７】

キー１２６２を１度押さえると表示色は８色モードに、つづいて同一キー１２６２を押さえると表示色は４０９６色モード、さらにキー１２６２を押さえると表示色は２６万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー１２６２は３つ（以上）となる。

【２４０８】

キー１２６２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「４０９６色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面１４４に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。表示色の切り換えは、ＦＲＣ，プリチャージ駆動などによっても実施できる。ＦＲＣあるいはプリチャージ駆動の実施例は以前に説明しているため省略する。

【２４０９】

また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部１４４に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【２４１０】

１２６２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【２４１１】

本発明の表示パネル（表示装置）において、ブライトネス調整は、ｄｕｔｙ比制御（図１９～図２７、図５４などを参照のこと）あるいは基準電流比制御（図６０、図６１、図６４、図６５などを参照のこと）などにより実施する。特に、図６５で説明した基準電流比制御回路の構成では、スイッチ６４２を切り換えることにより、ホワイトバランスを維持したまま、表示画面１４４の明るさをリニアに制御あるいは調整することができるので好ましい。ブライトネス調整はコントローラ回路（ＩＣ）７６０によるソフト的制御でもよく、表示パネルの表示部１４４に表示させたメニューを触れることにより選択するタッチスイッチなどによる調整でもよい。また、外光の強さをホトセンサで検出し、オートマチックに調整する方式でもよい。以上の事項は、コントラスト調整などにも適用できることは言うまでもない。また、ｄｕｔｙ比制御にも適用できることは言うまでもない。

【２４１２】

表示パネルに重要な機能は、複数のフォーマットの画像を表示できることである。たとえば、デジタルビデオカメラ（ＤＶＣ）では、ＮＴＳＣとＰＡＬ画像を表示できるようにする必要がある。以下、１つのパネルに複数フォーマットの画像を表示する方法について説明をする。なお、説明を容易にするため、表示パネルは横３２０ＲＧＢ×縦２４０ドットのＱＶＧＡパネルであるとし、ＮＴＳＣ画像とＰＡＬ画像をこのＱＶＧＡの画素数のパネルで表示するとして説明をする。

【２４１３】

図６２４はＮＴＳＣとＰＡＬ画像を表示するための説明図である。ＮＴＳＣ画像は横７２０ＲＧＢ×縦４８０ドットとする。また、ＰＡＬ画像は横７２０ＲＧＢ×５７６ドットであるとする。

【２４１４】

まず、図６２４（ａ）に図示するように、ＮＴＳＣ画面を表示する場合について説明をする。横はＮＴＳＣ画像の映像信号は、７２０ドットである。ＱＶＧＡパネルでは、横３２０ドットであるので７２０ドットを３２０ドットに画素間引きを行う必要がある。したがって、９画素を８画素にする画素間引き処理が必要である。この処理方法は後に説明をする。縦は、ＮＴＳＣ画像の映像信号は有効画素数が４８０ドットである。ＱＶＧＡパネルでは、２４０ドットであるので、２画素行を１画素行に画素間引きをするだけであるから、処理は容易である。つまり、インターレース画像では、第１フィールドでは、第１フィールドの２４０画素行をそのまま表示する。第２フィールドでは第２フィールドの２４０画素行をそのまま表示する。

【２４１５】

図６２４（ｂ）は、ＰＡＬ画面を表示する場合の説明図である。ＰＡＬ画像の映像信号は、７２０ドットである。一方、縦は、有効走査線数が５７６本である。したがって、インターレース信号の場合では、各フィールドで５７６／２＝２８８画素行となる。ＮＴＳＣ画面とＰＡＬ画面をＱＶＧＡパネルで表示する場合は、ＮＴＳＣとＰＡＬでは、あまり

にも各フィールドの画素行数がことなる。つまり、ＮＴＳＣでは２４０画素行であるのに対して、ＰＡＬでは２８８画素行である。したがって、兼用するため、ＰＡＬでは画面の一部を表示させる。つまり、横７２０ドット中６４０ドットを表示する（１／２では、７２０／２ドット中３２０ドット（ＱＶＧＡの横画素数）を表示する。横ドットを削除した割合で、縦方向も削除する。２８８×（６４０／７２０）＝２５６ドットとなる。さらにＱＶＧＡの縦ドット数２４０におさめるため、２５６ドットを画素間引きし、２４０ドットにする。２４０ドットにすることのより、真円率が確保される。２５６ドットを２４０ドットにするためには、１６ドットを１５ドットにする必要がある。

【２４１６】

以上のことから、ＮＴＳＣでは、横画素において、９ドットを８ドットに画素間引きをする方法が重要であり、ＰＡＬでは縦画素において、１６ドットを１５ドットに画素間引きをする方法の確立が重要である。

【２４１７】

本発明は、隣接した画素データを一定の割合で、加算することのより画像データを作成することを特徴とする。また、加算は、１／２、１／４、１／８、１／１６など少なくとも分母が２の倍数となるようにする（ただし、精度は落ちないようにすること）ものである。また、掛け算をおこなう係数の和を１になるようにする。たとえば、第１画素に対する係数が１／２倍、１／４倍、１／８倍であり、第２画素に対する係数が１／８倍であれば、１／２＋１／４＋１／８＋１／８＝１となる。演算は、各画素の輝度位置を保つようにして行うことがこのましく、また、画面の両端あるいは一方の端は、その他の画素と異なる演算をすることが好ましい。

【２４１８】

まず、ＮＴＳＣの横画素の間引き方法について図６２５を用いて説明をする。説明を容易にするため、ＮＴＳＣ映像信号の７２０ドットを２ドットごとにあらかじめ間引き３６０ドットにし、この３６０ドットに関して、３２０ドットに画素間引きをする方法を説明するものである。したがって、９画素を８画素に画素間引きする。なお、７２０ドットから３２０ドットに直接に画素間引きしてもよいことは言うまでもない。この場合は、１８ドットを１６ドットに画素間引きを行う。また、画素間引きの演算は、フィールドで変化させてもよい。

【２４１９】

図６２５は、ＲＧＢの画素の組を１画素として演算を実施したものである。図６２５において９画素とは、３６０ドットを９画素ずつ分割し、演算を行ったものである。なお、変換前を９画素組の第１画素、第２画素、第３画素・・・・・・・と呼ぶ。また変換後を８画素組の第１画素、第２画素、第３画素・・・・・・と呼ぶ。

【２４２０】

８画素組の第１画素は、９画素組の第１画素のデータの１／２倍＋１／４倍＋１／８倍と、９画素組の第２画素データの１／８倍とを加算する演算を行い、演算結果を８画素組の第１画素とする。なお、演算はビット落ちがないようにする。つまり、１／８倍するとは、データを３ビットシフトするのではなく、データを一定の倍数で加えて、加算したデータをビットシフトして結果とする。

【２４２１】

たとえば、８画素組の第５画素は、９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍とを加算する演算を行い、演算結果を８画素組の第５画素とする。この時、９画素組の第５画素データを２５０＝Ｂ’１１１１１０１０’、１１７＝Ｂ’０１１１０１０１’とすれば、２５０×２＋２５０＋１１７×４＋１１７＝１３３５となる。この結果１３３５を１／８倍すると、１３３５／８＝１６６となる（結果は小数点以下を切捨てする）。以上のように演算すれば、ビット落ちがなく、９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍とを加算する演算を行うことができる。以上のように、本発明は、１／４倍＋１／８倍などと表現するが、等価的にデータを１／４倍＋１／８倍なるようにする

意味である。したがって、演算方法はいずれの方法を用いてもよい。

【２４２２】

９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍である。したがって、使用する係数は、１／４、１／８と１／２と１／８である。係数１／４＋１／８＋１／２＋１／８＝１／１となる。本発明は演算の係数の加算値が１／１になるようにしているところにも特徴がある。１／１になるようにすることにより演算が容易になる。

【２４２３】

本発明で演算するときは、演算の係数のより倍数を変化させている。９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍とを加算する演算を行う場合は、最大の係数が８である。この場合は、１／４倍のときは画像データを２倍、１／２倍の時は画像データを４倍、１／８倍の時は画像データを１倍にして加算する。つまり、最大係数（この実施例では８）の場合を１倍に置き換え、その半分（４である）の場合は２倍、さらにその半分（２である）の場合は４倍にする。そして、加算したデータを最大係数（８である）で割り算する（具体的には３ビット右シフトさせる）。

【２４２４】

また、最大係数が１６の場合は、１／１６を１倍に置き換え、その半分（８である）の場合は２倍、さらにその半分（４である）の場合は４倍にする。さらにその半分（２である）の場合は８倍にする。そして、加算したデータを最大係数（１６である）で割り算する（具体的には４ビット右シフトさせる）。

【２４２５】

以上のように、本発明の演算方法では、１／ｍの係数ｍを２の倍数とし、演算する係数の加算値を１となるようにすることのより、少ないビット数で演算でき、演算速度も速くすることができる。

【２４２６】

脱線したが、さらに、図６２５を用いて説明をする。８画素組の第２画素は、９画素組の第２画素のデータの１／２倍＋１／４倍と、９画素組の第３画素データの１／４倍とを加算する演算を行い、演算結果を８画素組の第２画素とする。

【２４２７】

同様に、８画素組の第３画素は、９画素組の第３画素のデータの１／２倍＋１／８倍と、９画素組の第３画素データの１／４倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第３画素とする。

【２４２８】

同様に、８画素組の第３画素は、９画素組の第３画素のデータの１／２倍＋１／８倍と、９画素組の第３画素データの１／４倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第３画素とする。

【２４２９】

８画素組の第４画素は、９画素組の第４画素のデータの１／２倍と、９画素組の第５画素データの１／２倍とを加算する演算を行い、演算結果を８画素組の第４画素とする。

【２４３０】

８画素組の第５画素は、９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第５画素とする。

【２４３１】

８画素組の第６画素は、９画素組の第６画素のデータの１／４倍と、９画素組の第７画素データの１／２倍＋１／４倍とを加算する演算を行い、演算結果を８画素組の第６画素とする。

【２４３２】

８画素組の第７画素は、９画素組の第７画素のデータの１／８倍と、９画素組の第８画

素データの１／２倍＋１／４倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第７画素とする。

【２４３３】

８画素組の第８画素は、９画素組の第８画素のデータの０／１倍と、９画素組の第９画素データの１／１倍とを加算する演算を行い、演算結果を８画素組の第８画素とする。

【２４３４】

なお、演算は第１フィールドと第２フィールドで図６２５の表を１枠ずらせて行うとよい。画素場引きの境目が目立たなくなる。

【２４３５】

以上は、９画素を８画素に画素間引きをする方法である。図６２５の方法は、これに限定するものではなく、他の画素間引きにも適用できる。図６２６は５画素行を４画素行に画素間引きする方法の実施例である。この場合も、９画素を８画素に間引く方法と同様である。

【２４３６】

５画素組の第１画素は、５画素組の第１画素のデータの１／２倍＋１／４倍と、５画素組の第２画素データの１／４倍とを加算する演算を行い、演算結果を４画素組の第１画素とする。

【２４３７】

同様に、４画素組の第２画素は、５画素組の第２画素のデータの１／２倍と、５画素組の第３画素データの１／２倍とを加算する演算を行い、演算結果を４画素組の第２画素とする。

【２４３８】

同様に、４画素組の第３画素は、５画素組の第３画素のデータの１／４倍と、５画素組の第４画素データの１／２倍＋１／４倍とを加算する演算を行い、演算結果を４画素組の第３画素とする。

【２４３９】

４画素組の第４画素は、５画素組の第４画素のデータの０／１倍と、５画素組の第５画素データの１／１倍とを加算する演算を行い、演算結果を４画素組の第４画素とする。

【２４４０】

以上のように、本発明の演算方法では、１／ｍの係数ｍを２の倍数とし、演算する係数の加算値を１となるようにすることにより、少ないビット数で演算でき、演算速度も速くすることができる。

【２４４１】

以上の図６２５、図６２６の実施例は、ＲＧＢの画素の組を１ドットとして演算を実施したものである。しかし、ＲＧＢの画素の組を１ドット単位として実施すると、解像度の低下が発生する。以下の実施例は、この課題を解決するため、変換するパネルの画素位置を考慮し、Ｒ、Ｇ、Ｂ個別に行うものである。以下の実施例を実施することのより、ＱＶＧＡパネルで良好な解像度を実現することができる。

【２４４２】

図６２７において、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。本来は、Ｒｘ、Ｇｘ、Ｂｘと表現するほうが理解しやすいが、原映像信号（画素間引き前の映像信号）と判別ができないので、Ｘ、Ｙ、Ｚとした。理解を容易にするには、Ｘ＝Ｒ、Ｙ＝Ｇ、Ｚ＝Ｂと考えるとよい。

【２４４３】

図６２７において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。下段は、パネルの画素位置を示している。パネルのドット数は、３２０ドットであるから、画素番号は１から３２０になる。なお、図６２７は

７２０ドットを３２０ドットに画素間引きする実施例である。

【２４４４】

図６２７で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ３、Ｇ３、Ｂ３ドットは、Ｘ１、Ｙ１、Ｚ１、Ｘ２画素の組と一致する。同様にＲ４、Ｇ４、Ｂ４からＲ６、Ｇ６、Ｂ６ドットは、Ｙ２、Ｚ２、Ｘ３、Ｙ３画素の組と一致する。以下、同様である。

【２４４５】

以上のように、原映像信号の３ドットの組（ＲＧＢを１ドットと考えて、３ドット分）と、パネルの４画素が一致する。したがって、画素間引きの演算は図６２８のように行うとよい。なお、図６２８でも図示しているが、パネルの最初の画素Ｘ１と、最後の画素Ｚ３２０は、イレギュラー処理を行う（図６２８（ａ）（ｄ）を参照のこと）。演算対象の画素がないからである。それ以外は規則正しく演算される。

【２４４６】

なお、以降の実施例のおいても、図６２５と同様に、画像データの１／８倍するなどと記載する。１／８倍などを演算する処理方法は図６２５とその説明で説明したので省略する。

【２４４７】

図６２８（ａ）では、

Ｘ１＝Ｒ１×８／８

Ｙ１＝Ｇ１×３／８＋Ｇ２×５／８

Ｚ１＝Ｂ２×５／８＋Ｂ３×３／８

Ｘ２＝Ｒ３×７／８＋Ｒ４×１／８

と演算する。Ｘ１は本来、Ｒ０×１／８＋Ｒ１×７／８と演算を実施したいところだか、Ｒ０データは存在しないのでＲ１×８／８としている。

【２４４８】

なお、計算の都合上、存在しないＲ０を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ１＝Ｒ０×１／８＋Ｒ１×７／８と演算を実施することができる。

【２４４９】

次のブロックは図６２８（ｂ）で示すように、

Ｙ２＝Ｇ３×１／８＋Ｇ４×７／８

Ｚ２＝Ｂ４×３／８＋Ｂ５×５／８

Ｘ３＝Ｒ５×５／８＋Ｒ６×３／８

Ｙ３＝Ｇ６×７／８＋Ｇ７×１／８

と演算する。つまり、第１式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は３／８であり、第２の係数は５／８である。この２つの係数を加えると１になる。また、第３式の計算の第１の係数は５／８であり、第２の係数は３／８である。この２つの係数を加えると１になる。また、第４式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になるようにしている。

【２４５０】

さらに、４つの式の第１の係数１／８、３／８、５／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となる。式が４つであるから、加算値は２となるようにしている。同様に４つの式の第２の係数７／８、５／８、３／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となり、式が４つであるから、加算値は２となるようにしている。

【２４５１】

さらに、１つのブロック内において少なくとも２つに式の係数は、入れ替えるようにしている。たとえば、図６２８（ｂ）において、２番目の式の第１の係数は、３／８であり、第２係数が５／８である。３番目の式の第１の係数は、逆に５／８であり、第２係数が

３／８である。１番目の式の第１の係数は、１／８であり、第２係数が７／８である。３番目の式の第１の係数は、逆に７／８であり、第２係数が１／８である。

【２４５２】

また、組となる式の第１の係数どうしを加算すると１になるようにしている。たとえば、図６２８（ｂ）において、２番目の式の第１の係数は、３／８であり、３番目の式の第１係数が５／８である。したがって、３／８＋５／８＝１／１となる。同様に、２番目の式の第２の係数は、５／８であり、３番目の第２係数が３／８である。したがって、５／８＋３／５＝８／８＝１／１＝１となる。

【２４５３】

また、各式の係数の分母は、１、２、１５１６などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図６２８のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。

【２４５４】

以上のように本発明の方法あるいは方式を実施することにより、解像度が高い画素間引きを実現できる。

【２４５５】

同様に次のブロックは図６２８（ｃ）で示すように、

Ｚ２＝Ｂ６×１／８＋Ｂ７×７／８

Ｘ２＝Ｒ７×３／８＋Ｒ８×５／８

Ｙ３＝Ｇ８×５／８＋Ｇ９×３／８

Ｚ３＝Ｂ９×７／８＋Ｂ１０×１／８

と演算する。当然先のブロックの演算と同様に、第１式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は３／８であり、第２の係数は５／８である。この２つの係数を加えると１になる。また、第３式の計算の第１の係数は５／８であり、第２の係数は３／８である。この２つの係数を加えると１になる。また、第４式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になるようにしている。

【２４５６】

さらに、４つの式の第１の係数１／８、３／８、５／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となり、式が４つであるから、加算値は、２となるようにしている。同様に４つの式の第２の係数７／８、５／８、３／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となり、式が４つであるから、加算値は２となるようにしている。

【２４５７】

最後の次のブロックは図６２８（ｄ）で示すように、

・・・・

・・・・

Ｙ３２０＝Ｇ７１９×５／８＋Ｇ７２０×３／８

Ｚ３２０＝Ｂ７２０×８／８

と演算する。

【２４５８】

Ｚ３２０は本来、Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施したいところだか、Ｂ７２１データは存在しないのでＢ７２０×８／８としている。

【２４５９】

なお、計算の都合上、存在しないＢ７２１を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ３６０＝Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施することができる。

【２４６０】

以上の実施例は、７２０ドットの映像信号を横ドット数３２０のＱＶＧＡパネルの画像表示するための画素間引き方法であった。本発明はこれに限定されるものではなく、他のドット数に変換することに用いることできる。図６２９は、７２０ドットの映像信号を３６０ドットに変換する画素間引き方法である。

【２４６１】

図６２９においても図６２７と同様に、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。

【２４６２】

図６２９において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。下段は、パネルの画素位置を示している。パネルのドット数は、３６０ドットとしているから、画素番号は１から３６０になる。

【２４６３】

図６２９で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ２、Ｇ２、Ｂ２ドットは、Ｘ１、Ｙ１、Ｚ１画素の組と一致する。同様にＲ３、Ｇ３、Ｂ３からＲ４、Ｇ４、Ｂ４ドットは、Ｘ２、Ｙ２、Ｚ３画素の組と一致する。以下、同様である。

【２４６４】

図６３０は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図６２８では式のブロックは４式で構成され、図６３０では式のブロックは３式で構成される。

【２４６５】

以上のように、原映像信号の２ドットの組（ＲＧＢを１ドットと考えて、２ドット分）と、パネルの３画素が一致する。したがって、画素間引きの演算は図６３０のように行うとよい。なお、図６３０でも図示しているが、パネルの最初の画素Ｘ１と、最後の画素Ｚ３６０は、イレギュラー処理を行う（図６３０（ａ）（ｆ）を参照のこと）。演算対象の画素がないからである。それ以外は規則正しく演算される。

【２４６６】

なお、以降の実施例のおいても、図６２５と同様に、画像データの１／８倍するなどと記載する。　図６２８（ａ）では、

Ｘ１＝　　Ｒ１×８／８

Ｙ１＝Ｇ１×１／２＋Ｇ２×１／２

Ｚ１＝Ｂ２×７／８＋Ｂ３×１／８

と演算する（計算あるいは処理をする）。Ｘ１は本来、Ｒ０×１／８＋Ｒ１×７／８と演算を実施したいところだか、Ｒ０データは存在しないのでＸ１＝Ｒ１×８／８としている。

【２４６７】

なお、計算の都合上、存在しないＲ０を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ１＝Ｒ０×１／８＋Ｒ１×７／８と演算を実施することができる。

【２４６８】

次のブロックは図６３０（ｂ）で示すように、

Ｘ２＝Ｒ２×１／８＋Ｒ３×７／８

Ｙ２＝Ｇ３×１／２＋Ｇ４×１／２

Ｚ２＝Ｂ４×７／８＋Ｂ５×１／８
と演算する。つまり、第１式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。また、第３式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になる。
【２４６９】
さらに、３つの式の係数１／８、７／８、１／２、１／２、７／８、１／８を加えると３となる。つまり、３つの式の係数を加えると３となる。１式あたりの係数の加算値は１となるようにしている。
【２４７０】
さらに、１つのグロック内において少なくとも２つに式の係数は、入れ替えるようにしている。たとえば、図６３０（ｂ）において、１番目の式の第１の係数は、１／８であり、第２係数が７／８である。３番目の式の第１の係数は、逆に７／８であり、第２係数が１／８である。
【２４７１】
また、先の入れ替えの関係にない２番目の式は、第１番目の式の第１の係数は、１／２であり、第２係数も１／２である。式の係数は１／２と同一にしている。したがって、対応する式は必要がないように構成している。
【２４７２】
また、組となる式の第１の係数どうしを加算すると１になるようにしている。たとえば、図６３０（ｂ）において、１番目の式の第１の係数は、１／８であり、３番目の式の第１係数が７／８である。したがって、１／８＋７／８＝８／８＝１／１となる。
【２４７３】
また、各式の係数の分母は、１、２、１５１６などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図６３０のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。
【２４７４】
同様に次のブロックは図６３０（ｃ）で示すように、
Ｘ３＝Ｒ４×１／８＋Ｒ５×７／８
Ｙ３＝Ｇ５×１／２＋Ｇ６×１／２
Ｚ３＝Ｂ６×７／８＋Ｂ７×１／８
であり、
同様に次のブロックは図６３０（ｄ）で示すように、
Ｘ４＝Ｒ６×１／８＋Ｒ７×７／８
Ｙ４＝Ｇ７×１／２＋Ｇ８×１／２
Ｚ４＝Ｂ８×７／８＋Ｂ９×１／８
とする。
【２４７５】
最後の次のブロックは図６３０（ｄ）で示すように、
Ｘ３６０＝Ｒ７１８×１／８＋Ｒ７１９×７／８
Ｙ３６０＝Ｇ７１９×１／２＋Ｇ７２０×１／２
Ｚ３６０＝Ｂ７２０×８／８
と演算する。

【２４７６】
Ｚ３６０は本来、Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施したいところだか、Ｂ７２１データは存在しないのでＢ７２０×８／８としている。
【２４７７】
なお、計算の都合上、存在しないＢ７２１を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ３６０＝Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施することができる。
【２４７８】
以上の実施例は、正方格子の画素構成の表示パネルの画像を表示する方法であった。本発明の画素間引き方法は、デルタ配置の画素構造にも適用できる。
【２４７９】
図６３１は７２０ドットの映像信号を１６０ドットのデルタ配置に変換する画素間引き方法である。　図６３１においても図６２７と同様に、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。また、デルタ配置では１画素行ごとに１／２画素分、画素位置がずれる。したがって、奇数画素行にはａの係数をつけ、Ｘａｘ、Ｙａｘ、Ｚａｘ（ｘは画素番号を示す）と示し、偶数画素行にはｂの係数をつけ、Ｘｂｘ、Ｙｂｘ、Ｚｂｘ（ｘは画素番号を示す）と示している。
【２４８０】
図６３１において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。ただし、この事項は先の実施例も同様であるが限定されるものではない。また、デルタ配置の位置関係も限定されるものではない。デルタ配置はパネルの種類によって異なるからである。ただし、デルタ配置は、ＲＧＢをデルタ配置の組として形成または構成されていることはどのパネルでも同様である。２段目は、パネルの奇数画素行の画素位置を示している。パネルのドット数は、１６０ドットとしているから、画素番号は１から１６０になる。３段目は、パネルの偶数画素行の画素位置を示している。パネルのドット数は、１６０ドットとし、デルタ配置であるから、画素番号は１から１６１になる。
【２４８１】
図６３１で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ３、Ｇ３、Ｂ３ドットは、Ｘａ１、Ｙａ１画素の組と一致する。同様にＲ４、Ｇ４、Ｂ４からＲ６、Ｇ６、Ｂ６ドットは、Ｚａ１、Ｘａ２画素の組と一致する。以下、同様である。また、偶数画素行は、奇数画素行に対して１／２画素ずれて配置されている。
【２４８２】
図６３２（１）は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図６３１では式のブロックは２式で構成される。まず、説明を容易にするため、図６３２（１）を用いて奇数画素行の処理方法を先に説明をする。
【２４８３】
以上のように、原映像信号の３ドットの組（ＲＧＢを１ドットと考えて、３ドット分）と、パネルの２画素が一致する。なお、以降の実施例においても、図６２５などと同様に、画像データの３／４倍するなどと記載する。
【２４８４】
図６３２（１）（ａ）では、
Ｘａ１＝Ｒ１×３／４＋Ｒ２×１／４
Ｙａ１＝Ｇ２×１／４＋Ｇ３×３／４
と演算する（計算あるいは処理をする）。

【２４８５】
つまり、第１式の計算の第１の係数は３／４であり、第２の係数は１／４である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／４であり、第２の係数は３／４である。この２つの係数を加えると１になる。
【２４８６】
さらに、３つの式の係数３／４、１／４、１／４、３／４を加えると２となる。つまり、２つの式の係数を加えると２となる。１式あたりの係数の加算値は１となるようにしている。
【２４８７】
さらに、１つのグロック内において２つに式の係数は、入れ替えるようにしている。たとえば、図６３２（１）において、１番目の式の第１の係数は、３／４であり、第２係数が１／４である。２番目の式の第１の係数は、逆に１／４であり、第２係数が３／４である。
【２４８８】
また、組となる式の第１の係数どうしを加算すると１になるようにしている。たとえば、図６３２（１）において、１番目の式の第１の係数は、３／４であり、２番目の式の第１係数が１／４である。したがって、３／４＋１／４＝４／４＝１／１となる。
【２４８９】
また、各式の係数の分母は、１、２、４などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図６３２のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。
【２４９０】
次のブロックは図６３２（１）（ｂ）で示すように、
Ｚａ１＝Ｂ４×３／４＋Ｂ５×１／４
Ｘａ２＝Ｒ５×１／４＋Ｒ６×３／４
と演算する。
【２４９１】
同様に次のブロックは図６３２（１）（ｃ）で示すように、
Ｙａ２＝Ｇ７×３／４＋Ｇ８×１／４
Ｚａ２＝Ｂ８×１／４＋Ｂ９×３／４
とする。以下同様である。
【２４９２】
次に、図６３２（２）を用いて偶数画素行の処理方法について説明をする。なお、説明を容易にするため、奇数画素行が左位置から画素が配置され、偶数画素行が０．５画素奇数画素行右にずれて配置されているとするが、これに限定されるものではない。したがって、パネルの画素配置によってはは図６３２（１）と図６３２（２）は入れ替わるし、また、計算は１式あるいは２式分以上シフトして開始される場合がある。
【２４９３】
図６３２（２）（ａ）では、
Ｚｂ１＝Ｂ２×１／１
Ｘｂ２＝Ｒ３×１／２＋Ｒ４×１／２
と演算する（計算あるいは処理をする）。
【２４９４】
第１式の係数は１つしかない。しかし、係数は１／１である。１つの係数で１式あたり

の係数の加算値は１となるから、本発明の処理方法を満足する。したがって、第２の係数は不要である。

【２４９５】

第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。

【２４９６】

さらに、２つの式の係数１／１、１／２、１／２を加えると２となる。つまり、２つの式の係数を加えると２となる。１式あたりの係数の加算値は１となるようにしている。

【２４９７】

次のブロックは図６３２（２）（ｂ）で示すように、　Ｙｂ２＝Ｇ５×１／１

Ｚｂ２＝Ｂ６×１／２＋Ｂ７×１／２

と演算する。

【２４９８】

同様に次のブロックは図６３２（２）（ｃ）で示すように、

Ｘｂ３＝Ｇ８×１／１

Ｙｂ３＝Ｇ８×１／２＋Ｇ９×１／２

とする。以下同様である。

【２４９９】

なお、最後のブロックは図６３２（２）（ｈ）で示すように、イレギュラー処理をする必要がある。図６３２（２）（ａ）で示しているように画素の開始位置がＺから始まっているためである。したがって、最後のブロックは、

Ｘｂ１６１＝Ｒ７１９×１／１

とする必要がある。

【２５００】

以上の実施例は、１６０ドットのデルタ配置に画素間引きをする方法であった。本発明は他の画素構成のデルタ配置の画素構造にも適用できる。

【２５０１】

図６３３は７２０ドットの映像信号を１８０ドットのデルタ配置に変換する画素間引き方法である。　図６３３においても図６２７と同様に、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。また、デルタ配置では１画素行ごとに１／２画素分、画素位置がずれる。したがって、奇数画素行にはａの係数をつけ、Ｘａｘ、Ｙａｘ、Ｚａｘ（ｘは画素番号を示す）と示し、偶数画素行にはｂの係数をつけ、Ｘｂｘ、Ｙｂｘ、Ｚｂｘ（ｘは画素番号を示す）と示している。

【２５０２】

図６３３において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。ただし、この事項は先の実施例も同様であるが限定されるものではない。また、デルタ配置の位置関係も限定されるものではない。デルタ配置はパネルの種類によって異なるからである。ただし、デルタ配置は、ＲＧＢをデルタ配置の組として形成または構成されていることはどのパネルでも同様である。２段目は、パネルの奇数画素行の画素位置を示している。パネルのドット数は、１８０ドットとしているから、画素番号は１から１８０になる。３段目は、パネルの偶数画素行の画素位置を示している。パネルのドット数は、１８０ドットとし、デルタ配置であるから、画素番号は１から１８１になる。

【２５０３】

図６３３で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ４、Ｇ４、Ｂ４ドットは、Ｘａ１、Ｙａ１、Ｚａ１画素の組と一致する。同様にＲ５、Ｇ５、Ｂ５からＲ８、Ｇ８、Ｂ８ドットは、Ｘａ２、Ｙａ２、Ｚａ２画

素の組と一致する。以下、同様である。また、偶数画素行は、奇数画素行に対して１／２画素ずれて配置されている。

【２５０４】

図６３４（１）は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図６３４では式のブロックは３式で構成される。まず、説明を容易にするため、図６３４（１）を用いて奇数画素行の処理方法を先に説明をする。

【２５０５】

以上のように、原映像信号の４ドットの組（ＲＧＢを１ドットと考えて、４ドット分）と、パネルの３画素が一致する。なお、以降の実施例のおいても、図６２５などと同様に、画像データの７／８倍するなどと記載する。

【２５０６】

図６３４（１）（ａ）では、

Ｘａ１＝Ｒ１×７／８＋Ｒ２×１／８

Ｙａ１＝Ｇ２×１／２＋Ｇ３×１／２

Ｚａ１＝Ｒ３×１／８＋Ｒ４×７／８

と演算する（計算あるいは処理をする）。

【２５０７】

つまり、第１式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。同様に第３式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。

【２５０８】

さらに、３つの式の係数７／８、１／８、１／２、１／２、１／８、７／８を加えると３となる。つまり、３つの式の係数を加えると３となる。１式あたりの係数の加算値は１となるようにしている。

【２５０９】

さらに、１つのグロック内において２つに式の係数は、入れ替えるようにしている。たとえば、図６３４（１）において、１番目の式の第１の係数は、７／８であり、第２係数が１／８である。３番目の式の第１の係数は、逆に１／８であり、第２係数が７／８である。

【２５１０】

また、各式の係数の分母は、１、２、４などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図６３４のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。つまり、本発明は、何らかの手段を用いて図６３４の処理が行うことができればいずれの方法あるいは方式であってもよい。

【２５１１】

次のブロックは図６３４（１）（ｂ）で示すように、

Ｘａ２＝Ｒ５×７／８＋Ｒ６×１／８

Ｙａ２＝Ｇ６×１／２＋Ｇ７×１／２

Ｚａ２＝Ｂ７×１／８＋Ｂ８×７／８

と演算する。

【２５１２】
同様に次のブロックは図６３４（１）（ｃ）で示すように、
Ｘａ３＝Ｒ９×７／８＋Ｒ１０×１／８
Ｙａ３＝Ｇ１０×１／２＋Ｇ１１×１／２
Ｚａ３＝Ｂ１１×１／８＋Ｂ１２×７／８
とする。以下同様である。
【２５１３】
次に、図６３４（２）を用いて偶数画素行の処理方法について説明をする。なお、説明を容易にするため、奇数画素行が左位置から画素が配置され、偶数画素行が０．５画素奇数画素行右にずれて配置されているとするが、これに限定されるものではない。したがって、パネルの画素配置によってはは図６３４（１）と図６３４（２）は入れ替わるし、また、計算は１式あるいは２式分以上シフトして開始される場合がある。
【２５１４】
図６３４（２）（ａ）では、
Ｚｂ１＝Ｂ１×１／８＋Ｂ２×７／８
と演算する（計算あるいは処理をする）。
【２５１５】
また、図６３４（２）（ｂ）では、
Ｘｂ１８１＝Ｂ７１９×７／８＋Ｂ７２０×７／８
と演算する（計算あるいは処理をする）。
【２５１６】
以上の（ａ）（ｈ）ではイレギュラーのブロックである。これはデルタ配置の画素配置からくるものであり、計算処理として差異はない。
【２５１７】
つまり、第１の係数は１／８または７／８であり、第２の係数は７／８または１／８である。この２つの係数を加えると１になる。
【２５１８】
図６３４（１）（ｂ）では、
Ｘｂ２＝Ｒ３×７／８＋Ｒ４×１／８
Ｙｂ２＝Ｇ４×１／２＋Ｇ５×１／２
Ｚｂ２＝Ｒ５×１／８＋Ｒ６×７／８
と演算する（計算あるいは処理をする）。
【２５１９】
つまり、第１式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。同様に第３式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。
【２５２０】
さらに、３つの式の係数７／８、１／８、１／２、１／２、１／８、７／８を加えると３となる。つまり、３つの式の係数を加えると３となる。１式あたりの係数の加算値は１となるようにしている。
【２５２１】
さらに、１つのグロック内において２つに式の係数は、入れ替えるようにしている。たとえば、図６３４（２）（ｂ）において、１番目の式の第１の係数は、７／８であり、第２係数が１／８である。３番目の式の第１の係数は、逆に１／８であり、第２係数が７／８である。
【２５２２】
次のブロックは図６３４（２）（ｃ）で示すように、
Ｘｂ３＝Ｒ７×７／８＋Ｒ８×１／８

Ｙｂ３＝Ｇ８×１／２＋Ｇ９×１／２
Ｚｂ３＝Ｂ９×１／８＋Ｂ１０×７／８
と演算する。
【２５２３】
同様に次のブロックは図６３４（２）（ｄ）で示すように、
Ｘｂ４＝Ｒ１１×７／８＋Ｒ１２×１／８
Ｙｂ４＝Ｇ１２×１／２＋Ｇ１３×１／２
Ｚｂ４＝Ｂ１３×１／８＋Ｂ１４×７／８
とする。以下同様である。
【２５２４】
以上の実施例は、横方向の画素間引き処理であった。以下、縦方向の画素間引き処理方法について説明をする。先にも説明したように、ＰＡＬ画像の映像信号は、７２０ドットである。一方、縦は、有効走査線数が５７６本である。したがって、インターレース信号の場合では、各フィールドで５７６／２＝２８８画素行となる。ＮＴＳＣ画面とＰＡＬ画面をＱＶＧＡパネルで表示する場合は、ＮＴＳＣとＰＡＬでは、あまりにも各フィールドの画素行数が異なる。つまり、ＮＴＳＣでは２４０画素行であるのに対して、ＰＡＬでは２８８画素行である。したがって、兼用するため、ＰＡＬでは画面の一部を表示させる。つまり、横７２０ドット中６４０ドットを表示する（１／２では、７２０／２ドット中３２０ドット（ＱＶＧＡの横画素数）を表示する。横ドットを削除した割合で、縦方向も削除する。２８８×（６４０／７２０）＝２５６ドットとなる。さらにＱＶＧＡの縦ドット数２４０におさめるため、２５６ドットを画素間引きし、２４０ドットにする。２４０ドットにすることのより、真円率が確保される。２５６ドットを２４０ドットにするためには、１６ドットを１５ドットにする必要がある。以上のことから、ＰＡＬでは縦画素において、１６ドットを１５ドットに画素間引きをする方法の確立が重要である。
【２５２５】
ＰＡＬ画像では、１６画素行を１５画素行に画素間引きする方法を実現する必要がある。図６３５は、１６画素行を１５画素行に画素間引きする方法の説明図である。なお、図６３５において、（１）は第１フィールドの処理方法であり、（２）は第２フィールドの処理方法である。したがって、処理は（１）（２）が逆であってもよい。
【２５２６】
図６３５は２５６画素行の映像信号を２４０画素行に変換する画素間引き方法である。図６３５において、Ｒｘ、Ｇｘ、Ｂｘ（ｘは画素行番号を示す）は、変換前の原映像信号である。Ｘｘ、Ｙｘ、Ｚｘのｘは画素行番号を示す。
【２５２７】
処理は上下の画素において１／１６ずつ変化させる。図６３５（１）（ａ）において、
Ｘ１＝Ｒ１×１５／１６＋Ｒ２×１／１６
Ｙ１＝Ｇ１×１５／１６＋Ｇ２×１／１６
Ｚ１＝Ｒ１×１５／１６＋Ｒ２×１／１６
と演算する（計算あるいは処理をする）。
【２５２８】
第１式から第３式の計算の第１の係数は１５／１６であり、第２の係数は１／１６である。この２つの係数を加えると１になる。
【２５２９】
また、各式の係数の分母は、１、２、１５１６などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図６３４のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組み合わせることのよっても行うことができる。したがって、加算するというのは説明あ

るいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。つまり、本発明は、何らかの手段を用いて図６３４の処理が行うことができればいずれの方法あるいは方式であってもよい。

【２５３０】

次のブロックは図６３５（１）（ｂ）で示すように、

Ｘ２＝Ｒ２×１４／１６＋Ｒ３×２／１６

Ｙ２＝Ｇ２×１４／１６＋Ｇ３×２／１６

Ｚ２＝Ｒ２×１４／１６＋Ｒ３×２／１６と演算する（計算あるいは処理をする）。

【２５３１】

第１式から第３式の計算の第１の係数は１４／１６であり、第２の係数は２／１６である。この２つの係数を加えると１になる。

【２５３２】

同様に次のブロックは図６３５（１）（ｃ）で示すように、

Ｘ３＝Ｒ３×１３／１６＋Ｒ４×３／１６

Ｙ３＝Ｇ３×１３／１６＋Ｇ４×３／１６

Ｚ３＝Ｒ３×１３／１６＋Ｒ４×３／１６

と演算する（計算あるいは処理をする）。

【２５３３】

第１式から第３式の計算の第１の係数は１３／１６であり、第２の係数は３／１６である。この２つの係数を加えると１になる。

【２５３４】

以下、同様に第１の係数の分子を１ずつ少なくし、第２の係数を１ずつ多くする。以上の処理を行い１５番目のブロックは、図６３５（１）（ｅ）で示すように、

Ｘ１５＝Ｒ１５×１／１６＋Ｒ１６×１５／１６

Ｙ１５＝Ｇ１５×１／１６＋Ｇ１６×１５／１６

Ｚ１５＝Ｒ１５×１／１６＋Ｒ１６×１５／１６

と演算する（計算あるいは処理をする）。

【２５３５】

１５のブロックは繰り返され、図６３５（１）（ａ）と同様に、図６３５（１）（ｆ）で示すように、

Ｘ１６＝Ｒ１６×１５／１６＋Ｒ１７×１／１６

Ｙ１６＝Ｇ１６×１５／１６＋Ｇ１７×１／１６

Ｚ１６＝Ｒ１６×１５／１６＋Ｒ１７×１／１６

と演算する（計算あるいは処理をする）。

【２５３６】

ブロックの繰り返しは、図６３６に図示している。図６３６は２５６画素行を２４０画素行に画素間引きする概念図である。２５６画素行は、１６画素行ずつブロックに分割される。つまり、１～１６画素行、１７～３２画素行、３３～４８画素行、・・・・・・・・２５１～２５６画素行である。各ブロックの１６画素行が１５画素行に画素間引きされる。

【２５３７】

図６３５（１）の処理が第１フィールドと第２フィールドで、同一に行うと１５画素行ごとにブロックすじが発生する。したがって、第２フィールドでは第１フィールドと処理を変化させる。具体的には、１ブロックの係数をずらせる。なお、図６３５（２）は下方向に処理をずらせているが、上方向に処理をずらせてもよい。

【２５３８】

処理は上下の画素において１／１６ずつ変化させ点において、図６３５（１）と同様である。第２フィールドでは、図６３５（２）（ａ）に示すように、

Ｘ１＝Ｒ１×１６／１６

Ｙ１＝Ｇ１×１６／１６
Ｚ１＝Ｒ１×１６／１６
と演算する（計算あるいは処理をする）。
【２５３９】
第１式から第３式の計算の第１の係数は１６／１６であるから１である。
【２５４０】
次のブロックでは、図６３５（２）（ｂ）に示すように、
Ｘ２＝Ｒ２×１５／１６＋Ｒ３×１／１６　Ｙ２＝Ｇ２×１５／１６＋Ｇ３×１／１６
Ｚ２＝Ｒ２×１５／１６＋Ｒ３×１／１６
と演算する（計算あるいは処理をする）。
【２５４１】
第１式から第３式の計算の第１の係数は１５／１６であり、第２の係数は１／１６である。この２つの係数を加えると１になる。
【２５４２】
次のブロックは図６３５（２）（ｃ）で示すように、
Ｘ３＝Ｒ３×１４／１６＋Ｒ４×２／１６
Ｙ３＝Ｇ３×１４／１６＋Ｇ４×２／１６
Ｚ３＝Ｒ３×１４／１６＋Ｒ４×２／１６
と演算する（計算あるいは処理をする）。
【２５４３】
第１式から第３式の計算の第１の係数は１４／１６であり、第２の係数は２／１６である。この２つの係数を加えると１になる。
【２５４４】
同様に次のブロックは図６３５（２）（ｄ）で示すように、
Ｘ４＝Ｒ４×１３／１６＋Ｒ５×３／１６
Ｙ４＝Ｇ４×１３／１６＋Ｇ５×３／１６
Ｚ４＝Ｒ４×１３／１６＋Ｒ５×３／１６
と演算する（計算あるいは処理をする）。
【２５４５】
第１式から第３式の計算の第１の係数は１３／１６であり、第２の係数は３／１６である。この２つの係数を加えると１になる。
【２５４６】
以下、同様に第１の係数の分子を１ずつ少なくし、第２の係数を１ずつ多くする。以上の処理を行い１５番目のブロックは、図６３５（１）（ｅ）で示すように、
Ｘ１５＝Ｒ１５×２／１６＋Ｒ１６×１４／１６
Ｙ１５＝Ｇ１５×２／１６＋Ｇ１６×１４／１６
Ｚ１５＝Ｒ１５×２／１６＋Ｒ１６×１４／１６
と演算する（計算あるいは処理をする）。
【２５４７】
１５のブロックは繰り返され、図６３５（２）（ｂ）と同様に、図６３５（２）（ｆ）で示すように、
Ｘ１６＝Ｒ１６×１／１６＋Ｒ１７×１５／１６
Ｙ１６＝Ｇ１６×１／１６＋Ｇ１７×１５／１６
Ｚ１６＝Ｒ１６×１／１６＋Ｒ１７×１５／１６
と演算する（計算あるいは処理をする）。
【２５４８】
以上の方法を採用することにより、高精細の画像表示を実現することができる。
【２５４９】
図１５４は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、ま

た、省略した箇所もある。たとえば、図１５４において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【２５５０】

ボデー１２６３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）１２６４から出射した迷光がボデー１２６３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）３８、偏光板３９などが配置されている。このことは図３、図４でも説明している。

【２５５１】

接眼リング１５４１には拡大レンズ１５４２が取り付けられている。観察者は接眼リング１５４１をボデー１２６３内での挿入位置を可変して、表示パネル１２６４の表示画面１４４にピントがあうように調整する。

【２５５２】

また、必要に応じて表示パネル１２６４の光出射側に正レンズ１５４３を配置すれば、拡大レンズ１５４２に入射する主光線を収束させることができる。そのため、拡大レンズ１５４２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【２５５３】

図１５５はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部１５５２とビデオかメラ本体１２６３と具備し、撮影レンズ部１５５２とビューファインダ部１２６３とは背中合わせとなっている。また、ビューファインダ（図１５４も参照）１２６３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル１２６４の表示画面１４４を観察する。

【２５５４】

一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部１４４は支点１５５１で角度を自由に調整できる。表示部１４４を使用しない時は、格納部１５５３に格納される。

【２５５５】

スイッチ１５５４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ１５５４は表示モード切り替えスイッチである。スイッチ１５５４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ１５５４について説明をする。

【２５５６】

本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。

【２５５７】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面１４４を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

【２５５８】

したがって、ユーザーがボタン１５５４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成

しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。

【２５５９】

なお、表示画面１４４はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【２５６０】

具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ回路１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。

【２５６１】

ガウス分布は、基準電流比を変化させること（たとえば、画面の中央部で基準電流比を大きくし、画面の上下部で基準電流比を小さくする）、ｄｕｔｙ比を変化させること（たとえば、画面の中央部でｄｕｔｙ比を大きくし、画面の上下部でｄｕｔｙ比を小さくする）、プリチャージ電流あるいはプリチャージ電圧などを変化させることによっても実現できることはいうまでもない。

【２５６２】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことがこのましい。

【２５６３】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【２５６４】

図３で説明したように、カソード電極３６はアルミからなる薄膜で形成または構成される。アルミからなる薄膜は鏡面性を有し、反射率が高いため鏡として利用できる。したがって、ＥＬ表示パネルは、表面は画面１４４として画像表示に利用し、裏面は鏡として利用することができる。ただし、乾燥剤３７はカソード３６から鏡面を遮光しないように、使用領域の周辺部に配置する。

【２５６５】

図３２５は本発明の表示装置の断面図である。図３２５は表面を画像表示画面１４４として利用（Ｂ方向からみる）し、Ａ方向から見ることにより鏡として利用できるように構成した本発明の表示装置である。表示パネル１２６４は支点１５５１で回転できるように構成されている。したがって、パネル１２６４の保持角度によって、鏡として利用したり、モニターとして利用したりすることを容易に実現できる。

【２５６６】

また、図３２６は鏡として利用したり、モニターとして利用したりできる表示装置の第２の実施例である。図３２６（ａ）がＥＬ表示パネルをモニターとして使用している状態

であり、図３２６（ｃ）が鏡として利用している状態である。図３２６（ｂ）はモニター使用状態から鏡使用状態もしくは鏡使用状態からモニター使用状態への変更状態である。

【２５６７】

図３２６（ａ）ではパネル１２６４の格納部１５６１にパネル１２６４が格納されている。鏡として使用する時には、図３２６（ｂ）に図示するように、パネル１２６４を格納部１５６１から取り出し、支点１５５１で回転させてパネル１２６４の表と裏とをひっくり返す。その後、表示パネル１２６４の鏡面（カソード３６面）を上にして格納部１５６４内に格納する（図３２６（ｃ））。モニターとして使用する時には、図３２６（ｂ）に図示するように、パネル１２６４を格納部１５６１から取り出し、支点１５５１で回転させてパネル１２６４の表と裏とをひっくり返す。その後、表示パネル１２６４の画素電極３５を上にして格納部１５６４内に格納する（図３２６（ａ））。なお、以上の実施例は、図３に図示するように、光をＢ方向から取り出す構成の場合である。図４のようにＡ側から光を取り出す場合は、逆の関係になることは言うまでもない。

【２５６８】

フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ表示素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している（図２３、図５４（ａ）～（ｃ）なども参照のこと）。

【２５６９】

また、図３１７に図示するようにフレームレートに応じて画面の分割数を可変できるように構成することが好ましい。フレームレートが低い時は、図５４（ｃ）に図示するように分割数（非点灯領域１９２を複数に分割して画面１４４を構成する）を多くする。フレームレートが高い時は、図５４（ａ）に図示するように、非点灯領域１９２は一括して画面１４４に挿入する。

【２５７０】

たとえば、地上波のデジタルモバイルテレビの伝送フレームレートは１５Ｈｚである。この時は、フレームレートが低いため、図５４（ｃ）に図示するように非点灯領域１９２を複数に分割する必要がある。しかし、現在の地上波のアナログテレビの伝送フレームレートは６０Ｈｚである。この時は、フレームレートが高いため、図５４（ａ）に図示するように非点灯領域１９２を一括して挿入し、動画表示性能を確保することが好ましい。つまり、用途あるいは受信信号により分割数を変更あるいは可変させる。

【２５７１】

図３１７では、フレームレート６０～４５Ｈｚでは分割数１（非表示領域１９２は１つ（図５４（ａ）の状態））である。フレームレート４５以下では分割数１０（非表示領域１９２は１０つの状態））である実施例である。なお、分割数はフレームレートだけでなく、周囲の輝度（明るさ）、画像の内容（静止画、動画など）、装置の用途（モバイル、据え置きなど）などに応じて、自動であるいは手動であるいはプログラムブルに変更あるいは可変もしくは設定できるように構成することが好ましい。以上の事項は本発明の他の実施例においても適用されることは言うまでもない。

【２５７２】

以上の機能をスイッチ１５５４で実現できるようにする。スイッチ１５５４は表示画面１４４のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【２５７３】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユー

ザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【２５７４】

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図１５６に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１５６１に付属されたモニター１４４として用いる。カメラ本体１５６１にはシャッタ１５６３の他、スイッチ１５５４が取り付けられている。

【２５７５】

本発明のＥＬ表示パネルは、３Ｄ（立体）表示装置にも採用できる。図６０５、図６０６は本発明の３Ｄ表示装置の説明図である。図６０５に図示するように、２枚のＥＬ表示パネル（ＥＬ表示アレイ）３０ａ、３０ｂは対面して配置されている。また、表示パネル３０ａの画素電極１５ａと、表示パネル３０ｂの画素電極１５ｂとは対面する位置に配置されている。２枚のＥＬ表示パネルの間隔は隔離柱６１６１で保持されている。隔離柱６１６１は表示領域１４４の周囲に配置され、リング状の形状をしている。ガラスなどの無機材料で構成されている。隔離柱６１６１は圧膜技術、塗布技術、印刷技術などで形成または構成してもよい。また、アレイ基板３０をエッチング技術あるいは研磨技術を用いて表示領域１４４などを掘り下げることにより形成してもよい。

【２５７６】

隔離柱６１６１は１ｍｍ以上８ｍｍ以下の厚みである。特に、隔離柱６１６１は３ｍｍ以上７ｍｍ以下の厚みにすることが好ましい。隔離柱６１６１は封止樹脂６１６２でパネル３０ａ、３０ｂに貼り付けられている。空間６１６３には必要に応じて乾燥剤が配置あるいは形成または構成される。

【２５７７】

表示パネル３０ａの画素電極１５ａと、表示パネル３０ｂの画素電極１５ｂとは、異なる画像あるい同一の画像を表示する。画像はＡ方向から観察する。したがって、ＥＬ表示パネル３０ａは透過型である必要がある。画素電極１５ａを介して表示パネル３０ｂの画素電極１５ｂに表示される画像を観察する必要があるからである。表示パネル３０ｂは透過型であっても、反射型であってもよい。

【２５７８】

表示パネル３０ａの表示画像１４４ａは、表示パネル３０ｂの表示画層１４４ｂよりも明るく（輝度を高く）表示させる。表示画像１４４ａと表示画像１４４ｂとの輝度差を発生させることにより、Ａ側から見た画像が立体的に見える。輝度差は、１０％以上８０％以下にするとよい。特に、２０％以上６０％以下にするとよい。

【２５７９】

図６０６は、２つの表示パネル３０の画像表示状態の説明図である。コントローラ回路（ＩＣ）７６０は表示パネル３０ａのソースドライバ回路（ＩＣ）１４ａなどと、表示パネル３０ｂのソースドライバ回路（ＩＣ）１４ｂなどを制御して画像を制御し、表示画像１４４ａと１４４ｂとで３Ｄ表示を実現する。

【２５８０】

前述の実施例にも関係するが、複数の画面１４４の輝度を変化させるには、図６２２に図示するように、ＥＬ側を選択するゲートドライバ１２ｂを画面１４４ごとに分離する。ゲートドライバ１２ｂ１と１２ｂ２ではＣＬＫ信号線は共通にする（図１４のＣＬＫを参照のこと）。したがって、画面１４４ａと画面１４４ｂのゲートドライバ１２ｂが１画素行を選択する時間は同一である（ゲートドライバ１２ｂのシフト時間は同一である（１水平走査期間は同一である））。

【２５８１】

一方、スタート信号線（ＳＴ）は、ゲートドライバ１２ｂ１とゲートドライバ１２ｂ２は個別である（図１４のＳＴを参照のこと）。つまり、ゲートドライバ１２ｂ１にはスタート信号線ＳＴ１が入力され、ゲートドライバ１２ｂ２にはスタート信号線ＳＴ２が入力されている。スタート信号線ＳＴに印加されるスタートパルスの個数が多いほどｄｕｔｙ

比が大きくなる（１に近づく）から、画面１４４の輝度は高くなる。逆に、スタート信号線ＳＴに印加されるスタートパルスの個数が少ないｄｕｔｙ比が小さくなる（０に近づく）から、画面１４４の輝度は低くなる。

【２５８２】

以上のことから、ゲートドライバ１２ｂ１と１２ｂ２のクロック（ＣＬＫ）信号線を共通にすることにより、信号線数を削減できる。ゲートドライバ１２ｂ１とゲートドライバ１２ｂ２のスタート信号線を分離することのより、画面１４４の輝度制御が容易になる。したがって、画面１４４ａと画面１４４ｂの輝度調整が容易になる。

【２５８３】

図６２３では、ＥＬ選択側ゲートドライバ１２ｂが２つ形成（配置または構成）されている。ゲートドライバ１２ｂ１は奇数番目のゲート信号線１７ｂをオンオフ制御する。ゲートドライバ１２ｂ２は偶数番目のゲート信号線１７ｂをオンオフ制御する。ゲートドライバ１２ｂ１と１２ｂ２のスタートパルス（ＳＴ）を同時に印加すれば、奇数番目のゲート信号線１７ｂと偶数番目のゲート信号線１７ｂに同時にオン電圧（Ｌレベル）を印加することができる。したがって、連続したゲート信号線１７ｂを同時に選択し、オン電圧を印加することを実現できる。

【２５８４】

なお、図６２３はＥＬ側選択側のゲートドライバ回路１２ｂを複数構成するとしたが、これに限定するものではない。画素選択側のゲートドライバ回路１２ａを複数構成してもよい。図７５（ｂ）の２画素行同時選択駆動を実現できる。この構成を図３５９に図示する。画素選択側のゲートドライバ回路は１２ａ、１２ｂが形成あるいは構成されている。

【２５８５】

以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面１４４がたわみやすい。その対策のため、本発明では図１５７に示すように表示パネルに外枠１５７１をつけ、外枠１５７１をつりさげられるように固定部材１５７４で取り付けている。この固定部材１５７４を用いて、壁などに取り付ける。

【２５８６】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部１５７３を配置し、複数の脚１５７２で表示パネルの重量を保持できるようにしている。

【２５８７】

脚１５７２はＡに示すように左右に移動でき、また、脚１５７２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【２５８８】

図１５７のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【２５８９】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【２５９０】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【２５９１】

保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

【２５９２】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【２５９３】

以上の実施例は、本発明の表示パネルなどを表示装置として用いるものであった。しかし、本発明はこれに限定するものではない。図５７３は、情報発生装置として用いるものである。図１４などで説明したように、ゲートドライバ回路１２に入力する信号（特にＳＴ信号）により、図５４、図４３９、図　４６９で説明したように、非点灯領域１９２と点灯領域１９３を発生することができる。点灯領域１９３は該当画素１６のＥＬ素子１５が発光している領域である。つまり、ゲート信号線１７ｂにオン電圧が印加され、図１の画素構成では、トランジスタ１１ｄがオン状態となっている領域である。非点灯領域１９２は該当画素１６のＥＬ素子１５に電流が流れていない領域である。つまり、ゲート信号線１７ｂにオフ電圧が印加され、図１の画素構成では、トランジスタ１１ｄがオフ状態となっている領域である。

【２５９４】

ソースドライバ回路（ＩＣ）１４から表示領域１４４に白ラスター表示の信号が印加されているとする。ゲートドライバ１２ｂを制御することにより、表示領域１４４にストライプ状（画素行単位で点灯、非点灯制御されるため）に点灯領域１９３と非点灯領域１９２を発生させることができる。図５７３に図示するように、ゲートドライバ回路１２ｂの制御によりバーコード表示を実現できる。

【２５９５】

ゲートドライバ回路１２ａのＳＴ１端子には、１フレームに１回のスタートパルスが印加される。ゲートドライバ回路１２ｂのＳＴ２端子には、バーコード表示に対応させてスタートパルスが印加される。通常の印刷物のバーコードと異なる点は、表示領域１４４の各バーコード表示位置が水平走査信号に同期して移動する点である。

【２５９６】

したがって、図５７２に図示するように、ＥＬ表示パネル５７２３の表示領域１４４に、１画素行の点灯状態を検出できるホトセンサ５７２１を配置または形成すれば、ホトセンサ５７２１を固定した状態で、１／（１秒間のフレーム数・画素行数）のレートでバーコードの表示状態を検出できる。ホトセンサ５７２１で検出したデータはデコーダ（バーコード解読器）５７２２により電気信号に変換され解読されて情報になる。

【２５９７】

表示パネルが大型になるとソース信号線１８の寄生容量も大きくなる。したがって、電流プログラムが困難になりやすい。この課題に対しては、図２６４に図示するように、ソースドライバ回路１２を画面１４４の上下に配置する。また、ソース信号線１８の本数も２倍（１８ａ、１８ｂ）とする。以上のように構成することにより、ソースドライバ回路（ＩＣ）１４ａが奇数画素行にプログラム電流を印加し、ソースドライバ回路（ＩＣ）１４ｂが偶数画素行にプログラム電流を印加するように構成することができる。

【２５９８】

したがって、従来は１画素を選択し、プログラム電流を印加する期間は１Ｈ期間であったが、図２６４の構成では、２画素行を同時に選択し、プログラム電流を印加することができるため、各画素行にプログラム電流Ｉｗを印加できる期間は２Ｈ期間にすることがで

きる。そのため、十分なプログラム電流の書き込み期間を確保することができ、パネルサイズが大型になっても良好な電流プログラムを実現できる。なお、以上の事項は電圧プログラム方式にも適用できることはいうまでもない。

【２５９９】

図２６４のように駆動しても、本発明のｄｕｔｙ比制御などを適用できる。たとえば、図２６５であれば、画素書き込み側のゲートドライバ回路１２ａは２本のゲート信号線１７ａを選択し、２本ずつ選択位置を走査していく。一方、ＥＬ選択側のゲートドライバ回路１２ｂは１画素行を順次（つまり、１本のゲート信号線１７ｂを順次選択する）選択する。

【２６００】

したがって、電流プログラム側は複数ゲート信号線１７ａを選択して電流プログラムを実施し、ｄｕｔｙ制御側は従来と同様に１本のゲート信号線１７ｂを制御してｄｕｔｙ比制御を実現する。なお、以上の事項は基準電流比制御などにも適用できることは言うまでもない。

【２６０１】

画面は分割してもよい。２分割には、画面の中央部で上下に分割する構成と、図２６４、図５５９に図示するように一画素列ごと（複数画素列でもよい）に分割する構成がある。図５５９では、ソースドライバ回路（ＩＣ）１４ａにはソース信号線１８ａが接続されている。ソース信号線１８ａは偶数画素行の画素が接続されている。また、ソースドライバ回路（ＩＣ）１４ｂにはソース信号線１８ｂが接続されている。ソース信号線１８ｂは奇数画素行の画素が接続されている。

【２６０２】

電流駆動の特徴として、複数の出力端子を短絡するだけでプログラム電流を加算できるという特徴がある。たとえば、第１の端子が１０μＡを出力しており、第２の端子が２０μＡを出力している場合、第１の端子と第２の端子を短絡した出力は、１０＋２０＝３０μＡとなる。電圧駆動では複数の出力端子を短絡することができない。たとえば、第１の端子が１Ｖを出力しており、第２の端子が２Ｖを出力している場合、第１の端子と第２の端子を短絡した出力は、ショート状態になり破壊されるだけである。

【２６０３】

以上のように、電流駆動（電流制御方式）の場合は、出力端子をショートしても問題が発生しない。この特徴ある効果を応用することにより容易に階調数を増大させることができる。図５６０はその実施例である。以下、図面を参照しながら、本発明の実施例について説明をする。

【２６０４】

図５６０は、本発明のソースドライバ回路（ＩＣ）の構成図である。図５６０において、４３１ｃはトランジスタ群である。トランジスタ群４３１ｃの１は単位トランジスタ１５３が１個で形成されていることを示している。また、１は１階調分のプログラム電流を出力し、最下位ビットが該当する。

【２６０５】

図５６０のトランジスタ群４３１ｃに示す２は単位トランジスタ１５３が２個で形成されていることを示している。また、２階調分のプログラム電流を出力し、第２ビットが該当する。同様に４は単位トランジスタ１５３が４個で形成されていることを示している。また、４階調分のプログラム電流を出力し、第３ビットが該当する。同様に８は単位トランジスタ１５３が８個で形成されていることを示している。８階調分のプログラム電流を出力し、第５ビットが該当する。１６は単位トランジスタ１５３が１６個で形成されていることを示している。また、１６は階調分のプログラム電流を出力し、第５ビット目が該当する。

【２６０６】

同様に３２は単位トランジスタ１５３が３２個で形成されていることを示している。また、３２は階調分のプログラム電流を出力し、第６ビット目が該当する。したがって、ト

ランジスタ群４３１ｃで６４階調のプログラム電流出力を行うことができる。
【２６０７】
本発明のソースドライバ回路（ＩＣ）は、１つの出力端子１５５ごとに１つのトランジスタ群４３１ｃが形成（構成）されている。電流駆動の特徴として、複数の出力端子を短絡するだけでプログラム電流を加算できるという特徴がある。したがって、複数の出力端子からの出力を組み合わせることにより、階調数を増加させることが容易である。たとえば、１出力が６４階調であれば、２つの出力を組み合わせると６４＋６４－１＝１２７階調を実現できる。なお、－１するのは、０階調目があるからである。なお、説明を容易にするため、本発明のソースドライバ回路（ＩＣ）は基本的には６４階調で１２８出力であるとして説明をする。
【２６０８】
したがって、１２８出力の６４階調のドライバＩＣ１４は、６４出力の１２７階調のドライバＩＣとして用いることができる。図５６０はその実施例である。２つの出力間にスイッチ（ＳＷ）５６０１が配置されている。ドライバＩＣ１４を６４階調として用いる時は、スイッチ５６０１はオープン状態として用いる。１２７階調として用いる時は、スイッチ５６０１はクローズ状態で用いる。スイッチは、アナログスイッチである。また、スイッチ５６０１はＩＣ１４のコントロール端子のロジック信号によりオープン、クローズ制御できるように構成されている。
【２６０９】
図５６０ではスイッチ５６０２ａ、５６０２ｂをクローズ状態として用いれば、１２８出力の６４階調ドライバとして用いることができる。スイッチ５６０１をクローズにする。かつ、スイッチ５６０２ａをクローズにし、スイッチ５６０２ｂをオープンにすれば、端子１５５ａより１２７階調のプログラム電流を出力することができる。したがって、ソース信号線１８ａに接続された画素１６（図示せず）にプログラム電流を印加することができる。この時、ソース信号線１８ｂにはプログラム電流を印加することはできない。しかし、スイッチ５６０２ａとスイッチ５６０２ｂを交互にクローズとオープンを制御すれば、隣接した出力端子１５５ａ、１５５ｂに交互にプログラム電流を出力することができる。交互に切り換えるとともに、ゲート信号線１７の走査と同期をとる。したがって、ソース信号線１８ａと１８ｂにプログラム電流を印加することができる。ビット入力である。
【２６１０】
なお、ソース信号線１８ａと１８ｂを切り換える必要がない時（当初から１２７階調のソースドライバ回路（ＩＣ）として使用する時など）は、図５６２のように使用する。このときは、スイッチ５６０２は不要である。
【２６１１】
各トランジスタ群４３１ｃは６ビット入力である。したがって、６４階調あるいは６３階調目までは、トランジスタ群４３１ｃ１には階調数に応じて６ビット入力し、トランジスタ４３１ｃ２への入力６ビットはすべて０とする。６４階調あるいは６５階調目からは、トランジスタ群４３１ｃ１には階調数に応じて６ビット入力し、トランジスタ４３１ｃ２への入力６ビットはすべて１とする（６３階調分のプログラム電流を加算する）。なお、トランジスタ群４３１ｃ２は６３個の単位トランジスタ１５３を一括動作させる。
【２６１２】
図５６０では、２つの電流出力段（４３１ｃなど）を組み合わせることにより、１２７階調の電流出力を行う。しかし、１２８階調には１階調分不足している。これは、トランジスタ群４３１ｃを構成する単位トランジスタ１５３が６３個しかないためである。したがって、２つのトランジスタ群４３１ｃを組み合わせても単位トランジスタ１５３は１２６個となる。したがって、階調０の時は、単位トランジスタ１５３の動作数を０としても、１２７階調までしか表現できない。
【２６１３】
図５６１はこの課題を解決する構成である。トランジスタ群４３１ｃ２に、１単位分の

選択単位トランジスタ５６１１を付加（形成または配置）している。１２８階調として用いる場合（６４階調以上で用いる場合）は、この選択単位トランジスタ５６１１を動作させる。トランジスタ群４３１ｃ２は６４個の単位トランジスタ１５３で構成されることになる。トランジスタ群４３１ｃ２は６４個の単位トランジスタ１５３を一括動作させる。１２８階調以下（未満）の場合は、トランジスタ群４３１ｃ２の単位トランジスタ１５３はすべて非動作状態であり、１２８階調以上の場合は、トランジスタ群４３１ｃ２の単位トランジスタ１５３を動作させる。したがって、トランジスタ群４３１ｃ２は最初から単位トランジスタ１５３が６４個から構成されているものを用いても良い。トランジスタ群４３１ｃ１の単位トランジスタ１５３は階調数に応じてビットに対応して変化させる。

【２６１４】

ソースドライバ回路（ＩＣ）１４は、６４階調を表現する６３個の単位トランジスタ１５３あるいは６３個の単位トランジスタ１５３と１個の選択単位トランジスタ５６１１からなる標準トランジスタ群４３１を、スタンダードセルとして構成しておく。このスタンダードセルを複数個レイアウトすることにより、容易に任意の階調のソースドライバ回路（ＩＣ）を形成（構成）することができる。なお、スタンダードセルは、単位トランジスタ１５３が６３個に限定するものではなく、１２７個、２５５個の単位トランジスタ１５３から構成されるものであっても良いことはいうまでもない。

【２６１５】

以上の実施例は、６４階調および１２８階調の場合である。本発明はこれに限定するものではない。たとえば、２５６階調の場合は、図５６３のように構成すればよい。２つの出力間にスイッチ（ＳＷ）５６０１が配置されている。ドライバＩＣ１４を６４階調として用いる時は、スイッチ５６０１はオープン状態として用いる。２５６階調として用いる時は、スイッチ５６０１はクローズ状態で用いる。スイッチ５６０１はＩＣ１４のコントロール端子のロジック信号によりオープン、クローズ制御できるように構成されている。

【２６１６】

以上の実施例では、１４はソースドライバ回路（ＩＣ）であるとして説明したが、これに限定するものではない。たとえば、ソースドライバ回路（ＩＣ）１４は低温ポリシリコン技術、高温ポリシリコン技術、ＣＧＳ技術などで形成したソースドライバ回路（ＩＣ）１４であってもよい。つまり、ソースドライバ回路（ＩＣ）１４は基板３０に直接形成したものを用いてもよい。以上の事項は、以下の実施例に対しても同様である。

【２６１７】

図５６０から図５６３は、１つのソースドライバ回路（ＩＣ）（回路）１４を各ソース信号線１８に対応して接続する構成である。しかし、本発明はこれに限定するものではない。たとえば、図５６４に図示するように、１つのソース信号線の両端に本発明のソースドライバ回路（ＩＣ）（回路）１４を接続してもよい。

【２６１８】

各ソース信号線１８には、一端にはソースドライバ回路（ＩＣ）１４ａが接続されており、他端にはソースドライバ回路（ＩＣ）１４ｂが接続されている。ソースドライバ回路（ＩＣ）１４ａのトランジスタ群４３１ｃ１は単位トランジスタ１５３が６３個で構成されている。ソースドライバ回路（ＩＣ）１４ｂのトランジスタ群４３１ｃ２は単位トランジスタ１５３が６３個と選択単位トランジスタ５６１１が１個で構成されている。

【２６１９】

なお、トランジスタ群４３１ｃ２は、６４個の単位トランジスタ１５３で構成してもよい。また、トランジスタ群４３１ｃ２は６４個の単位トランジスタ１５３がすべて動作するか、もしくは非動作状態の２モードしかない。したがって、単位トランジスタ１５３の６４倍の大きさのトランジスタで形成してもよい。

【２６２０】

以上のように構成すれば、トランジスタ群４３１ｃ１は６４階調まで入力データに応じて対応する単位トランジスタ１５３が動作し、トランジスタ４３１ｃ２は６４階調以上で一括して動作する。

【２６２１】
つまり、図５６４の構成では、６４階調を表現できるソースドライバ回路（ＩＣ）１４ａをソース信号線１８の一端に接続し、ソース信号線の他端に、ソースドライバ回路（ＩＣ）１４ａのトランジスタ群４３１ｃ１を構成する単位トランジスタ１５３数＋１の単位トランジスタ１５３からなるトランジスタ群４３１ｃ２を接続している。ソースドライバ回路（ＩＣ）１４ｂは単位トランジスタ１５３の６４倍のトランジスタで構成してもよい。
【２６２２】
つまり、単位トランジスタ１５３が６３個からなるソースドライバ回路（ＩＣ）１４ａと単位トランジスタ１５３が６４個からなるソースドライバ回路（ＩＣ）１４ｂを用いることにより容易に１２８階調を実現できる。なお、単位トランジスタ１５３が６３個からなるソースドライバ回路（ＩＣ）１４ａを２個用いる場合は、１２７階調を表現できる。画像表示としては１２７階調でも１２８階調でも実用上は差がない。したがって、単位トランジスタ１５３が６３個からなるソースドライバ回路（ＩＣ）１４ａを２個用いても良い。
【２６２３】
６４階調以下（未満）の場合は、トランジスタ群４３１ｃ２の単位トランジスタ１５３はすべて非動作状態であり、６４階調以上の場合は、トランジスタ群４３１ｃ２の単位トランジスタ１５３を動作させる。したがって、トランジスタ群４３１ｃ２は最初から単位トランジスタ１５３が６４個から構成されているものを用いても良い。トランジスタ群４３１ｃ１の単位トランジスタ１５３は階調数に応じてビットに対応して変化させる。したがって、６４階調のソースドライバ回路（ＩＣ）１４を複数個用いることにより、多階調表示を実現することができる。
【２６２４】
１２８階調以上の場合は、ソースドライバ回路（ＩＣ）１４のトランジスタ群４３１ｃの単位トランジスタ１５３を６４個以上で構成すればよい。図５６４の構成により、階調数が少ないソースドライバ回路（ＩＣ）（回路）１４を用いて、容易に多階調表示を実現できる。このことは、複数の出力端子を短絡するだけで、出力電流を加算できるという電流駆動方式の特徴ある効果を応用したものである。
【２６２５】
なお、図５６４の実施例は、１つのソース信号線１８に２つのソースドライバ回路（ＩＣ）１４の出力端子を接続した実施例であった。しかし、本発明はこれに限定するものではない。１つのソース信号線１８に３つ以上のソースドライバ回路（ＩＣ）１４の出力端子を接続してもよいことは言うまでもない。また、図５６４の構成に図５６０のスイッチ５６０１の技術的思想を導入してもよいことは言うまでもない。
【２６２６】
表示パネルが１６：９のワイドタイプの画面１４４に４：３の画面を表示する時は、図２７０（ａ）のように１６：９の画面の端に４：３の画面１４４ａを表示する。残りの画面１４４ｂにはＯＳＤ（オンスクリーンディスプレイ）の表示を行う。オンスクリーンディスプレイの表示１４４ｂと画面１４４ａの表示とはあらかじめ映像信号として合成しておくことが好ましい。
【２６２７】
また、図２７０（ｂ）のように１６：９の画面の中央部に４：３の画面１４４ａを表示する。残りの画面１４４ｂ１、１４４ｂ２にはＯＳＤ（オンスクリーンディスプレイ）の表示を行う。オンスクリーンディスプレイの表示１４４ｂと画面１４４ａの表示とはあらかじめ映像信号として合成しておくことが好ましい。
【２６２８】
図３２７に図示するように、コントローラＩＣ（回路）７６０はパネルモジュール内に配置または構成された電源モジュール３２７２とソースドライバ回路（ＩＣ）１４などを制御する。なお、電源モジュール３２７２の構成、動作などは図１１９、図１２０、図１

２１、図１２２、図１２３、図１２４、図１２５、図２５１、図２６２、図２６３、図２６８、図２８０などで説明したので説明を省略する。また、パネルなどの構成、動作についても以前に説明したので説明を省略する。

【２６２９】

電源モジュール３２７２はリチウムバッテリー３２７１から電力が供給される。電源モジュール３２７２はＶｇｈ電圧、Ｖｇｌ電圧、Ｖｄｄ電圧、Ｖｓｓ電圧など（以降、これらの電圧をパネル電圧と呼ぶ）を発生する。パネル電圧の発生タイミングはコントローラ回路（ＩＣ）７６０のＯＮ／ＯＦＦ信号で制御される。一方、コントロール回路７６０の電源は、本体回路から供給される。したがって、本発明の表示装置を有する機器は、まず、コントロールＩＣ７６０に電源電圧が供給されて動作し、コントロールＩＣ７６０の起動後、電源モジュール３２７２はコントロールＩＣ７６０からのＯＮ／ＯＦＦ信号により、パネル電圧を発生する。発生したパネル電圧は、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４、パネルのＶｄｄ、Ｖｓｓ電圧として印加される。以上のように構成することにより、本体回路とパネルモジュール間の配線数を少なくすることができる。

【２６３０】

本発明の機器は、本体回路には、少なくともコントローラ回路（ＩＣ）７６０とバッテリー３２７１を有している。したがって、パネルモジュールと本体回路とは、ＲＧＢの映像信号などを伝送しる差動信号の配線２本、電源モジュール３２７２の電圧を供給するＶｃｃ、ＧＮＤ配線の２本、電源モジュール３２７２をオンオフ制御する信号線の１本の計５本（以上）を有している。

【２６３１】

図３６７は図３２７の変形例である。コントロールＩＣ７６０はＰＬＬ回路３６１１ａを有しており、差動信号の同期をとる。赤緑青（ＲＧＢ）と制御データ（Ｄ）であるＲＧＢＤは差動信号として１対のペア信号線で伝送される（図８０～図８２、図２９２、図３２７～図３３１などを参照のこと）。ＲＧＢＤ信号の同期信号も同様にＣＬＫ差動信号として１対のペア信号線で伝送される。また、ＲＧＢＤ信号にスタート（１組の最初位置）を示すために差動信号のＳｔ信号が１対のペア信号線で伝送される。なお、Ｓｔ信号は差動信号とする必要はなく、ＣＭＯＳやＴＴＬのロジック信号として伝送してもよい。

【２６３２】

電源回路３２７１にはバッテリー（図示せず）からＶｃｃ電圧をＧＮＤの２ラインにより電力が印加され、コントローラ回路（ＩＣ）７６０からは電源回路３２７１のオンオフ信号（ＯＮ／ＯＦＦ）が印加される。

【２６３３】

図３６７はＲＧＢＤを１対の差動信号として伝送する構成であったが、本発明はこれに限定するものではなく、図３６１に図示するように、赤の映像データ（ＲＤＡＴＡ）を１対の差動信号とし、緑の映像データ（ＧＤＡＴＡ）を１対の差動信号とし、青の映像データ（ＢＤＡＴＡ）を１対の差動信号としてもよい。各ＲＧＢの差動信号には、プリチャージビットを付加する。つまり、赤のＲＤＡＴＡは赤の該当データをプリチャージするか否かのビットＰｒＲビットを付加（ＲＤＡＴＡ８ビット＋ＰｒＲ１ビット）する。緑のＧＤＡＴＡは赤の該当データをプリチャージするか否かのビットＰｒＧビットを付加（ＧＤＡＴＡ８ビット＋ＰｒＧ１ビット）する。青のＢＤＡＴＡは青の該当データをプリチャージするか否かのビットＰｒＢビットを付加（ＢＤＡＴＡ８ビット＋ＰｒＢ１ビット）する。

【２６３４】

図３７１に図示するように、ＤＡＴＡ（ＲＤＡＴＡ、ＧＤＡＴＡなど）と同期をとるＣＬＫは同一の周波数になるようにしている。つまり、ＣＬＫの立ち上がりと立下りでＤＡＴＡ内容を識別する。このようなＤＡＴＡとＣＬＫの関係を保つことにより周波数を定常的にし、不要輻射を低減している。

【２６３５】

図３５７は、図３７１に加えて、Ｓｔ信号との関係を記載したものである。ＣＬＫ、ＳＴ、映像信号のＲＧＢもしくは（ＲＧＢＤ）（図８０～図８２、図２９２、図３２７～図

３３１などを参照のこと）も０Ｖ（ＧＮＤ）を中心にＤｉｆｆ電圧の振幅で送出（伝送）される。なお、振幅としてのＤｉｆｆ電圧は図３６８～図３７０の回路構成で設定あるいは可変もしくは調整される。

【２６３６】

図３５７に図示するように、映像信号としてのＲＧＢと同期をとるＣＬＫは同一の周波数になるようにしている。つまり、ＣＬＫの立ち上がりと立下りでＤＡＴＡ内容を識別する。このようなＤＡＴＡとＣＬＫの関係を保つことにより周波数を定常的にし、不要輻射を低減している。一方、Ｓｔ信号は、ＣＬＫの２倍の幅を持ち、ＣＬＫの立ち上がりまたは立下りで検出する。ＣＬＫはＰＬＬ回路３６１１で位相制御される。以上のように差動信号は送出され、送受信が行われる。

【２６３７】

本発明の差動信号あるいは信号の伝送で特徴的なのは、ＲＧＢの映像信号に加えて、プリチャージの判断ビットを有している点である。このことは、図７６～図７８などで説明している。したがって、図３５９に図示するように、Ｒ、Ｇ、Ｂデータにプリチャージのビット（Ｐｒ）を有している。

【２６３８】

図３５９（ａ）は映像データが１０ビットの場合である。映像データの１０ビット（Ｄ９～Ｄ０）に加えてプリチャージビット（Ｒｒ）がある。また、最上位ビットにコマンドか映像データかを識別するＤ／Ｃビットを有している。Ｄ／Ｃビットが１の時、以下のデータ領域のビットはコマンドであることを示す。コマンドについては、通常水平ブランキング期間あるいは垂直ブランキング期間に伝送される。このコマンドなどについては、図３２９、図３３１などで説明をしているので説明を省略する。Ｄ／Ｃビットが０の時、映像データであることを示し、映像データ（８ビットまたは１０ビット）とプリチャージ電圧（プログラム電圧）の判断ビット（Ｐｒ）がデータとして伝送される。

【２６３９】

図３５９（ｂ）は映像データの８ビット（Ｄ７～Ｄ０）の場合である。図３５９（ａ）と同様に映像データに加えてプリチャージビット（Ｒｒ）がある。また、最上位ビットにコマンドか映像データかを識別するＤ／Ｃビットを有している点は図３５９（ａ）と同様である。Ｄ／Ｃビットが０の時、映像データであることを示し、映像データ（８ビット）とプリチャージ電圧（プログラム電圧）の判断ビット（Ｐｒ）がデータとして伝送される。

【２６４０】

図３５９のデータが図３５７のＣＬＫに同期して伝送される。また、１画素に対応するＲＧＢの映像データあるいは１画素に対応するＲＧＢの映像データ＋制御データＤを周期として、ＳＴ信号が伝送される。

【２６４１】

図３６４は、Ｒ画素Ｐｒビット＋Ｒ映像データ、Ｇ画素Ｐｒビット＋Ｇ映像データ、Ｂ画素Ｐｒビット＋Ｂ映像データ、制御データを１組としてＳＴ信号を伝送する実施例である。

【２６４２】

図３６５は１１ビットの制御データごとにＳＴ信号を伝送する実施例である。制御データは２ビットのアドレスデータ（Ａ１、Ａ２）とプリチャージビット（Ｐｒ）と８ビットデータ（Ｄ７～Ｄ０）から構成されている。アドレスデータ（Ａ１、Ａ２）であるＡ（１：０）が０の時は、データ（７：０）は制御データ（図３２９、図３３１などで説明をしているので説明を省略する）であることを示す。また、Ａ（１：０）が１の時は、データ（７：０）はＲの映像データであることを示す。Ａ（１：０）が２の時は、データ（７：０）はＧの映像データであることを示す。Ａ（１：０）が３の時は、データ（７：０）はＢの映像データであることを示す。なお、Ｐｒビットは制御データあるいは映像データの一部として伝送してもよいことは言うまでもない。

【２６４３】

図３６６は、図３６４に類似する。図３６６（ｂ）は、映像データ（プリチャージビットを含む）ＲＧＢを、Ｒ、Ｇ、Ｂ、Ｒ、Ｇ、Ｂ、Ｒ、Ｇ、Ｂ・・・・・・と伝送する構成である。図３６６（ａ）は、必要に応じて制御データＤを伝送する構成である。したがって、図３６６（ｂ）のように画像伝送期間にちょうど画像データが伝送されている場合は、図３６６（ａ）のように制御データが挿入されることにより、水平ブランキング期間まで画像データなどが伝送されることになる。しかし、図３６４のように制御データの期間をあらかじめ確保する必要が無い点、水平ブランキング期間を有効に利用している点から、図３６６（ａ）の伝送効率は高い。

【２６４４】

図３６２は映像データをビット展開して伝送する方式である（図３６４などは１画素単位で映像データを伝送している）。図３６２において、データの開始位置Ａで示すように、Ｒのプリチャージビットプリ Ｒ、Ｇのプリチャージビットプリ Ｇ、Ｂのプリチャージビットプリ Ｂ、Ｒの映像データの７ビット目（最上位ビット）、Ｇの映像データの７ビット目（最上位ビット）、Ｂの映像データの７ビット目（最上位ビット）、Ｒの映像データの６ビット目、Ｇの映像データの６ビット目、Ｂの映像データの６ビット目、Ｒの映像データの５ビット目、Ｇの映像データの５ビット目、Ｂの映像データの５ビット目、・・・・・・・・Ｒの映像データの０ビット目（最下位ビット）、Ｇの映像データの０ビット目（最下位ビット）、Ｂの映像データの０ビット目（最下位ビット）、次の画素のＲのプリチャージビットプリ Ｒ、Ｇのプリチャージビットプリ Ｇ、Ｂのプリチャージビットプリ Ｂ、Ｒの映像データの７ビット目（最上位ビット）、Ｇの映像データの７ビット目（最上位ビット）、Ｂの映像データの７ビット目（最上位ビット）、・・・・・・・・・・と伝送される。

【２６４５】

図３６３は映像データを制御データＤと画像データとを順次伝送する方式である。ＲＧＢのプリチャージビットＰｒと画像データ、制御データを伝送している。まず、ＲのＰｒと８ビットの画像データ（Ｒ（７：０））、ＧのＰｒと８ビットの画像データ（Ｇ（７：０））、ＢのＰｒと８ビットの画像データ（Ｂ（７：０））、制御データＤ（９：０）を１周期として伝送する。次は、次の画素のＲのＰｒと８ビットの画像データ（Ｒ（７：０））、ＧのＰｒと８ビットの画像データ（Ｇ（７：０））、ＢのＰｒと８ビットの画像データ（Ｂ（７：０））、制御データＤ（９：０）を１周期として伝送する。

【２６４６】

以上のように本発明は、多種多様な実施例がある。共通している点は、Ｐｒデータを伝送している点である。なお、Ｐｒデータは制御コマンド内にビットとして含めてもよいことは言うまでもない。

【２６４７】

以上の実施例は、プリチャージ電圧を制御するビットを差動信号など（差動信号に限定するものではない）でソースドライバ回路（ＩＣ）１４などに伝送する実施例であった。しかし、本発明はこれに限定するものではない。図３８１～図４２２では、過電流駆動の実施例について説明した。図３８９、図３９１、図３９２（ｂ）、図４０２などでは、過電流の大きさ、過電流に印加期間を制御する信号あるいは符号について説明した。

【２６４８】

図４２３などは、図３８９、図３９１、図３９２（ｂ）、図４０２などで説明した過電流の大きさ、過電流に印加期間を制御する信号あるいは符号を伝送するインターフェース仕様、フォーマットである。なお、過電流のデータあるいは制御符号の伝送以外の事項は、図８０～図８２、図２９６、図３１９、図３２０、図３２７～図３３７、図３５７、図３５９～図３７２に説明しているので、省略をする。これらの図面で説明した事項が図４２３～図４２６、図４７７～図４８４に適用される。また、図４２３～図４２６で説明した事項は本発明の他の実施例にも適用されることは言うまでもない。

【２６４９】

図４２３では、過電流の制御符号Ｋが伝送されている。基本的には図３６２に過電流の

制御符号Ｋ（赤画素用はＫｒ、緑画素用はＫｇ、青画素用はＫｂ）である。なお、Ｋについては、図３９１、図３９２などで説明をしているので省略する。ただし、伝送する符号あるいはデータはＫに限定されるものではない。例えば、図４０２のＴなどでもよい。つまり、過電流駆動に関係するデータあるいは符号もしくは制御信号を、差動信号などで伝送するのが本発明の技術思想である。以上の事項は図４２４～図４２６に対しても同様に適用される。

【２６５０】

図４２４は、基本は図３６１の伝送方法あるいは伝送形式もしくは伝送方式に、過電流の制御符号Ｋ（赤画素用はＫｒ、緑画素用はＫｇ、青画素用はＫｂなど）を付加した構成である。なお、Ｋについては、図３９１、図３９２などで説明をしているので省略する。ただし、伝送する符号あるいはデータはＫに限定されるものではない。例えば、図４０２のＴなどでもよい。つまり、過電流駆動に関係するデータあるいは符号もしくは制御信号を、差動信号などで伝送するのが本発明の技術思想である。図４２４では、過電流に関するデータなどをツイストペアーの差動信号で伝送している。また、ＤＤＡＴＡに示すように、プリチャージ電圧などの制御信号なども伝送している。

【２６５１】

図４２５は、ＣＬＫ、ＲデータとＲの過電流制御信号（Ｒ＋Ｋｒ）、ＧデータとＧの過電流制御信号（Ｇ＋Ｋｇ）、ＢデータとＢの過電流制御信号（Ｂ＋Ｋｂ）、ゲートドライバ回路などの制御データ（Ｄ）をツイストペアーの差動信号で伝送した実施例である。ソースドライバ回路（ＩＣ）１４の右シフトのスタートパルス（ＳＴＨＲ）、ソースドライバ回路（ＩＣ）１４の左シフトのスタートパルス（ＳＴＨＬ）、ゲートドライバ回路（ＩＣ）１２の上下反転制御信号（ＲＬ）、映像データなどのロード信号（ＬＤ）をＴＴＬあるいはＣＭＯＳレベル信号で伝送した実施例である。

【２６５２】

図４２６は、ＣＬＫ、映像データ、制御データと過電流制御信号（ＲＧＢＤ＋）をツイストペアーの差動信号で伝送した実施例である。ソースドライバ回路（ＩＣ）１４の右シフトのスタートパルス（ＳＴＨＲ）、ソースドライバ回路（ＩＣ）１４の左シフトのスタートパルス（ＳＴＨＬ）、ゲートドライバ回路（ＩＣ）１２の上下反転制御信号（ＲＬ）、映像データなどのロード信号（ＬＤ）をＴＴＬあるいはＣＭＯＳレベル信号で伝送した実施例である。

【２６５３】

図４３２も本発明の表示装置における伝送フォーマットである。図４３２（ａ）は、ＲＧＢ各８ビットのデータにそれぞれプリチャージビットＰを付加した構成である。Ｒ画素のプリチャージをするかしないかの判定ビットＰｒに連続して、Ｒの第１画素データＲ１（７：０）を伝送し、Ｇ画素のプリチャージをするかしないかの判定ビットＰｇに連続して、Ｇの第１画素データＧ１（７：０）を伝送し、Ｂ画素のプリチャージをするかしないかの判定ビットＰｂに連続して、Ｂの第１画素データＢ１（７：０）を伝送する。以下、同様に、Ｒ画素のプリチャージをするかしないかの判定ビットＰｒに連続して、Ｒの第２素データＲ２（７：０）を伝送し、Ｇ画素のプリチャージをするかしないかの判定ビットＰｇに連続して、Ｇの第２素データＧ２（７：０）を伝送し、Ｂ画素のプリチャージをするかしないかの判定ビットＰｂに連続して、Ｂの第２素データＢ２（７：０）を伝送する。

【２６５４】

つまり、Ｐｒ、Ｒ１（７：０）、Ｐｇ、Ｇ１（７：０）、Ｐｂ、Ｂ１（７：０）、Ｐｒ、Ｒ２（７：０）、Ｐｇ、Ｇ２（７：０）、Ｐｂ、Ｂ２（７：０）、Ｐｒ、Ｒ３（７：０）、Ｐｇ、Ｇ３（７：０）、Ｐｂ、Ｂ３（７：０）、Ｐｒ、Ｒ４（７：０）、Ｐｇ、Ｇ４（７：０）、Ｐｂ、Ｂ４（７：０）、Ｐｒ、Ｒ５（７：０）、Ｐｇ、Ｇ５（７：０）、Ｐｂ、Ｂ５（７：０）・・・・・・・・と伝送する。

【２６５５】

図４３２（ｂ）は、ＲＧＢ各８ビットのデータ内にそれぞれプリチャージビットＰを多

重した構成である。Ｒ画素のプリチャージをするかしないかの判定ビットＰｒは、Ｒ１（７：０）ビット内に多重される。プリチャージビットは、Ｒ１データのＭＳＢなどを使用する。プリチャージ電圧などを印加する画像データは、低階調の場合であり、ＭＳＢは使用していないからである（０である）。したがって、プリチャージを行う時は、ＭＳＢビットを１にして、該当映像データはプリチャージを実施することを示すようにする。ソースドライバＩＣ内で、プリチャージビットを抜き出し、プリチャージ動作を実施する。

【２６５６】

以下、同様にＧ画素のプリチャージをするかしないかの判定ビットＰｇは、Ｇ１（７：０）ビット内に多重され、Ｂ画素のプリチャージをするかしないかの判定ビットＰｂは、Ｂ１（７：０）ビットに多重化される。つまり、Ｒ１（７：０）、Ｇ１（７：０）、Ｂ１（７：０）、Ｒ２（７：０）、Ｇ２（７：０）、Ｂ２（７：０）、Ｒ３（７：０）、Ｇ３（７：０）、Ｂ３（７：０）、Ｒ４（７：０）、Ｇ４（７：０）、Ｂ４（７：０）、Ｒ５（７：０）、Ｇ５（７：０）、Ｂ５（７：０）・・・・・・・・Ｒｎ（７：０）、Ｇｎ（７：０）、Ｂｎ（７：０）と伝送する。

【２６５７】

Ｒ、Ｇ、Ｂの映像データは、それぞれ独立したツイストペアー線で伝送することに限定するものでもない。図４３３はその実施例である。図４３３（ａ）、（ｂ）、（ｃ）、（ｄ）はそれぞれ差動信号におけるツイストペアー線を示している。ツイストペアー線（ａ）は、Ｒデータの上位８ビット（Ｒ（９：２））を伝送している。ツイストペアー線（ｂ）は、Ｒデータの上位８ビット（Ｇ（９：２））を伝送している。また、ツイストペアー線（ｃ）は、Ｂデータの上位８ビット（Ｂ（９：２））を伝送している。ツイストペアー線（ｄ）は、コマンドデータＣＭと、Ｒデータの下位２ビット（Ｒ（１：０））、Ｇデータの下位２ビット（Ｇ（１：０））、Ｂデータの下位２ビット（Ｂ（１：０））を伝送している。

【２６５８】

図３６７、図３６１の実施例では、差動信号を送出する側にＰＬＬ回路３６１１を配置または構成した実施例であった。しかし、本発明はこれに限定するものではない。図３６０に図示するように、受信側（図３６０ではソースドライバ回路（ＩＣ）１４）にもＰＬＬ回路３６１１ｂを配置または形成してもよい。送信側と受信側にＰＬＬ回路３６１１を配置し、差動信号としてのＤＡＴＡの周期数（１組の個数）を送受信側で設定しておけば、より少ない信号線で、高速の差動信号データを伝送することができる。

【２６５９】

図３６０において、ＰＬＬ３６１１ｂはＤＡＴＡの周期（開始位置）を示すＣＬＫを用いて、差動信号ＤＡＴＡの１周期内にデータ数の発振を行い、差動信号としてのＤＡＴＡをデコードしてパラレル信号に変換する。

【２６６０】

本発明では、差動信号の送出側と受信側でインピーダンスを変化あるいは調整できるように校正している。差動信号は振幅が大きいほど、伝送距離を長くすることができる。しかし、振幅が大きいと伝送電力が大きくなる。差動信号を定電流で出力する場合は、差動信号を受信する方でインピーダンスを高くすれば、振幅を高くすることができる。したがって、伝送する電流が小さくとも差動信号を受信することが可能になる。しかし、ノイズに弱くなる。

【２６６１】

以上のことから、差動信号を伝送する距離、伝送に要する電力から差動信号の振幅、インピーダンスを設定あるいは調整することができることが好ましい。図３６８～図３７０はその実施例である。

【２６６２】

図３６８は差動信号の受信側の回路構成である。ソースドライバ回路（ＩＣ）１４内にインピーダンス設定回路３６８２を有している。インピーダンス設定回路３６８２は抵抗値（インピーダンス値）が異なるＲ（図３６８ではＲ１、Ｒ２、Ｒ３、Ｒ４）と前記Ｒを

選択するスイッチＳ（図３６８ではＳ１、Ｓ２、Ｓ３、Ｓ４）で構成されている。ソースドライバ回路（ＩＣ）１４の信号入力端子ＲＳＥＬに印加された信号あるいは電圧により、１つ以上のスイッチＳがオンし、抵抗Ｒが選択される。差動信号の入力端子２８８３には選択された抵抗Ｒが接続されることになる。

【２６６３】

本発明では差動信号配線には定電流を流す。したがって、抵抗Ｒの値により、端子２８８３ａと２８８３ｂ間に発生する差動信号の振幅値を変更することができる。つまり、伝送距離などに応じて差動信号の振幅調整をすることが可能である。

【２６６４】

図３６９は他の実施例である。内蔵抵抗Ｒｘは可変できるように構成されている。可変を行う構成として、以前に説明した電子ボリウム５０１などが例示される。その他、トリミングによっても調整することができる。

【２６６５】

図３７０は送信側の構成例である。端子２８８４ｃと端子２８８４ｄ間に可変電圧源あるいは固定電圧を入力するように構成している。端子２８８４ｃ、２８８４ｄに入力する電圧により、コントローラ回路（ＩＣ）７６０内部の定電流回路の電流出力を変化できるように構成している。この操作により、端子２８８４ａ、２８８４ｂから出力される差動信号の電流を変更できる。

【２６６６】

なお、図３６８などにおいて、ソースドライバ回路（ＩＣ）１４内の抵抗ＲをＲＳＥＬ信号などで選択する（切り換える）としたが本発明はこれに限定するものではない。たとえば、図３７２のように、ＩＣマスクで接続を変更してもよい。

【２６６７】

図３７２は、ソースドライバＩＣ１４に抵抗Ｒ１、Ｒ２、Ｒ３をあらかじめ形成あるいは構成しておき、ＩＣ１４を製造する際に、最終マスク（アルミ配線形成用）を変更することにより、端子２８８３に接続される抵抗を変化させた実施例である。つまり、抵抗Ｒと端子２８８３とを接続するアルミ配線を変更することにより、端子２８８３（２８８３ａ、２８８３ｂ）に接続されるインピーダンスを切り換えている。

【２６６８】

図３７２（ａ）は抵抗Ｒ１とＲ３からなる並列インピーダンスを端子２８８３に接続した構成である。図３７２（ｂ）は抵抗Ｒ３からなる並列インピーダンスを端子２８８３に接続した構成である。

【２６６９】

なお、以上の事項は、図３７０の実施例にも適用できることは言うまでもない。コントローラ回路（ＩＣ）７６０に複数の定電流源をあらかじめ形成あるいは構成しておき、ＩＣ７６０を製造する際に、最終マスク（アルミ配線形成用）を変更することにより、端子２８８４から出力される定電流を変更する。

【２６７０】

差動信号は図３２８に図示するように、本体回路のＡ信号（判別信号）のＨとＬに同期して出力される。Ａ信号がＬの時は、プログラム電圧（ＶＲ、ＶＧ、ＶＢ）が出力され、Ａ信号がＨの時は、プログラム電流（ＩＲ、ＩＧ、ＩＢ）が出力される。なお、プログラム電圧、プログラム電流の出力動作などに関しては、図１２７～図１４３、図２９３、図３３８などで説明をしているので説明を省略する。

【２６７１】

また、映像信号としてのプログラム電流（ＩＲ、ＩＧ、ＩＢ）およびプログラム電圧（ＶＲ、ＶＧ、ＶＢ）と、データ信号ＤＭ、ＤＳが伝送される。つまり、差動信号は、Ｒ映像信号、Ｇ映像信号、Ｂ映像信号、Ｄデータ信号の４相が多重される（ＶＲ、ＩＲ、ＶＧ、ＩＧ、ＶＢ、ＩＢ、ＤＭ、ＤＳ、ＶＲ、ＩＲ、・・・・・）。なお、映像のブランキング期間は、図３３０に図示するように、ＤＭとＤＳ信号が連続して伝送される。

【２６７２】

データであるＤＭの８または１０ビットデータはコマンドである。データであるＤＳの８または１０ビットデータは制御データである。図３２９はＤＭの一例である。ＤＭは水平同期信号（ＨＤ）、垂直同期信号（ＶＤ）などを表す。一例として、ＤＭ＝１ではＨＤ信号である。ＤＭ＝２ではＶＤ信号である。ＤＭ＝３は画面の映像の上下を反転させるＵＤ信号である。また、ＤＭ＝４は画面１４４の映像の左右を反転させるＲＬ信号である。

【２６７３】

同様に、ＤＭ＝５は、Ｒのプリチャージ時間（ＰＲ－ｔｉｍｅ）を示し、ＤＭ＝６は、Ｇのプリチャージ時間（ＰＧ－ｔｉｍｅ）を示し、ＤＭ＝７は、Ｂのプリチャージ時間（ＰＢ－ｔｉｍｅ）を示す。ＤＭ＝８は、Ｒの基準電流（基準Ｉ－Ｒ）を示し、ＤＭ＝９は、Ｒの基準電流（基準Ｉ－Ｇ）を示し、ＤＭ＝１０は、Ｒの基準電流（基準Ｉ－Ｂ）を示す。また、ＤＭ＝１０は、ゲートドライバ回路１２のスタートパルスなどの出力タイミングを示している。以上のように、ＤＭはコマンドとして指定するデータである。

【２６７４】

なお、プリチャージ時間は、ＴＴＬあるいはＣＭＯＳのロジックの波形信号などで、コントローラ回路（ＩＣ）７６０などからソースドライバ回路（ＩＣ）１４に印加してもよいことは言うまでもない。例えば、ロジックの波形信号のＨレベルの期間に、プリチャージ電圧（プリチャージ電流）がソース信号線１８に印加され、ロジックの波形信号のＬレベルの期間は、プリチャージ電圧（プリチャージ電流）がソース信号線１８に出力されないように制御あるいは構成される。また、プリチャージ時間は点灯率により制御（可変）してもよいことは言うまでもない。点灯率が低い時は、低階調の画素が多いことを意味している。したがって、プリチャージ時間を長くする。逆に点灯率が高い時は、高階調の画素が多いことを意味している。この場合は、プログラム電流の書き込み不足は発生しないか、もしくは目立たない（認識されない）。したがって、プリチャージ時間は短くてもよい。

【２６７５】

図３３１はＤＳ信号の内容例を図示している。ＤＭ＝９の時は、ゲートドライバ回路１２の制御信号である。ＤＳの８ビットは、ｅｘ．１のように各ビットの配置が決められている。ｂｉｔ０は、ゲートドライバ回路１２ａのイネーブル信号（ＥＮＢＬ１）である。ｂｉｔ１は、ゲートドライバ回路１２ａのクロック信号（ＣＬＫ１）である。ｂｉｔ２は、ゲートドライバ回路１２ａのスタート信号（ＳＴ１）である。また、ｂｉｔ４は、ゲートドライバ回路１２ｂのイネーブル信号（ＥＮＢＬ２）である。ｂｉｔ５は、ゲートドライバ回路１２ｂのクロック信号（ＣＬＫ２）である。ｂｉｔ６は、ゲートドライバ回路１２ｂのスタート信号（ＳＴ２）である。また、ｅｘ．３に示すように、ＤＭ＝８の時は、ＤＳ信号は、Ｒの基準電流の大きさをデータとして示す。上のように、ＤＳはＤＭで指定されたデータである。

【２６７６】

以上の実施例は、信号を差動信号として伝送するとして説明した。もちろん、差動信号の標準フォーマットであるＲＳＤＳで伝送してもよいことは言うまでもない。図５０５は、一例としてプリチャージ信号、映像信号などをＲＳＤＳ信号フォーマットで伝送している例である。なお、ＲＳＤＳフォーマットであっても、本発明は、伝送するデータの手順、形式に新規性を有している。また、いかに説明する事項は、以前に説明した本発明においても適用できることは言うまでもない。たとえば、図３６０～図３６６、図３８９～図３９４、図４３２、図４３３などに適用できる。

【２６７７】

また、以下の実施例では、電流プリチャージを３ビットとし、電流プリチャージ期間を６種類としているが、これに限定するものではない。６以上でも６以下でもよい。また、プリチャージ信号（ＲＰ０～２、ＧＰ０～２、ＢＰ０～２）は、電流プリチャージに限定するものではなく、電圧プリチャージでもよい。

【２６７８】

なお、以下の実施例において、データなどはツイストペアー線などを用いて差動信号（

ＲＳＤＳ、ＬＶＤＳ、ミニＬＶＤＳなど）として転送するとして説明するがこれに限定するものではない。ロジック信号であるＣＭＯＳレベルあるいはＴＴＬレベルの信号で転送してもよい。この場合は、ツイストペアー線を用いる必要がないことはいうまでもない。本発明は、データなどをシリアルで伝送し、シリアルーパラレル変換部３６８１などでパラレル信号に変換する点に特徴がある。したがって、データなどの転送（伝送）は、差動信号に限定するものでないことは言うまでもない。もちろん、電流信号だけでなく、電圧信号でもよいことは言うまでもない。また、有線信号だけでなく、無線信号（電波、赤外線などの光信号）で転送してもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用される。

【２６７９】

図５０５、図５０６などにおいて、クロックは、データを立ち上がりおよび立下りでラッチする。したがって、クロックの周波数は、データ転送速度の１／２である。Ｒデータは、２つの差動のツイストペアー線を用いる。ＧデータおよびＢデータも、２つの差動のツイストペアー線を用いる。図５０５はデータ転送時を示した図面であり、図５０６はコマンド転送時を説明する図面である。

【２６８０】

図５０５の実施例では、過電流などの電流プリチャージを指定するビットを３ビットとしている。映像データは、ＲＧＢ各８ビットの例である。Ｒデータは、Ｂ期間に、３つのプリチャージ指定データ（ＲＰ０、ＲＰ１、ＲＰ２）と、Ｃ／Ｄデータ（なお、Ｃ／Ｄ＝Ｈとしている。）を伝送する。Ｃ／Ｄデータは、コマンドとデータとの切り替え符号である。Ｃ／Ｄ＝Ｌの時は、ツイストペアー線（伝送線）で伝送される信号が、コマンド信号（制御信号）であることを示す。Ｃ／Ｄ＝Ｈの時は、ツイストペアー線（伝送線）で伝送される信号が、データ信号（映像信号、プリチャージ指定信号）であることを示す。したがって、図５０５では、データを転送している状態であるから、Ｃ／Ｄ＝Ｈとしている。

【２６８１】

プリチャージ指定信号は、３ビットであるから、８通りを表現できる。この８通りの指定信号の一例を図５１４に図示している。図５１４の表において、ＩＰＣは電流プリチャージを示している。ＶＰＣは電圧プリチャージを示している。電流プリチャージＩＰＣは、指定信号ＩＳ＝０および７の時、ＩＰＣは常にＬレベルである。つまり、電流プリチャージ期間は０であるため、結果として電流プリチャージは実施されない。

【２６８２】

指定信号ＩＳ＝０の時は、電圧プリチャージＶＰＣも常にＬレベルである。つまり、電圧プリチャージ期間は０であるため、結果として電圧プリチャージは実施されない。したがって、指定信号ＩＳ＝０の時は、電流プリチャージも電圧プリチャージも実施されない。結果として指定信号ＩＳ＝０の時は、通常の電流プログラム駆動が実施される（図１３０などのＢ期間の説明を参照のこと）。

【２６８３】

指定信号ＩＳ＝７の時は、電流プリチャージＩＰＣは常にＬレベルであるが、電圧プリチャージＶＰＣは実施される。つまり、電圧プリチャージのみが実施される。結果として電圧プリチャージは実施された後、通常の電流プログラム駆動が実施される（図１２９などの１ＨにＡ期間とＢ期間が実施する実施例の説明を参照のこと）。

【２６８４】

指定期間ＩＳ＝１の時は、電圧プリチャージＶＰＣが実施された後、電流プリチャージＩＰＣとして、電流プリチャージパルス１が選択され実施される。各電流プリチャージパルスの長さは、図５０６のコマンド転送時に設定される（図５０７も参照のこと）。電流プリチャージパルス１では設定された期間の間、過電流駆動が実施される。つまり、大きな書き込み電流がソース信号線１８に印加される。この実施例としては、図４１０（ａ１）（ａ２）（ａ３）が該当する。つまり、プリチャージ電圧Ｖ０がソース信号線１８に印加されて、ソース信号線１８に電位がＶ０電圧にリセット（初期化電圧：一定電位あるいは固定電位）される（図４１０（ａ１））。次にあるいはプリチャージ電圧と同時に、過

電流電圧Ｉｄがソース信号線１８に印加される（図４１０（ａ２））。なお、図４８４などとその説明も参照されたい。

【２６８５】

図４１０（ａ２）のように、プリチャージ電圧Ｖ０と同時に、プリチャージ電流Ｉｄを印加してもよいし、プリチャージ電圧印加期間とプリチャージ電流印加期間が重ならないように（プリチャージ電圧印加期間が完了（終了）してから、プリチャージ電流を印加する）駆動してもよいことは言うまでもない。また、図４１０（ｂ１）～図４１０（ｂ３）、図４１０（ｃ１）～図４１０（ｃ３）のように駆動しても良いことはいうまでない。

【２６８６】

図４１１～図４１３の駆動方法、図４１４～図４２２などの駆動方法と図５０５、図５０６、図５０７、図５１４、図５０８～図５１３などの駆動方法を組み合わせてもよいことは言うまでもない。ただし、電圧プリチャージ期間、電圧プリチャージ電圧値を変化させる（指定する）場合は、指定あるいは変化のためのビット数が必要である。つまり、プリチャージビットが３ビットでなく、４ビット以上として、図５１４の指定信号ＩＳ数と拡張する必要がある。

【２６８７】

図１２７～図１４２、図３３１～図３３６の実施例などと図５０５、図５０６、図５０７、図５１４、図５０８～５１３などの駆動方法を組み合わせてもよいことは言うまでもない。その他、本発明のソースドライバ回路（構成）、表示パネルあるいは表示装置、駆動方法、検査方法などと、図４１１～図４１３、図４１４～図４２２、図５０５、図５０６、図５０７、図５１４、図５０８～図５１３、図１２７～図１４２、図３３１～図３３６の実施例などを相互に組み合わせてもよいことは言うまでもない。

【２６８８】

指定期間ＩＳ＝２の時は、電圧プリチャージＶＰＣが実施された後、電流プリチャージＩＰＣとして、電流プリチャージパルス２が選択され、過電流駆動が実施される。つまり、電流プリチャージパルス２の期間に過電流Ｉｄがソース信号線１８に印加される。

【２６８９】

以下同様に、指定期間ＩＳ＝３の時は、電圧プリチャージＶＰＣが実施された後、電流プリチャージＩＰＣとして、電流プリチャージパルス３が選択される。指定期間ＩＳ＝４の時は、電圧プリチャージＶＰＣが実施された後、電流プリチャージＩＰＣとして、電流プリチャージパルス４が実施される。指定期間ＩＳ＝５の時は、電圧プリチャージＶＰＣが実施された後、電流プリチャージＩＰＣとして、電流プリチャージパルス５が選択される。指定期間ＩＳ＝６の時は、電圧プリチャージＶＰＣが実施された後、電流プリチャージＩＰＣとして、電流プリチャージパルス６が実施される。

【２６９０】

本発明では、電流プリチャージパルス＊の＊数が大きくなるほど、過電流Ｉｄ（電流プリチャージの電流）がソース信号線１８に印加される期間が長いとして説明をする。なお、本発明では、電流プリチャージ期間を変化させるとして説明するが、これに限定するものではなく、指定信号ＩＳにより電流プリチャージ電流の大きさを変化（指定）してもよい。また、電圧プリチャージ期間あるいは電圧プリチャージの印加電圧を変化（指定）してもよいことは言うまでない。

【２６９１】

Ｒデータと同様に、Ｇデータは、Ｂ期間に、３つのプリチャージ指定データ（ＧＰ０、ＧＰ１、ＧＰ２）と、ＧＳＩＧ７データ（図５０８とその説明を参照のこと））を伝送する。また、Ｂデータは、Ｂ期間に、３つのプリチャージ指定データ（ＢＰ０、ＢＰ１、ＢＰ２）と、ＧＳＩＧ８データ（図５０８とその説明を参照のこと））を伝送する。

【２６９２】

以上のように、Ｂ期間には、電流プリチャージを指定する信号と、Ｃ／Ｄなどの他の信号が転送される。なお、転送は、コントローラ回路（ＩＣ）７６０からソースドライバ回路（ＩＣ）１４に対して行われる。

【２６９３】
ＲデータのＣ期間は、映像信号としてのＲデータが転送される。つまり、ＲＤ０［０］～ＲＤ０［７］が転送される。なお、ＲＤ０［＊］の括弧［　］の添え字は、映像データのビット位置を示す。つまり、ＲＤ０［０］とは、Ｒデータの０番目の最下位ビットを示し、ＲＤ０［７］とは、Ｒデータの０番目の最最上位ビットを示す。また、ＲＤ＊［　］の＊は、映像データの順番を示す。たとえば、ＲＤ０［　］とは、Ｒの第０画素番目のデータを示し、ＲＤ７［　］とは、Ｒの第７画素番目のデータを示す。同様に、ＲＤ１８［　］とは、Ｒの第１８画素番目のデータを示す。以上の事項は、映像Ｇデータ、映像Ｂデータに対しても同様である。
【２６９４】
ＧデータのＣ期間は、映像信号としてのＧデータが転送される。つまり、ＧＤ０［０］～ＧＤ０［７］が転送される。ＢデータのＣ期間は、映像信号としてのＢデータが転送される。つまり、ＢＤ０［０］～ＢＤ０［７］が転送される。
【２６９５】
Ｂ期間＋Ｃ期間はＡ期間である。Ａ期間で各ＲＧＢの１画素のデータが転送される。つまり、Ａ期間に各ＲＧＢの各８ビットの映像データと、各映像データをプリチャージするかしないかおよびプリチャージする場合は、どのようなプリチャージを実施するかの指定データが転送される。加えて、ゲートドライバ回路１２の制御データが転送される。以上の事項は、映像Ｇデータ、映像Ｂデータに対しても同様である。つまり、Ａ期間には、６ビットのシリアルデータが並列に７ツイストペアーの信号線で転送される。
【２６９６】
以上の実施例では、Ａ期間には、６ビットのシリアルデータが並列に７ツイストペアーの信号線で転送されるとしたが、本発明は、これに限定されるものではない。Ａ期間に、７ビットのシリアルデータが並列に６ツイストペアーの信号線で転送してもよい。また、他の方式でもよいことは言うまでもない。
【２６９７】
ゲートドライバ回路１２の制御データもシリアルデータにして転送される（図５０５のゲートデータ）。このことは、図２９２などを説明している。コントローラ回路（ＩＣ）７６０からシリアルデータとして、ソースドライバ回路（ＩＣ）１４に転送されたデータは、ソースドライバ回路（ＩＣ）１４でパラレルデータに変換されて、ゲートドライバ回路１２に印加される。
【２６９８】
図５０５では、１つのツイストペアー線でＡ期間に、６データ（ＧＳＩＧ１～ＧＳＩＧ６）が転送される。ゲートドライバ回路１２の制御データは、ゲートデータのペア線だけでなく、ＧデータとＢデータにも配置されている。つまり、ツイストペアーで転送されるＧデータのＧＳＩＧ７、ツイストペアーで転送されるＢデータのＧＳＩＧ８の２つを加えて、Ａ期間に計８つの制御信号が転送される。
【２６９９】
シリアル信号としてソースドライバ回路（ＩＣ）１４に印加されたゲートデータなどは、図５０８に図示するように、ソースドライバ回路（ＩＣ）１４のシリアル－パラレル変換部３６８１でパラレル信号に変換される。ゲートドライバ回路１２の制御データとして、８ビットが転送される。なお、図５０８はゲートドライバ回路１２の制御のみに限定した図面としている（ソースドライバ回路の映像信号のシリアル－パラレル展開は省略している）。また、図２９２とその説明も参照されたい。シリアル－パラレル変換部は、ＧＯＥ端子を有している。ＧＯＥ端子にＬレベル信号が印加されると、ＯＧＳＩＧ端子は、すべてハイインピーダンス状態になる。つまり、３ステート端子である。ハイインピーダンスにすることにより、ＯＧＳＩＧ端子はソースドライバ回路（ＩＣ）１４から切り離された状態となる。したがって、ＯＧＳＩＧ端子に外部からの信号を接続することができる。つまり、ゲートデータなどのシリアル信号を使用しない状態となり、直接にパラレル信号のゲートドライバ回路１２の制御信号を接続することができる。

【２７００】
図５０８の構成は、図２８２～図２８４、図２８８～図２９２、図３１６、図３１９、図３２０、図３２７、図３４７、図３５８、図３６５、図３６７、図３７３、図３７４などの構成を詳細に示した構成あるいは、類似の構成である。したがって、図２８２～図２８４、図２８８～図２９２、図３１６、図３１９、図３２０、図３２７、図３４７、図３５８、図３６５、図３６７、図３７３、図３７４で説明した内容あるいは構成を図５０８と組み合わせることができることは言うまでもない。
【２７０１】
８つの制御信号の指定は任意であるが、本発明では、ＧＳＩＧ１はゲートドライバ回路１２ａのスタートパルス（ＳＴ１）信号、ＧＳＩＧ２はゲートドライバ回路１２ａのクロック（ＣＬＫ１）信号、ＧＳＩＧ３はゲートドライバ回路１２ａのイネーブル（ＯＥＶ１：図４０などを参照のこと）信号である。ＧＳＩＧ１は端子ＯＧＳＩＧ１端子から出力され、ゲートドライバ回路１２ａに印加される。ＧＳＩＧ２は端子ＯＧＳＩＧ２端子から出力され、ゲートドライバ回路１２ａに印加される。同様に、ＧＳＩＧ３は端子ＯＧＳＩＧ３端子から出力され、ゲートドライバ回路１２ａに印加される。
【２７０２】
ＧＳＩＧ４はゲートドライバ回路１２ｂのスタートパルス（ＳＴ２）信号、ＧＳＩＧ５はゲートドライバ回路１２ｂのクロック（ＣＬＫ２）信号、ＧＳＩＧ６はゲートドライバ回路１２ｂのイネーブル（ＯＥＶ２：図４０などを参照のこと）信号である。ＧＳＩＧ４はＯＧＳＩＧ４端子から出力され、ゲートドライバ回路１２ｂに印加される。ＧＳＩＧ５はＯＧＳＩＧ５端子から出力され、ゲートドライバ回路１２ｂに印加される。同様に、ＧＳＩＧ６はＯＧＳＩＧ６端子から出力され、ゲートドライバ回路１２ｂに印加される。
【２７０３】
以上のように、本発明は、複数のゲートドライバ回路１２に共通の制御信号を具備する点に特徴がある。また、ＯＧＳＩＧ端子をハイインピーダンス状態に制御することができ、ＯＧＳＩＧ端子に他の制御信号を接続することができる点にも特徴がある。
【２７０４】
ＧＳＩＧ７はゲートドライバ回路１２ａとゲートドライバ回路１２ｂとの共通信号である。具体的には、ＧＳＩＧ７は表示画面の表示方向を上下に切り替えるＵＤ（アップダウン）信号である。ＧＳＩＧ７はＯＧＳＩＧ７Ｌ端子から出力され、ゲートドライバ回路１２ａに印加される。同時に、ＧＳＩＧ７はＯＧＳＩＧ７Ｒ端子から出力され、ゲートドライバ回路１２ｂに印加させる。
【２７０５】
ＧＳＩＧ８もゲートドライバ回路１２ａとゲートドライバ回路１２ｂとの共通信号である。具体的には、ＧＳＩＧ８はゲートドライバ回路１２ａと１２ｂの共通のイネーブル信号（ＯＥＶ３）である。ＧＳＩＧ８はＯＧＳＩＧ８Ｌ端子から出力され、ゲートドライバ回路１２ａに印加される。同時に、ＧＳＩＧ８はＯＧＳＩＧ８Ｒ端子から出力され、ゲートドライバ回路１２ｂに印加される。
【２７０６】
図５０９はゲートドライバ回路１２の制御信号ＧＳＩＧの説明図である。ゲートドライバ回路１２の制御信号は、ＤＹ［１］　、ＤＺ［１］とゲートデータである。ゲートドライバ
回路１２の制御データで８ビットは、３クロックで確定する（クロックは立ち上がりエッジと立下りエッジでラッチする）。したがって、Ａ１期間の３クロックが終了した時点で、ＧＳＩＧ１～８のデータがＯＧＳＩＧ１～ＯＧＳＩＧ８端子から出力される。この出力は、Ａ１期間の次のＡ２期間の間、保持される。Ａ２期間では、Ａ２期間の３クロックが終了した時点で、ＧＳＩＧ１～８のデータがＯＧＳＩＧ１～ＯＧＳＩＧ８端子から出力される。この出力は、Ａ２期間の次のＡ３期間の間、保持される。
【２７０７】
図５０８のＧＯＥ信号が、Ｈレベルの時は、ＧＳＩＧ１～８のデータがＯＧＳＩＧ１～

ＯＧＳＩＧ８として端子から出力される。ＧＯＥ信号が、Ｌレベルの時は、ＯＧＳＩＧ１～ＯＧＳＩＧ８端子はハイインピーダンス状態となる（図５０９にＨｉ－Ｚと記載している）。

【２７０８】

ゲートデータは、ゲートドライバ回路１２の制御信号として説明したが、これに限定するものではない。たとえば、ソースドライバ回路（ＩＣ）１４の制御データあるいはパネルの温度制御データであってもよい。Ａ期間の映像データも映像データに限定されるものではない。輝度（Ｙ）信号、色差（Ｃ）信号であってもよいし、ソースドライバ回路の制御データ信号であってもよい。

【２７０９】

本発明は、シリアルデータは映像信号を発生するソースドライバ回路（ＩＣ）１４に印加し、ソースドライバ回路（ＩＣ）１４で印加されたシリアルデータをパラレルデータなどに展開し、ソースドライバ回路（ＩＣ）１４の出力信号により、ゲートドライバ１２などを制御することに特徴がある。以上のように構成することにより、表示パネルとコントローラ回路（ＩＣ）７６０などとの接続信号線本数を削減でき、接続フレキ面積の縮小と低コスト化などを実現することができる。

【２７１０】

Ａ期間は、１水平走査期間（１Ｈ）に１画素行の画素数分のデータ数が発生する。たとえば、１画素行の画素数が３２０ドットであれば、Ａ期間は３２０回ある。図５０５のようにデータ転送が実施される。

【２７１１】

図５０６は、コマンド転送時である。コマンド転送時は、具体的には１Ｈ期間のブランキング期間である。ブランキング期間に、ソースドライバ回路の基準電流設定値、プリチャージ電圧の設定値などの設定データ（コマンド）を転送する。

【２７１２】

コマンドは６つのツツイストペアーで転送する。ＤＸ［０］、ＤＸ［１］　、ＤＹ［０］、Ｄ
Ｙ［１］、　ＤＺ［０］、ＤＺ［１］である。ブランキング期間もゲートドライバ回路１２の制
御は必要であるから、ゲートデータは、ツイストペアー線で伝送される。また、ＧＳＩＧ７およびＧＳＩＧ８信号も転送される。

【２７１３】

コマンド転送時はＣ／Ｄデータを Ｈレベルとして転送する。ソースドライバ回路（ＩＣ）１４のシリアル－パラレル変換部３６８１は、Ｃ／Ｄデータのロジックレベルを判定し、データ転送状態か、コマンド転送状態かを判断する。つまり、Ｃ／Ｄデータ＝Ｈの時は、映像データが転送されているとして処理を行い、Ｃ／Ｄデータ＝Ｌの時は、コマンドデータが転送されているとして処理を行う。なお、Ｃ／Ｄデータ位置は、水平同期信号と、画素数のカウンタにより位置検出を行う。

【２７１４】

図５０６において、Ｂ期間は３ビットのアドレスデータ（ＡＤＤＲ）が転送される。Ｃ期間は、設定コマンドデータ（ＣＭＤ）が転送される。コマンドデータは、ＣＭＤ１～ＣＭＤ５からなり、各コマンド（ＣＭＤ）は６ビットである。また、コマンドＣＭＤ１～５において、ＤＸ［１］が最上位ビット（ＭＳＢ）であり、ＤＺ［０］が最下位ビットである。つまり、ＣＭＤ１［＊］、ＣＭＤ２［＊］、ＣＭＤ３［＊］、ＣＭＤ４［＊］、ＣＭＤ５［＊］の括弧［　］の添え字は、ビット位置を示す。

【２７１５】

図５０６において、Ｂ期間は３ビットのアドレスデータが転送される。アドレスデータ（ＡＤＤＲ）とは、図５０７の表に示すように、コマンド（ＣＭＤ）データの内容を示す。たとえば、ＡＤＤＲ［２］～［０］が’０００’の時は、コマンドＣＭＤ５～ＣＭＤ１は基準電流（Ｉｃ）設定（ＤＡＴＡまたはＩＤＡＴＡなど）を行う。なお、基準電流Ｉｃ

および基準電流設定データに関しては、図５０、図６０、図６１、図６４～図６６、図１３１、図１４０、図１４１、図１４５、図１８８、図１９６～図２００、図３４６、図３７７～図３７９、図３９７などを用いて説明しているので説明を省略する。ＣＭＤ０がＨレベルにすると、ソースドライバ回路（ＩＣ）１４の外部の端子によりプリチャージ制御されるモードとなる。

【２７１６】

ＡＤＤＲ［２］～［０］が’００１’を’０１０’の時は、コマンドＣＭＤ５～ＣＭＤ１は電流プリチャージパルスの長さの設定を行う。パルスの長さは、図５１３の回路構成で行う。ＣＭＤ１は電流プリチャージパルス１の長さ設定である。同様に、ＣＭＤ２は電流プリチャージパルス２の長さ設定、ＣＭＤ３は電流プリチャージパルス３の長さ設定、ＣＭＤ４は電流プリチャージパルス４の長さ設定、ＣＭＤ５は電流プリチャージパルス５の長さ設定である。

【２７１７】

電圧プリチャージの電圧値の設定は、図５０７に図示するように、ＡＤＤＲ［２］～［０］が’０１０’の時のコマンドＣＭＤ２の６ビットで設定する。図１６、図７５～図７９、図１２７～図１４２、図４１０～図４１３などで説明しているので説明を省略する。

【２７１８】

各電流プリチャージパルスの長さ設定は、設定された６ビットのカウンタ値が一致するまでカウントし行う。カウンタのカウントクロックは、ＡＤＤＲ［２］～［０］が’０１０’の時の、ＣＭＤ４のプリチャージパルス発生クロック設定（ＰｐＳ）の３ビットにより行う。プリチャージパルス発生クロック設定が大きくするほど、つまり、分周回路５１３２でＣＬＫを分周しカウンタ４６８２のカウントアップ速度を変化する。プリチャージパルス発生クロック設定（ＰｐＳ）が大きくするほど、分周回路５１３２がおおきくなる。したがって、カウンタ４６８２のカウントアップ速度は遅くなり、結果として、電流プリチャージパルスが印加される期間の長さは長くなる。

【２７１９】

図５１３に図示するようにプリチャージパルス生成部５１３１は主としてカウンタ４６８２、パルス生成部５１３３から構成される。プリチャージパルス生成部５１３１のカウンタ回路４６８２には、分周回路５１３２は、ＰｐＳ信号により、ＣＬＫを分周したクロックが印加される。また、カウンタ４６８２はロード信号（ＬＤ）により動作が制御される。なお、ロード信号（ＬＤ）は基本的には水平同期信号である。

【２７２０】

パルス生成部５１３３は、図５１４で示すように指定信号ＩＳに応じて、６種類の電流プリチャージパルス期間ＴＩｐを発生する。また、設定に応じて、電圧プリチャージパルス期間ＶＩｐを発生する。ＴＩｐおよびＴＶｐの期間は、分周回路５１３２の設定値で変化する。したがって、本発明のソースドライバ回路（ＩＣ）１４は、対象のパネルサイズが変化しても対応することが可能である。

【２７２１】

図５１３に図示するように、ＡＤＤＲ、ＣＭＤ（図５０６などを参照のこと）に応じて指定信号ＩＳ（ＩＳは、３ビットとする）が抽出される。このＩＳ信号は、ラッチ回路（保持回路）５１３４でラッチされて１Ｈの期間保持される。各画素に対応したＩＳ信号は、各ソース信号線１８に配置または形成されたセレクタ回路５１３５に入力される。入力されたＩＳ信号はセレクタ回路５１３５で出コードさら、６つの電流プリチャージパルス期間ＴＩｐから１つの電流プリチャージパルス期間（なお、ＩＳ＝０、７の時はいずれのパルス期間も選択されない）が選択される。また、ＩＳ＝７の時は、電圧プリチャージパルス期間が選択され、電圧プリチャージのみが実施される。ＩＳ＝１～６の時は、電圧プリチャージが実施された後、電流プリチャージが実施される。

【２７２２】

図５１０は電圧プリチャージと電流プリチャージとのタイミングチャートである。水平同期信号であるＬＤパルスの立下りで電圧プリチャージ期間が開始される。電圧プリチャ

ージパルスがＨレベルの時、プリチャージ電圧がソースドライバ回路（ＩＣ）１４から出力される。図５１０では電圧プリチャージ期間をＣで示している。また、水平同期信号であるＬＤパルスの立下りで電流プリチャージ期間が開始される。電流プリチャージパルス１の時は、Ｃ＋Ａの期間が電流プリチャージされる期間である。電流プリチャージパルス２の時は、電流プリチャージパルス１の期間よりも長く、Ｃ＋Ｂの期間が電流プリチャージされる期間である。以下、電流プリチャージパルス３は電流プリチャージパルス２の期間よりも長く、電流プリチャージパルス４は電流プリチャージパルス３の期間よりも長い。以上の関係が、電流プリチャージパルス６まで図５１３の回路構成と、図５０７の設定値により設定あるいは構成されている。

【２７２３】

図５１１、図５１２はソースドライバ回路（ＩＣ）１４内に構成あるいは形成された電流プリチャージ出力段の構成図である。図５１１、図５１２の構成は、以前に説明した図３８１～図３９４、図３９８～図３９９、図４０２～図４２１、図４３２～図４３５、図４５７～図４６２、図４７０～図４８４など構成と同一あるいは類似もしくは変形あるいは機能を具体的に記載したもしくは機能を付加した構成である。したがって、相互に組み合わせることができる。また、重複する点が多いため、主として差異を中心に説明する。

【２７２４】

図５１１は、８ビットの映像電流信号の１出力段である。映像データＤ［０］～Ｄ［７］はスイッチＤ＊ａ（＊は０～７で、ビット位置を示す）がクローズすることにより端子１５５から出力される。スイッチＤ＊ａは、映像データに応じて該当スイッチがクローズする。一方、スイッチＤ＊ｂ（＊は０～７で、ビット位置を示す）は、電流プリチャージ期間の間クローズする。スイッチＤ＊ｂのクローズにより、単位電流出力段４３１ｃから最大電流（過電流Ｉｄ）が端子１５５から出力される。

【２７２５】

プリチャージ電圧Ｖｐはスイッチ１５１ａがクローズすることにより端子１５５から出力される。プリチャージ電流ＩｄおよびプログラムＩｗはスイッチ１５１ｂがクローズすることにより端子１５５から出力される。スイッチ１５１ａとスイッチ１５１ｂとは同時にクローズしないようにインバータ１４２により制御されている。

【２７２６】

インバータ１４２へのロジックデータは、プリチャージ期間判定部５１１２により印加される。つまり、プリチャージ期間判定部５１１２は、図５０７の電流プリチャージパルスの長さ設定値によりインバータ１４２を制御する。

【２７２７】

図５１２はスイッチＤ＊ａ、Ｄ＊ｂをＯＲゲートに置き換えた構成である。プリチャージ期間判定部５１１２からの出力信号により、単位電流出力段４３１ｃから最大電流（過電流Ｉｄ）が端子１５５から出力される。

【２７２８】

本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に３辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、基準電流比制御、ｄｕｔｙ比制御、ダミー画素駆動（図２７１など）などを実施することが好ましい。つまり、本発明におけるトランジスタ１１などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【２７２９】

本発明の表示パネルにおいて画素１６を構成するトランジスタ１１などはアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路１２、ソースドライバ回路（ＩＣ）１４もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。また、トランジスタなどは有機トランジスタで

あってもよいことは言うまでもない。また、図２５１のスピーカ２５１２などの駆動回路もポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【２７３０】

本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０、図２７１、図２７４など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図２２、図２４、図３０、図２７１、図２７４などのＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成においても有効である）。

【２７３１】

本明細書に記載した、画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくはその技術的思想、ソースドライバ回路（ＩＣ）、ゲートドライバＩＣ（回路）などの駆動回路あるいはコントローラＩＣ（回路）もしくはそれらの制御回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成あるいは方法として適用できることはいうまでもない。

【２７３２】

本発明の検査装置と検査方法もしくは調整方法の技術的思想などは、本発明の表示パネルもしくは表示装置あるいは方法などに適用できることは言うまでもない。これらの構成あるいは方法もしくは装置などは、低温ポリシリコンの表示パネルだけでなく、アモルファスシリコンの表示パネル、ＣＧＳ技術で構成した表示パネルにも適用できることは言うまでもない。

【２７３３】

また、基板３０の一部（たとえば、表示１４４領域など）がアモルファスシリコン技術で構成あるいは形成され、他の部分（ドライバ回路１２、１４など）が低温ポリシリコン技術、ＣＧＳ技術などで形成または構成された表示パネルあるいは表示装置も本発明の技術的範疇である。

【２７３４】

ｄｕｔｙ比制御駆動、基準電流制御、Ｎ倍パルス駆動、ソースドライバ回路（ＩＣ）、ゲートドライバ構成など本明細書で記載した本発明の駆動方法および駆動回路などは、有機ＥＬ表示パネルの駆動方法および駆動回路などに限定されるものではない。図１５９に図示するようにフィールドエミッションディスプレイ（ＦＥＤ）、ＳＥＤ（キャノンと東芝が開発したディスプレイ）などの他のディスプレイにも適用できることは言うまでもない。

【２７３５】

図１５８のＦＥＤでは基板３０上にマトリックス状に電子を放出する電子放出突起１５８３（図３では画素電極３５が該当する）が形成されている。画素には映像信号回路１５８２（図１ではソースドライバ回路（ＩＣ）１４が該当する）からの画像データを保持する保持回路１５８４が形成されている（図１ではコンデンサが該当する）。また、電子放出突起１５８３の前面には制御電極１５８１が配置されている。制御電極１５８１にはオンオフ制御回路１５８５（図１ではゲートドライバ回路１２が該当する）により電圧信号が印加される。

【２７３６】

図１５８の画素構成で、図１７４に図示するように周辺回路を構成すれば、ｄｕｔｙ比制御駆動あるいはＮ倍パルス駆動などを実施できる。映像信号回路１５８２からソース信号線１８に画像データ信号が印加される。オンオフ制御回路１５８５ａから選択信号線２

１７３に画素１６選択信号が印加され順次画素１６が選択され、画像データが書き込まれる。また、オンオフ制御回路１５８５ｂからオンオフ信号線１７４２にオンオフ信号が印加され、画素のＦＥＤがオンオフ制御（ｄｕｔｙ比制御）される。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７３７】

図１５８などの構成にも、本発明のｄｕｔｙ比制御、基準電流制御、プリチャージ制御、点灯率制御、ＡＩ制御、ピーク電流抑制制御、パネルの配線引き回し、ソースドライバ回路（ＩＣ）１４の構成あるいは駆動方法、ゲートドライバ回路構成あるいは制御方法、トリミング方法、プログラム電圧＋プログラム電流駆動方法、検査方法など、本発明の明細書で記載した各種の構成あるいは方法、構成、方式、装置構成、表示方法などが適用できることは言うまでもない。以上の事項は本発明の他の実施例においても同様に適用できることは言うまでもない。

【２７３８】

また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。以上の事項は、特にＦＥＤ、ＳＥＤなどの自己発光デバイスあるいは装置に適用できることは言うまでもない。

【２７３９】

本発明のドライバ回路（ＩＣ）１４の出力段（たとえば、トランジスタ群４３１ｃなど）は電流出力（プログラム電流を出力）するものを主として説明しているが、これに限定するものではない。出力段がプログラム電圧を出力するものであってもよい（画素構成としては図２などが該当する）。電圧出力段は、基準電流Ｉｃに対応するようにオペアンプなどで電圧に変換して出力するものが例示される。

【２７４０】

出力電流Ｉｄをオペアンプなどで電圧に変換して出力するものが例示される。その他、映像データを電圧データに変換し、この電圧データにガンマ処理などを実施し、出力端子１５５から出力するものが例示される。以上のように本発明のソースドライバ回路（ＩＣ）１４の出力はプログラム電流に限定するものではなく、プログラム電圧でもよい。

【２７４１】

また、図７７、図７８、図７５などではソース信号線１８に印加するプリチャージ信号は電圧であるとして説明したが、これに限定するものではなく、電流であってもよい。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７４２】

本発明は、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、ｄｕｔｙ比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ゲート信号線電圧（Ｖｇｈ、Ｖｇｌ）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変するとしたが、これに限定するものではない。たとえば、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、基準電流、ｄｕｔｙ比、プリチャージ電圧（プログラム電圧と同義あるいは類似）、ソース信号線１８の出力電流、ゲート信号線電圧（Ｖｇｈ、Ｖｇｌ）、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。また、フレームレートなどを変更あるいは変化させてもよいことは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７４３】

本発明は第１の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第１のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。

【２７４４】

また、第２の点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）において、第２のＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度などもしくはこれらの組合せとして変化させる。もしくは、点灯率（アノード端子のアノード電流などでもよい）もしくは点灯率範囲（アノード端子のアノード電流範囲などでもよい）に応じて（適応して）、ＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度など、もしくはこれらの組合せとして変化させるものである。

【２７４５】

また、変化させる時は、ヒステリシスをもたせて、あるいは遅延させて、あるいはゆっくりと変化させる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７４６】

本発明のドライバ回路（ＩＣ）で説明する事項は、ゲートドライバ回路（ＩＣ）１２、ソースドライバ回路（ＩＣ）１４に適用することができ、また、有機（無機）ＥＬ表示パネル（表示装置）だけでなく、液晶表示パネル（表示装置）にも適用することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７４７】

本発明の表示装置において、ＦＲＣを実施する場合は、図５０４に図示するように、赤の映像データ（ＲＤＡＴＡ）、緑の映像データ（ＧＤＡＴＡ）、青の映像データ（ＢＤＡＴＡ）を必要に応じてフレーム（フィールド）メモリ５０４１に格納する。なお、映像データは各６ビットとする。メモリ５０４１に格納された映像データは読み出され、ガンマ回路７６４に入力されガンマ変換されて１０ビットデータとなる。１０ビット化された映像データはＦＲＣ回路７６５で８ビット化にされて、４ＦＲＣでソースドライバ回路（ＩＣ）１４に印加される。

【２７４８】

このように映像データをメモリ５０４１には６ビットで格納してメモリサイズを小さくし、ガンマ回路７６４で１０ビットに変換し、ＦＲＣ処理により８ビットに変換してソースドライバ回路（ＩＣ）１４に入力する構成は、回路構成が容易でかつ回路規模を小さくできるため好ましい。以上の実施例は、携帯電話のように１画面あるいは一部の画面用としてメモリ５０４１を有する構成に最適である。

【２７４９】

なお、本発明の表示装置（表示パネル）、検査装置、駆動方法、表示方法などにおいて、画素構成は図１を中心に説明した。しかし、本発明はこれに限定するものではない。たとえば、図２、図６～図１３、図２８、図３１、図３３～図３６、図１５８、図１９３～図１９４、図５７４、図５７６、図５７８～図５８１、図５９５、図５９８、図６０２～図６０４、図６０７（ａ）（ｂ）（ｃ）の方式も適用できることは言うまでもない。

【２７５０】

本発明の実施例（構成、動作、駆動方法、制御方法、検査方法、形成または配置、表示パネルとそれを用いた表示装置など）は主として図１の画素構成を例示して説明をした。しかし、図１の画素構成など説明した事項は、図１に限定されるものではない。たとえば、図６、図７、図８、図９、図１０、図１１、図１２、図１３、図２８、図３１、図３６、図１９３、図１９４、図２１５、図３１４、図６０７（ａ）（ｂ）（ｃ）の画素構成にも適用できることは言うまでもない。

【２７５１】

また、画素構成に限定されるものではなく、図２３１などで説明した保持回路２２８０についても適用できることは言うまでもない。構成が同一あるいは類似であり、技術的思想が同一であるからである。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７５２】
図１～１４、図２２、図３１、図３２、図３３、図３４、図３５、図３６、図３９、図８３、図８５、図１１９、図１２０、図１２１、図１２６、図１５４～１５８、図１８０、図１８１、図１８７、図１９０、図１９１、図１９２、図１９３、図１９４、図１９５、図２０８、図２４８、図２４９、図２５０、図２５１、図２５８、図２６０～図２６５、図２７０、図３１９、図３２０、図３２４、図３２５、図３２６、図３２７、図３７３、図３７４、図３９１～図４０４、図４０９～図４１３、図４１５～図４２２、図４２３～図４２６、図４４４～図４５４、図４６７、図５１９～図５２４、図５３９～図５４９、図５５９～図５６４、図５７４～図５８８、図５９５～図６０１、図６０２～図６０６などで説明したあるいは記載した本発明の画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは複合の構成もしくは形成あるいは組み合わせをすることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７５３】
図１８、図１９、図２０、図２１、図２３、図２４、図２５、図２６、図２７、図２８、図３７、図３８、図４０、図４１、図４２、図５４、図８９～図１１８、図１２２～図１２５、図１２８、図１２９、図１３０、図１３２、図１３３、図１３４、図１４９～１５３、図１７７、図１７８、図１７９、図２１１～図２２２、図２２７、図２５２、図２５３、図２５７、図２５９、図２６６～図２６９、図２８０、図２８１、図２８２、図２８９、図２９０、図２９１、図３０７、図３１３、図３１４、図３１５、図３１６、図３１７、図３１８、図３２１、図３２２、図３３３、図３２８、図３２９、図３３０、図３３１、図３３２～図３３７、図３５５～図３７１、図３７５、図３７６、図３８０、図３８２～図３８５、図３８９、図３９０、図３９１～図４０４、図４０９～図４１３、図４１５～図４２２、図４３２～図４３５、図４４２、図４４３、図４５５～図４６６、図４６８、図４６９、図４７７～図４８４、図５０４、図５０５～図５１０、図５１５～図５１８、図５３２～図５３８、図５６５～図５７３、図６０５～図６０８などで説明あるいは記載した本発明の表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７５４】
図１５、図１６、図１７、図２９、図３０、図４３～５３、図５５、図５６、図５７、図５８、図５９、図６０、図６１、図６２、図６３～８２、図８４、図８６、図８７、図８８、図１２７、図１３１、図１３５～１４８、図１５９～１７６、図１８２～１８５、図１８６、図１８８、図１９６、図１９７、図１９８、図１９９、図２００、図２０１、図２０９、図２１０、図２２８～２４５、図２４６、図２４７、図２８３～図２８８、図２９２～図３０５、図３０８～図３１３、図３３８～図３５４、図３７２、図３７５、図３７７～図３７９、図３８１、図３８６、図３８７～図３８８、図３９１～図４０２、図４０５～図４０８、図４１４、図４２７～図４３１、図４７０～図４７３、図４７１～図４８０、図４８７、図４９１～図５０３、図５１１～図５１５、図５２５～図５２７、図５２８～図５３１、図５４７～図５５８、図５８９～図５９０などに記載あるいは説明した本発明のソースドライバ回路（ＩＣ）もしくはドライバ回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想は相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７５５】
図２０２～図２０７、図２２３～２２６、図３０６、図４３６～図４４１、図４８５～図４８６、図４８８～図４９０、図５９１～図５９４などに記載あるいは説明した本発明の検査装置と検査方法もしくは調整方法あるいは製造方法、製造装置などの技術的思想は

、相互に組み合わせることができる。また、本発明の表示パネル（表示装置）、ソースドライバ回路（ＩＣ）、駆動方法などに対して相互に適用あるいは構成もしくは形成することができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７５６】

さらに、以上に記載した、画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくはその技術的思想、ソースドライバ回路（ＩＣ）、ゲートドライバＩＣ（回路）などの駆動回路あるいはコントローラＩＣ（回路）もしくはそれらの制御回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができることはいうまでもない。また、本発明の検査装置と検査方法もしくは調整方法の技術的思想などは、本発明の表示パネルもしくは表示装置などに適用できることは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７５７】

なお、本発明の表示パネルは、表示装置を意味することがあることは言うまでもない。また、表示装置とは、撮影レンズなど他の構成物を有するものを意味する場合も含まれる。つまり、表示パネルあるいは表示装置とは、何らかの表示手段をもつ装置である。

【２７５８】

本発明の実施例で説明した表示装置あるいは駆動方法あるいは制御方法あるいは方式などの技術的思想は、ビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビ、ＦＥＤ、ＳＥＤ（キャノンと東芝が開発したディスプレイ）などに適用できる。

【２７５９】

また、ビューファインダ、携帯電話のメインモニターおよびサブモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。

【２７６０】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。

【２７６１】

また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置などにも適用できる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７６２】

さらに、本発明は、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。

【２７６３】

また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。

【２７６４】

また、スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。また、これらの技術的思想などは、一部あ

るいは全部を問わず相互に組み合わせることができる。
【２７６５】
　また、本発明は、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。
【２７６６】
　また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。もちろん、画素１６などを形成せず、白色あるいは単色のバックライトもしくはフロンとライトとして本発明の技術的思想を用いてもよいことは言うまでもない。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。
【２７６７】
　また、アクティブマトリックス表示パネルだけでなく、単純マトリックス表示パネルに本発明の技術的思想を用いてもよい。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。また、本発明の装置あるいは方法により、白色発光を実現し、液晶表示装置などのバックライトとしても用いることができる。また、これらの技術的思想などは、一部あるいは全部を問わず相互に組み合わせることができる。
【２７６８】
　なお、本発明は上記各実施形態に限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で種々な変形・変更が可能である。また、各実施形態は可能な限り適宜組み合わせて実施されてもよく、その場合組み合わせによる効果が得られる。
【産業上の利用可能性】
【２７６９】
　本発明は、たとえば、有機ＥＬ表示パネルを利用してより良好な画像表示を得ることができ、有用である。
【図面の簡単な説明】
【２７７０】
【図１】本発明の表示パネルの構成図である。
【図２】本発明の表示パネルの構成図である。
【図３】本発明の表示パネルの説明図である。
【図４】本発明の表示パネルの説明図である。
【図５】本発明の表示装置の駆動方法の説明図である。
【図６】本発明の表示パネルの説明図である。
【図７】本発明の表示パネルの説明図である。
【図８】本発明の表示パネルの説明図である。
【図９】本発明の表示パネルの説明図である。
【図１０】本発明の表示パネルの説明図である。
【図１１】本発明の表示パネルの説明図である。
【図１２】本発明の表示パネルの説明図である。
【図１３】本発明の表示パネルの説明図である。
【図１４】本発明の表示パネルの説明図である。
【図１５】本発明の表示パネルの説明図である。
【図１６】本発明の表示パネルの説明図である。
【図１７】本発明の表示パネルの説明図である。
【図１８】本発明の表示パネルの説明図である。
【図１９】本発明の表示パネルの駆動方法の説明図である。
【図２０】本発明の表示パネルの駆動方法の説明図である。

【図２１】本発明の表示パネルの駆動方法の説明図である。
【図２２】本発明の表示パネルの説明図である。
【図２３】本発明の表示パネルの駆動方法の説明図である。
【図２４】本発明の表示パネルの駆動方法の説明図である。
【図２５】本発明の表示パネルの駆動方法の説明図である。
【図２６】本発明の表示パネルの駆動方法の説明図である。
【図２７】本発明の表示パネルの駆動方法の説明図である。
【図２８】本発明の表示パネルの説明図である。
【図２９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３１】本発明の表示パネルの説明図である。
【図３２】本発明の表示パネルの説明図である。
【図３３】本発明の表示パネルの説明図である。
【図３４】本発明の表示パネルの説明図である。
【図３５】本発明の表示パネルの説明図である。
【図３６】本発明の表示パネルの説明図である。
【図３７】本発明の表示パネルの駆動方法の説明図である。
【図３８】本発明の表示パネルの駆動方法の説明図である。
【図３９】本発明の表示パネルの駆動方法の説明図である。
【図４０】本発明の表示パネルの駆動方法の説明図である。
【図４１】本発明の表示パネルの駆動方法の説明図である。
【図４２】本発明の表示パネルの駆動方法の説明図である。
【図４３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７０】本発明のソースドライバ回路（ＩＣ）の説明図である。

【図７１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図７９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図８９】本発明の表示パネルの駆動方法の説明図である。
【図９０】本発明の表示パネルの駆動方法の説明図である。
【図９１】本発明の表示パネルの駆動方法の説明図である。
【図９２】本発明の表示パネルの駆動方法の説明図である。
【図９３】本発明の表示パネルの駆動方法の説明図である。
【図９４】本発明の表示パネルの駆動方法の説明図である。
【図９５】本発明の表示パネルの駆動方法の説明図である。
【図９６】本発明の表示パネルの駆動方法の説明図である。
【図９７】本発明の表示パネルの駆動方法の説明図である。
【図９８】本発明の表示パネルの駆動方法の説明図である。
【図９９】本発明の表示パネルの駆動方法の説明図である。
【図１００】本発明の表示パネルの駆動方法の説明図である。
【図１０１】本発明の表示パネルの駆動方法の説明図である。
【図１０２】本発明の表示パネルの駆動方法の説明図である。
【図１０３】本発明の表示パネルの駆動方法の説明図である。
【図１０４】本発明の表示パネルの駆動方法の説明図である。
【図１０５】本発明の表示パネルの駆動方法の説明図である。
【図１０６】本発明の表示パネルの駆動方法の説明図である。
【図１０７】本発明の表示パネルの駆動方法の説明図である。
【図１０８】本発明の表示パネルの駆動方法の説明図である。
【図１０９】本発明の表示パネルの駆動方法の説明図である。
【図１１０】本発明の表示パネルの駆動方法の説明図である。
【図１１１】本発明の表示パネルの駆動方法の説明図である。
【図１１２】本発明の表示パネルの駆動方法の説明図である。
【図１１３】本発明の表示パネルの駆動方法の説明図である。
【図１１４】本発明の表示パネルの駆動方法の説明図である。
【図１１５】本発明の表示パネルの駆動方法の説明図である。
【図１１６】本発明の表示パネルの駆動方法の説明図である。
【図１１７】本発明の表示パネルの駆動方法の説明図である。
【図１１８】本発明の表示パネルの駆動方法の説明図である。
【図１１９】本発明の表示パネルの駆動方法の説明図である。
【図１２０】本発明の表示パネルの駆動方法の説明図である。

【図１２１】本発明の表示パネルの駆動方法の説明図である。
【図１２２】本発明の表示パネルの駆動方法の説明図である。
【図１２３】本発明の表示パネルの駆動方法の説明図である。
【図１２４】本発明の表示パネルの駆動方法の説明図である。
【図１２５】本発明の表示パネルの駆動方法の説明図である。
【図１２６】本発明の表示装置の説明図である。
【図１２７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１２８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１２９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１３９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１４９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１５０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１５１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１５２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１５３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１５４】本発明の表示装置の説明図である。
【図１５５】本発明の表示装置の説明図である。
【図１５６】本発明の表示装置の説明図である。
【図１５７】本発明の表示装置の説明図である。
【図１５８】本発明の表示装置の説明図である。
【図１５９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１６９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１７０】本発明のソースドライバ回路（ＩＣ）の説明図である。

【図１７１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１７２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１７３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１７４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１７５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１７６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１７７】本発明の表示パネルの駆動方法の説明図である。
【図１７８】本発明の表示パネルの駆動方法の説明図である。
【図１７９】本発明の表示パネルの駆動方法の説明図である。
【図１８０】本発明の表示パネルの説明図である。
【図１８１】本発明の表示パネルの説明図である。
【図１８２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１８３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１８４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１８５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１８６】本発明の表示パネルの駆動方法の説明図である。
【図１８７】本発明の表示パネルの駆動方法の説明図である。
【図１８８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１８９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１９０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１９１】本発明の表示パネルの説明図である。
【図１９２】本発明の表示パネルの駆動方法の説明図である。
【図１９３】本発明の表示パネルの説明図である。
【図１９４】本発明の表示パネルの説明図である。
【図１９５】本発明の表示パネルの説明図である。
【図１９６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１９７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１９８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図１９９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２００】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２０１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２０２】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２０３】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２０４】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２０５】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２０６】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２０７】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２０８】本発明の表示パネルの説明図である。
【図２０９】本発明の表示パネルの説明図である。
【図２１０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２１１】本発明の表示パネルの駆動方法の説明図である。
【図２１２】本発明の表示パネルの駆動方法の説明図である。
【図２１３】本発明の表示パネルの駆動方法の説明図である。
【図２１４】本発明の表示パネルの駆動方法の説明図である。
【図２１５】本発明の表示パネルの駆動方法の説明図である。
【図２１６】本発明の表示パネルの駆動方法の説明図である。
【図２１７】本発明の表示パネルの駆動方法の説明図である。
【図２１８】本発明の表示パネルの駆動方法の説明図である。
【図２１９】本発明の表示パネルの駆動方法の説明図である。
【図２２０】本発明の表示パネルの駆動方法の説明図である。

【図２２１】本発明の表示パネルの駆動方法の説明図である。
【図２２２】本発明の表示パネルの駆動方法の説明図である。
【図２２３】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２２４】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２２５】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２２６】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２２７】本発明の表示パネル（アレイ）の検査方法の説明図である。
【図２２８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２２９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２３０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２３１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２３２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２３３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２３４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２３５】本発明の表示パネルの説明図である。
【図２３６】本発明の表示パネルの駆動方法の説明図である。
【図２３７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２３８】本発明の表示パネルの駆動方法の説明図である。
【図２３９】本発明の表示パネルの駆動方法の説明図である。
【図２４０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２４９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２５０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２５１】本発明の表示パネルの説明図である。
【図２５２】本発明の表示パネルの駆動方法の説明図である。
【図２５３】本発明の表示パネルの駆動方法の説明図である。
【図２５４】本発明の表示パネルの駆動方法の説明図である。
【図２５５】本発明の表示パネルの駆動方法の説明図である。
【図２５６】本発明の表示パネルの駆動方法の説明図である。
【図２５７】本発明の表示パネルの駆動方法の説明図である。
【図２５８】本発明の表示パネルの駆動方法の説明図である。
【図２５９】本発明の表示パネルの駆動方法の説明図である。
【図２６０】本発明の表示パネルの説明図である。
【図２６１】本発明の表示パネルの説明図である。
【図２６２】本発明の表示パネルの説明図である。
【図２６３】本発明の表示パネルの説明図である。
【図２６４】本発明の表示パネルの説明図である。
【図２６５】本発明の表示パネルの説明図である。
【図２６６】本発明の表示パネルの駆動方法の説明図である。
【図２６７】本発明の表示パネルの駆動方法の説明図である。
【図２６８】本発明の表示パネルの駆動方法の説明図である。
【図２６９】本発明の表示パネルの駆動方法の説明図である。
【図２７０】本発明の表示パネルの駆動方法の説明図である。

【図２７１】本発明の表示パネルの駆動方法の説明図である。
【図２７２】本発明の表示パネルの駆動方法の説明図である。
【図２７３】本発明の表示パネルの駆動方法の説明図である。
【図２７４】本発明の表示パネルの駆動方法の説明図である。
【図２７５】本発明の表示パネルの駆動方法の説明図である。
【図２７６】本発明の表示パネルの駆動方法の説明図である。
【図２７７】本発明の表示パネルの駆動方法の説明図である。
【図２７８】本発明の表示パネルの駆動方法の説明図である。
【図２７９】本発明の表示パネルの駆動方法の説明図である。
【図２８０】本発明の表示パネルの駆動方法の説明図である。
【図２８１】本発明の表示パネルの説明図である。
【図２８２】本発明の表示パネルの説明図である。
【図２８３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２８４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２８５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２８６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２８７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２８８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２８９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図２９９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３００】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３０９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３１０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３１１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３１２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３１３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３１４】本発明の表示パネルの説明図である。
【図３１５】本発明の表示パネルの説明図である。
【図３１６】本発明の表示パネルの説明図である。
【図３１７】本発明の表示パネルの駆動方法の説明図である。
【図３１８】本発明の表示パネルの駆動方法の説明図である。
【図３１９】本発明の表示パネルの説明図である。
【図３２０】本発明の表示パネルの説明図である。

【図３２１】本発明の表示パネルの駆動方法の説明図である。
【図３２２】本発明の表示パネルの駆動方法の説明図である。
【図３２３】本発明の表示パネルの駆動方法の説明図である。
【図３２４】本発明の表示パネルの説明図である。
【図３２５】本発明の表示装置の説明図である。
【図３２６】本発明の表示装置の説明図である。
【図３２７】本発明の表示パネルの駆動方法の説明図である。
【図３２８】本発明の表示パネルの駆動方法の説明図である。
【図３２９】本発明の表示パネルの駆動方法の説明図である。
【図３３０】本発明の表示パネルの駆動方法の説明図である。
【図３３１】本発明の表示パネルの駆動方法の説明図である。
【図３３２】本発明の表示パネルの駆動方法の説明図である。
【図３３３】本発明の表示パネルの駆動方法の説明図である。
【図３３４】本発明の表示パネルの駆動方法の説明図である。
【図３３５】本発明の表示パネルの駆動方法の説明図である。
【図３３６】本発明の表示パネルの駆動方法の説明図である。
【図３３７】本発明の表示パネルの駆動方法の説明図である。
【図３３８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３３９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３４９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３５０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３５１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３５２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３５３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３５４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３５５】本発明の表示装置の説明図である。
【図３５６】本発明の表示装置の説明図である。
【図３５７】本発明の表示装置の説明図である。
【図３５８】本発明の表示装置の説明図である。
【図３５９】本発明の表示装置の説明図である。
【図３６０】本発明の表示装置の説明図である。
【図３６１】本発明の表示装置の説明図である。
【図３６２】本発明の表示装置の説明図である。
【図３６３】本発明の表示装置の説明図である。
【図３６４】本発明の表示装置の説明図である。
【図３６５】本発明の表示装置の説明図である。
【図３６６】本発明の表示装置の説明図である。
【図３６７】本発明の表示装置の説明図である。
【図３６８】本発明の表示装置の説明図である。
【図３６９】本発明の表示装置の説明図である。
【図３７０】本発明の表示装置の説明図である。

【図３７１】本発明の表示装置の説明図である。
【図３７２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３７３】本発明の表示装置の説明図である。
【図３７４】本発明の表示装置の説明図である。
【図３７５】本発明の表示装置の駆動方法の説明図である。
【図３７６】本発明の表示装置の駆動方法の説明図である。
【図３７７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３７８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３７９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３８０】本発明の表示装置の駆動方法の説明図である。
【図３８１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３８２】本発明の表示装置の駆動方法の説明図である。
【図３８３】本発明の表示装置の駆動方法の説明図である。
【図３８４】本発明の表示装置の駆動方法の説明図である。
【図３８５】本発明の表示装置の駆動方法の説明図である。
【図３８６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３８７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３８８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３８９】本発明の表示装置の駆動方法の説明図である。
【図３９０】本発明の表示装置の駆動方法の説明図である。
【図３９１】本発明の表示装置の駆動方法の説明図である。
【図３９２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３９３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３９４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３９５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３９６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３９７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３９８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図３９９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４００】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４０９】本発明の表示装置の駆動方法の説明図である。
【図４１０】本発明の表示装置の駆動方法の説明図である。
【図４１１】本発明の表示装置の駆動方法の説明図である。
【図４１２】本発明の表示装置の駆動方法の説明図である。
【図４１３】本発明の表示装置の駆動方法の説明図である。
【図４１４】本発明の表示装置の駆動方法の説明図である。
【図４１５】本発明の表示装置の駆動方法の説明図である。
【図４１６】本発明の表示装置の駆動方法の説明図である。
【図４１７】本発明の表示装置の駆動方法の説明図である。
【図４１８】本発明の表示装置の駆動方法の説明図である。
【図４１９】本発明の表示装置の駆動方法の説明図である。
【図４２０】本発明の表示装置の駆動方法の説明図である。

【図４２１】本発明の表示装置の駆動方法の説明図である。
【図４２２】本発明の表示装置の駆動方法の説明図である。
【図４２３】本発明の表示装置の説明図である。
【図４２４】本発明の表示装置の説明図である。
【図４２５】本発明の表示装置の説明図である。
【図４２６】本発明の表示装置の説明図である。
【図４２７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４２８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４２９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４３０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４３１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４３２】本発明の表示装置の駆動方法の説明図である。
【図４３３】本発明の表示装置の駆動方法の説明図である。
【図４３４】本発明の表示装置の駆動方法の説明図である。
【図４３５】本発明の表示装置の駆動方法の説明図である。
【図４３６】本発明の検査方法の説明図である。
【図４３７】本発明の検査方法の説明図である。
【図４３８】本発明の検査方法の説明図である。
【図４３９】本発明の検査方法の説明図である。
【図４４０】本発明の検査方法の説明図である。
【図４４１】本発明の検査方法の説明図である。
【図４４２】本発明の表示装置の駆動方法の説明図である。
【図４４３】本発明の表示装置の駆動方法の説明図である。
【図４４４】本発明の表示装置の説明図である。
【図４４５】本発明の表示装置の説明図である。
【図４４６】本発明の表示装置の説明図である。
【図４４７】本発明の表示装置の説明図である。
【図４４８】本発明の表示装置の説明図である。
【図４４９】本発明の表示装置の説明図である。
【図４５０】本発明の表示装置の説明図である。
【図４５１】本発明の表示装置の説明図である。
【図４５２】本発明の表示装置の説明図である。
【図４５３】本発明の表示装置の説明図である。
【図４５４】本発明の表示装置の説明図である。
【図４５５】本発明の表示装置の駆動方法の説明図である。
【図４５６】本発明の表示装置の駆動方法の説明図である。
【図４５７】本発明の表示装置の駆動方法の説明図である。
【図４５８】本発明の表示装置の駆動方法の説明図である。
【図４５９】本発明の表示装置の駆動方法の説明図である。
【図４６０】本発明の表示装置の駆動方法の説明図である。
【図４６１】本発明の表示装置の駆動方法の説明図である。
【図４６２】本発明の表示装置の駆動方法の説明図である。
【図４６３】本発明の表示装置の駆動方法の説明図である。
【図４６４】本発明の表示装置の駆動方法の説明図である。
【図４６５】本発明の表示装置の駆動方法の説明図である。
【図４６６】本発明の表示装置の駆動方法の説明図である。
【図４６７】本発明の表示装置の説明図である。
【図４６８】本発明の表示装置の説明図である。
【図４６９】本発明の表示装置の駆動方法の説明図である。
【図４７０】本発明のソースドライバ回路（ＩＣ）の説明図である。

【図４７１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４７２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４７３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４７４】本発明の表示装置の駆動方法の説明図である。
【図４７５】本発明の表示装置の駆動方法の説明図である。
【図４７６】本発明の表示装置の駆動方法の説明図である。
【図４７７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４７８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４７９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４８０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４８１】本発明の表示装置の駆動方法の説明図である。
【図４８２】本発明の表示装置の駆動方法の説明図である。
【図４８３】本発明の表示装置の駆動方法の説明図である。
【図４８４】本発明の表示装置の駆動方法の説明図である。
【図４８５】本発明の表示装置（表示パネル）の検査方法の説明図である。
【図４８６】本発明の表示装置（表示パネル）の検査方法の説明図である。
【図４８７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４８８】本発明の表示装置（表示パネル）の検査方法の説明図である。
【図４８９】本発明の表示装置（表示パネル）の検査方法の説明図である。
【図４９０】本発明の表示装置（表示パネル）の検査方法の説明図である。
【図４９１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図４９９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５００】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５０１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５０２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５０３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５０４】本発明の表示装置の説明図である。
【図５０５】本発明の表示装置の説明図である。
【図５０６】本発明の表示装置の説明図である。
【図５０７】本発明の表示装置の説明図である。
【図５０８】本発明の表示装置の説明図である。
【図５０９】本発明の表示装置の説明図である。
【図５１０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５１１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５１２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５１３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５１４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５１５】本発明の表示装置の駆動方法の説明図である。
【図５１６】本発明の表示装置の駆動方法の説明図である。
【図５１７】本発明の表示装置の駆動方法の説明図である。
【図５１８】本発明の表示装置の駆動方法の説明図である。
【図５１９】本発明の表示装置の説明図である。
【図５２０】本発明の表示装置の説明図である。

【図５２１】本発明の表示装置の説明図である。
【図５２２】本発明の表示装置の説明図である。
【図５２３】本発明の表示装置の説明図である。
【図５２４】本発明の表示装置の説明図である。
【図５２５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５２６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５２７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５２８】本発明の表示装置の説明図である。
【図５２９】本発明の表示装置の説明図である。
【図５３０】本発明の表示装置の説明図である。
【図５３１】本発明の表示装置の説明図である。
【図５３２】本発明の表示装置の駆動方法の説明図である。
【図５３３】本発明の表示装置の説明図である。
【図５３４】本発明の表示装置の駆動方法の説明図である。
【図５３５】本発明の表示装置の駆動方法の説明図である。
【図５３６】本発明の表示装置の駆動方法の説明図である。
【図５３７】本発明の表示装置の駆動方法の説明図である。
【図５３８】本発明の表示装置の駆動方法の説明図である。
【図５３９】本発明の表示装置の電源回路の説明図である。
【図５４０】本発明の表示装置の電源回路の説明図である。
【図５４１】本発明の表示装置の電源回路の説明図である。
【図５４２】本発明の表示装置の電源回路の説明図である。
【図５４３】本発明の表示装置の電源回路の説明図である。
【図５４４】本発明の表示装置の電源回路の説明図である。
【図５４５】本発明の表示装置の電源回路の説明図である。
【図５４６】本発明の表示装置の電源回路の説明図である。
【図５４７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５４８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５４９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５５９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５６０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５６１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５６２】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５６３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５６４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５６５】本発明の表示装置の駆動方法の説明図である。
【図５６６】本発明の表示装置の駆動方法の説明図である。
【図５６７】本発明の表示装置の駆動方法の説明図である。
【図５６８】本発明の表示装置の駆動方法の説明図である。
【図５６９】本発明の表示装置の駆動方法の説明図である。
【図５７０】本発明の表示装置の駆動方法の説明図である。

【図５７１】本発明の表示装置の駆動方法の説明図である。
【図５７２】本発明の表示装置の説明図である。
【図５７３】本発明の表示装置の説明図である。
【図５７４】本発明の表示パネルの説明図である。
【図５７５】本発明の表示パネルの説明図である。
【図５７６】本発明の表示パネルの説明図である。
【図５７７】本発明の表示パネルの説明図である。
【図５７８】本発明の表示パネルの説明図である。
【図５７９】本発明の表示パネルの説明図である。
【図５８０】本発明の表示パネルの説明図である。
【図５８１】本発明の表示パネルの説明図である。
【図５８２】本発明の表示装置の説明図である。
【図５８３】本発明の表示装置の説明図である。
【図５８４】本発明の表示装置の説明図である。
【図５８５】本発明の表示装置の説明図である。
【図５８６】本発明の表示装置の説明図である。
【図５８７】本発明の表示装置の説明図である。
【図５８８】本発明の表示装置の説明図である。
【図５８９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５９０】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図５９１】本発明の表示パネルの製造方法の説明図である。
【図５９２】本発明の表示パネルの製造方法の説明図である。
【図５９３】本発明の表示パネルの製造方法の説明図である。
【図５９４】本発明の表示パネルの製造方法の説明図である。
【図５９５】本発明の表示パネルの説明図である。
【図５９６】本発明の表示パネルの説明図である。
【図５９７】本発明の表示パネルの説明図である。
【図５９８】本発明の表示パネルの説明図である。
【図５９９】本発明の表示パネルの説明図である。
【図６００】本発明の表示パネルの説明図である。
【図６０１】本発明の表示装置の説明図である。
【図６０２】本発明の表示装置の説明図である。
【図６０３】本発明の表示装置の説明図である。
【図６０４】本発明の表示装置の説明図である。
【図６０５】本発明の表示装置の説明図である。
【図６０６】本発明の表示装置の説明図である。
【図６０７】本発明の表示パネルの説明図である。
【図６０８】本発明の表示装置の駆動方法の説明図である。
【図６０９】本発明の表示装置の駆動方法の説明図である。
【図６１０】本発明の表示装置の駆動方法の説明図である。
【図６１１】本発明の表示装置の駆動方法の説明図である。
【図６１２】本発明の表示装置の駆動方法の説明図である。
【図６１３】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６１４】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６１５】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６１６】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６１７】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６１８】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６１９】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６２０】本発明のソースドライバ回路（ＩＣ）の説明図である。

【図６２１】本発明のソースドライバ回路（ＩＣ）の説明図である。
【図６２２】本発明の表示パネルの説明図である。
【図６２３】本発明の表示パネルの説明図である。
【図６２４】本発明の表示装置の駆動方法の説明図である。
【図６２５】本発明の表示装置の駆動方法の説明図である。
【図６２６】本発明の表示装置の駆動方法の説明図である。
【図６２７】本発明の表示装置の駆動方法の説明図である。
【図６２８】本発明の表示装置の駆動方法の説明図である。
【図６２９】本発明の表示装置の駆動方法の説明図である。
【図６３０】本発明の表示装置の駆動方法の説明図である。
【図６３１】本発明の表示装置の駆動方法の説明図である。
【図６３２】本発明の表示装置の駆動方法の説明図である。
【図６３３】本発明の表示装置の駆動方法の説明図である。
【図６３４】本発明の表示装置の駆動方法の説明図である。
【図６３５】本発明の表示装置の駆動方法の説明図である。
【図６３６】本発明の表示装置の駆動方法の説明図である。
【符号の説明】
【２７７１】
１１　トランジスタ（ＴＦＴ、薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバ回路（ＩＣ）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
２９　ＥＬ膜
３０　アレイ基板
３１　土手（リブ）
３２　層間絶縁膜
３４　コンタクト
３５　画素電極
３６　カソード電極
３７　乾燥剤
３８　λ／４板（λ／４フィルム、位相板、位相フィルム）
３９　偏光板
４０　封止フタ
４１　薄膜封止膜
７１　切り換え回路（アナログスイッチ）
１４１　シフトレジスタ
１４２　インバータ
１４３　出力バッファ
１４４　表示領域（表示画面）
１５０　内部配線（出力配線）
１５１　スイッチ（オンオフ手段）
１５３　ゲート配線
１５４　電流源（単位トランジスタ）
１５７、１５８　トランジスタ
１６１　一致回路
１６２　カウンタ

１６３　ＡＮＤ
１６４　電流出力回路
１７１　保護ダイオード
１７２　サージ低減抵抗
１９１　書き込み画素行
１９２　非表示（非点灯）領域
１９３　表示（点灯）領域４３１　トランジスタ群
５０１　電子ボリウム（電圧可変手段）
５０２　オペアンプ
６０１　基準電流回路
６４１　ラダー抵抗
６４２　スイッチ回路
６４３　電圧入出力回路
６６１　ＤＡ変換回路
７６０　コントロール回路（ＩＣ）（制御手段）
７６１　プリチャージ制御回路
７６４　ガンマ変換回路
７６５　フレームレートコントロール（ＦＲＣ）回路
７７１　ラッチ回路（保持回路、保持手段、データ格納回路）
７７２　セレクタ回路（選択手段、切り換え手段）
７７３　プリチャージ回路
８１１　差動回路
８２１　シリアルーパラレル変換回路（コントロールＩＣ）
８３１　コントロールＩＣ（回路）（制御手段）
８４２　嵩上げ回路
８５１　スイッチ回路（切り換え手段）
８５２　デコーダ回路
８５３　ＡＩ処理回路（ピーク電流抑制、ダイナミックレンジ拡大処理など）
８５４　動画検出処理（ＩＤ処理）
８５６　カラーマネージメント処理回路（色補償／補正、色温度補正回路）
８５９　演算回路（ＭＰＵ、ＣＰＵ）
８６１　可変増幅器
８６７　サンプリング回路（データ保持回路、信号ラッチ回路）
８８１、８８２　乗算器
８８３　加算器
８８４　総和回路（ＳＵＭ回路、データ処理回路、総電流演算回路）
１１９１　ＤＣＤＣコンバータ（電圧値変換回路、ＤＣ電源回路）
１１９３　レギュレータ
１２６１　アンテナ
１２６２　キー
１２６３　筐体
１２６４　表示パネル
１２７１　電圧階調回路（プログラム電圧発生回路）
１３１１　デコーダ
１４３１　加算回路
１５４１　接眼リング
１５４２　拡大レンズ（正レンズ）
１５４３　凸レンズ（正レンズ）
１５５１　支点（回転部）
１５５２　撮影レンズ（撮影手段）

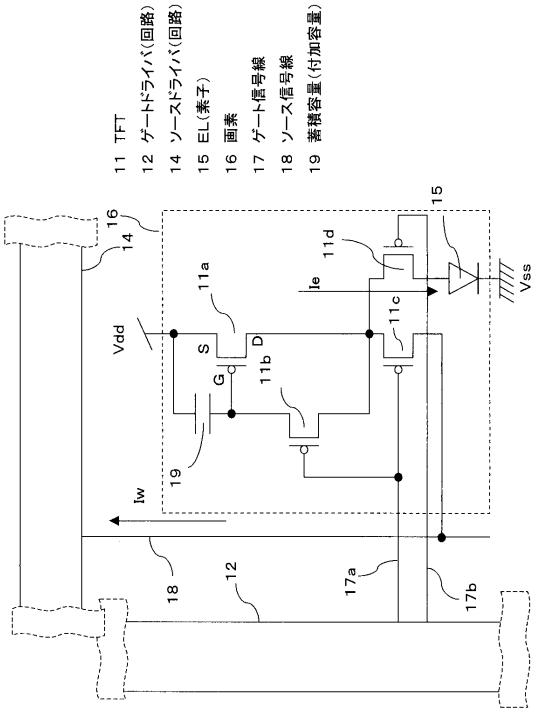
１５５３　格納部
１５５４　スイッチ
１５６１　本体
１５６２　撮影部
１５６３　シャッタスイッチ
１５７１　取り付け枠１５７２　脚
１５７３　取り付け台
１５７４　固定部
１５８１　制御電極
１５８２　映像信号回路
１５８３　電子放出突起
１５８４　保持回路
１５８５　オンオフ制御回路
１６２１　トリミング装置（トリミング手段、調整手段）
１６２２　レーザー光
１６２３　抵抗（調整部）
１６８１　補正（調整）トランジスタ
１６９１　ソース端子
１６９２　ゲート端子
１６９３　ドレイン端子
１６９４　トランジスタ
１７３１　選択スイッチ（選択手段）
１７３２　共通線
１７３３　電流計（電流測定手段）
１７３４　端子電極
１８０１　コネクタ端子（接続端子）
１８０２　フレキ基板
１８１１　カソード配線
１８１２　カソード接続位置
１８１３　ゲートドライバ信号
１８１４　ソースドライバ信号
１８１５　アノード配線
１８８１　電流保持回路
１８８２　階調電流配線
１８８３　出力制御端子
１９０１　差動信号
１９０２　信号配線
１９１２　電源モジュール
１９１３　コイル（トランス回路、昇圧回路）
１９１４　接続端子
２０３１　アノード端子配線
２０３２　ショートチップ（ショート手段）
２０３３　チップ端子
２０３４　ソース信号線端子
２０４１　ショート液（ショートゲル、ショート樹脂）
２０８１　カスケード配線
２１９１　スイッチ（オンオフ手段）
２２３１　オンオフ制御手段
２２３２　検査スイッチ
２２５１　保護ダイオード

２２５２　電圧配線
２２６１　電圧源（検査信号発生手段、検査信号発生部）
２２８０　出力回路（出力段、電流出力回路、電流保持回路）
２２８１　トランジスタ
２２８２　ゲート信号線２２８３　電流信号線
２２８４　ゲート信号線
２２８９　コンデンサ
２３０１　リセット回路
２３１１　スイッチトランジスタ
２２８５　ゲート信号線
２３０１　Ｉ－Ｖ変換回路
２５０１　トリミング調整部
２５１１　封止樹脂
２５１２　スピーカ
２５１３　封止膜
２６１１　レギュレータ
２６１２　チャージポンプ
２６２１　スイッチング回路（交流化回路）
２６２２　トランス
２６２３　平滑化回路
２７４１　ダミー画素行
２８３１　反転出力発生回路
２８４１　ＦＦ（フリップフロップ回路、遅延回路）
２８５１　タイミング発生回路
２８５２　配線
２８７１　補正データ演算回路
２８７２　電流測定回路
２８７３　プローブ
２８７４　補正回路（データ変換回路）
２８８１　ゲート用配線パッド
２８８２　ゲート用配線パッド
２８８３　入力信号線パッド
２８８４　出力信号線パッド
２８８５　配線
２９０１　入力信号線
２９０２　端子電極
２９０３　アノード配線
２９０４　金バンプ
２９１１　フレキシブル基板
２９２１　差動－パラレル信号変換回路
２９４１　電圧セレクタ回路
２９５１　セレクタ回路
３０３１　フラッシュメモリ
３０５１　輝度計
３０５２　演算器
３０５３　制御回路
３１４１　遮光膜
３２７１　バッテリー（電池、電力供給手段）
３２７２　電源モジュール（電圧発生手段）
３４５１　加算回路

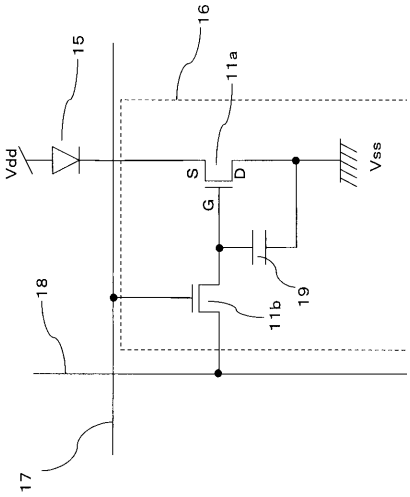
３６１１　ＰＬＬ回路
３６８１　差動信号－パラレル信号変換回路
３７５１　コンデンサ信号線
３７５２　コンデンサドライバ回路（ＩＣ）３８６１　過電流（プリチャージ電流もしくはディスチャージ電流）トランジスタ
３８８１　比較回路（データ比較手段、演算手段、制御手段）
４０１１　ゲート配線
４３７１　電流計（電流検出手段、電流測定手段）
４４１１　検査ドライバ（検査制御手段、ソース信号線選択手段）
４４４１　温度センサ（温度変化検出手段、温度測定手段、温度検査手段）
４４９１　選択ドライバ回路
４６８１　比較回路（比較手段）
４６８２　カウンタ回路
４７１１　一致回路
４７１２　カウンタ回路
４８８１　ガラス基板
４８９１　信号配線
５１１１　電流出力段（プログラム電流出力回路）
５１１２　プリチャージ期間判定部
５１３１　プリチャージパルス生成部
５１３２　分周回路（クロック周波数変換回路、タイミング変更回路）
５１３３　パルス生成部（プリチャージパルス発生回路、タイミング回路）
５１３４　デコーダ
５１３５　セレクタ
５１９１　コンデンサ電極
５１９２　加算回路
５１９３　ＡＤ変換回路（アナログ－デジタル変換手段）
５２０１　ダミー画素（電位検出手段、電圧検出回路）
５２８１　コンパレータ（信号レベル判定手段）
５２９１　駆動回路（制御回路、信号処理回路）
５３０１　処理回路（信号処理回路）
５３１１　モード変換回路（ＩＣ）（信号レベル変換回路）
５３９１　コイル（トランス）
５３９２　制御回路
５３９３　ダイオード（整流手段）
５３９４　コンデンサ（平滑手段）
５３９５　抵抗
５３９６　トランジスタ
５４０１　可変抵抗
５４１１　スイッチ
５４１３　電源回路
５４５１　スイッチ
５４７１　サブトランジスタ
５６０２　（アナログ）スイッチ（切り換え手段）
５６１１　選択単位トランジスタ
５７２１　ホトセンサ
５７２２　デコーダ（バーコード解読器）
５７２３　ＥＬ表示パネル（自発光表示パネル（装置））
５８６１　色フィルタ（色改善手段、波長狭帯域手段）
５８７１　画素アノード配線

５８８１　金属薄膜（導電材料）
５８９１　ウエハ
５８９２　特性分布
５９１１　ドーピングヘッド５９１２　レーザーヘッド
６０２１　アノード配線
６１６１　隔離柱（隔離壁（リング））
６１６２　封止樹脂（封止手段）
６１６３　空間
６２０１　切断点

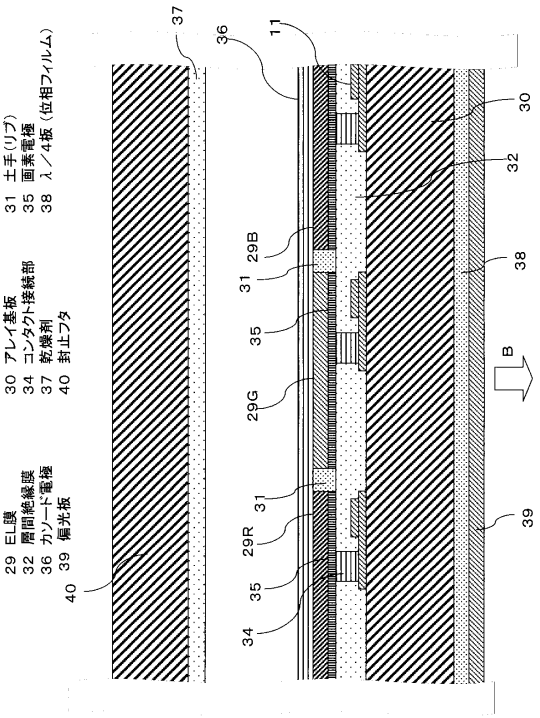
【図１】



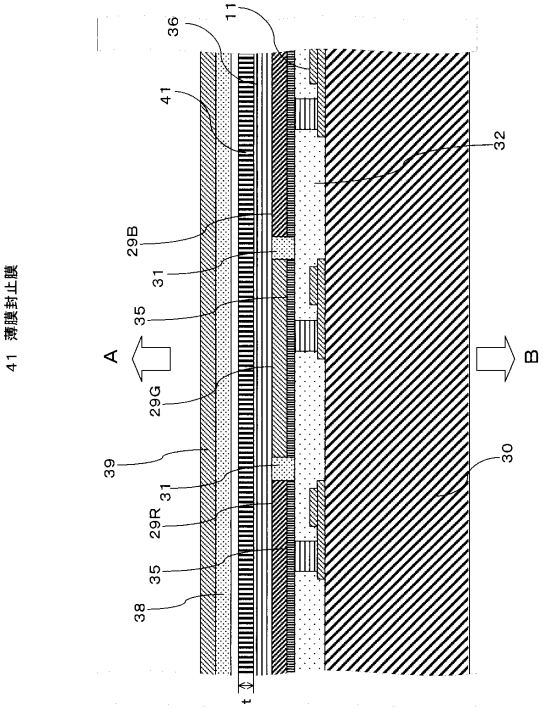
【図２】



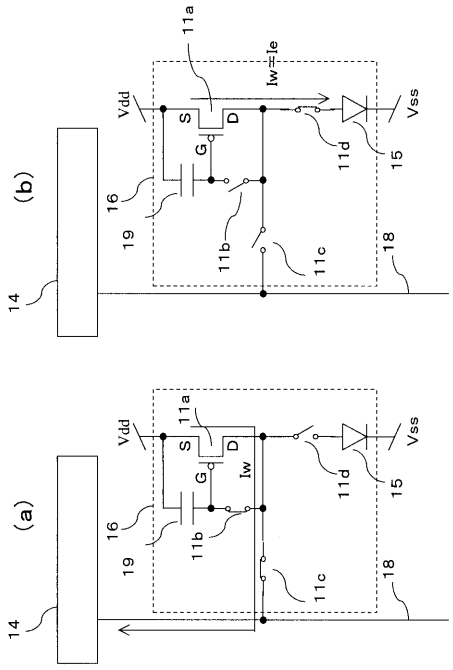
【図３】


29 EL膜
32 層間絶縁膜
36 カソード電極
39 偏光板
30 アレイ基板
34 コンタクト接続部
37 乾燥剤
40 封止ブタ
31 土手(リブ)
35 画素電極
38 λ／4板（位相フィルム）
A
B

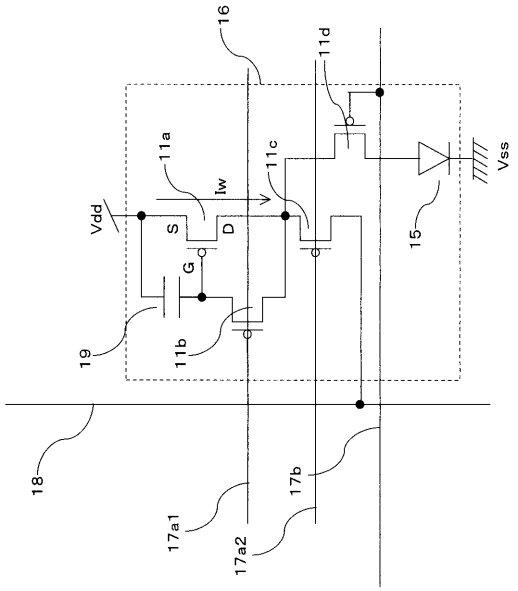
【図４】


41 薄膜封止膜
A
B
t

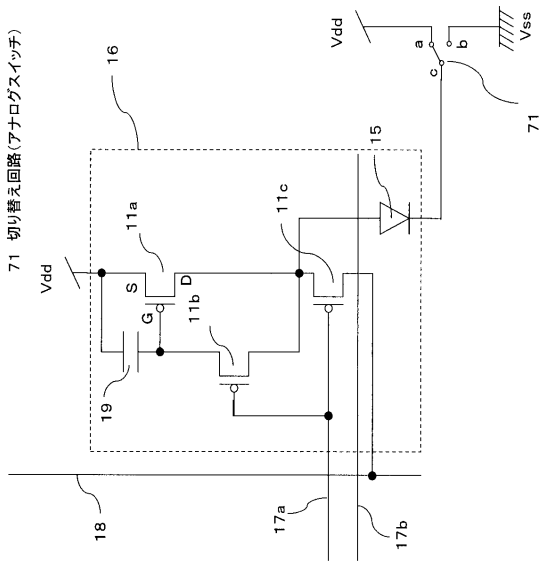
【図５】


(a)
(b)
Vdd
Vss
Iw=Ie
Iw
S
D
G

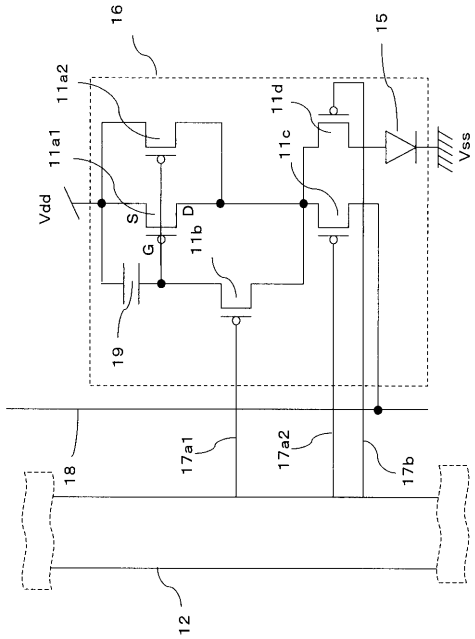
【図６】


Vdd
Vss
Iw
S
D
G

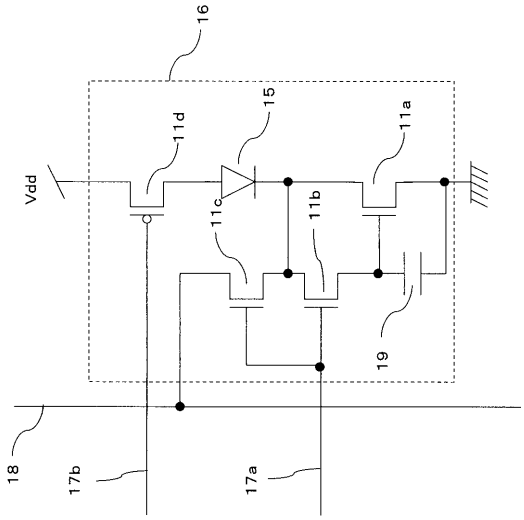
【図７】


71 切り替え回路（アナログスイッチ）
Vdd
Vss
a
b
c
71
16
15
11a
11c
11b
S
G
D
19
18
17a
17b

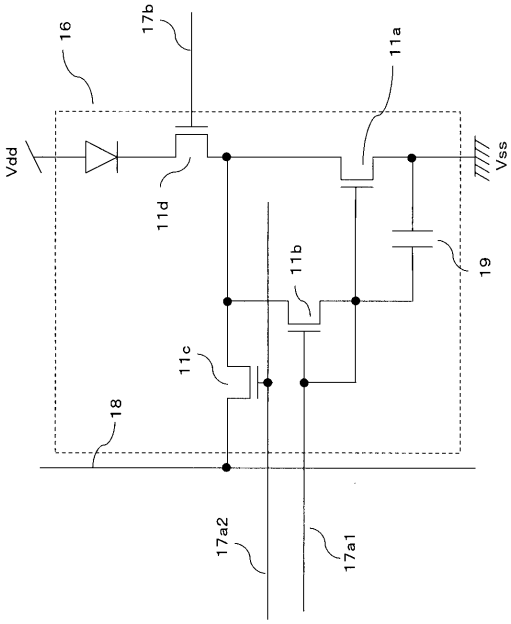
【図８】


16
15
11a2
11a1
11d
11c
Vdd
Vss
S
G
D
11b
19
18
17a1
17a2
17b
12

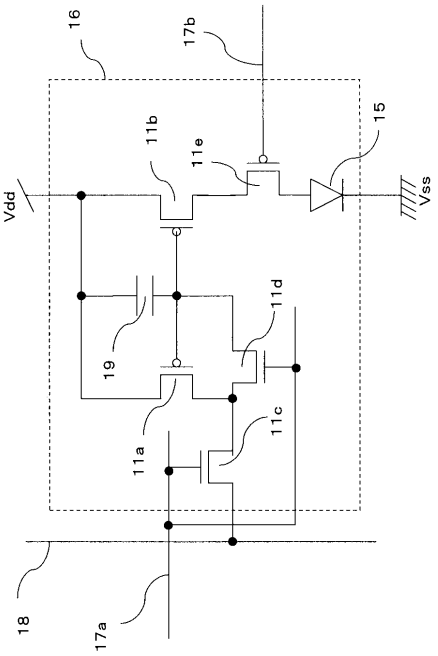
【図９】


16
15
11d
11a
Vdd
11c
11b
19
18
17b
17a

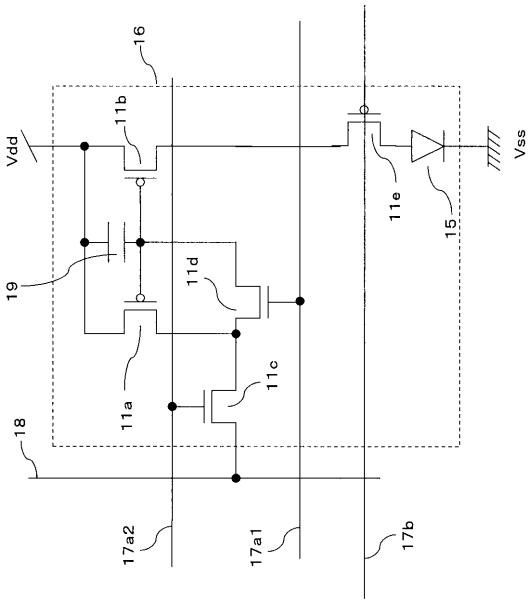
【図１０】


16
17b
11a
Vdd
Vss
11d
19
11b
11c
18
17a2
17a1

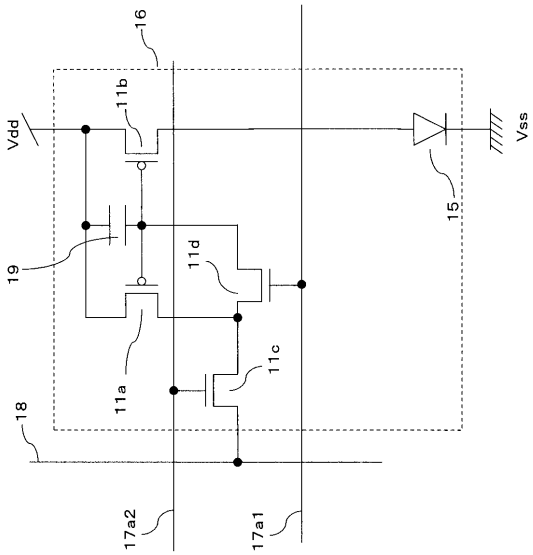
【図１１】



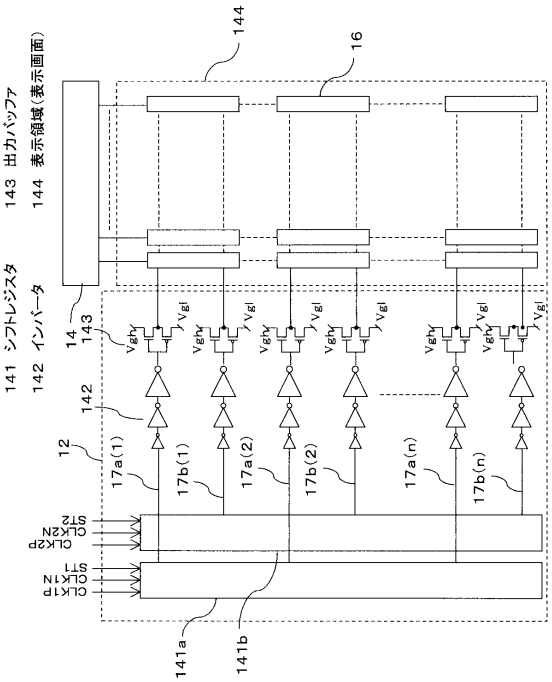
【図１２】



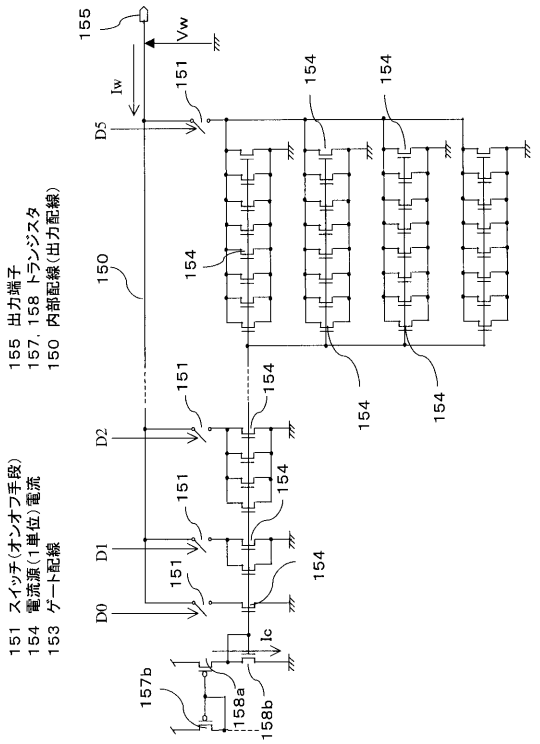
【図１３】



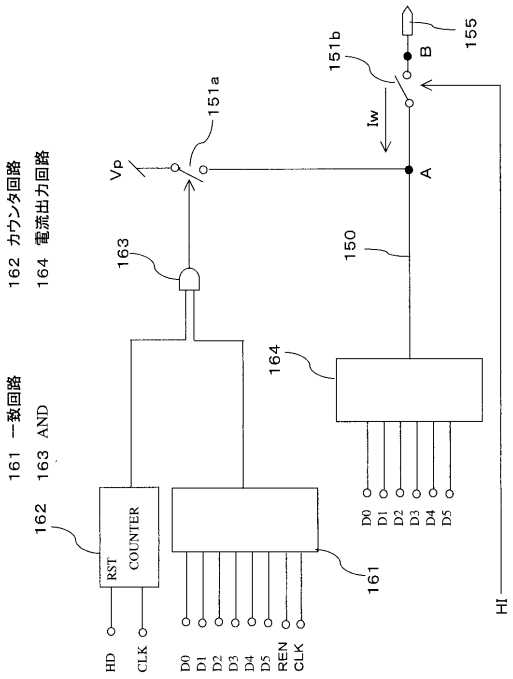
【図１４】



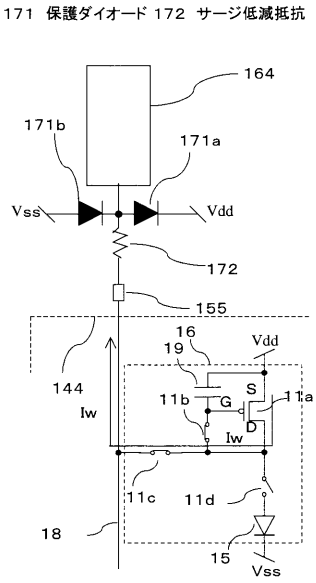
【図１５】



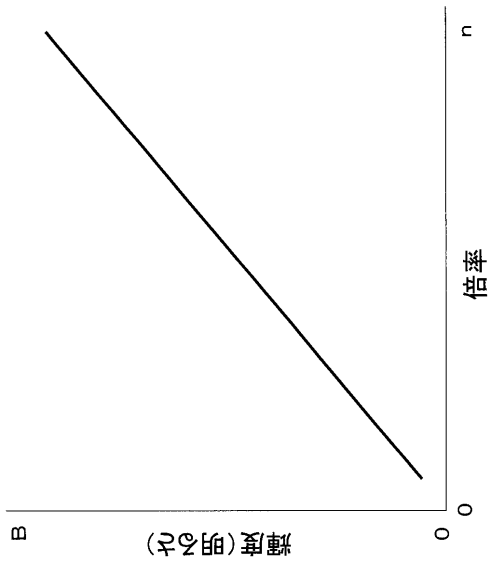
【図１６】



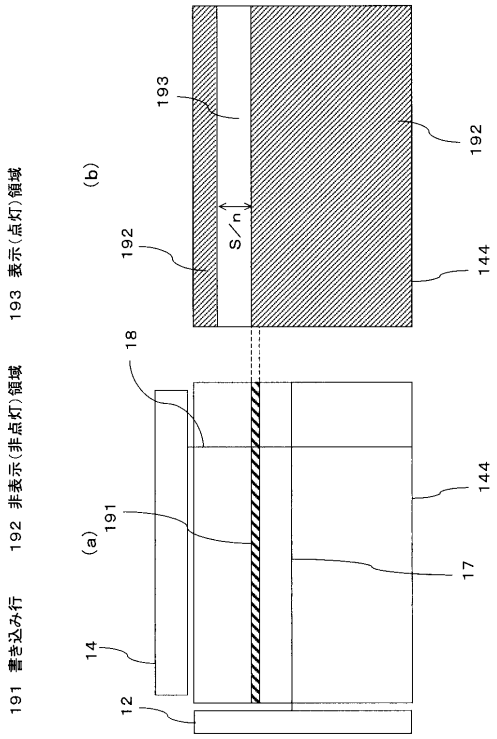
【図１７】



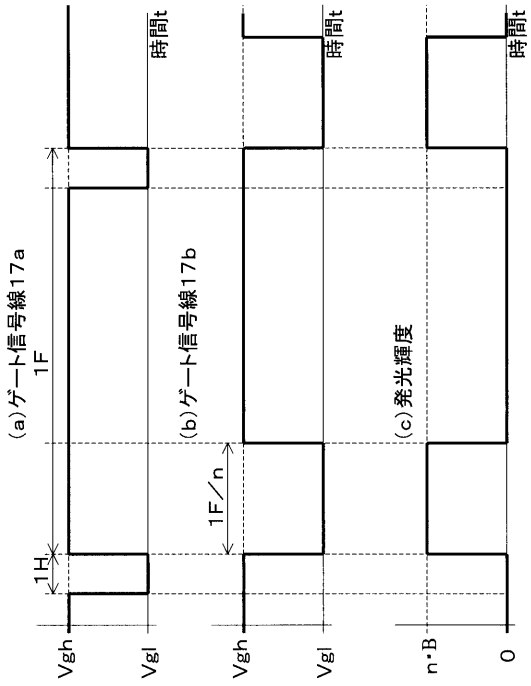
【図１８】



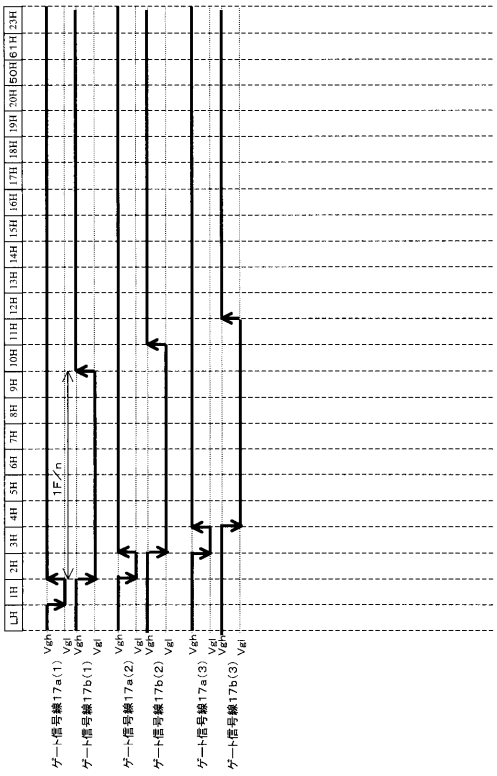
【図１９】



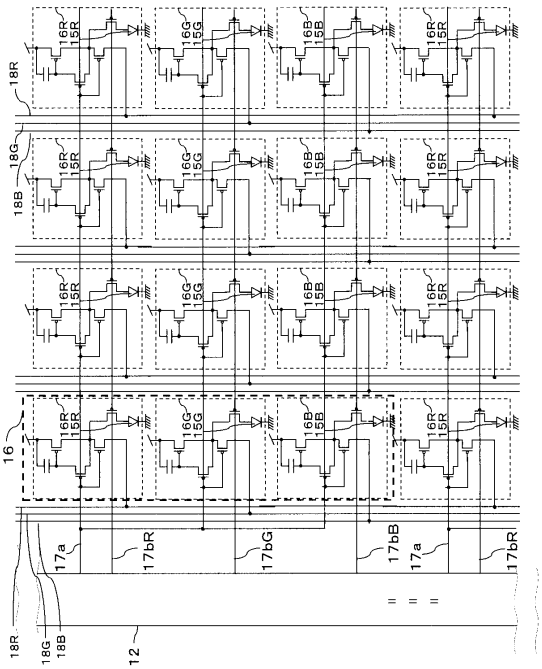
【図２０】



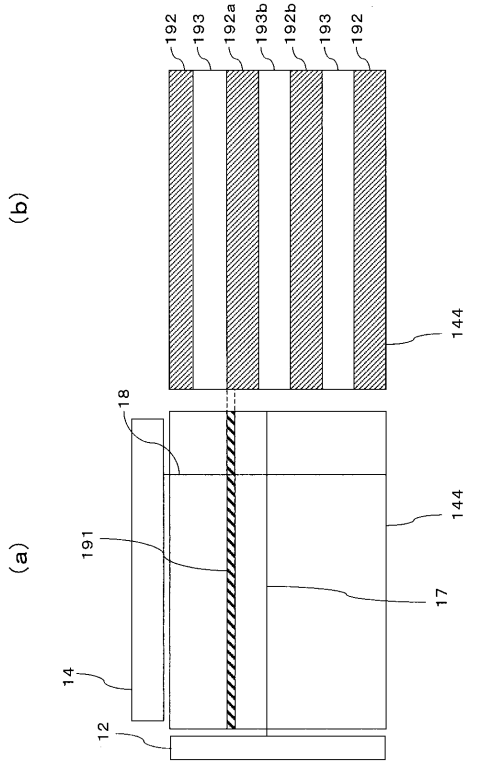
【図２１】



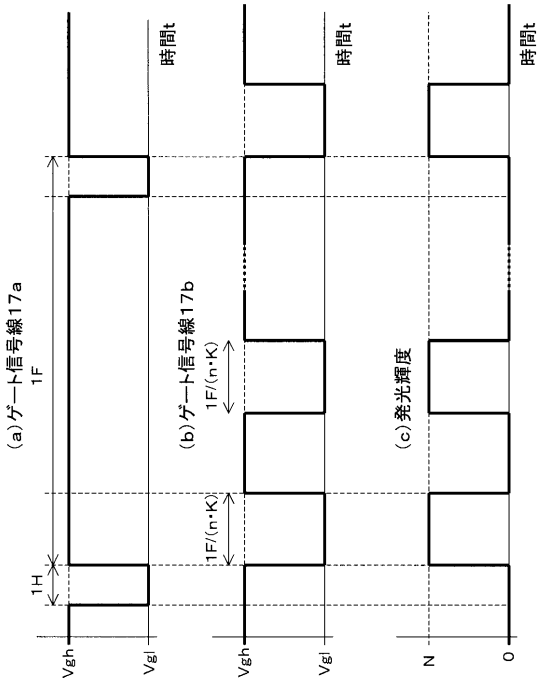
【図２２】



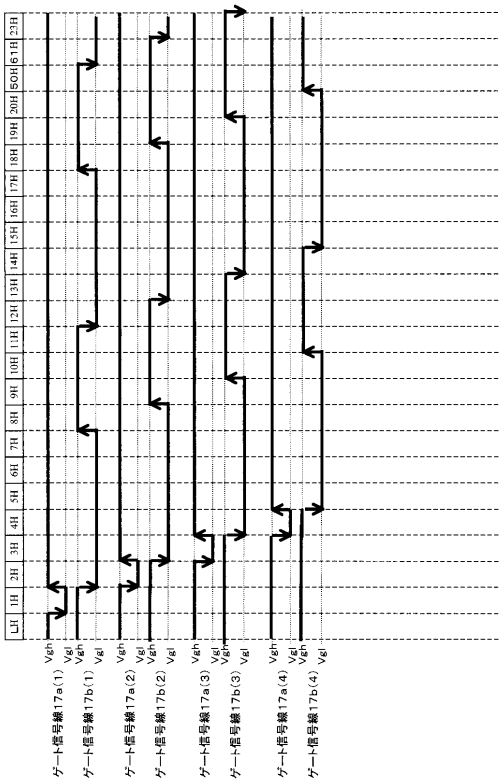
【図２３】



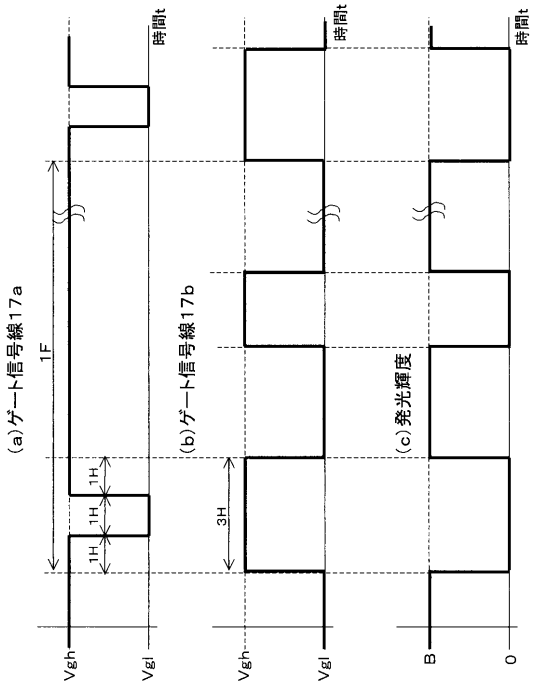
【図２４】



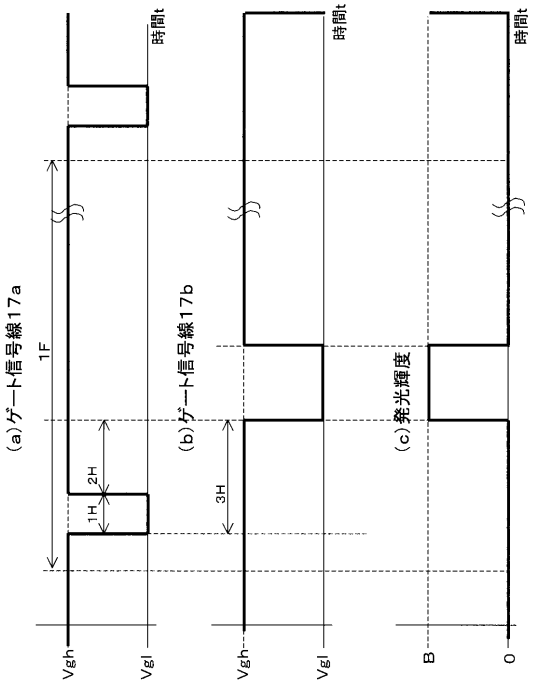
【図２５】



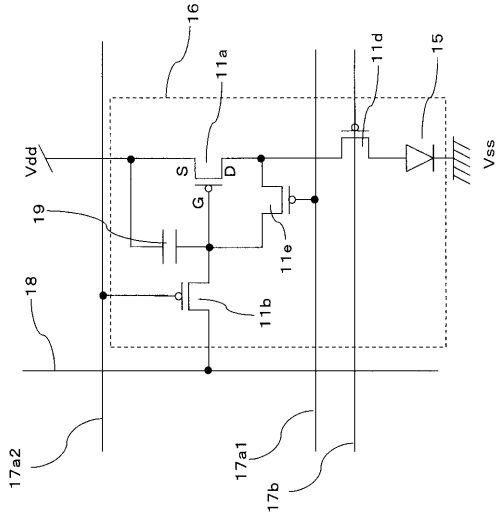
【図２６】



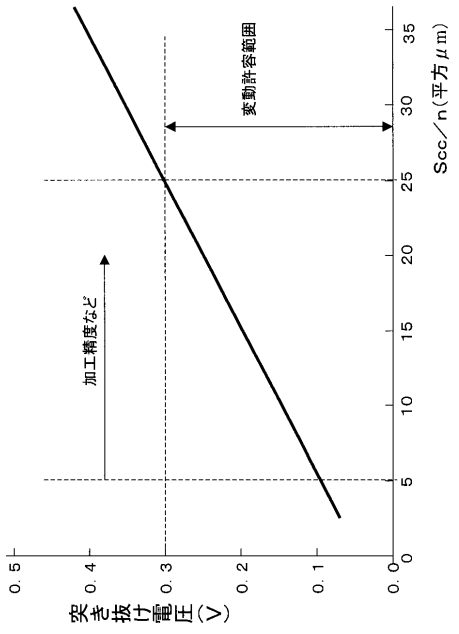
【図２７】



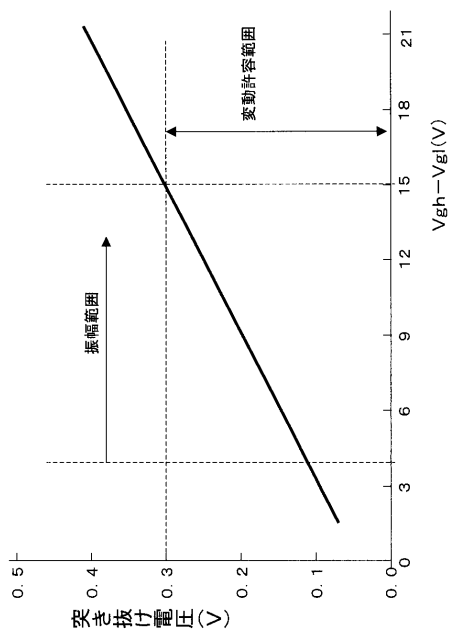
【図２８】



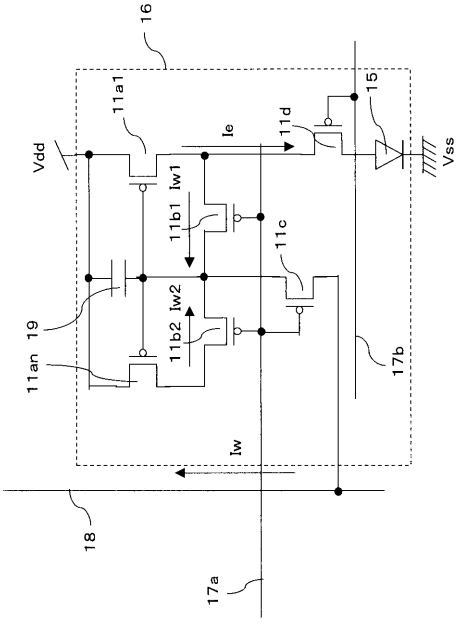
【図２９】



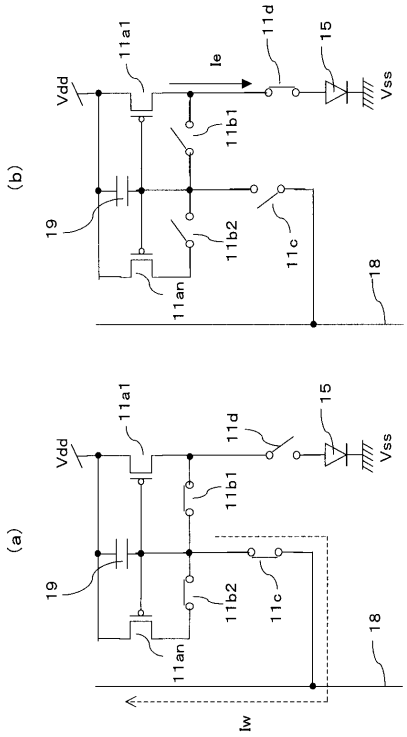
【図３０】



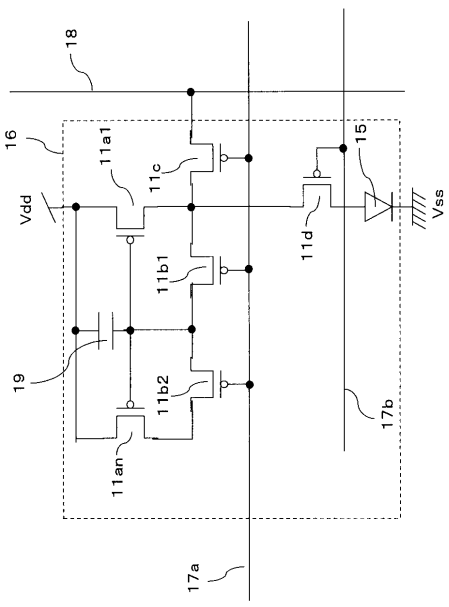
【図３１】



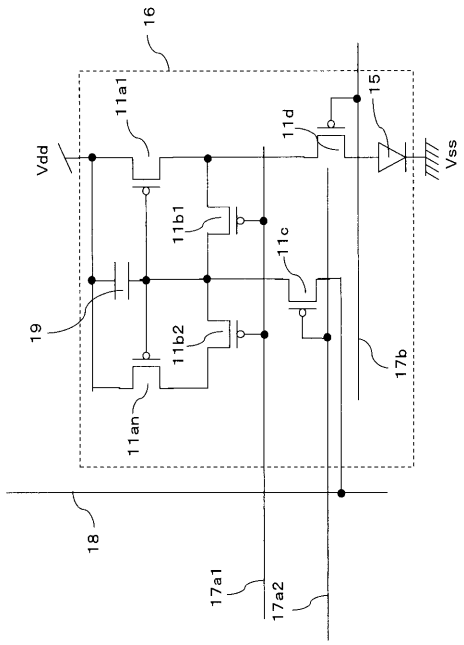
【図３２】



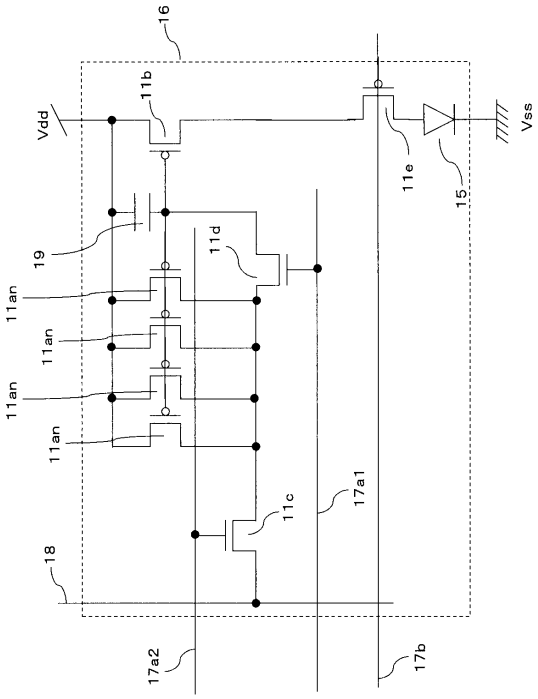
【図３３】



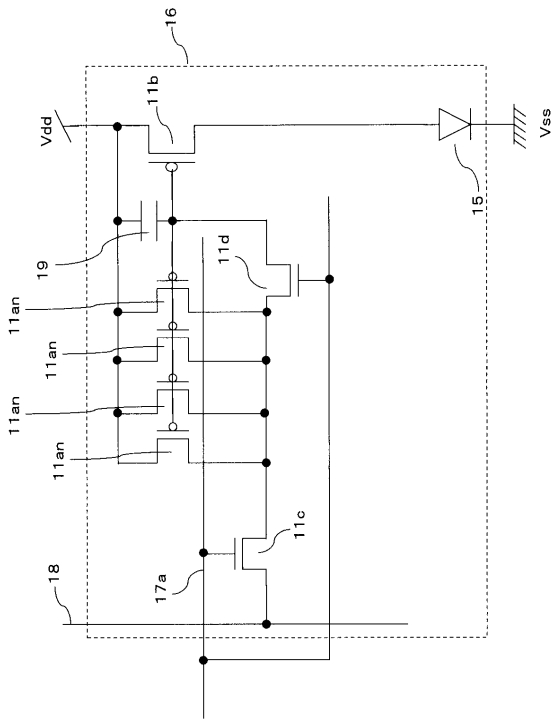
【図３４】



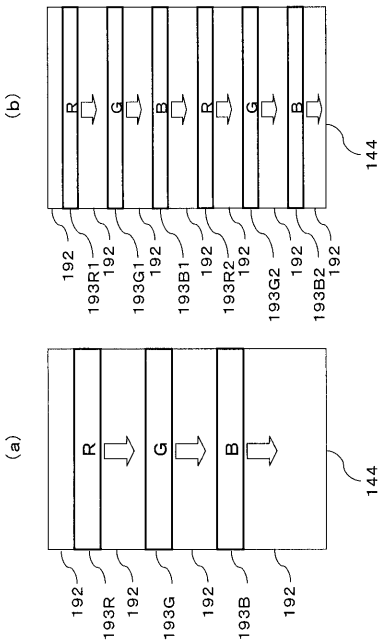
【図３５】



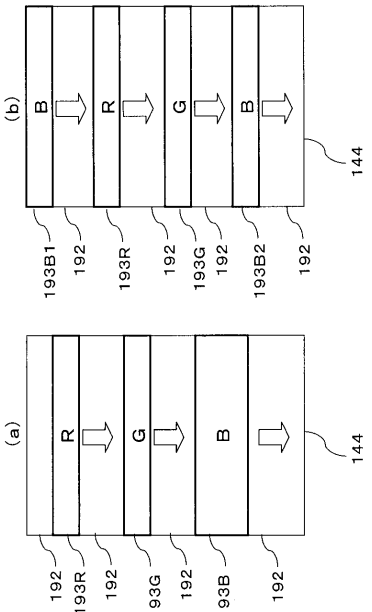
【図３６】



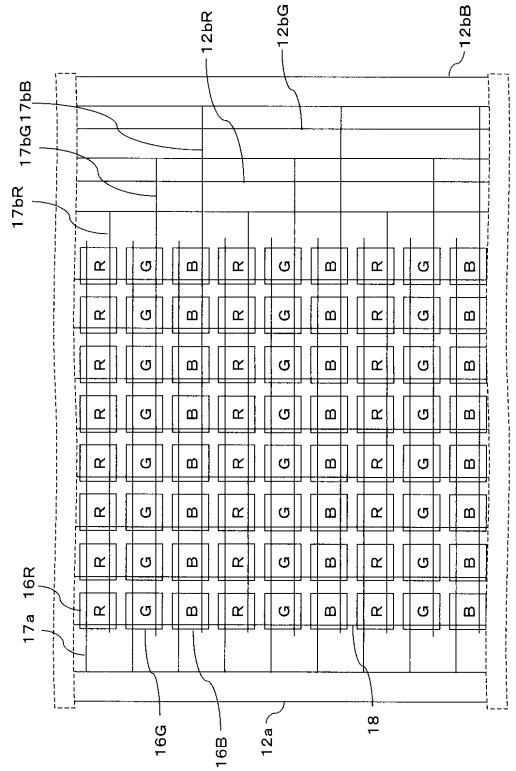
【図３７】



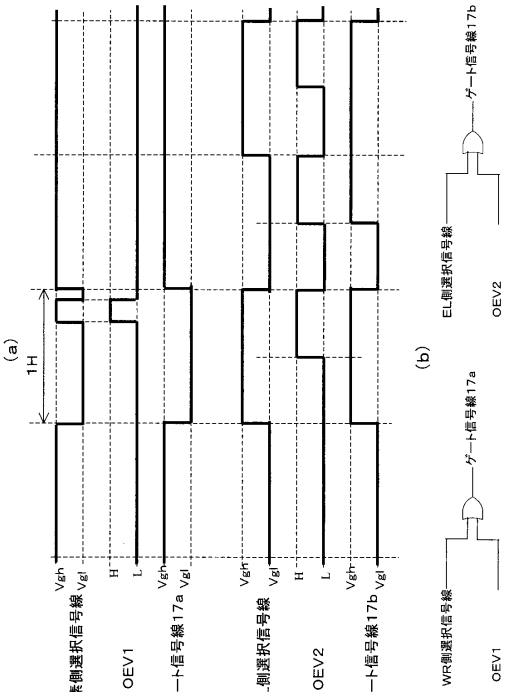
【図３８】



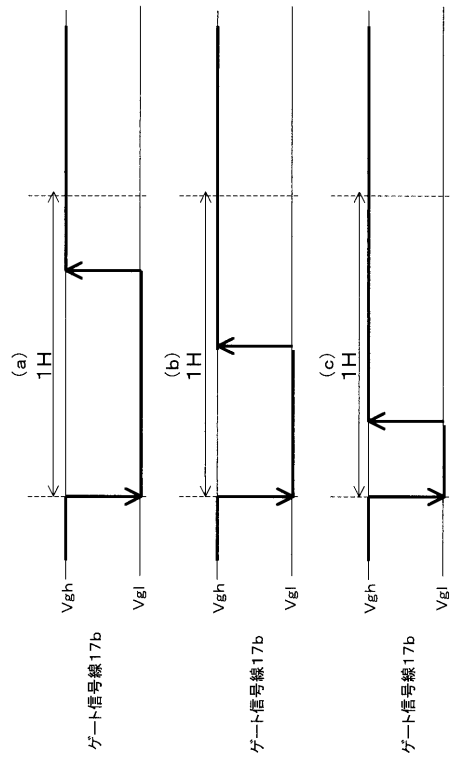
【図３９】



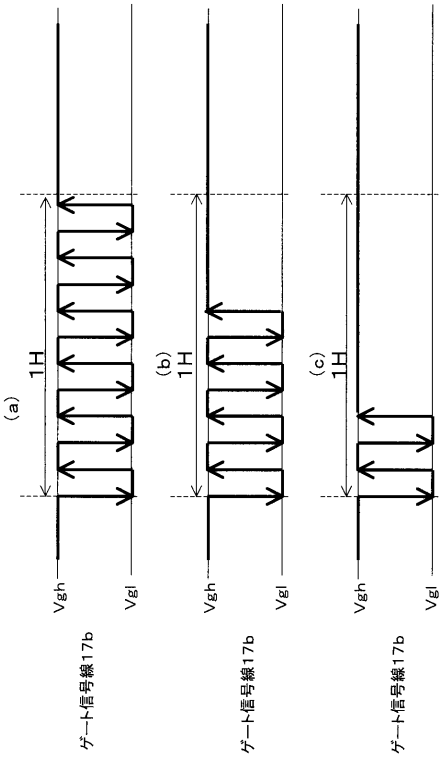
【図４０】



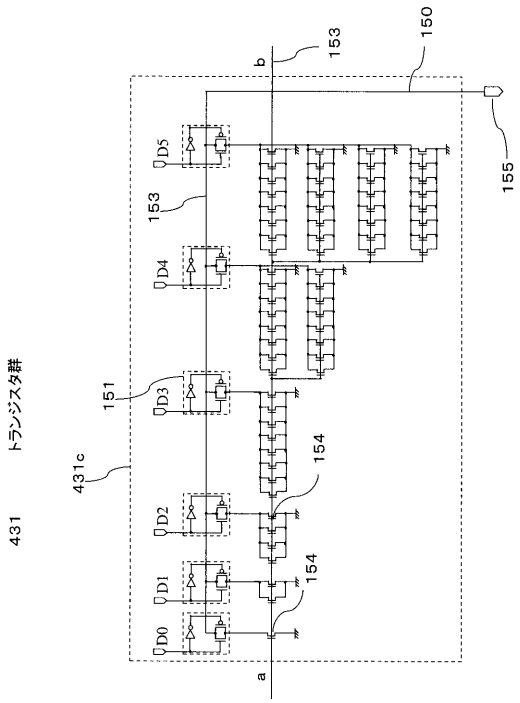
【図４１】



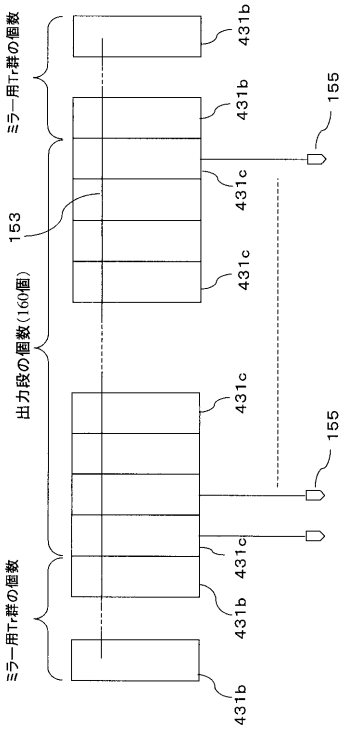
【図４２】



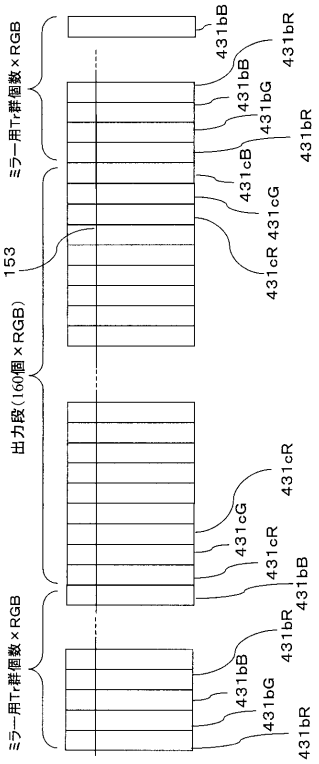
【図４３】



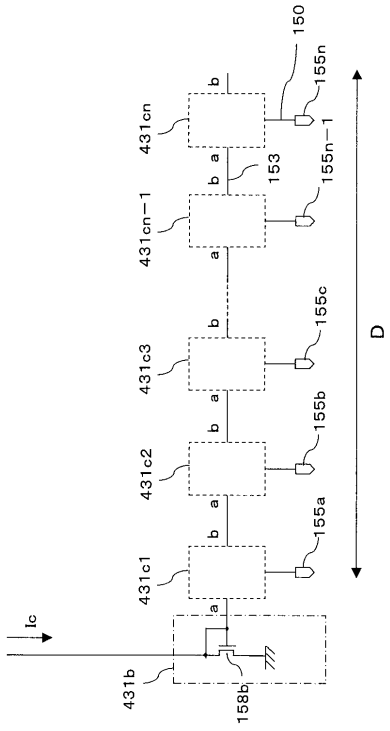
【図４４】



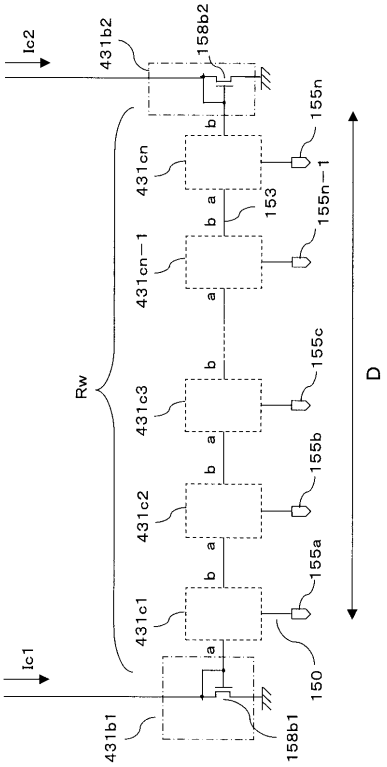
【図４５】



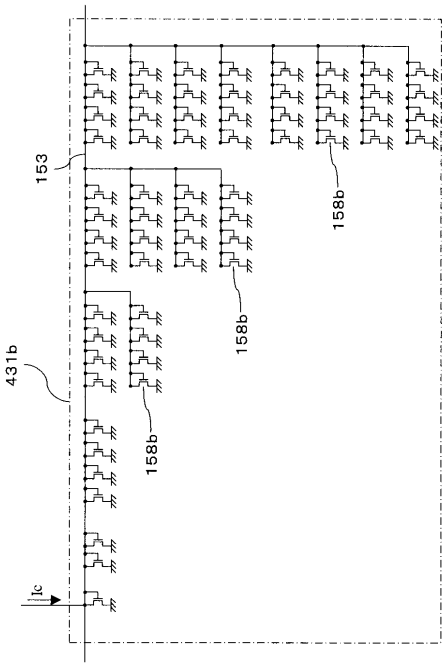
【図４６】



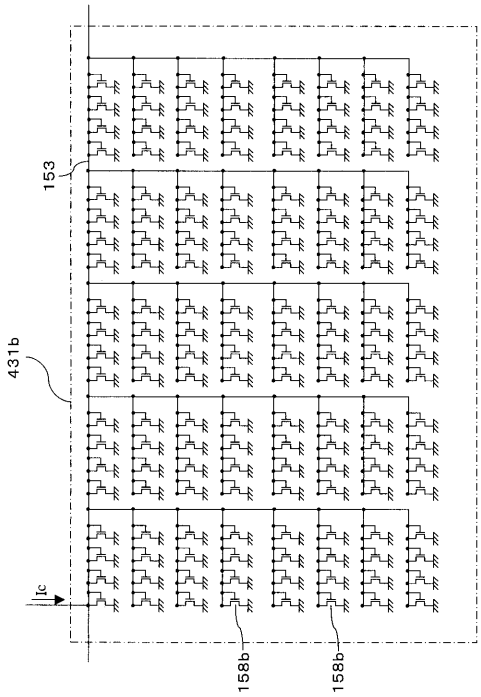
【図４７】



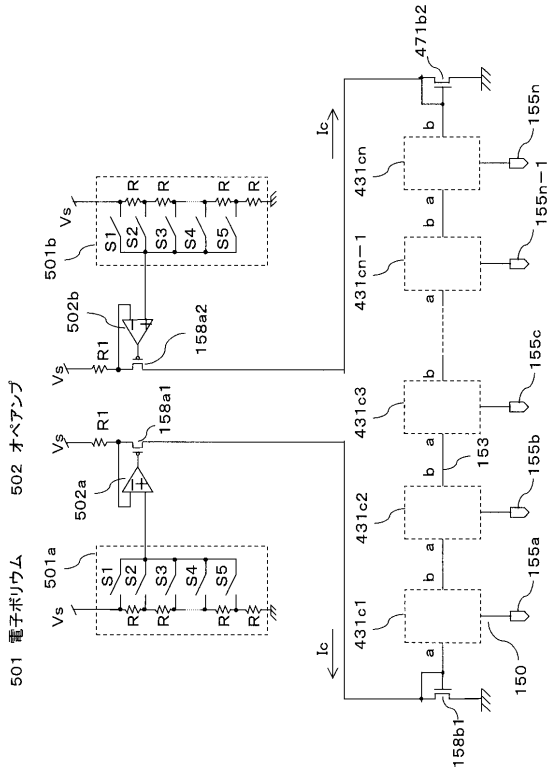
【図４８】



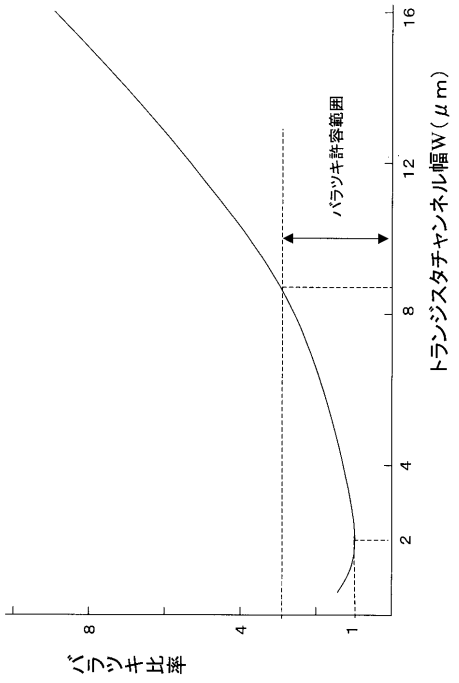
【図４９】



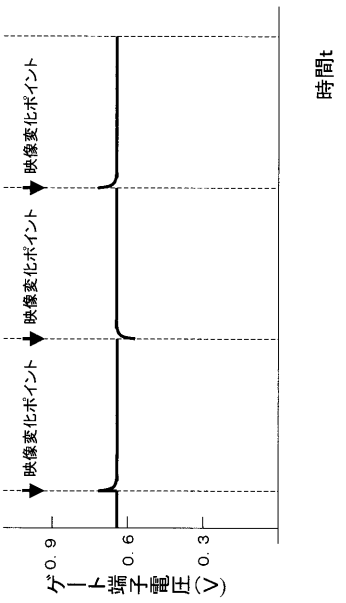
【図５０】



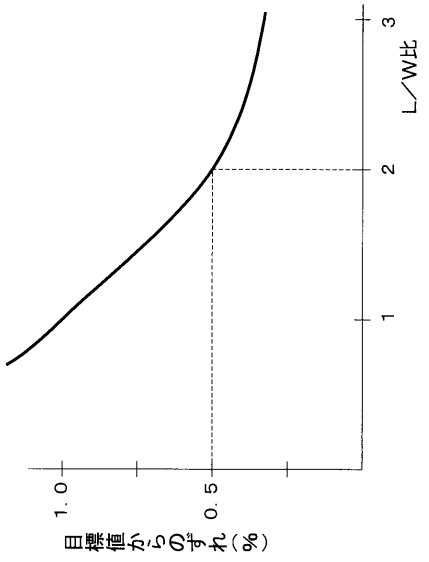
【図５１】



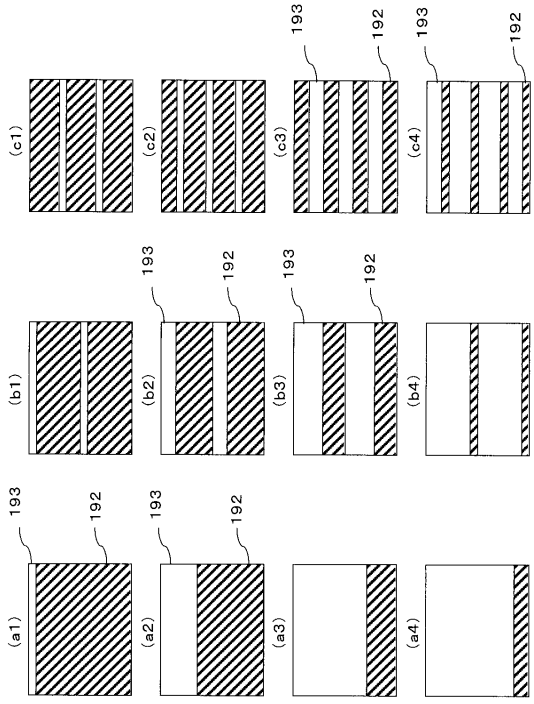
【図５２】



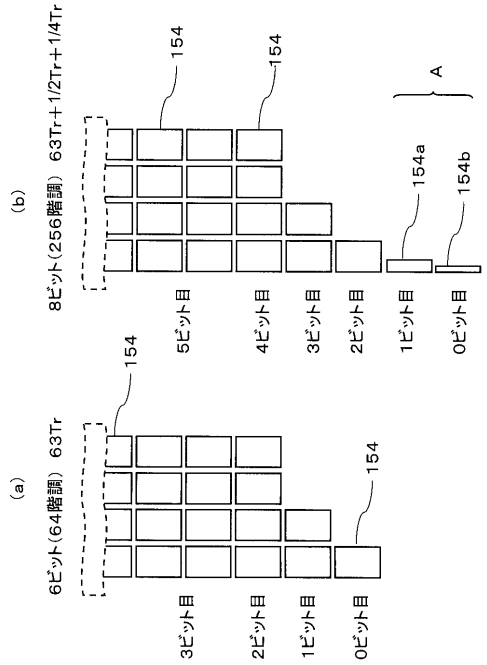
【図５３】



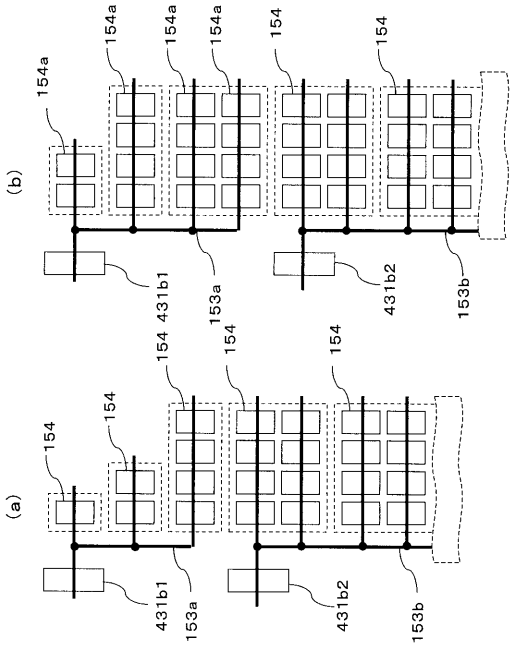
【図５４】



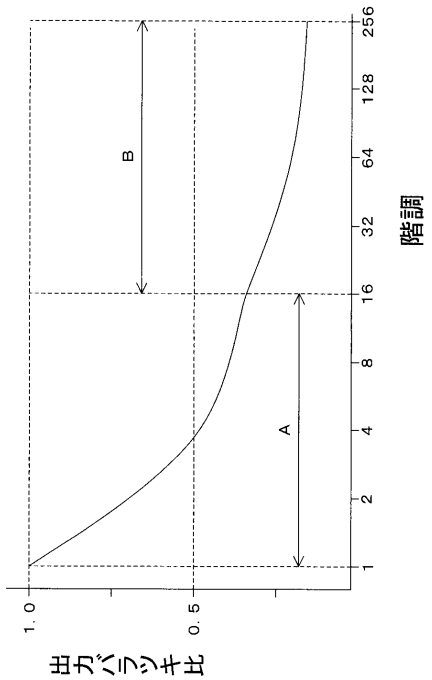
【図５５】



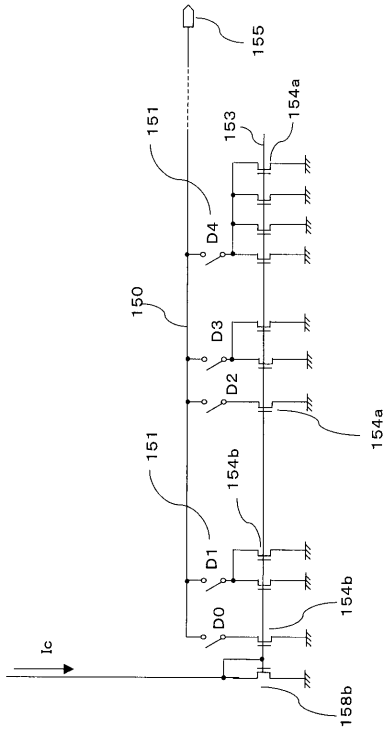
【図５６】



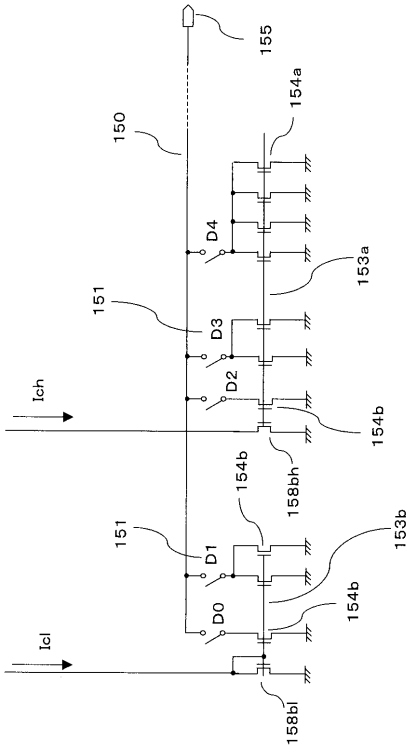
【図５７】



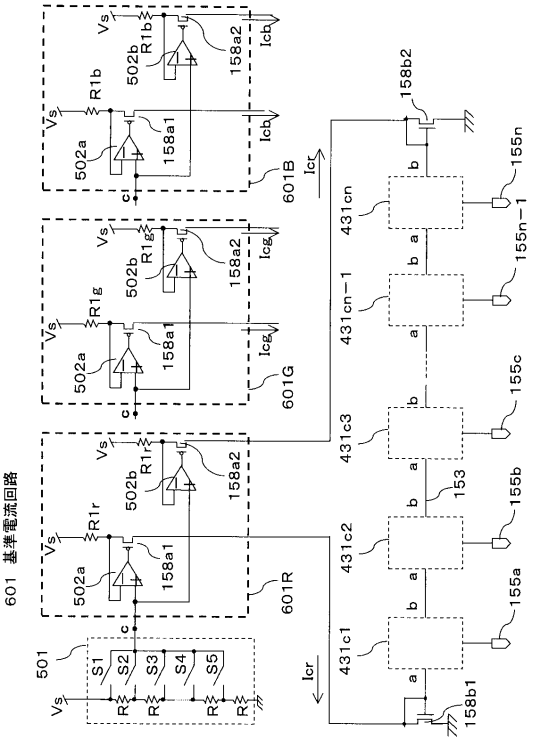
【図５８】



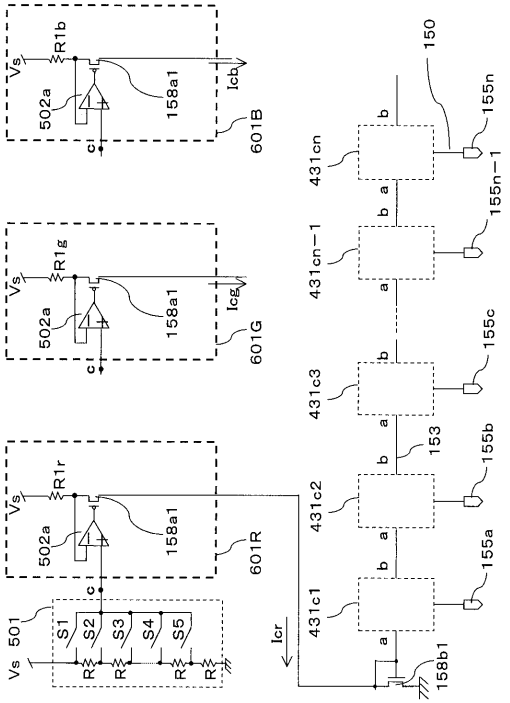
【図５９】



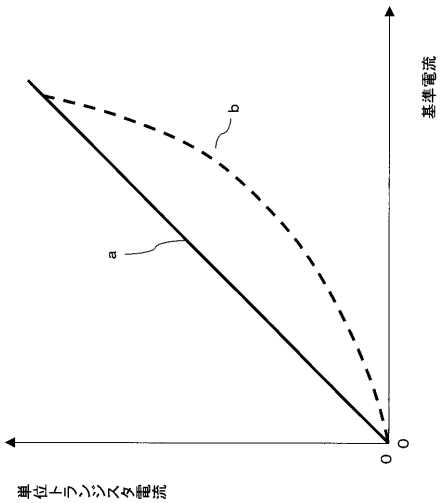
【図６０】



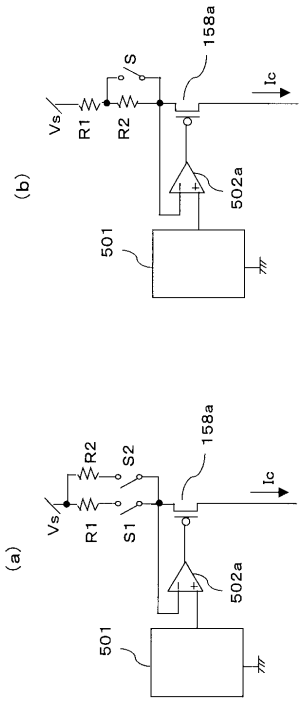
【図６１】



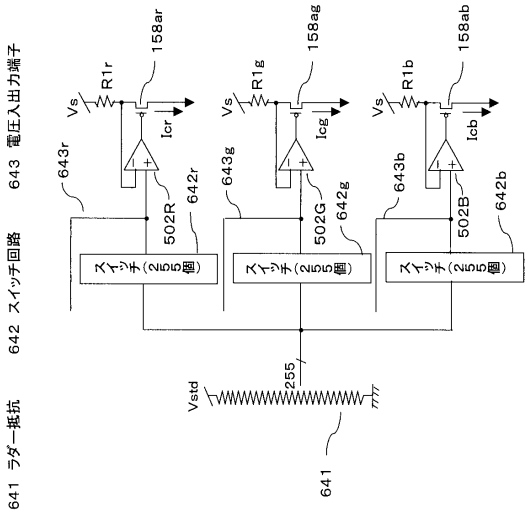
【図６２】



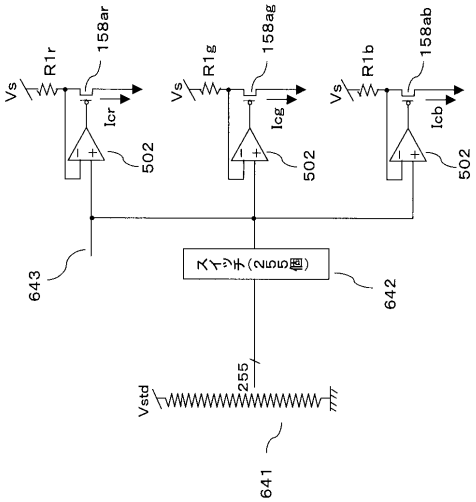
【図６３】



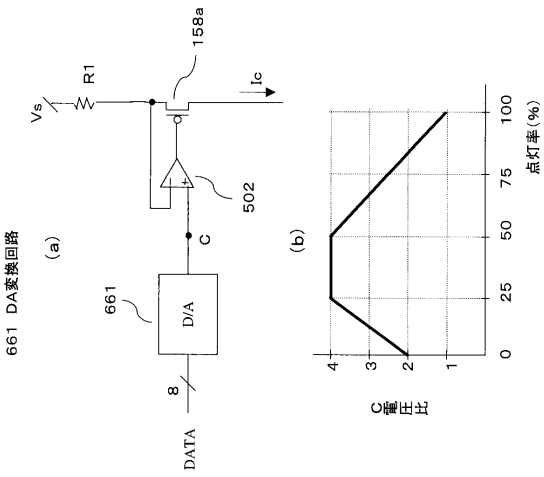
【図６４】



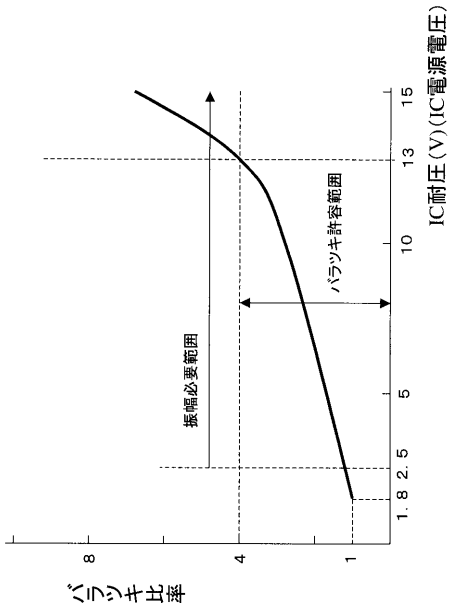
【図６５】



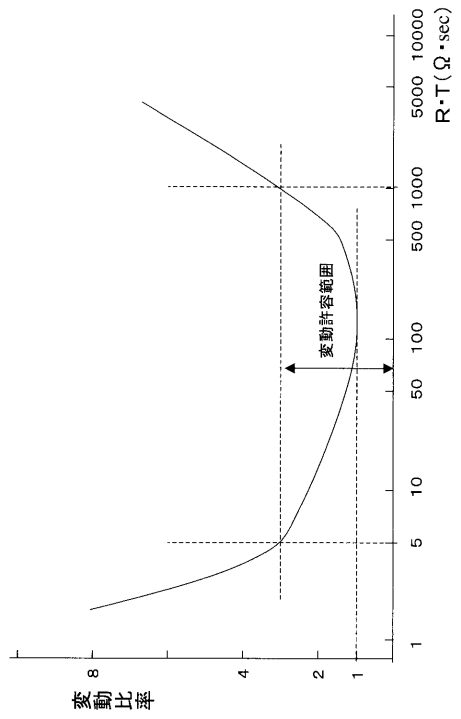
【図６６】



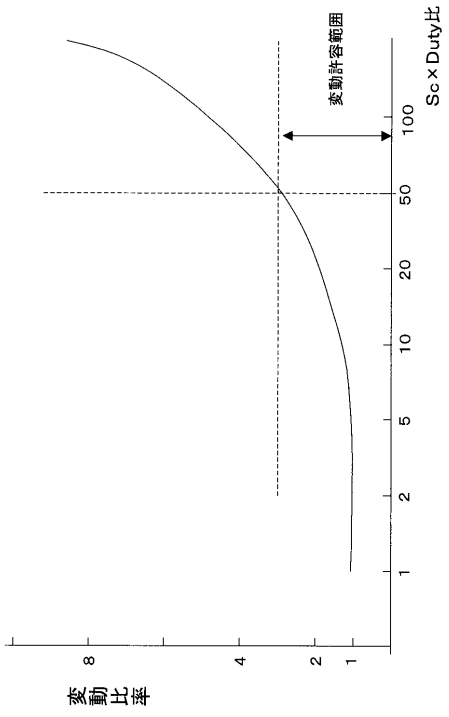
【図６７】



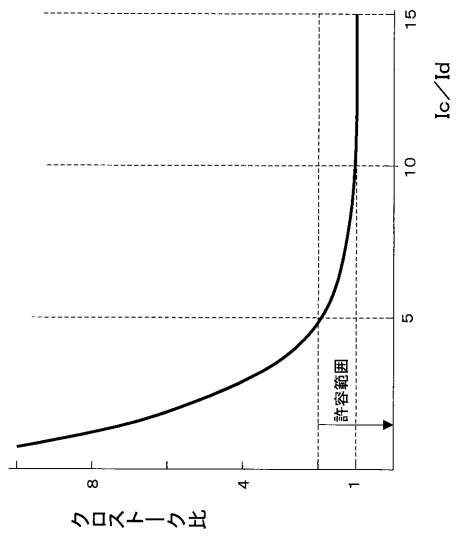
【図６８】



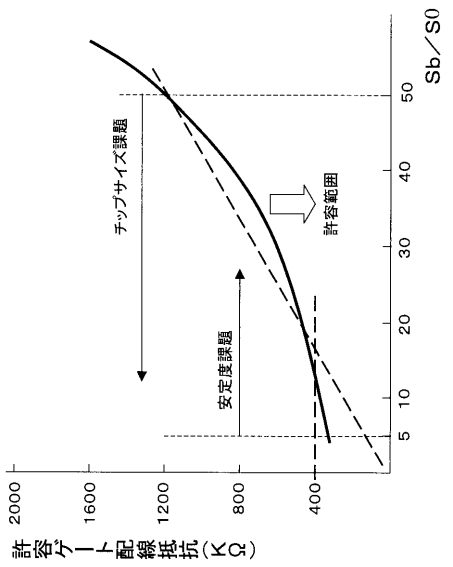
【図６９】



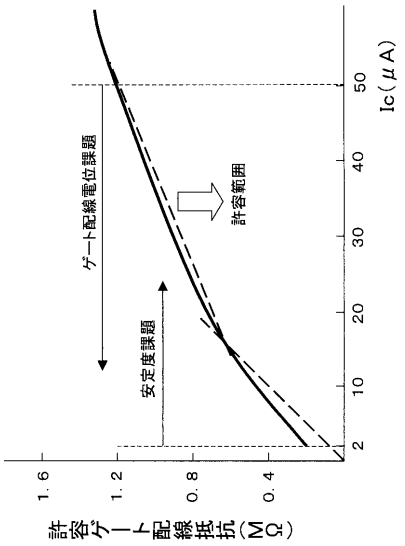
【図７０】



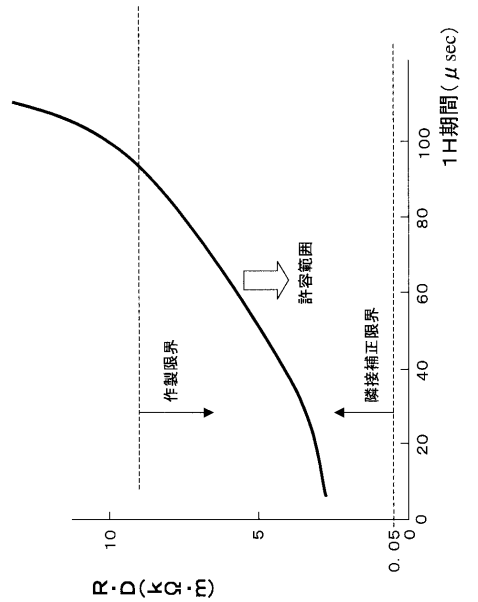
【図７１】



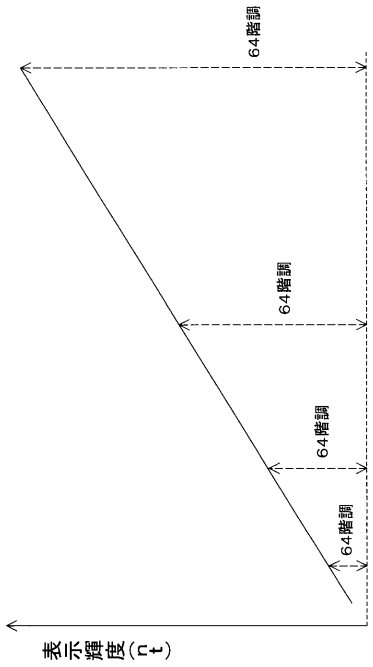
【図７２】



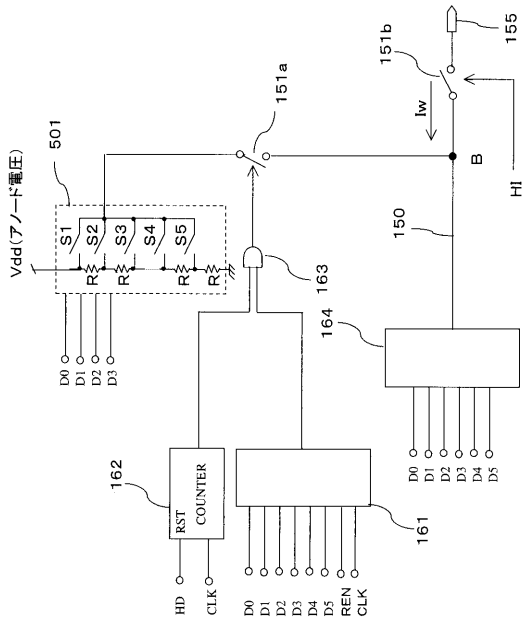
【図７３】



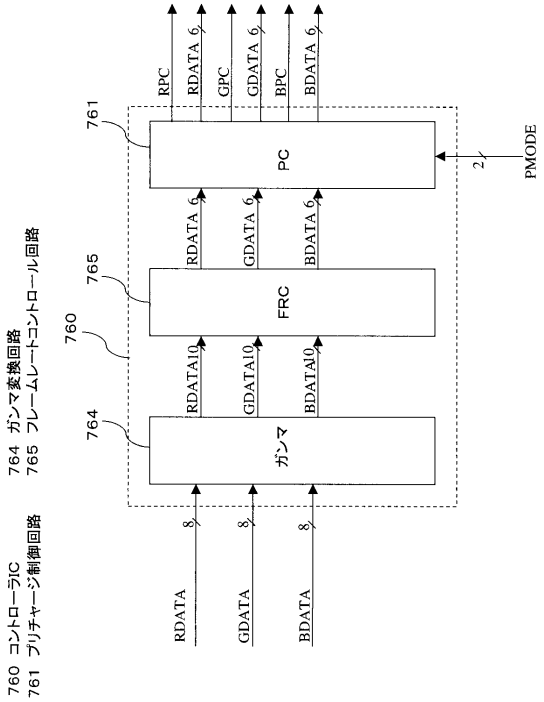
【図７４】



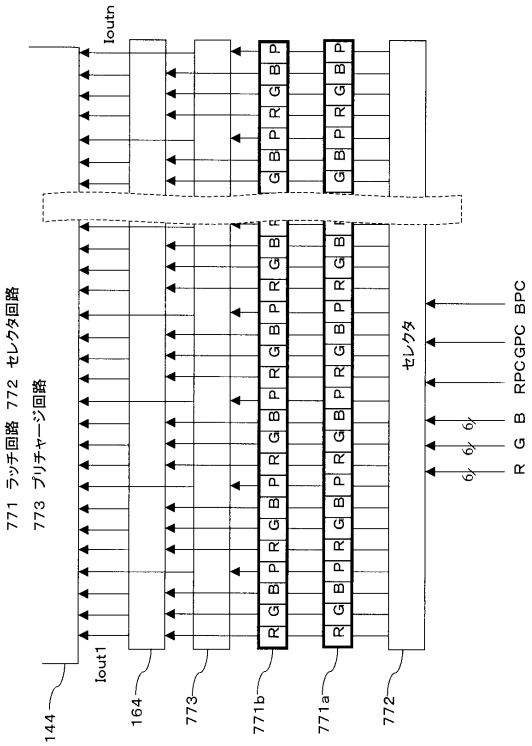
【図７５】



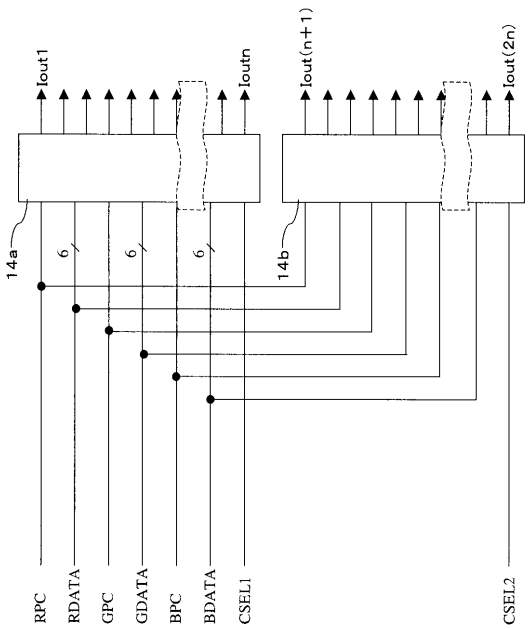
【図７６】



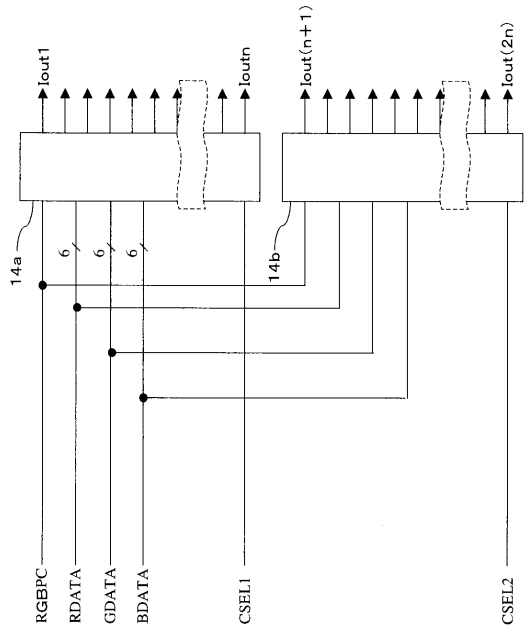
【図７７】



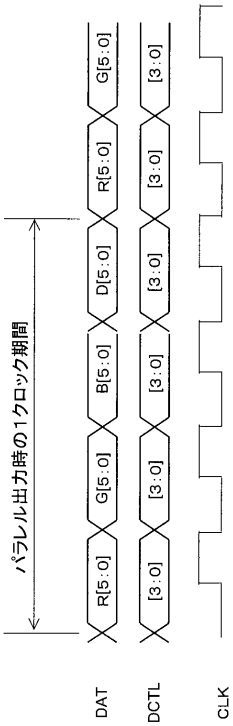
【図７８】



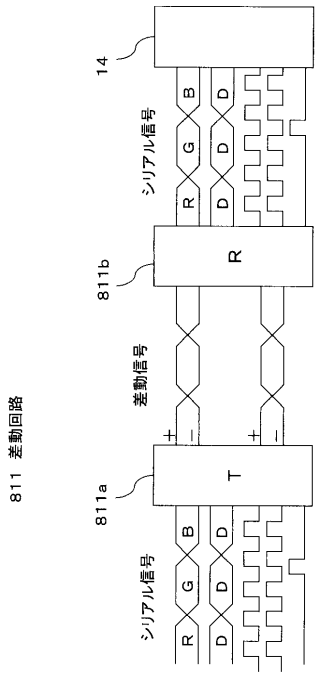
【図７９】



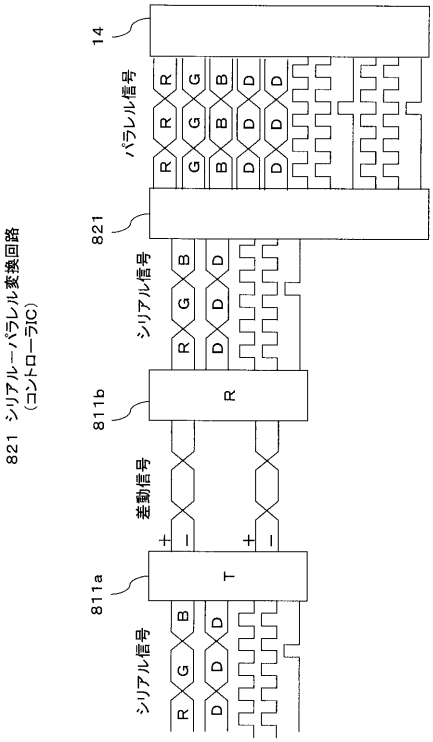
【図８０】



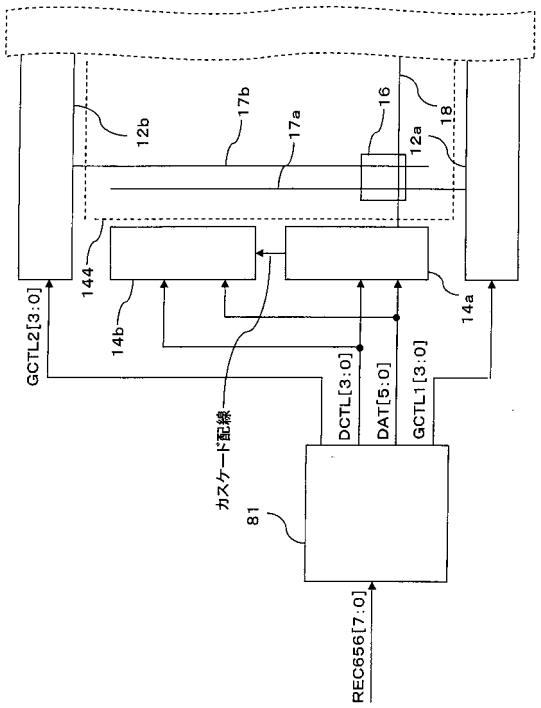
【図８１】



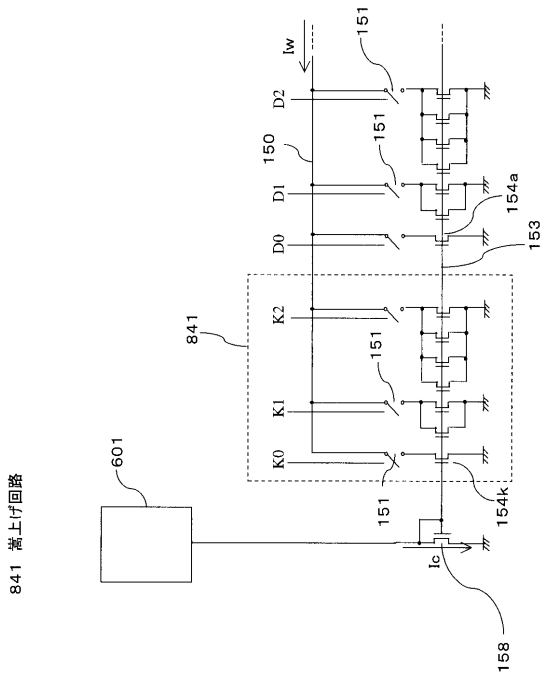
【図８２】



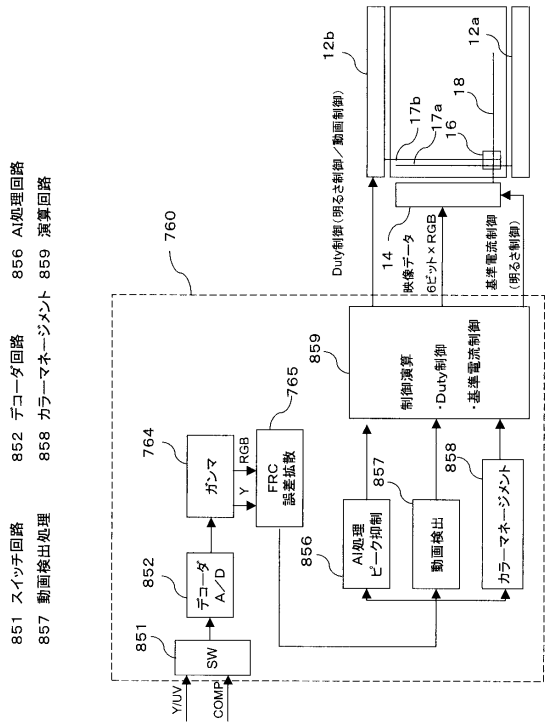
【図８３】



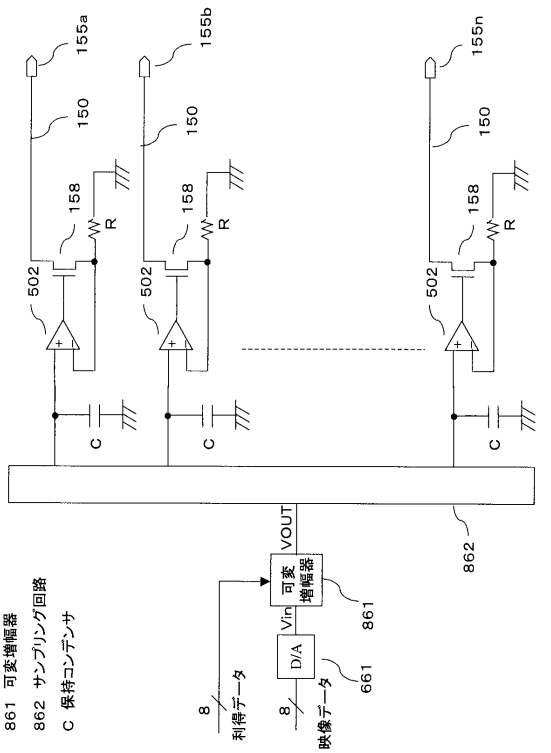
【図８４】



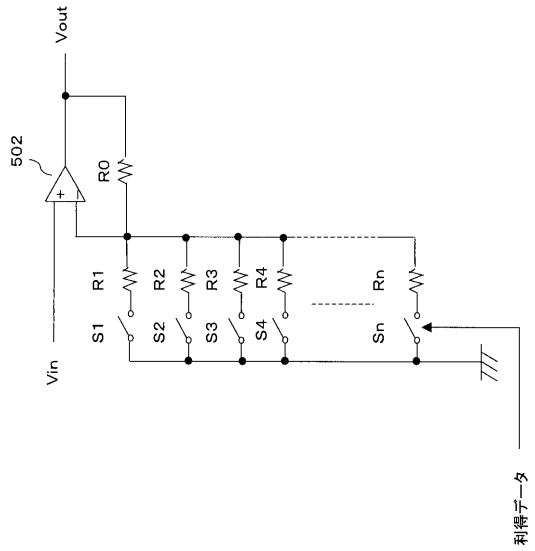
【図８５】



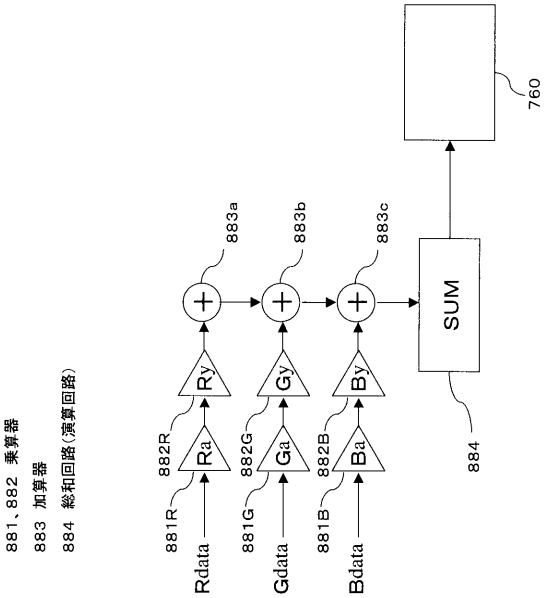
【図８６】



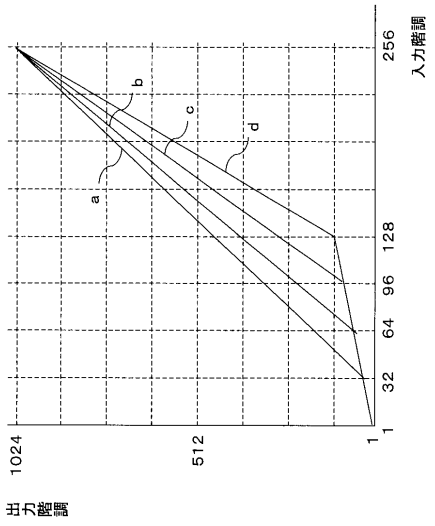
【図８７】



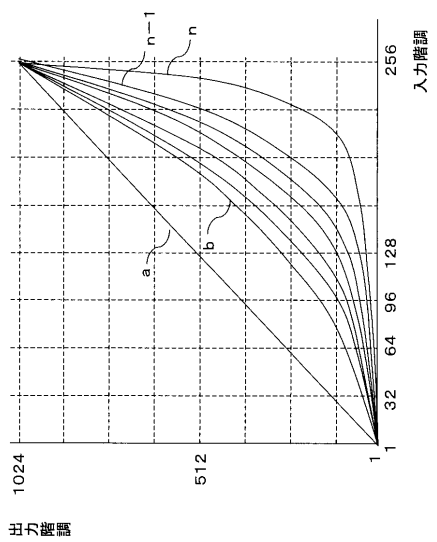
【図８８】



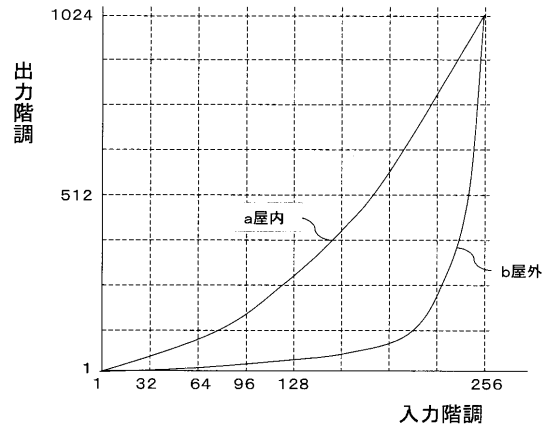
【図８９】



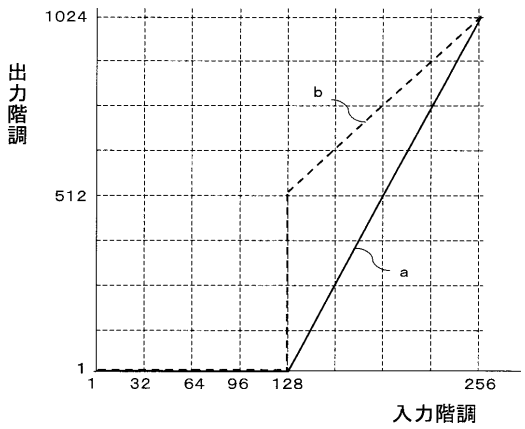
【図９０】



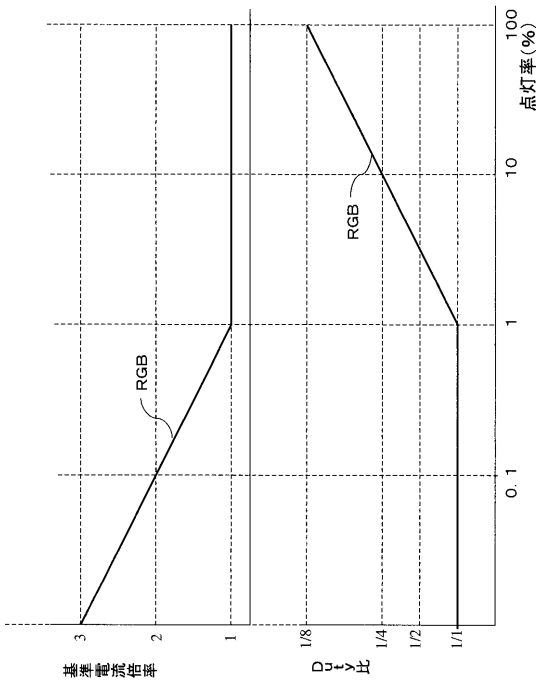
【図９１】



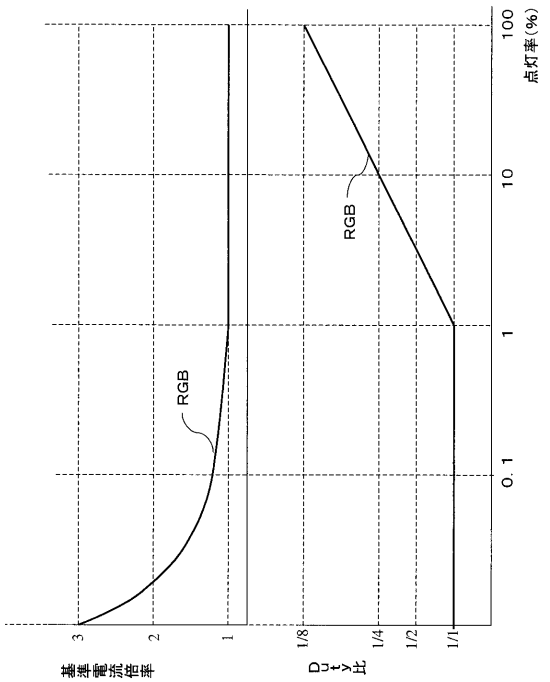
【図９２】



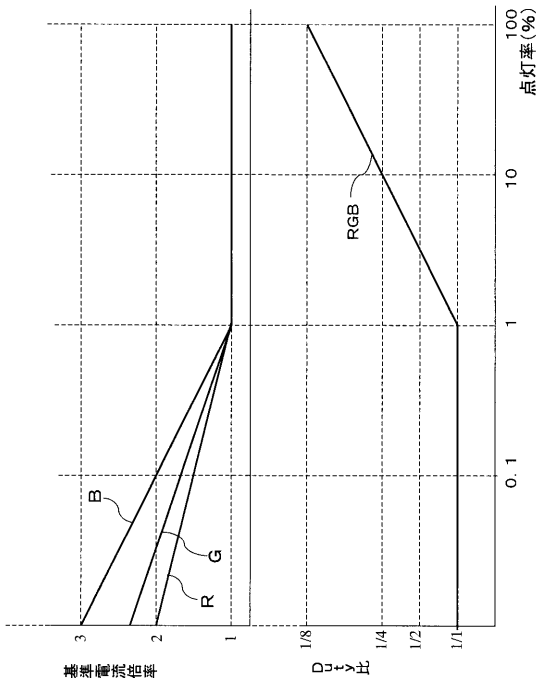
【図９３】



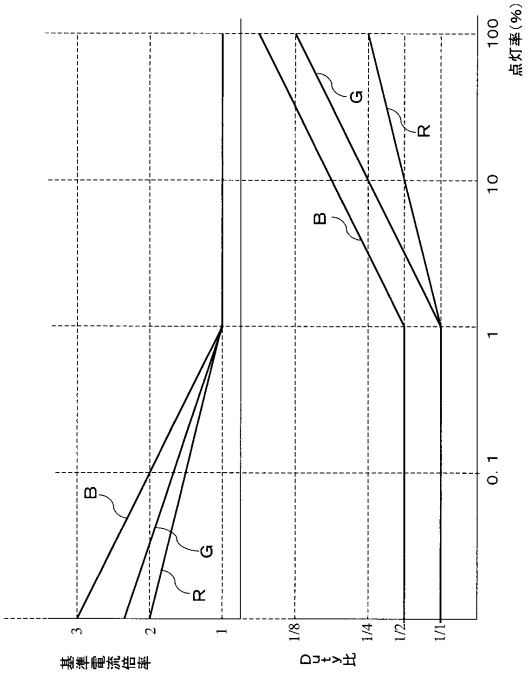
【図９４】



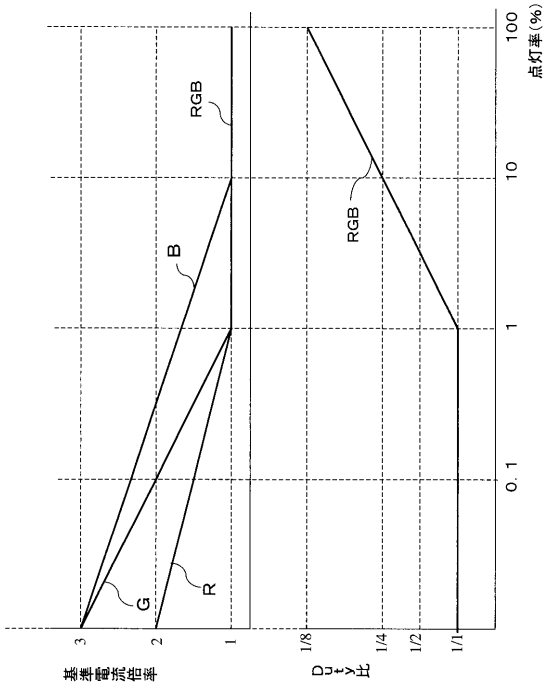
【図９５】



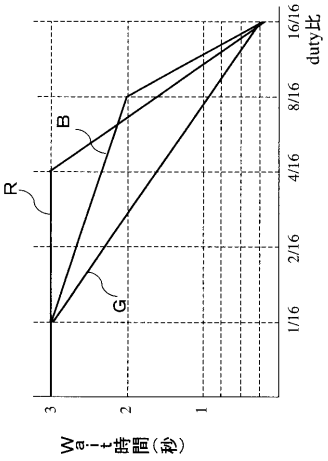
【図９６】



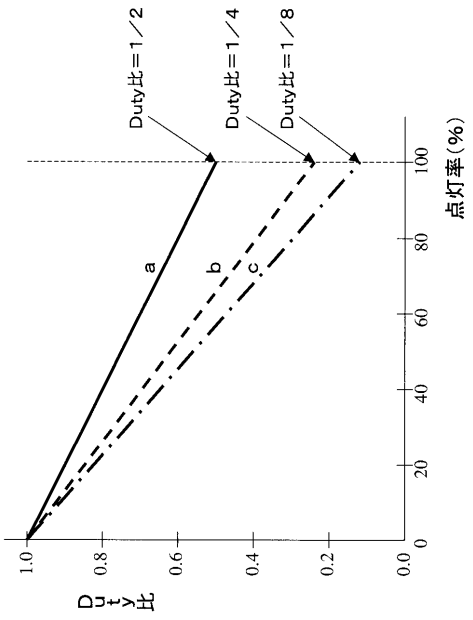
【図９７】



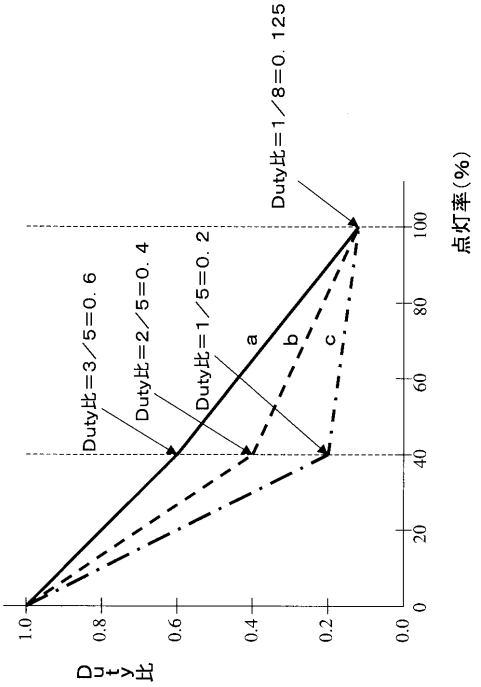
【図９８】



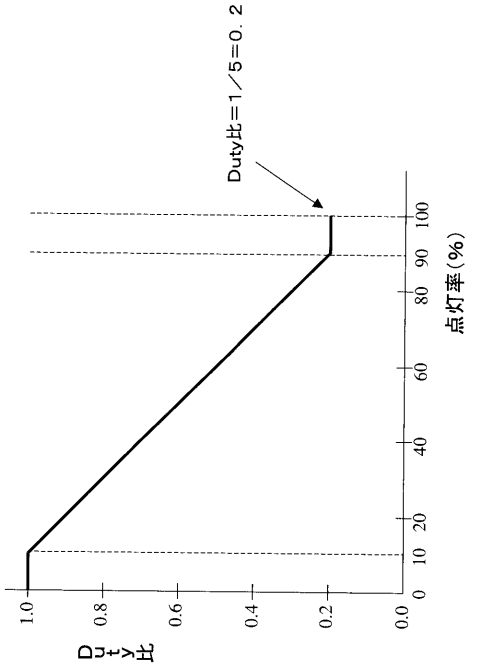
【図９９】



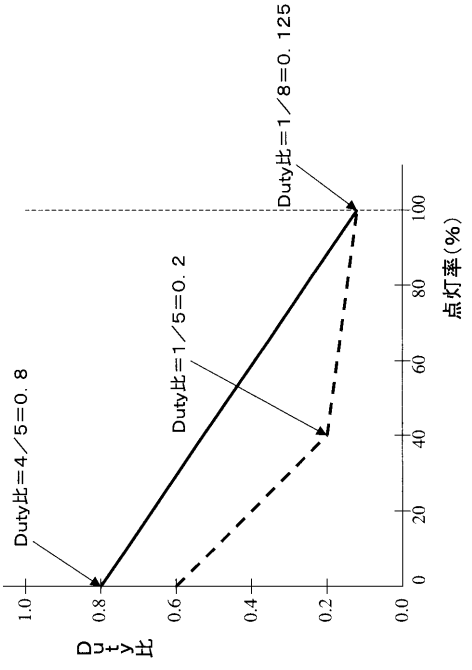
【図１００】



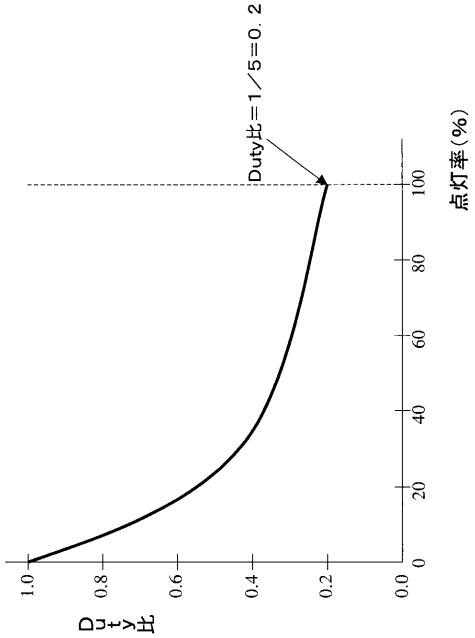
【図１０１】



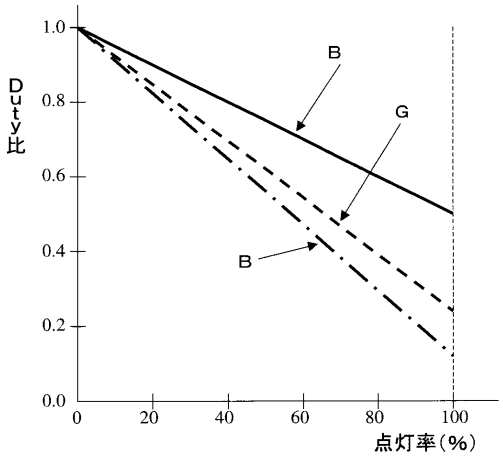
【図１０２】



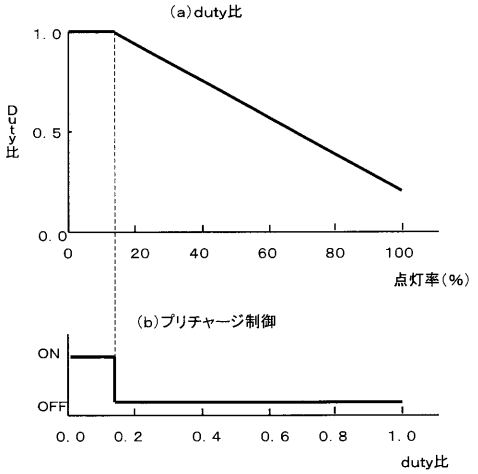
【図１０３】



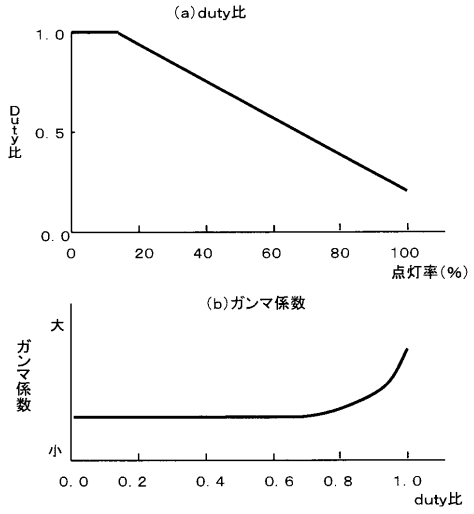
【図１０４】



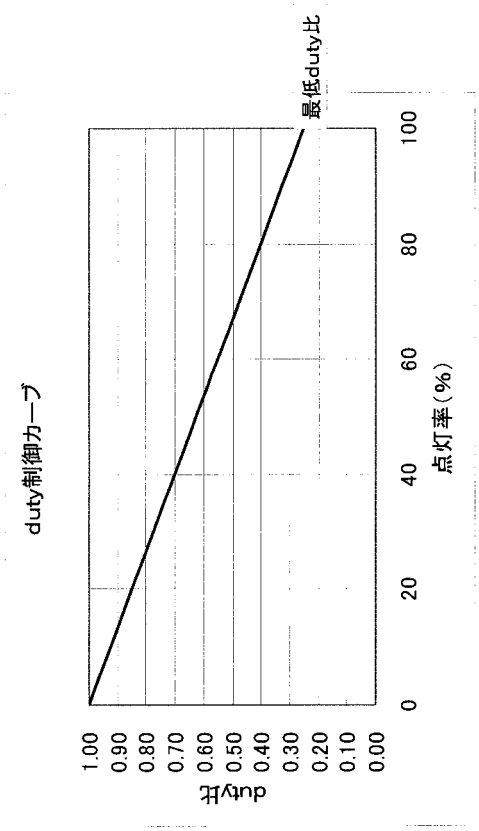
【図１０５】



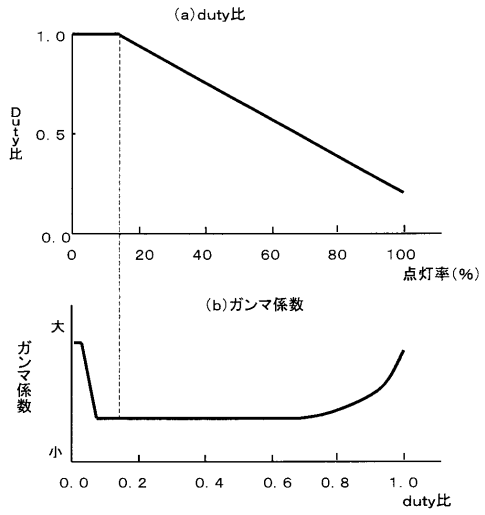
【図１０６】



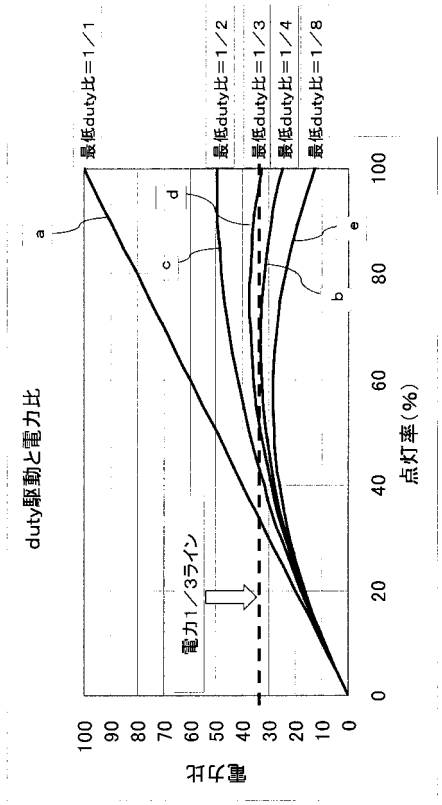
【図１０７】



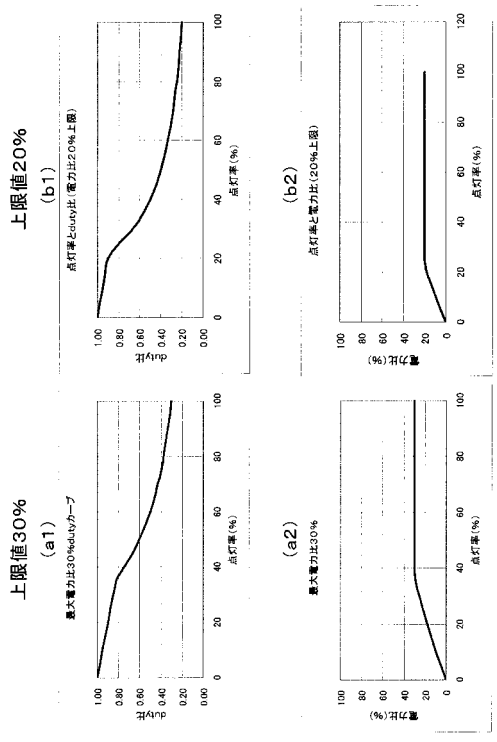
【図１０８】



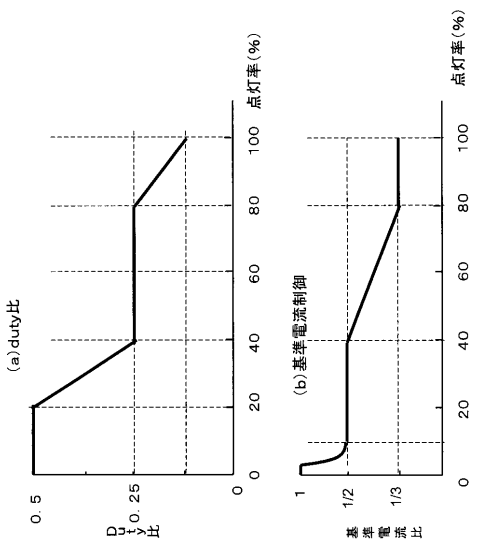
【図１０９】



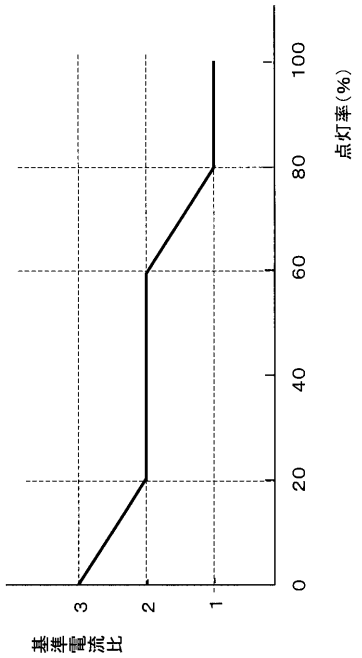
【図１１０】



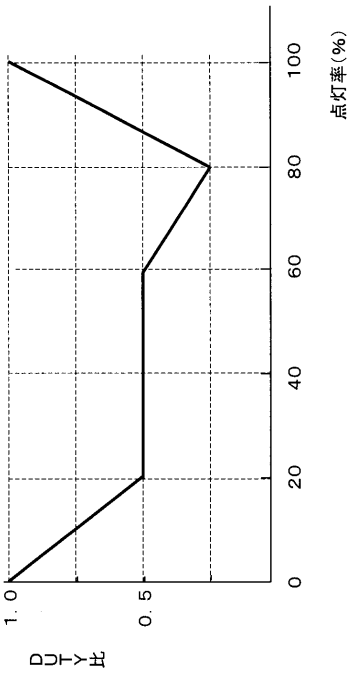
【図１１１】



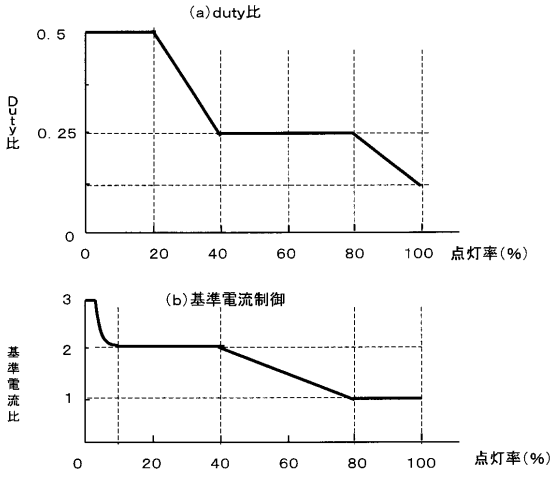
【図１１２】



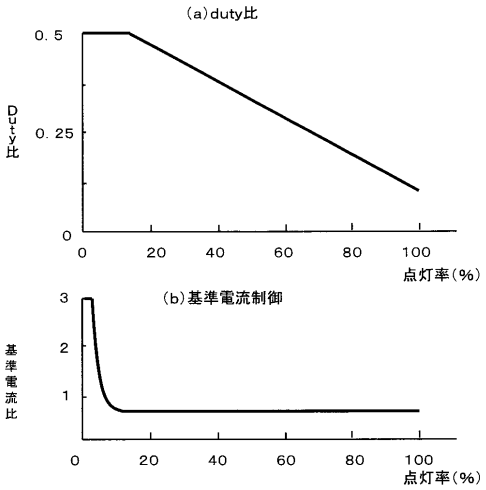
【図１１３】



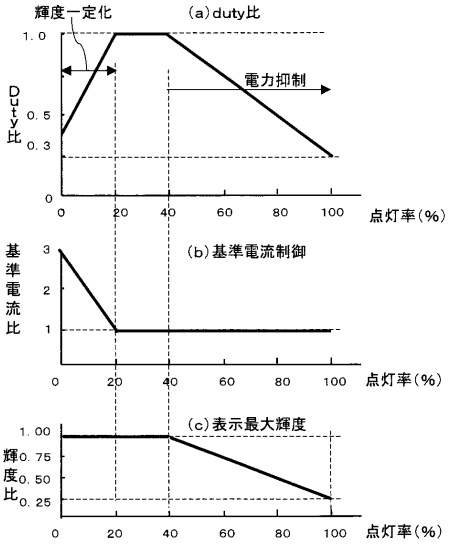
【図１１４】



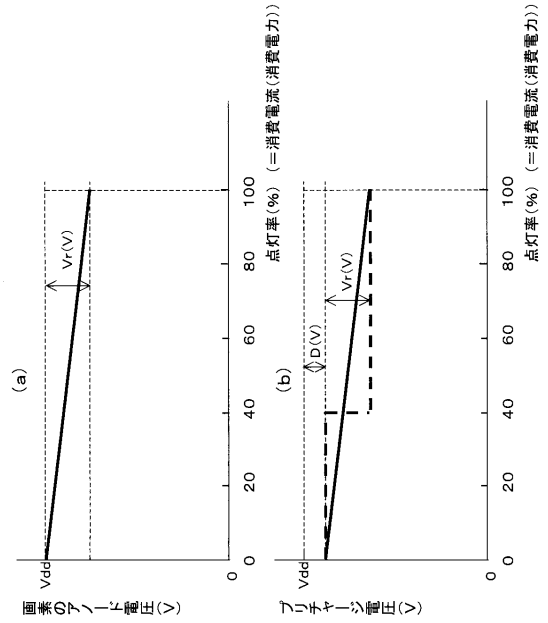
【図１１５】



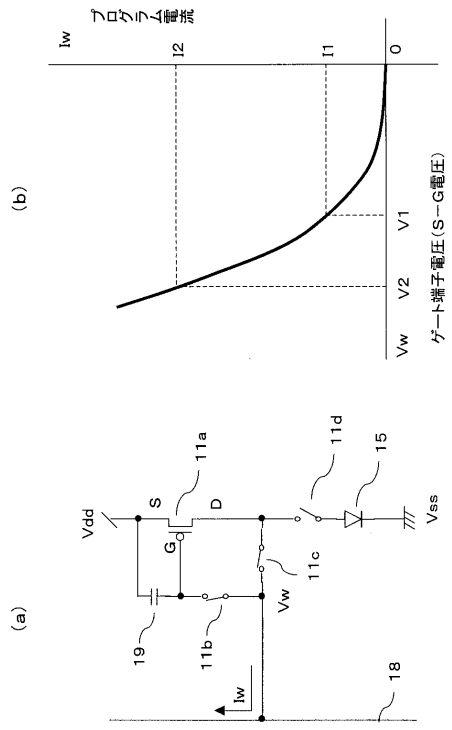
【図１１６】



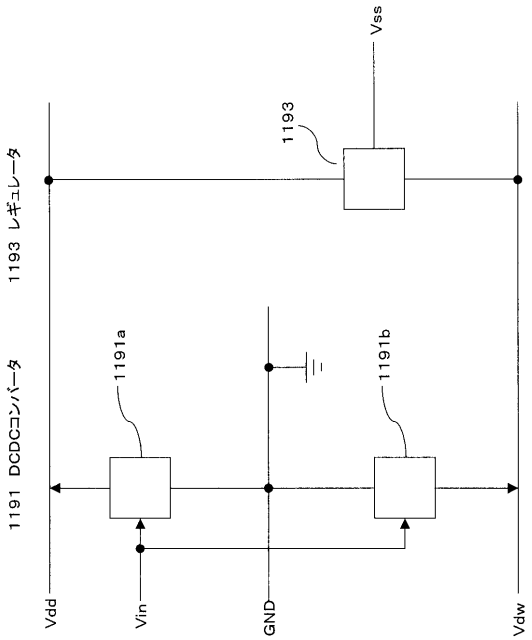
【図１１７】



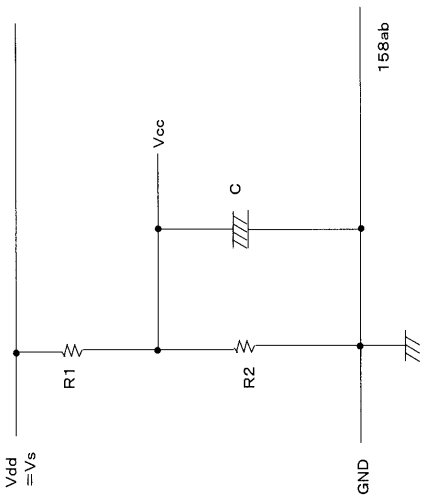
【図１１８】



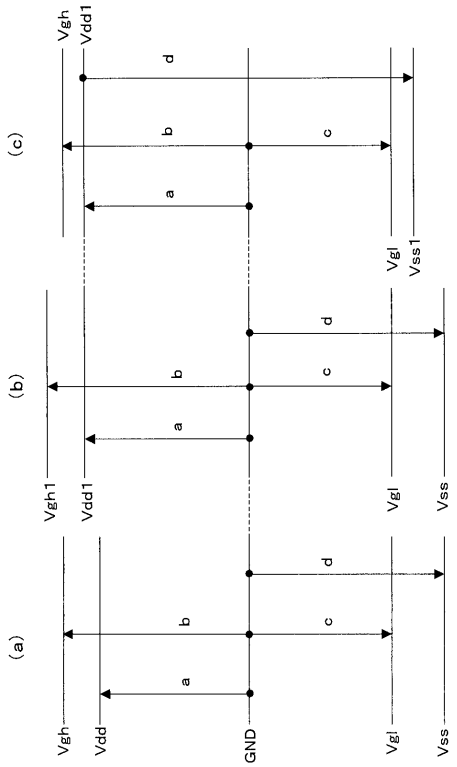
【図１１９】



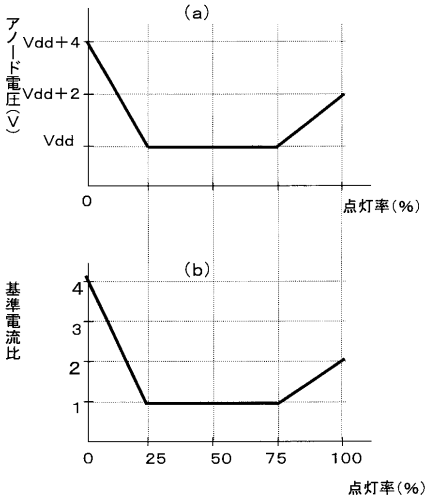
【図１２０】



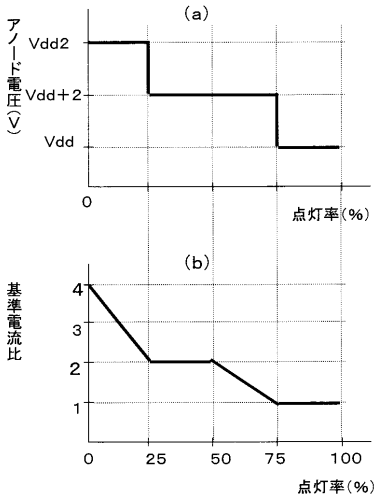
【図１２１】



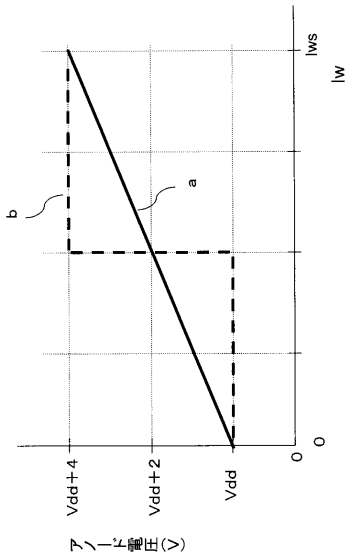
【図１２２】



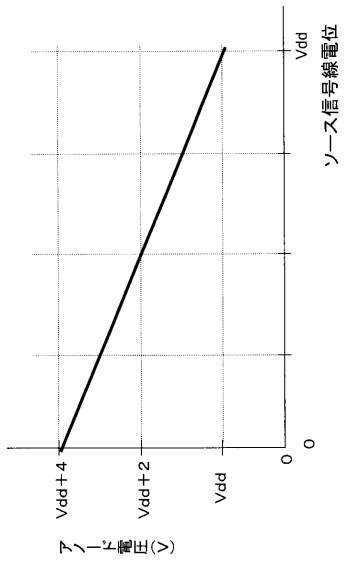
【図１２３】



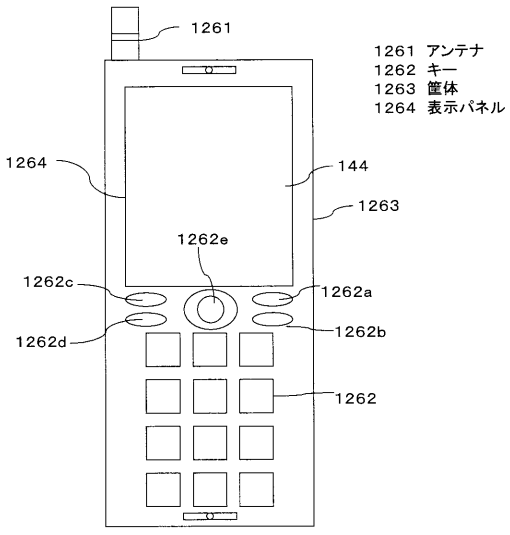
【図１２４】



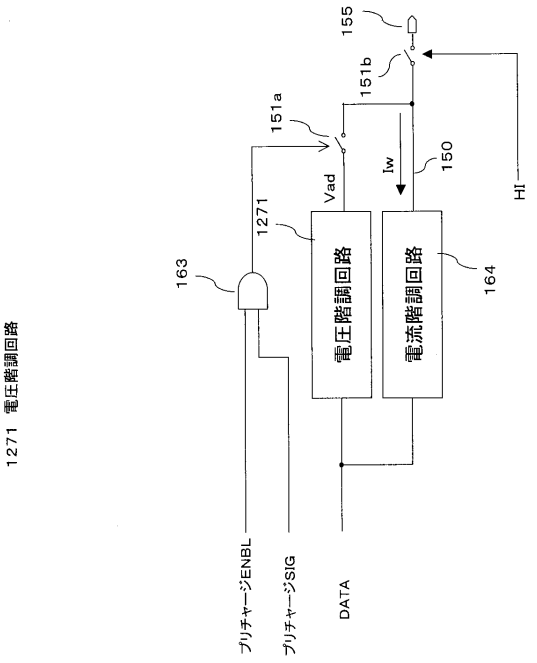
【図１２５】



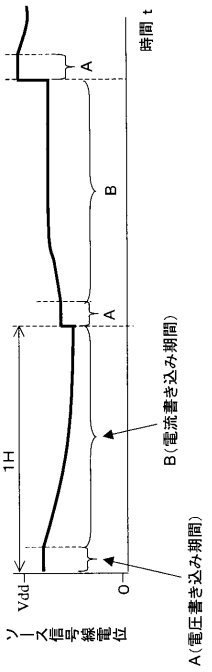
【図１２６】



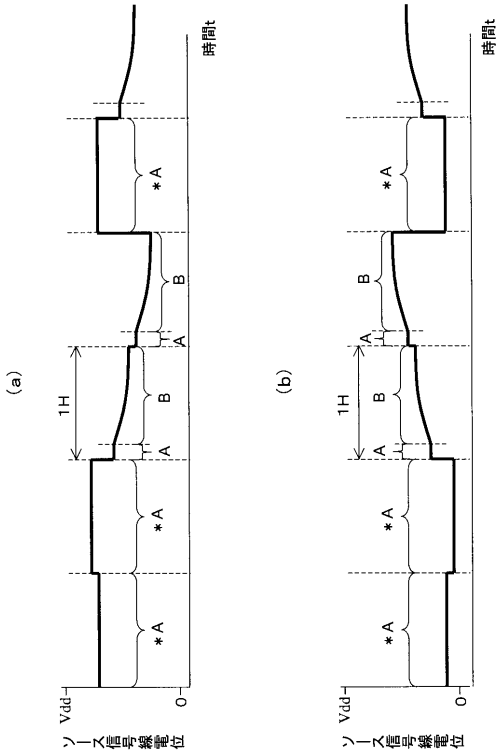
【図１２７】



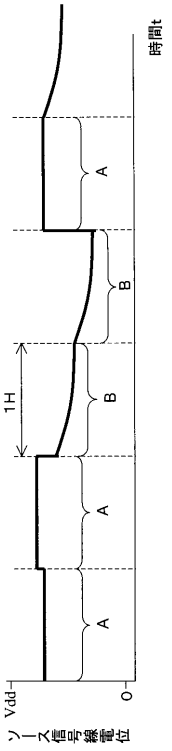
【図１２８】



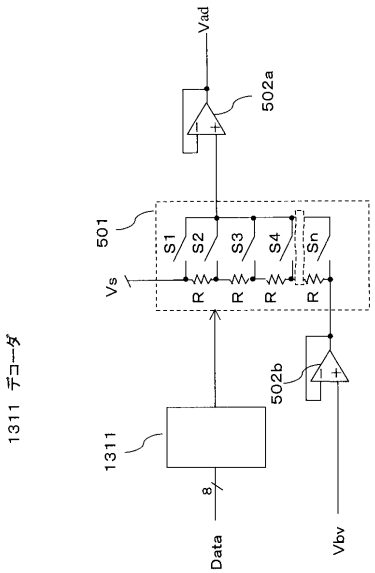
【図１２９】



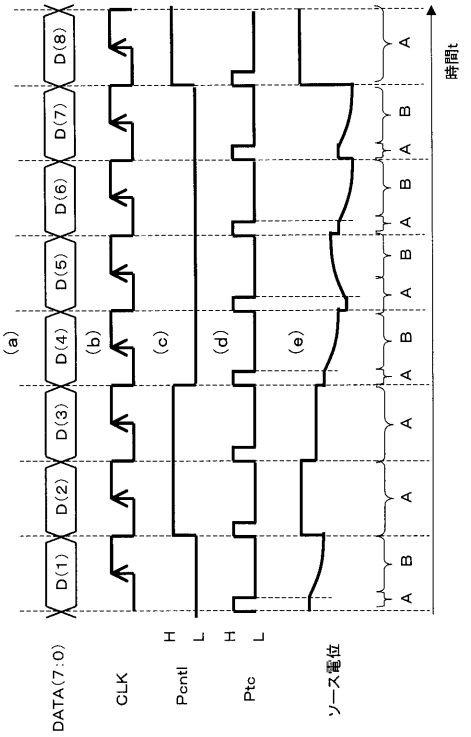
【図１３０】



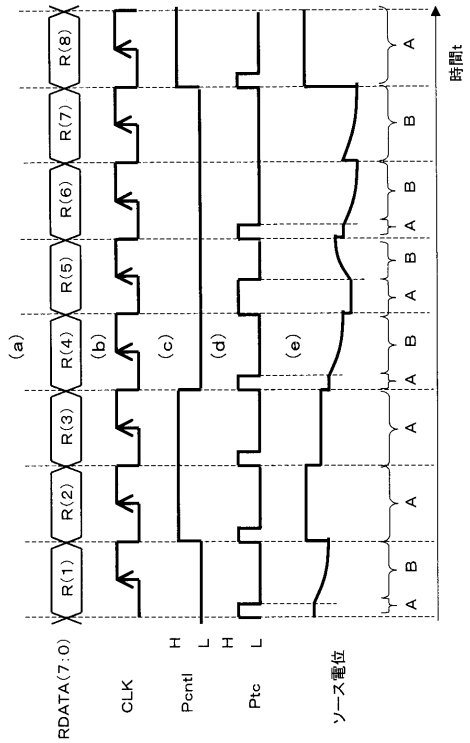
【図１３１】



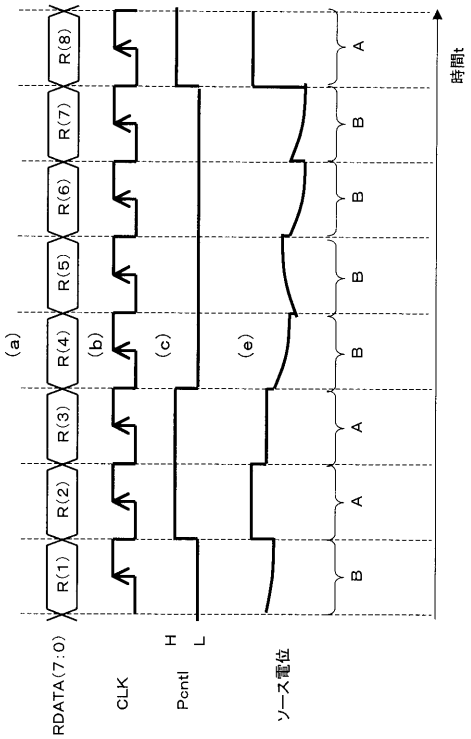
【図１３２】



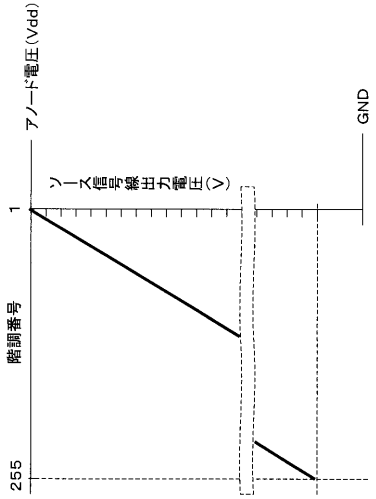
【図１３３】



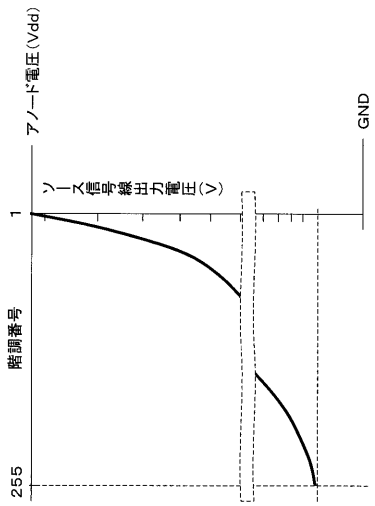
【図１３４】



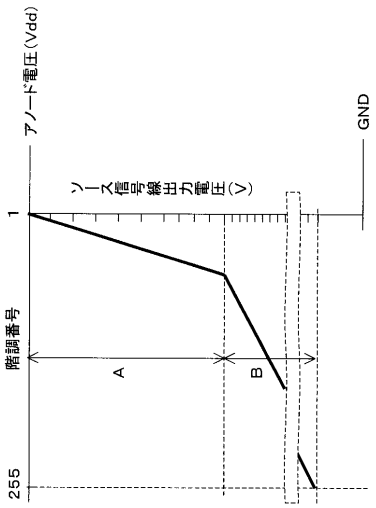
【図１３５】



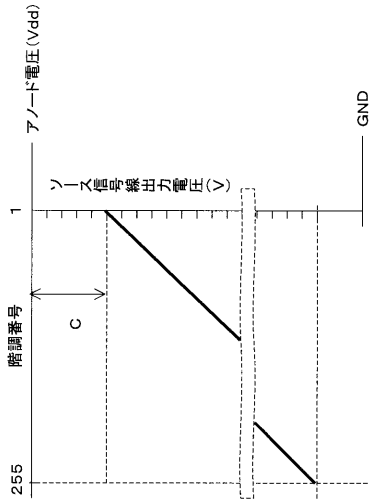
【図１３６】



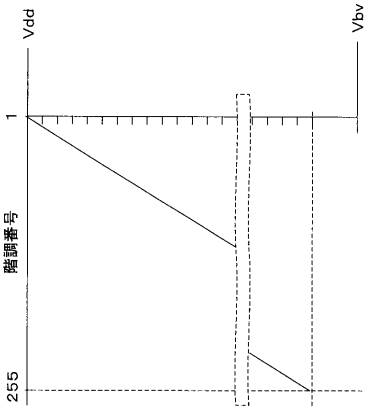
【図１３７】



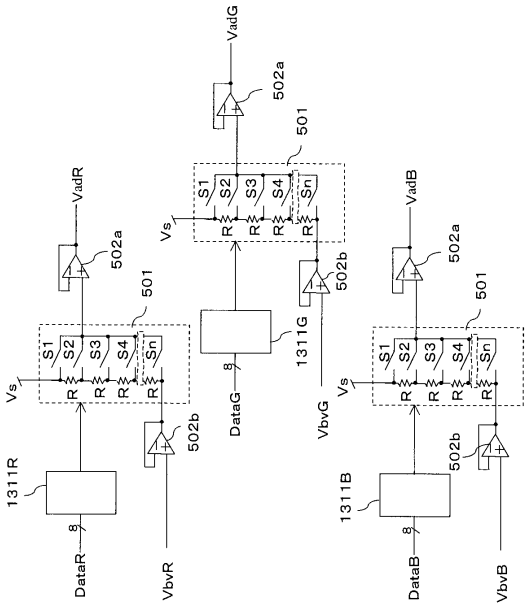
【図１３８】



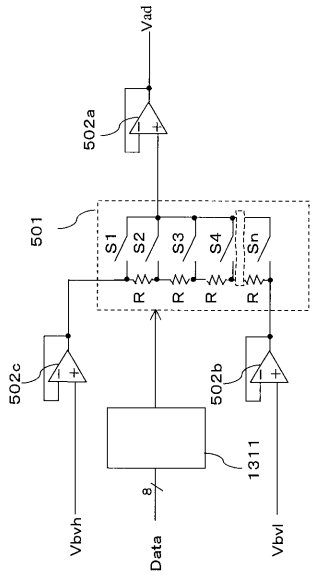
【図１３９】



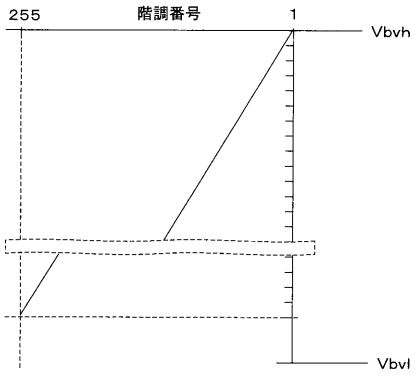
【図１４０】



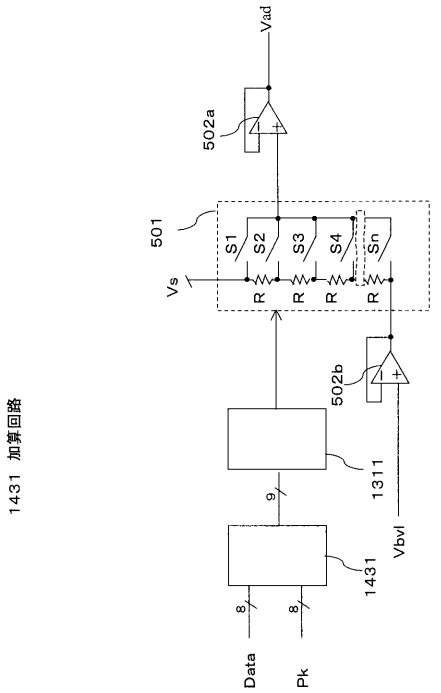
【図１４１】



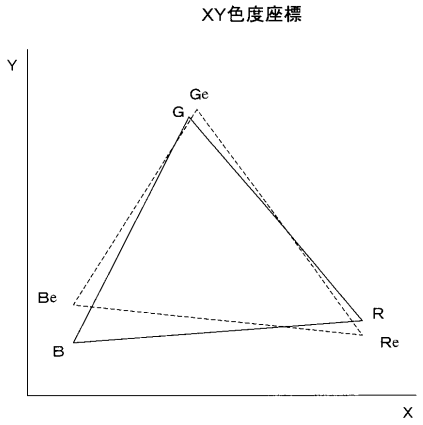
【図１４２】



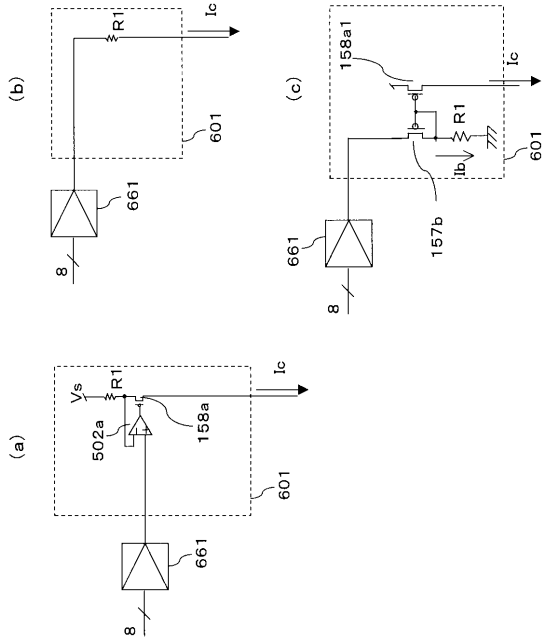
【図１４３】



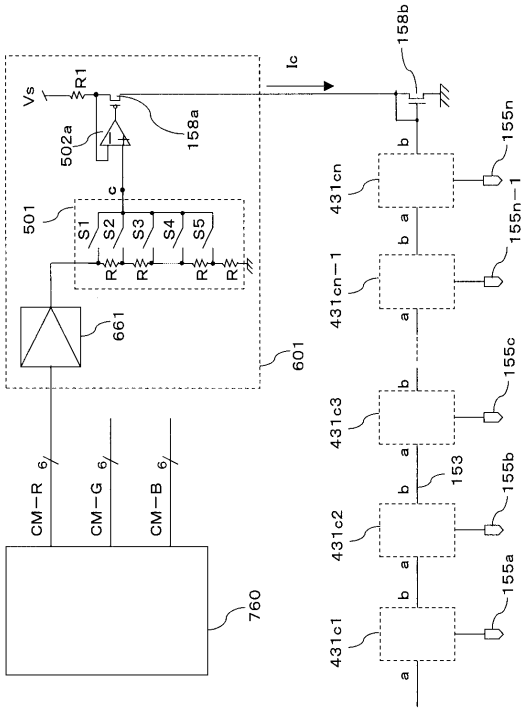
【図１４４】



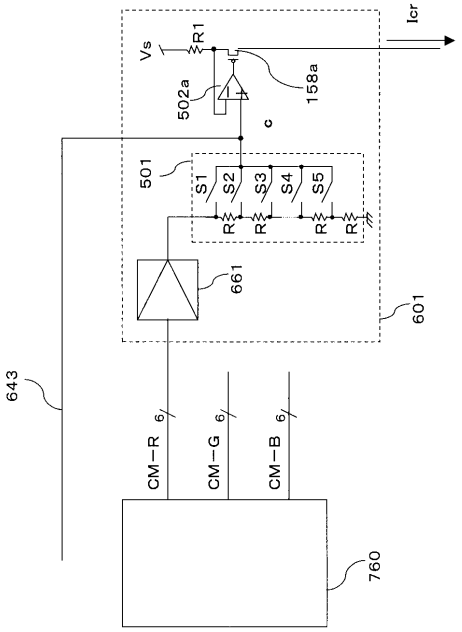
【図１４５】



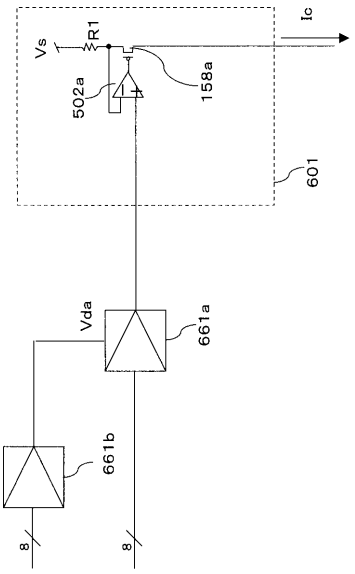
【図１４６】



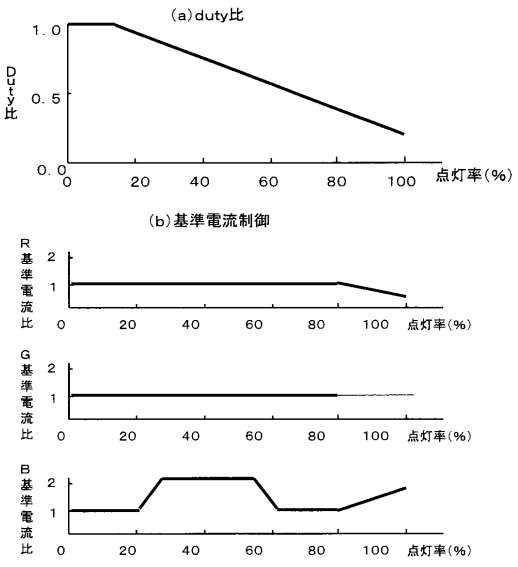
【図１４７】



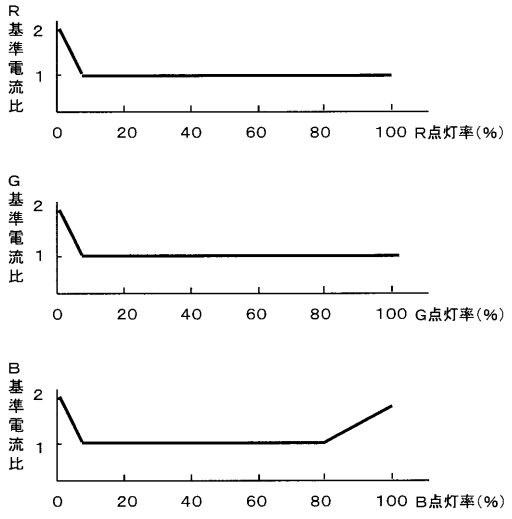
【図１４８】



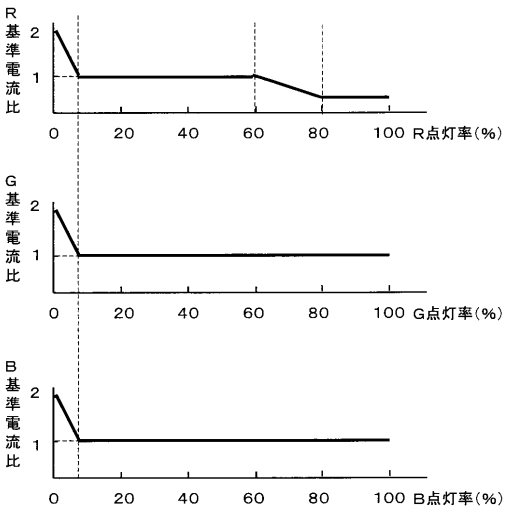
【図１４９】



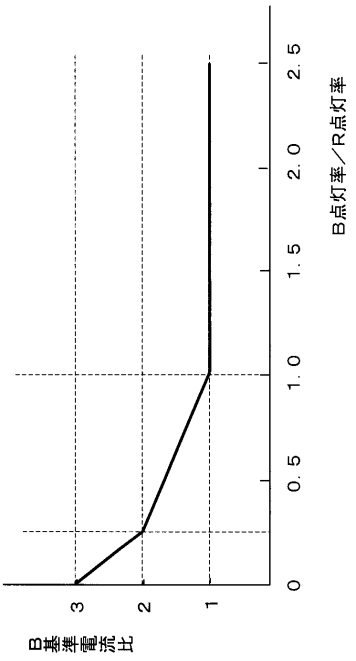
【図１５０】



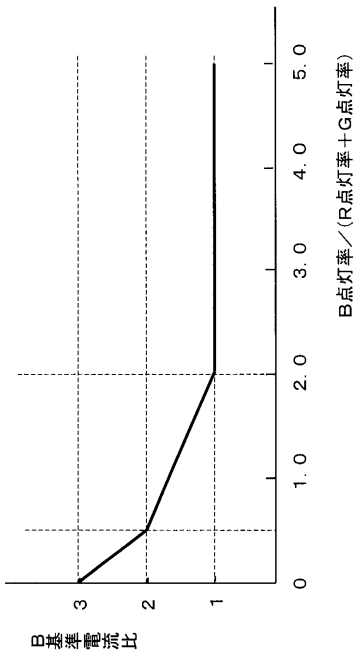
【図１５１】



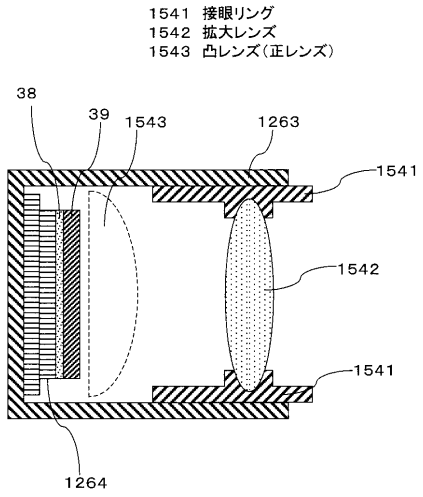
【図１５２】



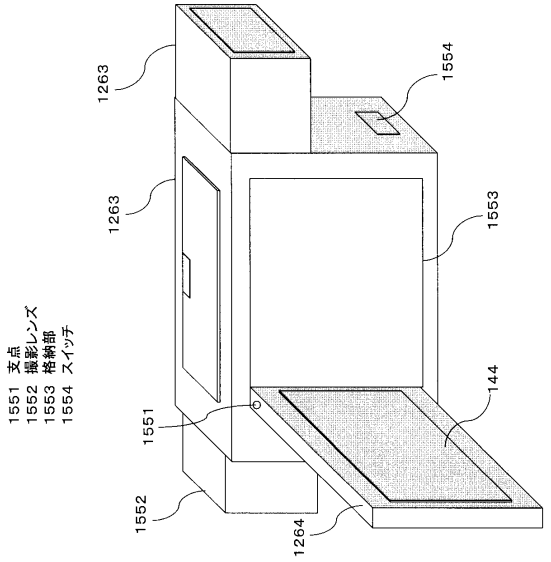
【図１５３】



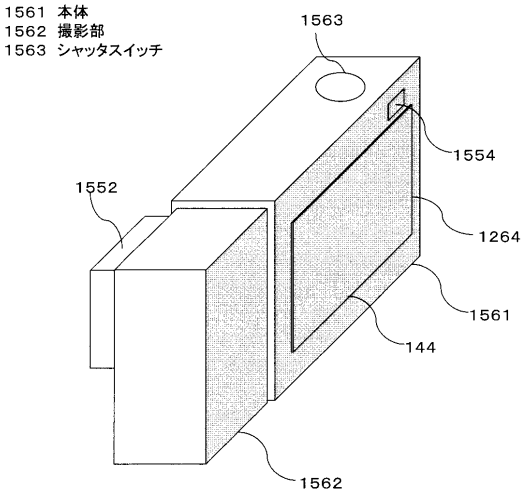
【図１５４】



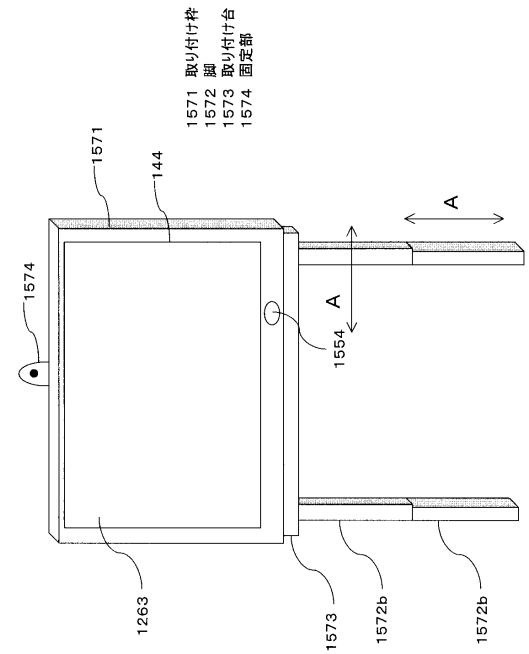
【図１５５】



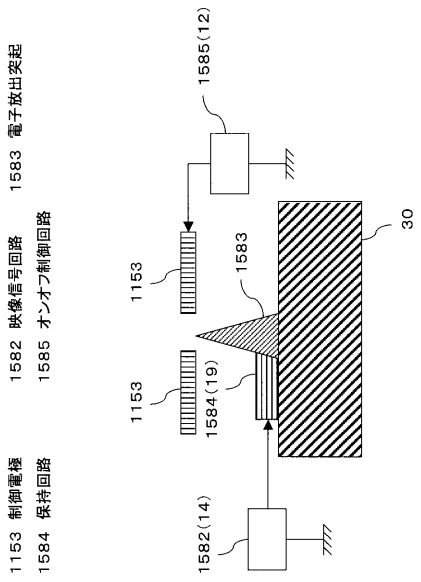
【図１５６】



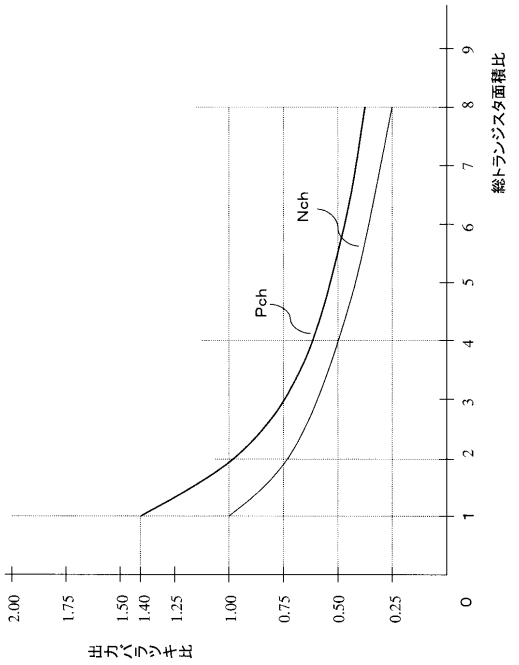
【図１５７】



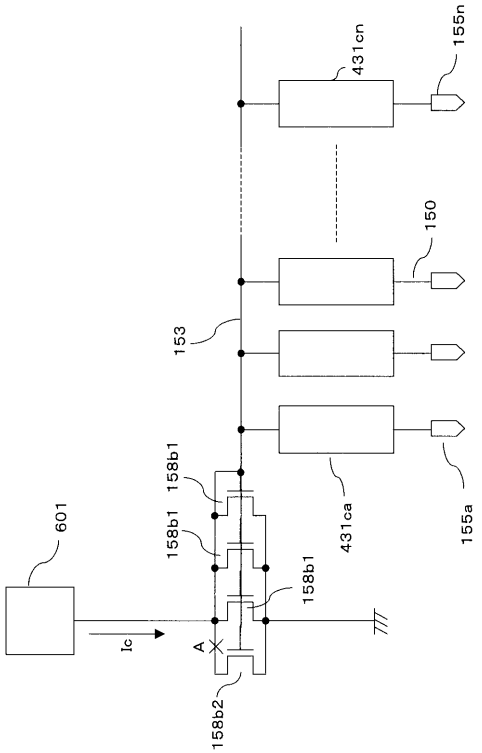
【図１５８】



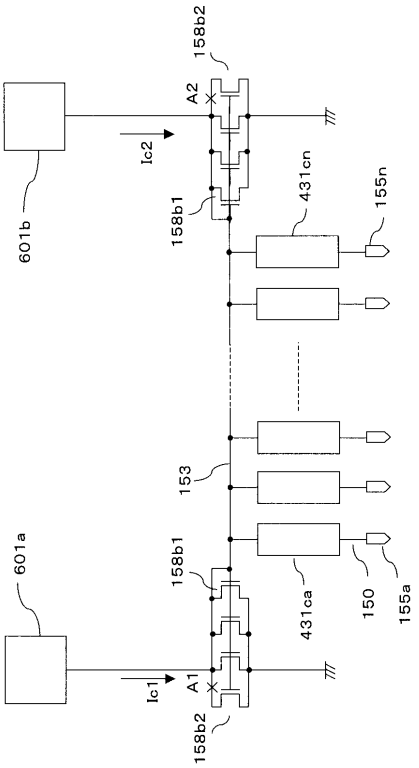
【図１５９】



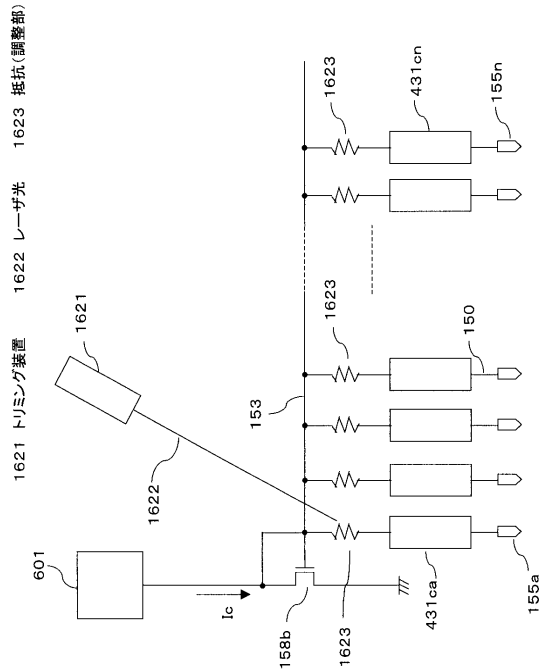
【図１６０】



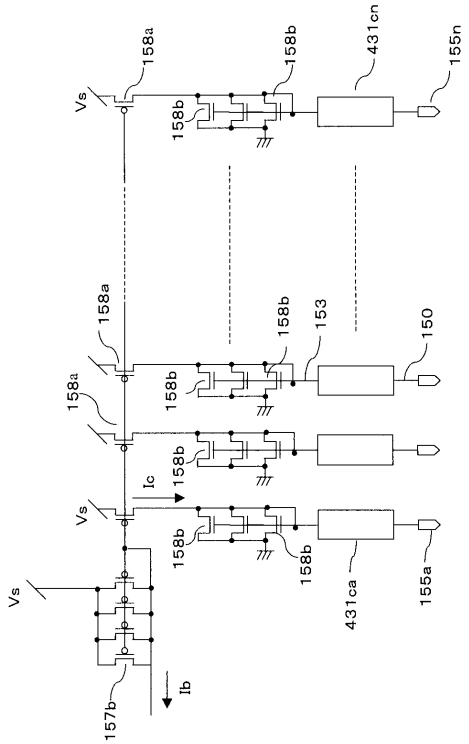
【図１６１】



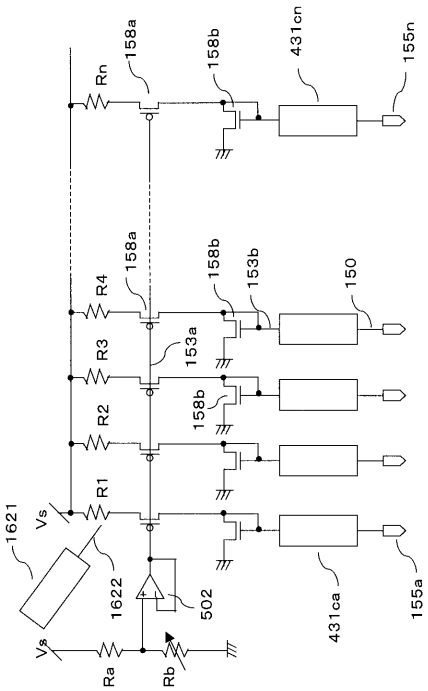
【図１６２】



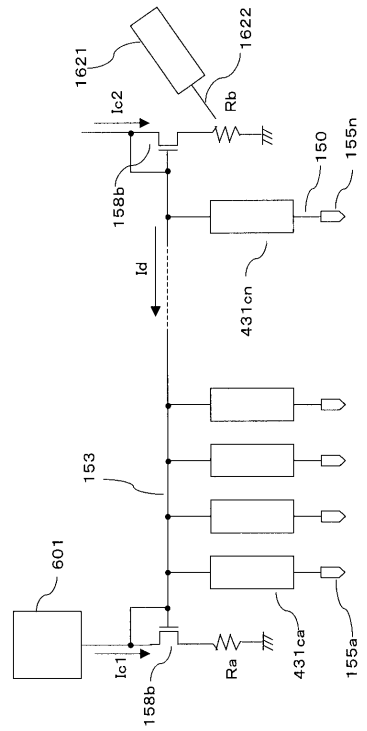
【図１６３】



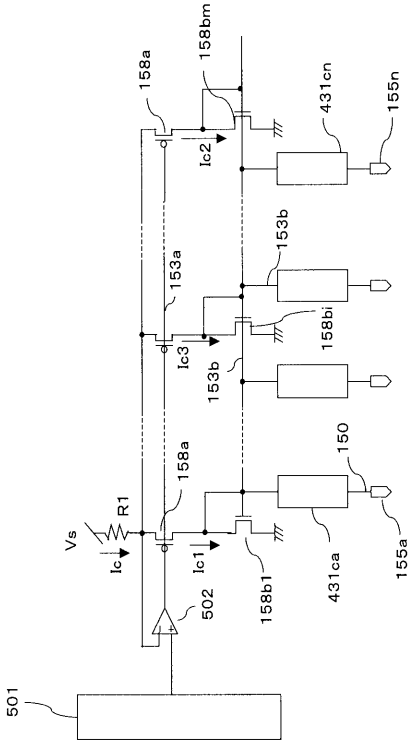
【図１６４】



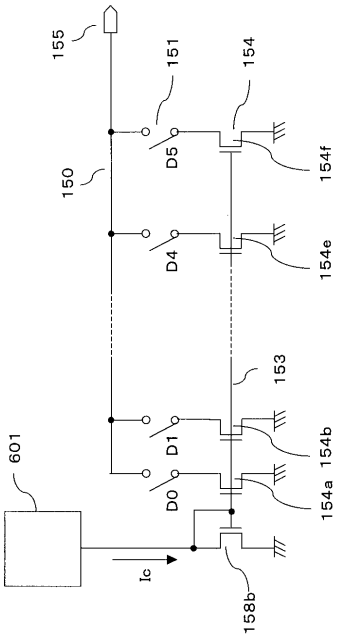
【図１６５】



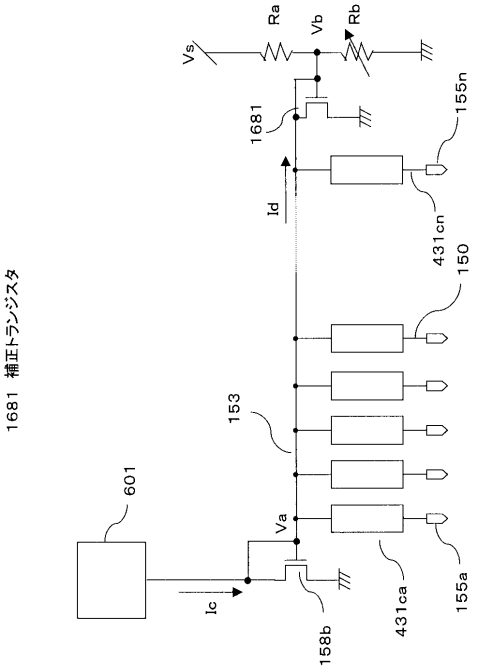
【図１６６】



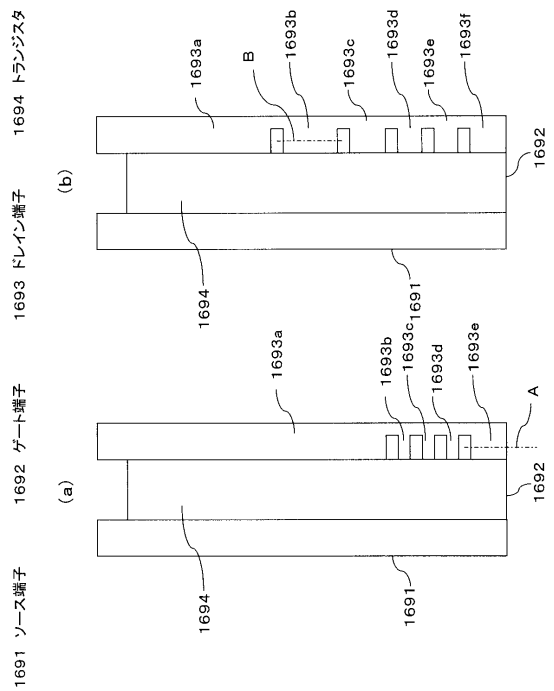
【図１６７】



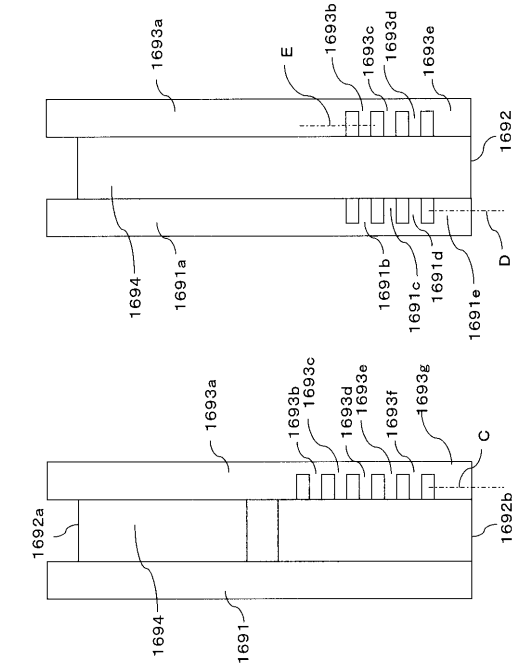
【図１６８】



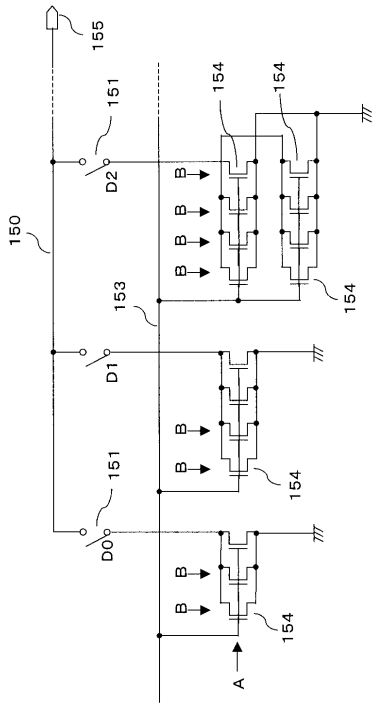
【図１６９】



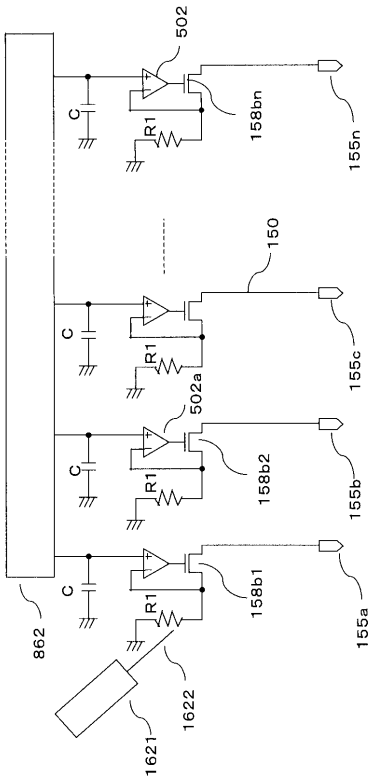
【図１７０】



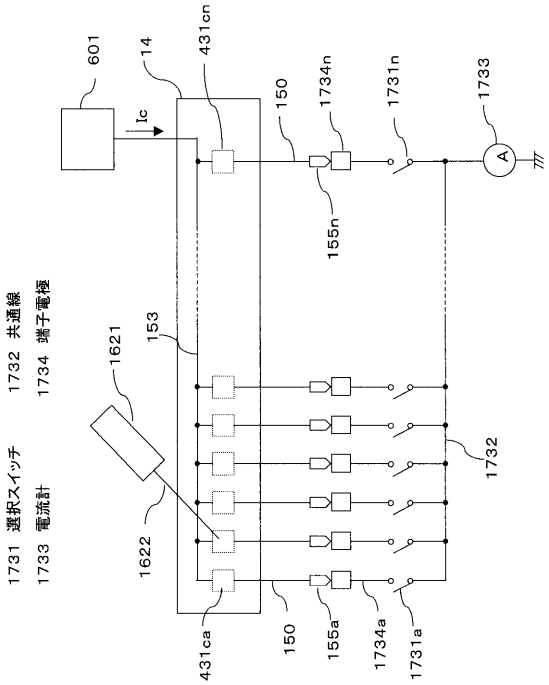
【図１７１】



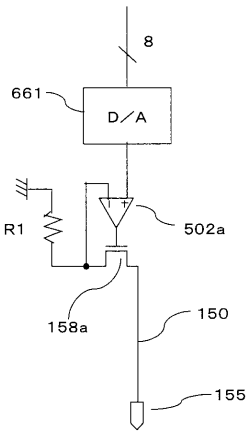
【図１７２】



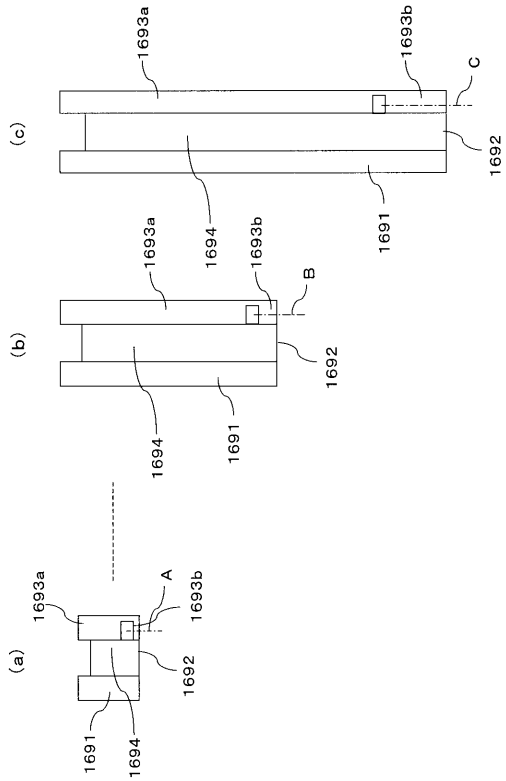
【図１７３】



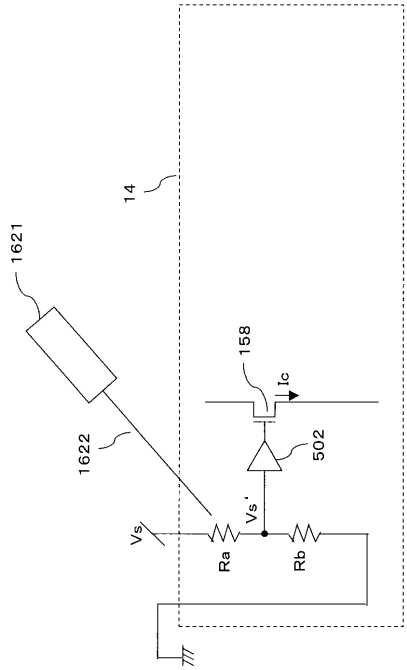
【図１７４】



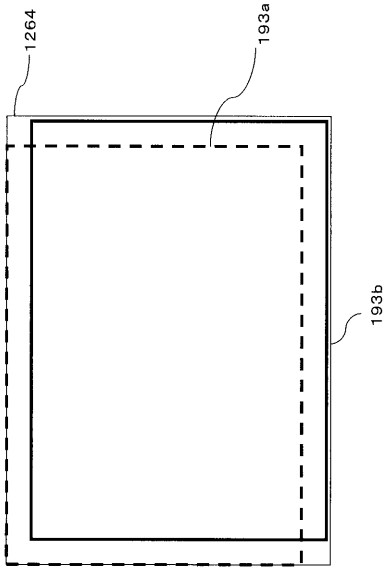
【図１７５】



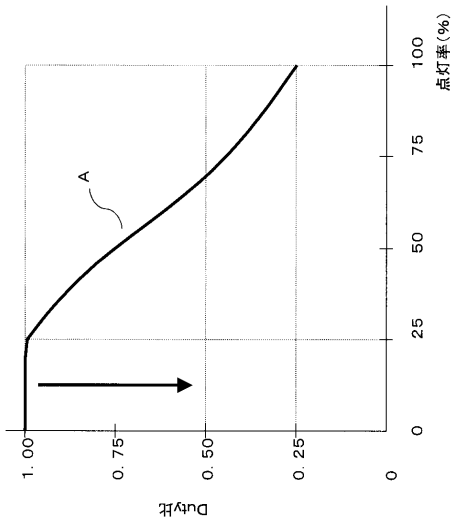
【図１７６】



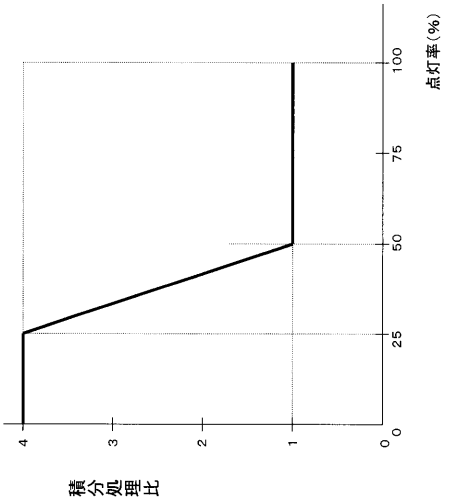
【図１７７】



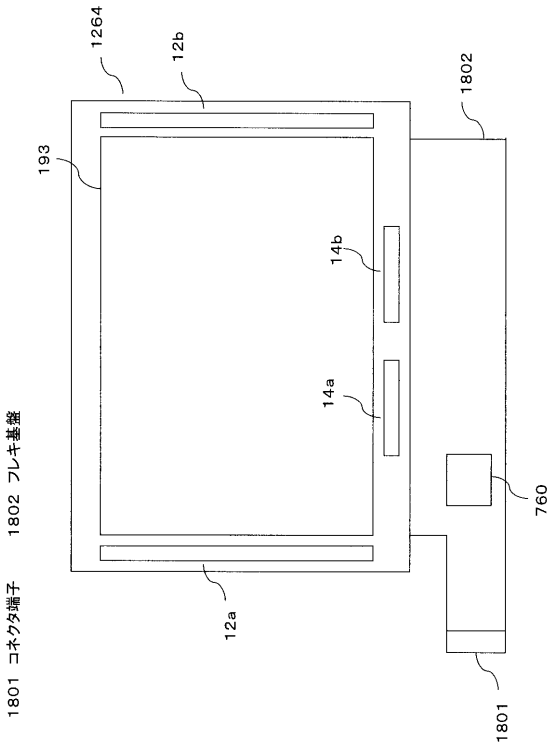
【図１７８】



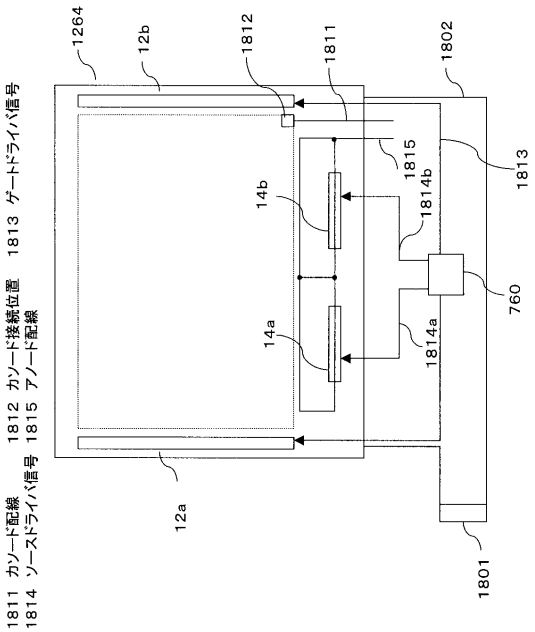
【図１７９】



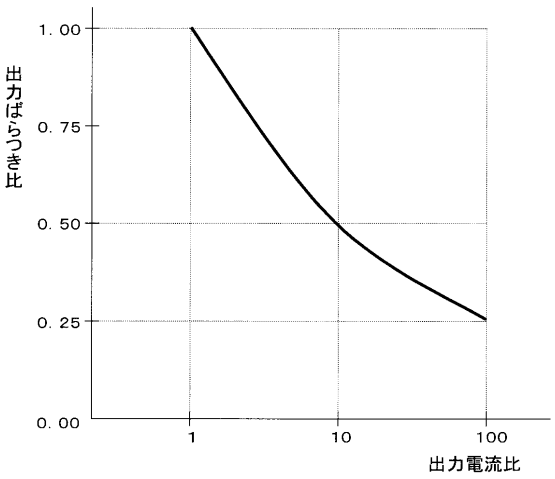
【図１８０】



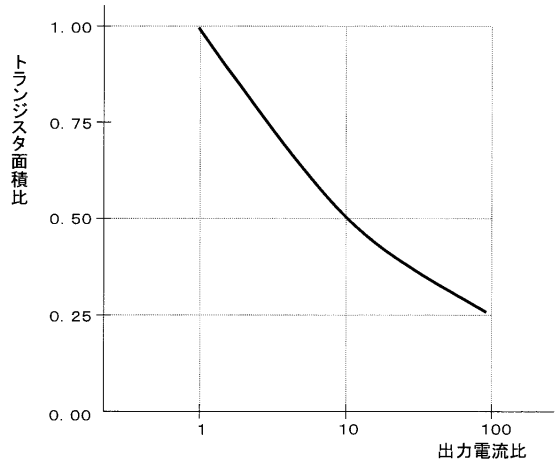
【図１８１】



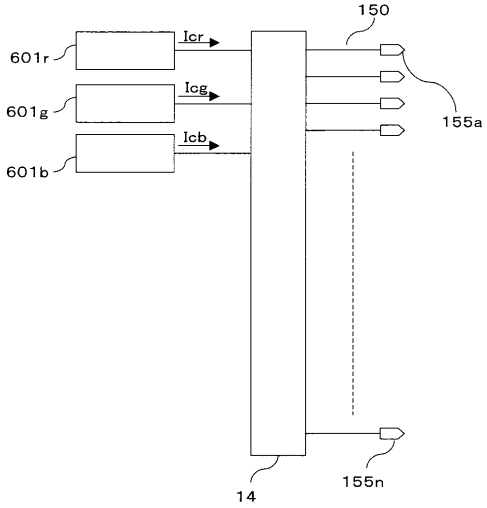
【図１８２】



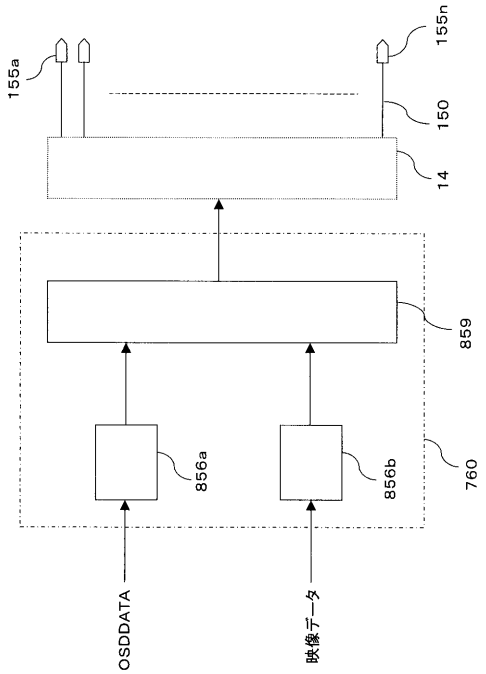
【図１８３】



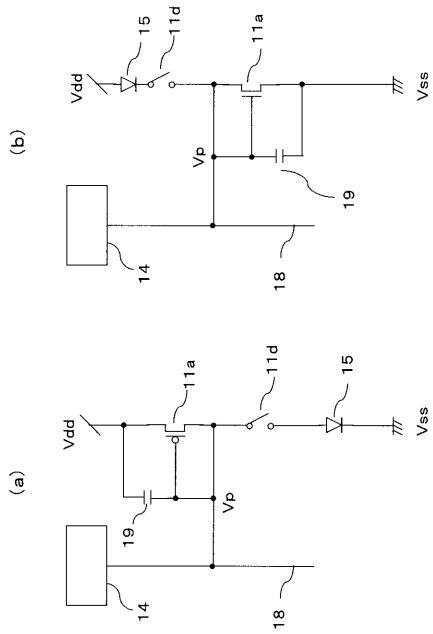
【図１８４】



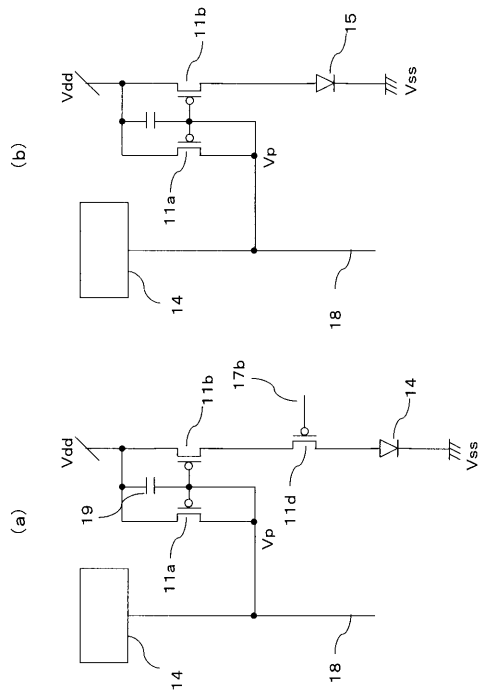
【図１８５】



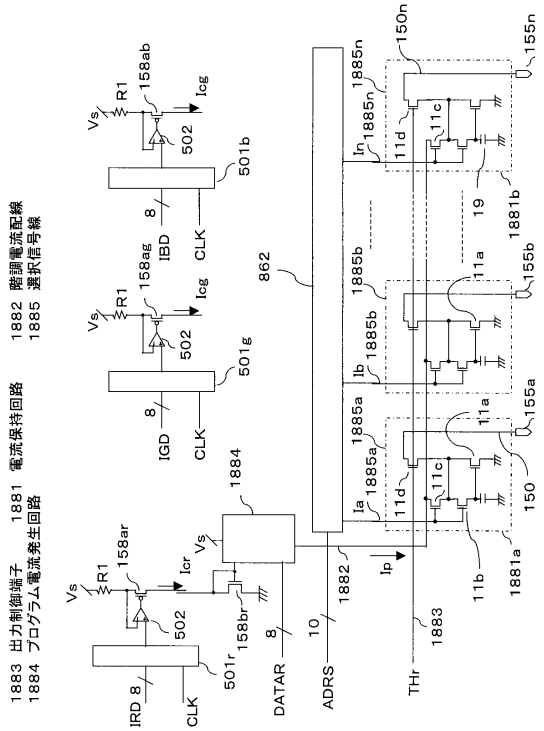
【図１８６】



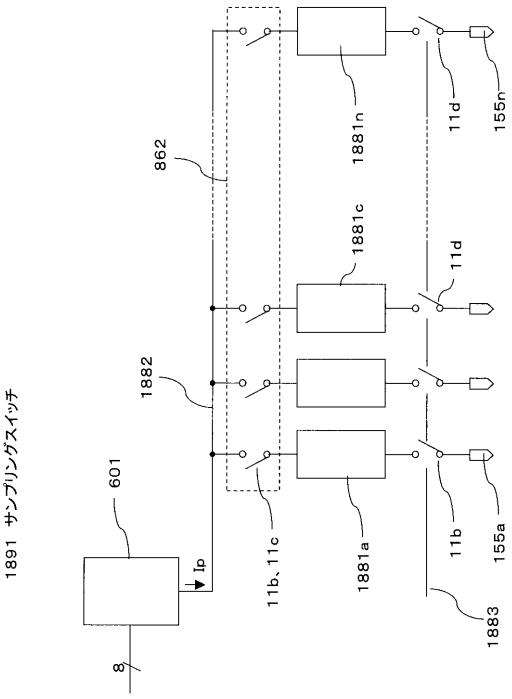
【図１８７】



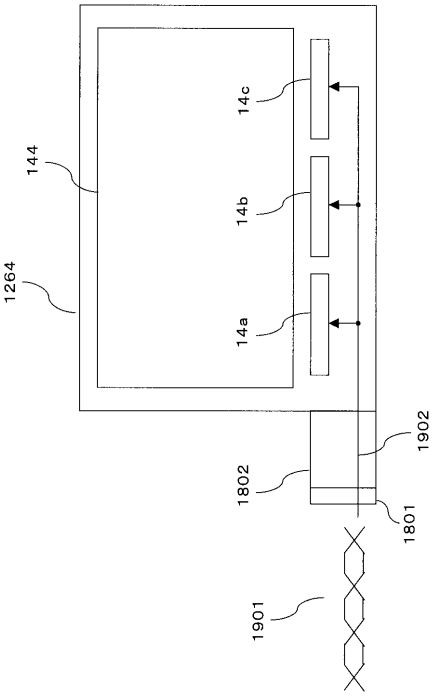
【図１８８】



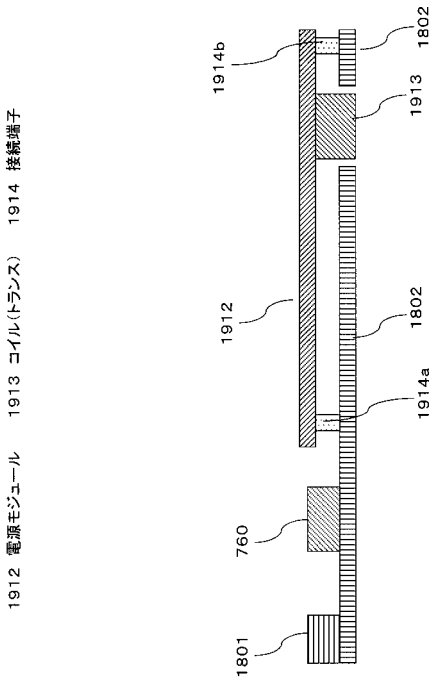
【図１８９】



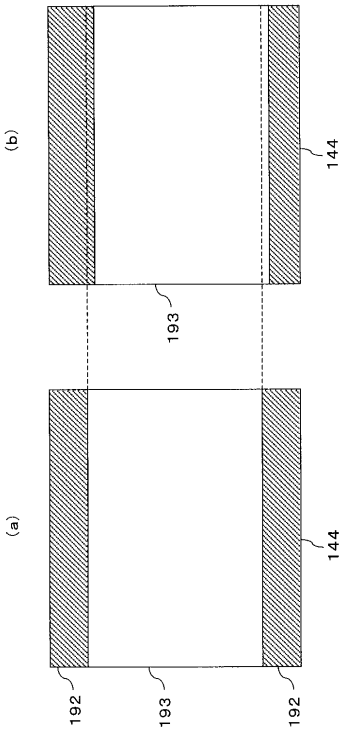
【図１９０】



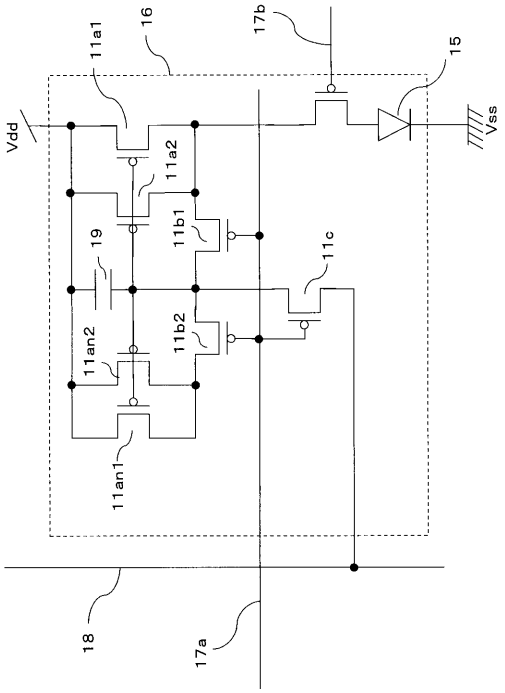
【図１９１】



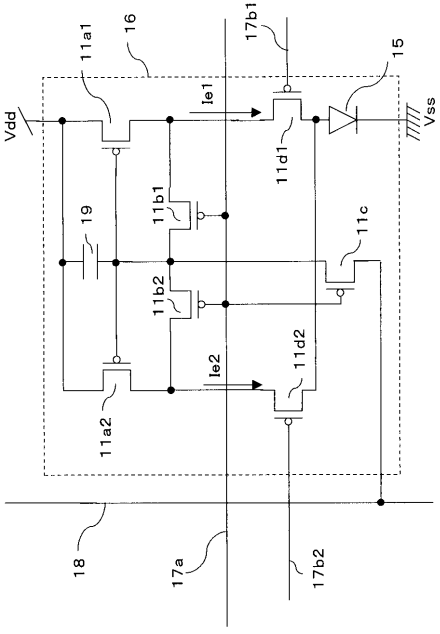
【図１９２】



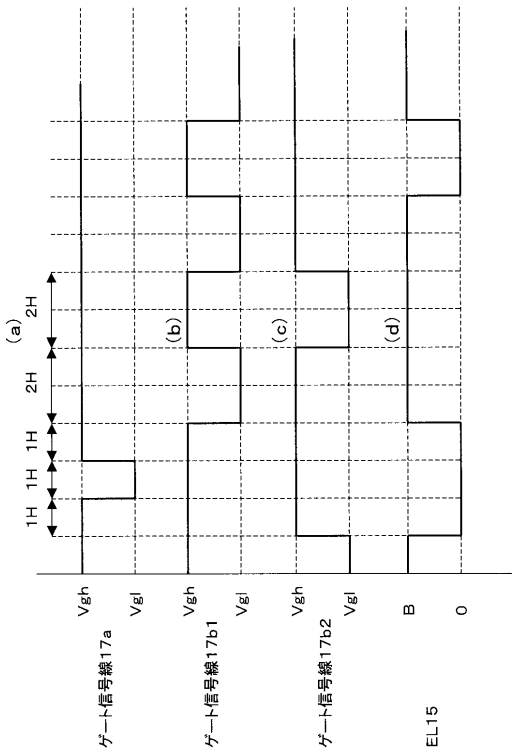
【図１９３】



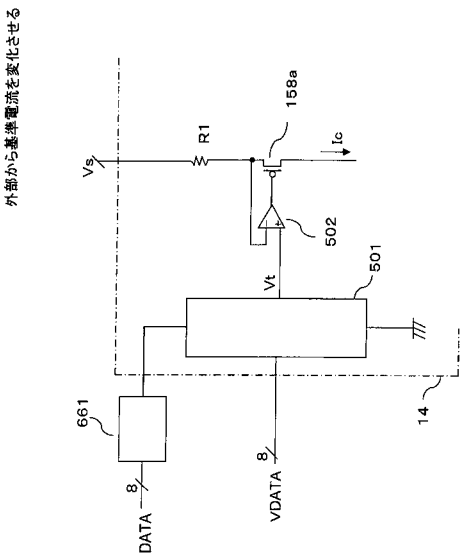
【図１９４】



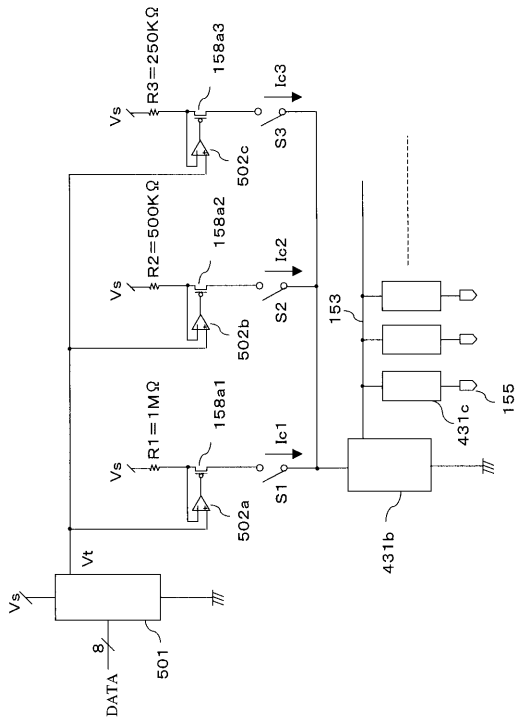
【図１９５】



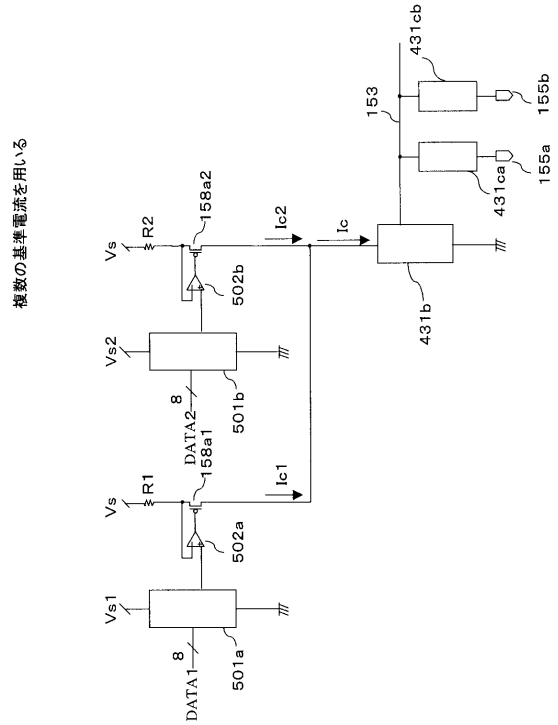
【図１９６】



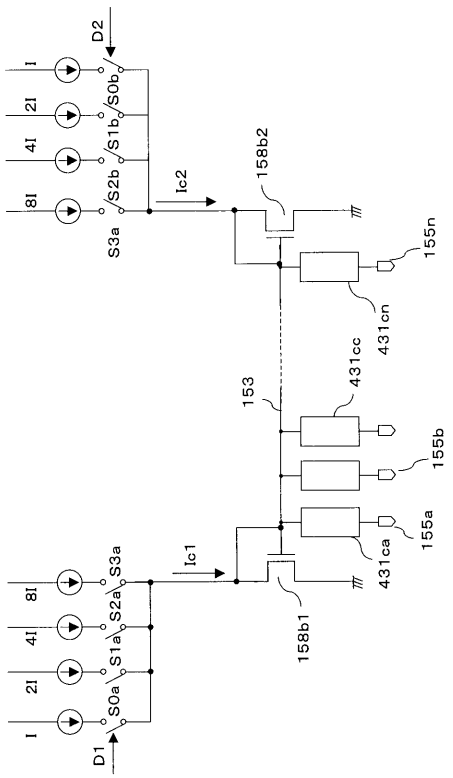
【図１９７】



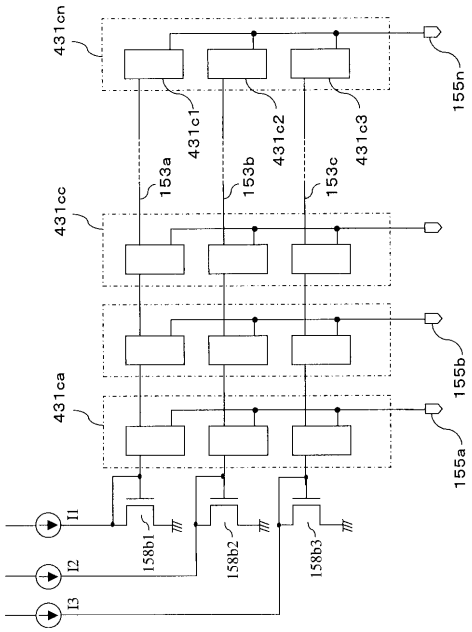
【図１９８】



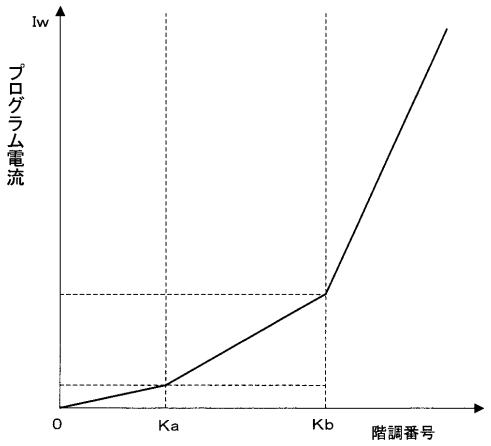
【図１９９】



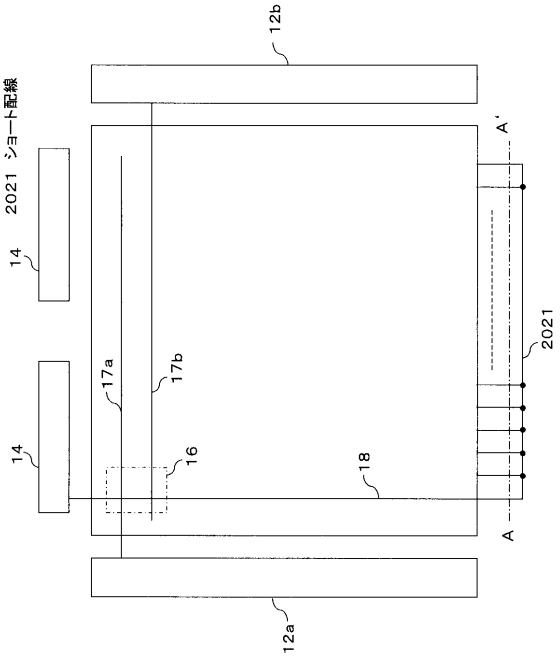
【図２００】



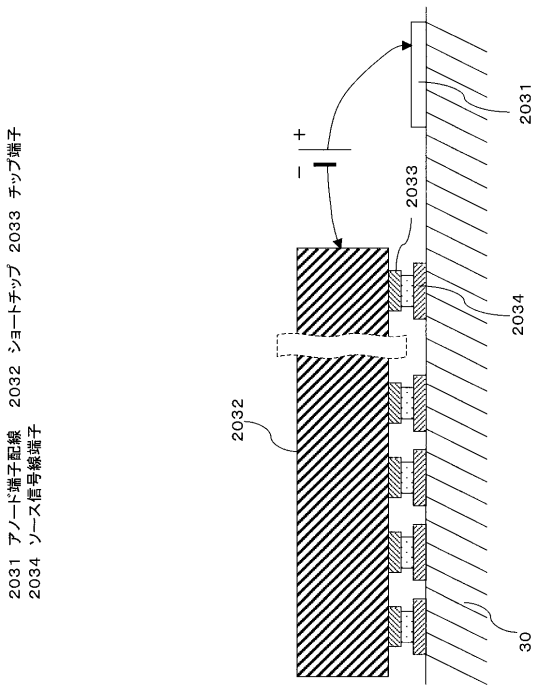
【図２０１】



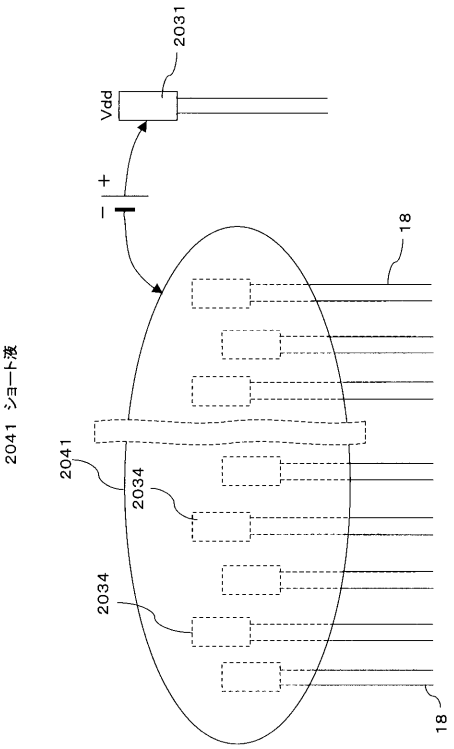
【図２０２】



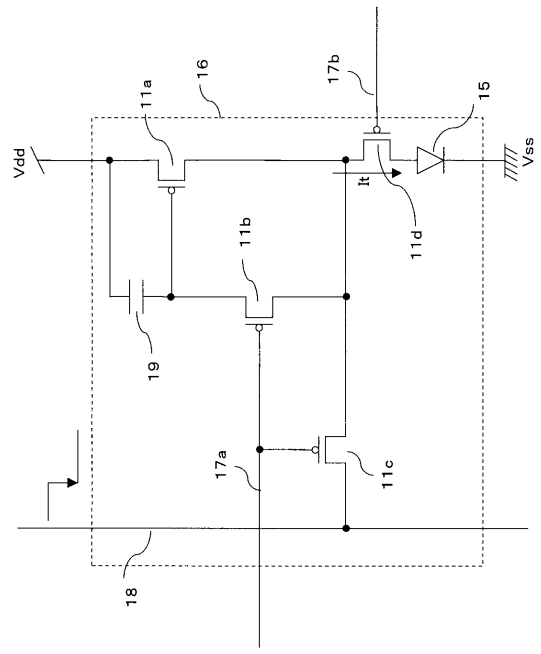
【図２０３】



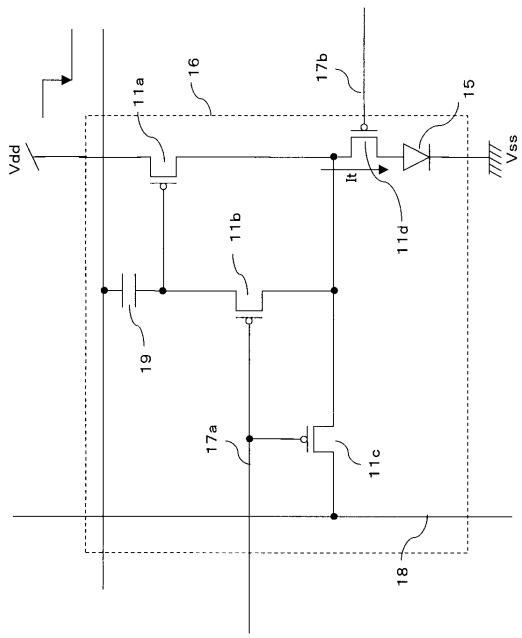
【図２０４】



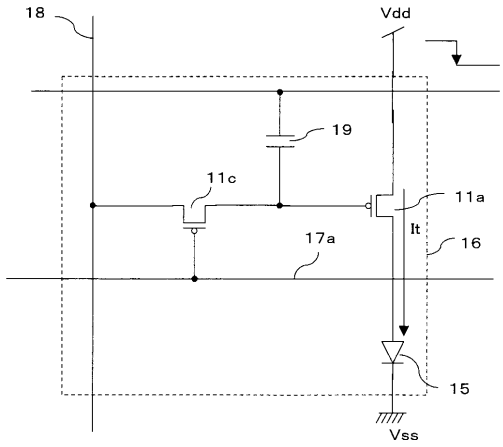
【図２０５】



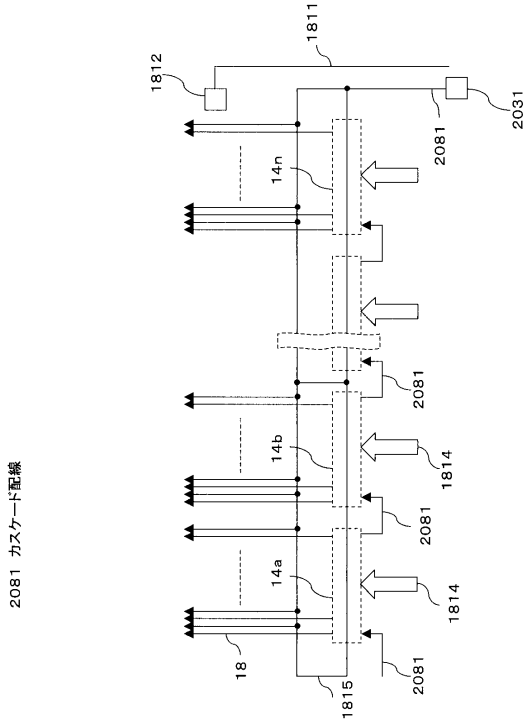
【図２０６】



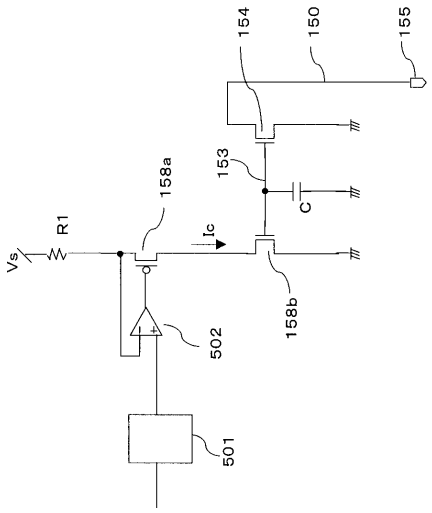
【図２０７】



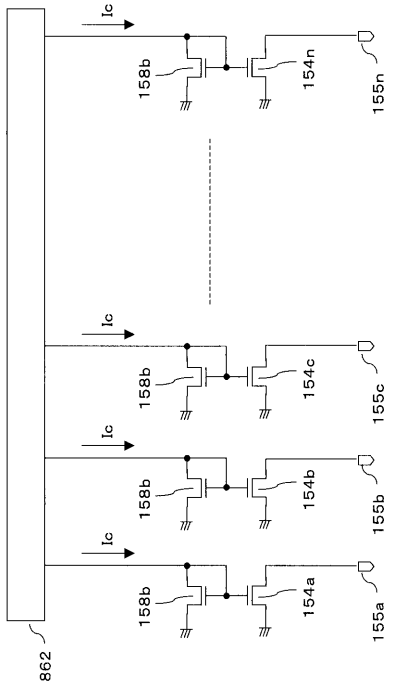
【図２０８】



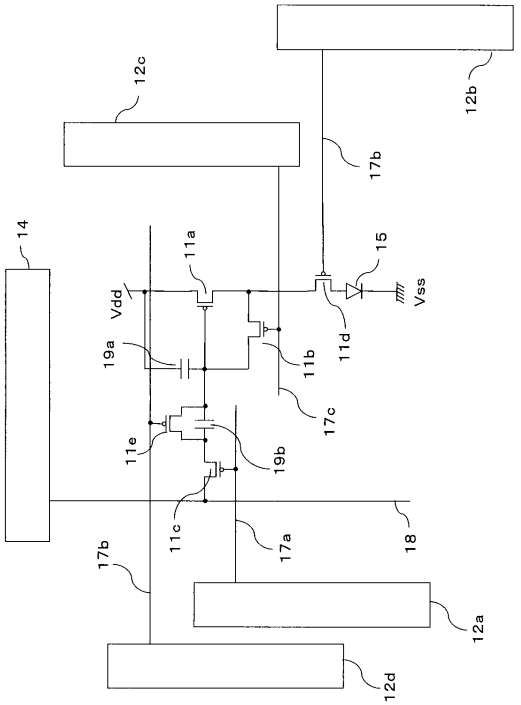
【図２０９】



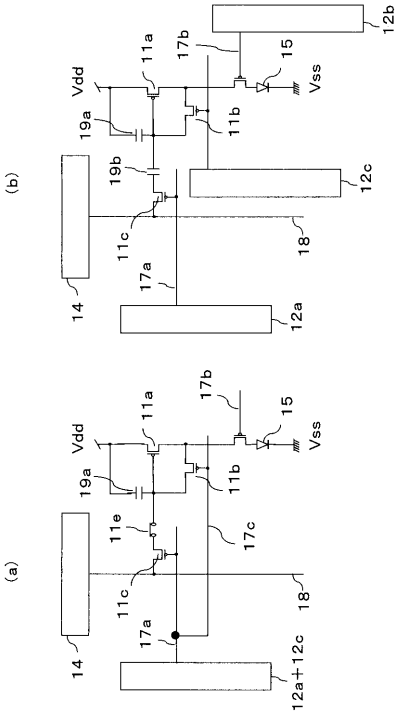
【図２１０】



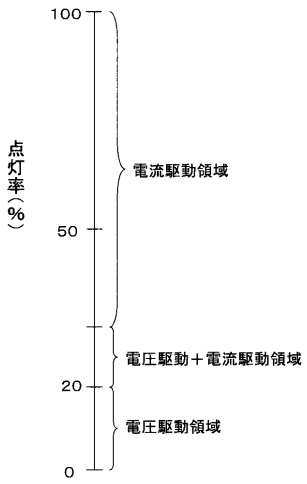
【図２１１】



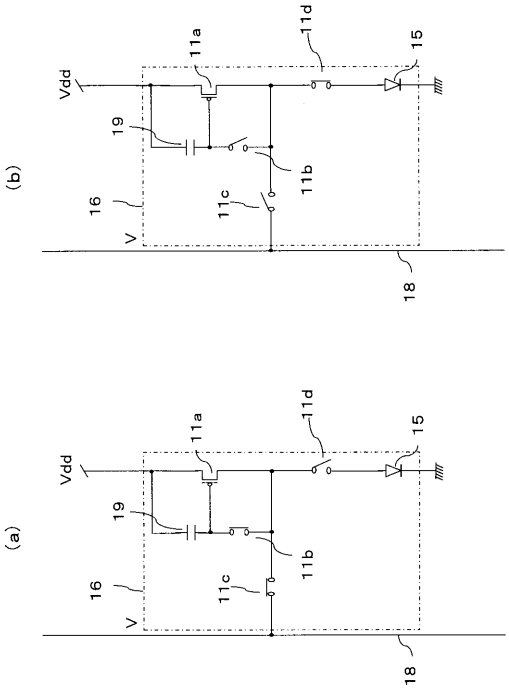
【図２１２】



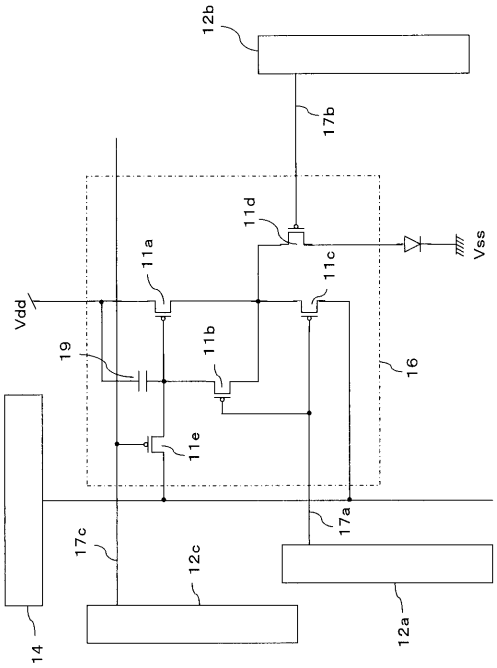
【図２１３】



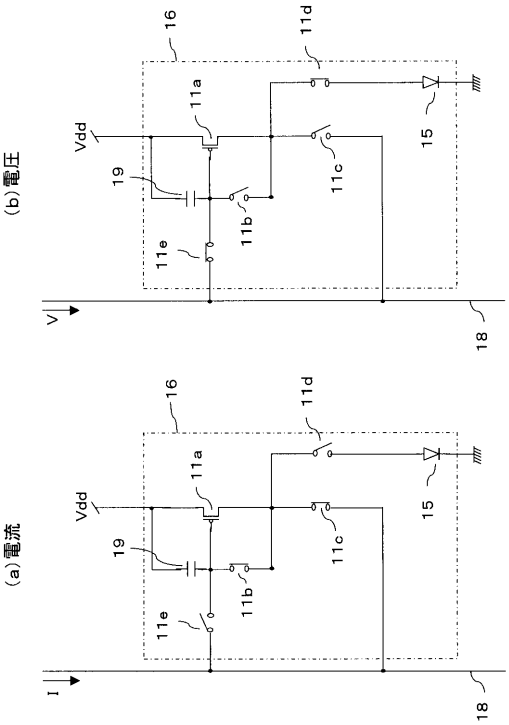
【図２１４】



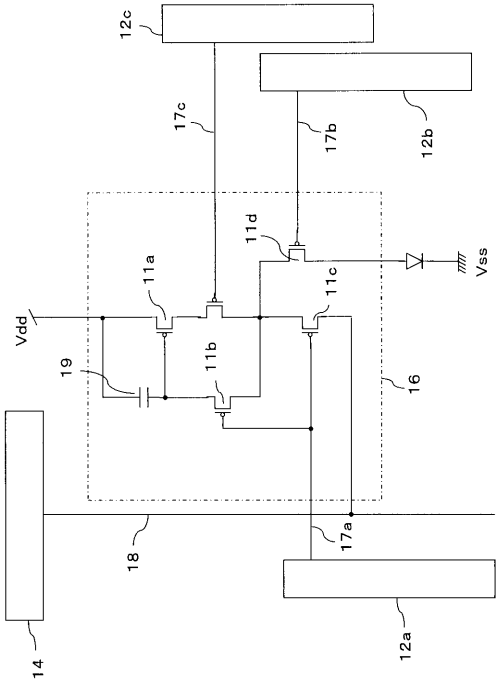
【図２１５】



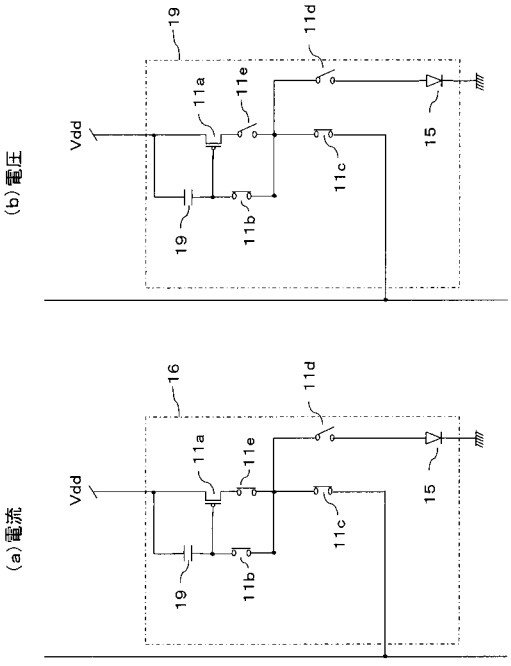
【図２１６】



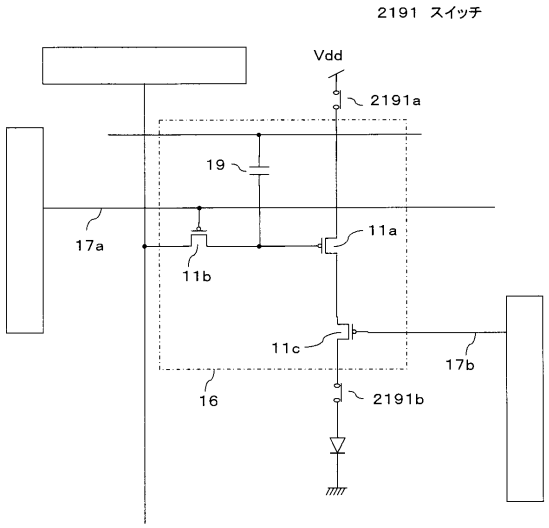
【図２１７】



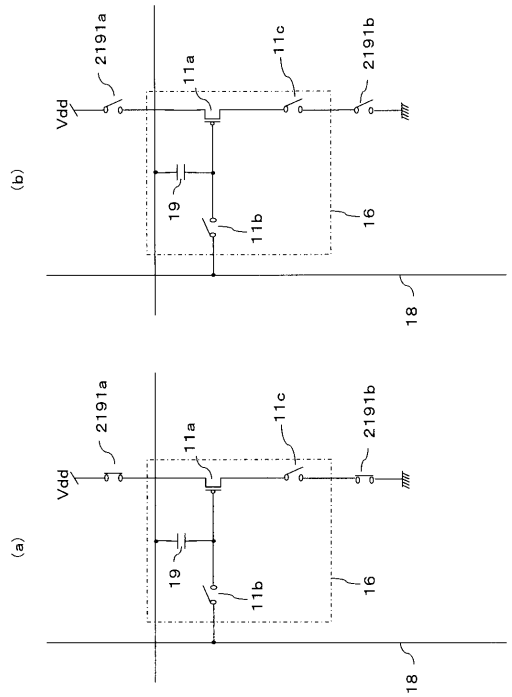
【図２１８】



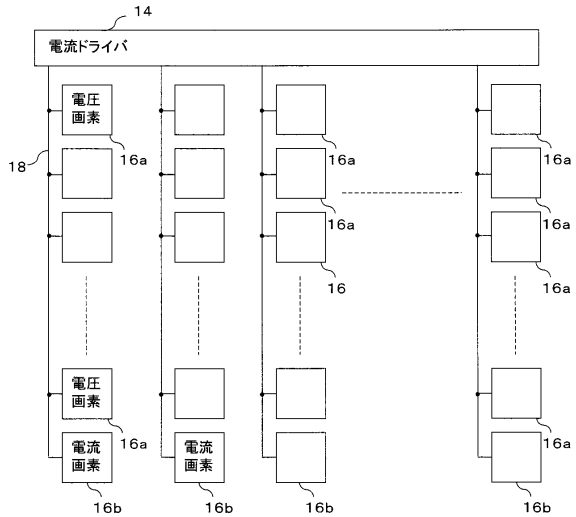
【図２１９】



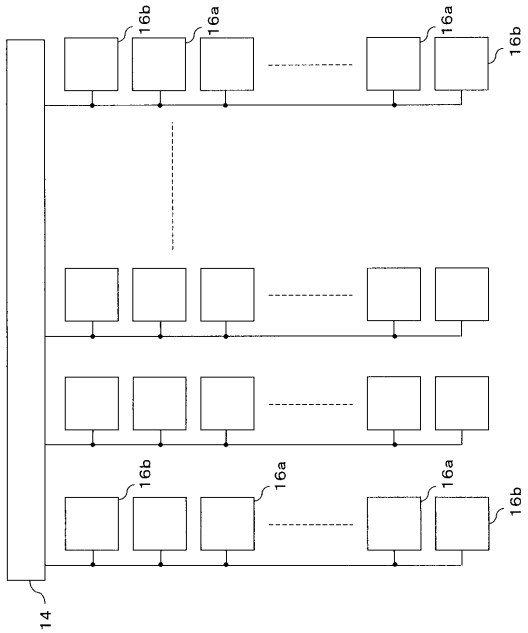
【図２２０】



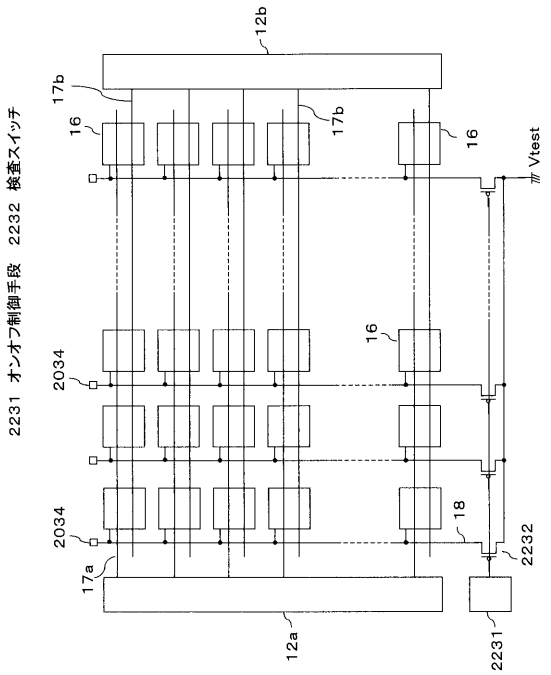
【図２２１】



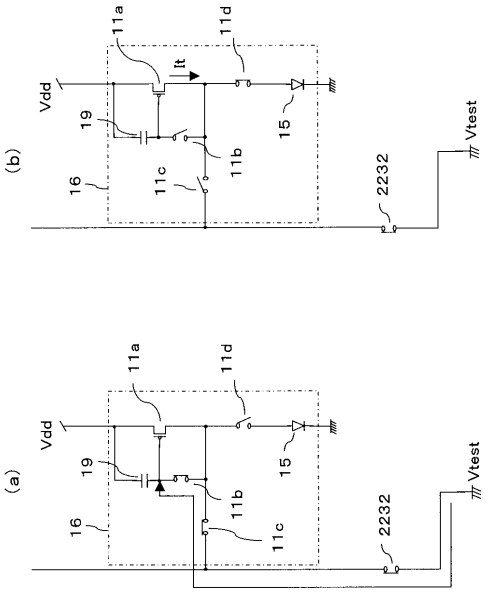
【図２２２】



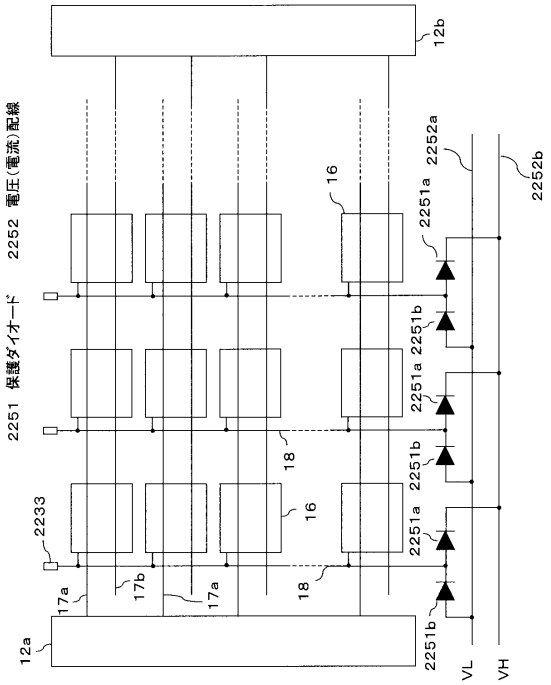
【図２２３】



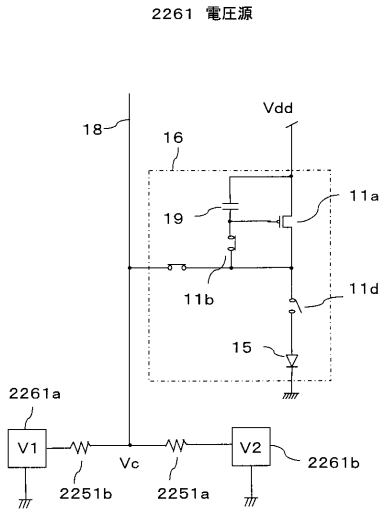
【図２２４】



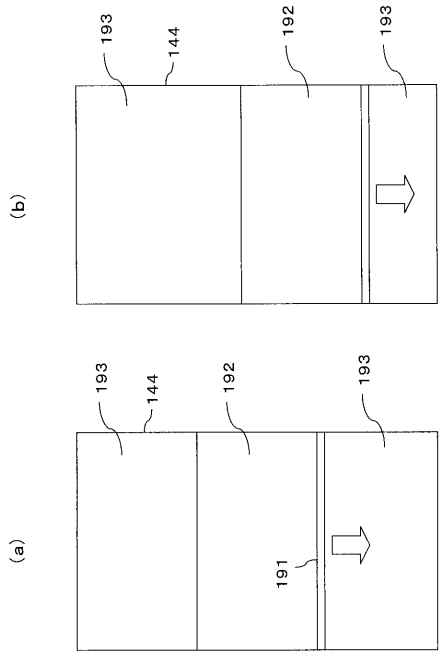
【図２２５】



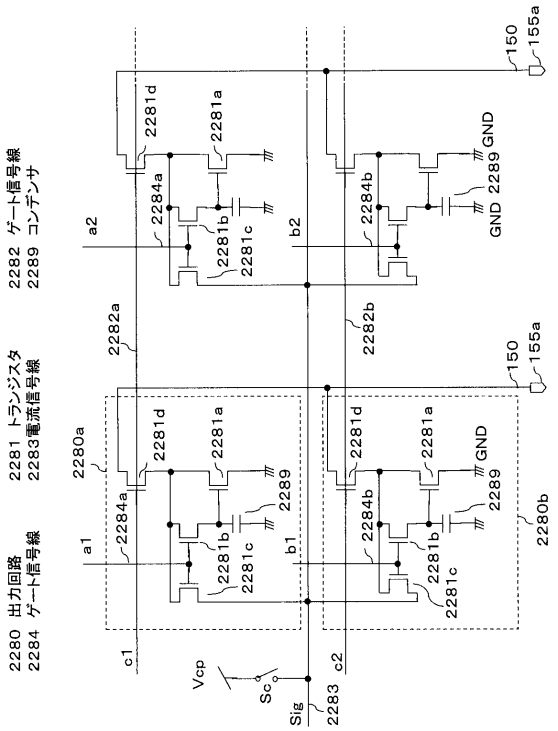
【図２２６】



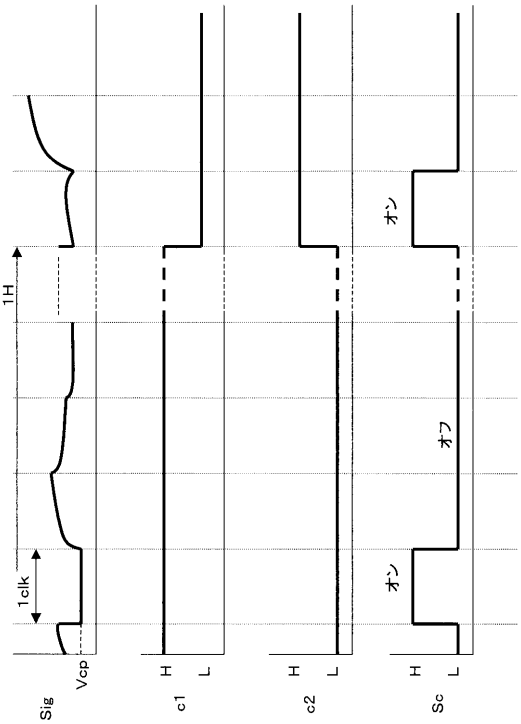
【図２２７】



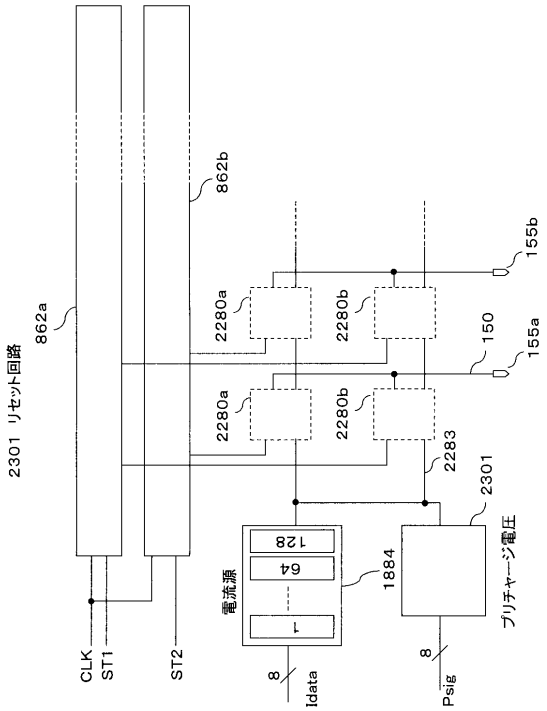
【図２２８】



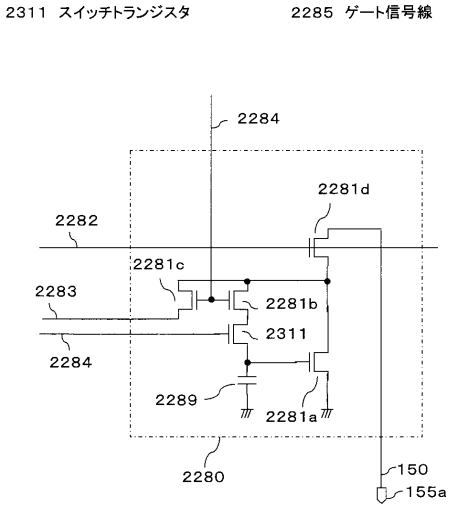
【図２２９】



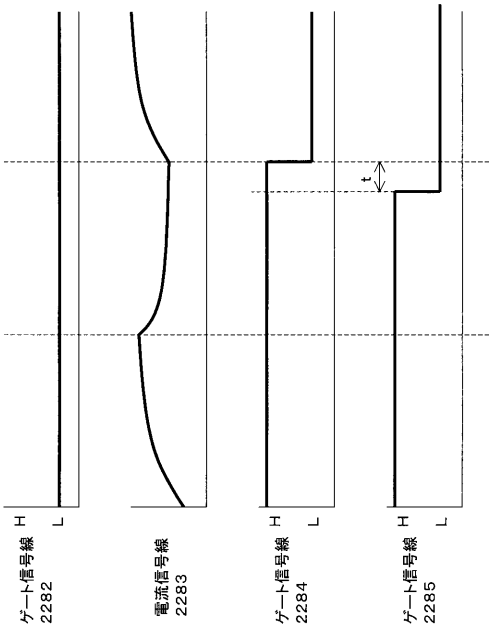
【図２３０】



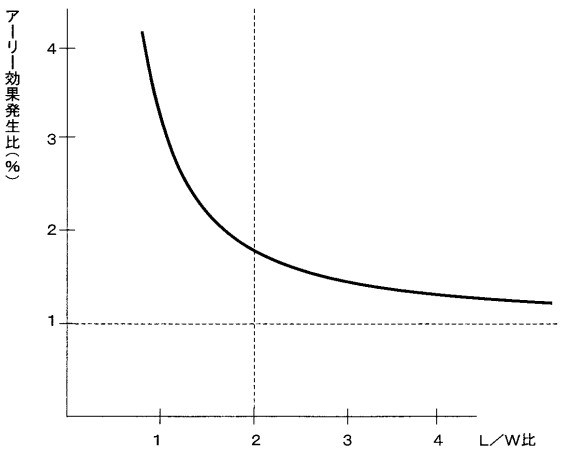
【図２３１】



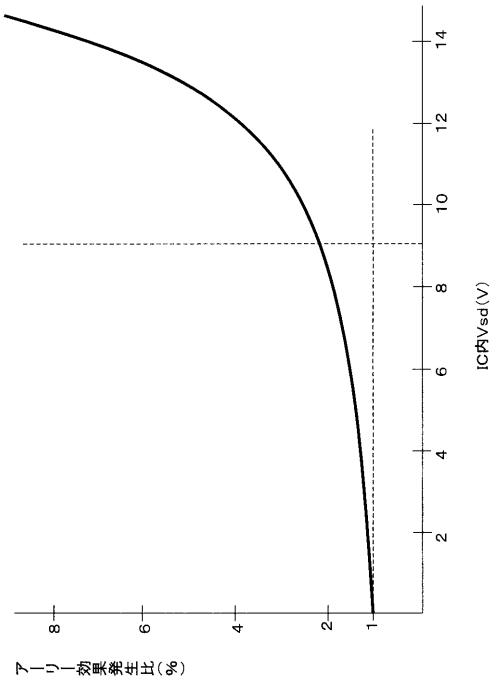
【図２３２】



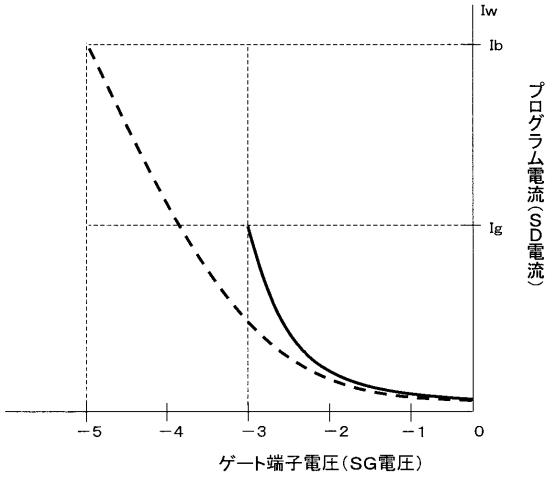
【図２３３】



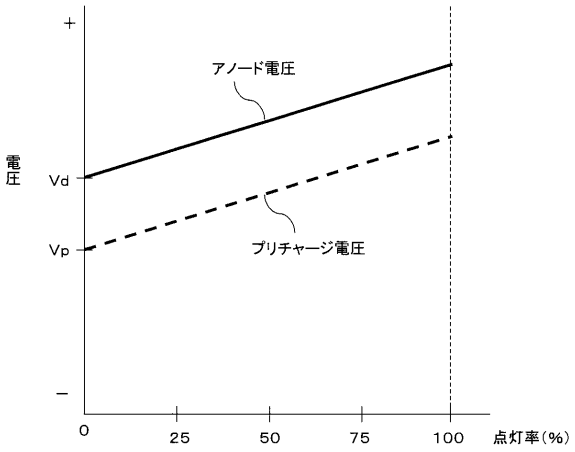
【図２３４】



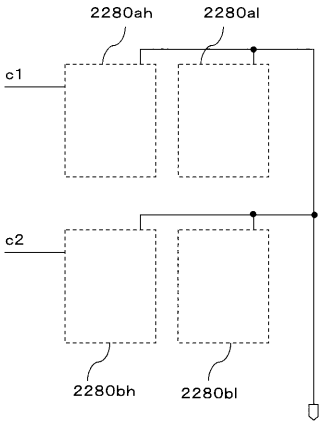
【図２３５】



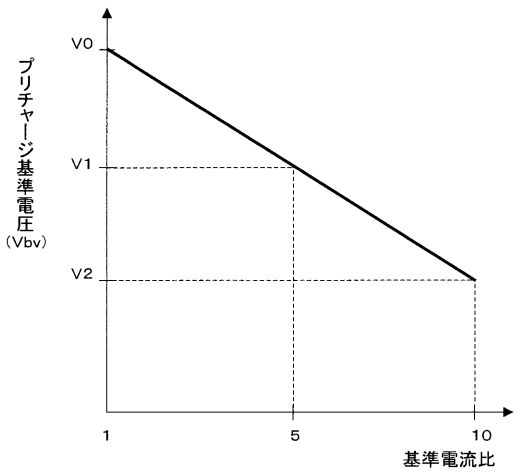
【図２３６】



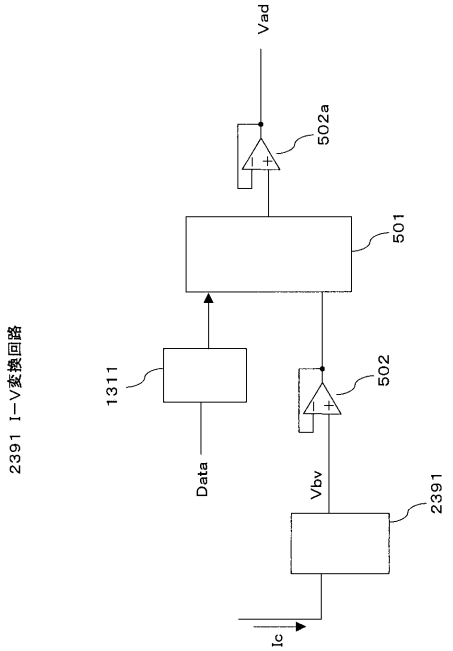
【図２３７】



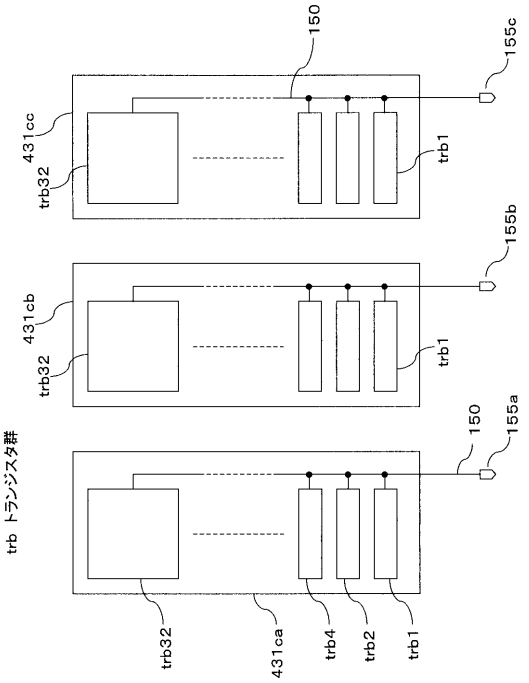
【図２３８】



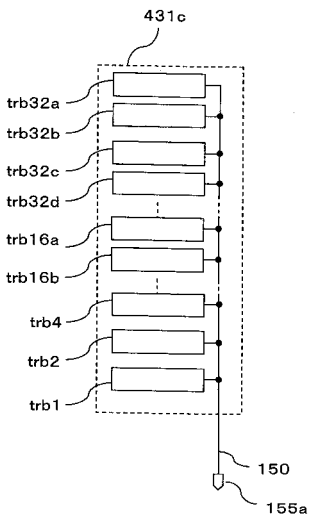
【図２３９】



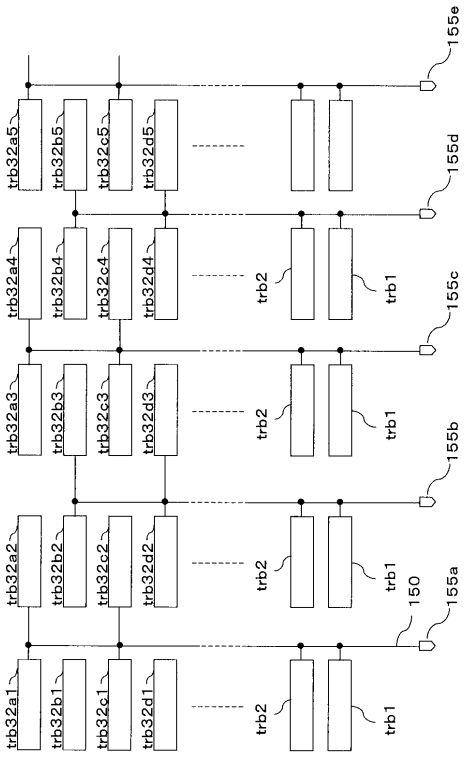
【図２４０】



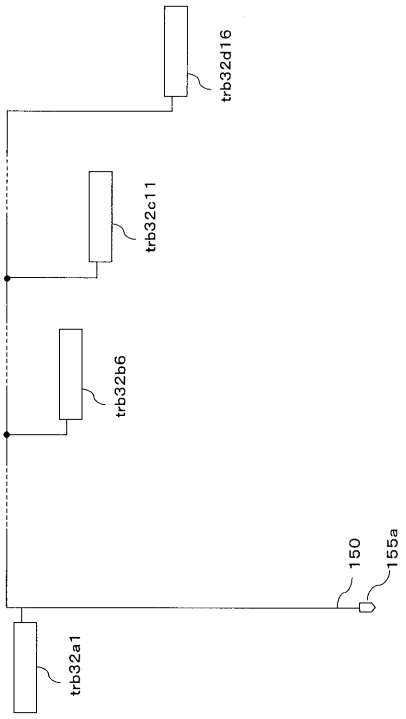
【図２４１】



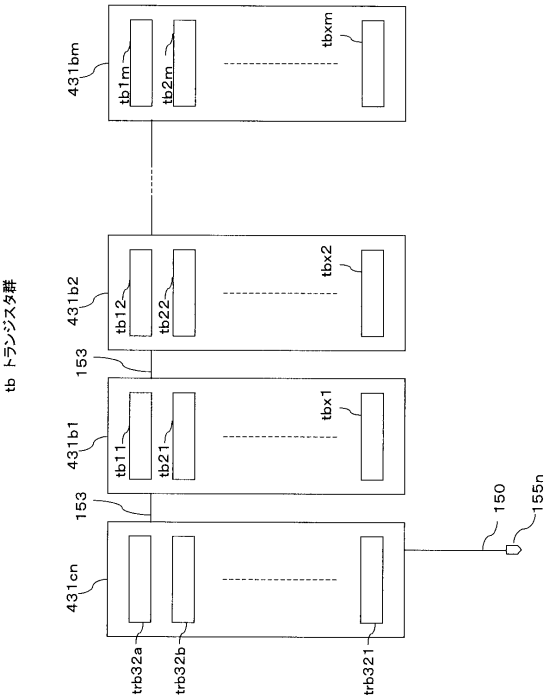
【図２４２】



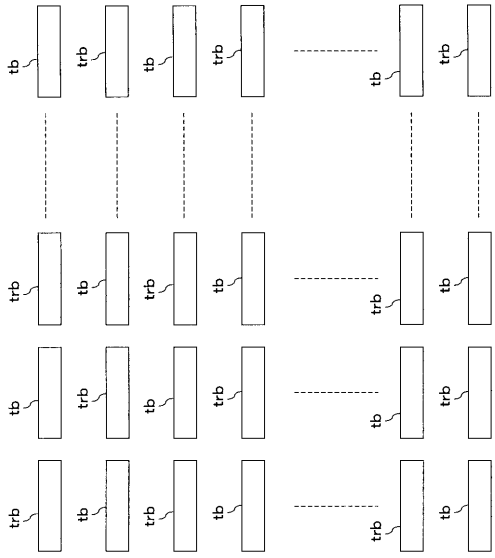
【図２４３】



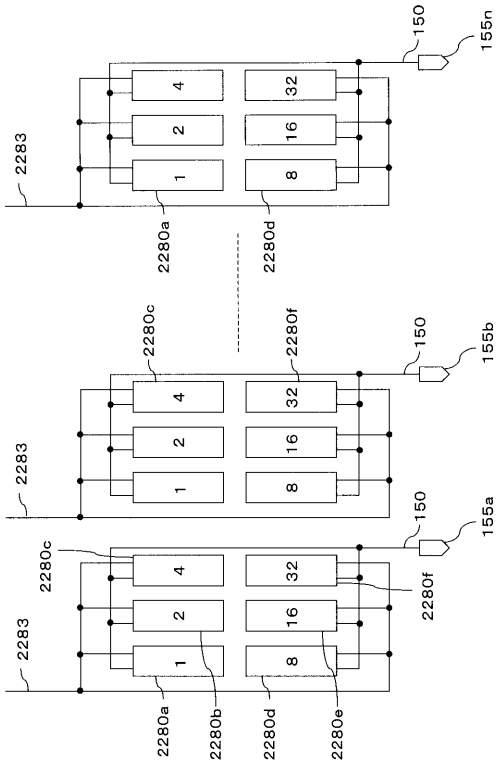
【図２４４】



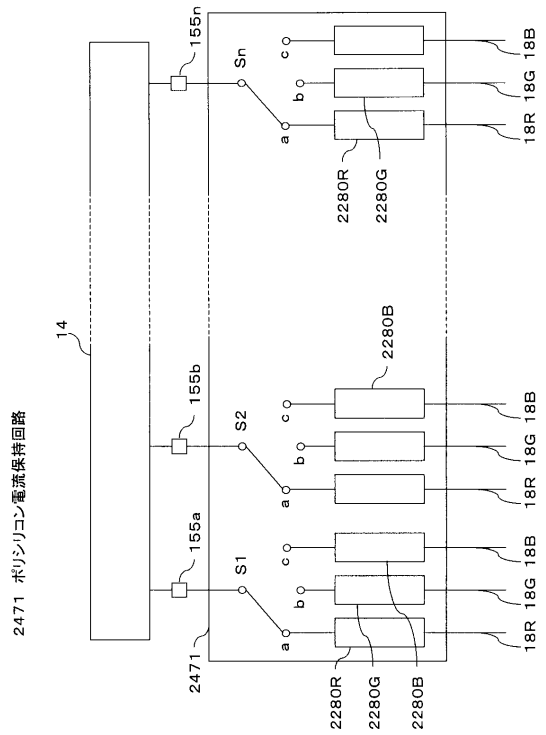
【図２４５】



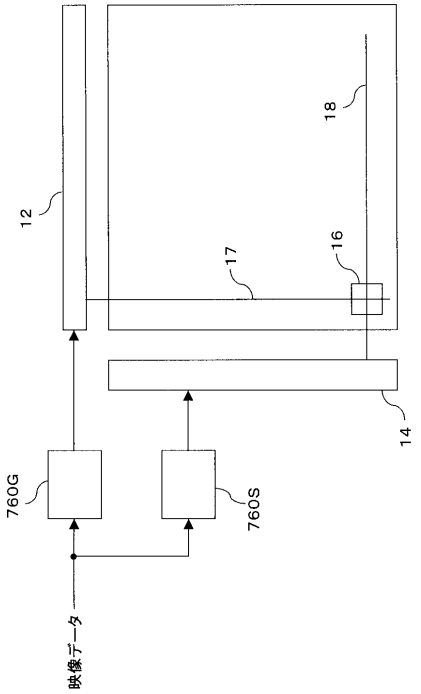
【図２４６】



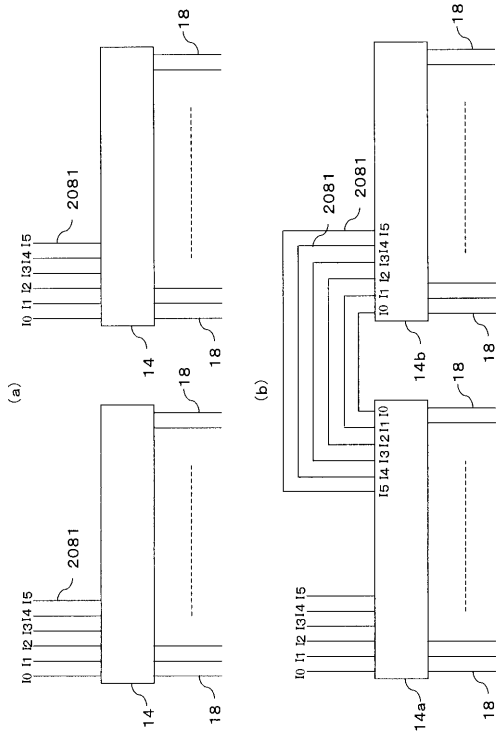
【図２４７】



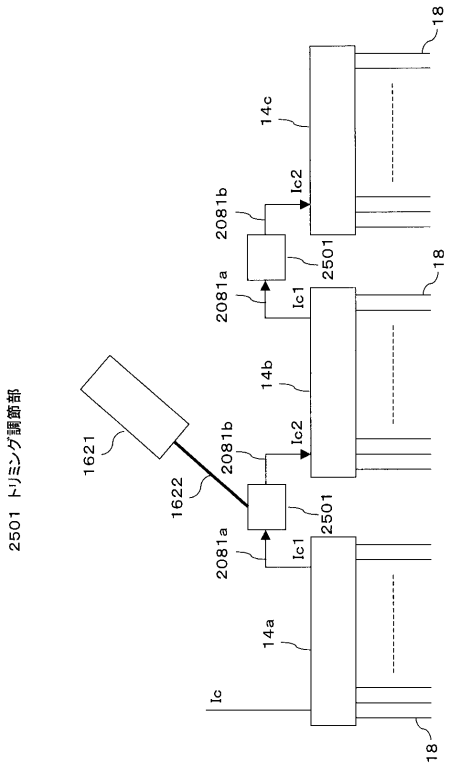
【図２４８】



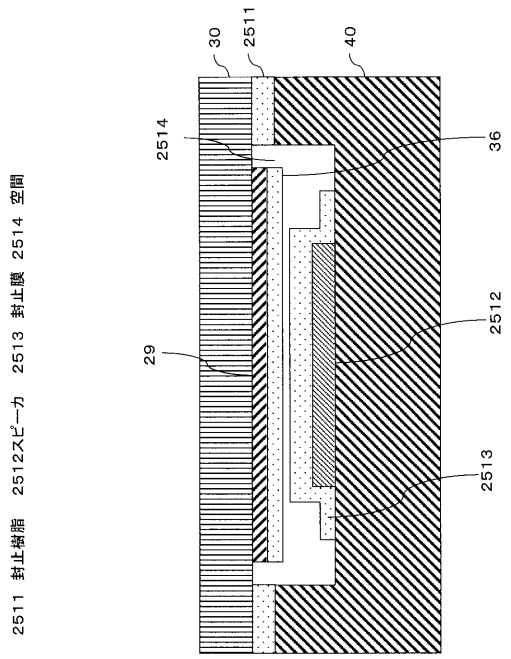
【図２４９】



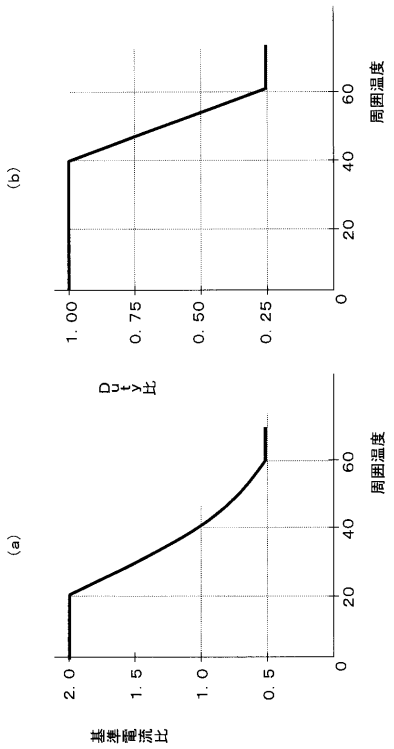
【図２５０】



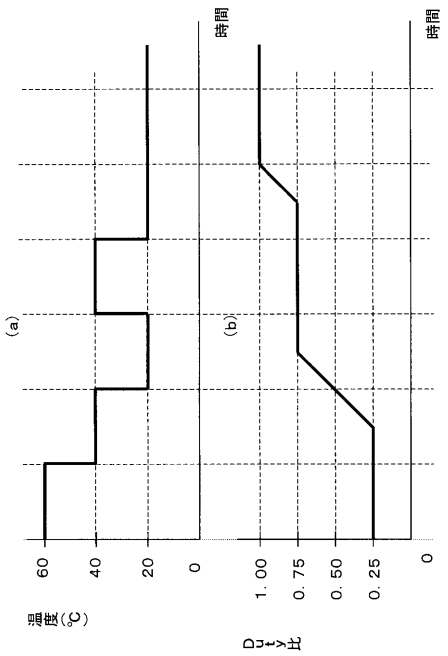
【図２５１】



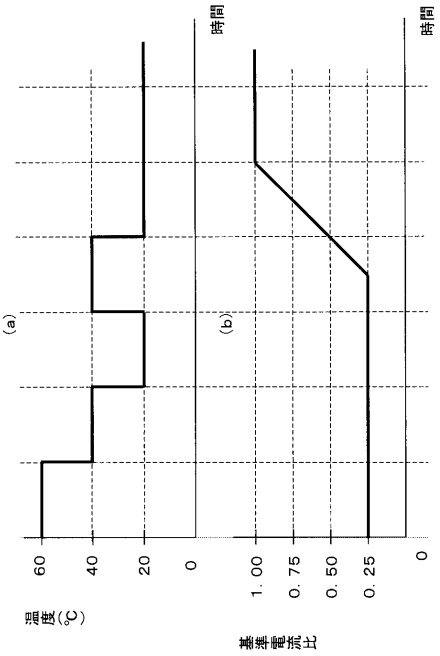
【図２５２】



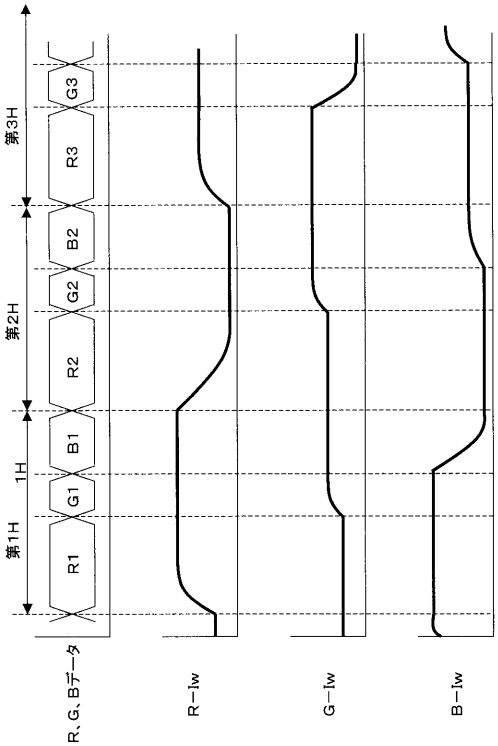
【図２５３】



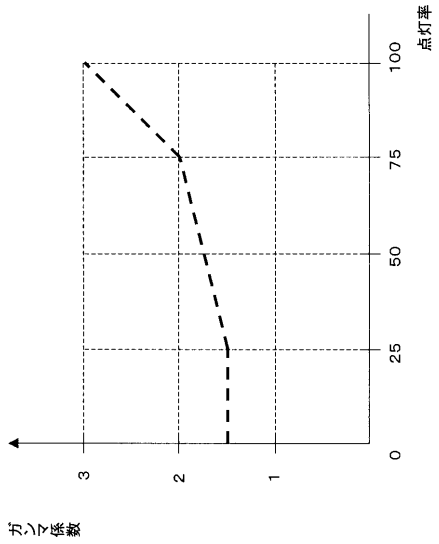
【図２５４】



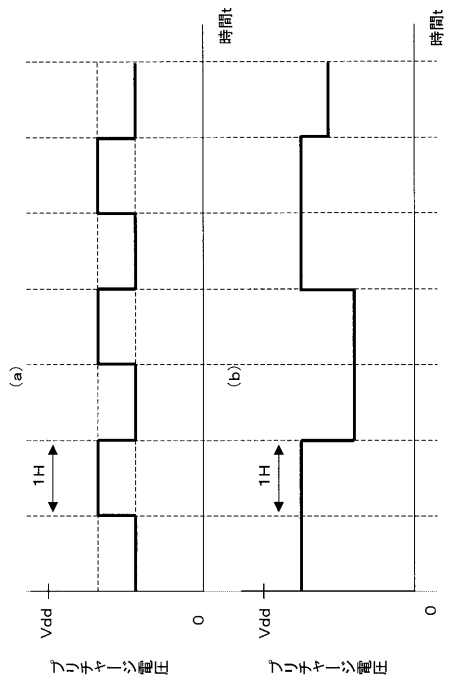
【図２５５】



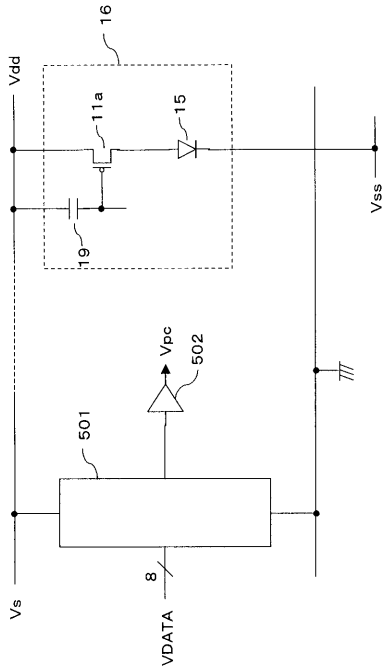
【図２５６】



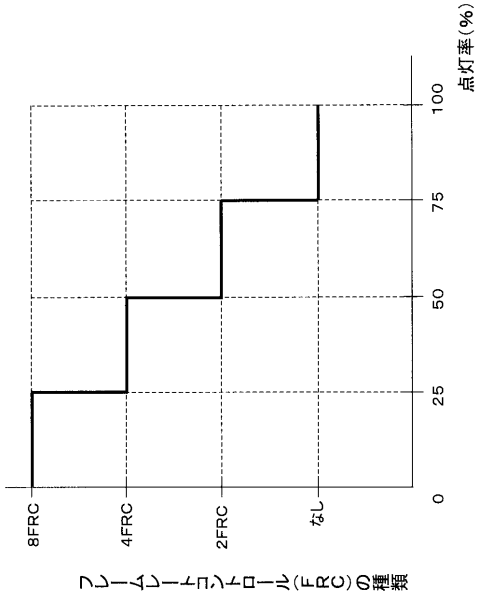
【図２５７】



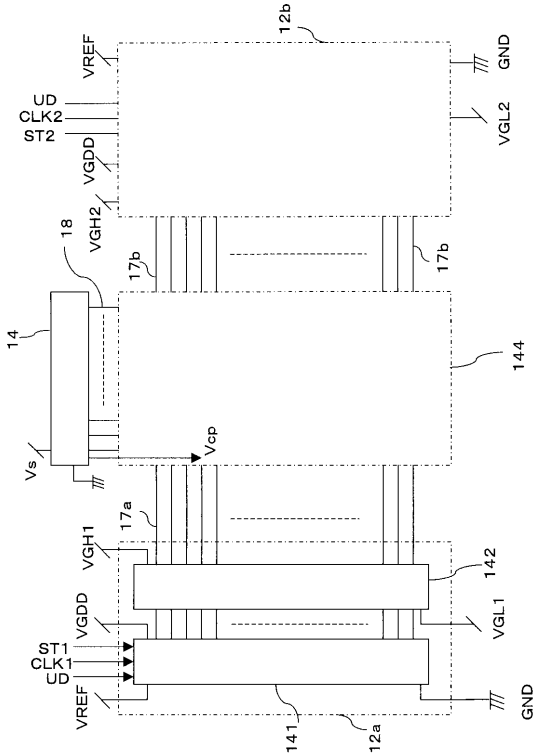
【図２５８】



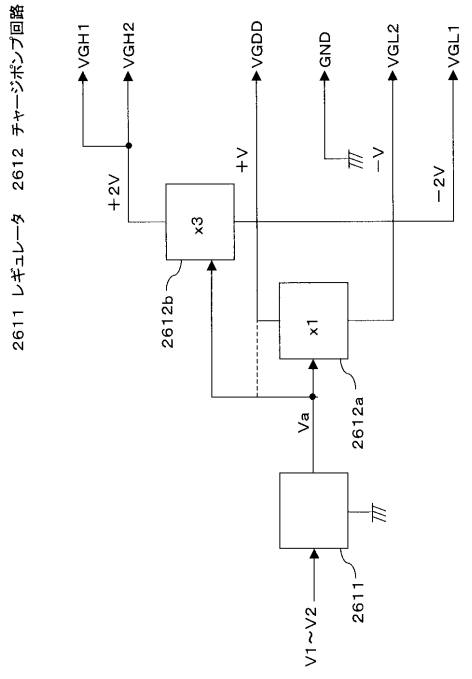
【図２５９】



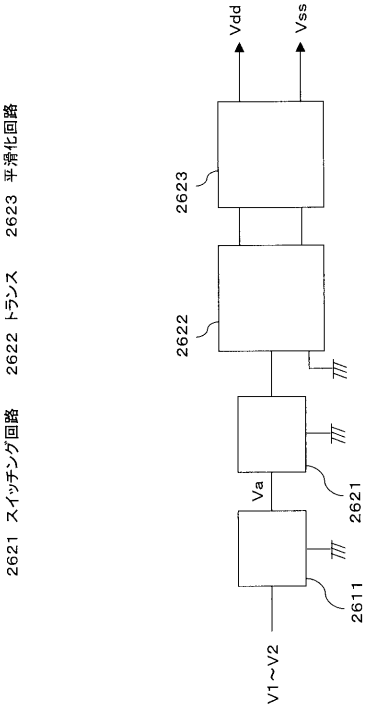
【図２６０】



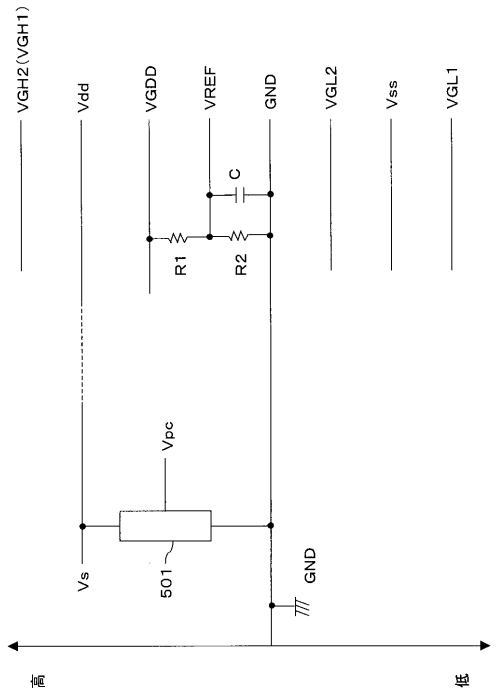
【図２６１】



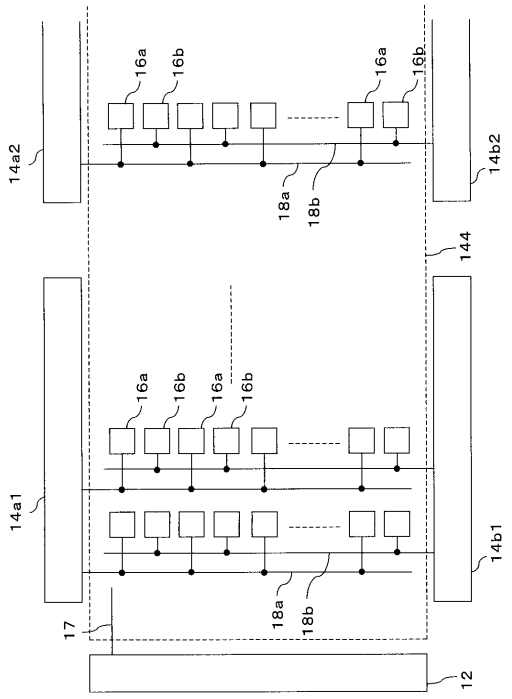
【図２６２】



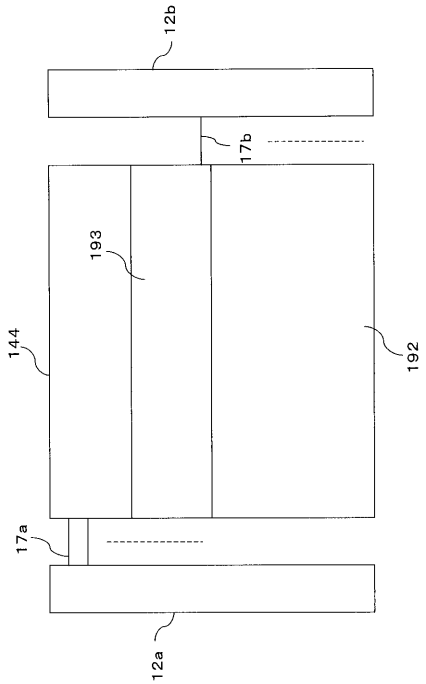
【図２６３】



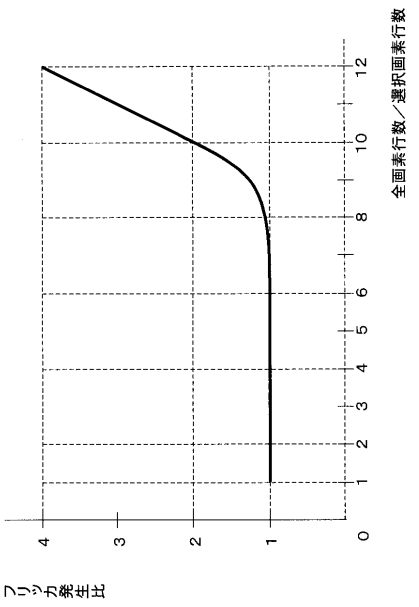
【図２６４】



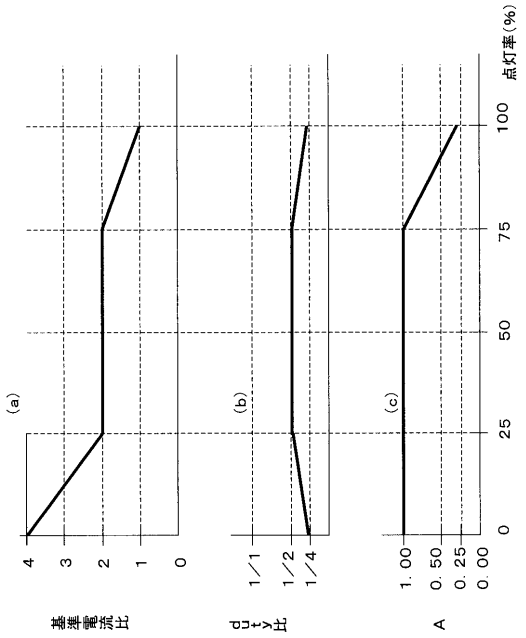
【図２６５】



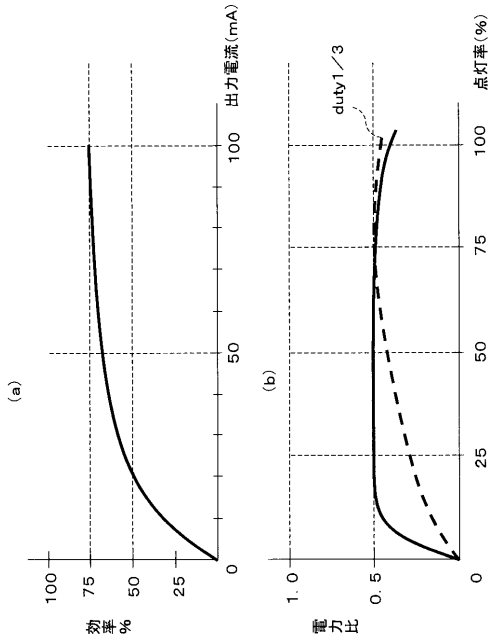
【図２６６】



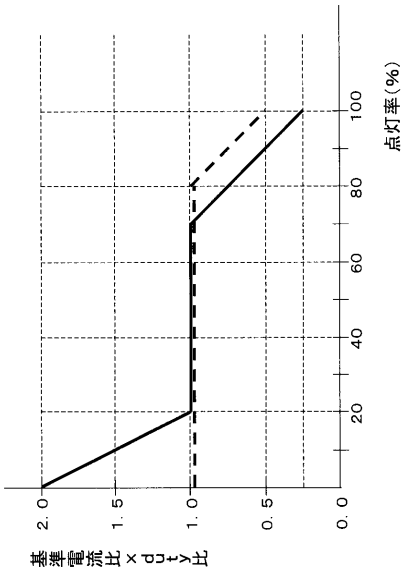
【図２６７】



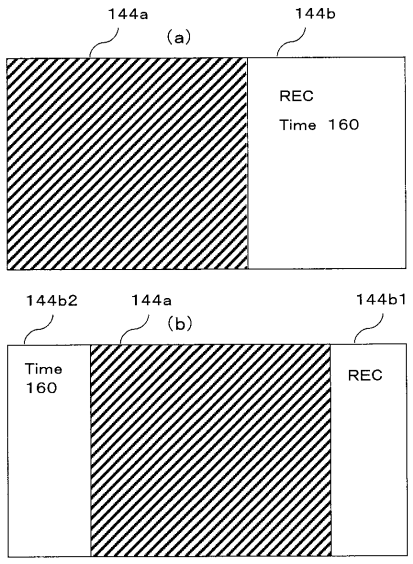
【図２６８】



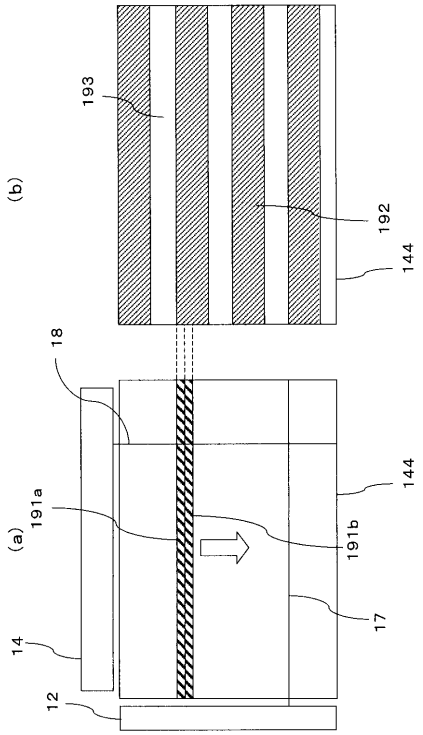
【図２６９】



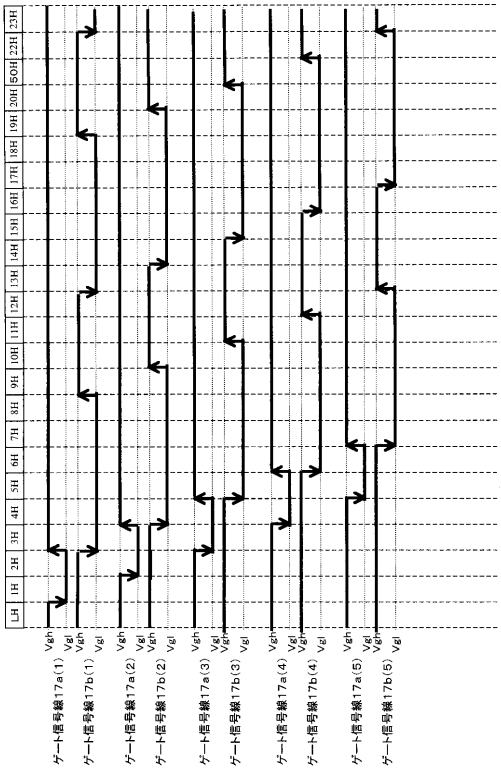
【図２７０】



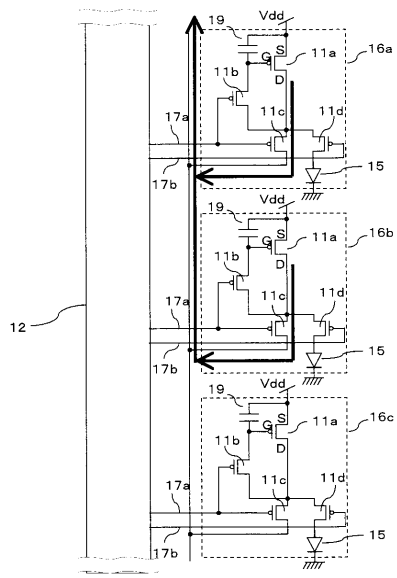
【図２７１】



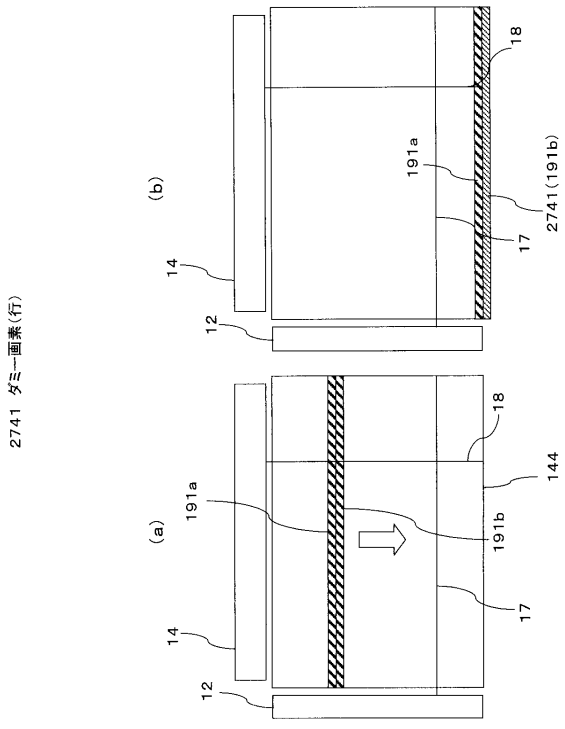
【図２７２】



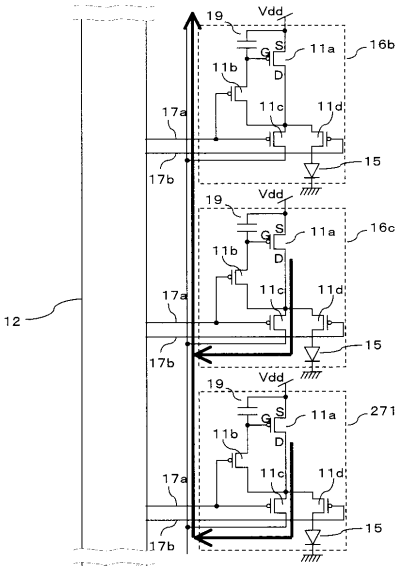
【図２７３】



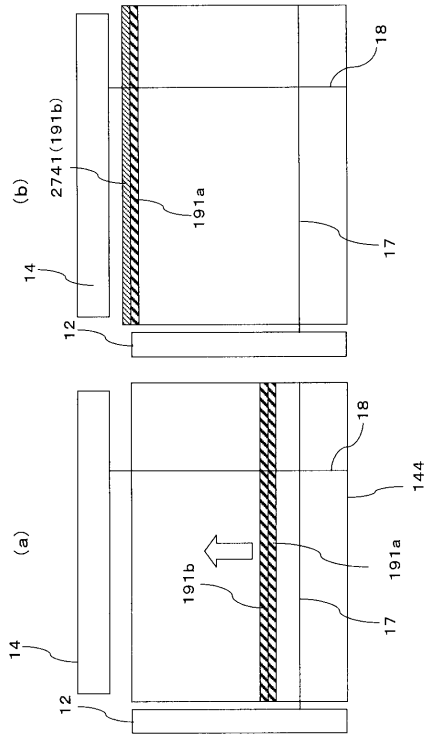
【図２７４】



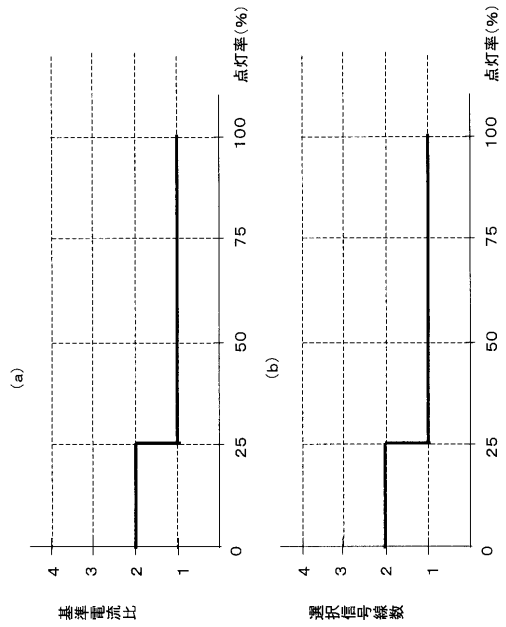
【図２７５】



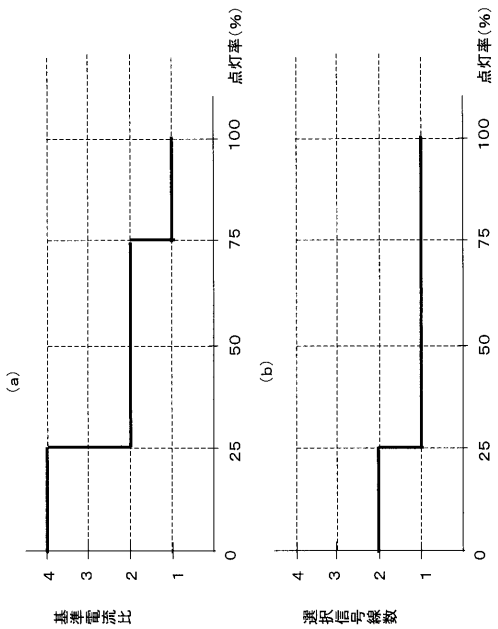
【図２７６】



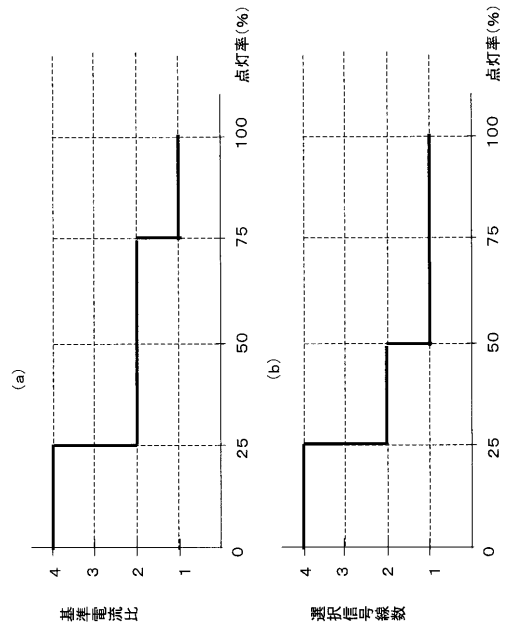
【図２７７】



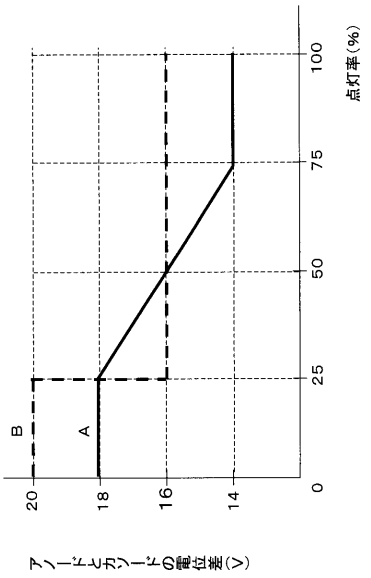
【図２７８】



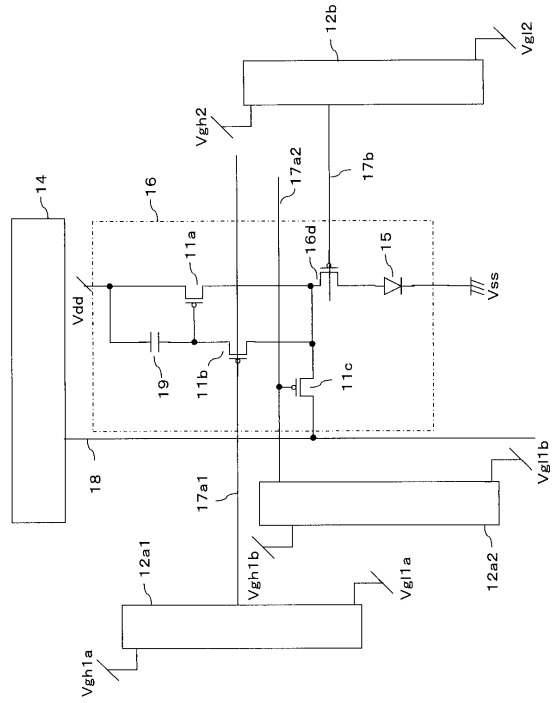
【図２７９】



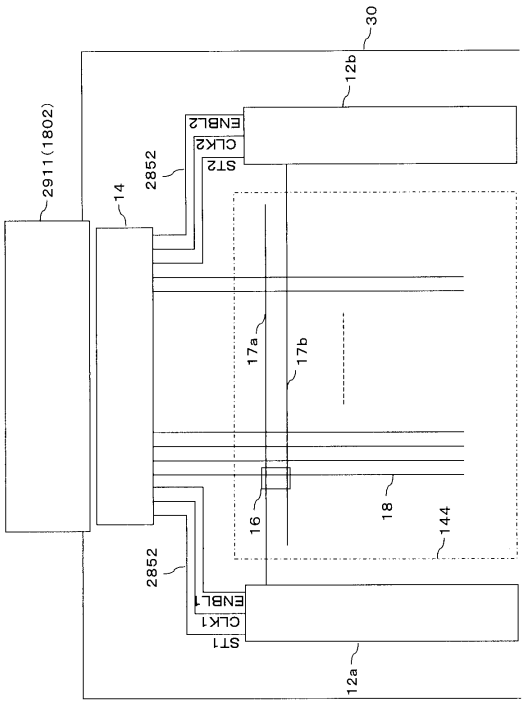
【図２８０】



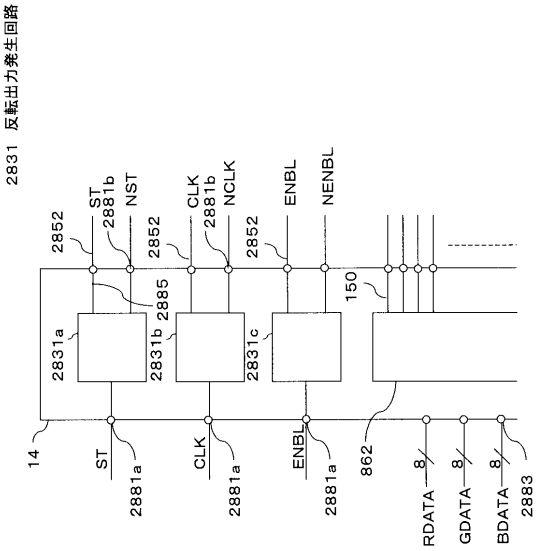
【図２８１】



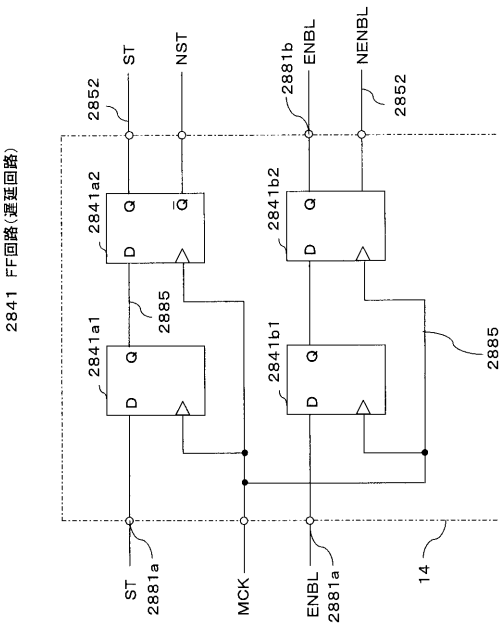
【図２８２】



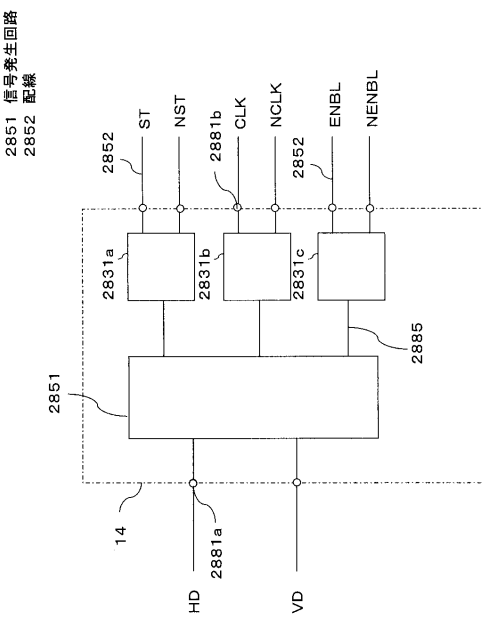
【図２８３】



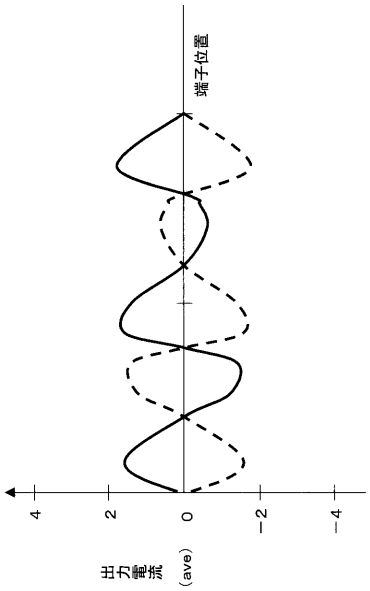
【図２８４】



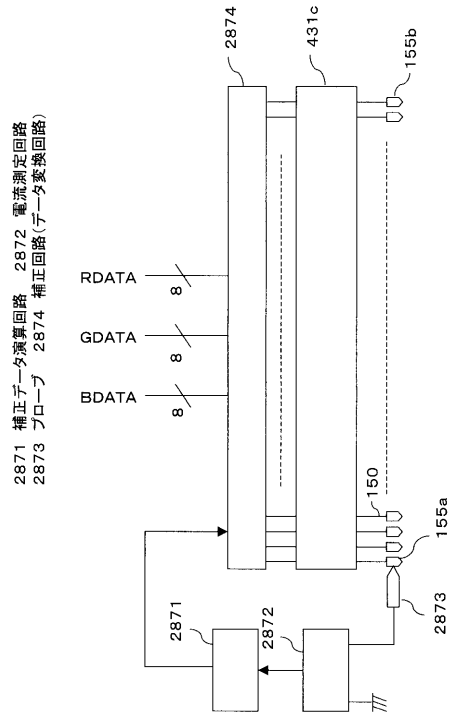
【図２８５】



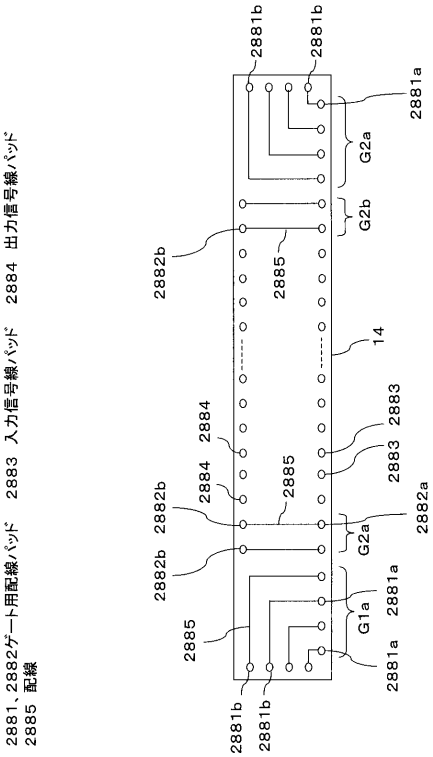
【図２８６】



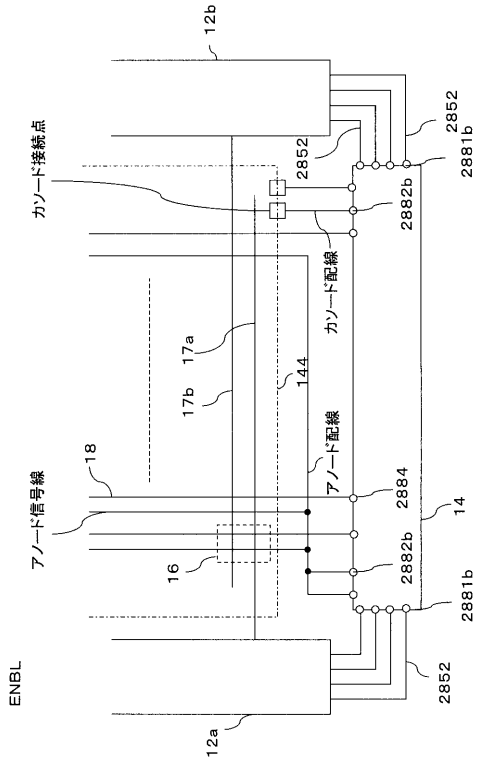
【図２８７】



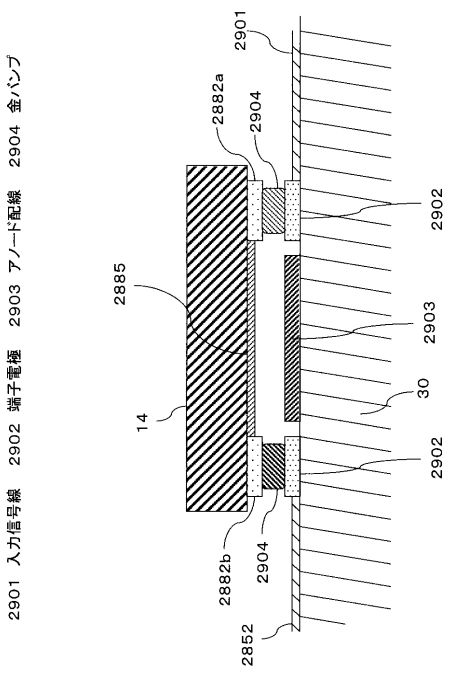
【図２８８】



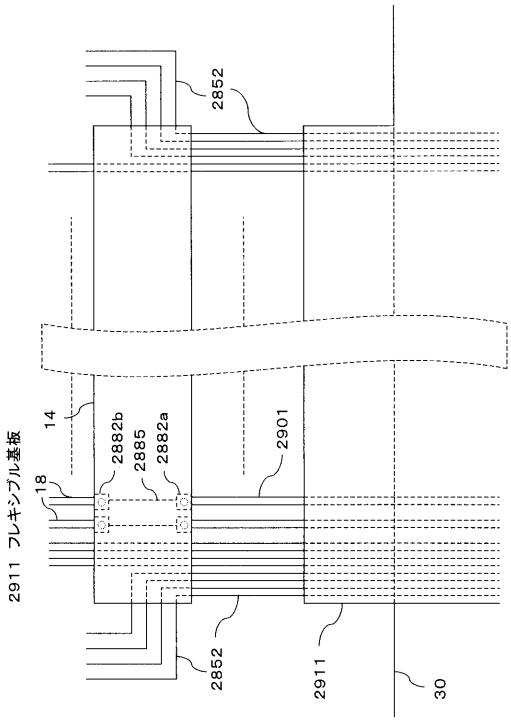
【図２８９】



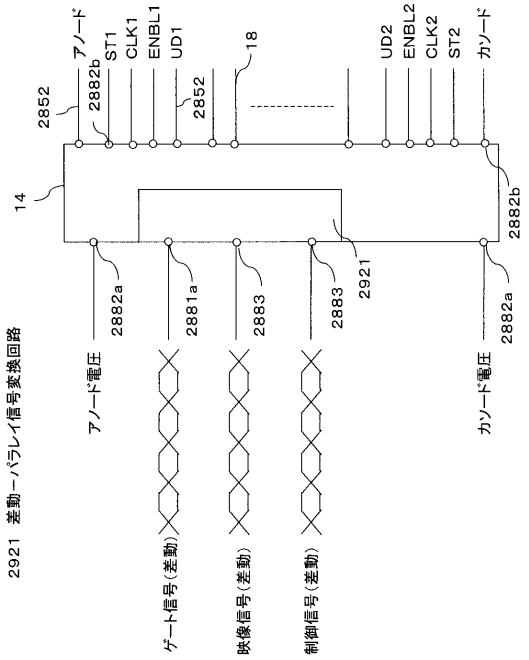
【図２９０】



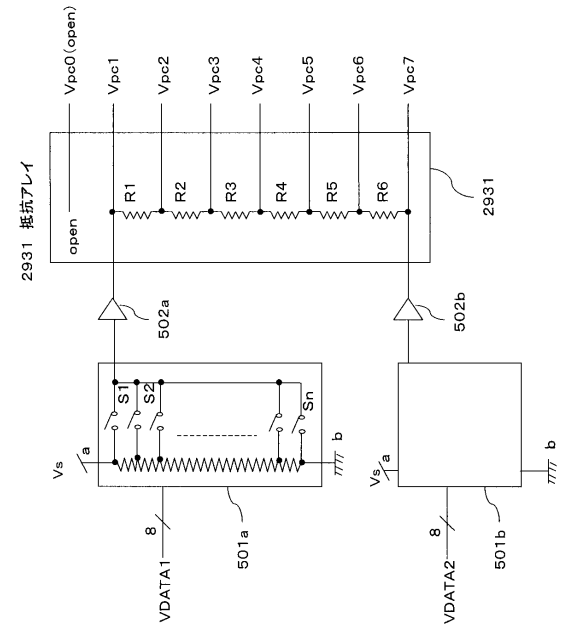
【図２９１】



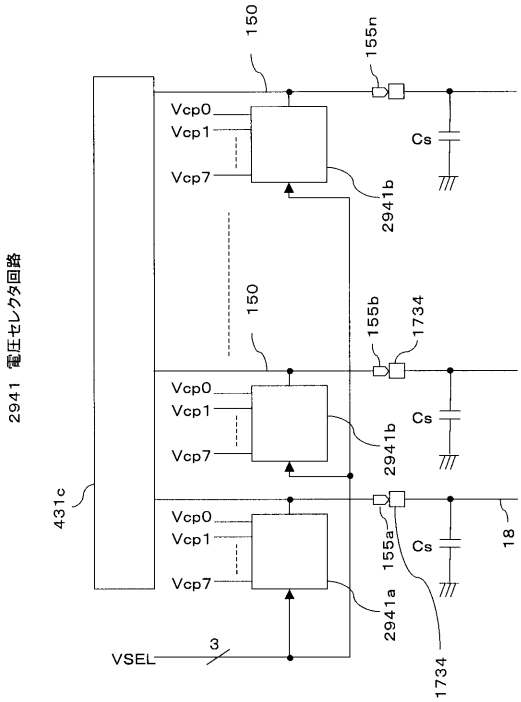
【図２９２】



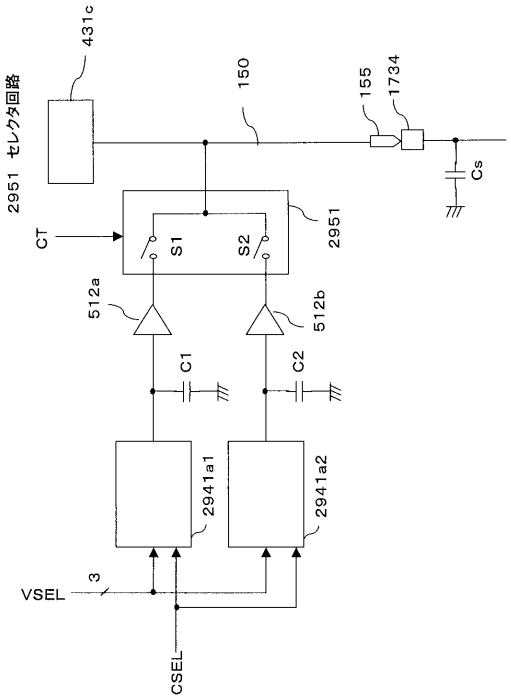
【図２９３】



【図２９４】



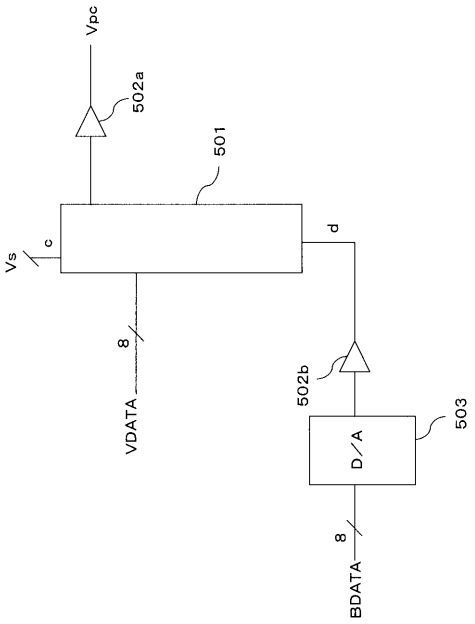
【図２９５】



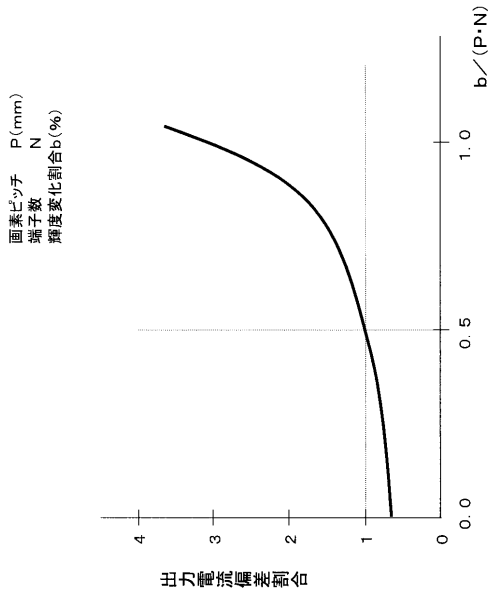
【図２９６】

VSEL	出力
0	Vcp0
1	Vcp1
2	Vcp2
3	Vcp3
4	Vcp4
5	Vcp5
6	Vcp6
7	Vcp7

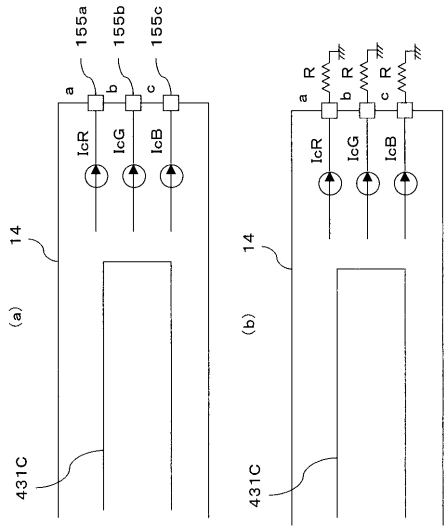
【図２９７】



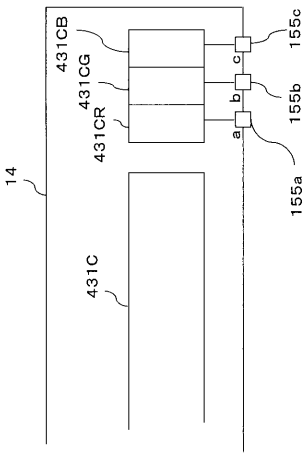
【図２９８】



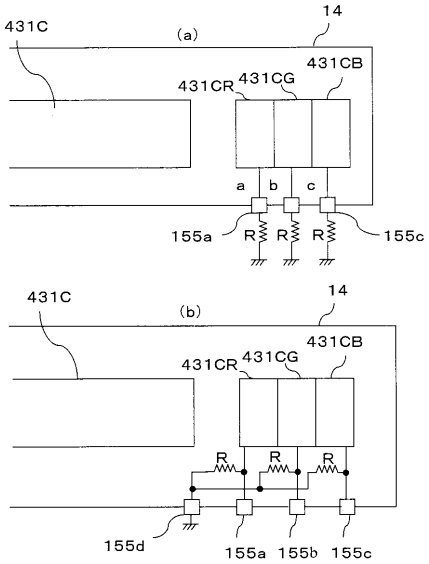
【図２９９】



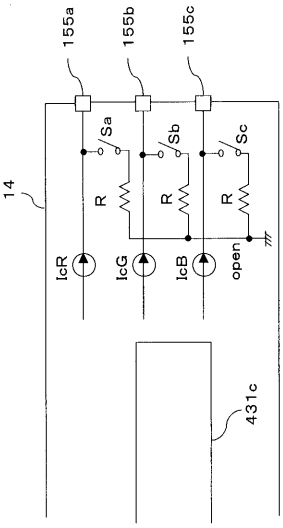
【図３００】



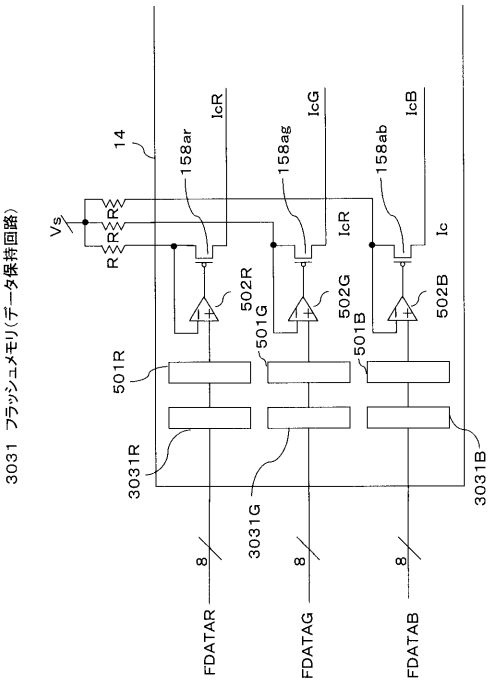
【図３０１】



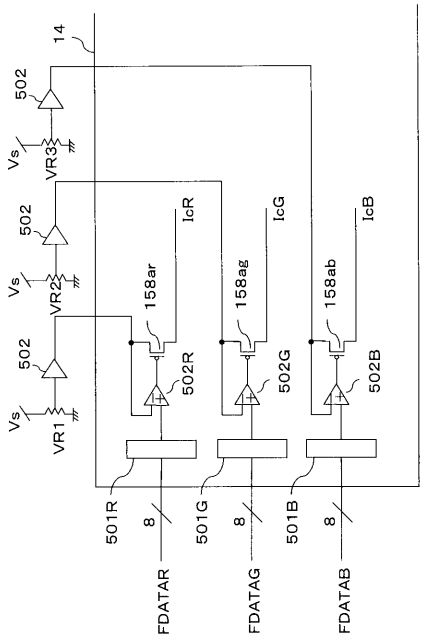
【図３０２】



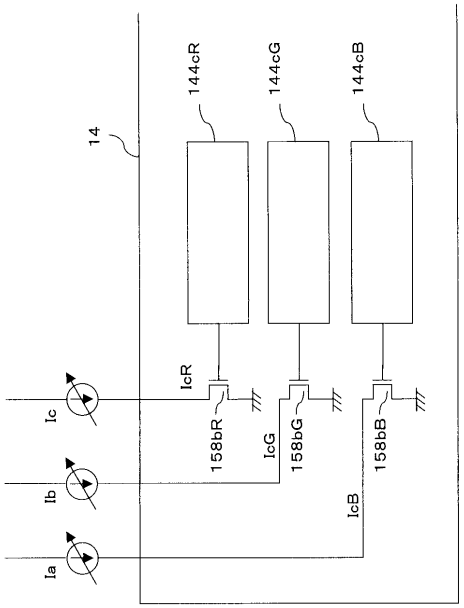
【図３０３】



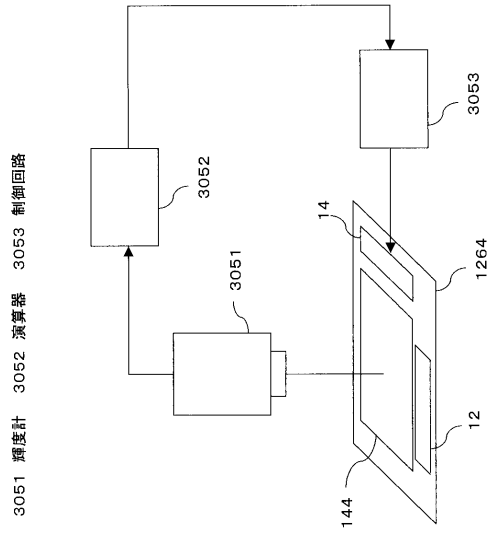
【図３０４】



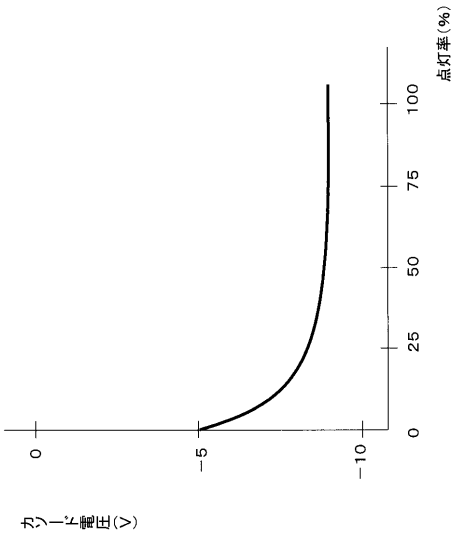
【図３０５】



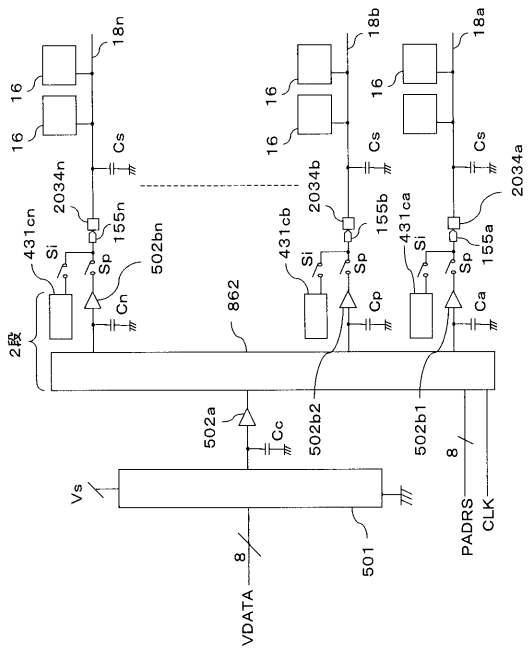
【図３０６】



【図３０７】

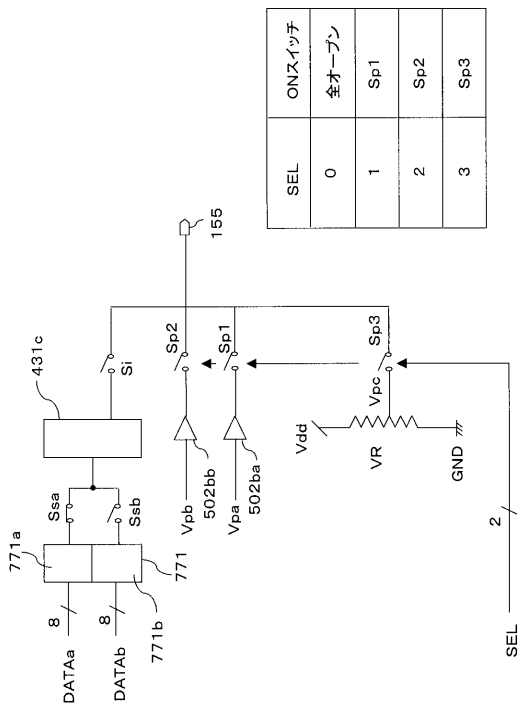


【図３０８】

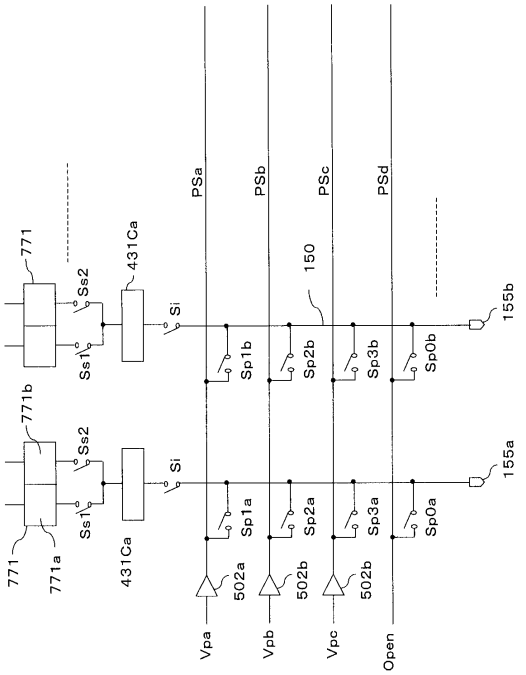


【図３０９】

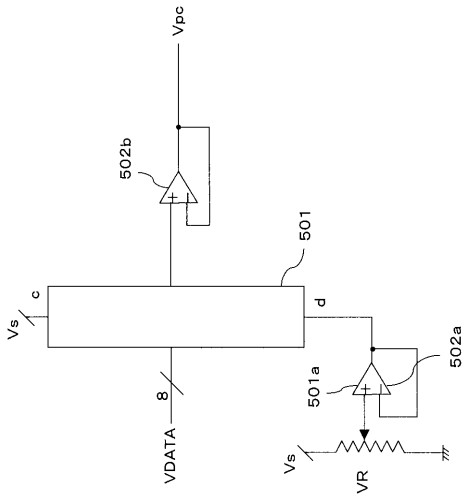
SEL	ONスイッチ
0	全オープン
1	Sp1
2	Sp2
3	Sp3



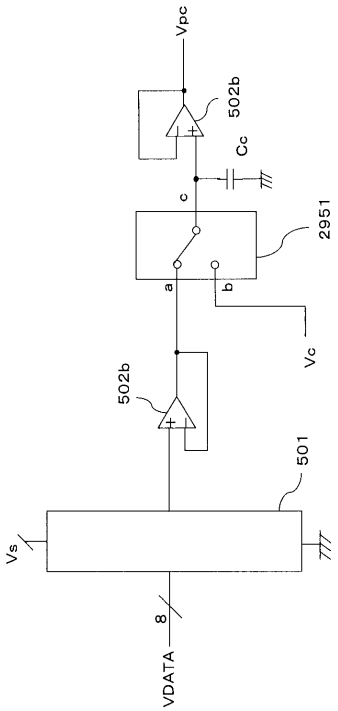
【図３１０】



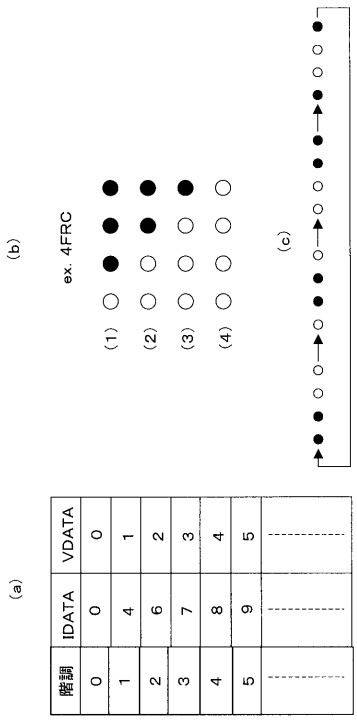
【図３１１】



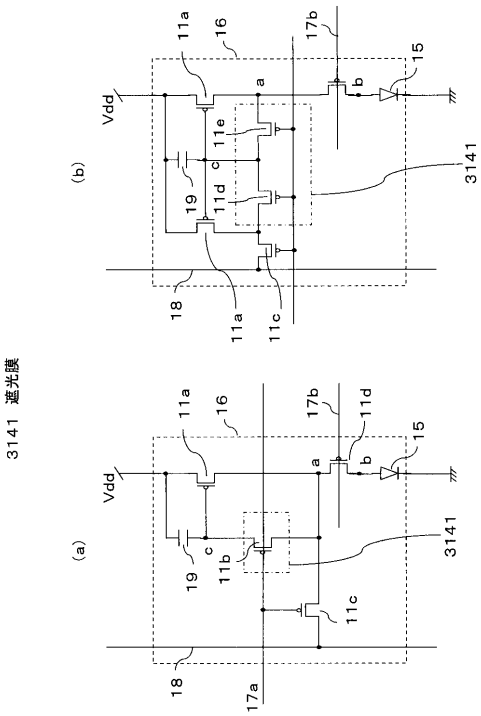
【図３１２】



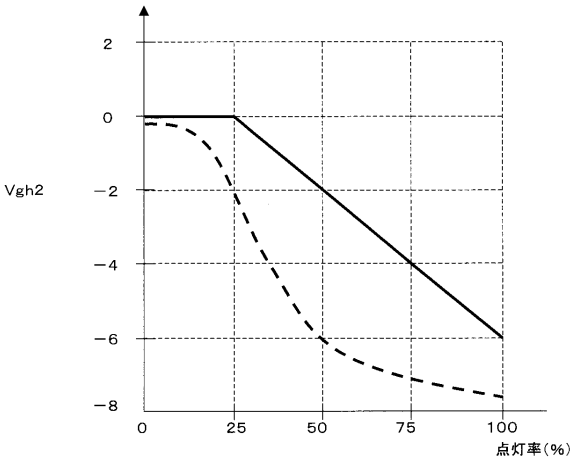
【図３１３】



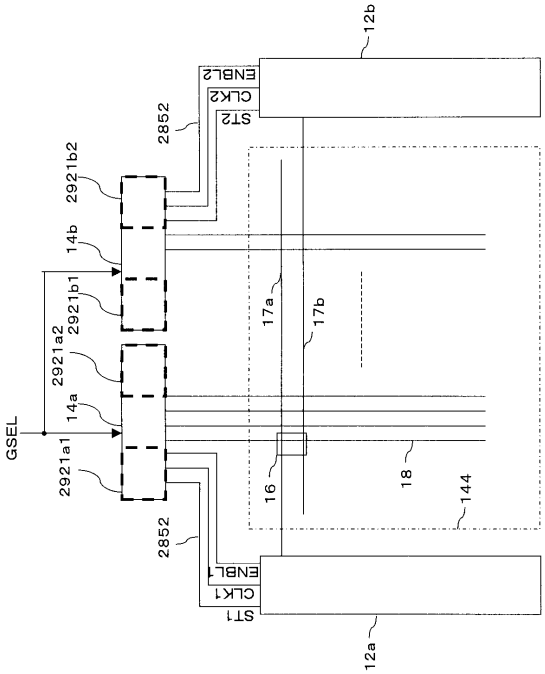
【図３１４】



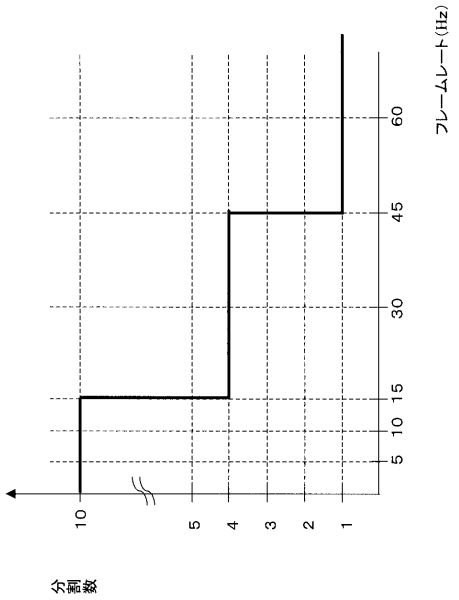
【図３１５】



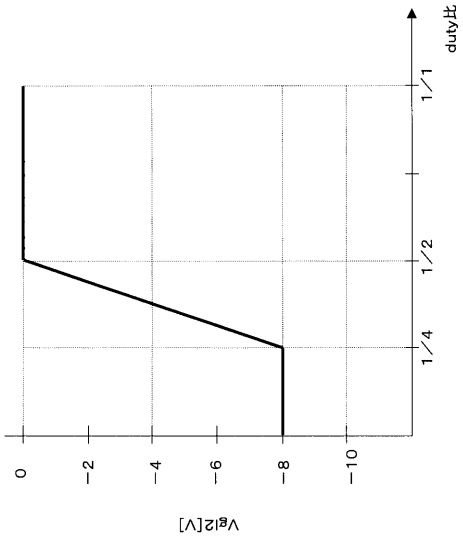
【図３１６】



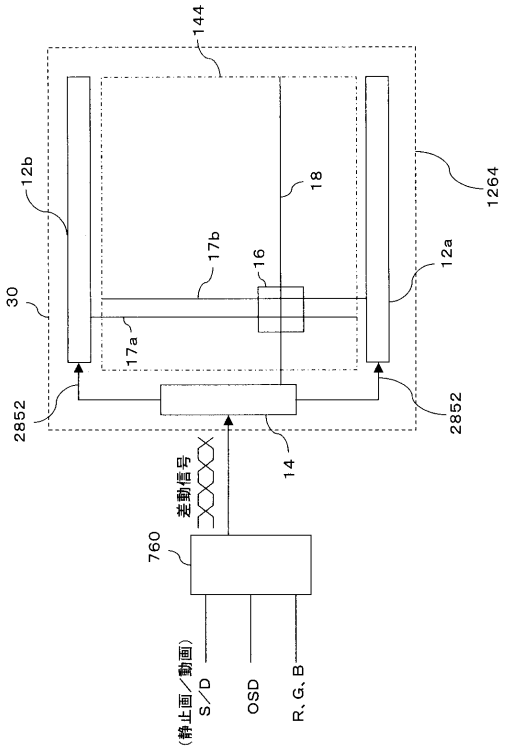
【図３１７】



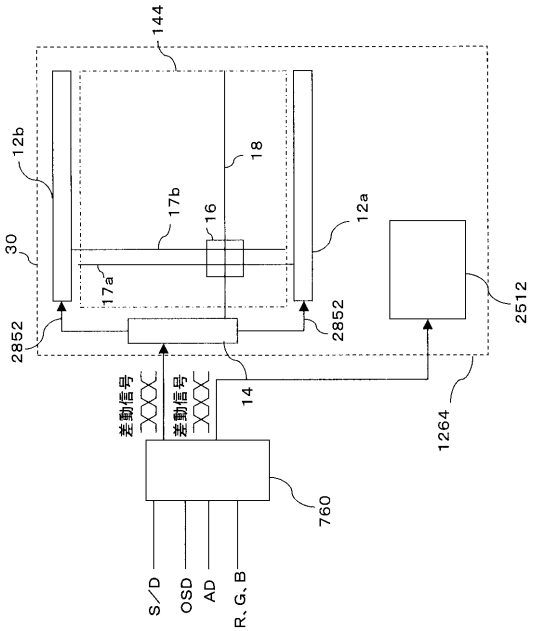
【図３１８】



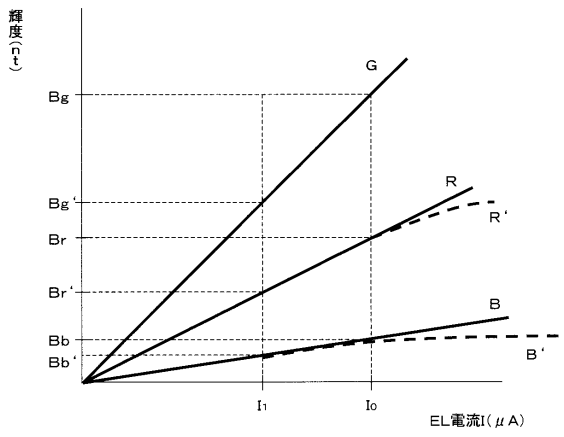
【図３１９】



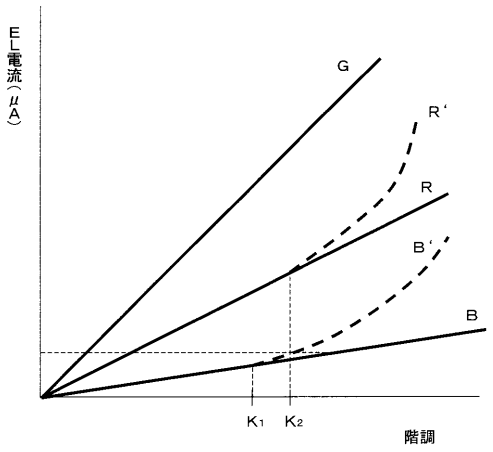
【図３２０】



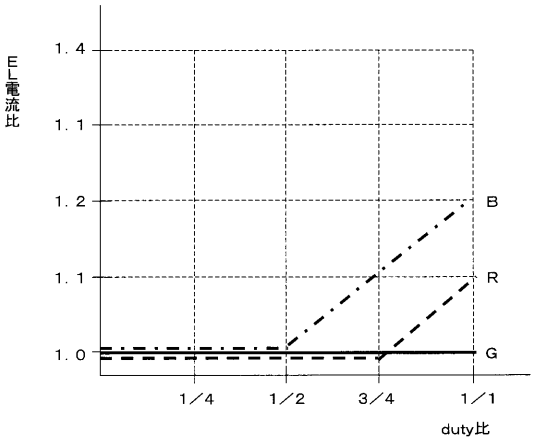
【図３２１】



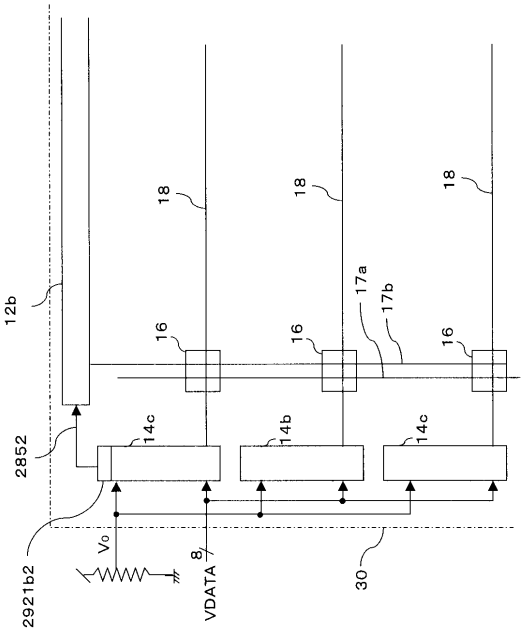
【図３２２】



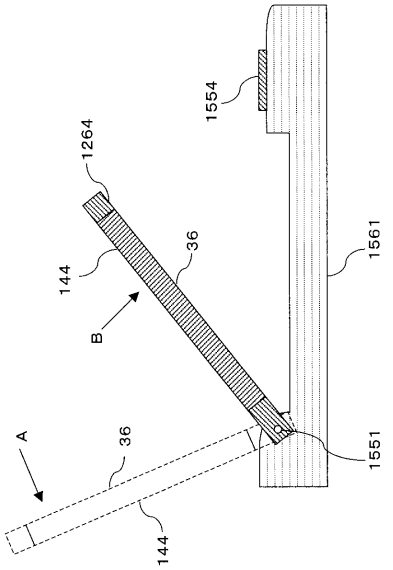
【図３２３】



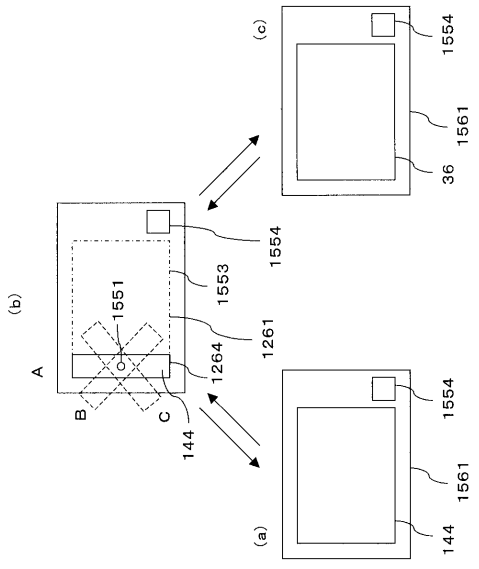
【図３２４】



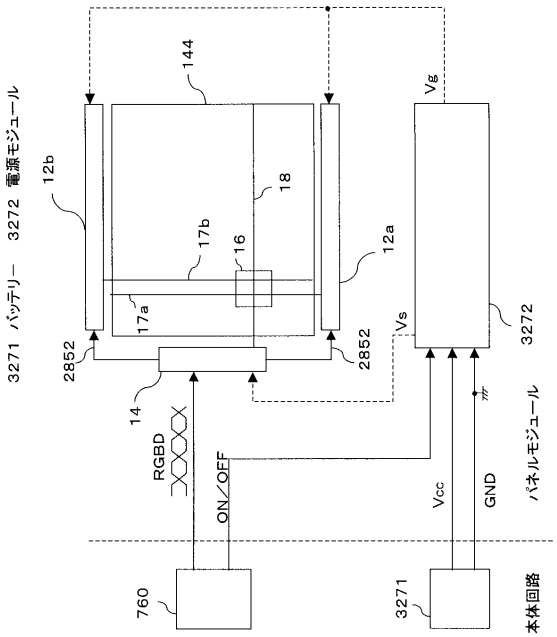
【図３２５】



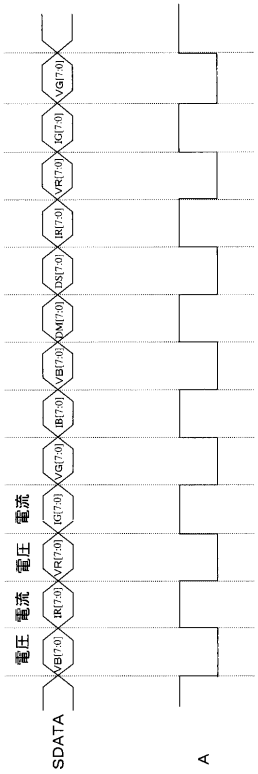
【図３２６】



【図３２７】



【図３２８】

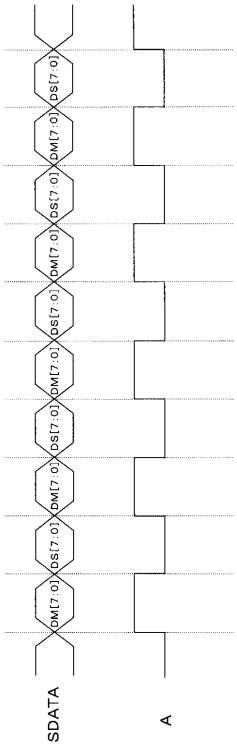


【図３２９】

DM[7:0]

bit	7	6	5	4	3	2	1	0
HD	0	0	0	0	0	0	0	1
VD	0	0	0	0	0	0	1	0
UD	0	0	0	0	0	0	1	1
RL	0	0	0	0	0	1	0	0
PR−time	0	0	0	0	0	1	0	1
PG−time	0	0	0	0	0	1	1	0
PB−time	0	0	0	0	0	1	1	1
基準I−R	0	0	0	0	1	0	0	0
基準I−G	0	0	0	0	1	0	0	1
基準I−B	0	0	0	0	1	0	1	0
Gate−C	0	0	0	0	1	0	1	1

【図３３０】



【図３３１】

DS[7:0]

ex. 1
DM[7:0]=9 (Gate−C)

7	6	5	4	3	2	1	0
−	ST2	CLK2	ENBL2	−	ST1	CLK1	ENBL1

ex. 2
DM[7:0]=3 (PR−time)

7	6	5	4	3	2	1	0
Rプリチャージ時間							

ex. 3
DM[7:0]=8 (基準電流I−R)

7	6	5	4	3	2	1	0
R基準電流設定時間							

【図３３２】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	×	○	×	○	○	○	○	×	×	○	○	○	×	○

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図３３３】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	○	○	×	○	○	×	○	×	×	○	○	○	×	○

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図３３４】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	○	○	×	○	○	×	○	×	×	○	○	○	×	○

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図３３５】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	H	H	L	H	L	L	H	H	H	L	L
P出力	×	×	○	×	○	○	×	○	×	×	○	○	○	×	×

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	L
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図３３６】

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
R画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	L
P出力	×	×	○	×	○	○	○	○	×	×	○	○	○	×	×
G画像データ	12	10	3	22	39	12	0	21	2	27	7	7	5	1	12
PEN	L	L	H	L	L	L	H	L	H	L	H	H	H	H	L
P出力	×	×	○	×	×	×	○	×	○	×	○	○	○	○	×
B画像データ	7	5	1	21	39	7	5	1	2	27	39	12	39	12	0
PEN	H	H	H	L	L	H	H	H	H	L	L	L	L	L	H
P出力	○	○	○	×	×	○	○	○	○	×	×	×	×	×	○

【図３３７】

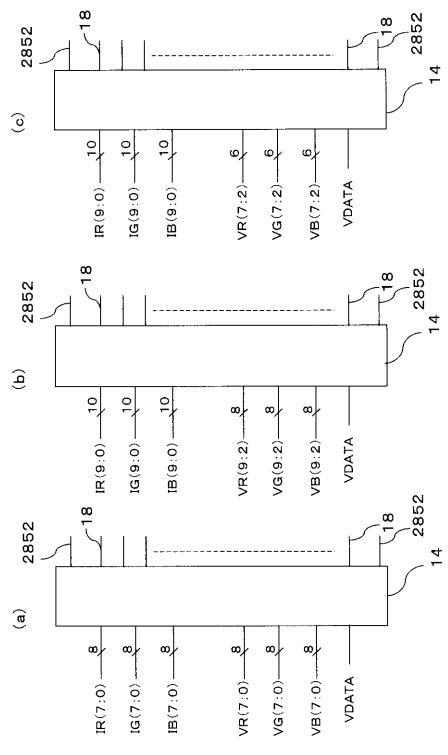
(a)

フレーム番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	L	L	L
カウント	0	0	1	2	3	4	0	1	0	0	1	2	0	0	0
P出力	×	×	×	×	○	○	×	×	×	×	×	×	×	×	×

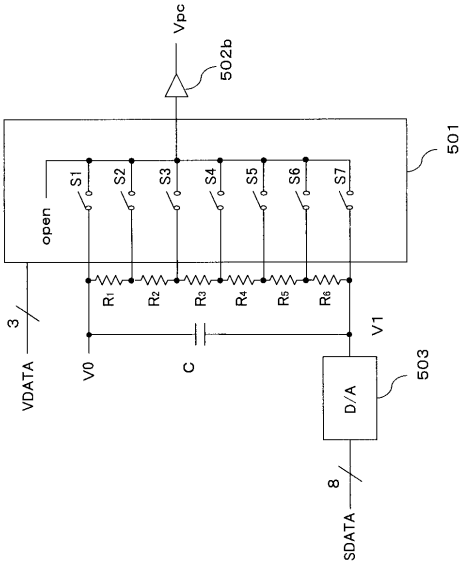
(b)

フレーム番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	L	H	H	H	H	H	H	L	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	L	L	L
カウント	0	0	1	2	2	3	0	1	0	0	1	1	0	0	0
P出力	×	×	×	×	×	○	×	×	×	×	×	×	×	×	×

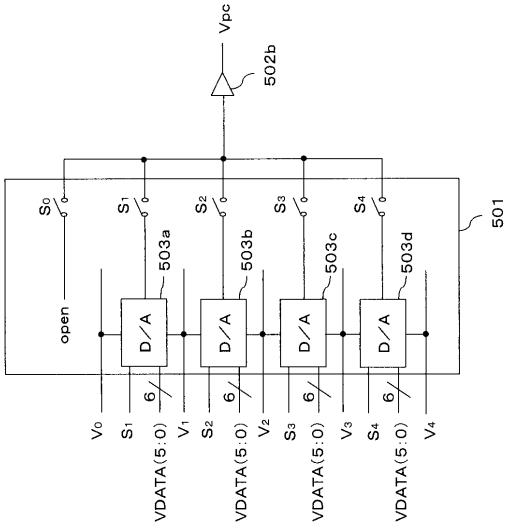
【図３３８】



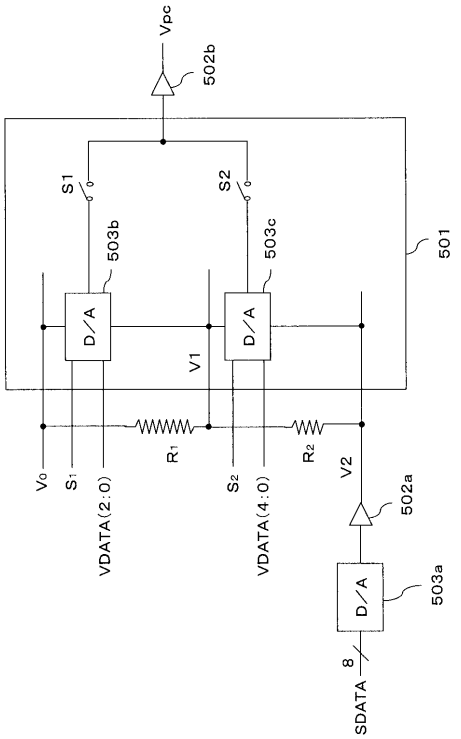
【図３３９】



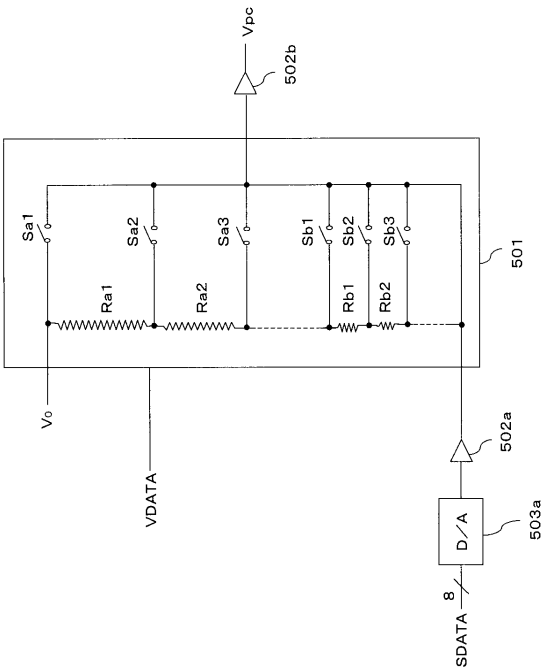
【図３４０】



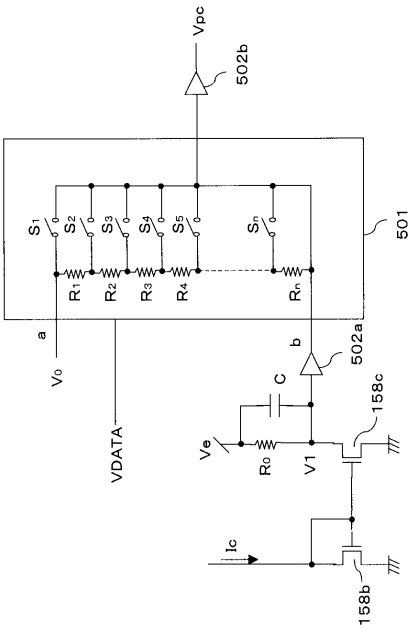
【図３４１】



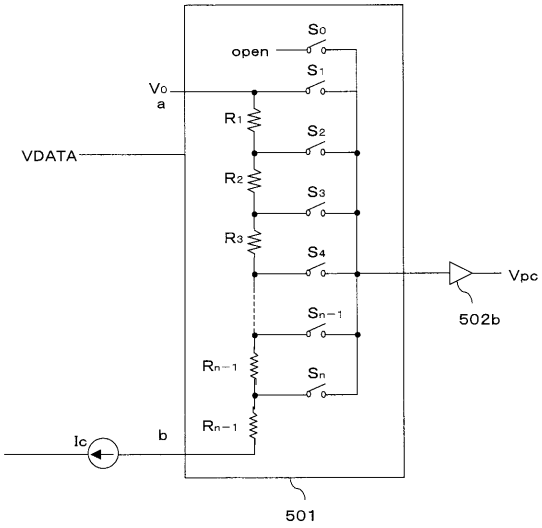
【図３４２】



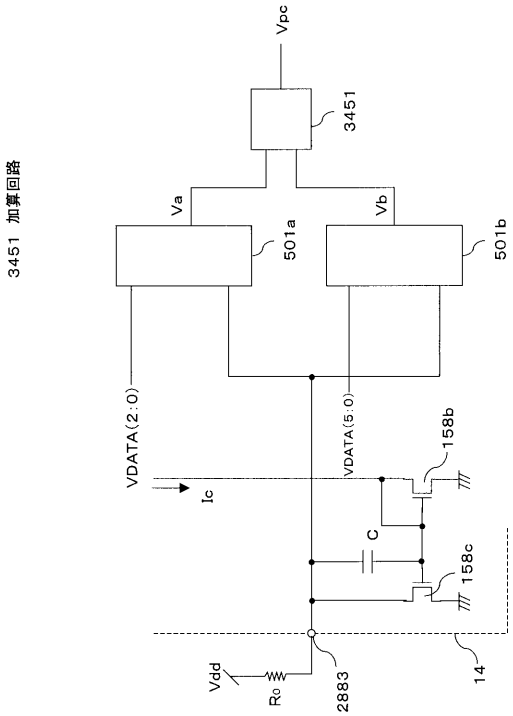
【図３４３】



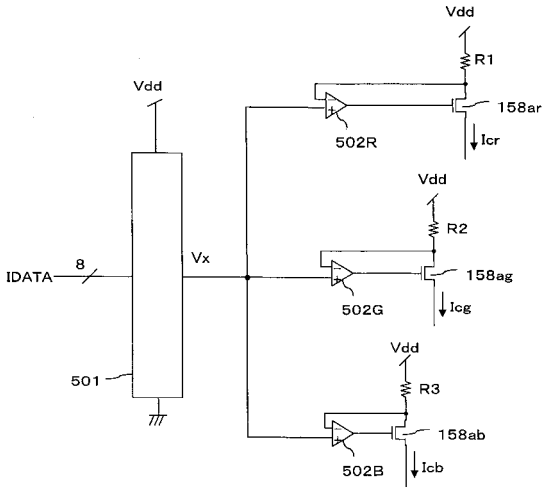
【図３４４】



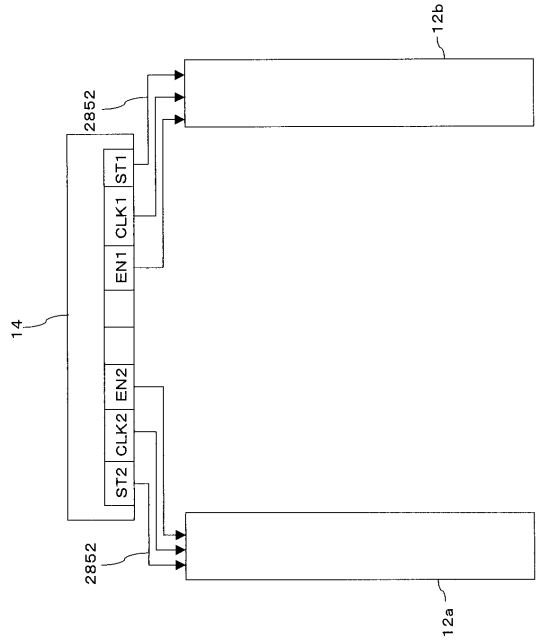
【図３４５】



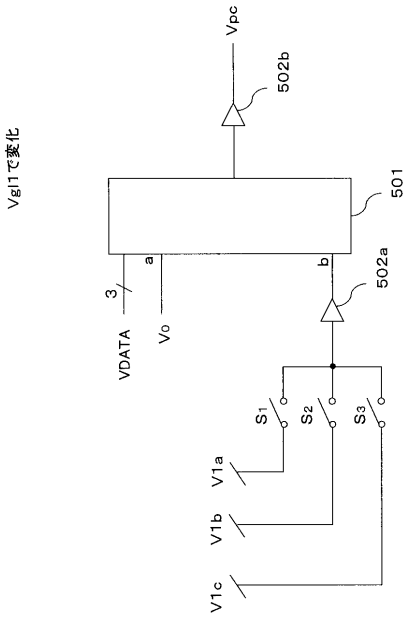
【図３４６】



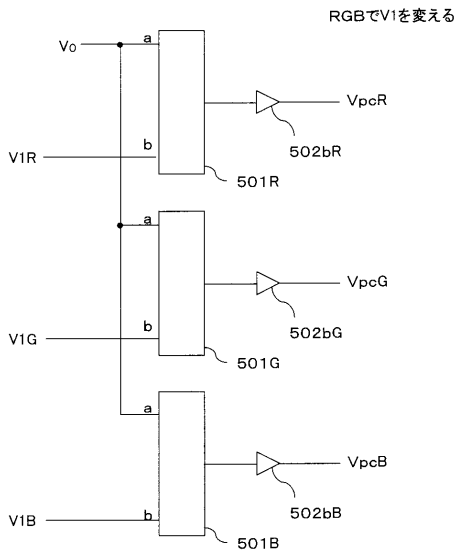
【図３４７】



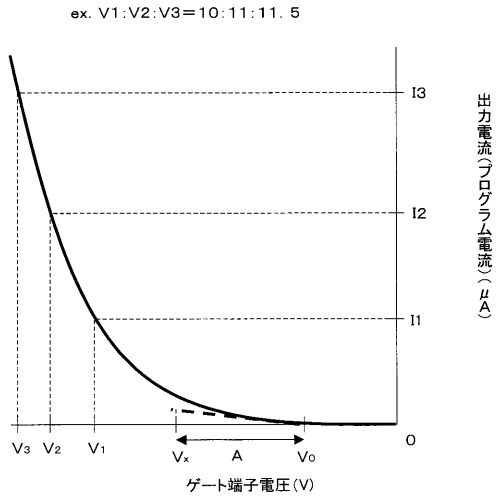
【図３４８】



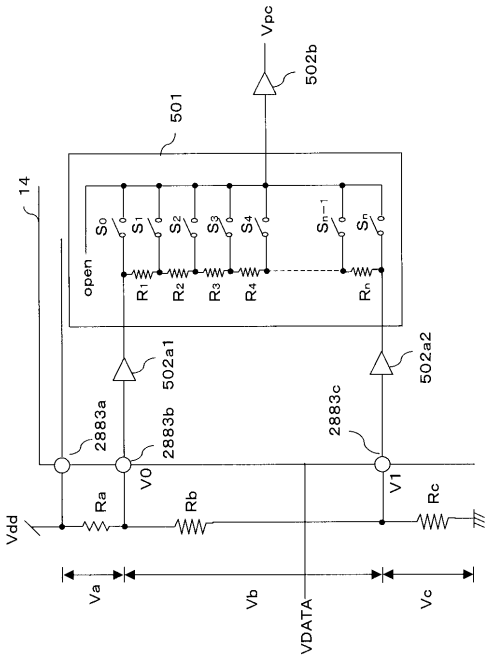
【図３４９】



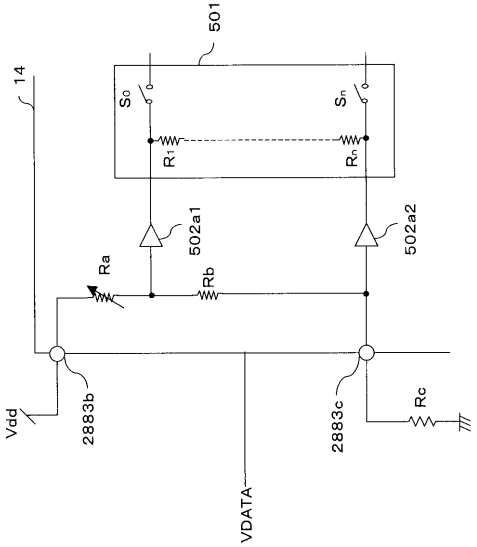
【図３５０】



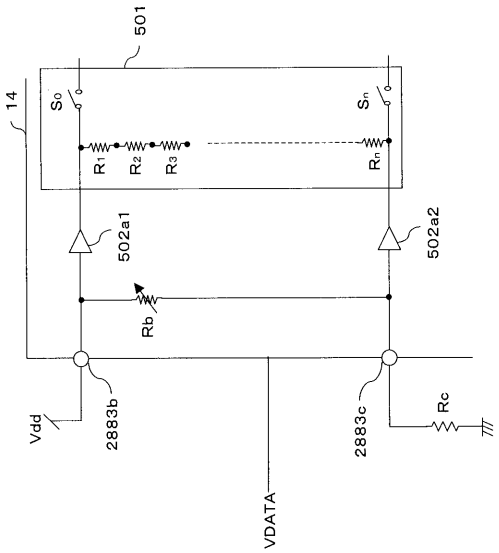
【図３５１】



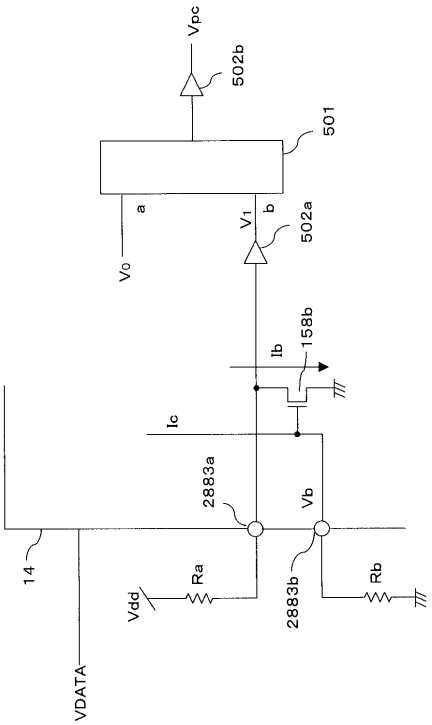
【図３５２】



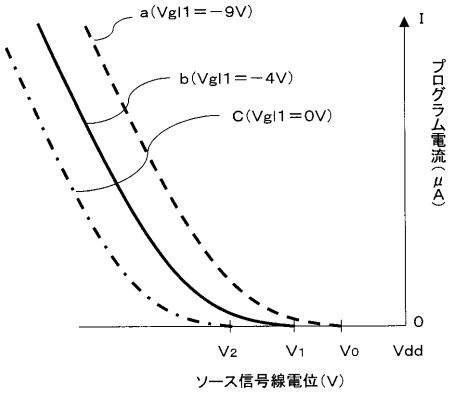
【図３５３】



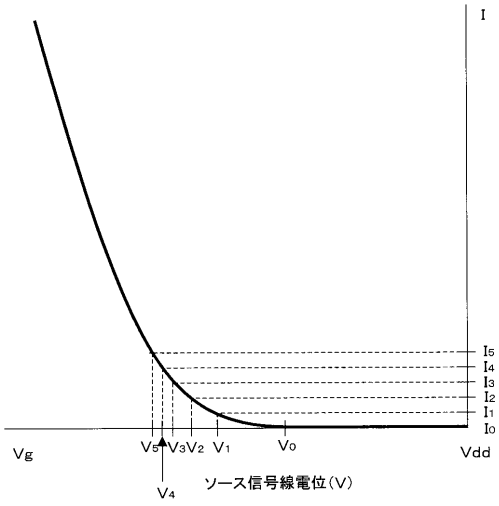
【図３５４】



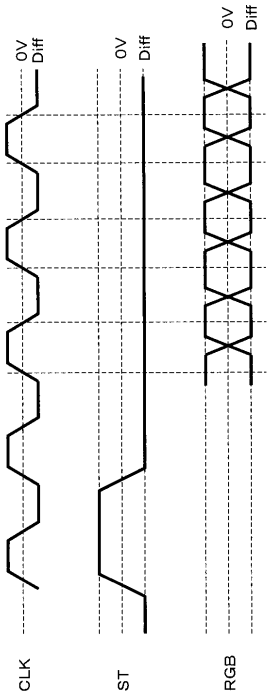
【図３５５】



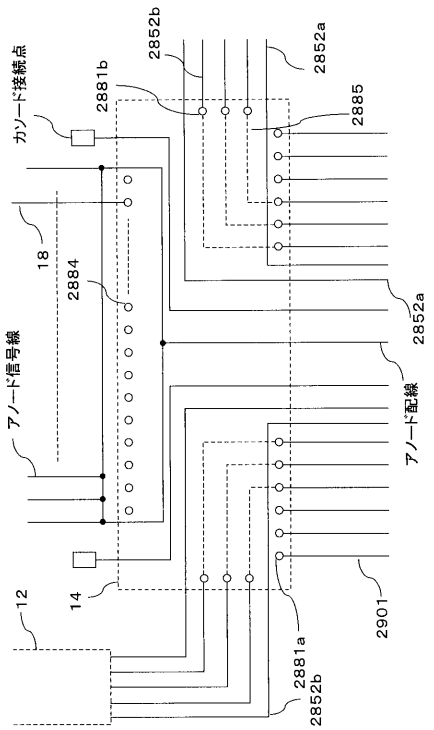
【図３５６】



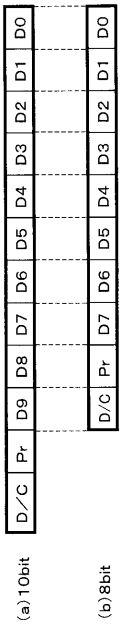
【図３５７】



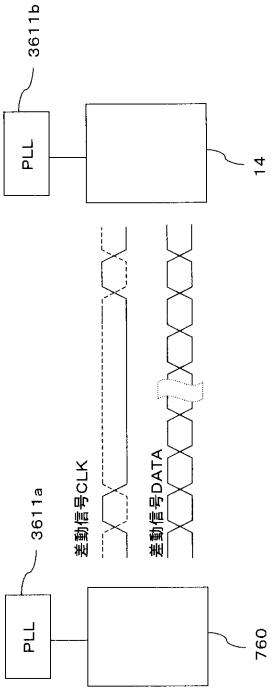
【図３５８】



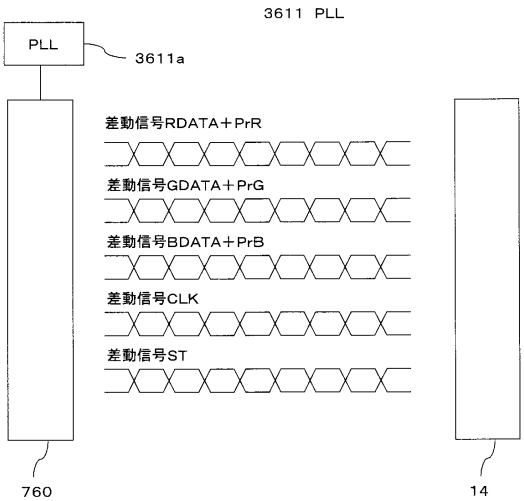
【図３５９】



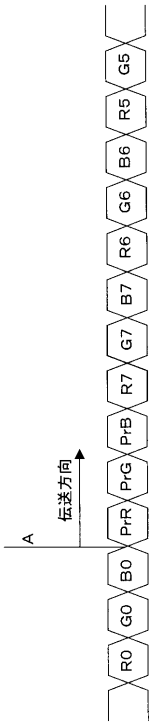
【図３６０】



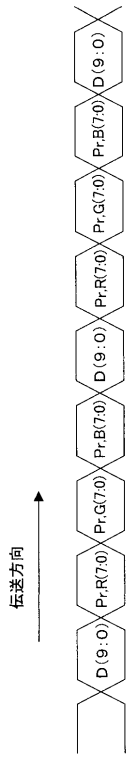
【図３６１】



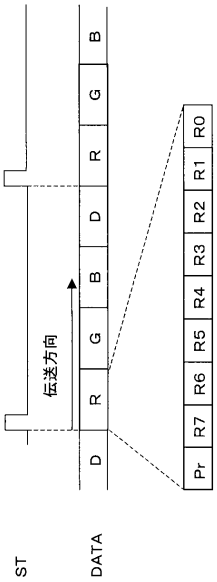
【図３６２】



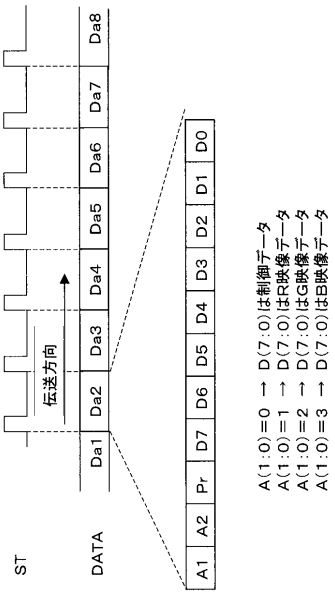
【図３６３】



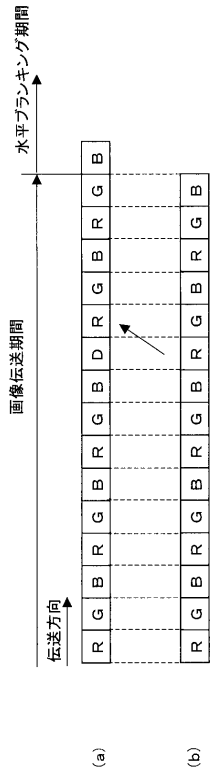
【図３６４】



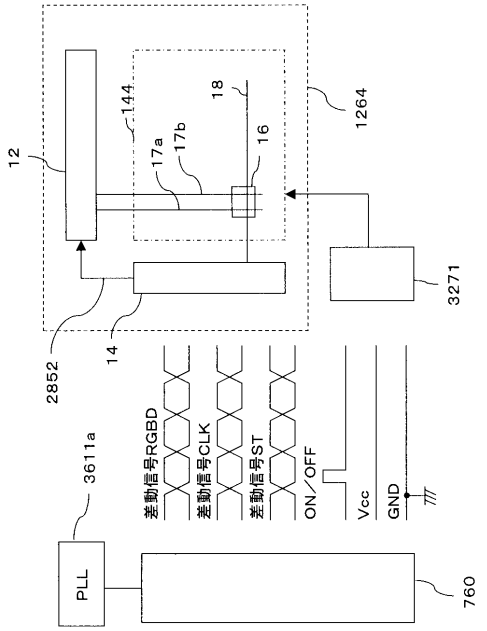
【図３６５】



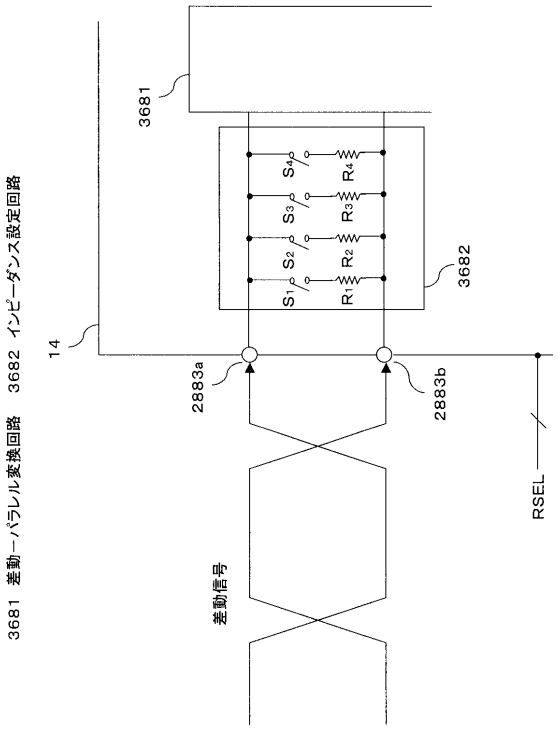
【図３６６】



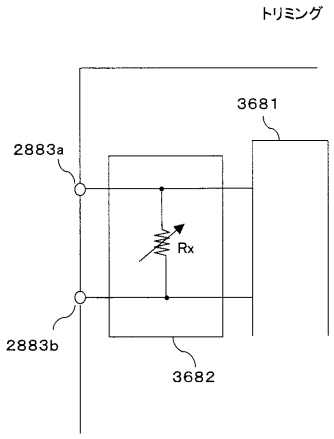
【図３６７】



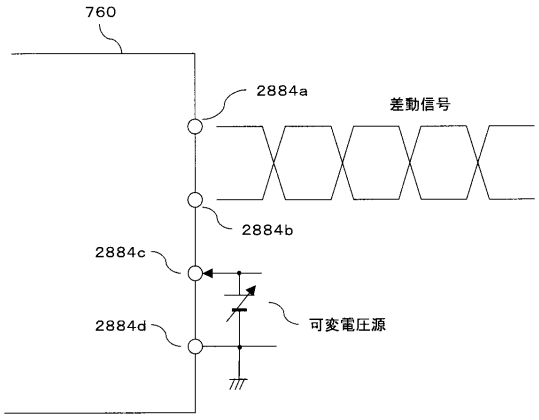
【図３６８】



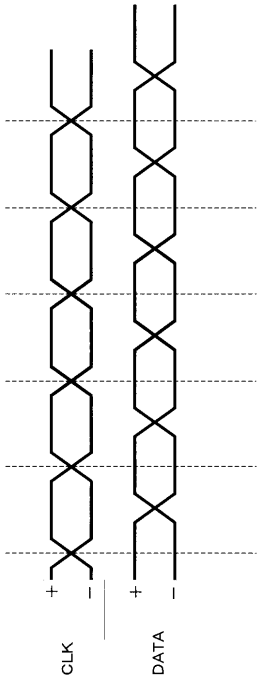
【図３６９】



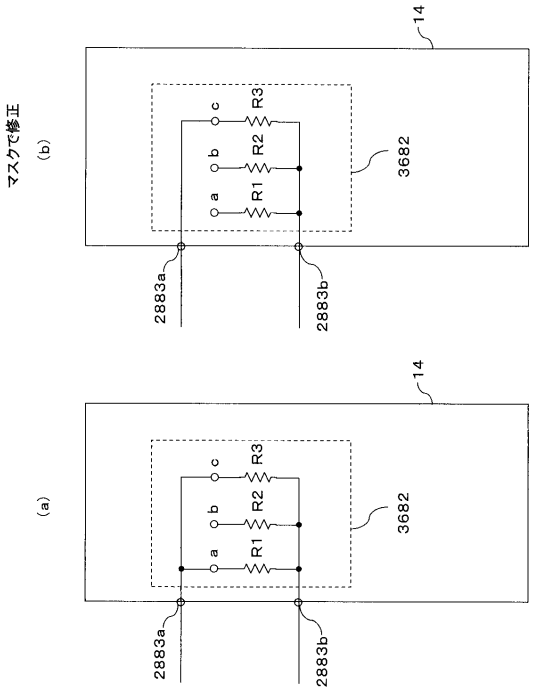
【図３７０】



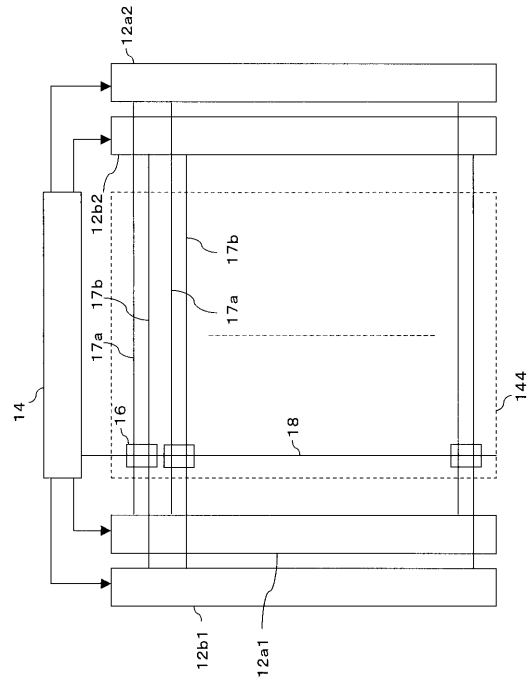
【図３７１】



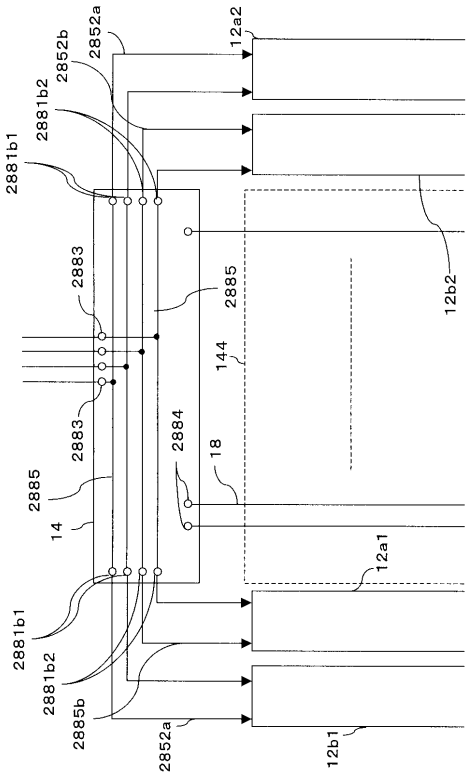
【図３７２】



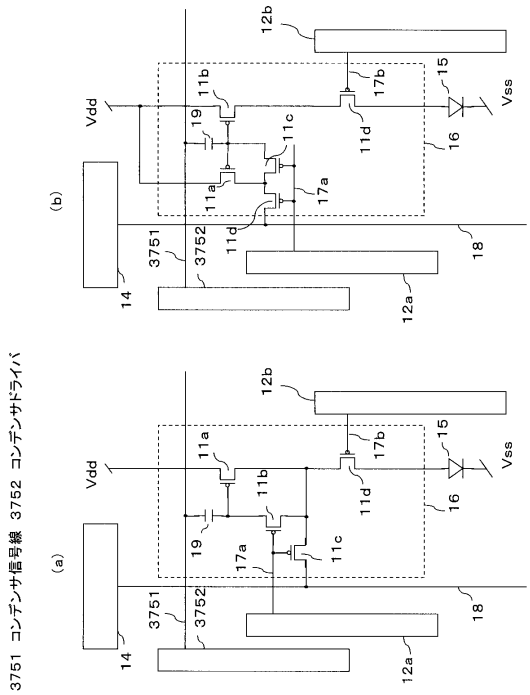
【図３７３】



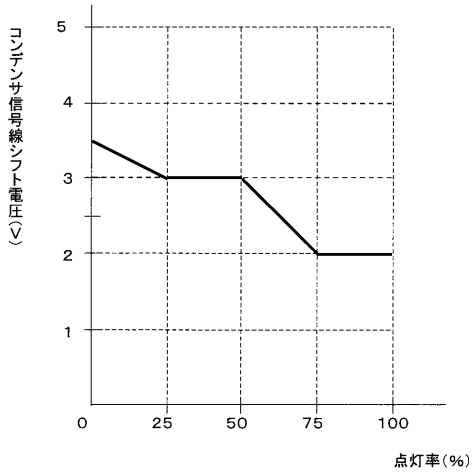
【図３７４】



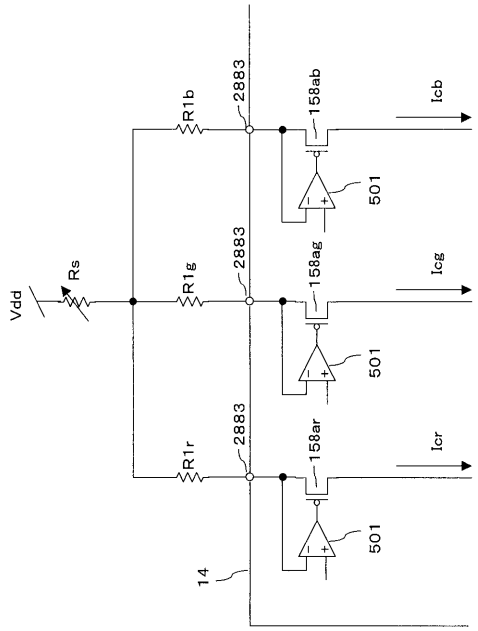
【図３７５】



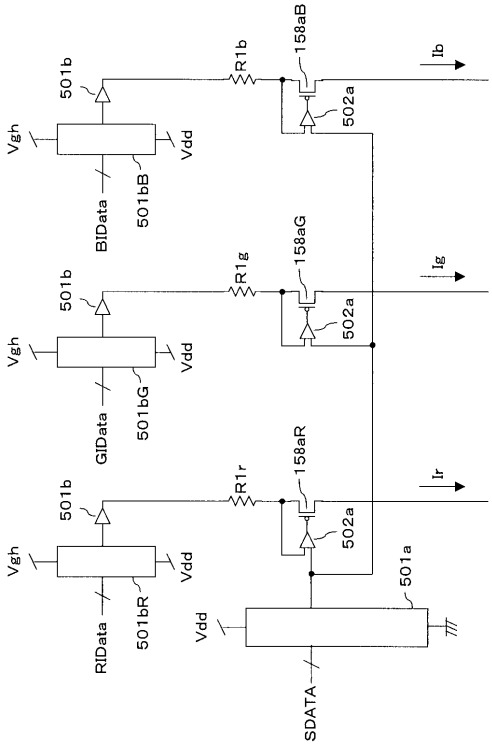
【図３７６】



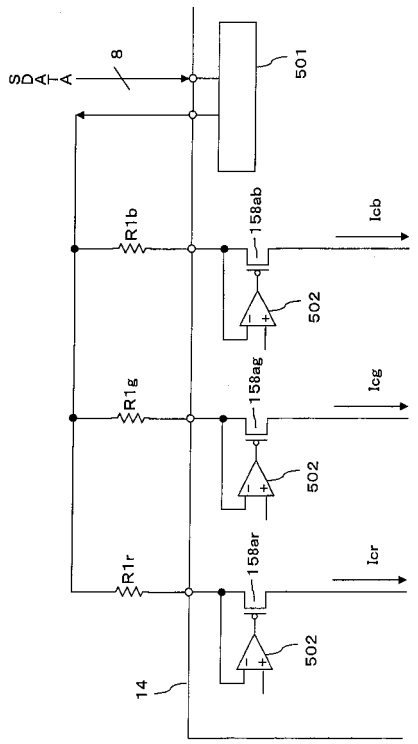
【図３７７】



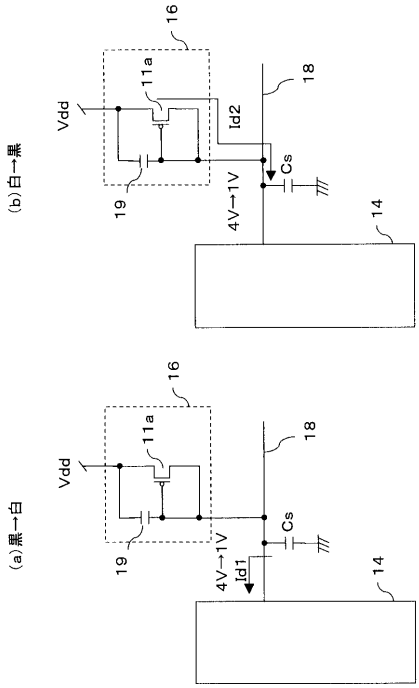
【図３７８】



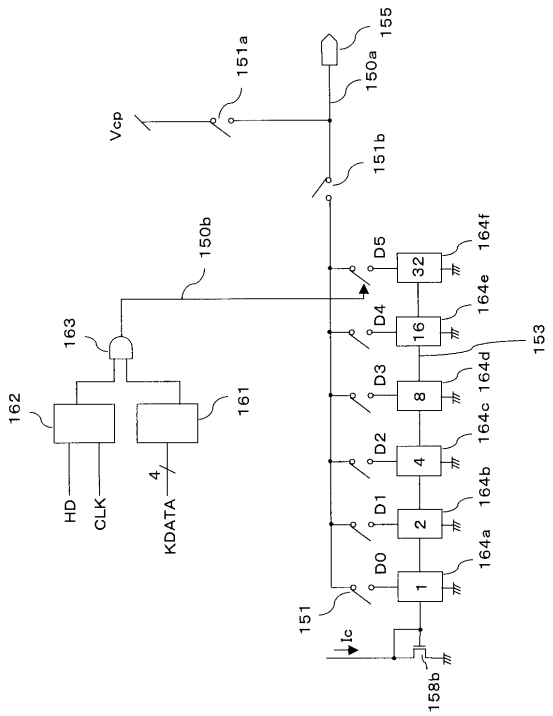
【図３７９】



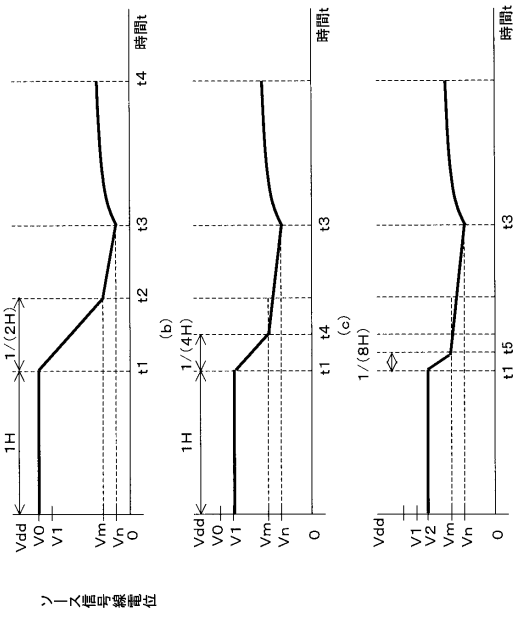
【図３８０】



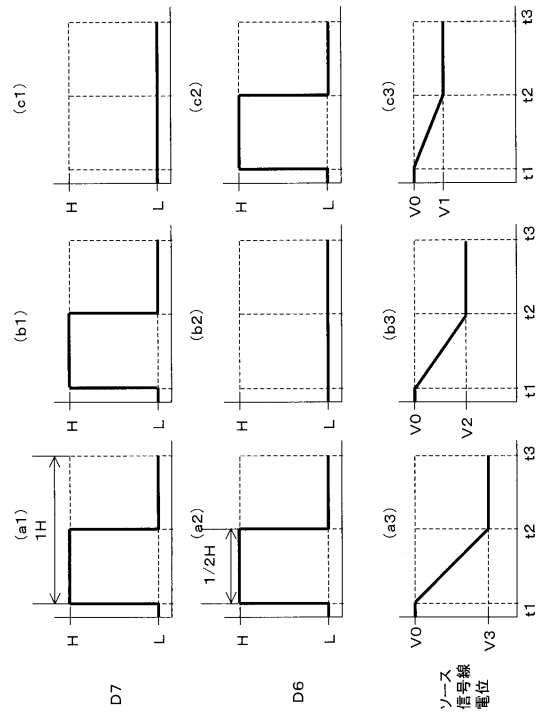
【図３８１】



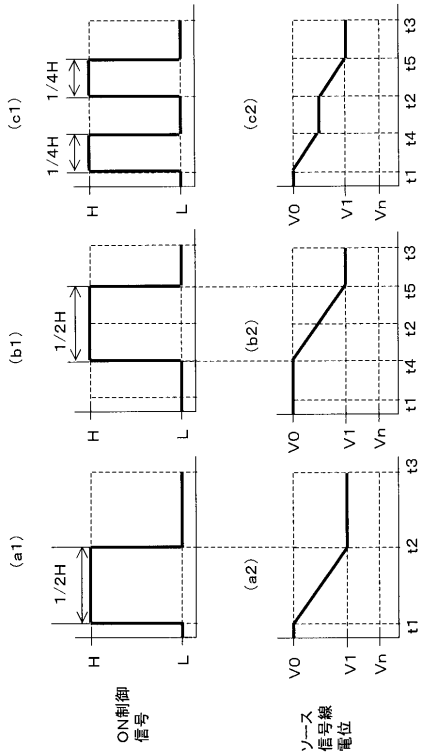
【図３８２】



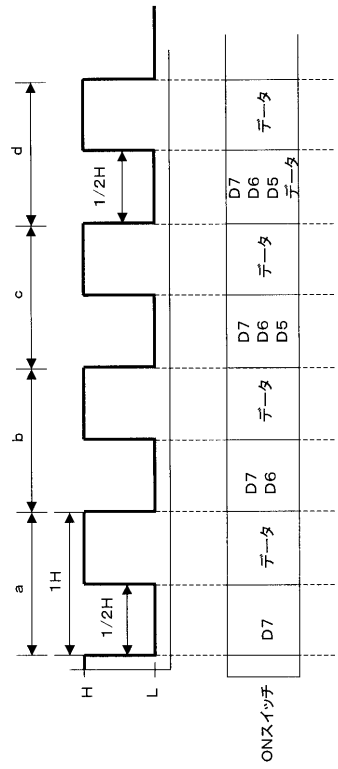
【図３８３】



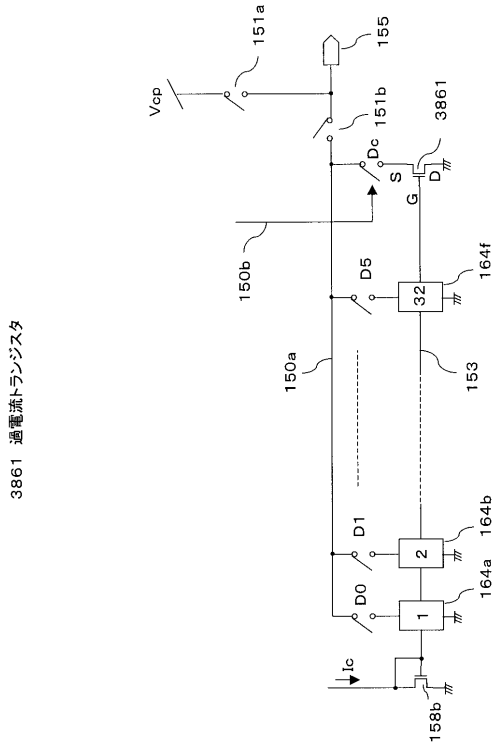
【図３８４】



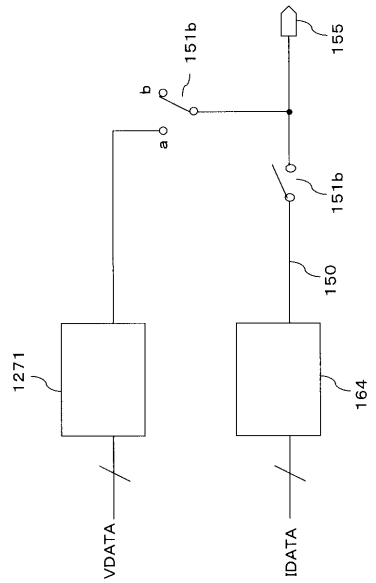
【図３８５】



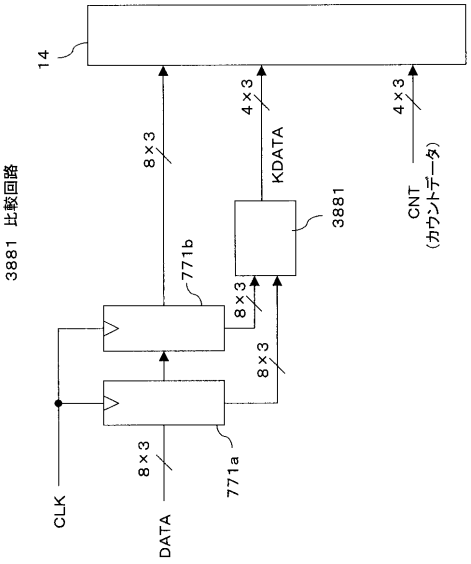
【図３８６】



【図３８７】



【図３８８】

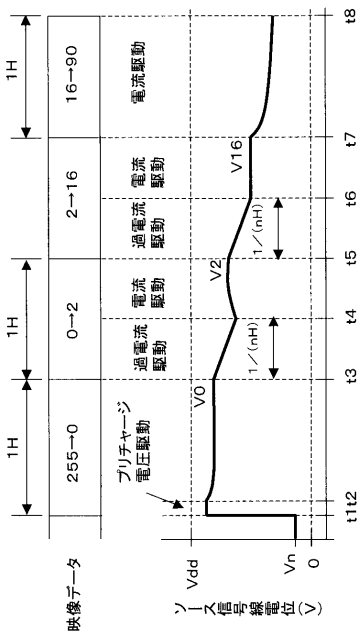


【図３８９】

KDATA

		変化前(1H前)					
		0	1	2	3	----------	n-1	n
変化後	0	0	—	—	—		—	—
	1	15	0	—	—		—	—
	2	12	10	0	—		—	—
	3	10	8	6	0		—	—
	4	8	6	4	2		—	—
	----------					----------		
	n-1	0	0	0	0		—	—
	n	0	0	0	0	----------	—	—

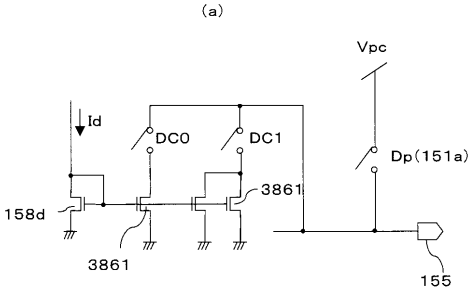
【図３９０】



【図３９１】

P	K1	K2	Dp	DC0	DC1
0	0	0	0	0	0
1	0	0	1	0	0
1	1	0	1	1	0
1	0	1	1	0	1
1	1	1	1	1	1
0	1	0	0	1	0
0	0	1	0	0	1
0	1	1	0	1	1

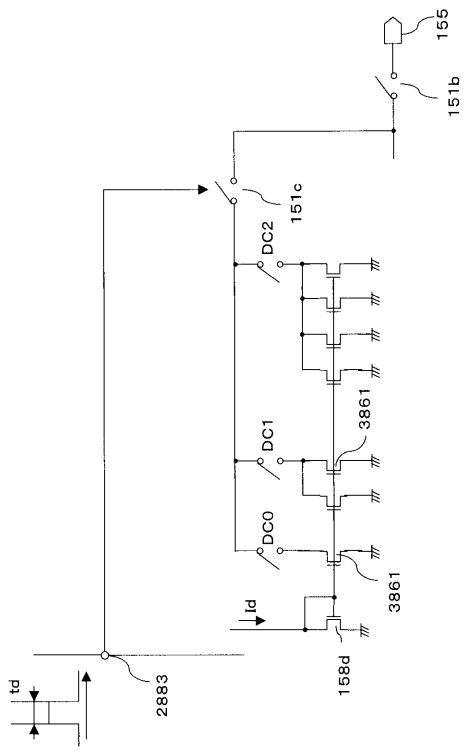
【図３９２】



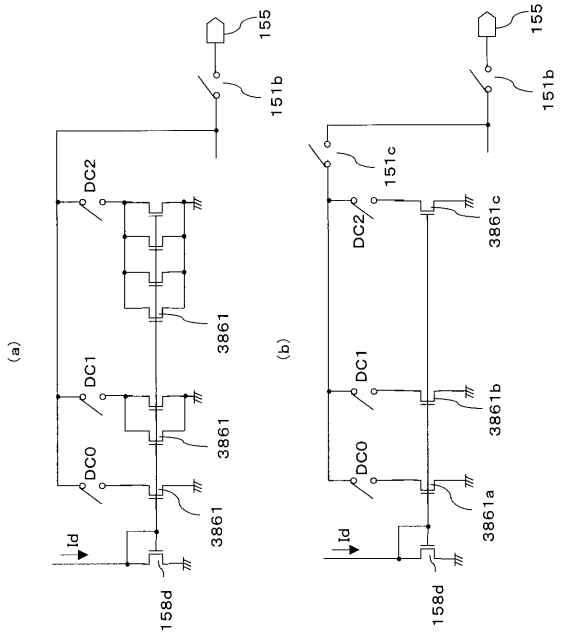
1:ON 0:OFF

K, P	Dp	DC0	DC1
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1

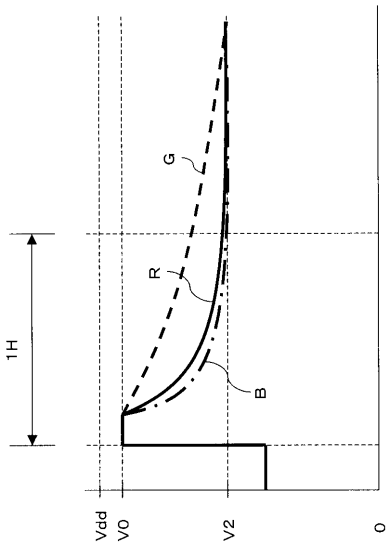
【図３９３】



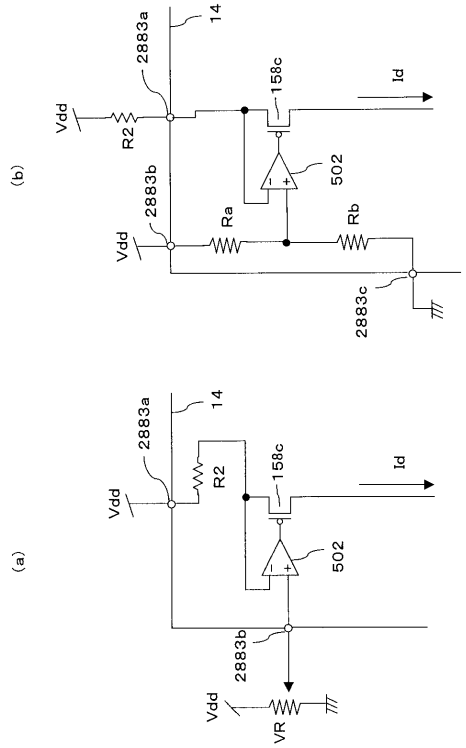
【図３９４】



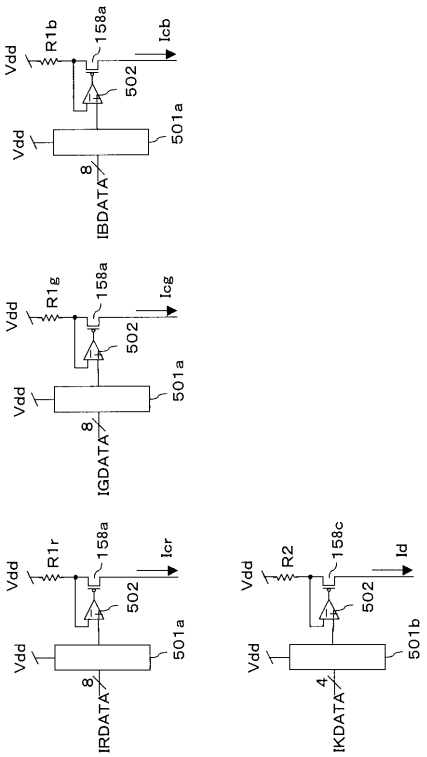
【図３９５】



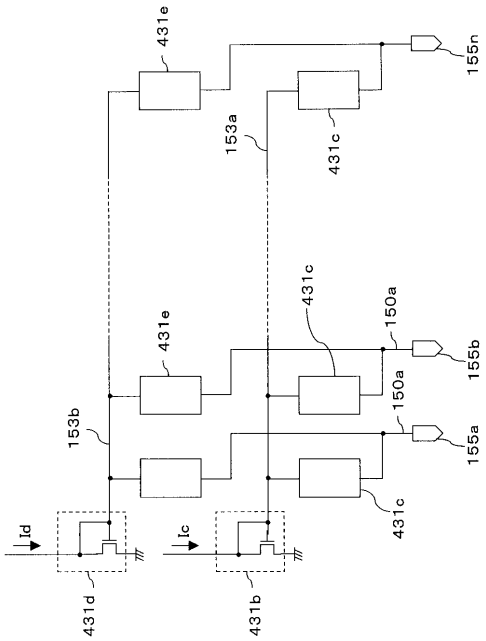
【図３９６】



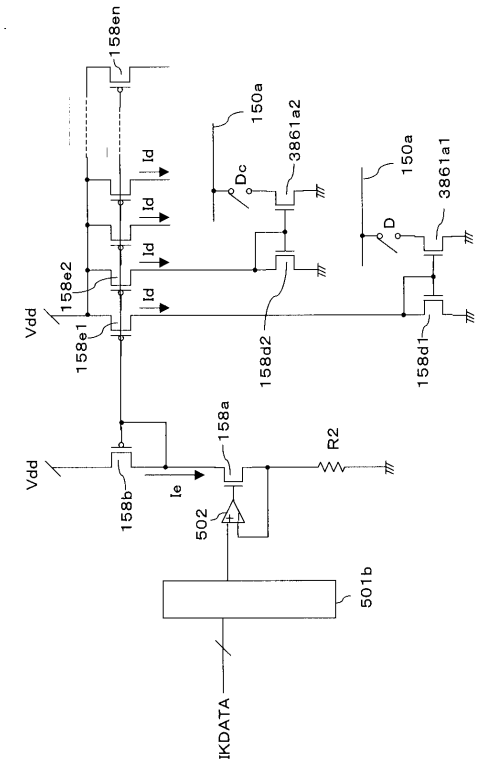
【図３９７】



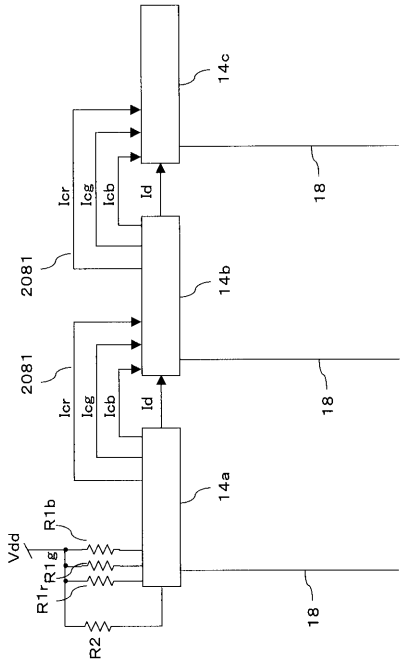
【図３９８】



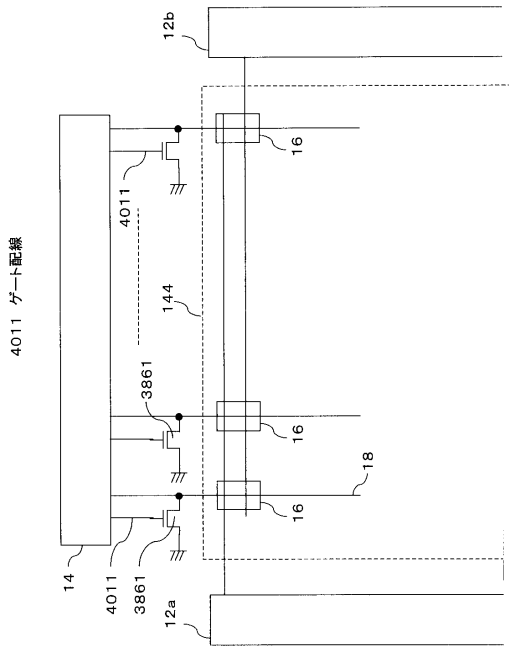
【図３９９】



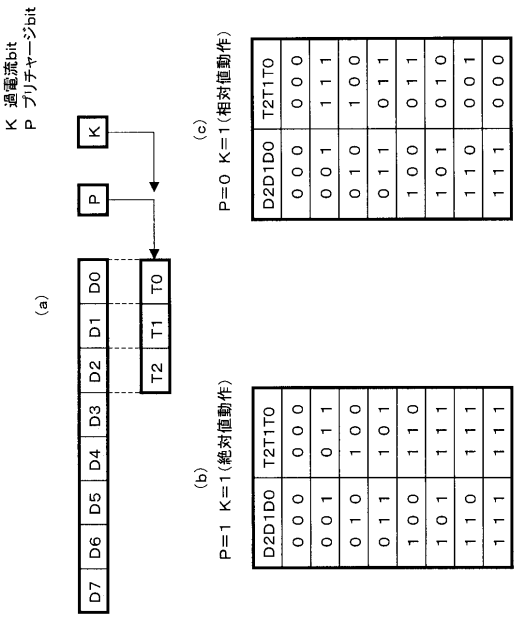
【図４００】



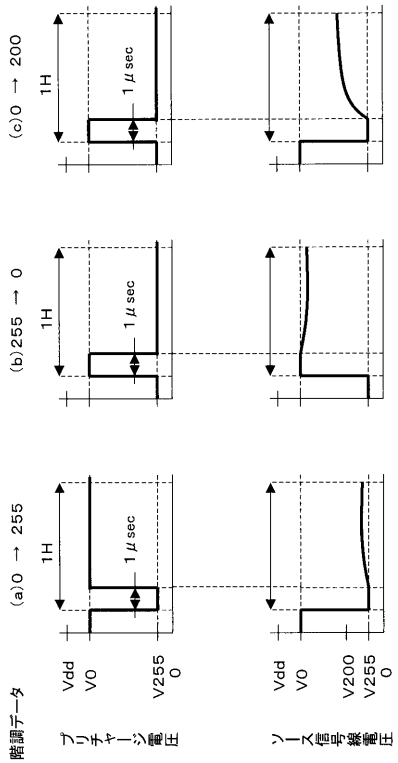
【図４０１】



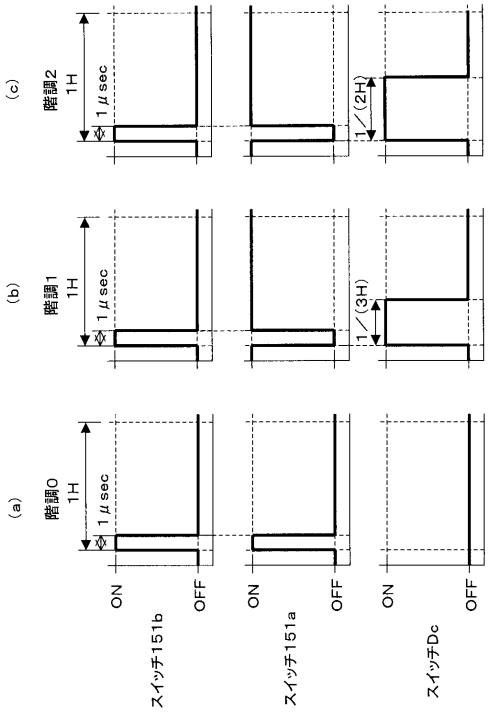
【図４０２】



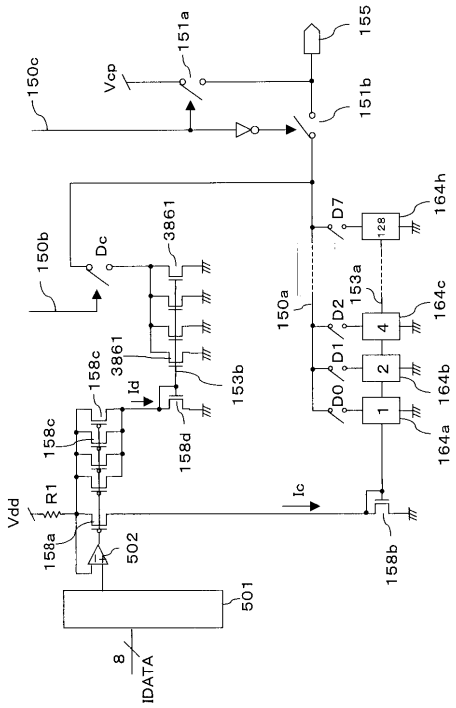
【図４０３】



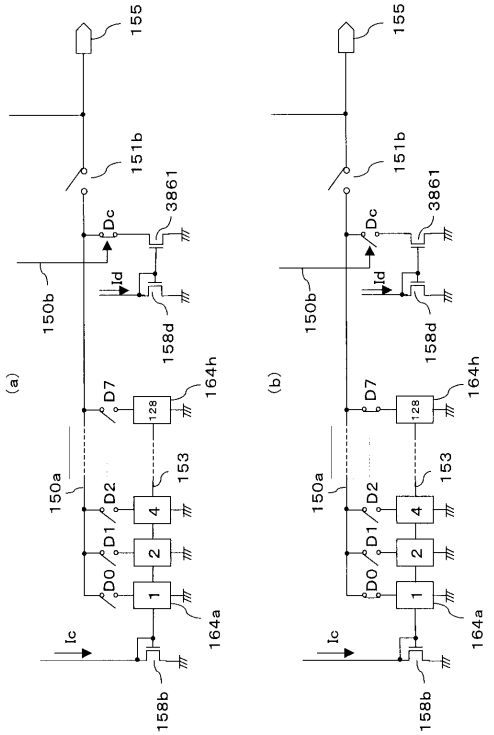
【図４０４】



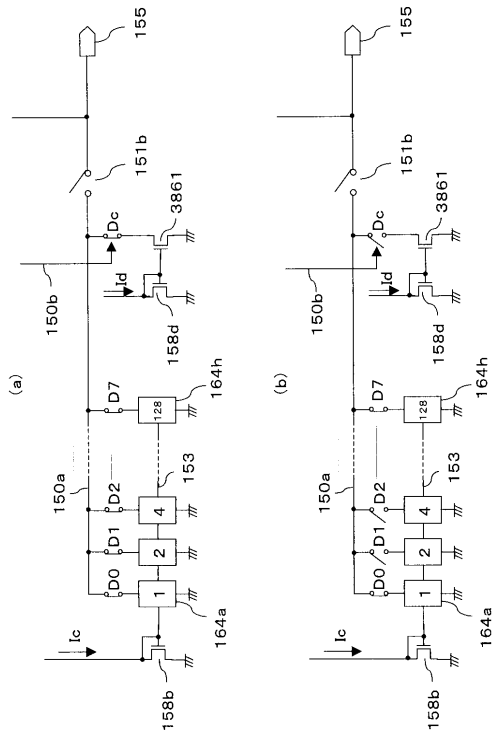
【図４０５】



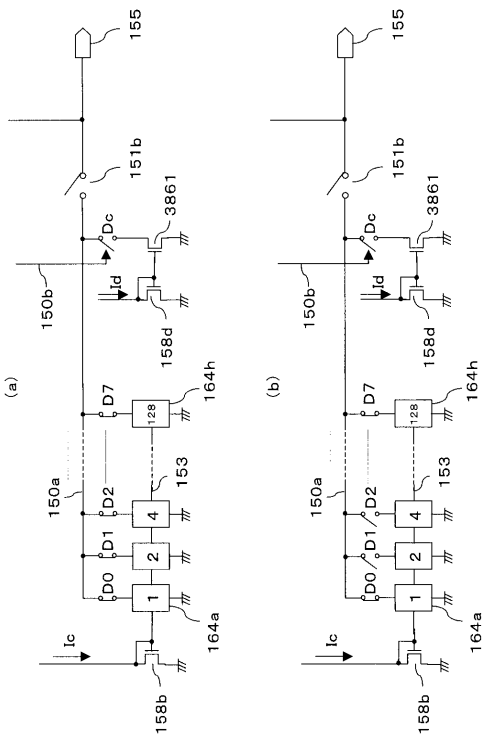
【図４０６】



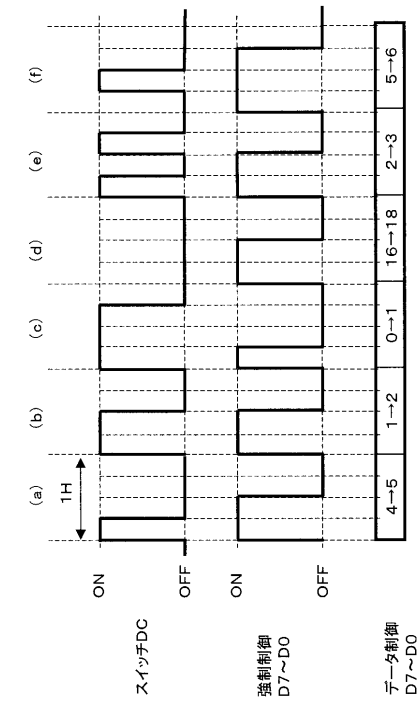
【図４０７】



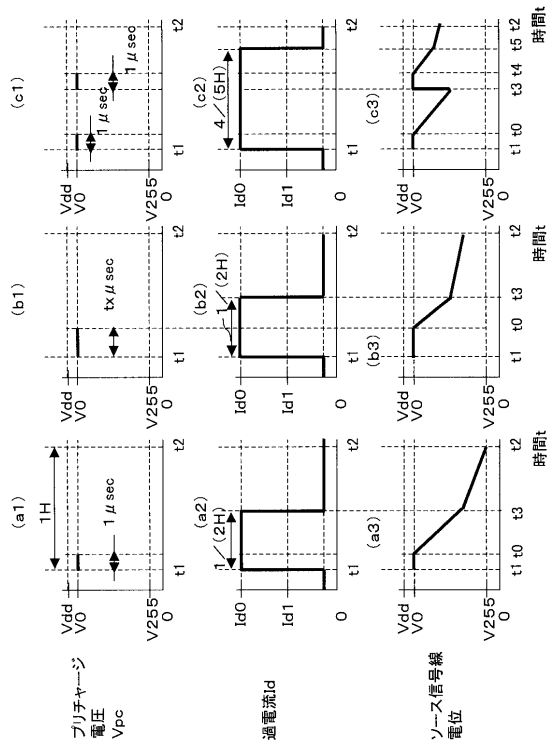
【図４０８】



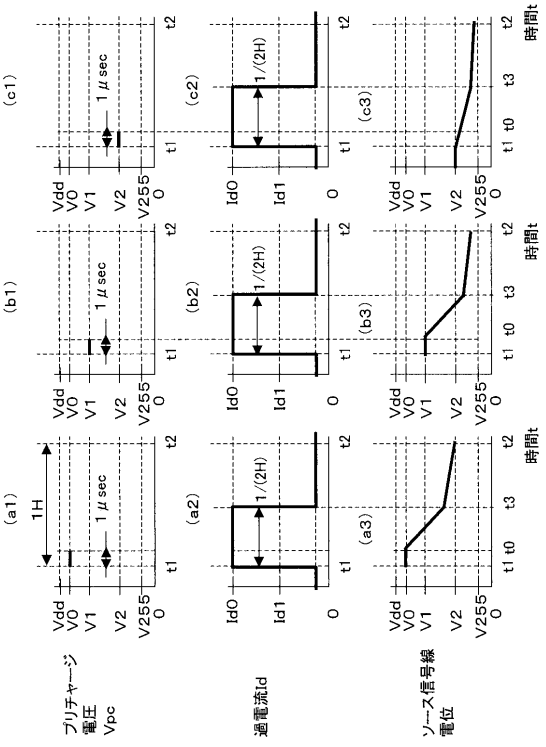
【図４０９】



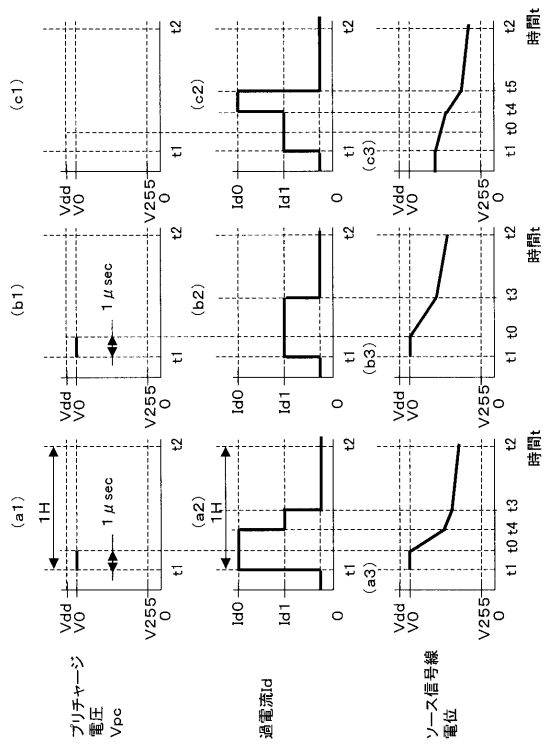
【図４１０】



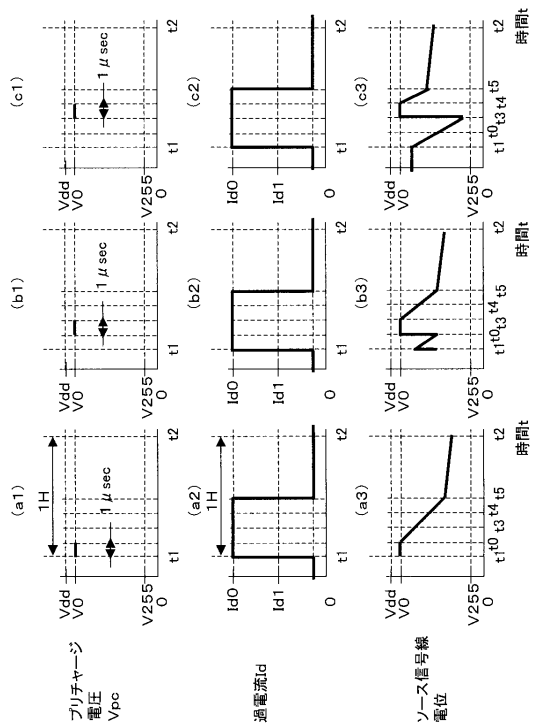
【図４１１】



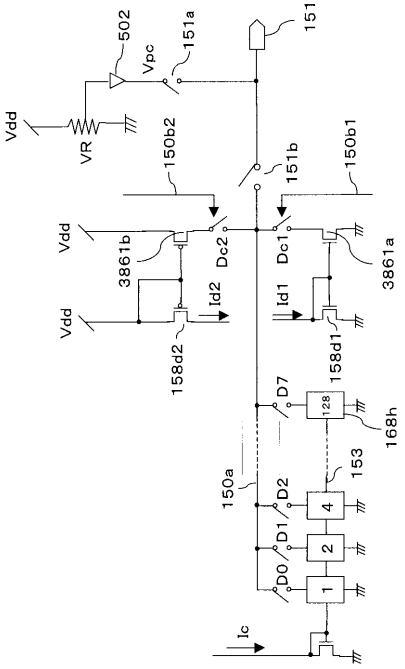
【図４１２】



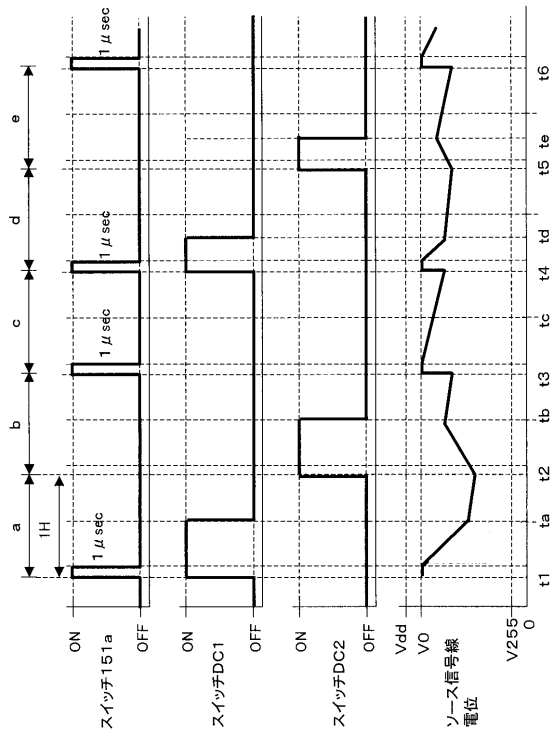
【図４１３】



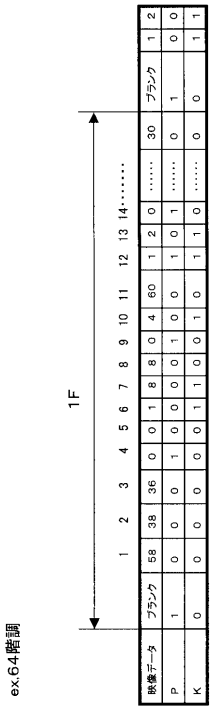
【図４１４】



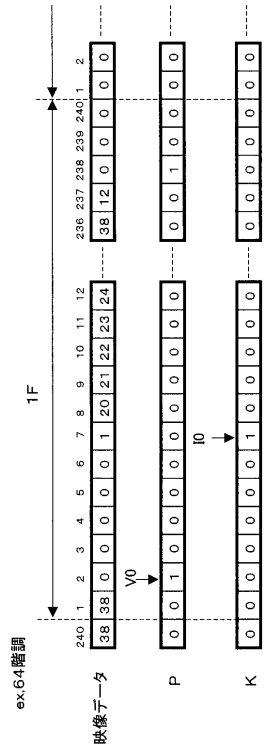
【図４１５】



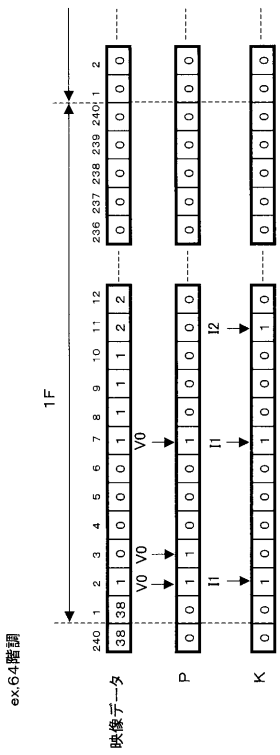
【図４１６】



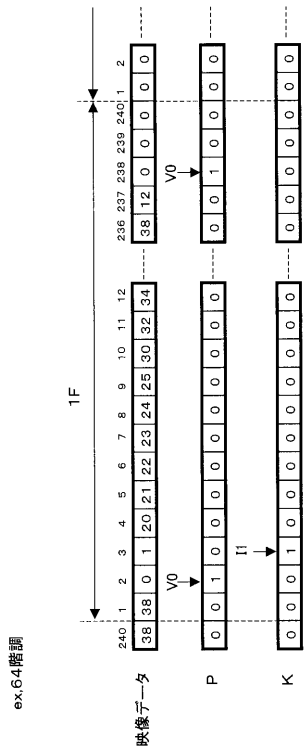
【図４１７】



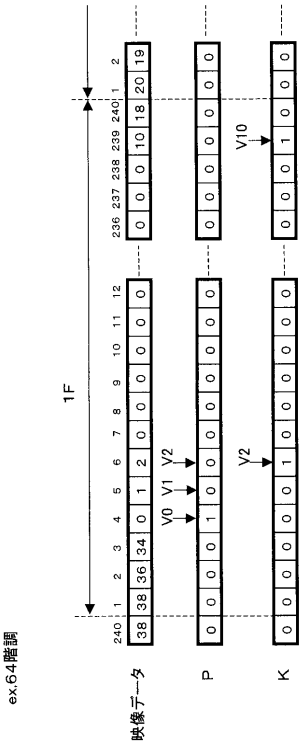
【図４１８】



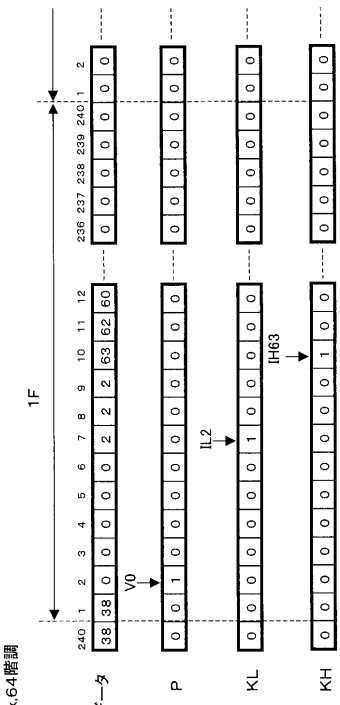
【図４１９】



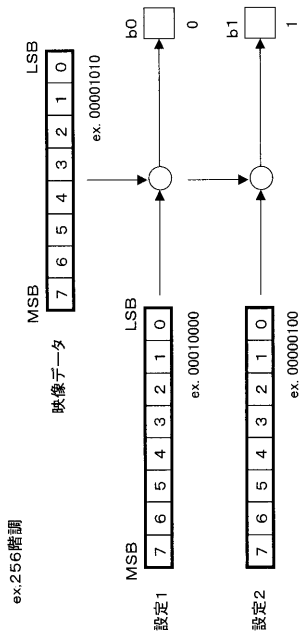
【図４２０】



【図４２１】

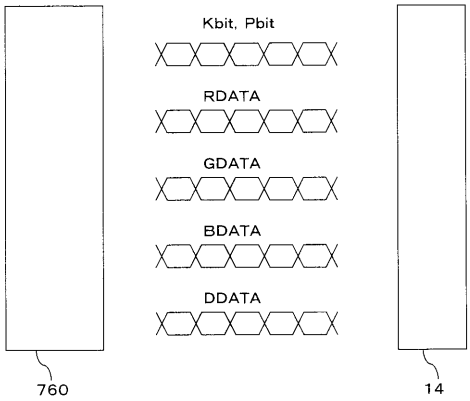


【図４２２】

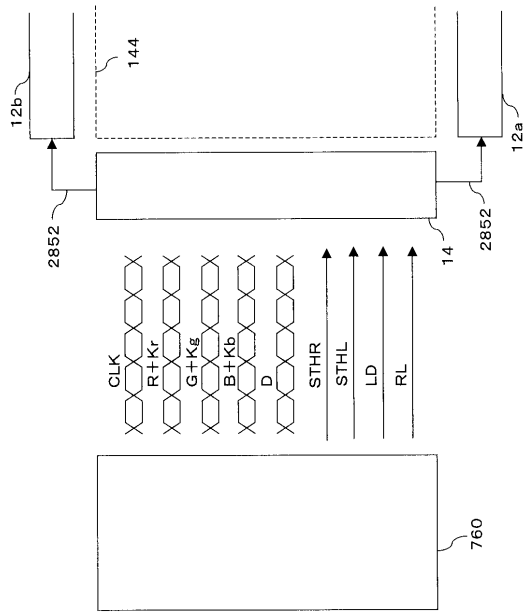


【図４２３】

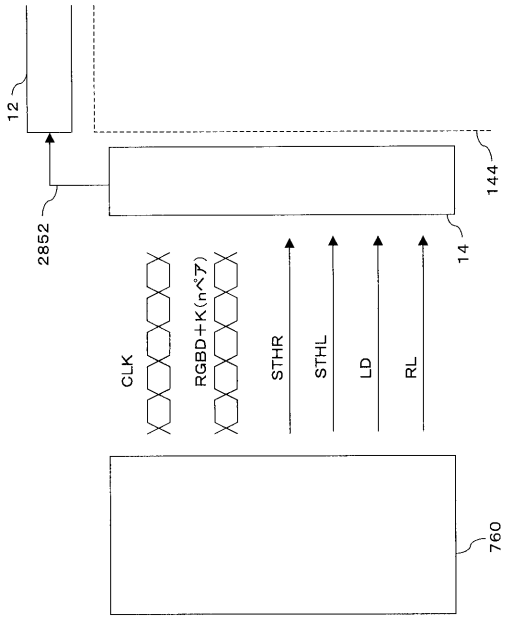
【図４２４】



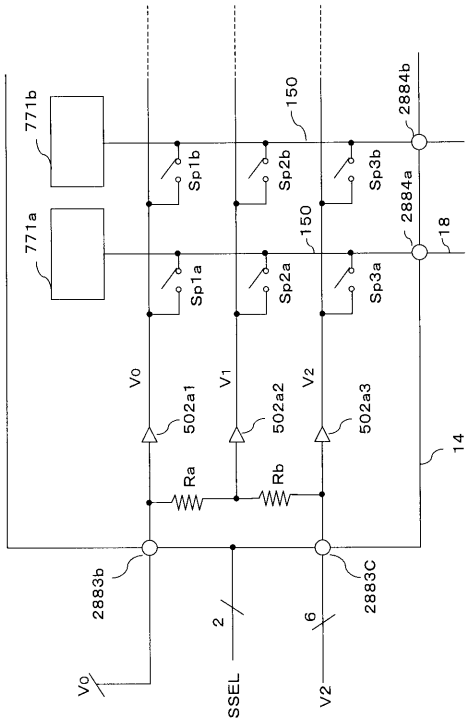
【図４２５】



【図４２６】



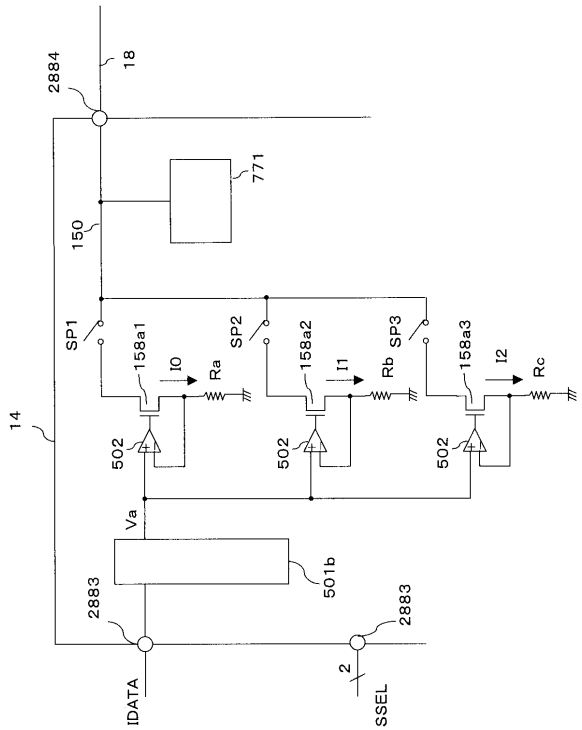
【図４２７】



【図４２８】

SSEL	SW
0	all open
1	SP1
2	SP2
3	SP3

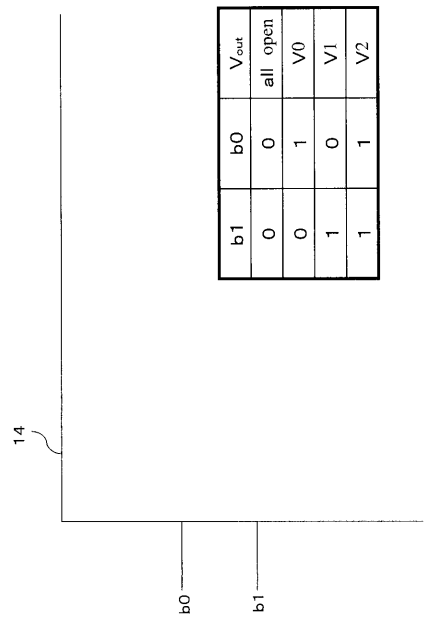
【図４２９】



【図４３０】

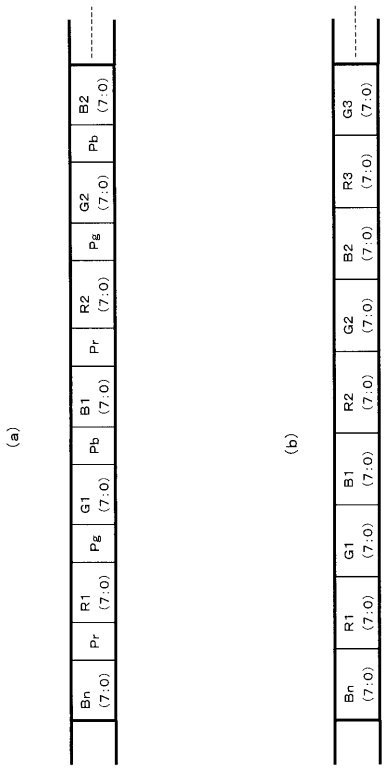
SSEL	SW
0	all open
1	SP1
2	SP2
3	SP3

【図４３１】

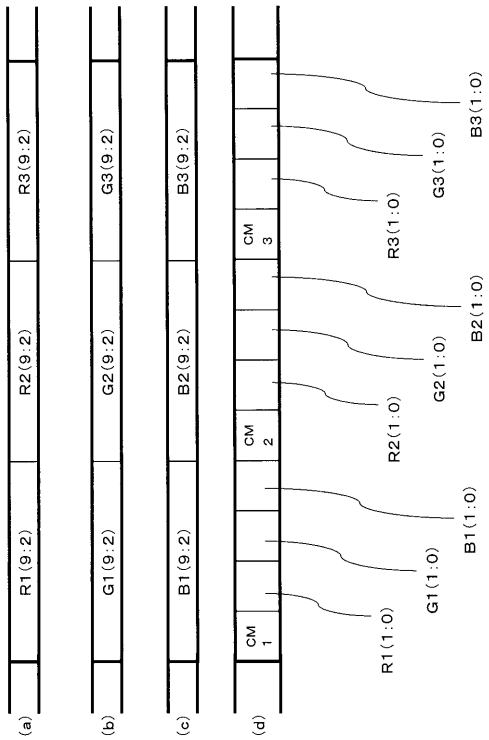


b1	b0	V_{out}
0	0	all open
0	1	V0
1	0	V1
1	1	V2

【図４３２】



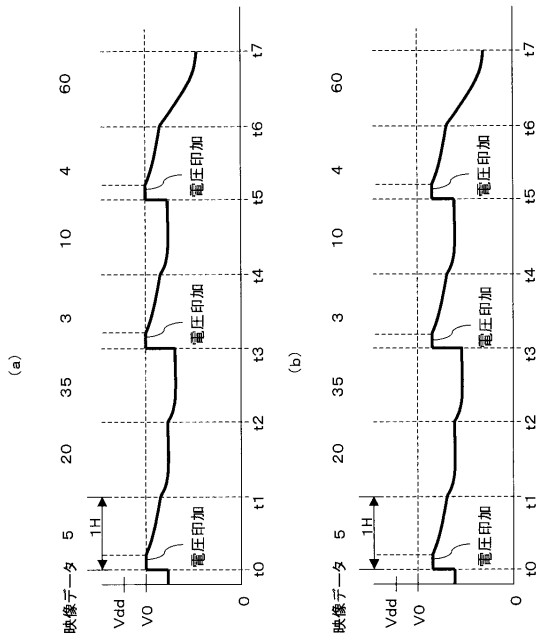
【図４３３】



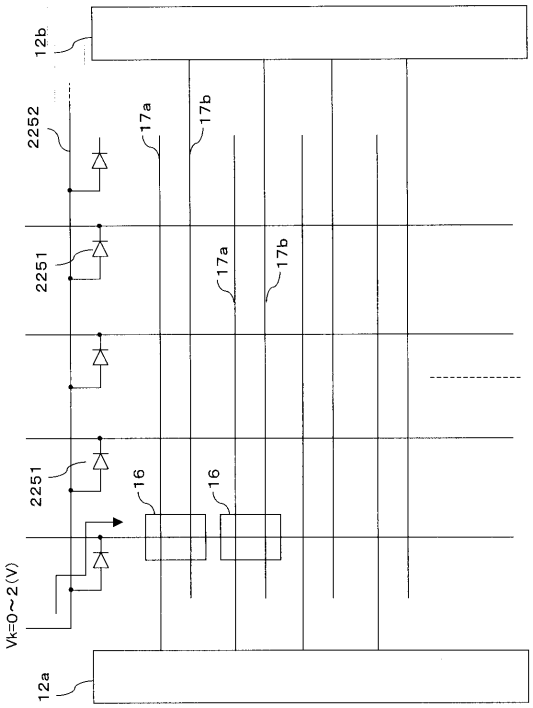
【図４３４】

No	IDATA	VDATA
0	I0	V0
1	I1	
2	I2	
3	I3	
4	I4	V1
5	I5	
6	I6	
7	I7	
8	I8	V2
9	I9	
10	I10	
11	I11	
12	I12	V3

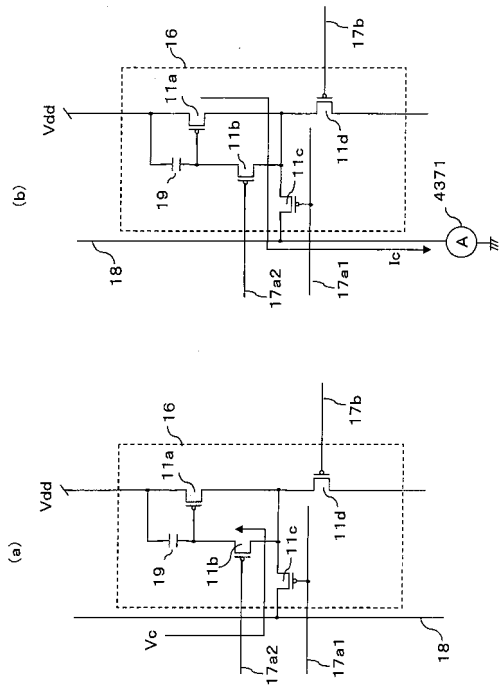
【図４３５】



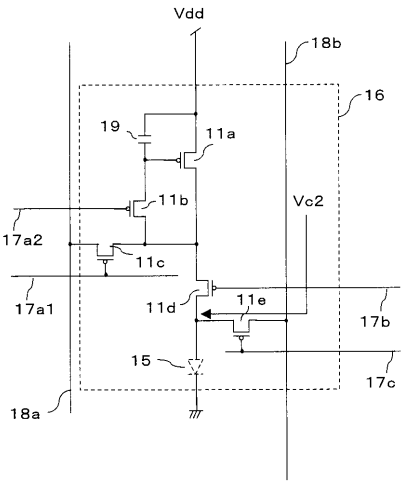
【図４３６】



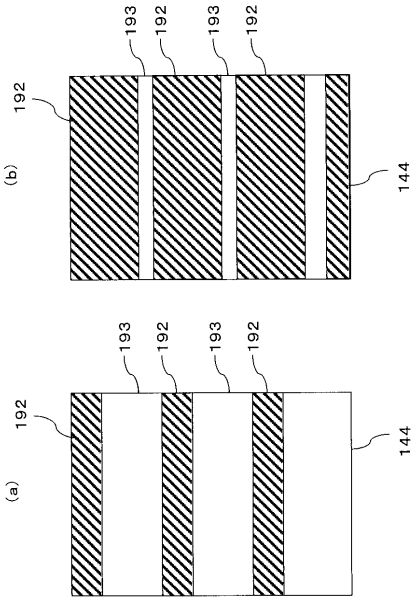
【図４３７】



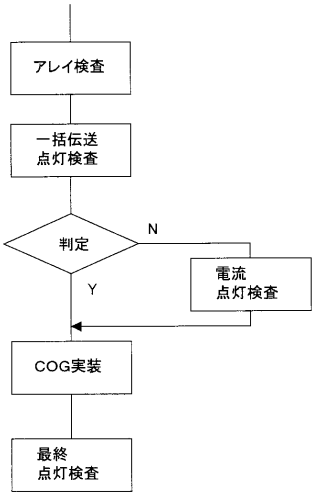
【図４３８】



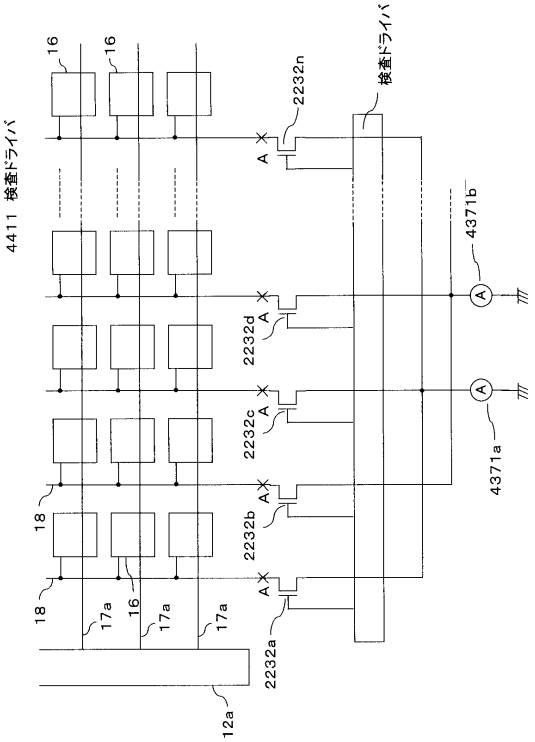
【図４３９】



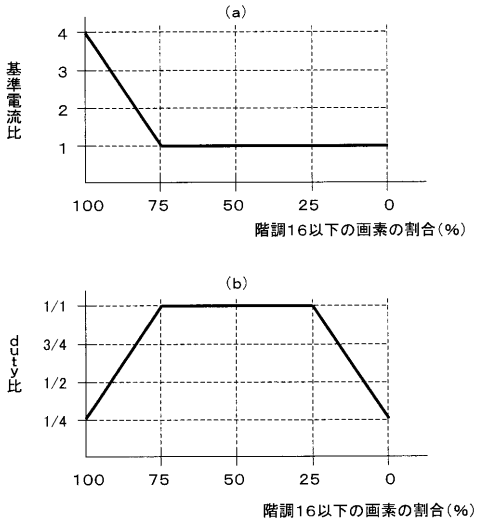
【図４４０】



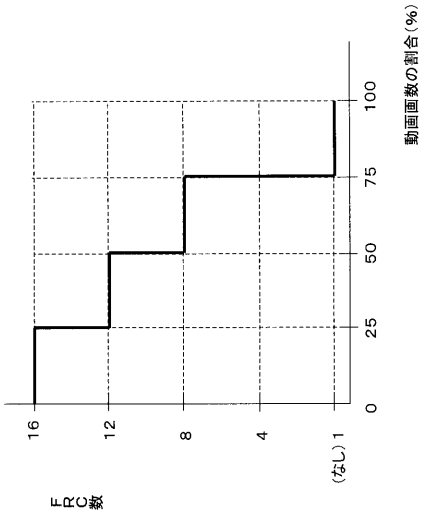
【図４４１】



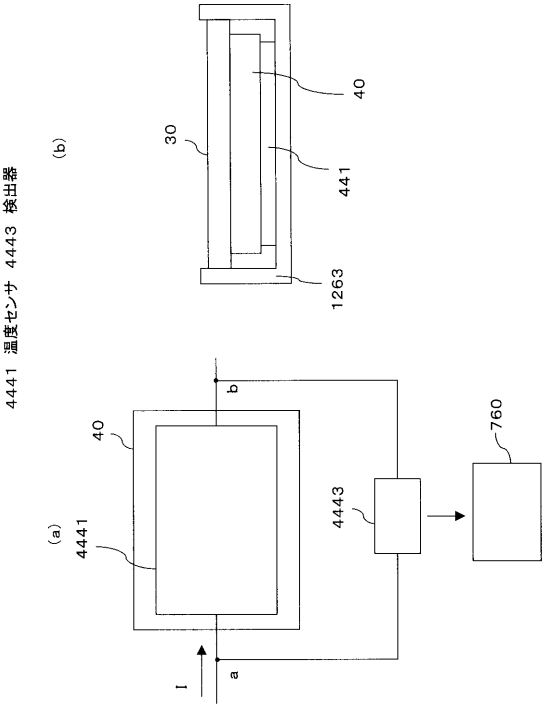
【図４４２】



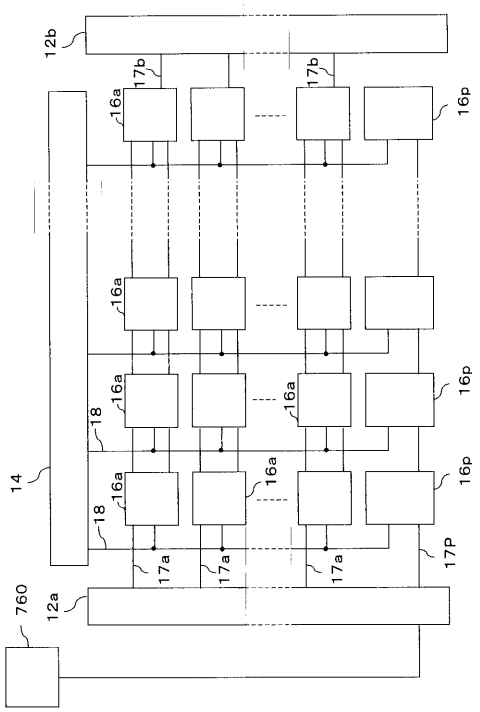
【図４４３】



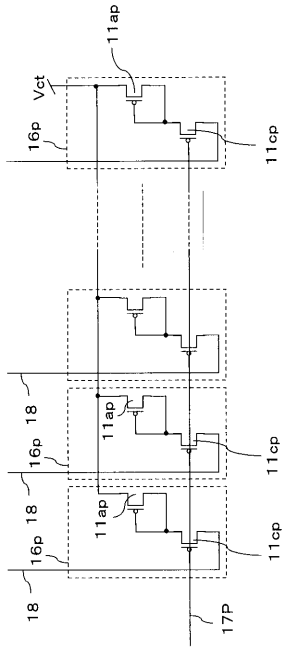
【図４４４】



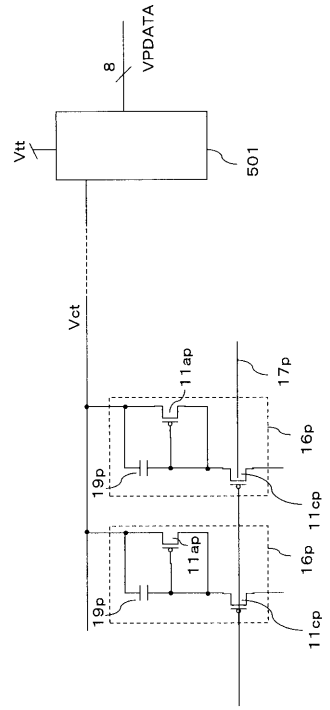
【図４４５】



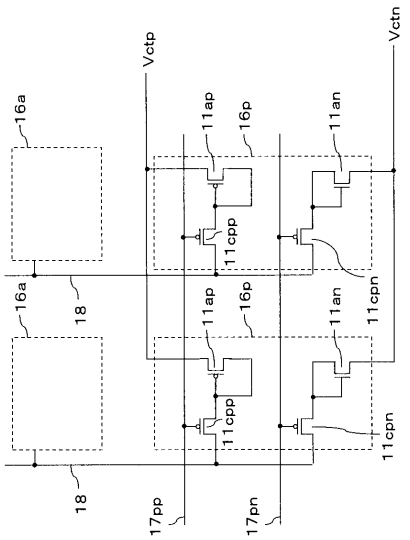
【図４４６】



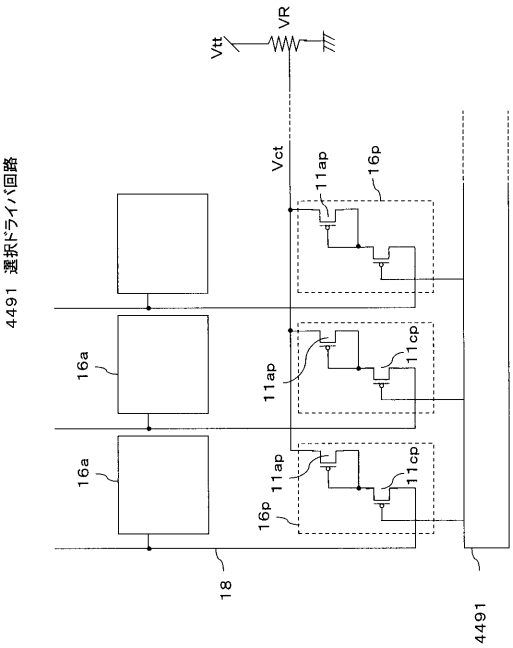
【図４４７】



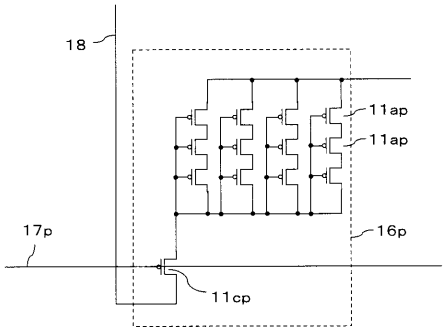
【図４４８】



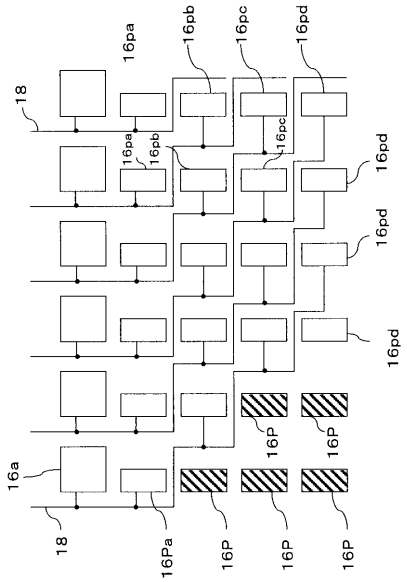
【図４４９】



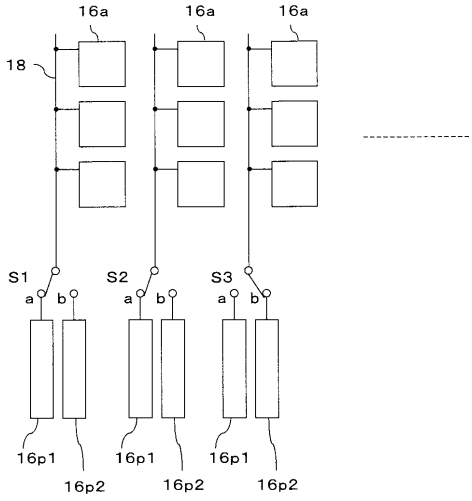
【図４５０】



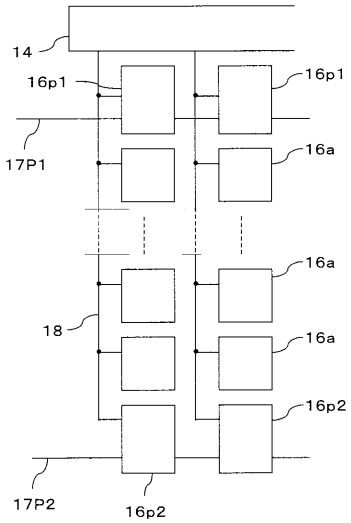
【図４５１】



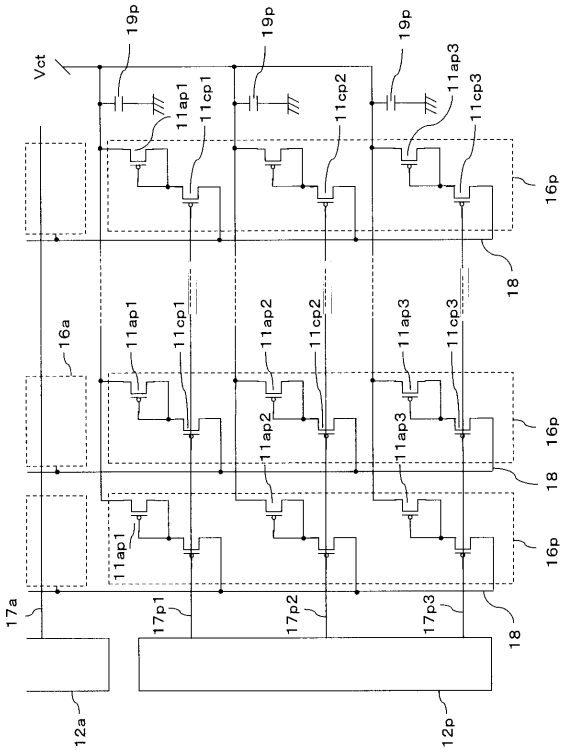
【図４５２】



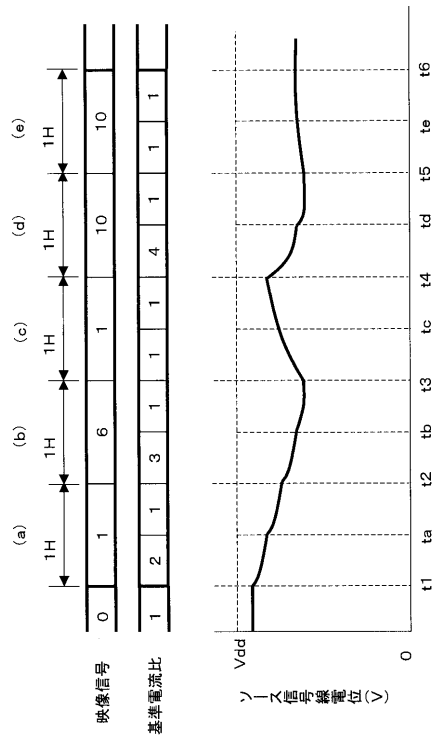
【図４５３】



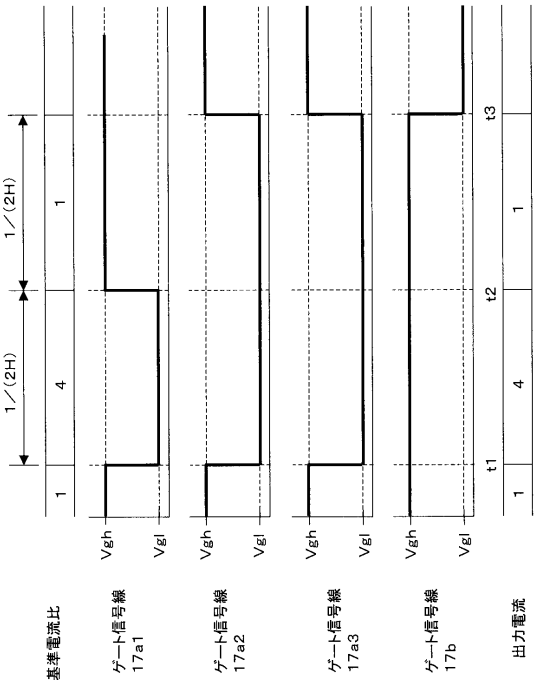
【図４５４】



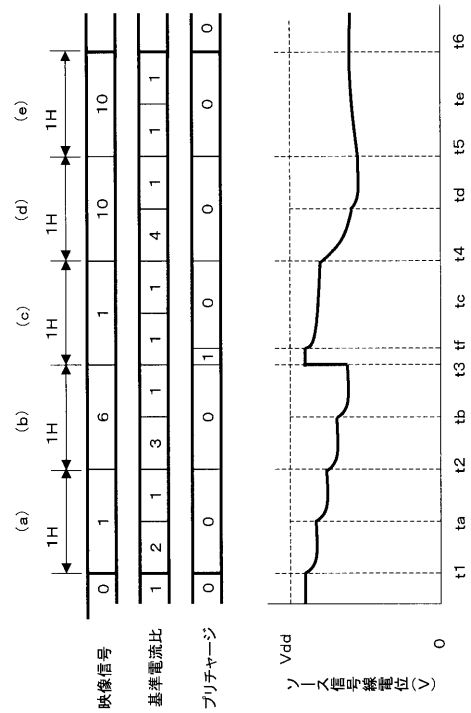
【図４５５】



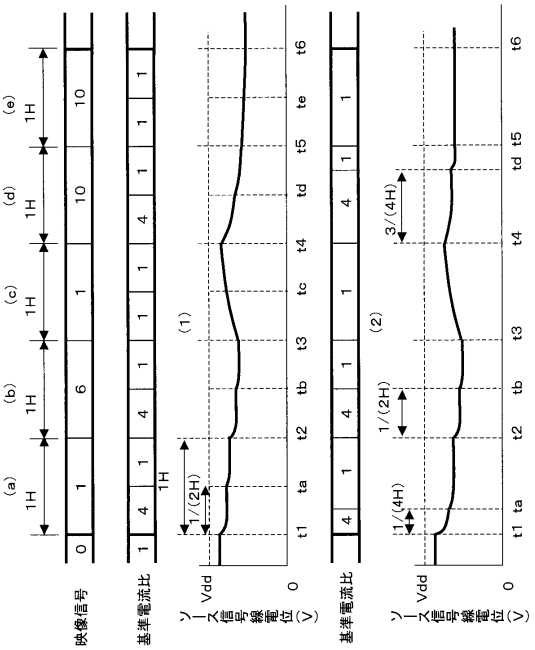
【図４５６】



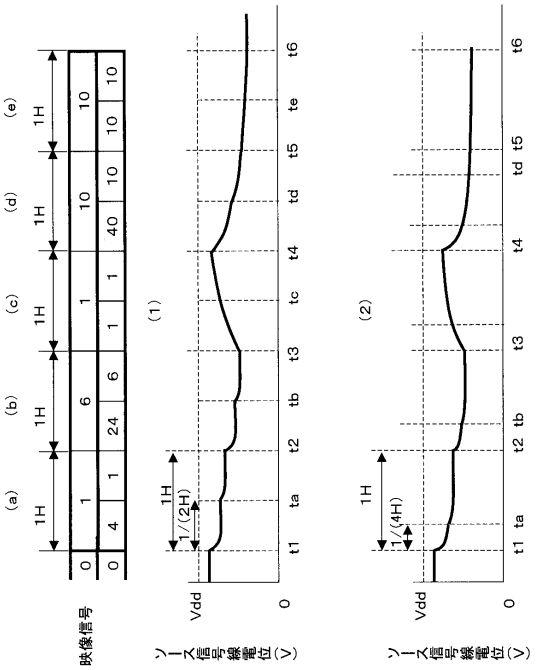
【図４５７】



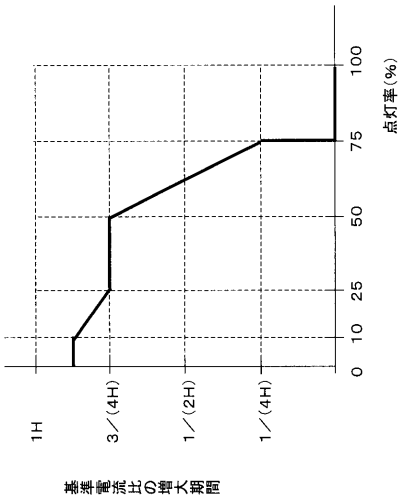
【図４５８】



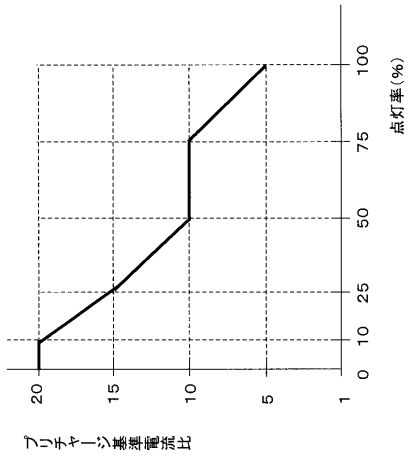
【図４５９】



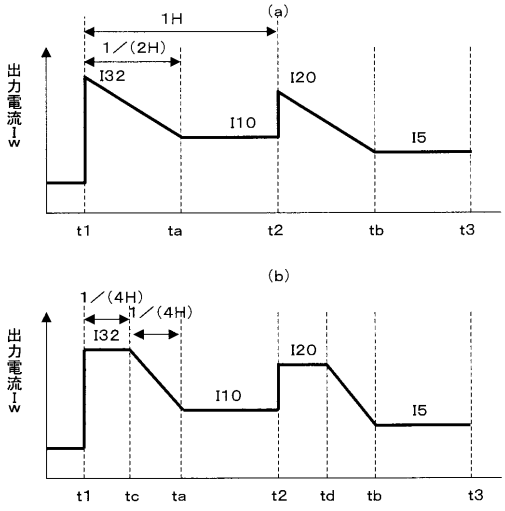
【図４６０】



【図４６１】



【図４６２】

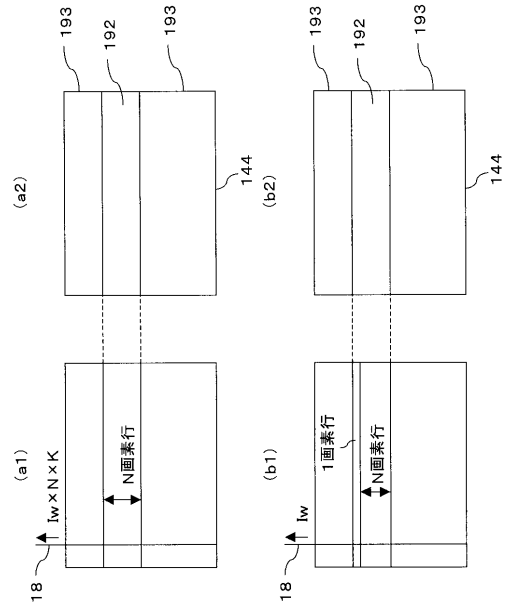


【図４６３】

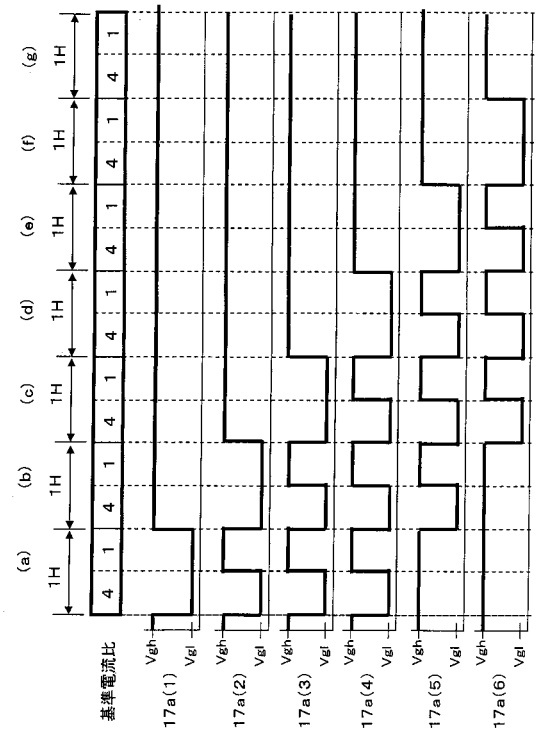
つぎの映像データ

1H前の映像データ	0	1	2	3	4	5
0	0	0	0	0	0	0
1	1	0	0	0	0	0
2	1	0	0	0	0	0
3	1	0	0	0	0	0
4	1	1	0	0	0	0
5	1	1	1	0	0	0
6	1	1	1	0	0	0

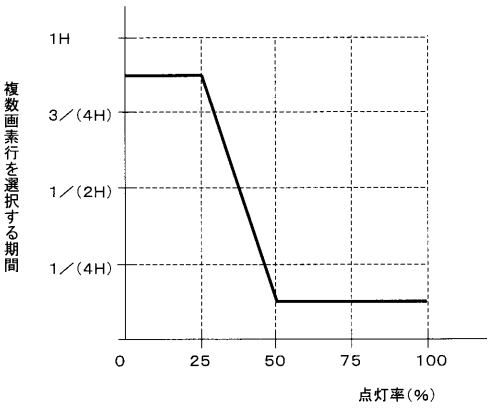
【図４６４】



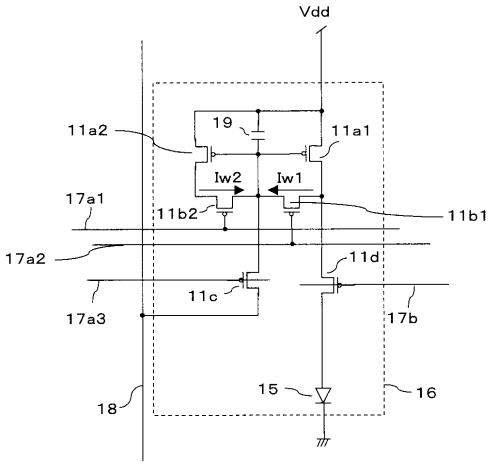
【図４６５】



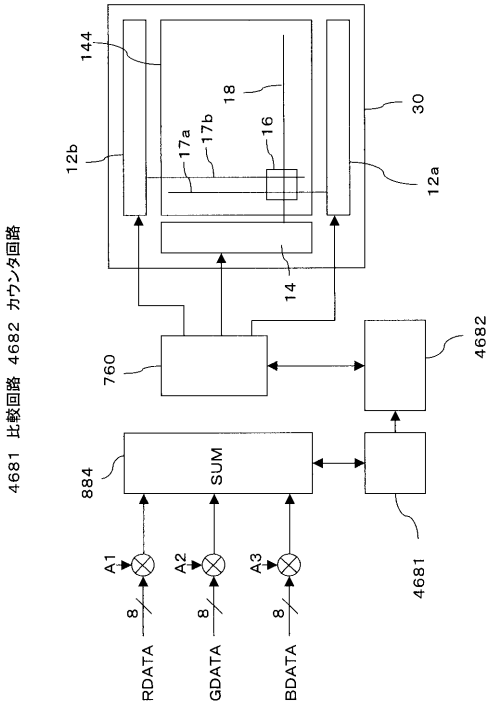
【図４６６】



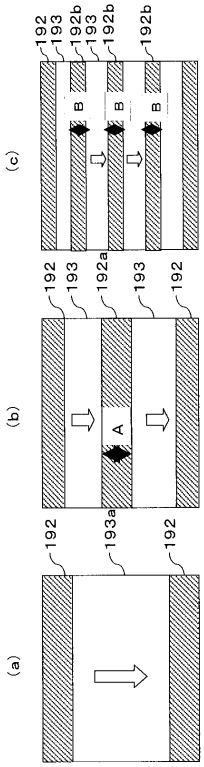
【図４６７】



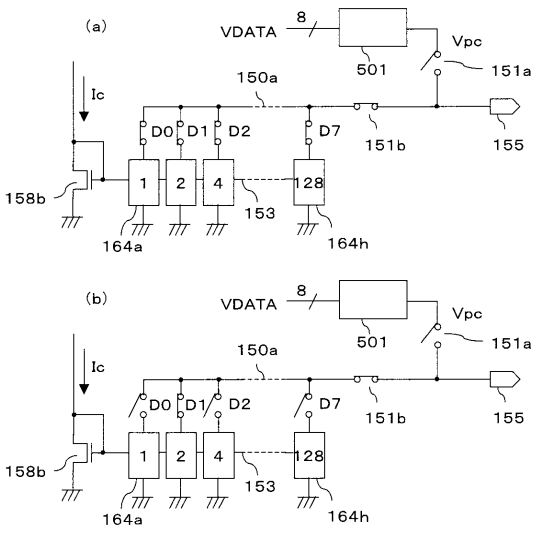
【図４６８】



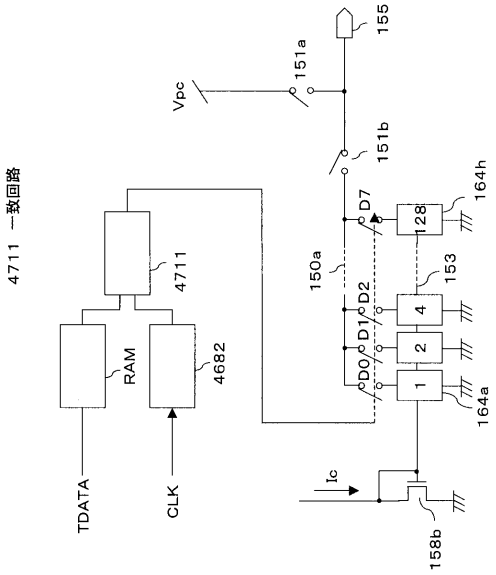
【図４６９】



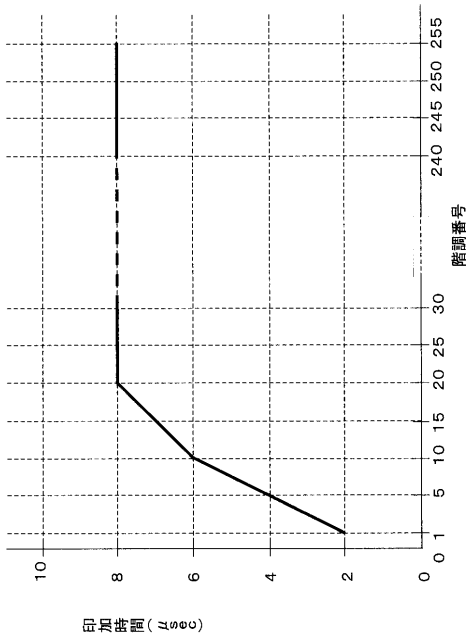
【図４７０】



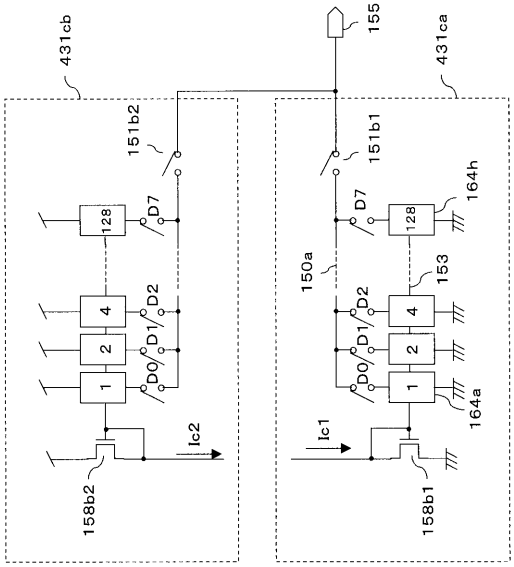
【図４７１】



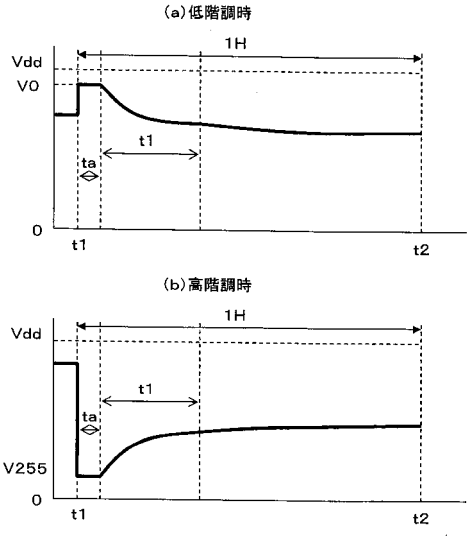
【図４７２】



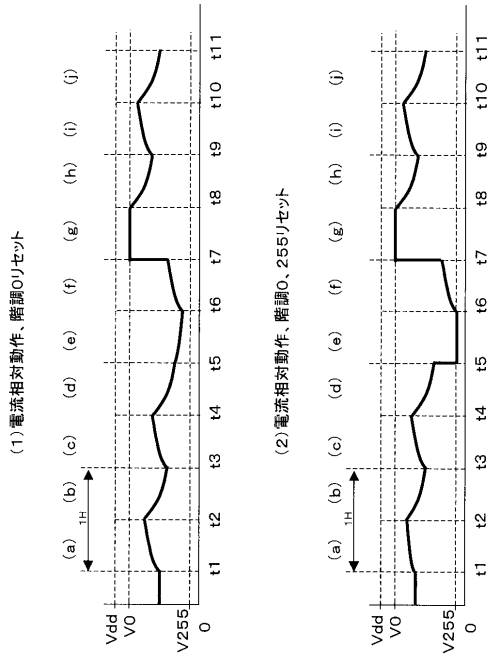
【図４７３】



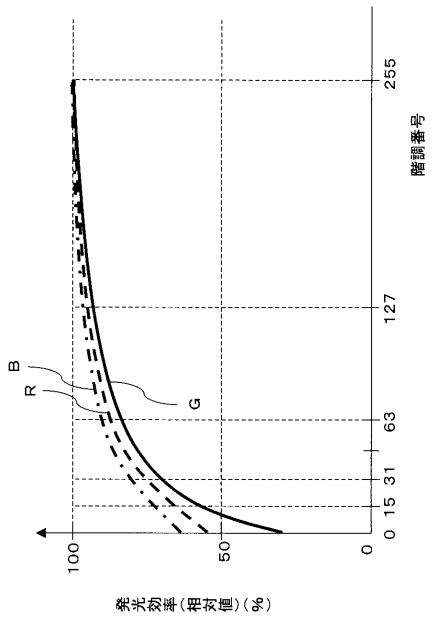
【図４７４】



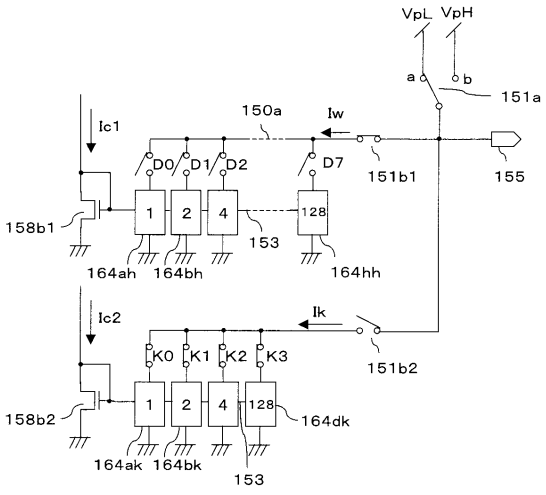
【図４７５】



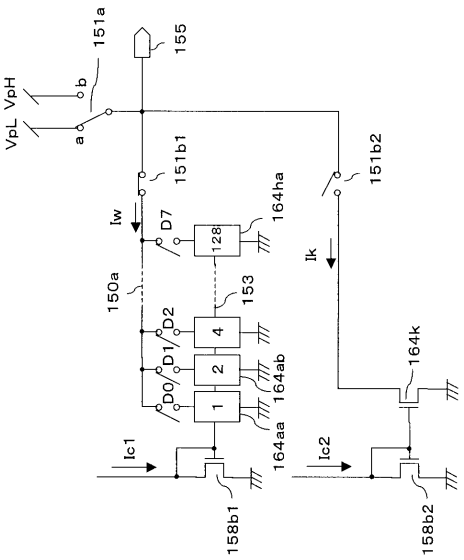
【図４７６】



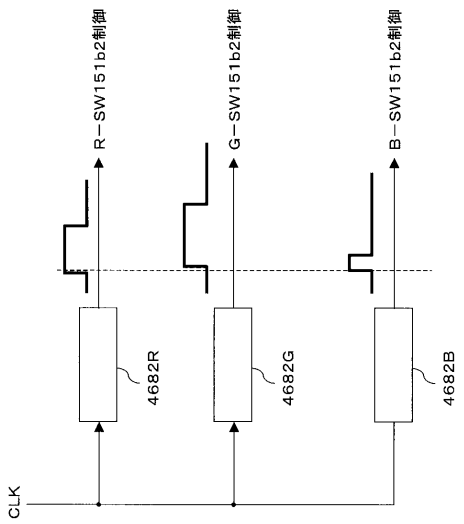
【図４７７】



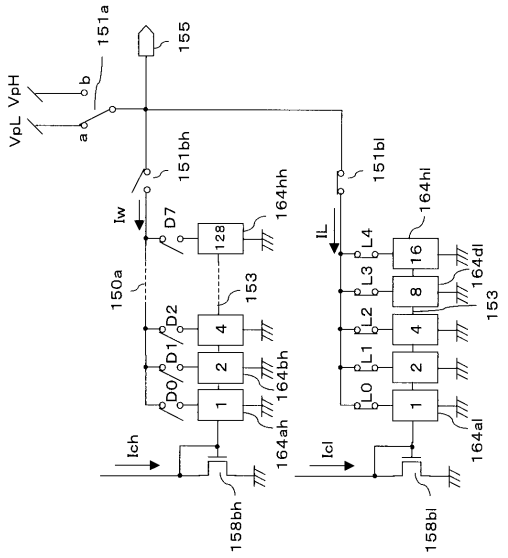
【図４７８】



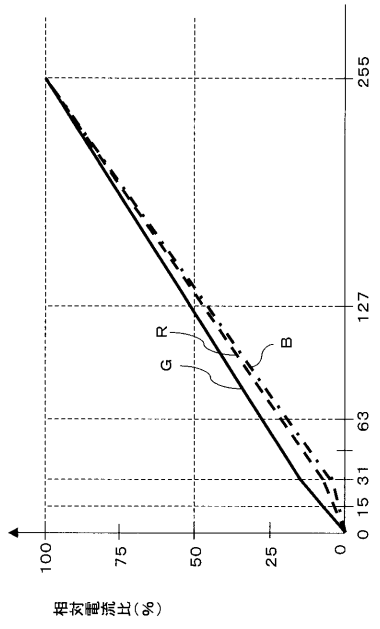
【図４７９】



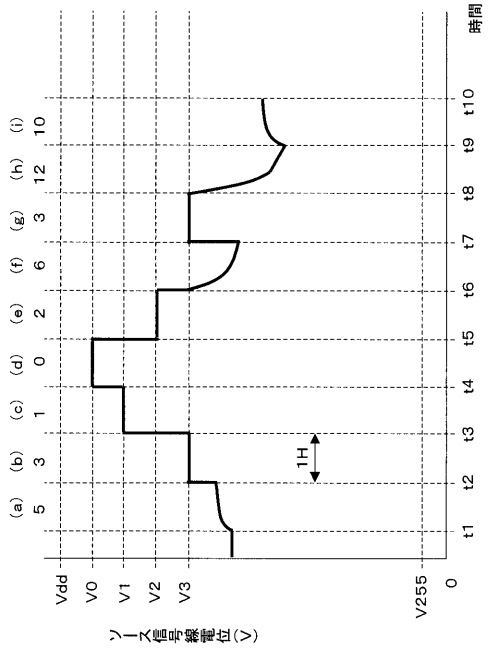
【図４８０】



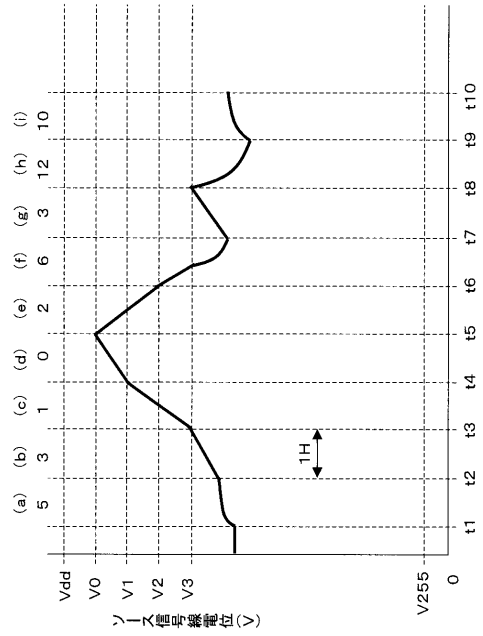
【図４８１】



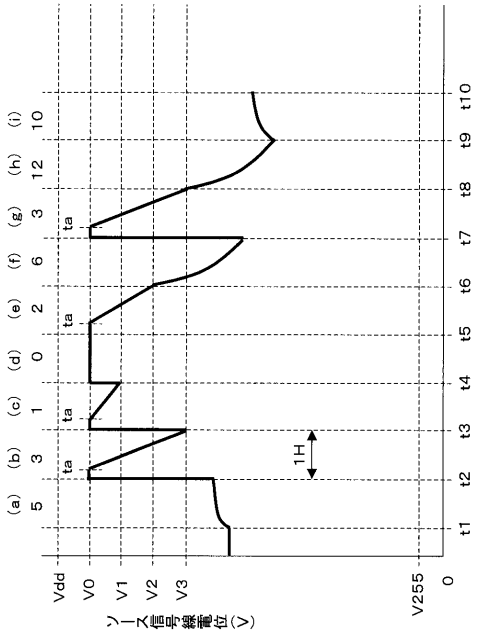
【図４８２】



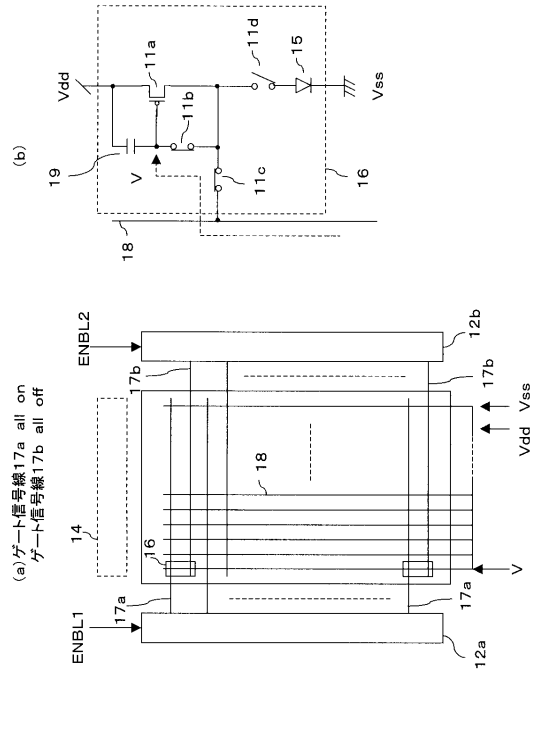
【図４８３】



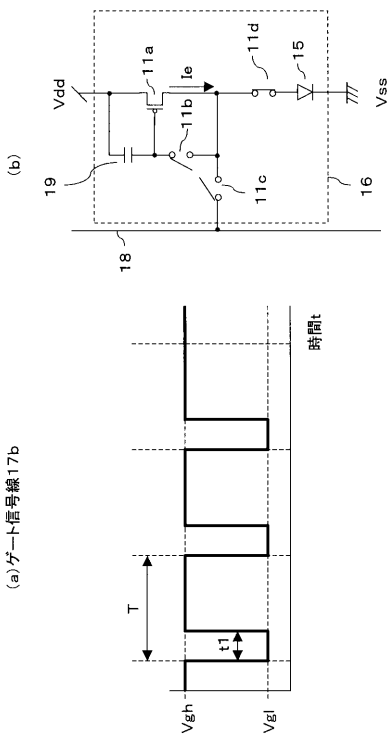
【図４８４】



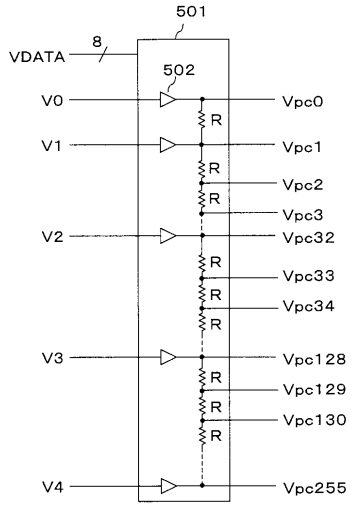
【図４８５】



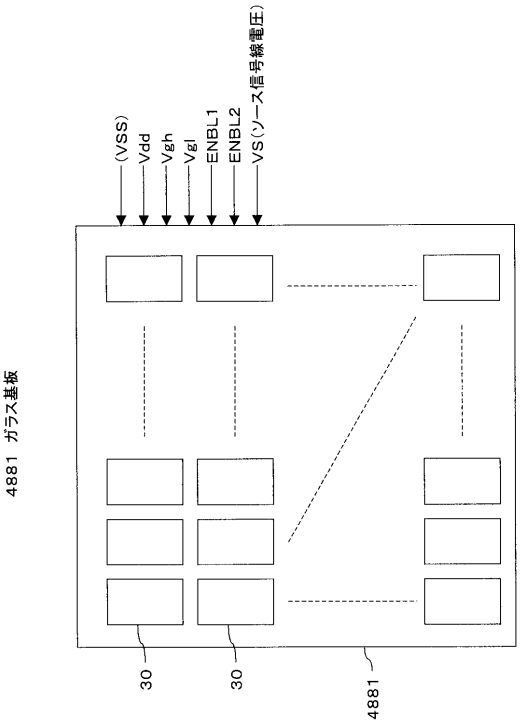
【図４８６】



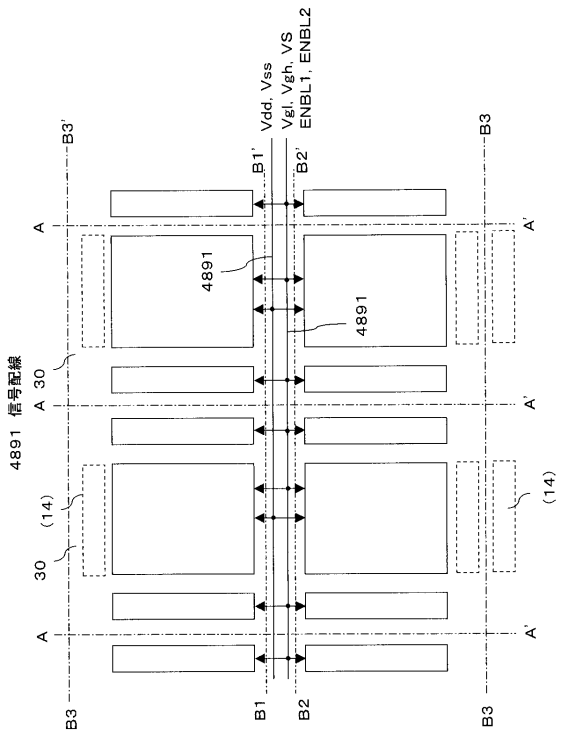
【図４８７】



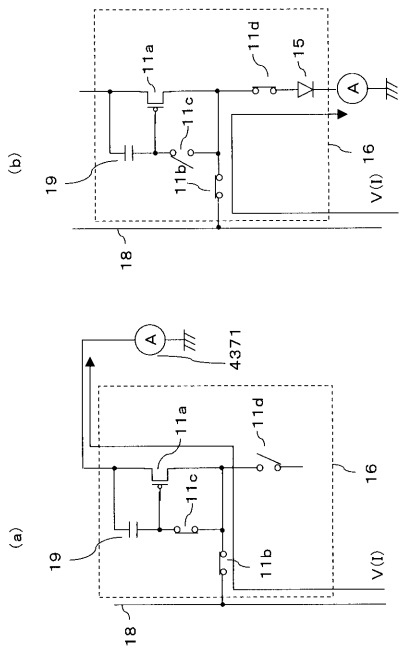
【図４８８】



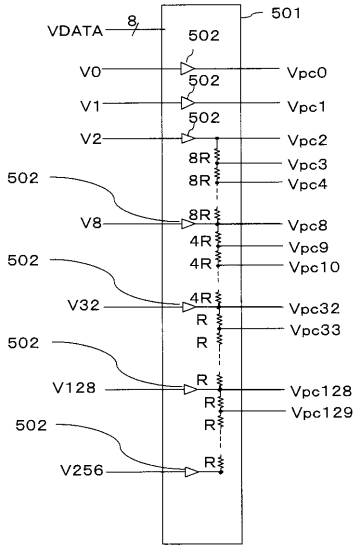
【図４８９】



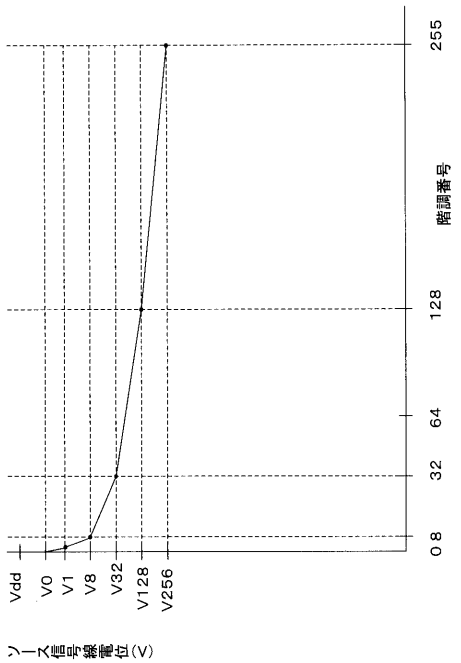
【図４９０】



【図４９１】



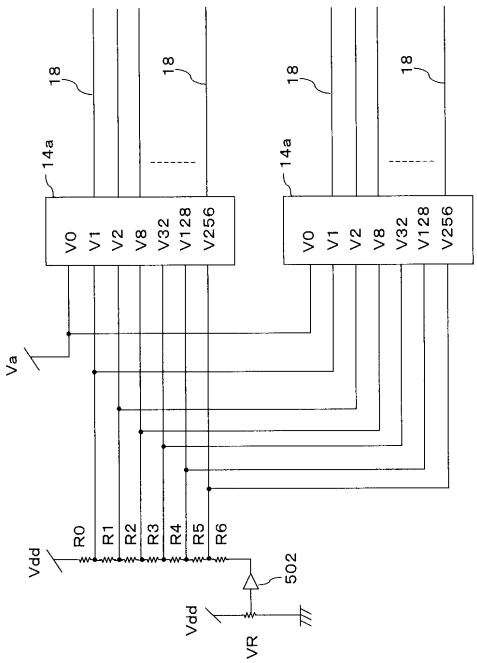
【図４９２】



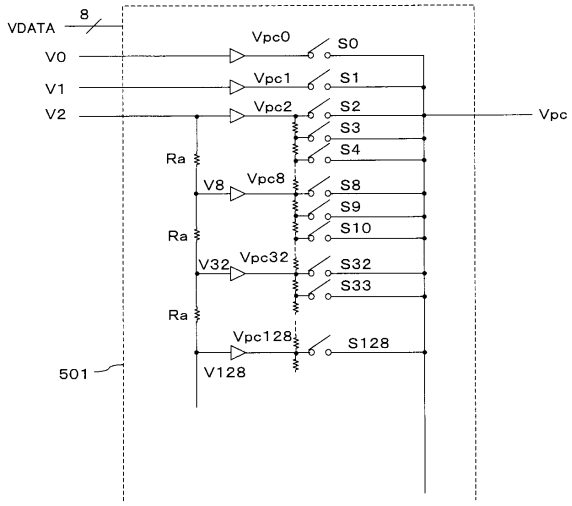
【図４９３】

	(a)	(b)	(c)
0	0	0	0
1	1	1	1
2	2	—	2
3	4		—
4	8	8	8
5	32	32	32
6	128	128	128
7	512	512	—

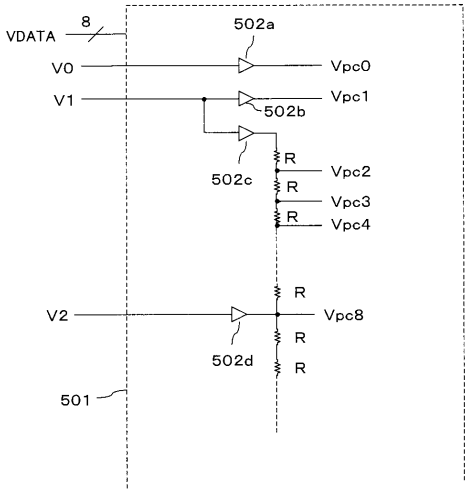
【図４９４】



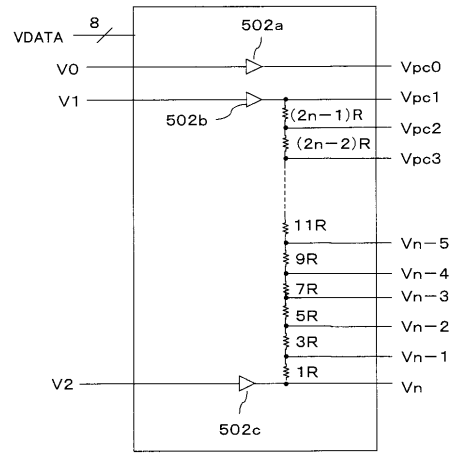
【図４９５】



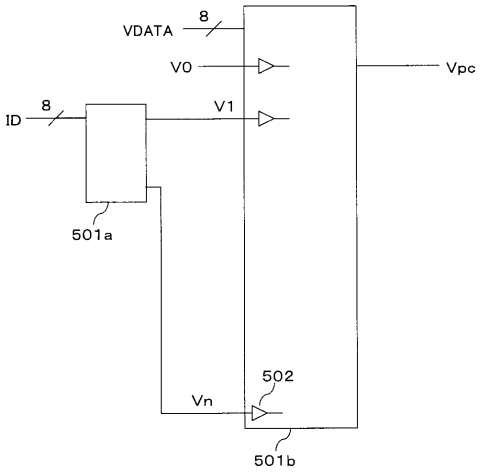
【図４９６】



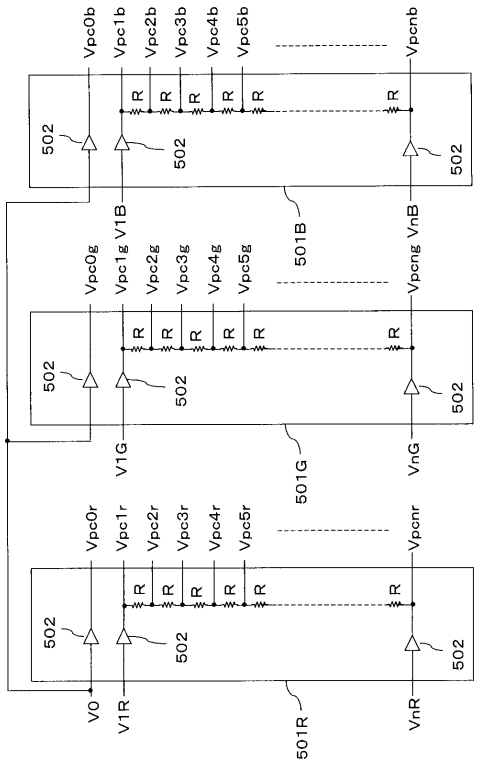
【図４９７】



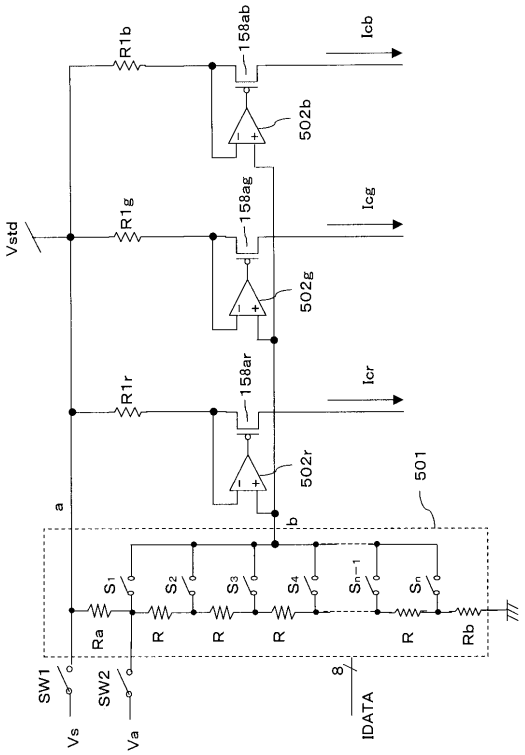
【図４９８】



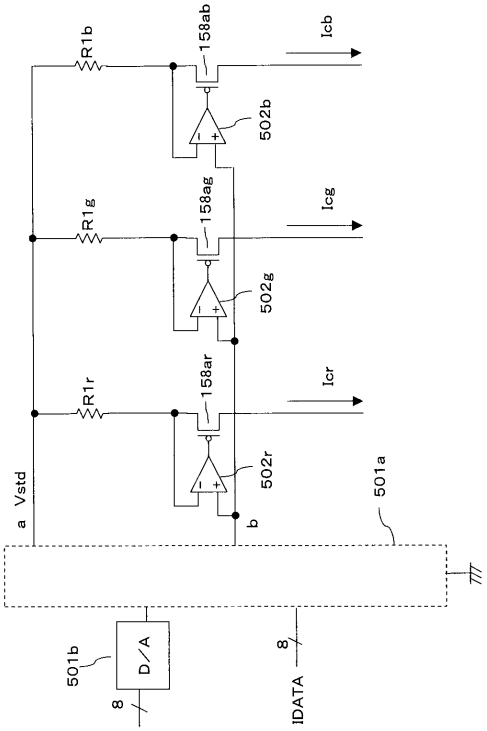
【図４９９】



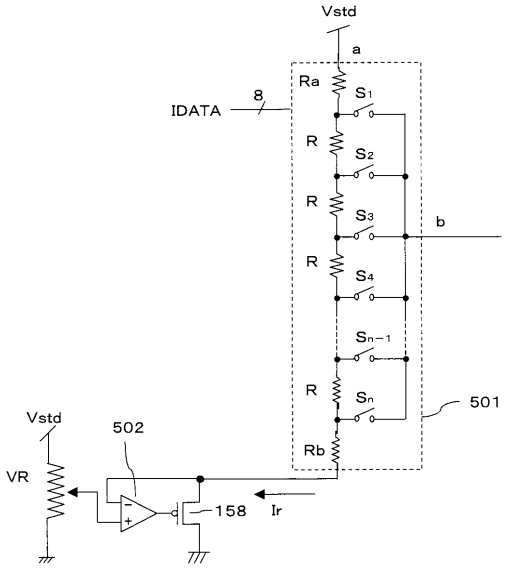
【図５００】



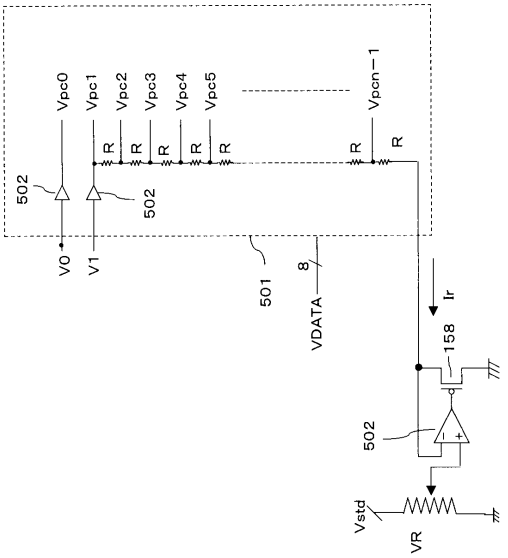
【図５０１】



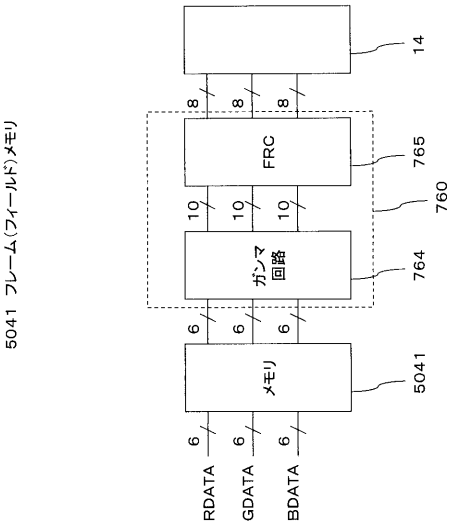
【図５０２】



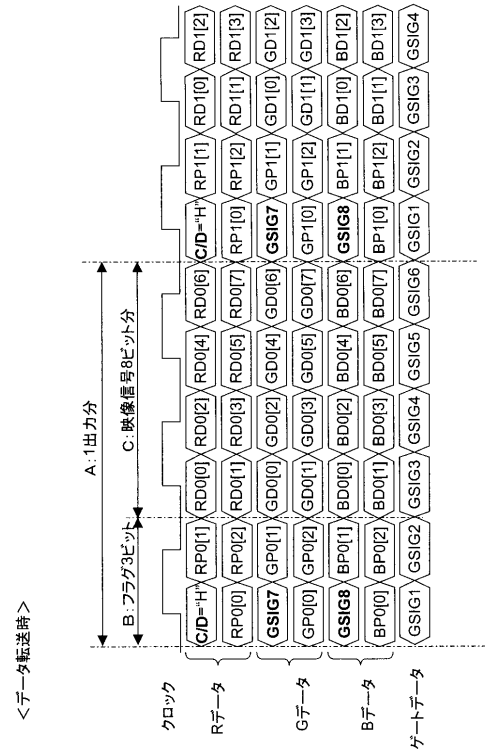
【図５０３】



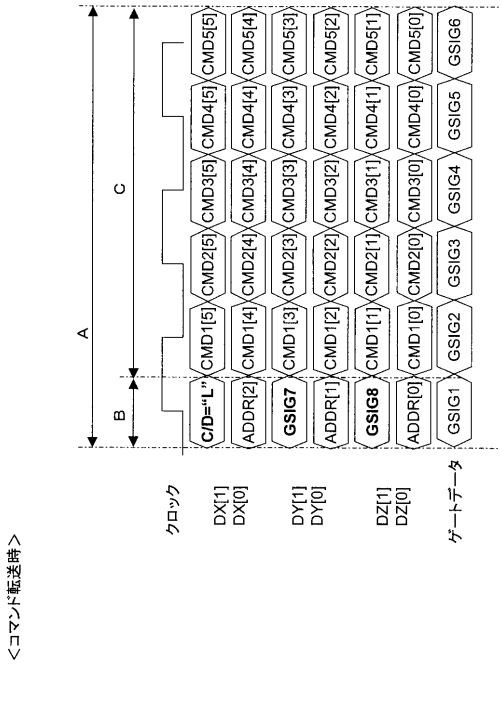
【図５０４】



【図５０５】



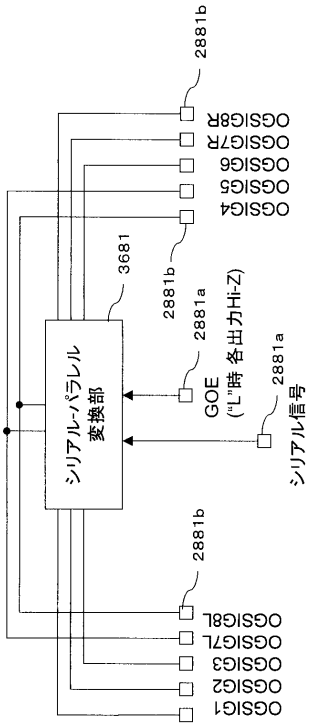
【図５０６】



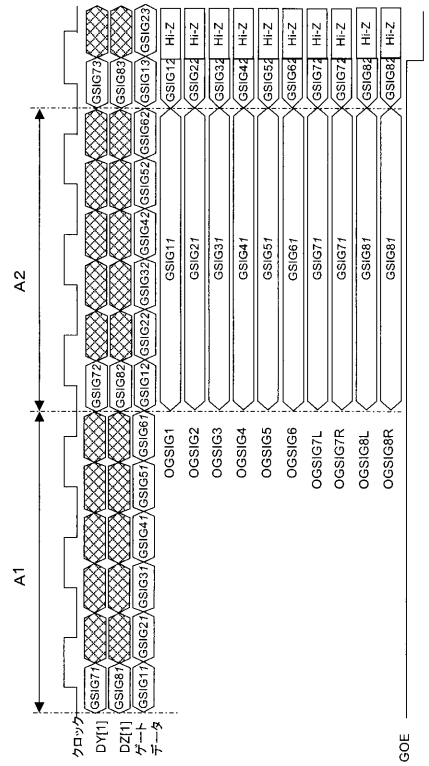
【図５０７】

ADDR[2:0] (アドレス)			CMD[5:0] (コマンドデータ)		
[2]	[1]	[0]	<DX[1] MSB DZ[0] LSB>		
0	0	0	CMD1	基準電流設定	
			CMD2	<Reserved>	
			CMD3		
			CMD4		
			CMD5		
0	0	1	CMD1	電流プリチャージパルス1 長さ設定	
			CMD2	電流プリチャージパルス2 長さ設定	
			CMD3	電流プリチャージパルス3 長さ設定	
			CMD4	電流プリチャージパルス4 長さ設定	
			CMD5	電流プリチャージパルス5 長さ設定	
0	1	0	CMD1	電流プリチャージパルス6 長さ設定	
			CMD2	電圧プリチャージパルス 長さ設定	
			CMD3	プリチャージ電圧値設定	
			CMD4	<Reserved>	プリチャージパルス発生用クロック設定
			CMD5	<Reserved>	

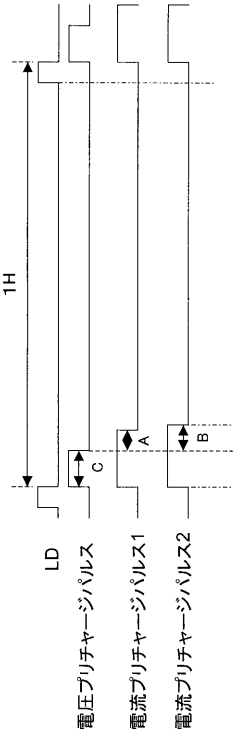
【図５０８】



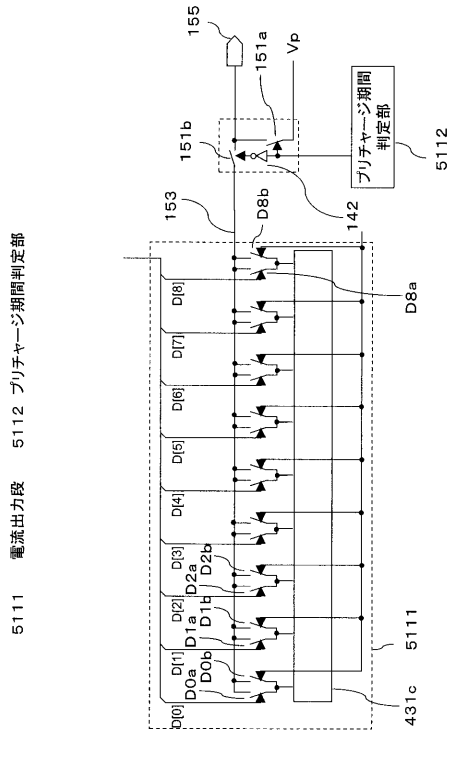
【図５０９】



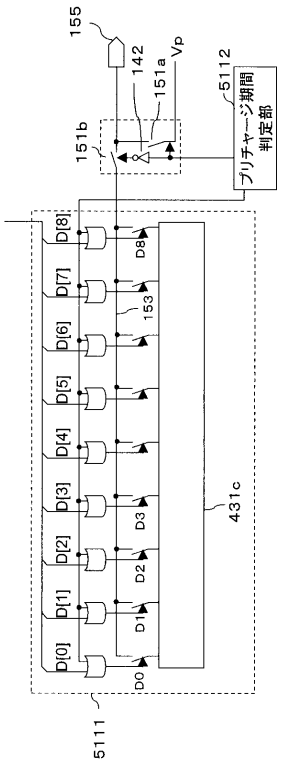
【図５１０】



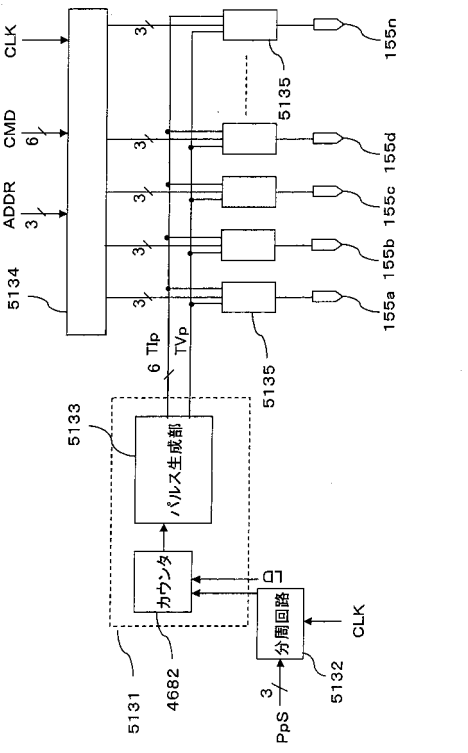
【図５１１】



【図５１２】



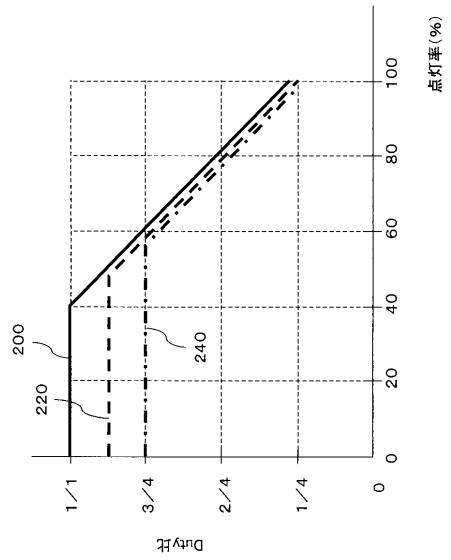
【図５１３】



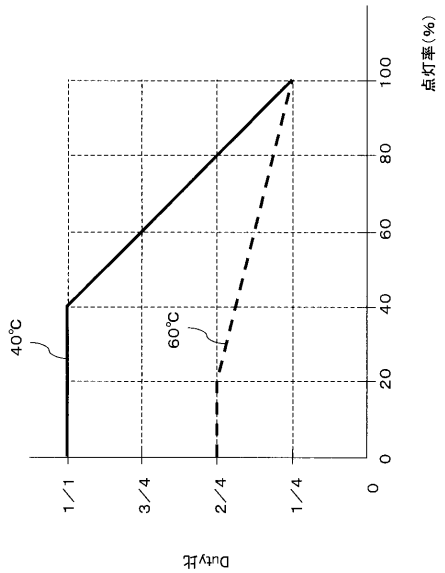
【図５１４】

指定信号IS	IPC	VPC
0	常に"L"レベル	常に"L"レベル
1	電流プリチャージパルス1	電圧プリチャージパルス
2	電流プリチャージパルス2	電圧プリチャージパルス
3	電流プリチャージパルス3	電圧プリチャージパルス
4	電流プリチャージパルス4	電圧プリチャージパルス
5	電流プリチャージパルス5	電圧プリチャージパルス
6	電流プリチャージパルス6	電圧プリチャージパルス
7	常に"L"レベル	電圧プリチャージパルス

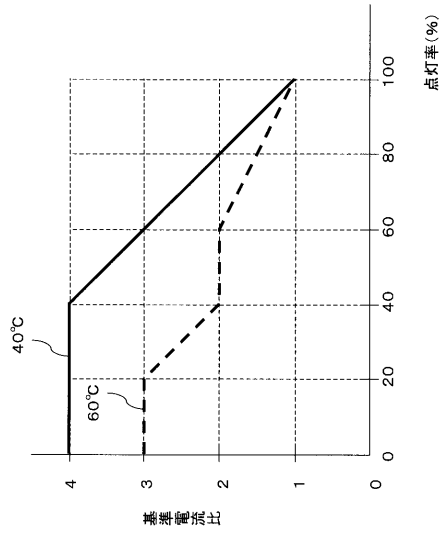
【図５１５】



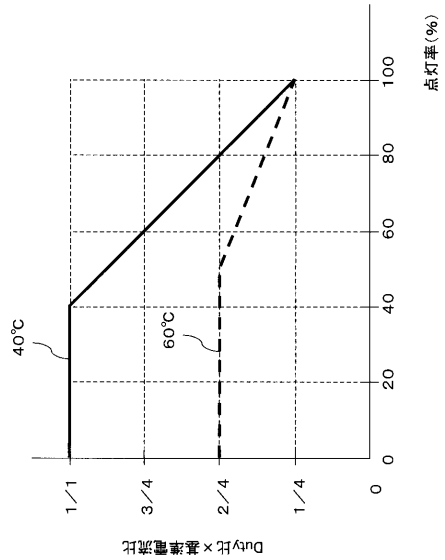
【図５１６】



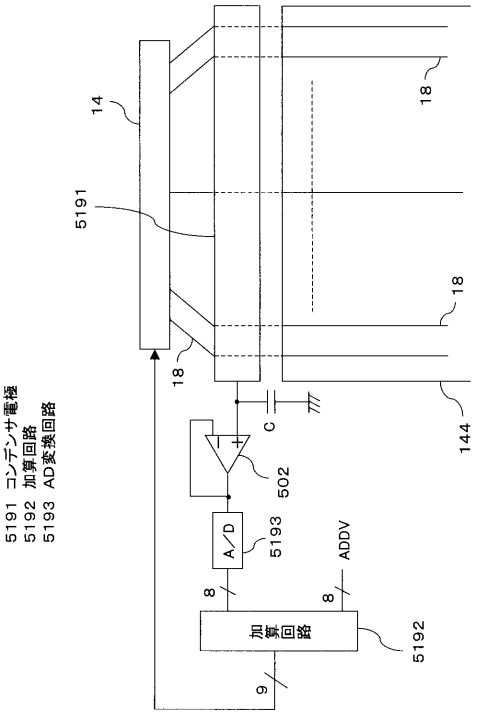
【図５１７】



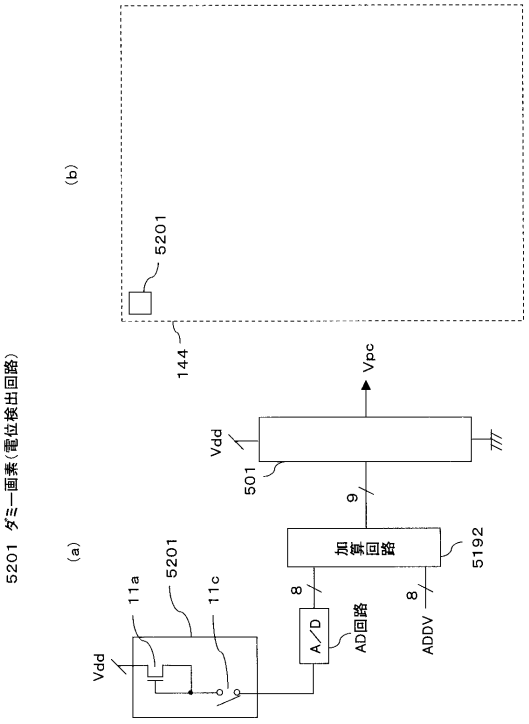
【図５１８】



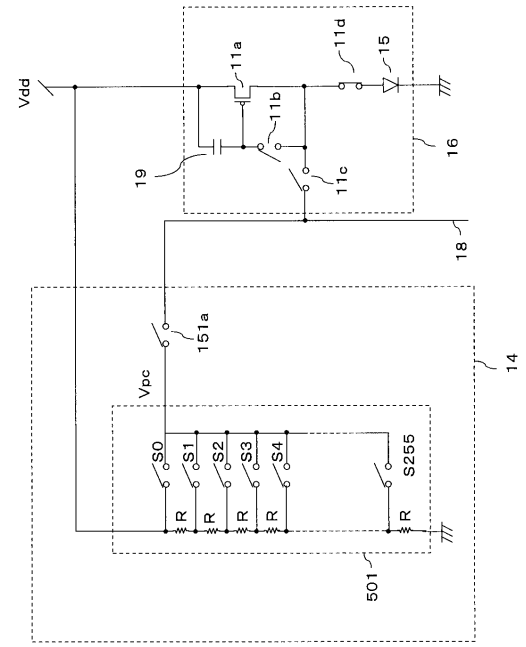
【図５１９】



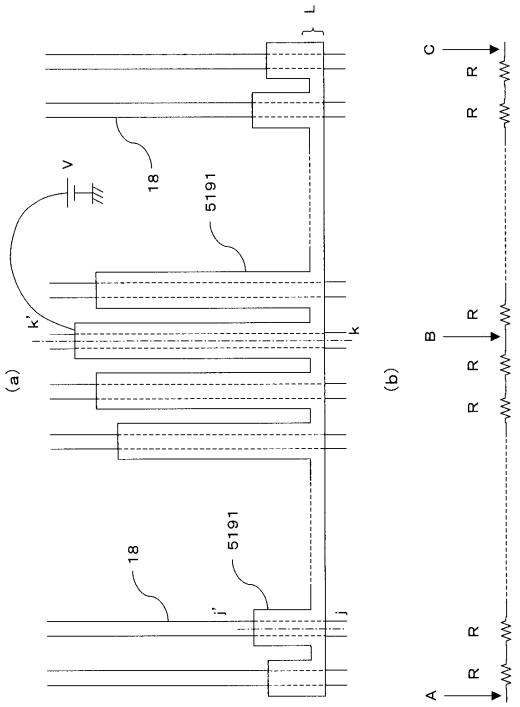
【図５２０】



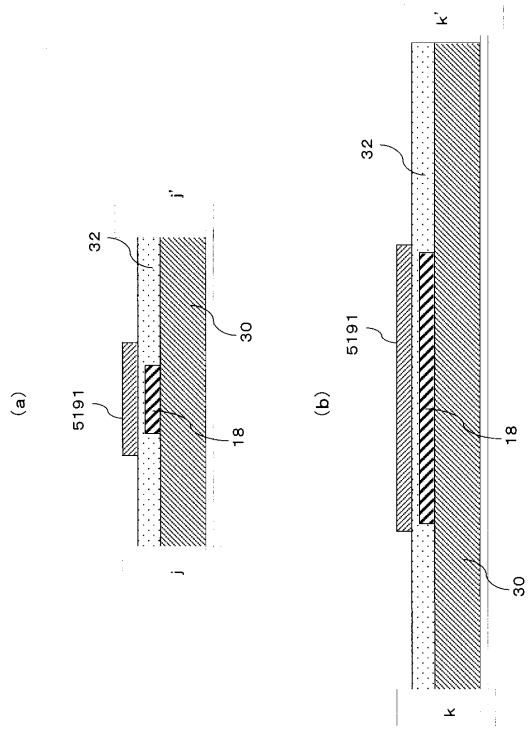
【図５２１】



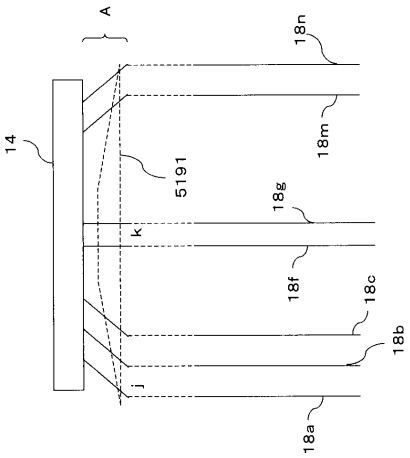
【図５２２】



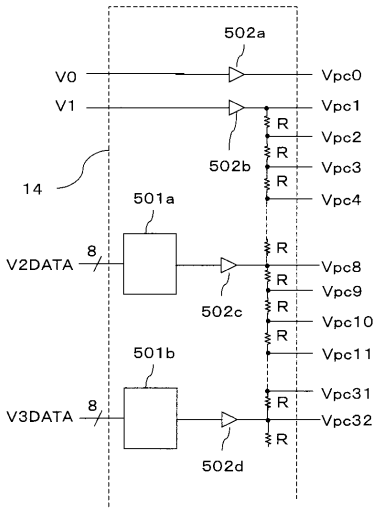
【図５２３】



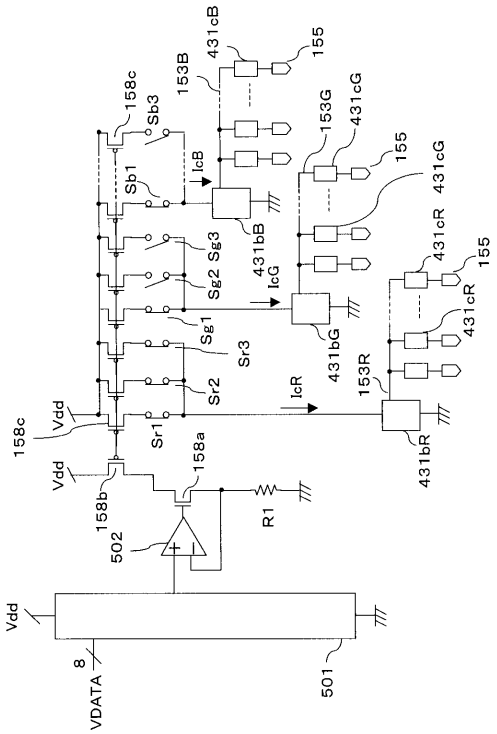
【図５２４】



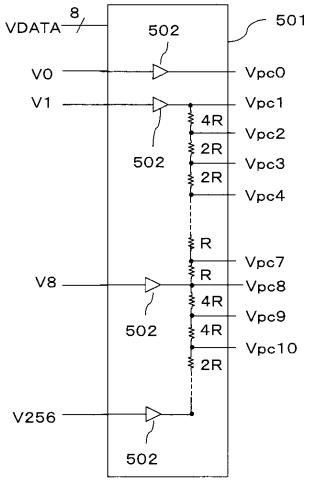
【図５２５】



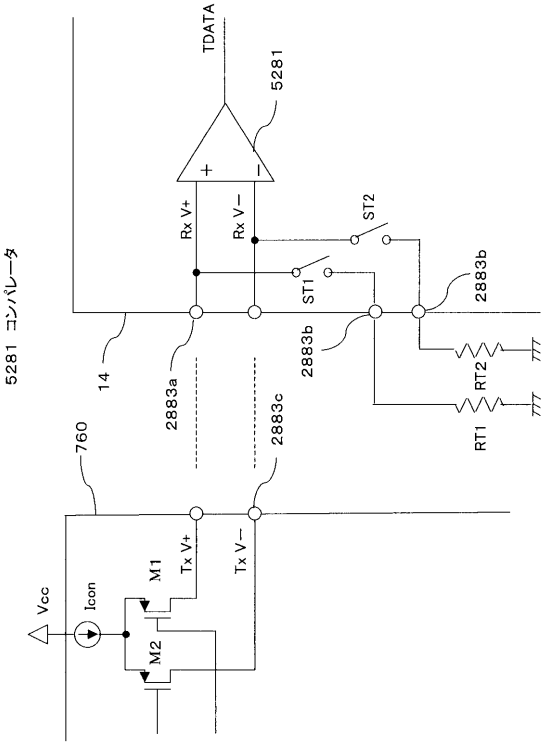
【図５２６】



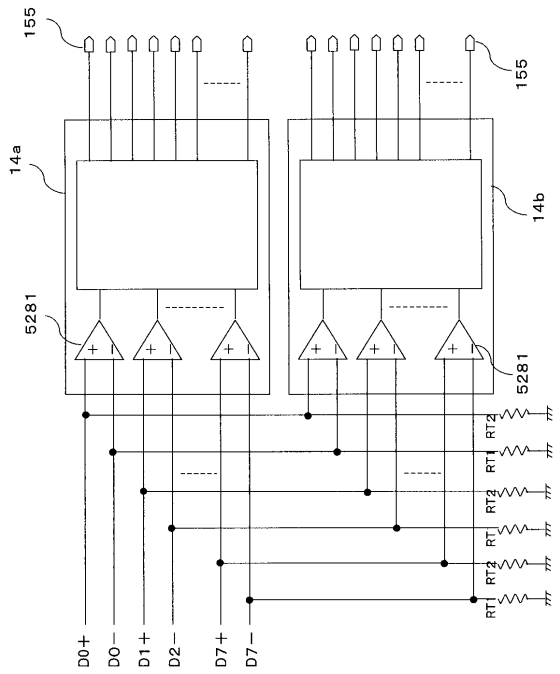
【図５２７】



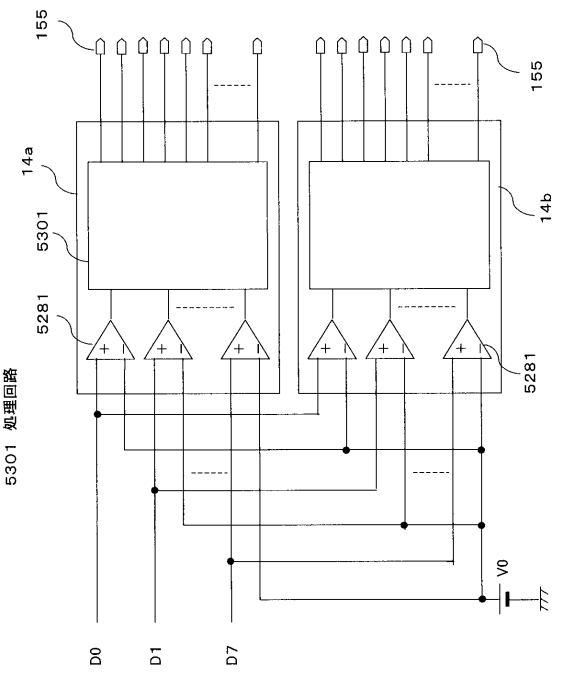
【図５２８】



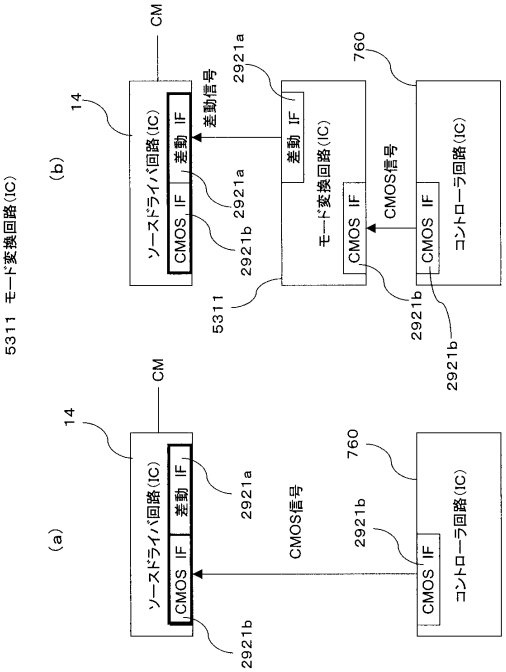
【図５２９】



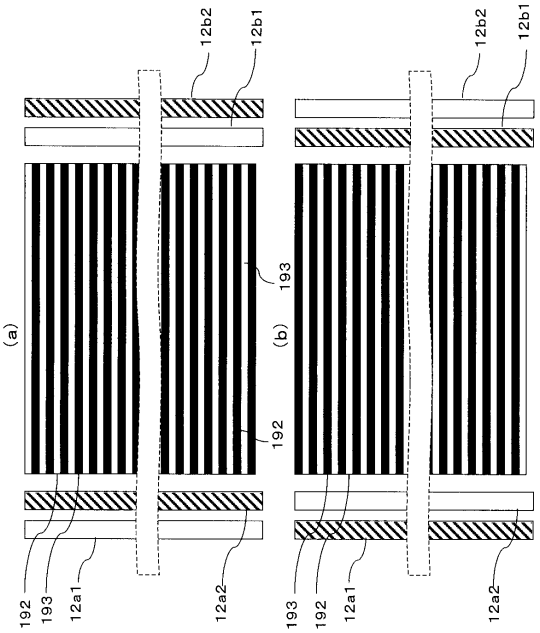
【図５３０】



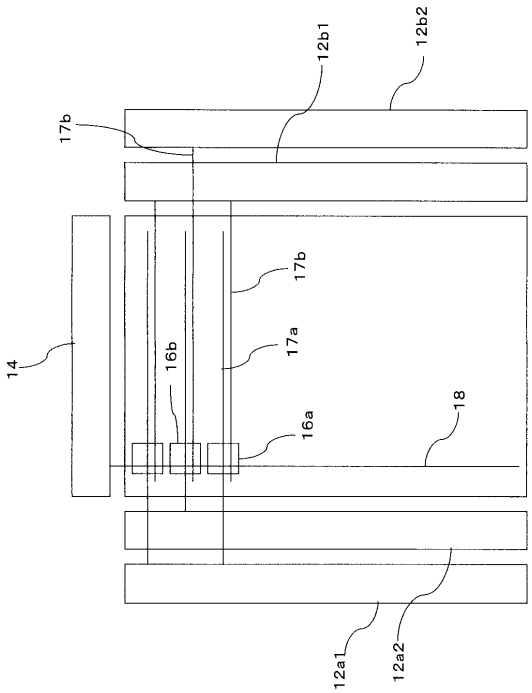
【図５３１】



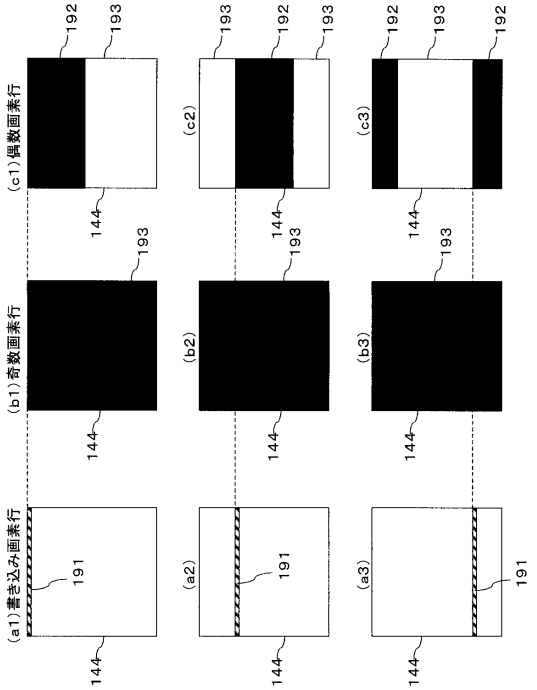
【図５３２】



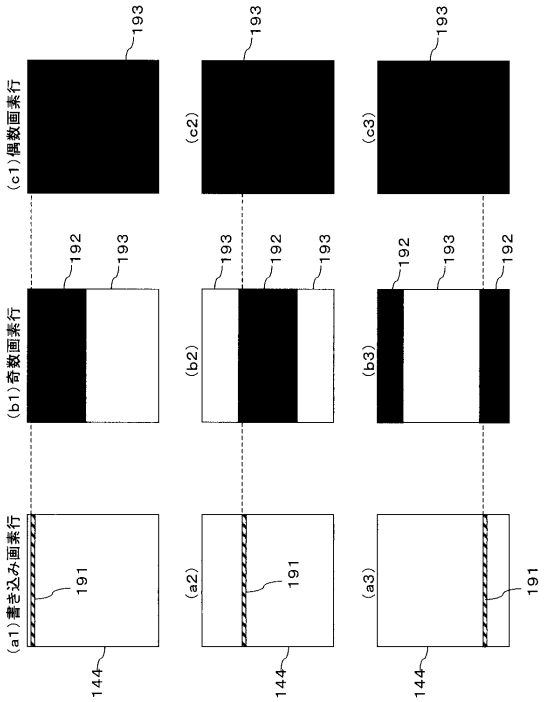
【図５３３】



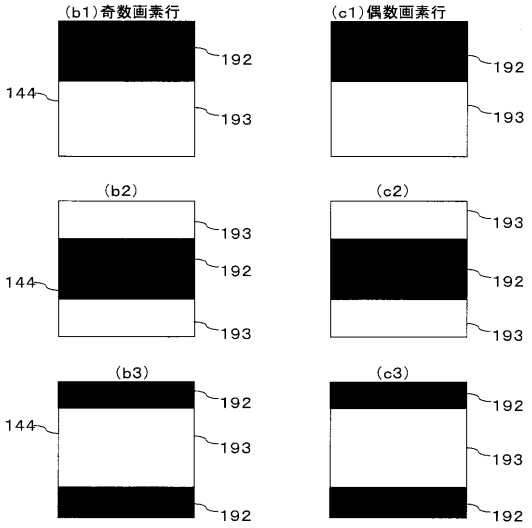
【図５３４】



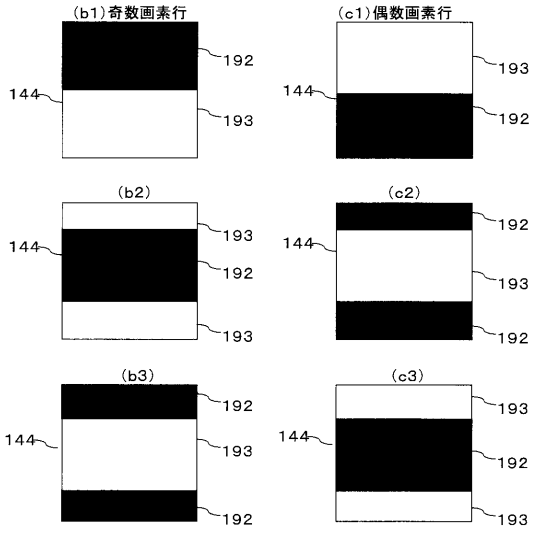
【図５３５】



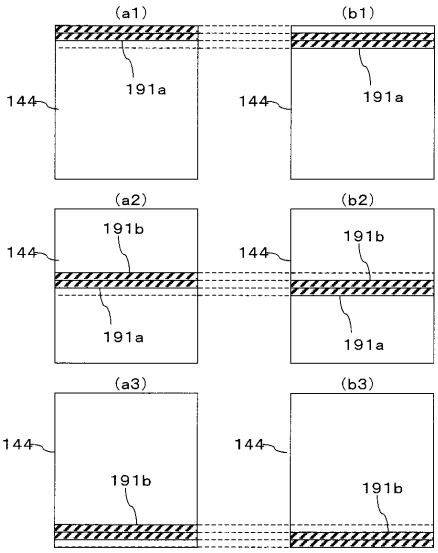
【図５３６】



【図５３７】

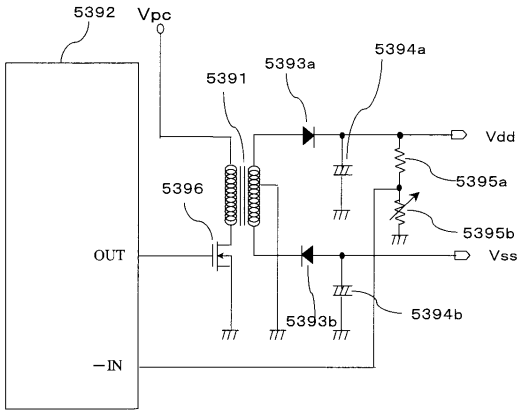


【図５３８】



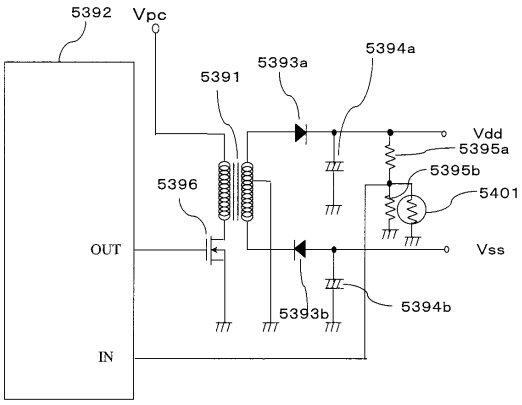
【図５３９】

5391 コイル(トランス)　5392 制御回路
5393 ダイオード　5394 コンデンサ
5395 抵抗　5396 トランジスタ



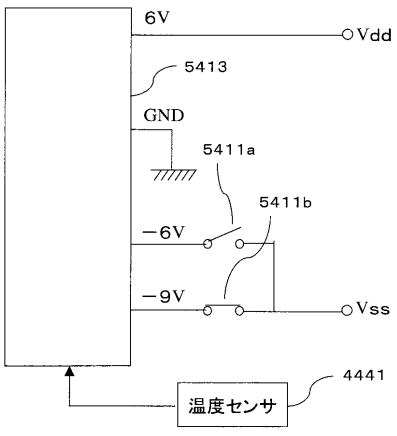
【図５４０】

5401 可変抵抗

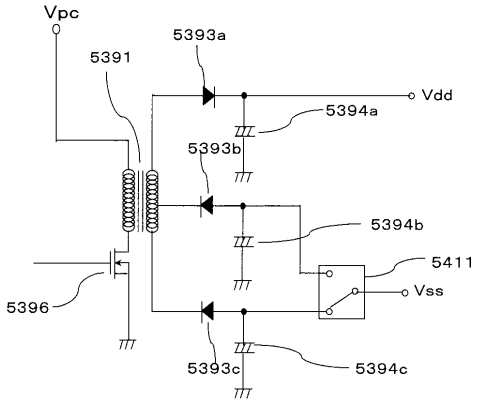


【図５４１】

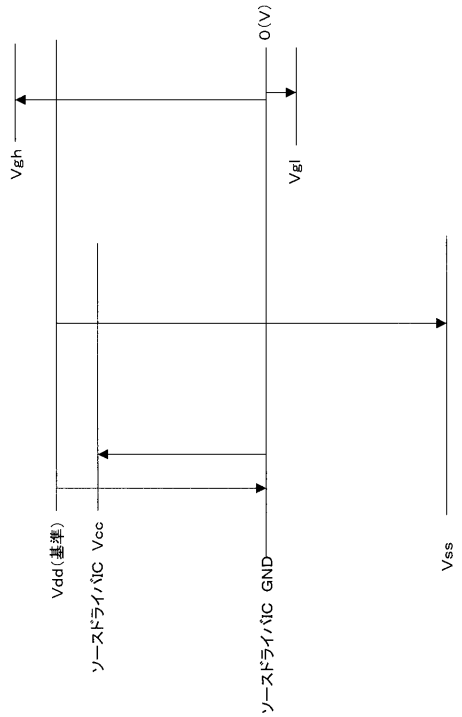
5411 スイッチ　5413 電源回路



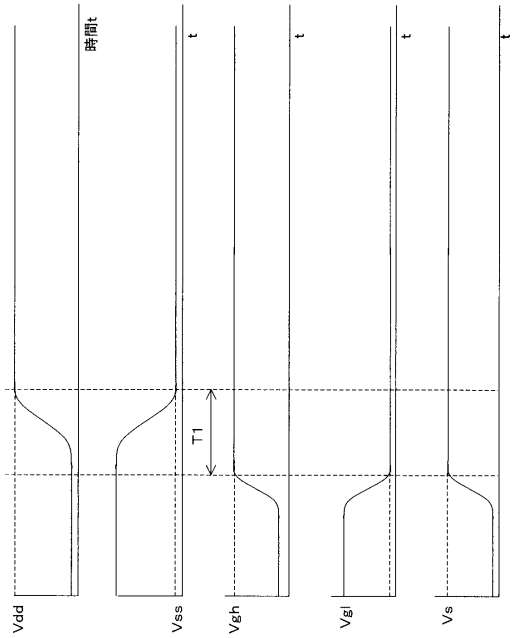
【図５４２】



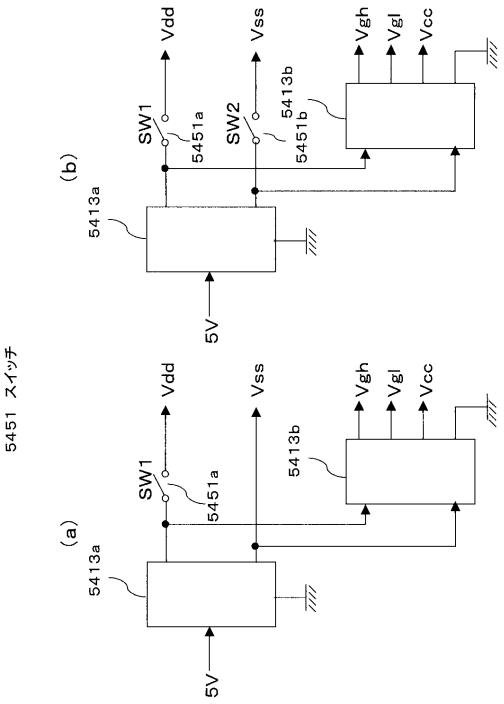
【図５４３】



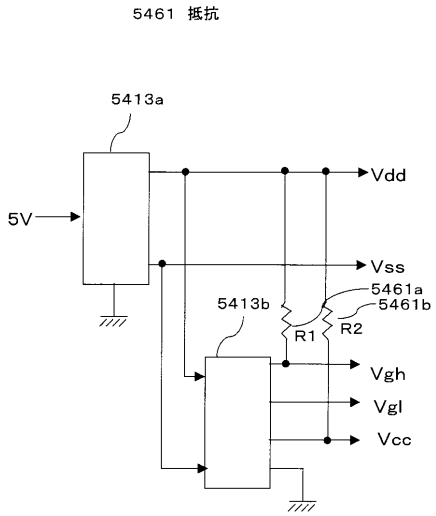
【図５４４】



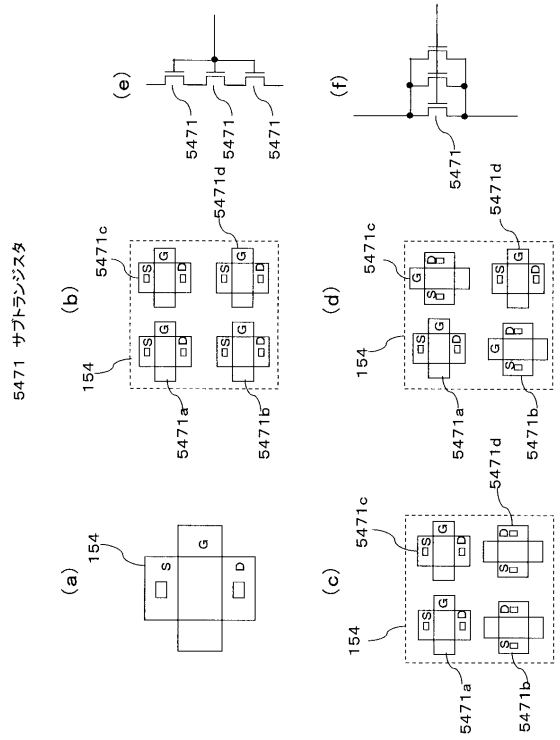
【図５４５】



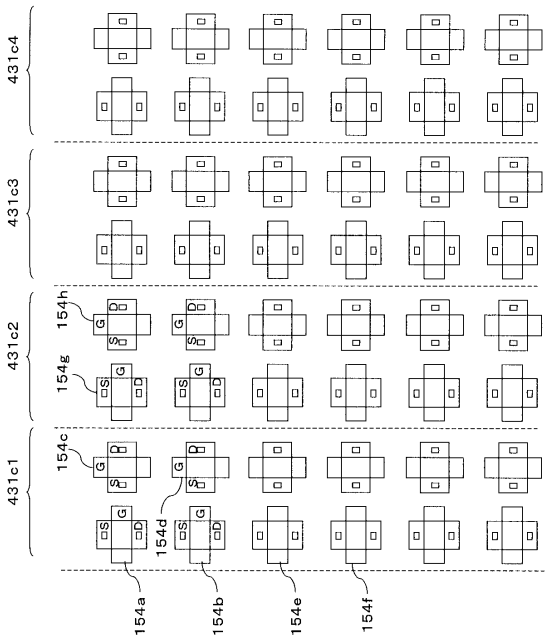
【図５４６】



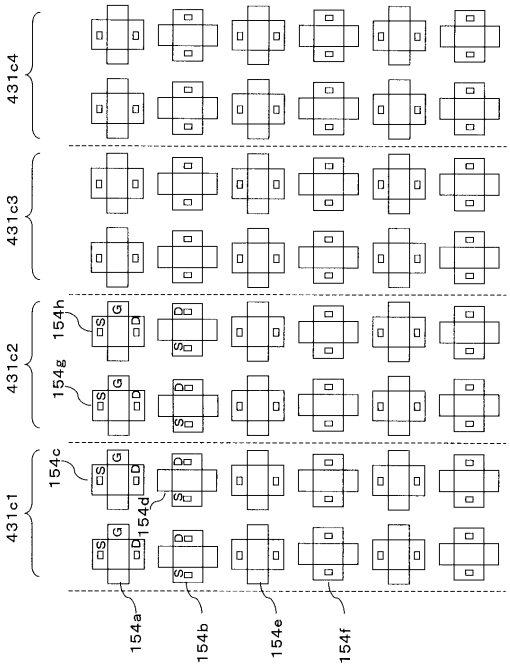
【図５４７】



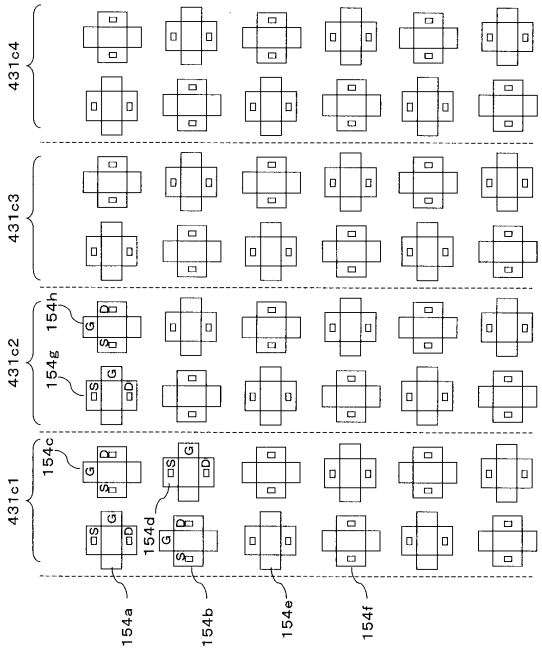
【図５４８】



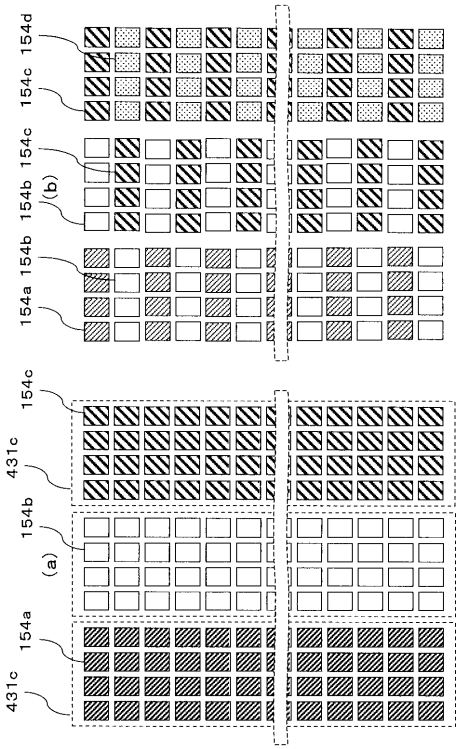
【図５４９】



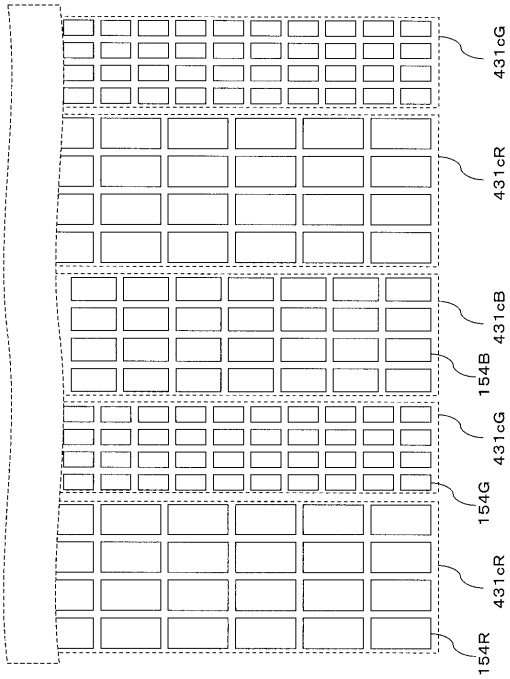
【図５５０】



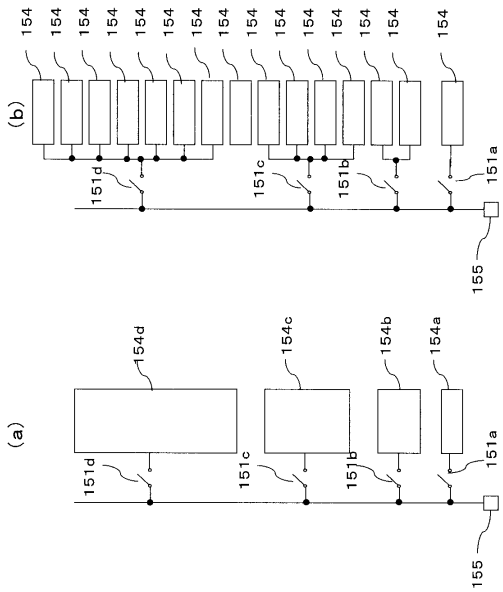
【図５５１】



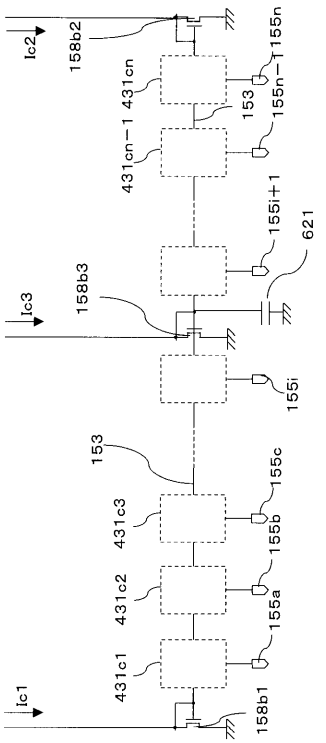
【図５５２】



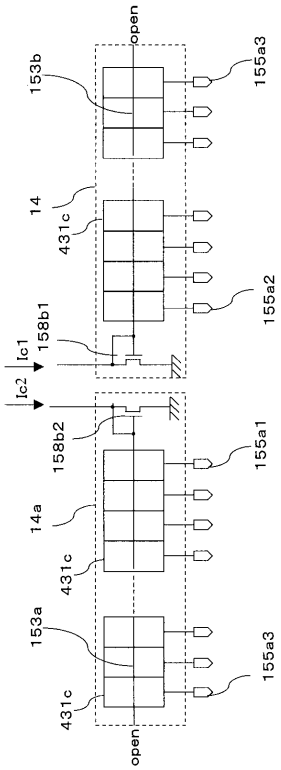
【図５５３】



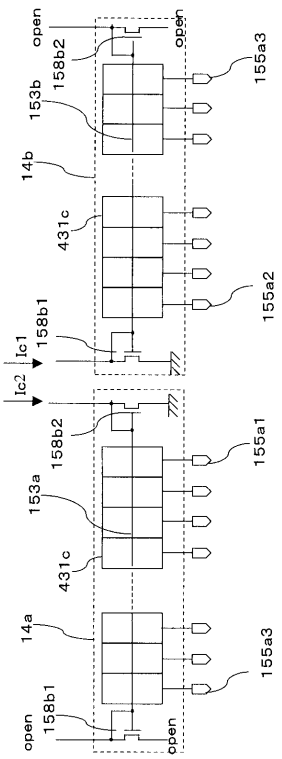
【図５５４】



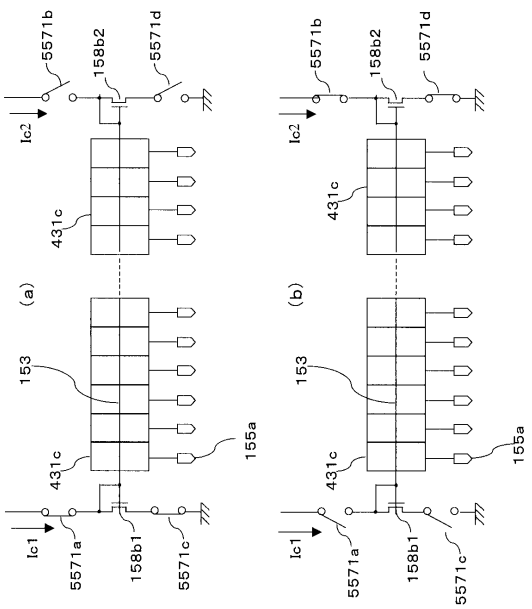
【図５５５】



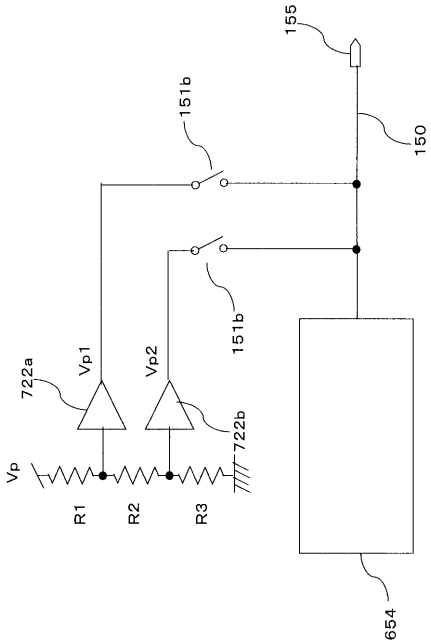
【図５５６】



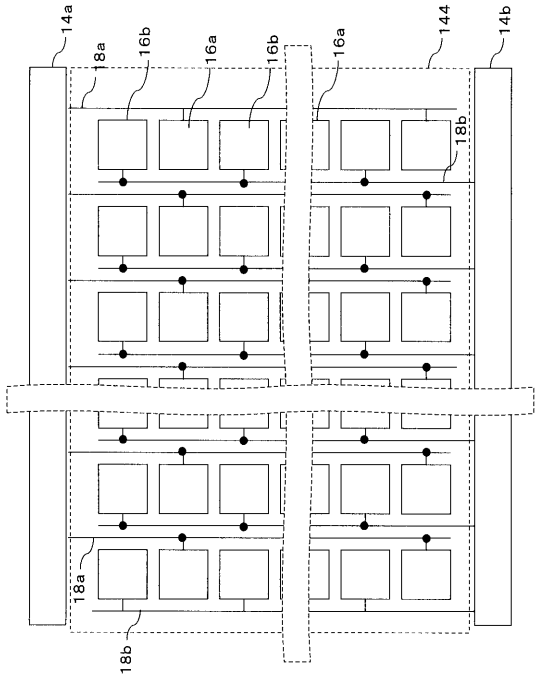
【図５５７】



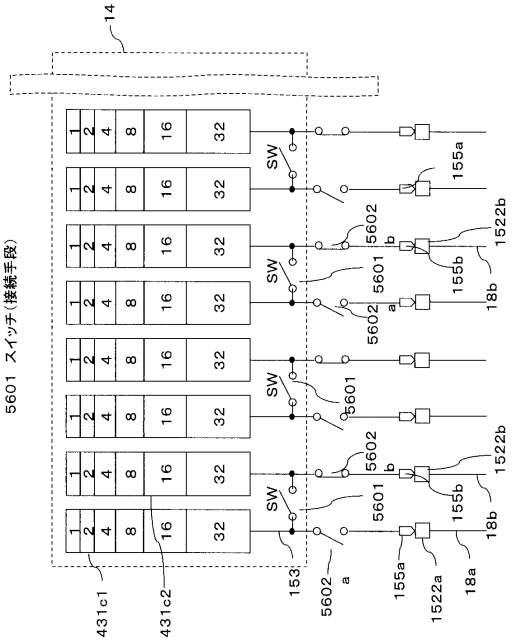
【図５５８】



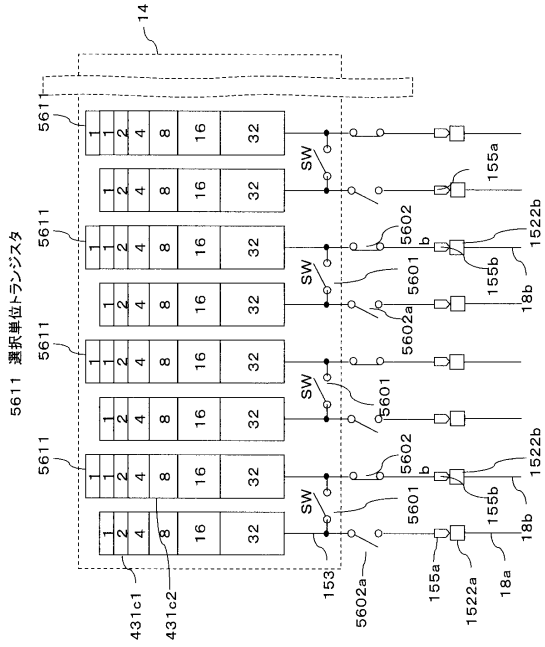
【図５５９】



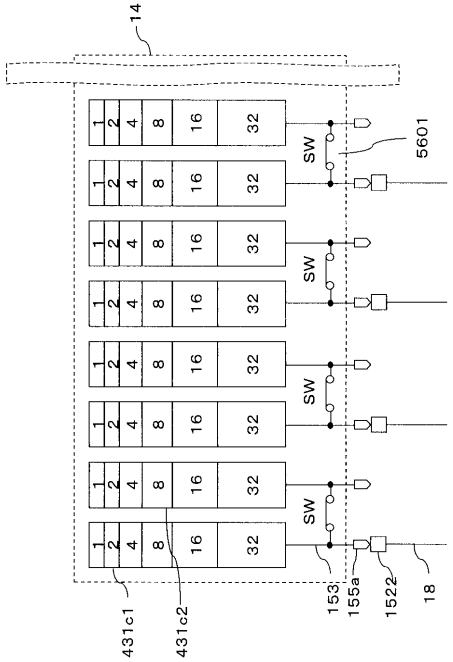
【図５６０】



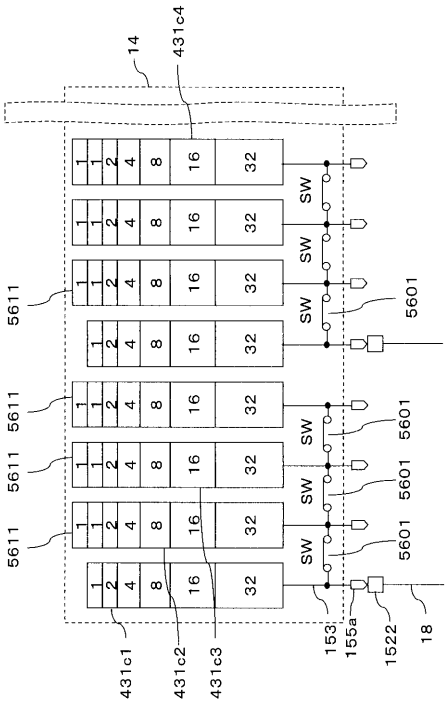
【図５６１】



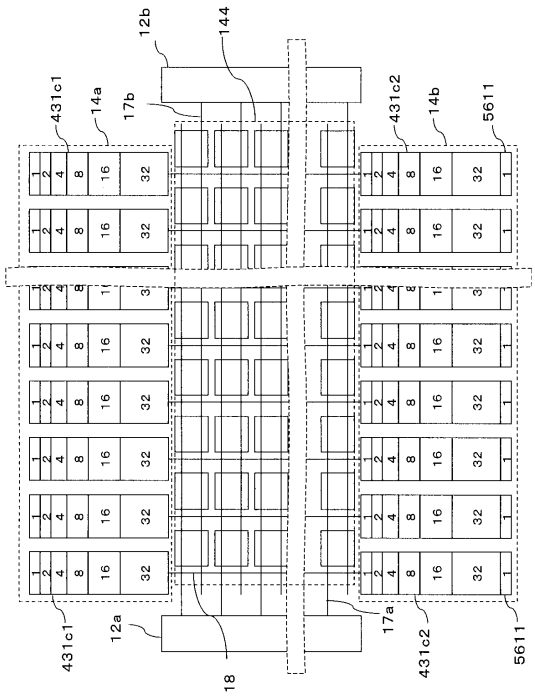
【図５６２】



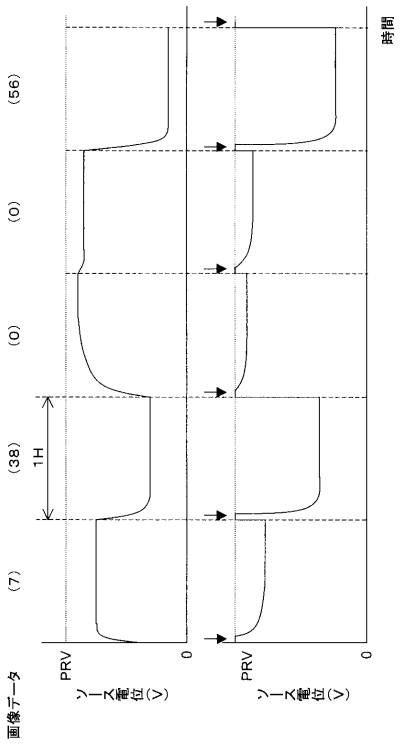
【図５６３】



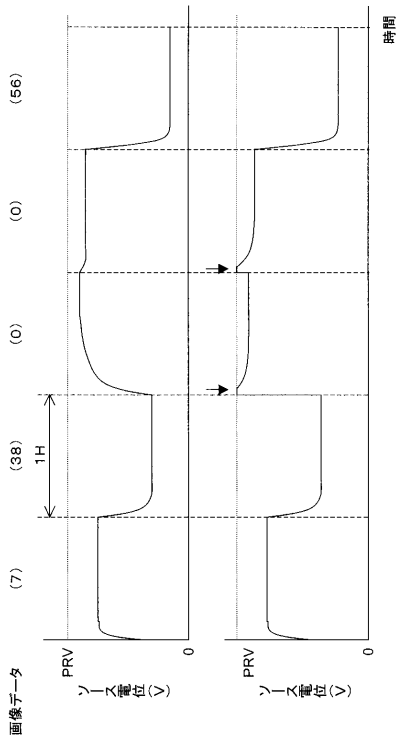
【図５６４】



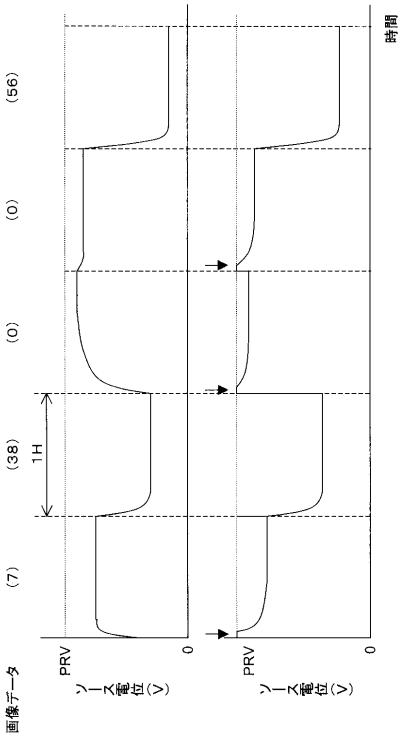
【図５６５】



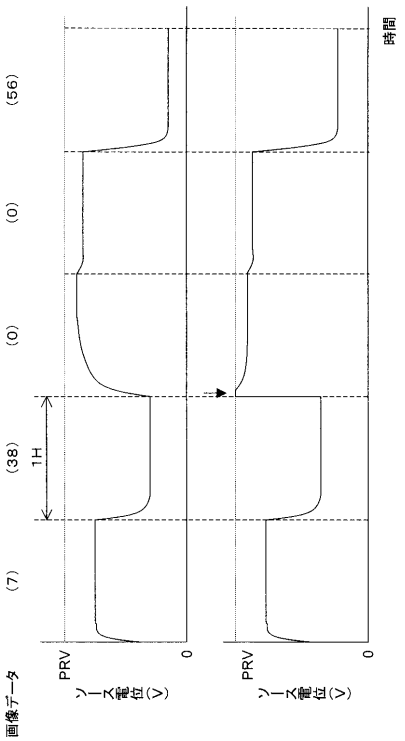
【図５６６】



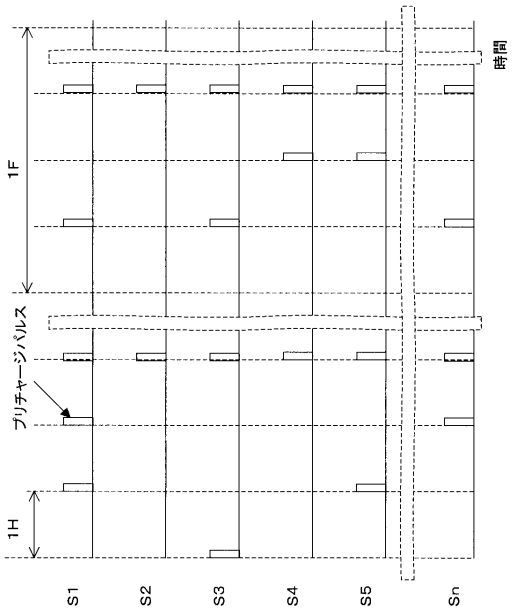
【図５６７】



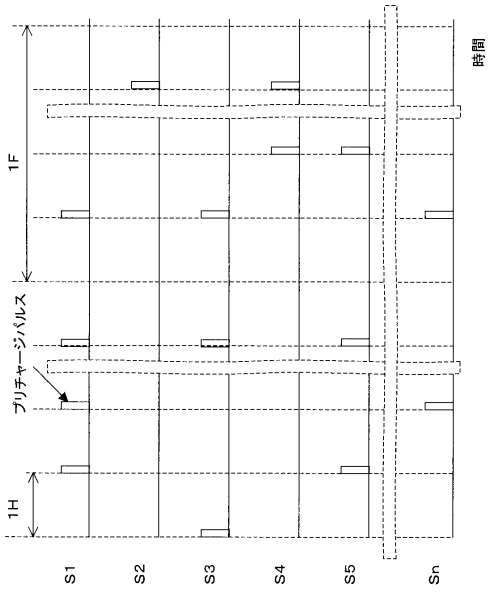
【図５６８】



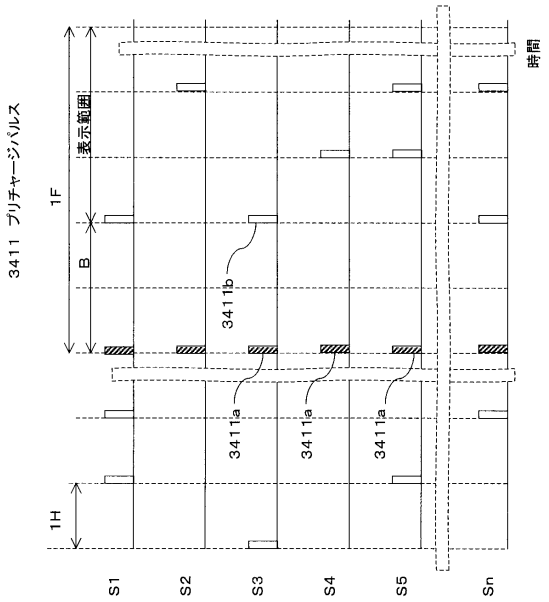
【図５６９】



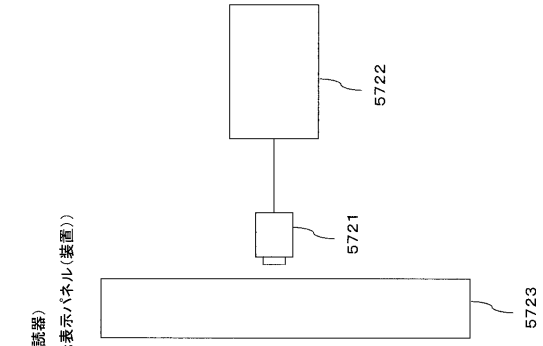
【図５７０】



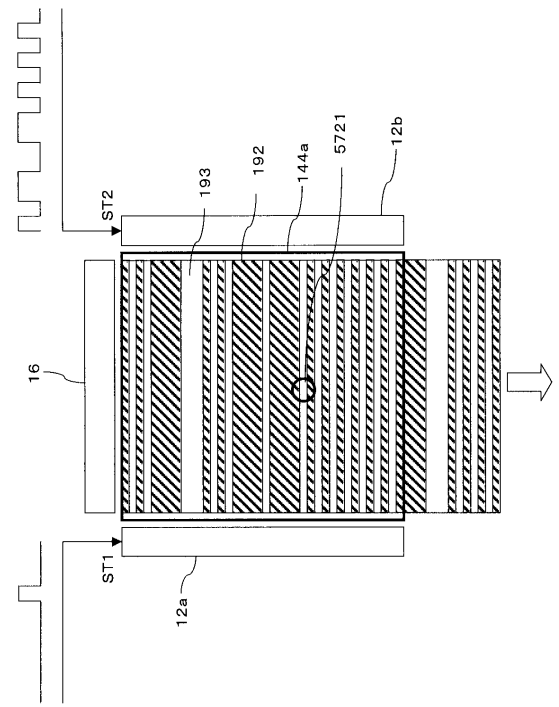
【図５７１】



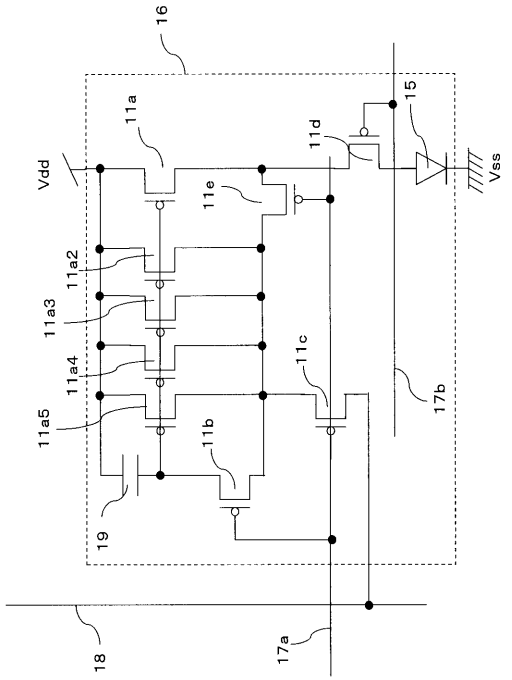
【図５７２】



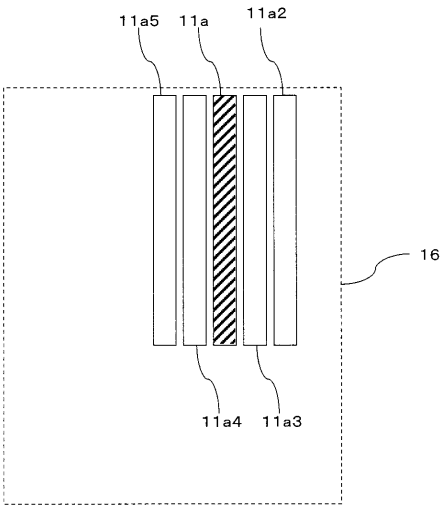
【図５７３】



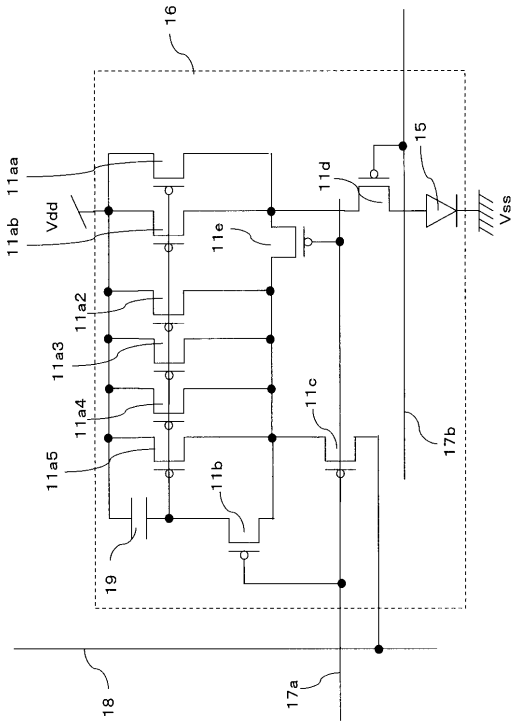
【図５７４】



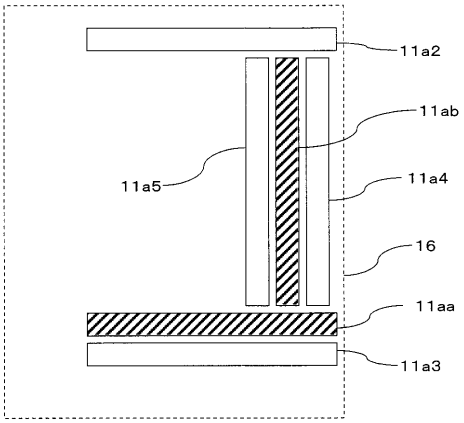
【図５７５】



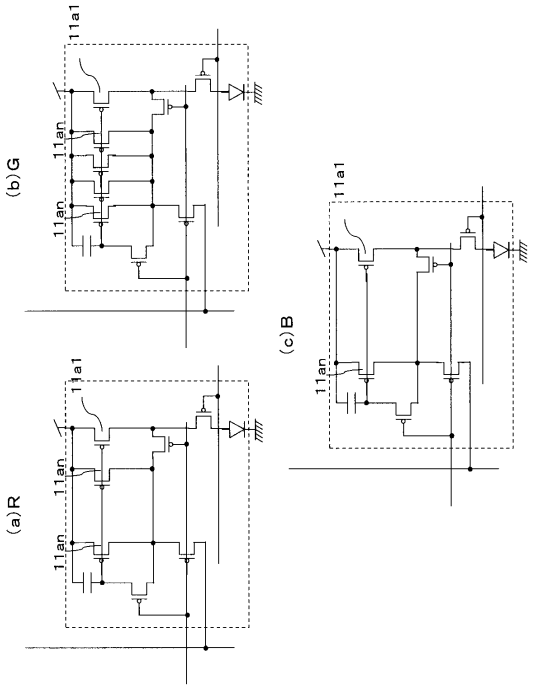
【図５７６】



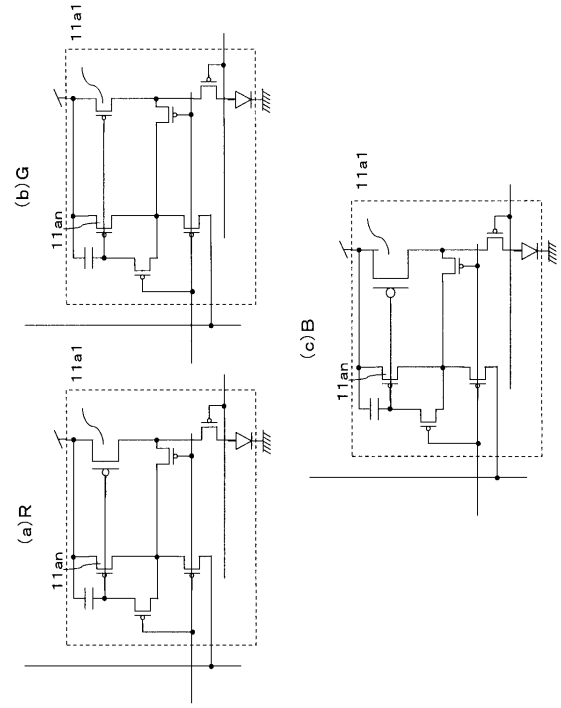
【図５７７】



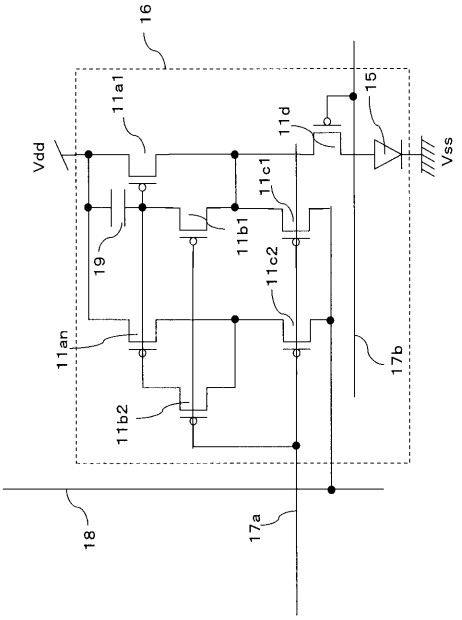
【図５７８】



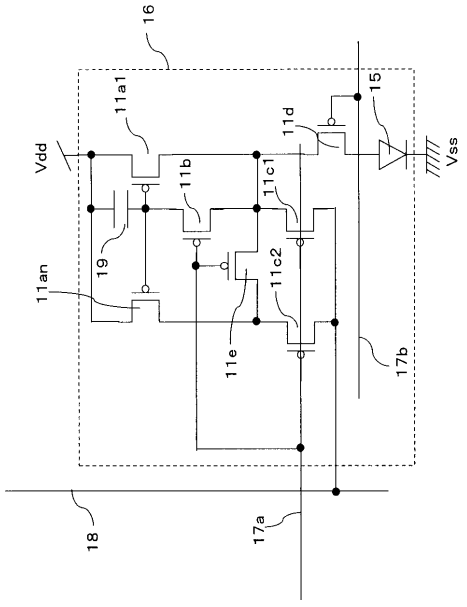
【図５７９】



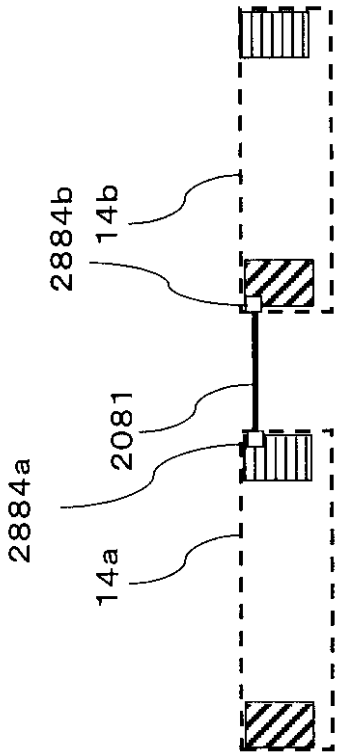
【図５８０】



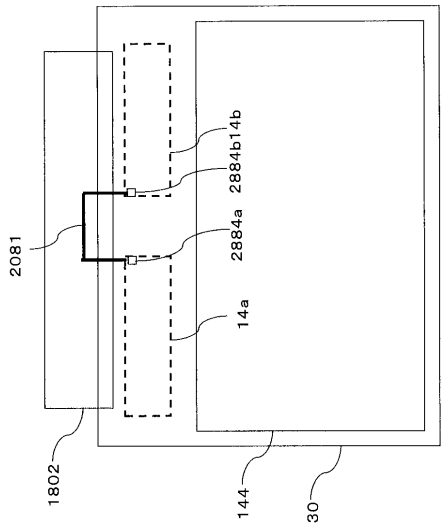
【図５８１】



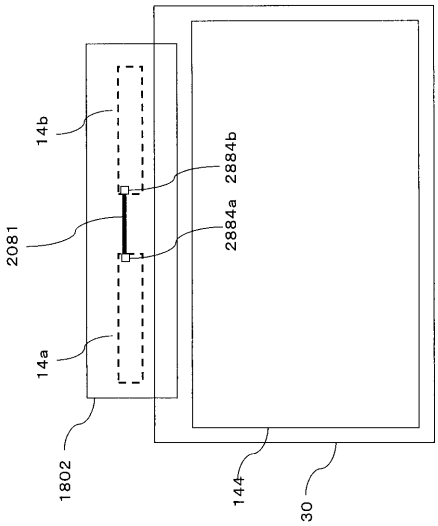
【図５８２】



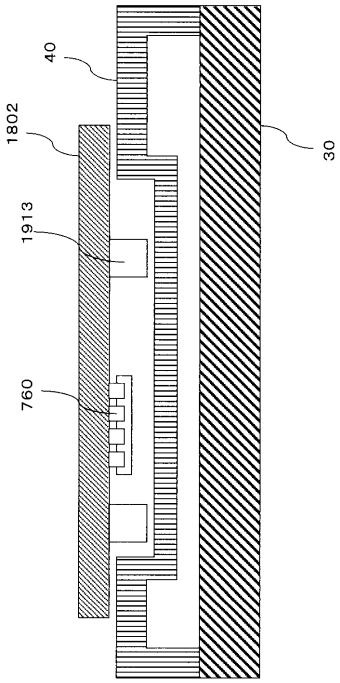
【図５８３】



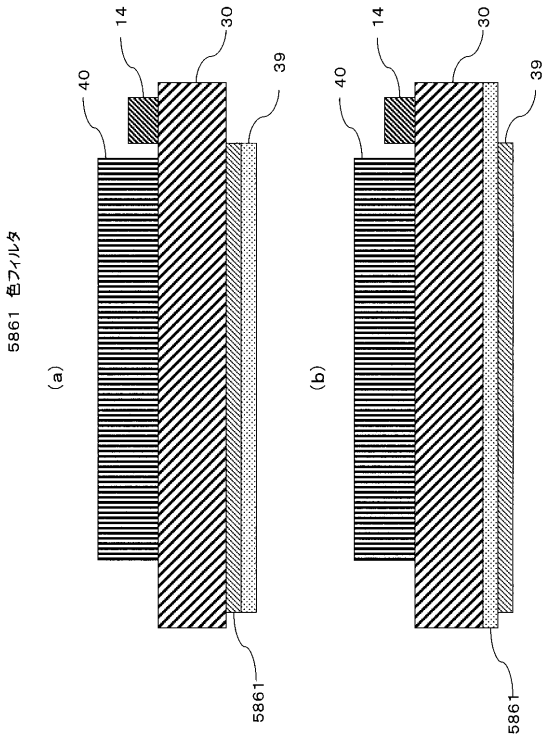
【図５８４】



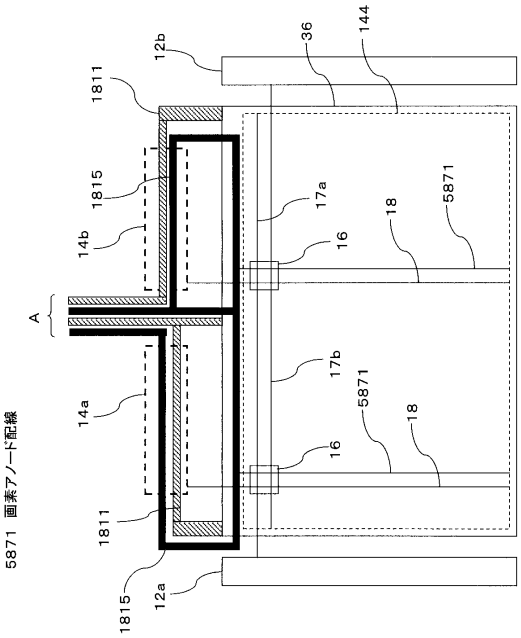
【図５８５】



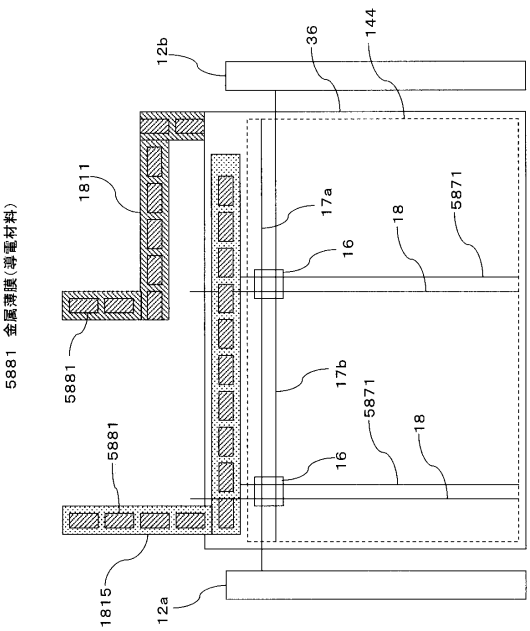
【図５８６】



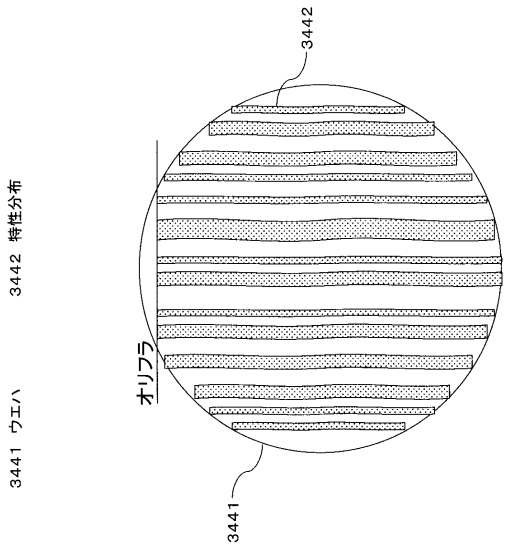
【図５８７】



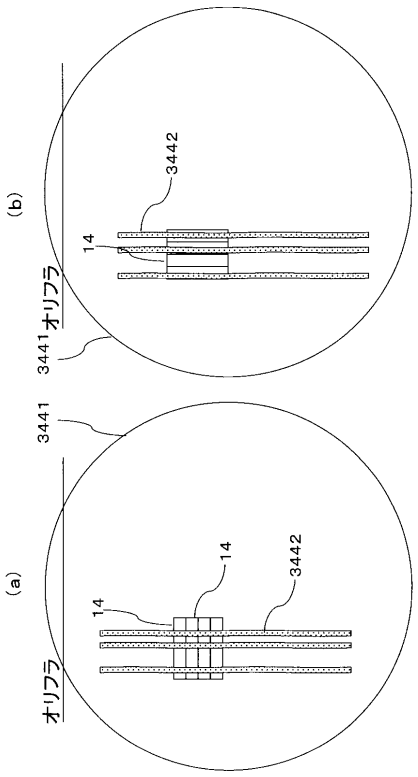
【図５８８】



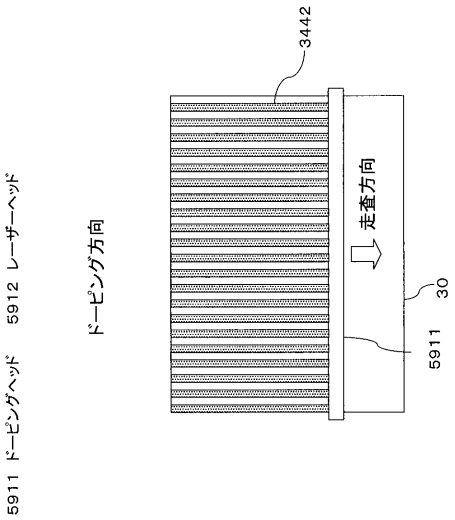
【図５８９】



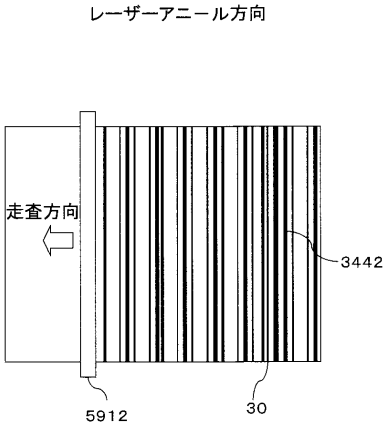
【図５９０】



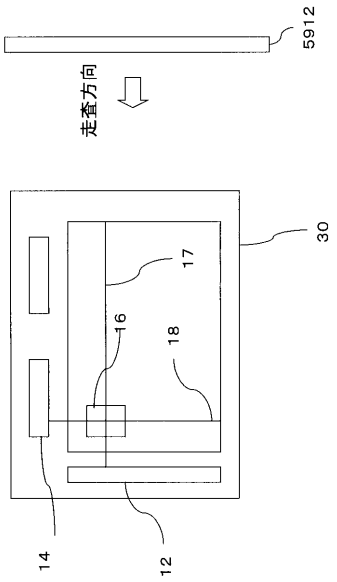
【図５９１】



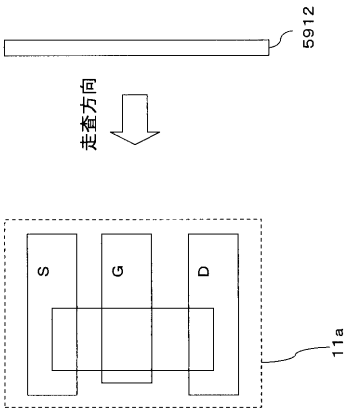
【図５９２】



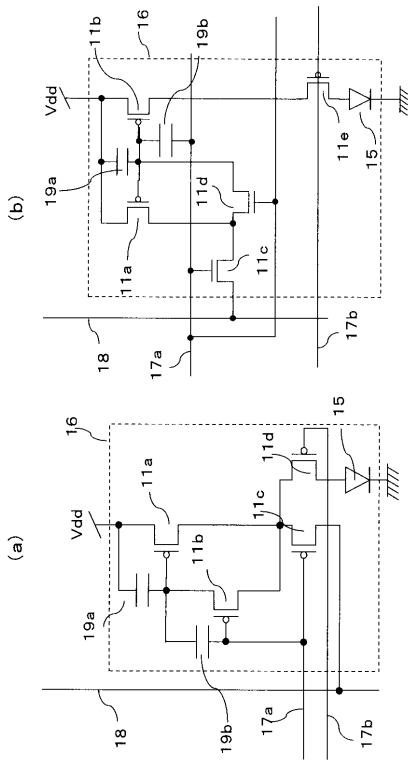
【図５９３】



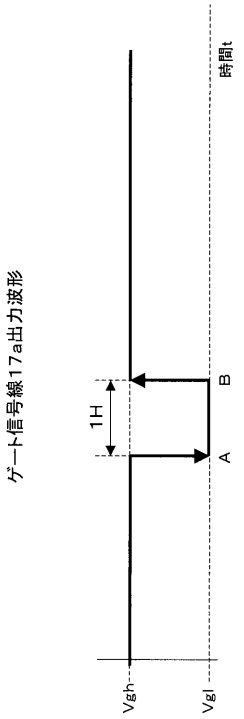
【図５９４】



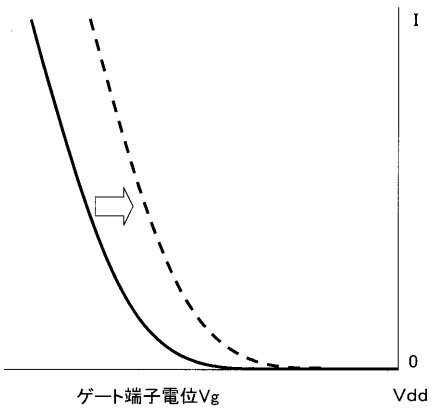
【図５９５】



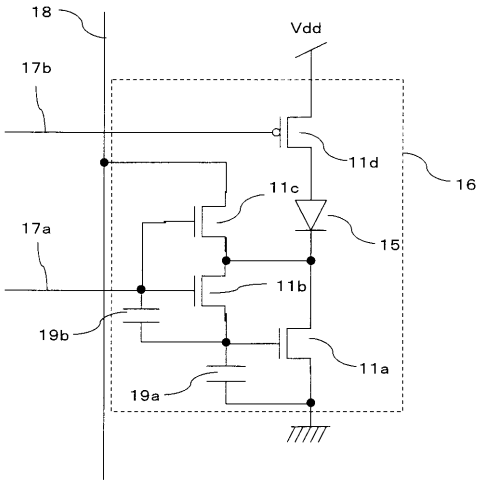
【図５９６】



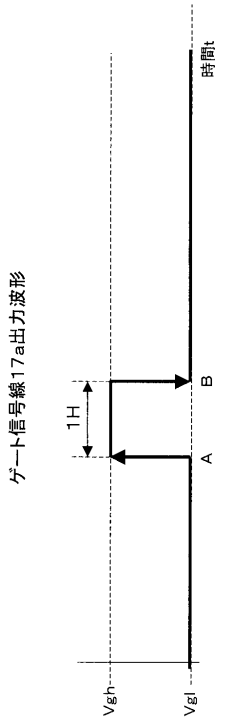
【図５９７】



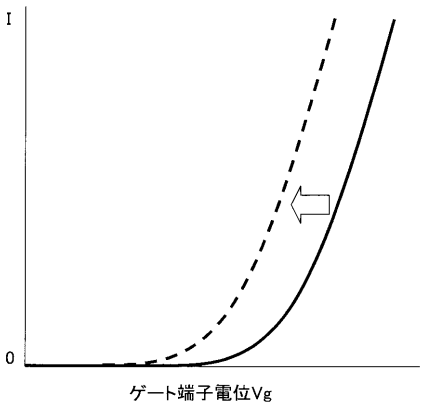
【図５９８】



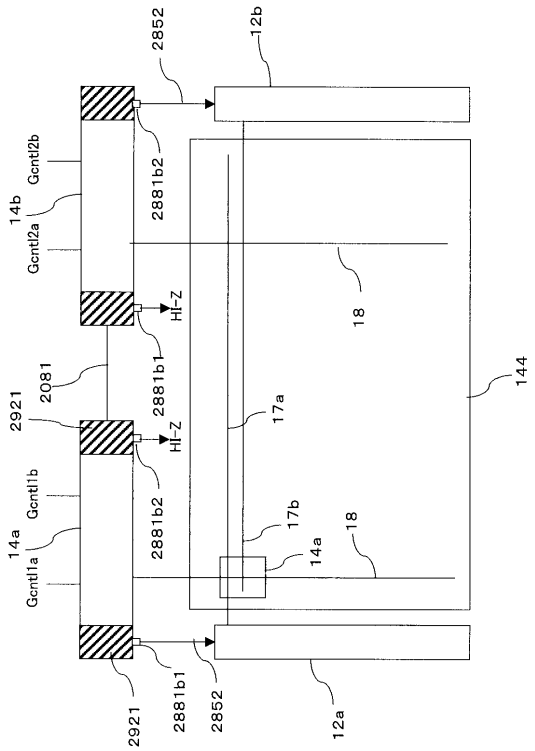
【図５９９】



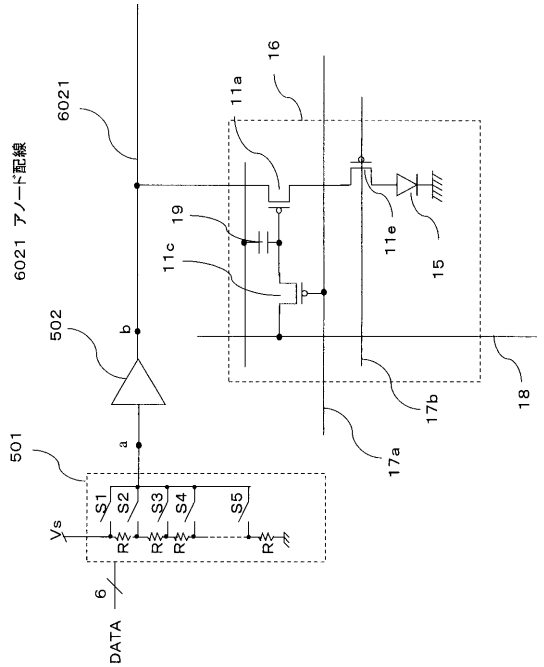
【図６００】



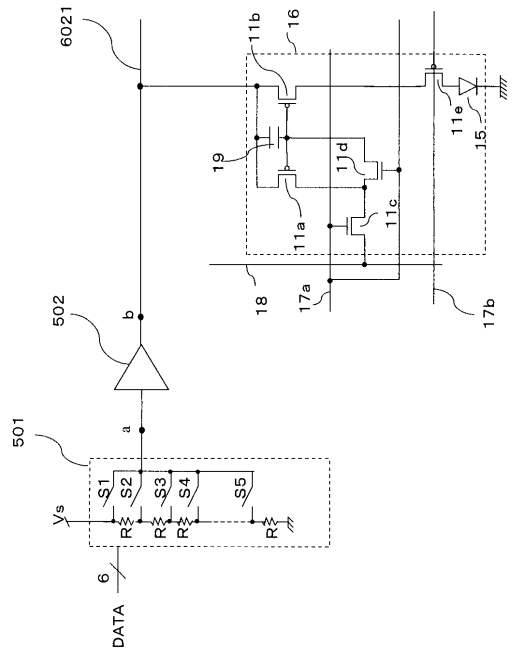
【図６０１】



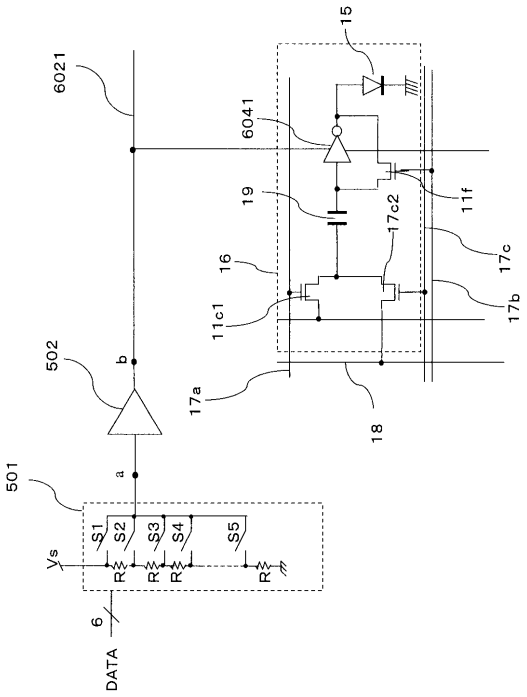
【図６０２】



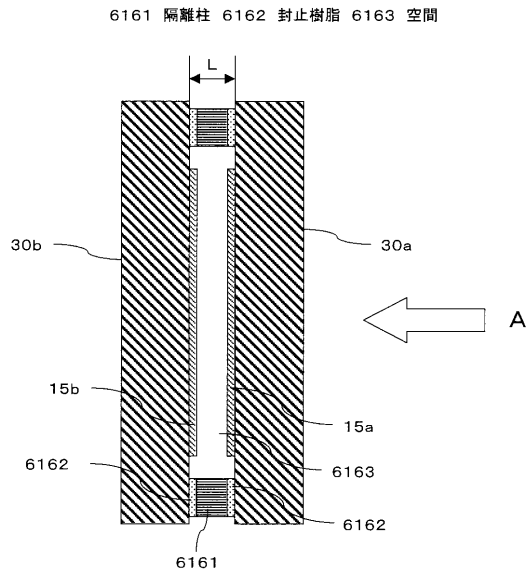
【図６０３】



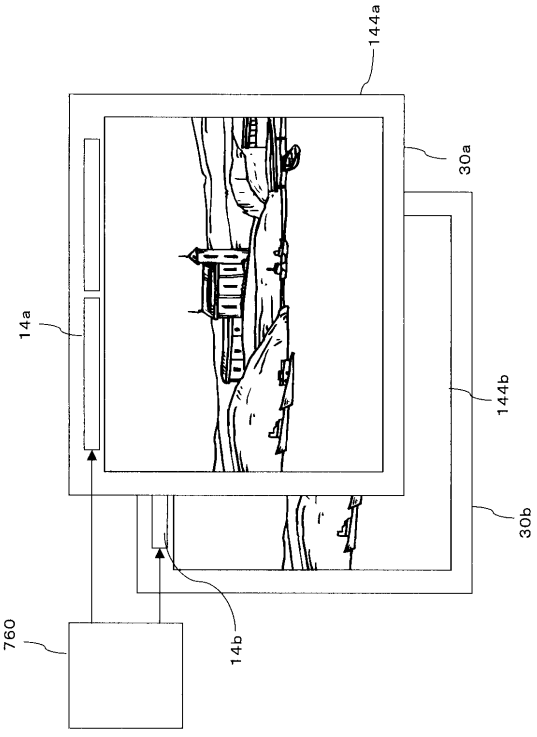
【図６０４】



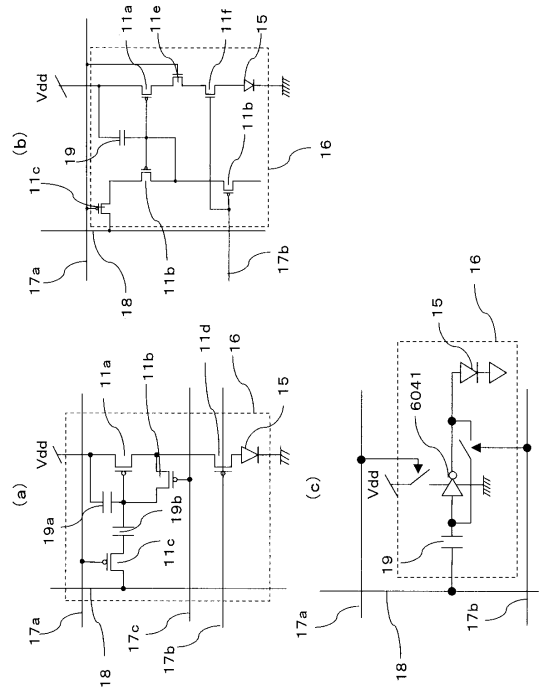
【図６０５】



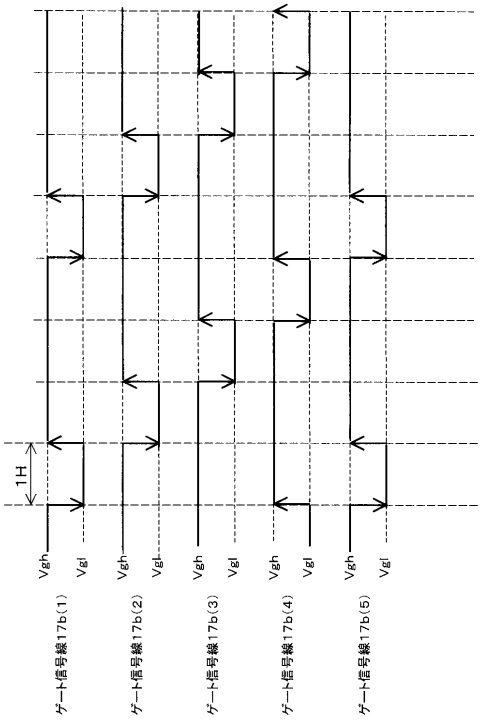
【図６０６】



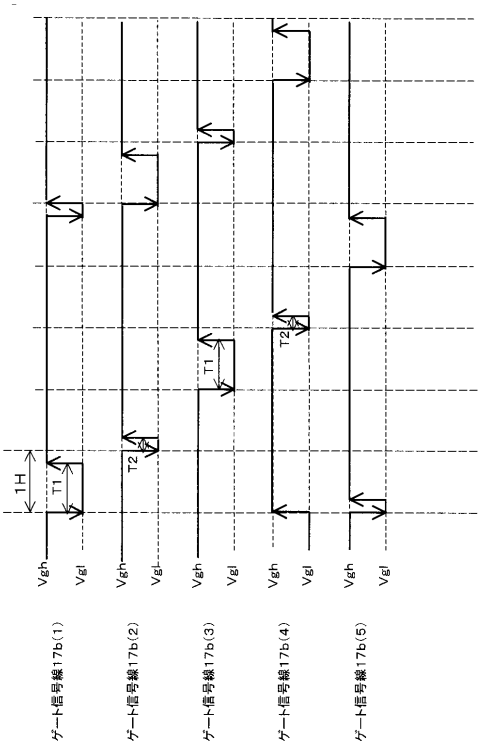
【図６０７】



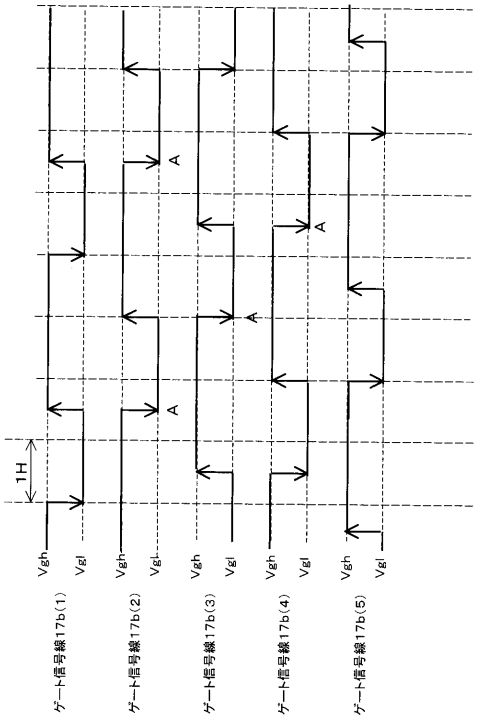
【図６０８】



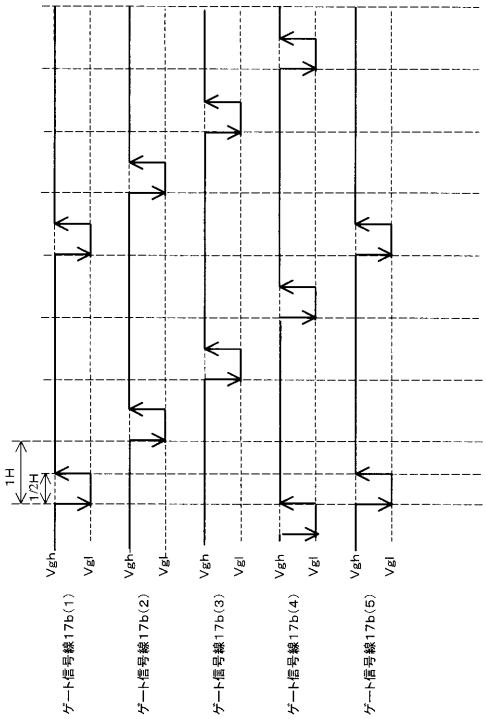
【図６０９】



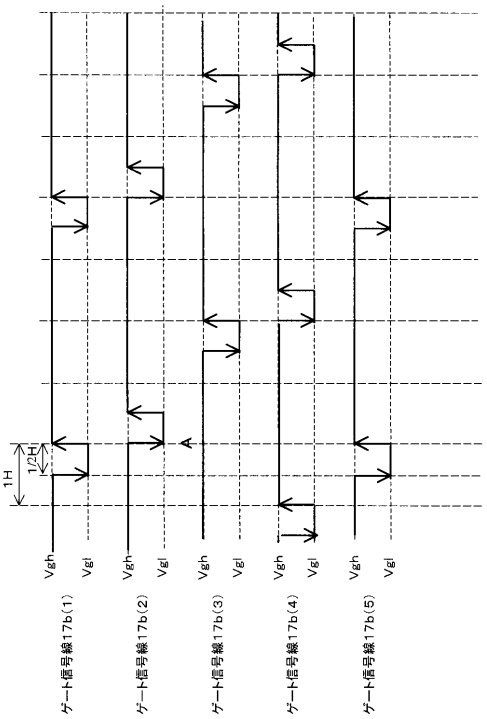
【図６１０】



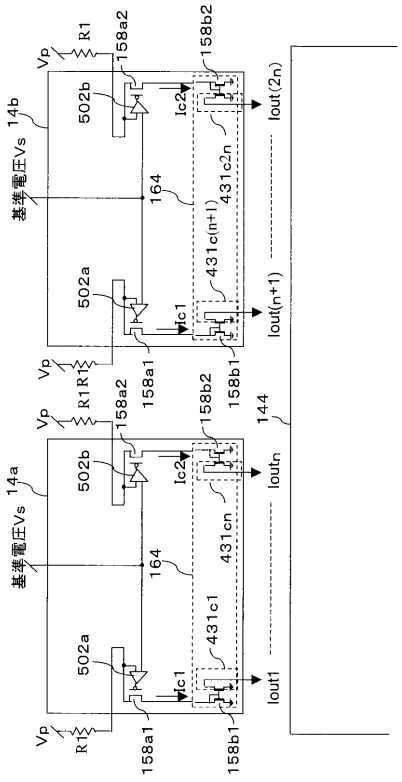
【図６１１】



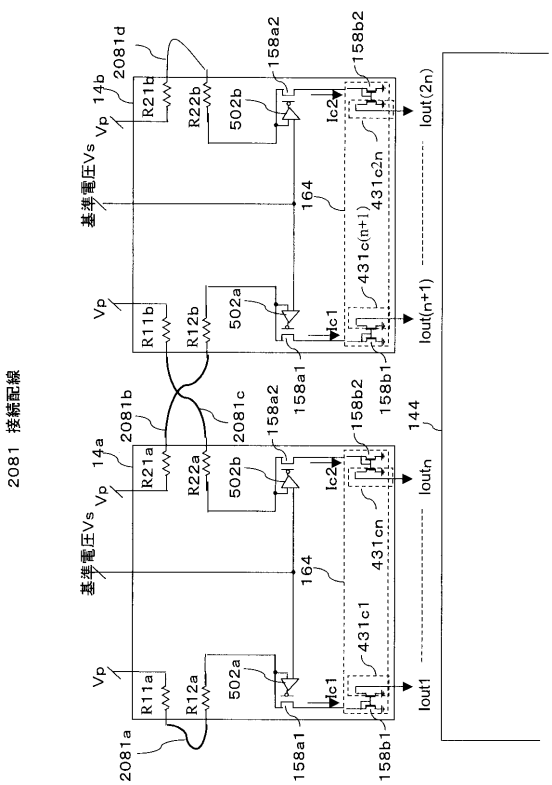
【図６１２】



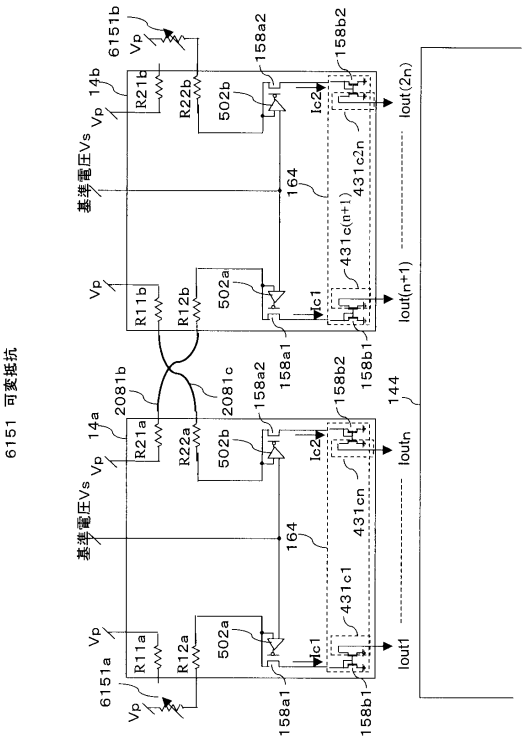
【図６１３】



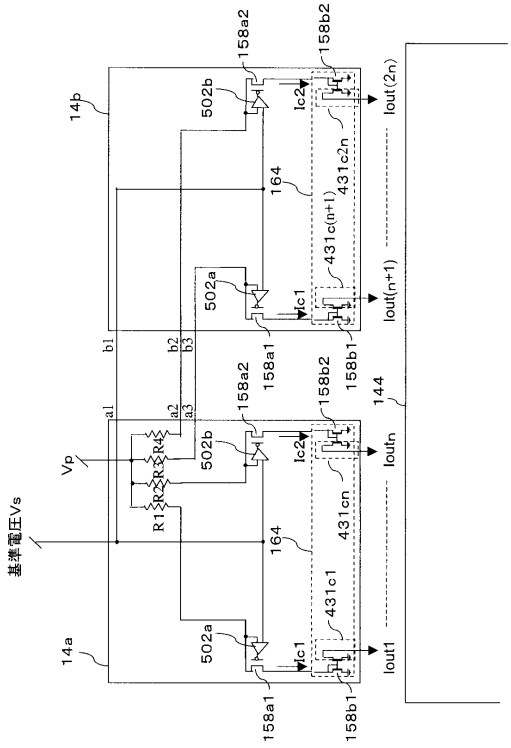
【図６１４】



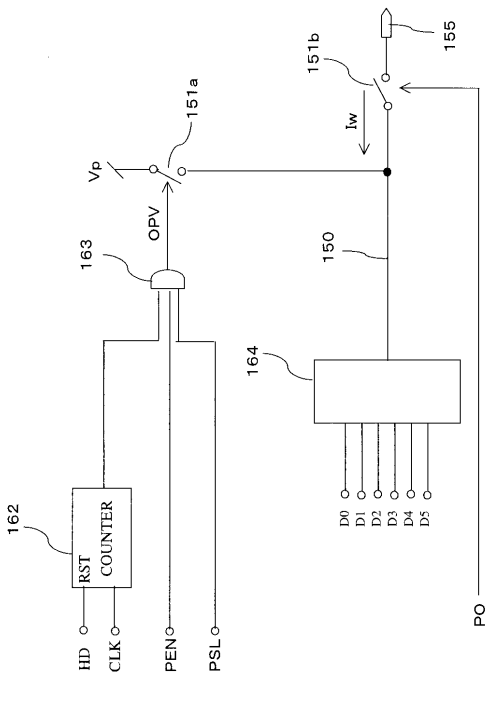
【図６１５】



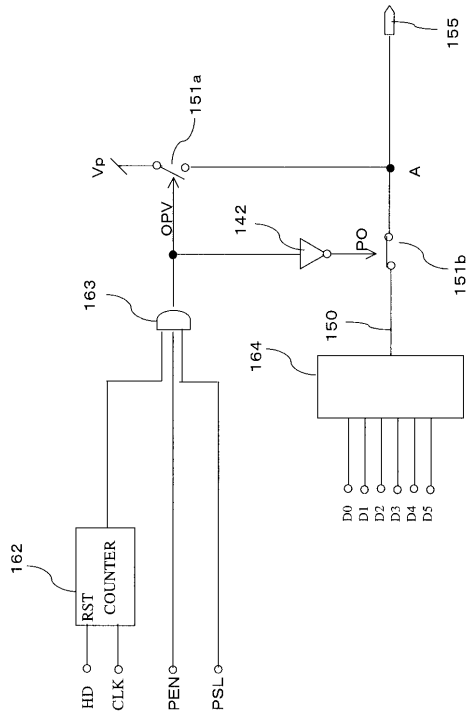
【図６１６】



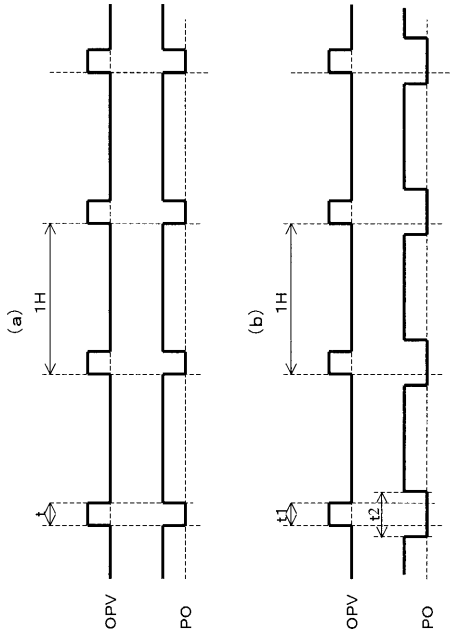
【図６１７】



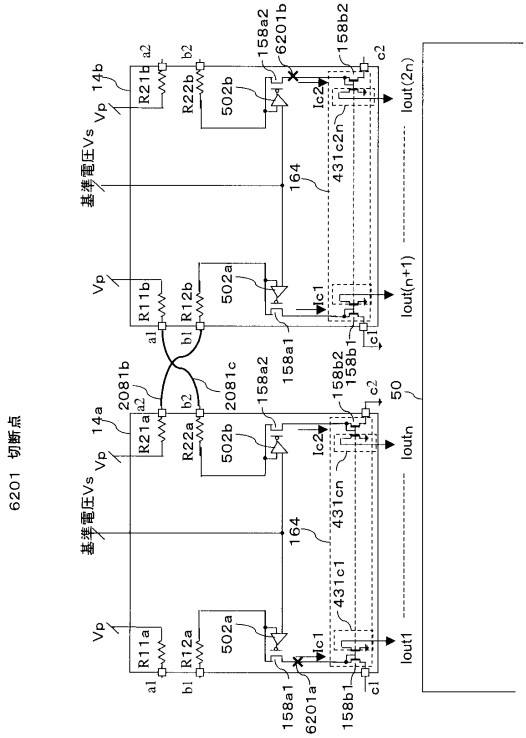
【図６１８】



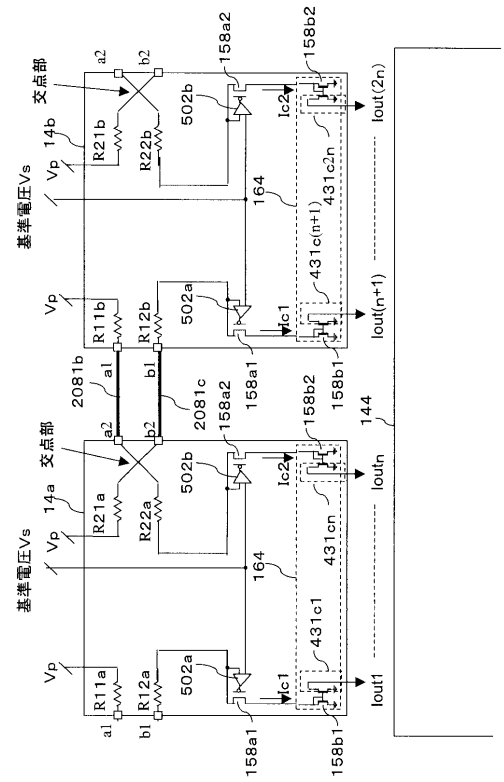
【図６１９】



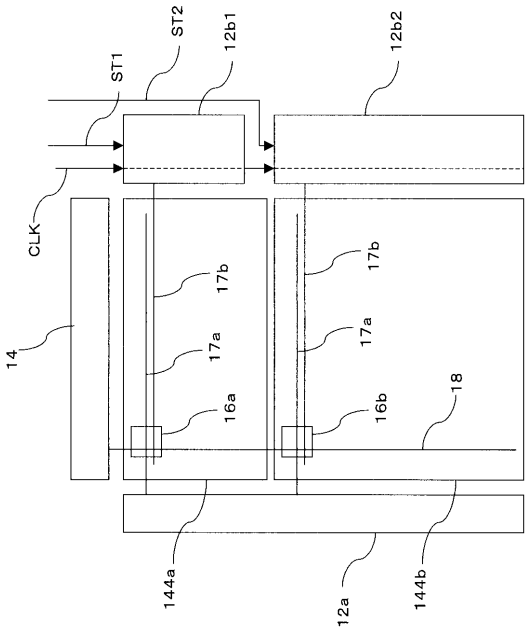
【図６２０】



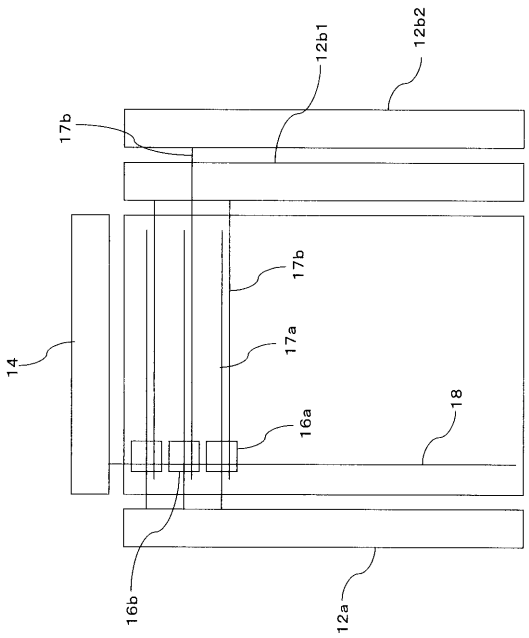
【図６２１】



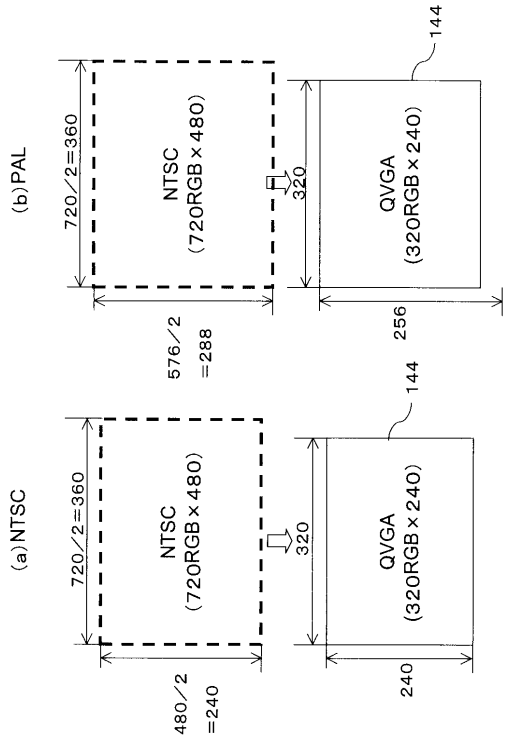
【図６２２】



【図６２３】



【図６２４】



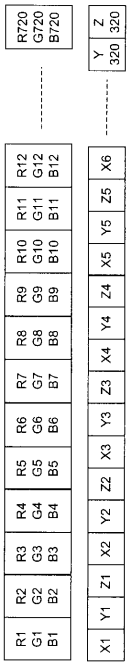
【図６２５】

画素データ変換		備考
9画素	8画素演算	
1	1/2+1/4+1/8	1画素目
2	1/8	
2	1/2+1/4	2画素目
3	1/4	
3	1/2+1/8	3画素目
4	1/4+1/8	
4	1/2	4画素目
5	1/2	
5	1/4+1/8	5画素目
6	1/2+1/8	
6	1/4	6画素目
7	1/2+1/4	
7	1/8	7画素目
8	1/2+1/4+1/8	
8	0	8画素目
9	1/1	
-	-	

【図６２６】

画素データ変換		備考
5画素	4画素演算	
1	1/2+1/4	1画素目
2	1/4	
2	1/2	2画素目
3	1/2	
3	1/4	3画素目
4	1/2+1/4	
4	0	4画素目
5	1/1	

【図６２７】



【図６２８】

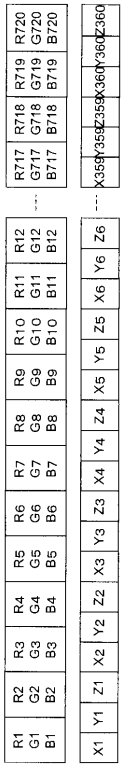
(a) X1=R1×8/8
Y1=G1×3/8+G2×5/8
Z1=B2×5/8+B3×3/8
X2=R3×7/8+R4×1/8

(b) Y2=G3×1/8+G4×7/8
Z2=B4×3/8+B5×5/8
X3=R5×5/8+R6×3/8
Y3=G6×7/8+G7×1/8

(c) Z3=B6×1/8+B7×7/8
X4=R7×3/8+R8×5/8
Y4=G8×5/8+G9×3/8
Z4=B9×7/8+B10×1/8

(d) Y320=G719×5/8+G720×3/8
Z320=B720×8/8

【図６２９】



【図６３０】

(a) X1=R1×8/8
Y1=G1×1/2+G2×1/2
Z1=B2×7/8+B3×1/8

(b) X2=R2×1/8+R3×7/8
Y2=G3×1/2+G4×1/2
Z2=B4×7/8+B5×1/8

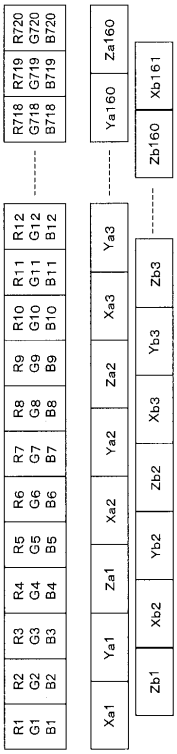
(c) X3=R4×1/8+R5×7/8
Y3=G5×1/2+G6×1/2
Z3=B6×7/8+B7×1/8

(d) X4=R6×1/8+R7×7/8
Y4=G7×1/2+G8×1/2
Z4=B8×7/8+B9×1/8

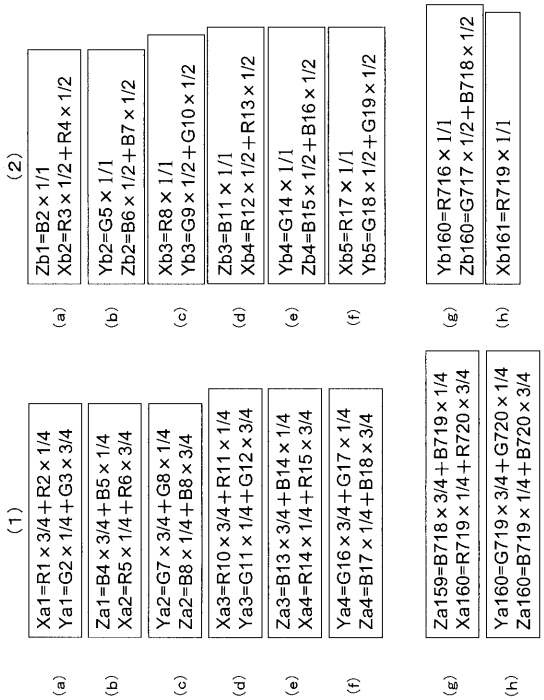
(e) X5=R8×1/8+R9×7/8
Y5=G9×1/2+G10×1/2
Z5=B10×7/8+B11×1/8

(f) X360=R718×1/8+R719×7/8
Y360=G719×1/2+G720×1/2
Z360=B720×8/8

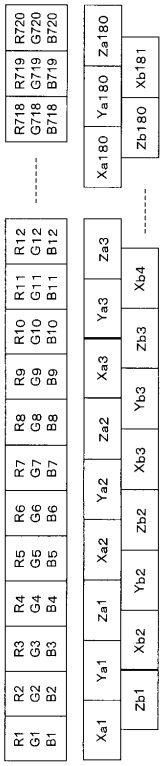
【図６３１】



【図６３２】

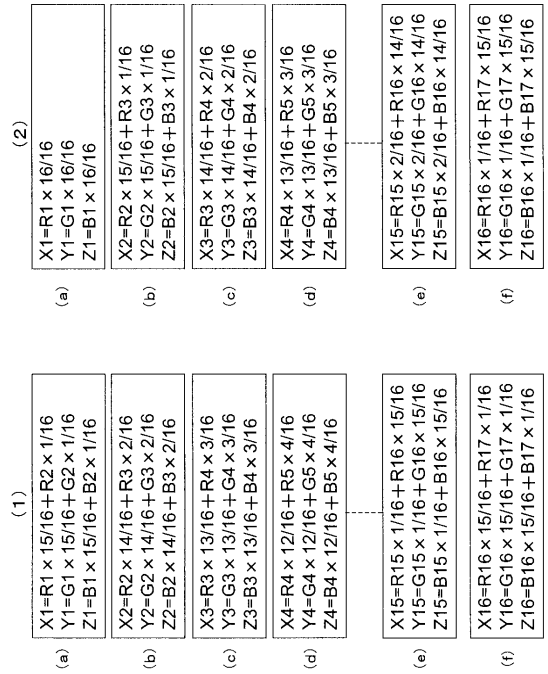


【図６３３】

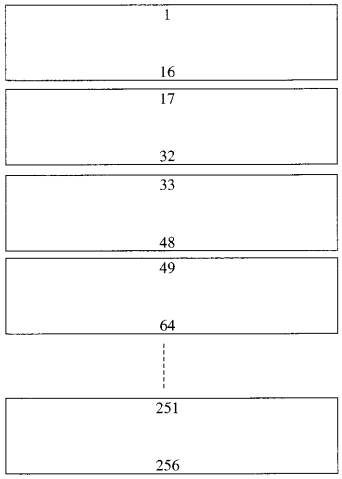


【図６３４】

【図６３５】


(1)
(a) X1=R1×15/16+R2×1/16 Y1=G1×15/16+G2×1/16 Z1=B1×15/16+B2×1/16
(b) X2=R2×14/16+R3×2/16 Y2=G2×14/16+G3×2/16 Z2=B2×14/16+B3×2/16
(c) X3=R3×13/16+R4×3/16 Y3=G3×13/16+G4×3/16 Z3=B3×13/16+B4×3/16
(d) X4=R4×12/16+R5×4/16 Y4=G4×12/16+G5×4/16 Z4=B4×12/16+B5×4/16
(e) X15=R15×1/16+R16×15/16 Y15=G15×1/16+G16×15/16 Z15=B15×1/16+B16×15/16
(f) X16=R16×15/16+R17×1/16 Y16=G16×15/16+G17×1/16 Z16=B16×15/16+B17×1/16
(2)
(a) X1=R1×16/16 Y1=G1×16/16 Z1=B1×16/16
(b) X2=R2×15/16+R3×1/16 Y2=G2×15/16+G3×1/16 Z2=B2×15/16+B3×1/16
(c) X3=R3×14/16+R4×2/16 Y3=G3×14/16+G4×2/16 Z3=B3×14/16+B4×2/16
(d) X4=R4×13/16+R5×3/16 Y4=G4×13/16+G5×3/16 Z4=B4×13/16+B5×3/16
(e) X15=R15×2/16+R16×14/16 Y15=G15×2/16+G16×14/16 Z15=B15×2/16+B16×14/16
(f) X16=R16×1/16+R17×15/16 Y16=G16×1/16+G17×15/16 Z16=B16×1/16+B17×15/16

【図６３６】


1
16
17
32
33
48
49
64
251
256

フロントページの続き

(51)Int.Cl.	FI		
	Ｇ０９Ｇ	3/20	６２３Ｂ
	Ｇ０９Ｇ	3/20	６４２Ｆ
	Ｇ０９Ｇ	3/20	６６０Ｗ
	Ｇ０９Ｇ	3/20	６２２Ｂ
	Ｇ０９Ｇ	3/20	６４２Ａ
	Ｇ０９Ｇ	3/20	６１１Ｈ
	Ｇ０９Ｇ	3/20	６１１Ａ
	Ｇ０９Ｇ	3/20	６１２Ｅ
	Ｇ０９Ｇ	3/20	６１２Ｆ
	Ｇ０９Ｇ	3/20	６２４Ｂ
	Ｇ０９Ｇ	3/20	６４１Ａ
	Ｇ０９Ｇ	3/20	６４１Ｋ
	Ｈ０５Ｂ	33/14	Ａ

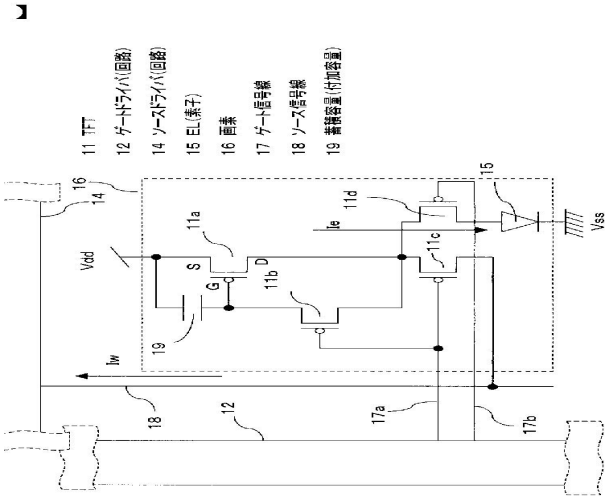
(31)優先権主張番号　特願2004-45517(P2004-45517)
(32)優先日　平成16年2月20日(2004.2.20)
(33)優先権主張国　日本国(JP)

(56)参考文献　特開２０００－２５９１１０（ＪＰ，Ａ）
特開２００３－１２２３０３（ＪＰ，Ａ）
国際公開第０３／０２７９９８（WO，Ａ１）
国際公開第０３／０２３７５２（WO，Ａ１）
国際公開第０３／０２３７５０（WO，Ａ１）
国際公開第０１／００６４８４（WO，Ａ１）
特開２００１－２１０１２２（ＪＰ，Ａ）
特開２００１－０６００７６（ＪＰ，Ａ）
特開２００１－３１２２４３（ＪＰ，Ａ）
特開２００２－１４９１２５（ＪＰ，Ａ）
特開平１０－２６０６６１（ＪＰ，Ａ）
特開２００２－３３３８６６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０９Ｇ　３／３０
Ｇ０９Ｇ　３／２０
Ｈ０１Ｌ　５１／５０

专利名称(译)	EL表示装置		
公开(公告)号	JP4498434B2	公开(公告)日	2010-07-07
申请号	JP2008148640	申请日	2008-06-05
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
CPC分类号	G09G3/3241 G09G3/3233 G09G3/3258 G09G2300/043 G09G2300/0861		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.612.U G09G3/20.641.Q G09G3/20.641.D G09G3/20.623.B G09G3/20.642.F G09G3/20.660.W G09G3/20.622.B G09G3/20.642.A G09G3/20.611.H G09G3/20.611.A G09G3/20.612.E G09G3/20.612.F G09G3/20.624.B G09G3/20.641.A G09G3/20.641.K H05B33/14.A G09G3/3216 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC09 3K107/CC14 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AA10 5C380/AB05 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB13 5C380/AB18 5C380/AB19 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB25 5C380/AB28 5C380/AB34 5C380/AB35 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AB43 5C380/AB45 5C380/AB46 5C380/AB47 5C380/AC04 5C380/AC05 5C380/AC07 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC16 5C380/AC18 5C380/BA01 5C380/BA03 5C380/BA10 5C380/BA12 5C380/BA14 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA22 5C380/BA23 5C380/BA24 5C380/BA28 5C380/BA29 5C380/BA32 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA43 5C380/BA45 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB02 5C380/BB05 5C380/BB08 5C380/BB09 5C380/BB12 5C380/BB14 5C380/BB15 5C380/BB16 5C380/BB17 5C380/BB19 5C380/BB22 5C380/BB23 5C380/BB25 5C380/BC02 5C380/BC03 5C380/BC06 5C380/BC07 5C380/BC09 5C380/BC10 5C380/BC13 5C380/BC14 5C380/BC18 5C380/BD02 5C380/BE01 5C380/BE03 5C380/BE05 5C380/CA04 5C380/CA05 5C380/CA06 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA23 5C380/CA24 5C380/CA25 5C380/CA27 5C380/CA29 5C380/CA30 5C380/CA32 5C380/CA35 5C380/CA36 5C380/CA39 5C380/CA42 5C380/CA43 5C380/CA47 5C380/CA49 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB01 5C380/CB02 5C380/CB05 5C380/CB07 5C380/CB08 5C380/CB09 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB18 5C380/CB19 5C380/CB25 5C380/CB26 5C380/CB30 5C380/CB31 5C380/CB37 5C380/CC02 5C380/CC03 5C380/CC12 5C380/CC14 5C380/CC15 5C380/CC17 5C380/CC18 5C380/CC19 5C380/CC27 5C380/CC28 5C380/CC31 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC42 5C380/CC52 5C380/CC54 5C380/CC57 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CC72 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD017 5C380/CD018 5C380/CD019 5C380/CD024 5C380/CD025 5C380/CE02 5C380/CE03 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE08 5C380/CE09 5C380/CE12 5C380/CE15 5C380/CE16 5C380/CE17 5C380/CE20 5C380/CE22 5C380/CF02 5C380/HA06		
代理人(译)	松田 正道		
审查员(译)	Naoaki桥本		

优先权	2003129528 2003-05-07 JP 2003277166 2003-07-18 JP 2004045517 2004-02-20 JP
其他公开文献	JP2008233931A
外部链接	Espacenet

摘要(译)

要解决的问题：设置流经EL元件的电流的最大值。ŽSOLUTION：在控制IC 760中，根据输入视频数据计算与显示屏幕的当前消耗相对应的过程数据。当第一处理数据小于第二处理数据时，根据在第一处理数据和第二处理数据之间计算的计算处理数据计算在一个帧周期中将电流流到显示屏幕上的EL元件的时间，在第一处理数据中在像素的EL元件中流动的电流的最大值，或者像素的EL元件的发光亮度的最大值被设置为大于要流到EL元件的电流的最大值。计算出的第二数据中的像素值或像素的EL元件的发光亮度的最大值。Ž