

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4300491号
(P4300491)

(45) 発行日 平成21年7月22日 (2009. 7. 22)

(24) 登録日 平成21年5月1日 (2009. 5. 1)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
H01L 51/50 (2006.01)	H05B 33/14 A
G09F 9/30 (2006.01)	G09F 9/30 365Z
H01L 27/32 (2006.01)	G09F 9/30 338
G09G 3/20 (2006.01)	G09G 3/20 611H
請求項の数 11 (全 25 頁) 最終頁に続く	

(21) 出願番号	特願2007-62776 (P2007-62776)	(73) 特許権者	000002185
(22) 出願日	平成19年3月13日 (2007. 3. 13)		ソニー株式会社
(65) 公開番号	特開2008-225018 (P2008-225018A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年9月25日 (2008. 9. 25)	(74) 代理人	100102185
審査請求日	平成20年4月28日 (2008. 4. 28)		弁理士 多田 繁範
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	山本 哲郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	山下 淳一
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
最終頁に続く			

(54) 【発明の名称】 ディスプレイ装置

(57) 【特許請求の範囲】

【請求項 1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、

前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、

制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端を第1の固定電位に接続する第4のトランジスタと、

前記信号レベル保持用コンデンサの他端に接続された第5のトランジスタとを有し、

前記第5のトランジスタは、

ゲートに第2の固定電位が接続され、

ドレインに前記信号レベル保持用コンデンサの他端が接続され、

10

20

ソースに前記駆動パルス信号が入力され、
前記駆動回路は、
前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、
前記第 3 のトランジスタを選択的にオン状態に設定する第 1 の信号レベルと、前記第 5 のトランジスタを選択的にオン状態に設定する第 2 の信号レベルと、前記第 3 及び第 5 のトランジスタの双方をオフ状態に設定する第 3 の信号レベルとの 3 値により、前記駆動パルス信号を出力する

ディスプレイ装置。

【請求項 2】

前記第 1 の信号レベルが、
前記第 3 のトランジスタをオン状態に設定する電圧であり、
前記第 2 の信号レベルが、
前記第 2 のトランジスタのソース電圧を、前記第 2 の信号レベルに保持する電圧であり、
前記第 3 の信号レベルが、
前記第 2 のトランジスタのゲート電圧から前記第 2 のトランジスタのしきい値電圧を減算した電圧より高い電圧である

請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記第 2 の固定電位が、
前記第 2 の信号レベルに前記第 5 のトランジスタのしきい値電圧を加算した電圧より大きく、
かつ前記第 3 のトランジスタをオフ動作させる前記第 3 のトランジスタのゲート電圧に、前記第 5 のトランジスタのしきい値電圧を加算した和電圧より小さい電圧である

請求項 1 に記載のディスプレイ装置。

【請求項 4】

前記駆動回路は、
第 1 ～第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、
前記第 1 の期間の間、
前記書き込み信号及び前記制御信号により、前記第 1、第 4 のトランジスタをオフ状態に設定すると共に、前記駆動パルス信号を前記第 1 の信号レベルに設定して前記第 3 及び第 5 のトランジスタをオン状態及びオフ状態に設定することにより、前記信号レベル保持用コンデンサの両端電位差によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、

前記第 2 の期間の間、

前記駆動パルス信号を前記第 2 の信号レベルに設定して前記自発光素子の発光を停止し、

前記第 3 の期間の間、

前記制御信号により、前記第 4 のトランジスタをオン状態に設定し、

前記第 4 の期間の間、

前記駆動パルス信号を前記第 1 の信号レベルに設定し、前記信号レベル保持用コンデンサの両端電位差を前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、

前記第 5 の期間の間、

前記駆動パルス信号を前記第 3 の信号レベルに設定すると共に、前記書き込み信号、前記制御信号により、前記第 3 ～第 5 のトランジスタ及び前記第 1 のトランジスタをオフ状態及びオン状態に設定し、前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側端の電位を、前記信号線の信号レベルに設定する

請求項 1 に記載のディスプレイ装置。

【請求項 5】

前記駆動回路は、

前記第 5 の期間から前記第 1 の期間に遷移する際に、前記駆動パルス信号を前記第 1 の信号レベルに立ち上げた後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する

請求項 4 に記載のディスプレイ装置。

【請求項 6】

前記画素、前記駆動回路のトランジスタの全てが、
Nチャンネル型のトランジスタであり、
前記画素、前記駆動回路が、
アモルファスシリコンプロセスにより絶縁基板上に形成された
請求項 1 に記載のディスプレイ装置。

10

【請求項 7】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第 1 のトランジスタと、

前記信号レベル保持用コンデンサの前記第 1 のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第 2 のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第 2 のトランジスタのソースに接続する電流駆動型の自発光素子と、

20

駆動パルス信号によりオンオフ動作して、前記第 2 のトランジスタのドレインを電源電圧に接続する第 3 のトランジスタと、

前記信号レベル保持用コンデンサの他端に接続された第 4 のトランジスタとを有し、

前記第 4 のトランジスタは、

ゲートに第 1 の固定電位が接続され、

ドレインに前記信号レベル保持用コンデンサの他端が接続され、

ソースに前記駆動パルス信号が入力され、

前記駆動回路は、

前記書き込み信号、前記駆動パルス信号を出力し、

30

前記第 3 のトランジスタを選択的にオン状態に設定する第 1 の信号レベルと、前記第 4 のトランジスタを選択的にオン状態に設定する第 2 の信号レベルと、前記第 3 及び第 4 のトランジスタの双方をオフ状態に設定する第 3 の信号レベルとの 3 値により、前記駆動パルス信号を出力し、

第 2 の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の間、

前記書き込み信号により前記第 1 のトランジスタをオン状態に設定して、前記信号線で前記第 2 の固定電位が開始するタイミングで、前記駆動パルス信号を前記第 1 の信号レベルに設定すると共に、前記信号線で前記第 2 の固定電位が終了するタイミングで、前記駆動パルス信号を前記第 3 の信号レベルに設定する

40

ディスプレイ装置。

【請求項 8】

前記第 1 の信号レベルが、

前記第 3 のトランジスタをオン状態に設定する電圧であり、

前記第 2 の信号レベルが、

前記第 2 のトランジスタのソース電圧を、前記第 2 の信号レベルに保持する電圧であり

、

前記第 3 の信号レベルが、

前記第 2 のトランジスタのゲート電圧から前記第 2 のトランジスタのしきい値電圧を減

50

算した電圧より高い電圧である

請求項 7 に記載のディスプレイ装置。

【請求項 9】

前記第 1 の固定電位が、

前記第 2 の信号レベルに前記第 4 のトランジスタのしきい値電圧を加算した電圧より大きく、

かつ前記第 3 のトランジスタをオフ動作させる前記第 3 のトランジスタのゲート電圧に、前記第 4 のトランジスタのしきい値電圧を加算した和電圧より小さい電圧である

請求項 7 に記載のディスプレイ装置。

【請求項 10】

前記駆動回路は、

前記信号線で前記第 2 の固定電位が複数回繰り返される期間の経過後、前記信号線における前記画素の階調に対応する信号レベルの期間で、前記駆動パルス信号の信号レベルを前記第 1 の信号レベルに設定した後、前記書き込み信号により前記第 1 のトランジスタをオフ動作させる

請求項 7 に記載のディスプレイ装置。

【請求項 11】

前記画素、前記駆動回路のトランジスタの全てが、

N チャンネル型のトランジスタであり、

前記画素、前記駆動回路が、

アモルファスシリコンプロセスにより絶縁基板上に形成された

請求項 7 に記載のディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、例えば有機 EL (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用することができる。本発明は、発光素子を駆動するトランジスタを駆動用の電源に接続するトランジスタと、この発光素子を駆動するトランジスタのソース電圧を所定電圧にセットするトランジスタとを 3 値による共通の制御信号で制御することにより、従来に比して走査線数を少なくすることができる。

【背景技術】

【0002】

従来、有機 EL 素子を用いたディスプレイ装置に関して、例えば US P 5, 684, 365、特開平 8 - 234683 号公報等に種々の工夫が提案されている。

【0003】

ここで図 21 は、従来の有機 EL 素子を用いたいわゆるアクティブマトリックス型のディスプレイ装置を示すブロック図である。ディスプレイ装置 1 において、画素部 2 は、マトリックス状に画素 (PX) 3 が配置されて形成される。また画素部 2 は、このマトリックス状に配置した画素 3 に対して、走査線 SCN がライン単位で水平方向に設けられ、また走査線 SCN と直交するように信号線 SIG が列毎に設けられる。

【0004】

ここで図 22 に示すように、各画素 3 は、電流駆動による自発光型の発光素子である有機 EL 素子 8 と、この有機 EL 素子 8 を駆動する各画素 3 の駆動回路 (以下、画素回路と呼ぶ) とで形成される。

【0005】

画素回路は、信号レベル保持用コンデンサ C1 の一端が一定電位に保持され、書き込み信号 WS によりオンオフ動作するトランジスタ TR1 を介して、この信号レベル保持用コンデンサ C1 の他端が信号線 SIG に接続される。これにより画素回路は、書き込み信号 WS の立ち上がりによってトランジスタ TR1 がオン動作し、信号レベル保持用コンデン

10

20

30

40

50

サ C 1 の他端電位が信号線 S I G の信号レベルに設定され、トランジスタ T R 1 がオン状態からオフ状態に切り換わるタイミングで、信号線 S I G の信号レベルが信号レベル保持用コンデンサ C 1 の他端にサンプルホールドされる。

【 0 0 0 6 】

画素回路は、ソースを電源 V c c に接続した P チャンネルトランジスタ T R 2 のゲートに、この信号レベル保持用コンデンサ C 1 の他端が接続され、このトランジスタ T R 2 のドレインが有機 E L 素子 8 のアノードに接続される。ここで画素回路は、このトランジスタ T R 2 が常に飽和領域で動作するように設定され、その結果、トランジスタ T R 2 は、次式で表されるドレインソース電流 I d s による定電流回路を構成する。なおここで V g s は、トランジスタ T R 2 のゲートソース間電圧であり、μ は移動度である。また W はチャンネル幅、L はチャンネル長、C o x はゲート容量、V t h はトランジスタ T R 2 のしきい値電圧である。これにより各画素回路は、信号レベル保持用コンデンサ C 1 にサンプルホールドされた信号線 S I G の信号レベルに応じた駆動電流 I d s により有機 E L 素子 8 を駆動する。

【 0 0 0 7 】

【 数 1 】

$$I_{ds} = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{ox} \times (V_{gs} - V_{th})^2 \quad \dots\dots (1)$$

【 0 0 0 8 】

ディスプレイ装置 1 は、垂直駆動回路 4 のライトスキャン回路 (W S C N) 4 A により、所定のサンプリングパルスを順次転送して、各画素 3 への書き込みを指示するタイミング信号である書き込み信号 W S を生成する。また水平駆動回路 5 の水平セクタ (H S E L) 5 A により、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線 S I G を入力信号 S 1 の信号レベルに設定する。これによりディスプレイ装置 1 は、点順次又は線順次で、各画素 3 に設けられた信号レベル保持用コンデンサ C 1 の端子電圧を入力信号 S 1 に応じて設定し、入力信号 S 1 による画像を表示する。

【 0 0 0 9 】

ここで有機 E L 素子 8 は、図 2 3 に示すように、使用により電流が流れ難くなる方向に電流電圧特性が経時変化する。なおこの図 2 3 において、符号 L 1 が初期の特性を示し、符号 L 2 が経時変化による特性を示すものである。しかしながら図 2 2 に示す回路構成により P チャンネルトランジスタ T R 2 で有機 E L 素子 8 を駆動する場合には、信号線 S I G の信号レベルに応じて設定されたゲートソース間電圧 V g s によりトランジスタ T R 2 が有機 E L 素子 8 を駆動することにより、電流電圧特性の経時変化による各画素の輝度変化を防止することができる。

【 0 0 1 0 】

ところで画素回路、水平駆動回路、垂直駆動回路を構成するトランジスタの全てを N チャンネルトランジスタで構成すれば、アモルファスシリコンプロセスでこれらの回路をまとめてガラス基板等の絶縁基板上に作成することができ、ディスプレイ装置を簡易に作成することができる。

【 0 0 1 1 】

しかしながら図 2 2 との対比により図 2 4 に示すように、トランジスタ T R 2 に N チャンネル型を適用して各画素 1 3 を形成し、この画素 1 3 による画素部 1 2 でディスプレイ装置 1 1 を構成した場合、トランジスタ T R 2 のソースが有機 E L 素子 8 に接続されることにより、図 2 3 に示す電流電圧特性の変化によって、トランジスタ T R 2 のゲートソース間電圧 V g s が変化することになる。これによりこの場合、使用により有機 E L 素子 8 に流れる電流が徐々に減少し、各画素の輝度が徐々に低下することになる。またこの図 2

10

20

30

40

50

4に示す構成では、トランジスタTR2の特性のばらつきにより画素毎に発光輝度がばらつくことになる。なおこの発光輝度のばらつきは、表示画面における均一性を乱し、表示画面のムラ、ざらつきにより知覚される。

【0012】

このためこのような有機EL素子の経時変化による発光輝度の低下、特性のばらつきによる発光輝度のばらつきを防止する工夫として図25に示す構成が提案されている。

【0013】

ここでこの図25に示すディスプレイ装置21において、画素部22は、画素23をマトリックス状に配置して形成される。ここで画素23は、信号レベル保持用コンデンサC1の一端が有機EL素子8のアノードに接続され、書き込み信号WSに応じてオンオフ動作するトランジスタTR1を介して、この信号レベル保持用コンデンサC1の他端が信号線SIGに接続される。これにより画素23は、書き込み信号WSに応じて信号レベル保持用コンデンサC1の他端の電圧が、信号線SIGの信号レベルに設定される。

【0014】

画素23は、この信号レベル保持用コンデンサC1の両端がトランジスタTR2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR3を介して、このトランジスタTR2のドレインが電源Vccに接続される。これにより画素23は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロワ回路構成のトランジスタTR2により有機EL素子8を駆動する。なおここでVcatは、有機EL素子8のカソード電位である。また駆動パルス信号DSは、各画素23の発光期間を制御するタイミング信号であり、ドライブスキャン回路(DSCN)24Bで所定のサンプリングパルスを順次転送して生成される。

【0015】

また画素23は、それぞれ制御信号AZ1、AZ2によりオンオフ動作するトランジスタTR4、TR5を介して、信号レベル保持用コンデンサC1の両端が所定の固定電位Vofs、Vssに接続される。ここでこれら制御信号AZ1、AZ2は、それぞれ垂直駆動回路24に設けられた制御信号生成回路(AZ1、AZ2)24C、24Dで所定のサンプリングパルスを順次転送して生成されるタイミング信号である。

【0016】

ここで図26は、このディスプレイ装置21における1つの画素23のタイミングチャートである。なおこの図26では、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図27に示すように、有機EL素子8を発光させる発光期間T1において、画素23は、書き込み信号WS、制御信号AZ1、AZ2(図26(A)~(C))の信号レベルが立ち下げられてトランジスタTR1、TR4、TR5がオフ状態に設定されると共に、駆動パルス信号DS(図26(D))信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。

【0017】

これにより画素23は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧Vgsに応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、このゲートソース間電圧Vgsで決まるドレインソース電流Idsで有機EL素子8を発光させ、有機EL素子8の経時変化による輝度低下が防止される。なおここでこのドレインソース電流Idsは、図22について説明した(1)式で表される。また以下においては、適宜、トランジスタをスイッチの符号で示す。

【0018】

画素23は、発光期間T1が終了すると、続く期間T2において、図28に示すように、トランジスタTR4、TR5がオン状態に設定される。これにより画素回路23では、信号レベル保持用コンデンサC1の両端電位が所定の固定電位Vofs、Vssに設定され(図26(E)及び(F))、これら固定電位Vofs、Vssの電位差Vofs-Vssによるゲートソース間電圧Vgsに応じたドレインソース電流Idsが、トランジスタTR2からトランジスタTR5に流れる。なおこの期間T2の間、有機EL素子8の両

10

20

30

40

50

端電位差が有機ＥＬ素子８のしきい値電圧 V_{th} より小さくなって有機ＥＬ素子８が発光しないように、またトランジスタＴＲ２が飽和領域で動作するように、固定電位 V_{ofs} 、 V_{ss} が設定される。

【００１９】

続いて画素２３は、所定期間 T_3 の間、図２９に示すように、トランジスタＴＲ５がオフ状態に設定される。これにより画素２３は、図２９において破線で示すように、トランジスタＴＲ２のドレインソース電流 I_{ds} で信号レベル保持用コンデンサ C_1 のトランジスタＴＲ５側端電圧が上昇する。

【００２０】

ここで図３０に示すように、有機ＥＬ素子８は、ダイオードと容量 C_{el} のコンデンサとの並列回路で等価回路が表される。これによりトランジスタＴＲ２のドレインソース電流 I_{ds} により、トランジスタＴＲ２のソース電圧 V_s は、この期間 T_3 において、図３１に示すように徐々に上昇し、トランジスタＴＲ２のゲートソース間電圧 V_{gs} がトランジスタＴＲ２のしきい値電圧 V_{th} となると、上昇が停止する。これにより画素２３は、信号レベル保持用コンデンサ C_1 の両端電位差が、トランジスタＴＲ２のしきい値電圧 V_{th} に設定され、信号レベル保持用コンデンサ C_1 のトランジスタＴＲ５側の端子電圧が、固定電位 V_{ofs} からトランジスタＴＲ２のしきい値電圧 V_{th} を減算した電圧 $V_{ofs} - V_{th}$ に設定される。なおここでこの状態で、有機ＥＬ素子８のアノード電位 V_{el} は、 $V_{el} = V_{ofs} - V_{th}$ で表され、ディスプレイ装置２１では、 $V_{el} = V_{cat} + V_{th}$ となるように固定電位 V_{ofs} が設定されて、この期間 T_3 で有機ＥＬ素子８が発光しないように設定される。

【００２１】

続いて画素２３は、続く期間 T_4 で、図３２に示すように、トランジスタＴＲ３、ＴＲ４が順次オフ状態に設定される。なおトランジスタＴＲ４より先にトランジスタＴＲ３をオフ状態に設定することで、トランジスタＴＲ２のゲート電圧 V_g の変動を抑圧することができる。また画素２３は、続いてトランジスタＴＲ１がオン状態に設定され、これにより信号レベル保持用コンデンサ C_1 のトランジスタＴＲ５側の端子電圧を電圧 $V_{ofs} - V_{th}$ に設定した状態で、信号レベル保持用コンデンサ C_1 のトランジスタＴＲ４側端の電圧を信号線ＳＩＧの信号レベル V_{sig} に設定する。

【００２２】

これにより画素２３では、トランジスタＴＲ２のゲートソース間電圧 V_{gs} が、信号線ＳＩＧの信号レベル V_{sig} にしきい値電圧 V_{th} を加算した電圧 $V_{sig} + V_{th}$ に設定される。これによりディスプレイ装置２１では、トランジスタＴＲ２の特性の１つであるしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを防止することができる。

【００２３】

なおここでこの場合、トランジスタＴＲ２のゲートソース間電圧 V_{gs} は、正確には、次式で表される。ここで C_2 は、トランジスタＴＲ２のゲートソース間容量である。有機ＥＬ素子８の寄生容量 C_{el} は、信号レベル保持用コンデンサ C_1 の容量、トランジスタＴＲ２のゲートソース間容量 C_2 に比して大きければ、これによりトランジスタＴＲ２のゲートソース間電圧 V_{gs} は、実用上十分な精度で、電圧 $V_{sig} + V_{th}$ に設定される。

【００２４】

【数２】

$$V_{gs} = \frac{C_{el}}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs}) + V_{th} \quad \cdots \cdots (2)$$

【００２５】

画素２３は、続いて一定期間 T_5 の間、図３３に示すように、トランジスタＴＲ１をオ

ン状態に設定したままの状態、トランジスタTR3がオン状態に設定される。これにより画素23は、信号レベル保持用コンデンサC1の両端電圧差によるゲートソース電圧V_{gs}によりトランジスタTR2がドレインソース電流I_{ds}を流出させる。このときトランジスタTR2のソース電圧V_sが、有機EL素子8のしきい値電圧V_{th}とカソード電圧V_{cat}との和電圧より小さく、有機EL素子8に流出する電流が小さい場合、図34に示すように、トランジスタTR2のドレインソース電流I_{ds}によりトランジスタTR2のソース電圧V_sが電圧V_{s0}から徐々に上昇することになる。なおここで電圧V_{s0}は次式により表される。

【0026】

【数3】

10

$$V_{s0} = V_{ofs} - V_{th} + \frac{C_1 + C_2}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (3)

【0027】

ここでこのソース電圧V_sの上昇速度は、トランジスタTR2の移動度μに依存したものととなり、符号V_{s1}及びV_{s2}によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧V_sの上昇速度は速くなる。

20

【0028】

これにより画素23は、一定の期間T5の間だけ、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3をオン状態に設定して、トランジスタTR2の特性の1つである移動度のばらつきによる発光輝度のばらつきが防止される。

【0029】

その後、画素23は、図27に示すように、トランジスタTR1がオフ状態に設定され、しきい値電圧V_{th}、移動度μを補正して設定されたゲートソース間電圧V_{gs}により有機EL素子8を駆動する。なおこれによりトランジスタTR2のソース電圧V_sは、トランジスタTR1のオフにより、有機EL素子8にトランジスタTR2のドレインソース電流I_{ds}が流れる電圧まで上昇して、有機EL素子8が発光を開始することになり、これに伴ってトランジスタTR2のゲート電圧V_gも上昇することになる。

30

【0030】

この図25に示す構成によれば、有機EL素子8の経時変化により発光輝度の低下を防止することができ、またトランジスタTR2の特性のばらつきにより発光輝度のばらつきを防止することができる。

【0031】

しかしながらこの図25に示す構成の場合、1つの画素23に対して、1本の信号線SIG、制御信号AZ2、AZ1、駆動パルス信号DS、書き込み信号WSによる4本の走査線、固定電位V_{cc}、V_{ofs}、V_{ss}、V_{cat}の4本の配線パターンを設ける必要がある。従って赤色、青色、緑色の画素で走査線を共通化し、さらにカソード電圧V_{cat}を別途、設けるようにしても、赤色、青色、緑色の1組の画素に、4本の走査線が必要になる。

40

【0032】

これによりNチャンネルトランジスタを用いた従来のディスプレイ装置では、走査線数が多くなる問題があった。なおこのように走査線数が多くなると、画素を高密度に効率良く配置することが困難になり、高精細のディスプレイ装置を、高い歩留まりで作成することが困難になる。

【特許文献1】USP5,684,365

50

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0033】

本発明は以上の点を考慮してなされたもので、従来に比して走査線数を少なくすることができるディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端を第1の固定電位に接続する第4のトランジスタと、前記信号レベル保持用コンデンサの他端に接続された第5のトランジスタとを有し、前記第5のトランジスタは、ゲートに第2の固定電位が接続され、ドレインに前記信号レベル保持用コンデンサの他端が接続され、ソースに前記駆動パルス信号が入力され、前記駆動回路は、前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、前記第3のトランジスタを選択的にオン状態に設定する第1の信号レベルと、前記第5のトランジスタを選択的にオン状態に設定する第2の信号レベルと、前記第3及び第5のトランジスタの双方をオフ状態に設定する第3の信号レベルとの3値により、前記駆動パルス信号を出力する。

【0035】

また請求項7の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、前記信号レベル保持用コンデンサの他端に接続された第4のトランジスタとを有し、前記第4のトランジスタは、ゲートに第1の固定電位が接続され、ドレインに前記信号レベル保持用コンデンサの他端が接続され、ソースに前記駆動パルス信号が入力され、前記駆動回路は、前記書き込み信号、前記駆動パルス信号を出力し、前記第3のトランジスタを選択的にオン状態に設定する第1の信号レベルと、前記第4のトランジスタを選択的にオン状態に設定する第2の信号レベルと、前記第3及び第4のトランジスタの双方をオフ状態に設定する第3の信号レベルとの3値により、前記駆動パルス信号を出力し、第2の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、前記信号線で前記第2の固定電位が複数回繰り返される期間の間、前記書き込み信号により前記第1のトランジスタをオン状態に設定して、前記信号線で前記第2の固定電位が開始するタイミングで、前記駆動パルス信号を前記第1の信号レベルに設定すると共に、前記信号線で前記第2の固定電位が終了するタイミングで、前記駆動パルス信号を前記第3の信号レベルに設定する。

【0036】

請求項1の構成によれば、第3及び第5の2つのトランジスタを1つの駆動パルス信号

10

20

30

40

50

によりオンオフ制御するようにして、これら２つのトランジスタをそれぞれ個別の制御信号で制御する場合と同様に制御することができる。従って２つのトランジスタをそれぞれ個別の制御信号で制御する場合に比して、制御信号の伝送に使用する走査線の数従来に比して少なくすることができる。

【００３７】

また請求項７の構成によれば、請求項１の構成を前提に、信号線を利用して第２の固定電位を設定することができ、さらに走査線数を少なくすることができる。

【発明の効果】

【００３８】

本発明によれば、従来に比して走査線数を少なくすることができる。

10

【発明を実施するための最良の形態】

【００３９】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例１】

【００４０】

（１）実施例の構成

図１は、図２５との対比により本発明の実施例１のディスプレイ装置を示すブロック図である。このディスプレイ装置３１において、図２１、図２５等を用いて上述したディスプレイ装置１、１１、２１と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置３１は、全てのトランジスタがＮチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部３２、水平駆動回路５、垂直駆動回路３４が一体に形成される。

20

【００４１】

ここで画素部３２は、画素３３をマトリックス状に配置して形成される。画素３３は、信号レベル保持用コンデンサＣ１の有機ＥＬ素子８側トランジスタＴＲ５のゲートが固定電位 V_{ini} に接続され、このトランジスタＴＲ５のソースに駆動パルス信号ＤＳが接続されている点を除いて、図２５について上述したディスプレイ装置２１の画素２３と同一に構成される。これにより画素３３は、発光期間を制御するトランジスタＴＲ３と、特性のばらつき補正に使用するトランジスタＴＲ５とが、１つの制御信号でオンオフ制御され、全体として走査線数が３本に設定される。

30

【００４２】

垂直駆動回路３４は、それぞれライトスキャン回路（WSCN）３４Ａ、ドライブスキャン回路（DSCN）３４Ｂ、制御信号生成回路（AZ1）３４Ｃで、書き込み信号WS、駆動パルス信号DS、制御信号AZ1を生成する。またドライブスキャン回路（DSCN）３４Ｂでは、駆動パルス信号DSを３値で出力することにより、トランジスタＴＲ３、ＴＲ５をそれぞれ選択的にオン状態に設定し、またこれらトランジスタＴＲ３、ＴＲ５の双方を同時にオフ状態に設定する。

【００４３】

ここで図２は、この画素３３の動作の説明に供するタイミングチャートである。なおこの図２においては、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図３に示すように、有機ＥＬ素子８を発光させる発光期間Ｔ１１において、画素３３は、書き込み信号WS、制御信号AZ1（図２（Ａ）及び（Ｂ））の信号レベルが立ち下げられてトランジスタＴＲ１、ＴＲ４がオフ状態に設定される。また駆動パルス信号DS（図２（Ｃ））の信号レベルが３値のうちで最も電圧の高い第１の信号レベルに立ち上げられてトランジスタＴＲ３、ＴＲ５がそれぞれオン状態及びオフ状態に設定される。なおこれによりこの駆動パルス信号DSの第１の信号レベルは、トランジスタＴＲ３をオン動作させるトランジスタＴＲ３のゲート電圧以上に設定され、またトランジスタＴＲ５のゲート電位 V_{ini} は、トランジスタＴＲ３をオン動作させるゲート電圧（すなわちトランジスタＴＲ３をオフ動作させるオフ電圧と、トランジスタＴＲ３のしきい値電圧の和電圧）に比して低い電圧であって、かつ後述する期間Ｔ２において、トランジスタ

40

50

TR2のソース電圧 V_s を駆動パルス信号DSの電圧 V_{ss} に保持するように、この電圧 V_{ss} にトランジスタTR5のしきい値電圧 V_{thT5} を加算した電圧より大きな電圧に設定される。

【0044】

これにより画素33は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧 V_{gs} に応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、ゲートソース間電圧 V_{gs} で決まるドレインソース電流 I_{ds} で有機EL素子8を発光させる。これによりこのディスプレイ装置31は、有機EL素子8の経時変化による輝度低下を防止する。なおここでこのドレインソース電流 I_{ds} は、(1)式で表される。

10

【0045】

画素33は、発光期間T11が終了すると、続く一定期間T12において、駆動パルス信号DSの信号レベルが3値のうちで最も電圧の低い第2の信号レベル V_{ss} に立ち下げられ、これにより図4に示すように、トランジスタTR3、TR5がオフ状態及びオン状態に設定される。ここで電圧 V_{ss} は、トランジスタTR5のオン動作により、トランジスタTR2のソース電圧 V_s を電圧 V_{ss} に設定する電圧に設定される。より具体的に、トランジスタTR5のしきい値電圧 V_{th5} 、トランジスタTR5のゲート電圧 V_{ini} との間で、 $V_{ini} > V_{th5} + V_{ss}$ の関係が成立するように設定される。また電圧 V_{ss} は、有機EL素子8のカソード電位 V_{cat} 、有機EL素子8のしきい値電圧 V_{thel} との間で、 $V_{ss} = V_{thel} + V_{cat}$ の関係が成立するように設定され、これによりこの期間T12では、有機EL素子8が発光を停止するように設定される。

20

【0046】

画素33は、続いて期間T13の間、制御信号AZ1が立ち上げられ、図5に示すようにトランジスタTR4がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧が、固定電位 V_{ofs} に設定される。

【0047】

また画素33は、続く期間T14において、駆動パルス信号DSが3値のうちで最も高い信号レベルに立ち上げられ、図6に示すように、トランジスタTR3、TR5がそれぞれオン状態、オフ状態に設定される。これにより画素33は、図7に示すように、トランジスタTR2のゲートソース間電圧 V_{gs} が、トランジスタTR5のしきい値電圧となるまで、トランジスタTR2のドレインソース電流 I_{ds} でソース電圧 V_s が上昇し、信号レベル保持用コンデンサC1の両端電位差が、トランジスタTR2のしきい値電圧 V_{th} に設定される。なおここでトランジスタTR2のゲートソース間電圧 V_{gs} は、この期間T14の開始時点では、 $V_{ofs} - V_{ss}$ である。また有機EL素子8のアノード電位 V_{el} は、最終的に $V_{el} = V_{ofs} - V_{th}$ となり、このとき $V_{el} = V_{cat} + V_{thel}$ となるように固定電位 V_{ofs} が設定される。またトランジスタTR2のソース電圧 V_s は、 $V_{ofs} - V_{th}$ で表される。

30

【0048】

また画素33は、続く期間T15において、駆動パルス信号DSが3値のうちで中間値の信号レベル V_{off} に設定され、図8に示すように、トランジスタTR3、TR5が共にオフ状態に設定される。なおここでこの中間値の信号レベル V_{off} は、トランジスタTR5のしきい値電圧 V_{thT5} に対して、 $V_{ini} - V_{off} < V_{thT5}$ の関係を満足する値である。従ってこの期間T15において、トランジスタTR2のゲート電圧 V_g 、ソース電圧 V_s は、直前の期間T14の終了時点の電圧に保持される。

40

【0049】

画素33は、続く期間T16において、制御信号AZ1が立ち下げられ、図9に示すようにトランジスタTR4がオフ状態に設定される。また続いて書き込み信号WSが立ち上げられ、トランジスタTR1がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧を電圧 $V_{ofs} - V_{th}$ に設定した状態で、信号レベル保持用コンデンサC1の他端側の端子電圧を信号線SIGの信

50

号レベル V_{sig} に設定する。

【0050】

これにより画素33では、トランジスタTR2のゲートソース間電圧 V_{gs} が、信号線SIGの信号レベル V_{sig} にしきい値電圧 V_{th} を加算した電圧 $V_{sig} + V_{th}$ に設定され、トランジスタTR2のしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきが防止される。

【0051】

なおこの場合も、上述したと同様に、トランジスタTR2のゲートソース間電圧 V_{gs} は、正確には、(2)式で表されるものの、有機EL素子8の寄生容量 C_{e1} が、信号レベル保持用コンデンサC1の容量、トランジスタTR2のゲートソース間容量C2に比して大きければ、トランジスタTR2のゲートソース間電圧 V_{gs} は、実用上十分な精度で、電圧 $V_{sig} + V_{th}$ に設定される。

【0052】

画素33は、続く期間T17において、駆動パルス信号SDの信号レベルが3値のうちで最も高い信号レベルに設定され、図10に示すように、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1の両端電圧差によるゲートソース電圧 V_{gs} によりトランジスタTR2がドレインソース電流 I_{da} を流出させる。このときトランジスタTR2のソース電圧 V_s が、有機EL素子8のしきい値電圧 V_{thel} とカソード電圧 V_{cat} との和電圧より小さく、有機EL素子8に流出する電流が小さい場合、図33、図34について上述したと同様に、トランジスタTR2のソース電圧 V_s が電圧 V_{s0} から徐々に上昇し、このソース電圧 V_s の上昇速度が、トランジスタTR2の移動度 μ に依存したものとなる。これにより画素33は、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3がオン状態に設定されて、トランジスタTR2の移動度のばらつきが補正される。

【0053】

その後、画素33は、図3に示すように、トランジスタTR1がオフ状態に設定され、しきい値電圧 V_{th} 、移動度 μ を補正して設定されたゲートソース間電圧 V_{gs} により有機EL素子8を駆動する。

【0054】

(2) 実施例の動作

以上の構成において、このディスプレイ装置31では(図2)、垂直駆動回路34による走査線の駆動により順次ライン単位で画素部32の画素33に信号線SIGの信号レベルが設定されると共に、この設定された信号レベルにより各画素33が発光し、所望の画像が画素部32で表示される。

【0055】

すなわちディスプレイ装置31では、トランジスタTR1がオン状態に設定され、これにより信号線SIGの信号レベルが信号レベル保持用コンデンサC1にセットされる(図2、期間T16)。またトランジスタTR1、TR4、TR5をオフ状態に設定すると共に、トランジスタTR3をオン状態に設定し、この信号レベル保持用コンデンサC1にセットされた電圧によりトランジスタTR2で有機EL素子8を発光させる(図2、期間T11)。

【0056】

このディスプレイ装置31では、この有機EL素子8を駆動するトランジスタTR2のゲート及びソースに、信号レベル保持用コンデンサC1に両端が接続されて、このトランジスタTR2のソースが有機EL素子8のアノードに接続されて画素33が形成される。これによりこのディスプレイ装置31では、信号レベル保持用コンデンサC1に信号線SIGの信号レベルがセットされた後、この信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧 V_{gs} により有機EL素子8を駆動し、このディスプレイ装置31を構成する全てのトランジスタをNチャンネル型で構成した場合であっても、有機E

10

20

30

40

50

L素子8の経時変化による発光輝度の低下が防止される。

【0057】

これに対して信号線SIGの信号レベルを信号レベル保持用コンデンサC1にセットする場合、トランジスタTR3～TR5のオンオフ制御により、有機EL素子8を駆動するトランジスタTR2の特性を補正するように、信号レベル保持用コンデンサC1の両端電位をセットし、これによりトランジスタTR2の特性のばらつきにより発光輝度のばらつきが防止される。

【0058】

しかしながらこのようにトランジスタTR3～TR5のオンオフ制御する場合には、このオンオフ制御に3つの走査線が必要になり(図25)、走査線数の増大により画素33を高密度かつ効率良く配置できなくなる。

10

【0059】

そこでこのディスプレイ装置31では、トランジスタTR1、TR4をそれぞれ書き込み信号WS、制御信号AZ1で制御するようにして、トランジスタTR3、TR5については、駆動パルス信号DSにより制御するように構成される。

【0060】

またトランジスタTR5のゲート及びソースを固定電位Vin1及び駆動パルス信号DSに接続するようにして、トランジスタTR3を選択的にオン状態に設定する第1の信号レベルと、トランジスタTR5を選択的にオン状態に設定する第2の信号レベルと、トランジスタTR3、TR5の双方をオフ状態に設定する第3の信号レベルとの3値により駆動パルス信号DSを出力する。

20

【0061】

これによりこのようにトランジスタTR3、TR5を共通の制御信号でオンオフ制御する場合でも、トランジスタTR3、TR5を個別の制御信号でオンオフ制御する場合と同様に、トランジスタTR3、TR5を選択的に制御することができるようにし、走査線数を従来に比して低減する。

【0062】

より具体的に、ディスプレイ装置31では、駆動パルス信号DSの第1の信号レベルが、トランジスタTR3をオン状態に設定する電圧に設定され、これにより第1の信号レベルにより駆動パルス信号DSを出力してトランジスタTR3のみを選択的にオン状態に設定することができる。また駆動パルス信号の第2の信号レベルが、有機EL素子8を駆動するトランジスタTR2のソース電圧Vcを第2の信号レベルに保持する電圧Vssに設定され、これによりトランジスタTR5を選択的にオン状態に設定することができ、またさらにはトランジスタの特性の1つであるしきい値電圧Vthのばらつきを補正することが可能となる。また駆動パルス信号DSの第3の信号レベルが、トランジスタTR2のゲート電圧VgからトランジスタTR2のしきい値電圧Vthを減算した電圧より高い電圧に設定され、これによりトランジスタTR3、TR5の双方をオフ状態に設定することができる。

30

【0063】

またトランジスタTR5のゲートに接続される固定電位Vin1が、第2の信号レベルVssにトランジスタTR5のしきい値電圧VthT5を加算した電圧より大きく、かつ第3のトランジスタTR3をオフ動作させるゲート電圧に、トランジスタTR5のしきい値電圧を加算した和電圧より小さい電圧であるように設定され、これによってもトランジスタTR3、TR5を1つの制御信号で選択的に制御することができる。

40

【0064】

また信号線SIGの信号レベルを信号保持用コンデンサC1にセットする場合には、始めに駆動パルス信号DSを第2の信号レベルVssに設定して有機EL素子8の発光を停止した後、トランジスタTR4をオン状態に設定して信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧が固定電位Vofsに設定される。その後、駆動パルス信号DSを第1の信号レベルに設定し、これにより固定電位Vofsを基準にして信号レベ

50

ル保持用コンデンサC 1の両端電位差が有機EL素子8を駆動するトランジスタTR 2のしきい値電圧 V_{th} とほぼ等しい電圧に設定される。

【0065】

ディスプレイ装置31では、このようにして信号レベル保持用コンデンサC 1にトランジスタTR 2のしきい値電圧 V_{th} をセットすると、駆動パルス信号DSを第3の信号レベルに設定してトランジスタTR 3、TR 5がオフ状態に設定され、またトランジスタTR 4、トランジスタTR 1をオフ状態及びオン状態に設定し、信号レベル保持用コンデンサC 1のトランジスタTR 4側端の電位が信号線SIGの信号レベル V_{sig} に設定される。これによりディスプレイ装置31では、トランジスタTR 2のしきい値電圧 V_{th} で補正して、信号レベル保持用コンデンサC 1に信号線SIGの信号レベル V_{sig} をセッ

10

【0066】

また続いて、トランジスタTR 1、TR 4、TR 5及びトランジスタTR 3をそれぞれオフ状態及びオン状態に設定して、この信号レベル保持用コンデンサC 1にセットされた電圧により有機EL素子8を発光させる際に、駆動パルス信号DSを第1の信号レベルに立ち上げた後、一定期間経過して、トランジスタTR 1をオフ状態に設定することにより、信号レベル保持用コンデンサC 1の両端電位差をトランジスタTR 2の移動度で補正することができ、トランジスタTR 2の移動度のばらつきによる発光輝度のばらつきが防止

20

【0067】

(3) 実施例の効果

以上の構成によれば、発光素子8を駆動するトランジスタTR 2を駆動用の電源に接続するトランジスタTR 3と、この発光素子8を駆動するトランジスタTR 2のソース電圧を所定電圧にセットするトランジスタTR 5とを3値による共通の制御信号で制御することにより、従来に比して走査線数を少なくすることができる。

【0068】

またさらにこの3値による第2の信号レベルを第2のトランジスタTR 2のソース電圧を第2の信号レベルに保持する電圧 V_{ss} に設定し、第3の信号レベルを第2のトランジスタTR 2のゲート電圧からしきい値電圧 V_{th} を減算した電圧より高い電圧に設定することにより、トランジスタTR 3、TR 5を選択的にオフ状態に設定して、さらには双方をオフ状態に設定して、種々の特性のばらつき等を補正して走査線の信号レベルにより発光素子8を発光させることができる。

30

【0069】

またトランジスタTR 5の固定電位 V_{ini} が、第2の信号レベルにトランジスタTR 5のしきい値電圧 V_{thT5} を加算した電圧より大きく、かつトランジスタTR 3をオフ動作させるゲート電圧に、トランジスタTR 5のしきい値電圧を加算した和電圧より小さい電圧であることにより、トランジスタTR 3、TR 5を1つの制御信号で確実に制御することができる。

【0070】

また信号レベル保持用コンデンサC 1にトランジスタTR 2のしきい値電圧 V_{th} をセットした後、信号線SIGの信号レベル V_{sig} をセットすることにより、トランジスタTR 2のしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを防止することができる。

40

【0071】

また信号レベル保持用コンデンサC 1にセットされた電圧により有機EL素子8を発光させる際に、駆動パルス信号DSを第1の信号レベルに立ち上げた後、一定期間経過して、トランジスタTR 1をオフ状態に設定することにより、トランジスタTR 2の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【0072】

50

また画素回路、駆動回路のトランジスタの全てをNチャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

【実施例 2】

【0073】

図11は、図1との対比により本発明の実施例2のディスプレイ装置を示すブロック図である。このディスプレイ装置41において、図1のディスプレイ装置31と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置41は、全てのトランジスタがNチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部42、水平駆動回路45、垂直駆動回路44が一体に形成される。

10

【0074】

ここで水平駆動回路45は、水平セクタ(HSEL)45Aにより、所定のサンプリングパルスをクロックで順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。このとき図1との対比により図12に示すように、1水平走査期間(1H)のほぼ前半の期間の間、信号線SIGの信号レベルを実施例1について上述した固定電位Vofsに設定し、続く1水平走査期間のほぼ後半の期間の間、信号線SIGの信号レベルを対応する画素44の階調に対応する信号レベルVsigに設定する(図12(A))。

【0075】

20

またこの水平駆動回路55の構成に対応して垂直駆動回路44は、固定電位Vofsの制御に係る制御信号AZ1を出力する制御信号生成回路(AZ1)が省略されて、ライトスキャン回路(WSCN)44A、ドライブスキャン回路(DSCN)44Bによりそれぞれ書き込み信号WS、駆動パルス信号DSを生成する。

【0076】

また画素部42は、画素43をマトリックス状に配置して形成される。各画素43は、固定電位Vofsのオンオフ制御に係るトランジスタTR4が省略されて、トランジスタTR1~TR3、TR5、信号レベル保持用コンデンサC1、有機EL素子8により構成される。

【0077】

30

画素43は、図13に示すように、有機EL素子8を発光させる発光期間T21において、書き込み信号WS(図2(B))の信号レベルが立ち下げられてトランジスタTR1がオフ状態に設定される。また駆動パルス信号DS(図2(C))の信号レベルが第1の信号レベルに立ち上げられてトランジスタTR3、TR5がそれぞれオン状態及びオフ状態に設定される。これにより画素43は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧Vgsに応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、ゲートソース間電圧Vgsで決まるドレインソース電流Idsで有機EL素子8を発光させる。

【0078】

画素43は、発光期間T21が終了すると、続く一定期間T22において、駆動パルス信号DSが第2の信号レベルVssに立ち下げられ、これにより図14に示すように、トランジスタTR3、TR5がオフ状態及びオン状態に設定され、有機EL素子8の発光が停止する。またトランジスタTR2のソース電圧Vsを第2の信号レベルである電圧Vssに設定する。

40

【0079】

画素43は、続く期間T23において、信号線SIGの信号レベルが電位Vofsに設定されている期間で、書き込み信号WSの信号レベルが立ち上げられ、図15に示すようにトランジスタTR1がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1のトランジスタTR2側端の電圧が、固定電位Vofsに設定される。

【0080】

50

続いて画素43は、発光期間T21を開始する時点から所定数の水平走査期間だけ逆上った時点の、信号線SIGの信号レベルが固定電位Vofsに設定されている期間で、駆動パルス信号DSが第1の信号レベルに立ち上げられ、図16に示すようにトランジスタTR3、TR5がオン状態、オフ状態に設定される。これにより図6について上述したと同様にして、駆動パルス信号DSが第1の信号レベルに保持されている期間の間、画素43は、信号レベル保持用コンデンサC1の両端電位差がトランジスタTR2のしきい値電圧Vthとなる方向に、トランジスタTR2のソース電圧Vsが徐々に上昇する。

【0081】

なおこの図16に示す状態において、画素43は、実施例1について上述したと同様に、 $V_{el} = V_{cat} + V_{th_{el}}$ に保持され、トランジスタTR2のドレインソース電流Idsは、信号レベル保持用コンデンサC1と、有機EL素子8の容量を充電するために使用され、有機EL素子8は発光を停止した状態に保持される。

10

【0082】

画素43は、続いて信号線SIGの信号レベルが階調に対応する信号レベルVsigに立ち上がるタイミングで、駆動パルス信号DSの信号レベルが第3の信号レベルに設定され、これにより図17に示すように、トランジスタTR3、TR5がオフ状態に設定される。なおこの場合、トランジスタTR2のソース電圧Vsの変化は、次式により表されることになる。

【0083】

【数4】

20

$$\Delta V_s = \frac{C_1 + C_2}{C_{el} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (4)

【0084】

また、一定期間経過後、再び信号線SIGの信号レベルは固定電位Vofsに設定され、トランジスタTR2のゲートに入力される。この場合、トランジスタTR2のソース電圧Vsの変化は次式により表されることになる。

30

【0085】

【数5】

$$\Delta V_s = \frac{C_{el}}{C_{el} + C_1 + C_2} \times (V_{ofs} - V_{sig})$$

…… (5)

40

【0086】

なおこれらの動作の前後において、トランジスタTR2のソース電圧は変化しない。

【0087】

画素43は、駆動パルス信号DSを第1の信号レベルに設定した図16に示す状態と、駆動パルス信号DSを第3の信号レベルに設定した図17に示す状態とが所定回数だけ繰り返され、徐々にトランジスタTR2のソース電圧Vsを立ち上げて、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧Vthに設定する。これにより図12に示す例では、期間TA、TB、TCとで、信号レベル保持用コンデンサ

50

C 1の両端電位差をトランジスタT R 2のしきい値電圧V t hに設定する。なお図18は、信号線S I Gの信号レベル及び駆動パルス信号D Sを長時間、固定電位V o f s及び第1の信号レベルに保持した場合の、トランジスタT R 2のソース電圧の変化を示す特性曲線図であり、最終的にトランジスタT R 2のゲートソース間電圧V g sは、しきい値電圧V t hとなる。なおこれによりディスプレイ装置41は、信号レベル保持用コンデンサC 1の両端電位差をトランジスタT R 2のしきい値電圧V t hに設定するのに十分な回数だけ、図16及び図17に示す状態を繰り返すように設定される。

【0088】

このようにして画素43は、期間T 23において、トランジスタT R 2のしきい値電圧V t hを信号レベル保持用コンデンサC 1にセットすると、発光期間T 21が開始する直前で、信号線S I Gの信号レベルが対応する画素の信号レベルV s i gに立ち上がった後、駆動パルス信号D Sの信号レベルが第3の信号レベルに設定され、これにより図19に示すように、信号レベル保持用コンデンサC 1の一端の電圧が信号線の信号レベルに設定される。また信号線S I Gの信号レベルが、対応する画素の信号レベルに設定されている期間で、駆動パルス信号D Sの信号レベルが第3の信号レベルから第1の信号レベルに立ち上げられ、信号レベル保持用コンデンサC 1に信号線S I Gの信号レベルがサンプルホールドされる。

【0089】

その後、画素43は、書き込み信号W Sが立ち下げられ、図13に示すように、トランジスタT R 1がオフ状態に設定されて発光期間T 21を再開する。これにより画素43は、駆動パルス信号D Sの信号レベルが第3の信号レベルから第1の信号レベルに立ち上げられた後、書き込み信号W Sが立ち下げられるまでの期間T 24の間で、図20に示すように、トランジスタT R 2の移動度に依存してトランジスタT R 2のソース電圧V sが変化してトランジスタT R 2の移動度のばらつきが補正される。

【0090】

この実施例によれば、実施例1の構成を前提に、固定電位V o f sを間に挟んで、信号線の信号レベルを順次各画素の階調を示す信号レベルに設定するようにし、またこの信号線の設定に対応するように、駆動パルス信号の信号レベルを第1及び第3の信号レベルで切り換えることにより、トランジスタT R 2のしきい値電圧をばらつきによる発光輝度のばらつきを防止するようにして、さらに一段と走査線の数进行少なくすることができる。また画素回路を構成するトランジスタの数も少なくすることができる。またこの駆動パルス信号の信号レベルの切り換えを複数回、繰り返すことにより、十分な時間をかけてトランジスタT R 2のしきい値電圧を信号レベル保持用コンデンサにセットすることができ、これにより確実にトランジスタT R 2のしきい値電圧のばらつきによる発光輝度のばらつきを防止することができる。

【0091】

またこの実施例においても、駆動信号の第2の信号レベルを第2のトランジスタT R 2のソース電圧を第2の信号レベルに保持する電圧V s sに設定し、第3の信号レベルを第2のトランジスタT R 2のゲート電圧からしきい値電圧V t hを減算した電圧より高い電圧に設定することにより、トランジスタT R 3、T R 5を選択的にオフ状態に設定して、さらには双方をオフ状態に設定して、種々の特性のばらつきによる発光輝度のばらつきを防止することができる。

【0092】

またトランジスタT R 5の固定電位V i n iが、第2の信号レベルにトランジスタT R 5のしきい値電圧V t h T 5を加算した電圧より大きく、かつトランジスタT R 3をオフ動作させるゲート電圧に、トランジスタT R 5のしきい値電圧を加算した和電圧より小さい電圧であることにより、トランジスタT R 3、T R 5を1つの制御信号で確実に制御することができる。

【0093】

また発光期間の開始の直前で、駆動パルス信号の信号レベルを第1の信号レベルに設定

10

20

30

40

50

した後、書き込み信号により第1のトランジスタをオフ動作させることにより、トランジスタTR2の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【0094】

また画素回路、駆動回路のトランジスタの全てをNチャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

【実施例3】

【0095】

なお上述の実施例においては、有機EL素子による発光素子を電流駆動する場合について述べたが、本発明はこれに限らず、電流駆動に係る種々の発光素子によるディスプレイ装置に広く適用することができる。

10

【産業上の利用可能性】

【0096】

本発明は、ディスプレイ装置に関し、例えば有機EL表示装置等の電流駆動による自発光型素子のディスプレイ装置に適用することができる。

【図面の簡単な説明】

【0097】

【図1】本発明の実施例1のディスプレイ装置を示すブロック図である。

【図2】図1のディスプレイ装置のタイミングチャートである。

【図3】図2の期間T11における画素の設定を示す接続図である。

20

【図4】図2の期間T12における画素の設定を示す接続図である。

【図5】図2の期間T13における画素の設定を示す接続図である。

【図6】図2の期間T14における画素の設定を示す接続図である。

【図7】しきい値電圧の補正の説明に供する特性曲線図である。

【図8】図2の期間T15における画素の設定を示す接続図である。

【図9】図2の期間T16における画素の設定を示す接続図である。

【図10】図2の期間T17における画素の設定を示す接続図である。

【図11】本発明の実施例2のディスプレイ装置を示すブロック図である。

【図12】図11のディスプレイ装置のタイミングチャートである。

【図13】図12の期間T21における画素の設定を示す接続図である。

30

【図14】図12の期間T22における画素の設定を示す接続図である。

【図15】図12の期間T23における画素の設定を示す接続図である。

【図16】図15の続きの設定を示す接続図である。

【図17】図16の続きの設定を示す接続図である。

【図18】しきい値電圧の補正の説明に供する特性曲線図である。

【図19】図12の期間T24における画素の設定を示す接続図である。

【図20】移動度の補正の説明に供する特性曲線図である。

【図21】従来のディスプレイ装置を示すブロック図である。

【図22】図21のディスプレイ装置を詳細に示すブロック図である。

【図23】有機EL素子の経時変化を示す特性曲線図である。

40

【図24】図22の構成にNチャンネルトランジスタを使用した場合を示すブロック図である。

【図25】Nチャンネルトランジスタを用いた従来のディスプレイ装置を示す接続図である。

【図26】図25のディスプレイ装置のタイミングチャートである。

【図27】図26の期間T1における画素の設定を示す接続図である。

【図28】図26の期間T2における画素の設定を示す接続図である。

【図29】図26の期間T3における画素の設定を示す接続図である。

【図30】図32の続きを示す接続図である。

【図31】しきい値電圧の補正の説明に供する特性曲線図である。

50

【図 3 2】図 2 6 の期間 T 4 における画素の設定を示す接続図である。

【図 3 3】図 2 6 の期間 T 5 における画素の設定を示す接続図である。

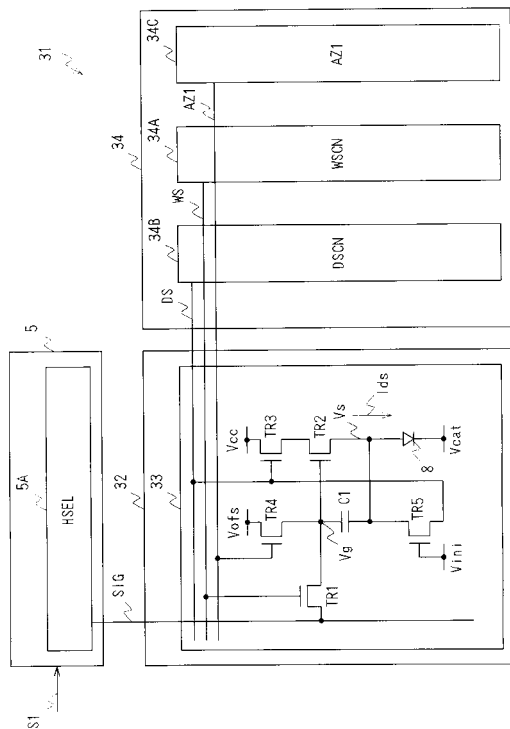
【図 3 4】移動度の補正の説明に供する特性曲線図である。

【符号の説明】

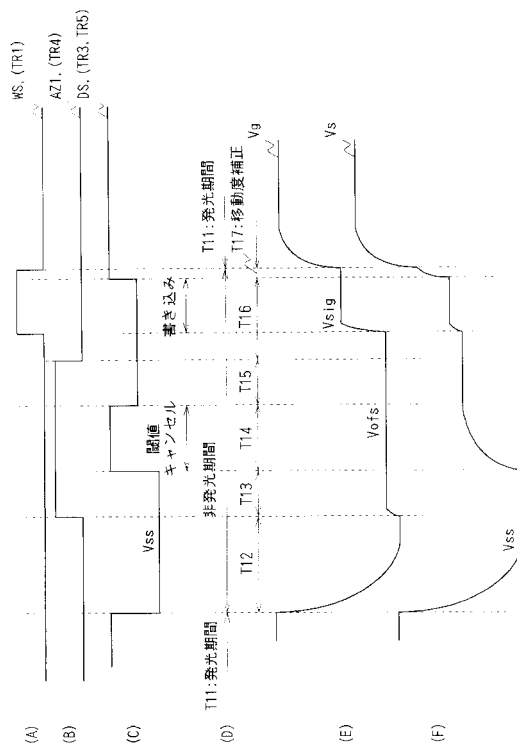
【 0 0 9 8 】

1、1 1、2 1、3 1、4 1 ……ディスプレイ装置、2、1 2、2 2、3 2、4 2 ……画素部、3、1 3、2 3、3 3、4 3 ……画素、4、2 4、3 4、4 4 ……垂直駆動回路、5、4 5、5 5 ……水平駆動回路、8 ……有機 E L 素子、C 1 ……信号レベル保持用コンデンサ、T R 1 ~ T R 5 ……トランジスタ

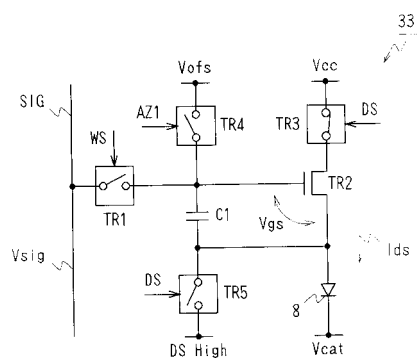
【図 1】



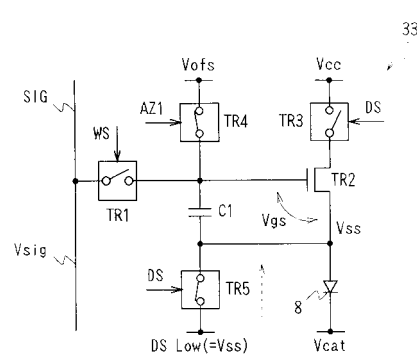
【図 2】



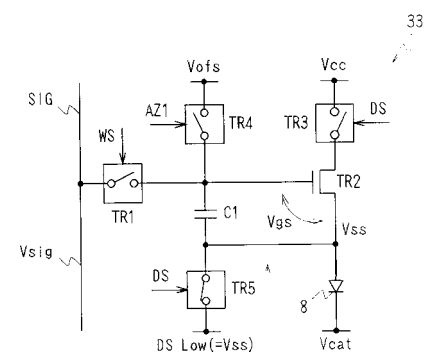
【 図 3 】



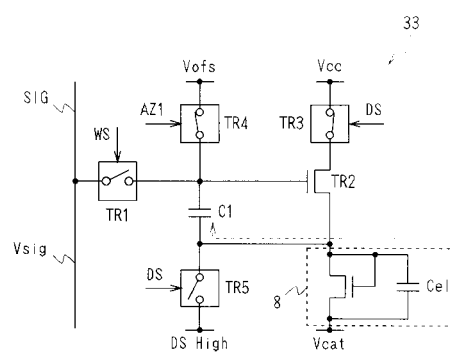
【 図 5 】



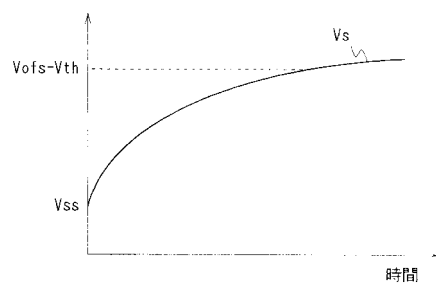
【圖 4】



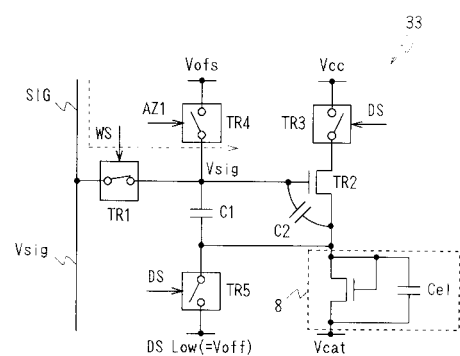
【圖 6】



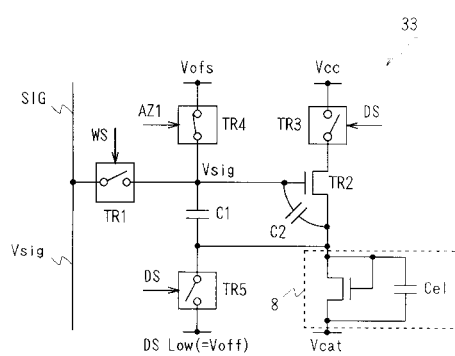
【圖 7】



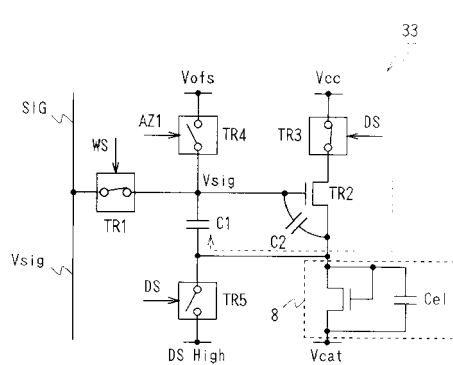
【圖 9】



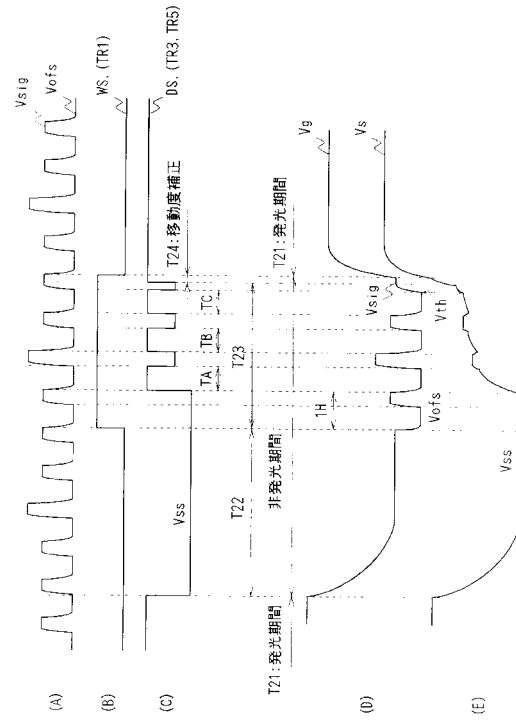
【圖 8】



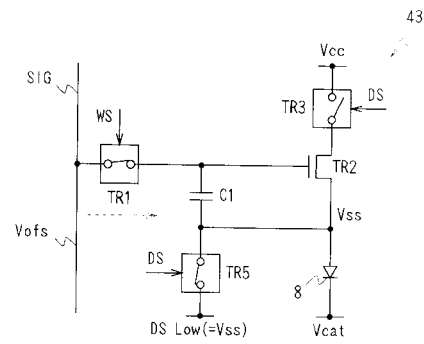
【 図 1 0 】



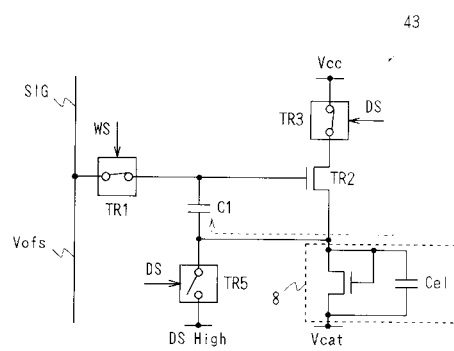
【圖 12】



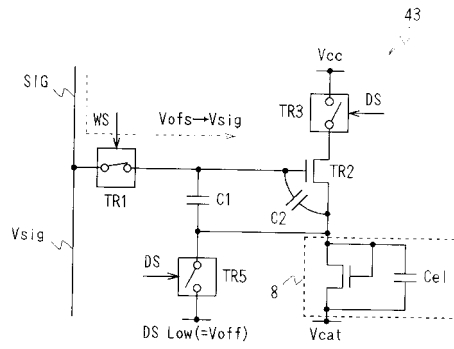
【 図 1 5 】



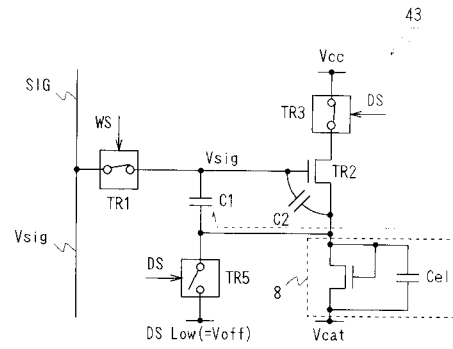
【 図 1 6 】



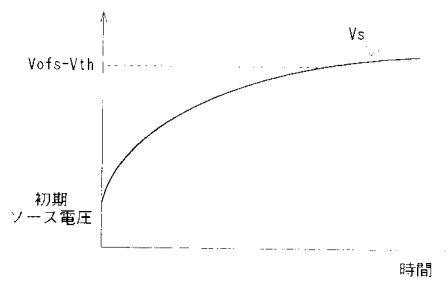
【図 17】



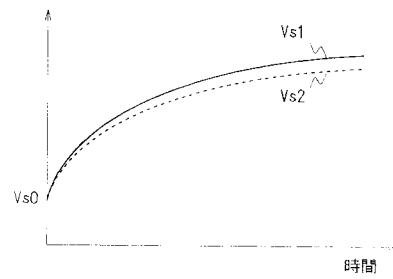
【図 19】



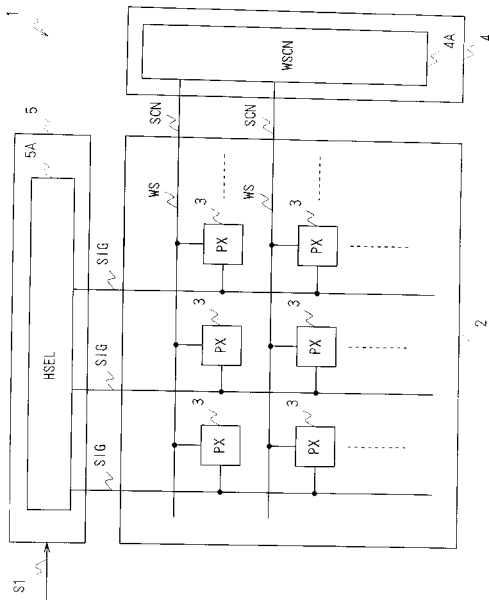
【図 18】



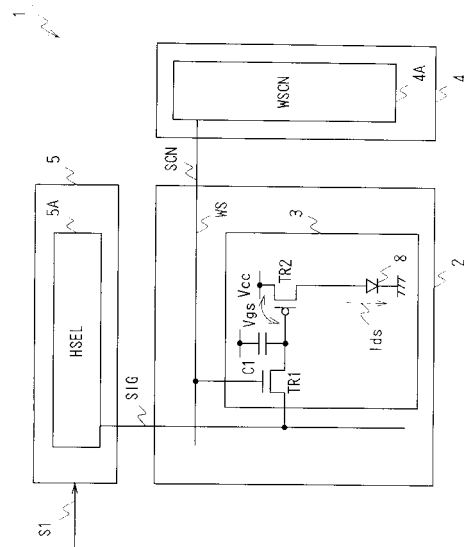
【図 20】



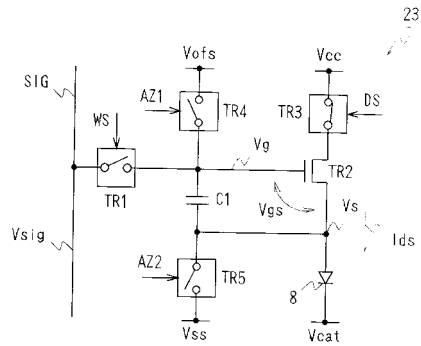
【図 21】



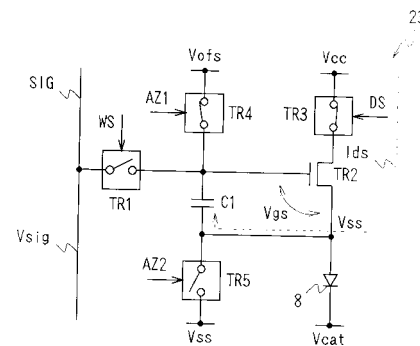
【図 22】



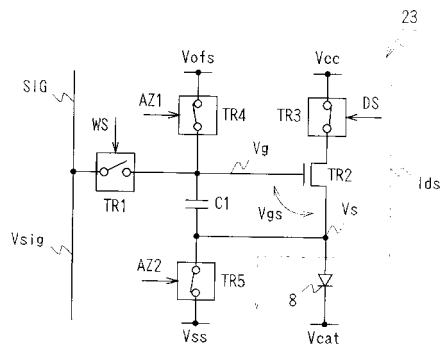
【図 27】



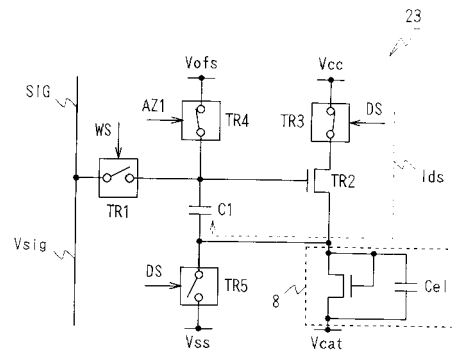
【図 29】



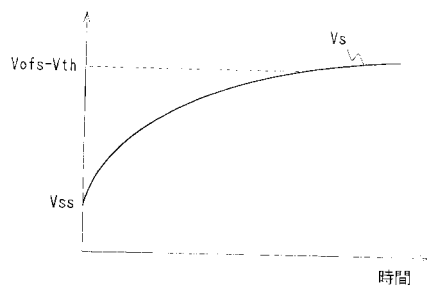
【図 28】



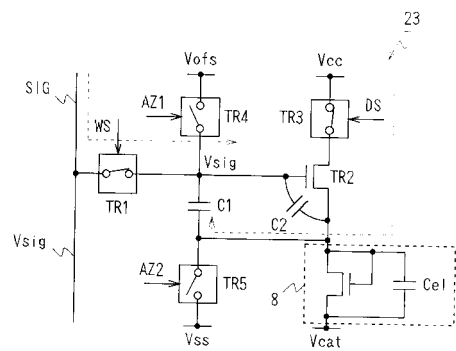
【図 30】



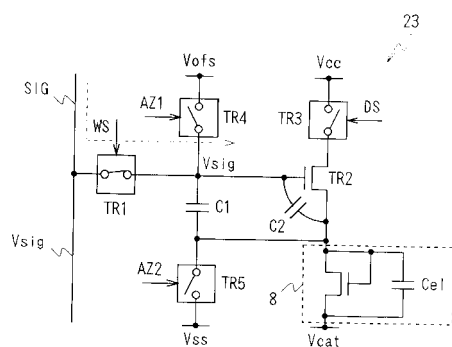
【図 31】



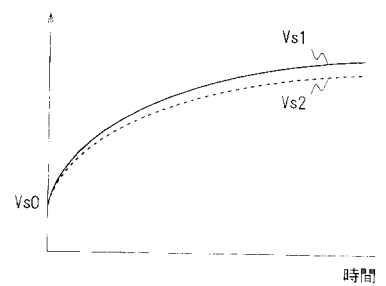
【図 33】



【図 32】



【図 34】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 4 1 D

審査官 中村 直行

(56)参考文献 特開 2 0 0 7 - 0 3 4 0 0 0 (J P , A)

特開 2 0 0 6 - 2 2 7 2 3 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 9 F	9 / 3 0		
H 0 1 L	2 7 / 3 2		
H 0 1 L	5 1 / 5 0		

专利名称(译)	显示设备		
公开(公告)号	JP4300491B2	公开(公告)日	2009-07-22
申请号	JP2007062776	申请日	2007-03-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山本哲郎 山下淳一		
发明人	内野 勝秀 山本 哲郎 山下 淳一		
IPC分类号	G09G3/30 H01L51/50 G09F9/30 H01L27/32 G09G3/20		
CPC分类号	G09G3/30 G09G3/3233 G09G2300/0819 G09G2300/0861		
FI分类号	G09G3/30.J H05B33/14.A G09F9/30.365.Z G09F9/30.338 G09G3/20.611.H G09G3/20.624.B G09G3/20.622.D G09G3/20.622.C G09G3/20.641.D G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD23 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA21 5C094/AA43 5C094/AA45 5C094/AA60 5C094/BA03 5C094/BA27 5C094/DA20 5C094/DB04 5C094/EA10 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/BA12 5C380/BA13 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC57 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CD025 5C380/CD026 5C380/CD035 5C380/CD036 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA03 5C380/HA05		
审查员(译)	中村直之		
其他公开文献	JP2008225018A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，例如，通过应用于诸如有机EL元件的电流驱动的自发光显示装置，进一步减少扫描线的数量。
 解决方案：在该显示装置中，晶体管TR3和晶体管TR5连接晶体管TR3，晶体管TR3驱动发光元件8和电源Vcc以进行驱动，晶体管TR5将驱动发光元件8的晶体管TR2的源极电压Vs设定为预定电压。由三元公共控制信号DS控制。

