

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-22168
(P2012-22168A)

(43) 公開日 平成24年2月2日(2012. 2. 2)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 J	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 1 M	5 C 0 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 8 0 G	5 C 3 8 0
	G 0 9 G 3/20 6 2 4 B	
	H 0 5 B 33/14 A	
審査請求 未請求 請求項の数 9 O L (全 30 頁)		

(21) 出願番号	特願2010-160407 (P2010-160407)	(71) 出願人	000002185
(22) 出願日	平成22年7月15日 (2010. 7. 15)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100120640
			弁理士 森 幸一
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100094363
			弁理士 山本 孝久
		(72) 発明者	三並 徹雄
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
最終頁に続く			

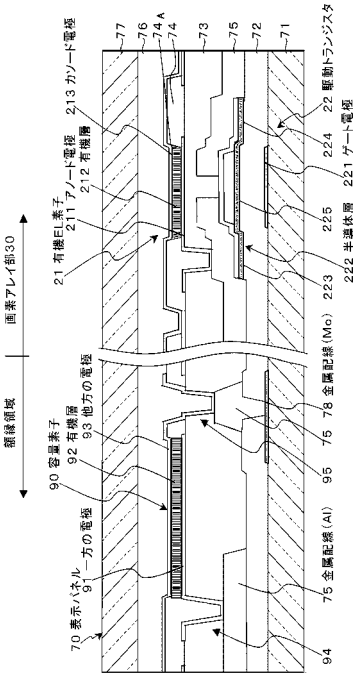
(54) 【発明の名称】 有機E L表示装置、有機E L表示装置の製造方法、及び、電子機器

(57) 【要約】

【課題】片チャネルのトランジスタで構成された容量素子を含む回路構成のインパータ回路を有する駆動回路部を表示パネル上に実装するに当たって、表示パネルの狭額縁化を可能にする。

【解決手段】容量素子を含む回路構成の駆動回路部、例えば書き込み走査回路を表示パネル70上に実装する。その際に、画素アレイ部30の周辺部、即ち、表示パネル70の額縁領域に、有機E L素子21の有機層212と同一プロセスにて有機層92を形成する。そして、表示パネル70の額縁領域に形成した有機層92を、誘電体として用いて容量素子90を形成する。

【選択図】図13



【特許請求の範囲】**【請求項 1】**

有機 E L 素子を含む画素が配置されてなる画素アレイ部と、
前記画素アレイ部と同じ基板上の、当該画素アレイ部の周辺部に設けられた、容量素子を含む回路構成の駆動回路部と
を備え、
前記容量素子は、前記画素アレイ部の周辺部に前記有機 E L 素子の有機層と同一プロセスにて形成された有機層を誘電体として用いる
有機 E L 表示装置。

【請求項 2】

10

前記駆動回路部は、前記画素アレイ部の各画素を順次選択する走査回路であり、
前記走査回路は、片チャンネルのトランジスタと容量素子との組み合わせからなるインバータ回路を有し、
前記インバータ回路の容量素子は、前記画素アレイ部の周辺部に形成された有機層を誘電体として用いる
請求項 1 に記載の有機 E L 表示装置。

【請求項 3】

前記走査回路は、前記インバータ回路の容量素子の誘電体として用いられる有機層の下層の領域に、片チャンネルのトランジスタからなる回路部分が形成される
請求項 2 に記載の有機 E L 表示装置。

20

【請求項 4】

前記インバータ回路は、
入力端子を介して入力される入力電圧に応じた電圧をゲート入力とする第 1 のトランジスタ、
前記第 1 のトランジスタに対して直列に接続され、ゲート電極が前記入力端子に接続された第 2 のトランジスタ、
前記第 1 のトランジスタのゲート - ソース間に接続された第 1 の容量素子、及び、
前記第 1 , 第 2 のトランジスタの共通接続ノードと前記入力端子との間に接続された第 2 の容量素子
を有し、
前記第 2 の容量素子は、前記画素アレイ部の周辺部に形成された有機層を誘電体として用いる
請求項 2 または請求項 3 に記載の有機 E L 表示装置。

30

【請求項 5】

前記第 2 の容量素子の容量値は、前記第 1 の容量素子の容量値よりも大きい
請求項 4 に記載の有機 E L 表示装置。

【請求項 6】

前記画素は、前記有機 E L 素子を駆動する駆動トランジスタに流れる電流に応じた補正量で当該駆動トランジスタのゲート - ソース間電圧に負帰還をかけることによって前記駆動トランジスタの移動度を補正する移動度補正の処理機能を有し、
前記走査回路は、前記インバータ回路の出力パルスを基準として、前記移動度補正の補正時間を決める書込み走査信号を生成するとともに、当該出力パルスの遷移タイミングを前記第 2 の容量素子による容量カップリングによって決める
請求項 5 に記載の有機 E L 表示装置。

40

【請求項 7】

前記容量素子の有機層は、単一の発光色の有機層からなる
請求項 1 または請求項 2 に記載の有機 E L 表示装置。

【請求項 8】

有機 E L 素子を含む画素が配置されてなる画素アレイ部と、
前記画素アレイ部と同じ基板上の、当該画素アレイ部の周辺部に設けられた、容量素子

50

を含む回路構成の駆動回路部と

を備えた有機ＥＬ表示装置の製造に当って、

前記有機ＥＬ素子の有機層と同一プロセスにて前記画素アレイ部の周辺部に有機層を形成し、

前記画素アレイ部の周辺部の有機層を誘電体として前記容量素子を形成する

有機ＥＬ表示装置の製造方法。

【請求項 9】

有機ＥＬ素子を含む画素が配置されてなる画素アレイ部と、

前記画素アレイ部と同じ基板上の、当該画素アレイ部の周辺部に設けられた、容量素子を含む回路構成の駆動回路部と

を備え、

前記容量素子は、前記画素アレイ部の周辺部に前記有機ＥＬ素子の有機層と同一プロセスにて形成された有機層を誘電体として用いる

有機ＥＬ表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機ＥＬ表示装置、有機ＥＬ表示装置の製造方法、及び、電子機器に関し、特に、容量素子を含む回路構成の駆動回路部を画素アレイ部と同じ基板上に実装してなる有機ＥＬ表示装置、その製造方法、及び、電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素（画素回路）が行列状に配置されてなる平面型（フラットパネル型）の表示装置が急速に普及している。平面型の表示装置の一つとして、デバイスに流れる電流値に応じて発光輝度が変化する、所謂電流駆動型の電気光学素子を画素の発光素子として用いた表示装置がある。電流駆動型の電気光学素子としては、有機材料のエレクトロルミネッセンス(Electroluminescence; EL)を利用し、有機薄膜に電界をかけると発光する現象を用いた有機ＥＬ素子が知られている。

【0003】

画素の発光素子として有機ＥＬ素子を用いた有機ＥＬ表示装置は次のような特長を持っている。すなわち、有機ＥＬ素子は、10V以下の印加電圧で駆動できるために低消費電力である。有機ＥＬ素子は、自発光素子であるために液晶表示装置に比べて、画像の視認性が高く、しかもバックライト等の照明部材を必要としないために軽量化及び薄型化が容易である。更に、有機ＥＬ素子は、応答速度が数 μ s程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機ＥＬ表示装置では、液晶表示装置と同様に、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ここで、単純マトリクス方式の表示装置は、構造が簡単であるものの、有機ＥＬ素子の発光期間が走査線（即ち、画素数）の増加によって減少するために、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。

【0005】

そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。絶縁ゲート型電界効果トランジスタとしては、一般には、TFT(Thin Film Transistor; 薄膜トランジスタ)が用いられる。アクティブマトリクス方式の表示装置は、電気光学素子が1表示フレームの期間に亘って発光を持続するために、大型でかつ高精細な有機ＥＬ表示装置の実現が容易である。

【0006】

一般的に、有機ＥＬ素子のI（電流）-V（電圧）特性は、時間が経過すると劣化（所

10

20

30

40

50

調、経時劣化)することが知られている。有機EL素子を駆動するトランジスタ(以下、「駆動トランジスタ」と記述する)として特にNチャネル型のTFTを用いた場合には、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧 V_{gs} が変化するため、有機EL素子の発光輝度が変化する。

【0007】

また、駆動トランジスタは、閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ が画素毎に異なったりする場合がある。閾値電圧 V_{th} や移動度 μ が画素毎に異なる場合には、駆動トランジスタに流れる電流値が画素毎にばらつく。その結果、駆動トランジスタのゲートに画素間で同じ電圧を印加しても、有機EL素子の発光輝度が画素間でばらつくために、画面の一様性(ユニフォーミティ)が損なわれる。

10

【0008】

そこで、有機EL素子のI-V特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化等の影響を受けることなく、有機EL素子の発光輝度を一定に維持するために、各種の補正(補償)機能を画素回路に持たせている(例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2008-083272号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0010】

上述したアクティブマトリクス方式の有機EL表示装置において、画素アレイ部の周辺の駆動回路部、例えば、各画素を順次選択する走査回路は、基本的に、シフトレジスタ回路を主要部とする構成となっている。また、当該走査回路は、画素アレイ部の各行に対応して、シフトレジスタ回路の各転送段毎にバッファ回路を備えている。そして、シフトレジスタ回路やバッファ回路は、典型的には、インバータ回路を用いて構成される。

【0011】

ところで、低コスト化を目的として、駆動回路部を片チャネルのトランジスタを用いて構成する場合がある。ここで、片チャネルのトランジスタとは、Nチャネルのトランジスタのみ、または、Pチャネルのトランジスタのみを言う。そして、シフトレジスタ回路やバッファ回路を構成するインバータ回路を、片チャネルのトランジスタで構成する場合、インバータ回路の動作を確実なものにするために、トランジスタと容量素子との組み合わせによる回路構成が採られる(その詳細については後述する)。

30

【0012】

このように、容量素子を組み込んだ回路構成の、片チャネルのトランジスタからなるインバータ回路を用いて駆動回路部を構成すると、駆動回路部全体で用いる容量素子の数が非常に多くなる。そして、かかる構成の駆動回路部を画素アレイ部と同じ基板上に実装して表示パネルを構成する場合、駆動回路部内の容量素子が占めるレイアウト面積が大きくなるために、画素アレイ部の周辺部(所謂、額縁)が大きくなってしまいうという問題がある。

40

【0013】

本発明は、容量素子を含む回路構成のインバータ回路を有する駆動回路部を表示パネル上に実装するに当たって、表示パネルの狭額縁化を可能にした有機EL表示装置、その製造方法、及び、当該有機EL素子を有する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するために、本発明は、

有機EL素子を含む画素が配置されてなる画素アレイ部と、

前記画素アレイ部と同じ基板上の、当該画素アレイ部の周辺部に設けられた、容量素子

50

を含む回路構成の駆動回路部と

を備えた有機ＥＬ表示装置において、

前記画素アレイ部の周辺部に前記有機ＥＬ素子の有機層と同一プロセスにて形成された有機層を前記容量素子の誘電体として用いる構成を採っている。

【００１５】

上記構成の有機ＥＬ表示装置において、画素アレイ部の周辺部に容量素子の誘電体として用いる有機層を形成したとしても、当該有機層を有機ＥＬ素子の有機層と同一プロセスにて形成することにより、製造工程が増えることはない。そして、画素アレイ部の周辺部に形成された有機層を容量素子の誘電体として用いることで、有機層の下層の領域を自由に使うことができるため、他の回路部分の形成領域として利用できる。これにより、他の回路部分を形成する領域を別途確保する必要がなくなるため、その分だけ、駆動回路部が占めるレイアウト面積、ひいては、画素アレイ部の周辺部（即ち、表示パネルの額縁）の面積を小さくできる。

【発明の効果】

【００１６】

本発明によれば、容量素子を含む回路構成の駆動回路部を表示パネル上に実装するに当たって、表示パネルの狭額縁化を図ることができる。

【図面の簡単な説明】

【００１７】

【図１】本発明が適用されるアクティブマトリクス型有機ＥＬ表示装置の構成の概略を示すシステム構成図である。

【図２】画素（画素回路）の具体的な回路構成の一例を示す回路図である。

【図３】本発明が適用される有機ＥＬ表示装置の基本的な回路動作の説明に供するタイミング波形図である。

【図４】本発明が適用される有機ＥＬ表示装置の基本的な回路動作の動作説明図（その１）である。

【図５】本発明が適用される有機ＥＬ表示装置の基本的な回路動作の動作説明図（その２）である。

【図６】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明（Ａ）、及び、駆動トランジスタの移動度 μ のばらつきに起因する課題の説明（Ｂ）に供する特性図である。

【図７】書込み走査回路の構成の一例を示すブロック図である。

【図８】書込み走査回路の主要部であるシフトレジスタ回路の回路動作の説明に供する動作説明図である。

【図９】シフトレジスタ回路の回路動作の説明に供するタイミング波形図である。

【図１０】片チャネルのトランジスタと容量素子との組み合わせからなるインバータ回路についての説明図であり、（Ａ）は回路構成の一例を示し、（Ｂ）は入力パルス信号 $IN V_{in}$ 及び出力 $IN V_{out}$ の各波形を示している。

【図１１】参考例に係る表示パネルの実装構造を示す断面図である。

【図１２】容量素子の実装状態の概略を示す拡大平面図である。

【図１３】実施形態に係る表示パネルの実装構造を示す断面図である。

【図１４】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図１５】本発明が適用されるデジタルカメラの外観を示す斜視図であり、（Ａ）は表側から見た斜視図、（Ｂ）は裏側から見た斜視図である。

【図１６】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図１７】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図１８】本発明が適用される携帯電話機を示す外観図であり、（Ａ）は開いた状態での正面図、（Ｂ）はその側面図、（Ｃ）は閉じた状態での正面図、（Ｄ）は左側面図、（Ｅ）

10

20

30

40

50

)は右側面図、(F)は上面図、(G)は下面図である。

【発明を実施するための形態】

【0018】

以下、発明を実施するための形態(以下、「実施形態」と記述する)について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1. 本発明が適用される有機EL表示装置

1-1. システム構成

1-2. 基本的な回路動作

1-3. 駆動回路部の構成例

2. 実施形態の説明

2-1. 実施形態に係る表示パネルの実装構造

2-2. 実施形態に係る表示パネルの製造方法

3. 変形例

4. 適用例(電子機器)

10

【0019】

< 1. 本発明が適用される有機EL表示装置 >

[1-1. システム構成]

図1は、本発明が適用されるアクティブマトリクス型有機EL表示装置の構成の概略を示すシステム構成図である。

【0020】

20

アクティブマトリクス型有機EL表示装置は、電流駆動型の電気光学素子である有機EL素子に流れる電流を、当該有機EL素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタにより制御する表示装置である。絶縁ゲート型電界効果トランジスタとしては、典型的には、TFT(薄膜トランジスタ)が用いられる。

【0021】

図1に示すように、本適用例に係る有機EL表示装置10は、有機EL素子を含む複数の画素20と、当該画素20が行列状に2次元配置されてなる画素アレイ部30と、当該画素アレイ部30の周辺に配置される駆動回路部とを有する構成となっている。駆動回路部は、書込み走査回路40、電源供給走査回路50及び信号出力回路60等からなり、画素アレイ部30の各画素20を駆動する。

30

【0022】

ここで、有機EL表示装置10がカラー表示対応の場合は、1つの画素(単位画素)は複数の副画素(サブピクセル)から構成され、この副画素の各々が図1の画素20に相当することになる。より具体的には、カラー表示対応の表示装置では、1つの画素は、例えば、赤色光(R)を発光する副画素、緑色光(G)を発光する副画素、青色光(B)を発光する副画素の3つの副画素から構成される。

【0023】

但し、1つの画素としては、RGBの3原色の副画素の組み合わせに限られるものではなく、3原色の副画素に更に1色あるいは複数色の副画素を加えて1つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光(W)を発光する副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成したりすることも可能である。

40

【0024】

画素アレイ部30には、m行n列の画素20の配列に対して、行方向(画素行の画素の配列方向)に沿って走査線31₁~31_mと電源供給線32₁~32_mとが画素行毎に配線されている。更に、列方向(画素列の画素の配列方向)に沿って信号線33₁~33_nが画素列毎に配線されている。

【0025】

走査線31₁~31_mは、書込み走査回路40の対応する行の出力端にそれぞれ接続されている。電源供給線32₁~32_mは、電源供給走査回路50の対応する行の出力端にそれ

50

ぞれ接続されている。信号線 $33_1 \sim 33_n$ は、信号出力回路 60 の対応する列の出力端にそれぞれ接続されている。

【0026】

画素アレイ部 30 は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機 EL 表示装置 10 は、平面型（フラット型）のパネル構造となっている。画素アレイ部 30 の各画素 20 の駆動回路は、アモルファスシリコン TFT または低温ポリシリコン TFT を用いて形成することができる。低温ポリシリコン TFT を用いる場合には、図 1 に示すように、書込み走査回路 40、電源供給走査回路 50、及び、信号出力回路 60 についても、画素アレイ部 30 を形成する表示パネル（基板）70 上に実装することができる。

10

【0027】

書込み走査回路 40 は、クロックパルス ck に同期してスタートパルス sp を順にシフト（転送）するシフトレジスタ回路等によって構成されている（書込み走査回路 40 の具体的な構成の詳細については後述する）。この書込み走査回路 40 は、画素アレイ部 30 の各画素 20 への映像信号の書込みに際し、走査線 31 （ $31_1 \sim 31_m$ ）に対して書込み走査信号 WS （ $WS_1 \sim WS_m$ ）を順次供給することによって画素アレイ部 30 の各画素 20 を行単位で順番に走査（線順次走査）する。

【0028】

電源供給走査回路 50 は、クロックパルス ck に同期してスタートパルス sp を順にシフトするシフトレジスタ回路等によって構成されている。この電源供給走査回路 50 は、書込み走査回路 40 による線順次走査に同期して、第 1 電源電位 V_{ccp} と当該第 1 電源電位 V_{ccp} よりも低い第 2 電源電位 V_{ini} とで切り替わることが可能な電源電位 DS （ $DS_1 \sim DS_m$ ）を電源供給線 32 （ $32_1 \sim 32_m$ ）に供給する。後述するように、電源電位 DS の V_{ccp} / V_{ini} の切替えにより、画素 20 の発光 / 非発光の制御が行なわれる。

20

【0029】

信号出力回路 60 は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある） V_{sig} と基準電位 V_{ofs} とを選択的に出力する。ここで、基準電位 V_{ofs} は、映像信号の信号電圧 V_{sig} の基準となる電位（例えば、映像信号の黒レベルに相当する電位）であり、後述する閾値補正処理の際に用いられる。

30

【0030】

信号出力回路 60 から出力される信号電圧 $V_{sig} /$ 基準電位 V_{ofs} は、信号線 33 （ $33_1 \sim 33_n$ ）を介して画素アレイ部 30 の各画素 20 に対して、書込み走査回路 40 による走査によって選択された画素行の単位で書き込まれる。すなわち、信号出力回路 60 は、信号電圧 V_{sig} を行（ライン）単位で書き込む線順次書込みの駆動形態を採っている。

【0031】

（画素回路）

図 2 は、画素（画素回路）20 の具体的な回路構成の一例を示す回路図である。画素 20 の発光部は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機 EL 素子 21 から成る。

40

【0032】

図 2 に示すように、画素 20 は、有機 EL 素子 21 と、有機 EL 素子 21 に電流を流すことによって当該有機 EL 素子 21 を駆動する駆動回路とによって構成されている。有機 EL 素子 21 は、全ての画素 20 に対して共通に配線（所謂、ベタ配線）された共通電源供給線 34 にカソード電極が接続されている。

【0033】

有機 EL 素子 21 を駆動する駆動回路は、駆動トランジスタ 22、書込みトランジスタ 23、保持容量 24、及び、補助容量 25 を有する構成となっている。駆動トランジスタ 22 及び書込みトランジスタ 23 として N チャネル型の TFT を用いることができる。但し、ここで示した、駆動トランジスタ 22 及び書込みトランジスタ 23 の導電型の組み合

50

わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0034】

駆動トランジスタ22は、一方の電極（ソース/ドレイン電極）が有機EL素子21のアノード電極に接続され、他方の電極（ドレイン/ソース電極）が電源供給線32（32₁～32_m）に接続されている。

【0035】

書込みトランジスタ23は、一方の電極（ソース/ドレイン電極）が信号線33（33₁～33_n）に接続され、他方の電極（ドレイン/ソース電極）が駆動トランジスタ22のゲート電極に接続されている。また、書込みトランジスタ23のゲート電極は、走査線31（31₁～31_m）に接続されている。

10

【0036】

駆動トランジスタ22及び書込みトランジスタ23において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【0037】

保持容量24は、一方の電極が駆動トランジスタ22のゲート電極に接続され、他方の電極が駆動トランジスタ22の他方の電極、及び、有機EL素子21のアノード電極に接続されている。

20

【0038】

補助容量25は、一方の電極が有機EL素子21のアノード電極に、他方の電極が共通電源供給線34にそれぞれ接続されている。この補助容量25は、有機EL素子21の容量不足分を補い、保持容量24に対する映像信号の書込みゲインを高めるために、必要に応じて設けられるものである。すなわち、補助容量25は必須の構成要素ではなく、有機EL素子21の等価容量が十分に大きい場合は省略可能である。

【0039】

ここでは、補助容量25の他方の電極を共通電源供給線34に接続するとしたが、他方の電極の接続先としては、共通電源供給線34に限られるものではなく、固定電位のノードであればよい。補助容量25の他方の電極を固定電位のノードに接続することで、有機EL素子21の容量不足分を補い、保持容量24に対する映像信号の書込みゲインを高めるといふ所期の目的を達成することができる。

30

【0040】

上記構成の画素20において、書込みトランジスタ23は、書込み走査回路40から走査線31を通してゲート電極に印加されるHighアクティブの書込み走査信号WSに回答して導通状態となる。これにより、書込みトランジスタ23は、信号線33を通して信号出力回路60から供給される、輝度情報に応じた映像信号の信号電圧V_{sig}または基準電位V_{ofs}をサンプリングして画素20内に書き込む。この書き込まれた信号電圧V_{sig}または基準電位V_{ofs}は、駆動トランジスタ22のゲート電極に印加されるとともに保持容量24に保持される。

40

【0041】

駆動トランジスタ22は、電源供給線32（32₁～32_m）の電源電位DSが第1電源電位V_{ccp}にあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作する。これにより、駆動トランジスタ22は、電源供給線32から電流の供給を受けて有機EL素子21を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ22は、飽和領域で動作することにより、保持容量24に保持された信号電圧V_{sig}の電圧値に応じた電流値の駆動電流を有機EL素子21に供給し、当該有機EL素子21を電流駆動することによって発光させる。

【0042】

駆動トランジスタ22は更に、電源電位DSが第1電源電位V_{ccp}から第2電源電位V_i

50

n_i に切り替わったときには、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作する。これにより、駆動トランジスタ 22 は、有機 EL 素子 21 への駆動電流の供給を停止し、有機 EL 素子 21 を非発光状態にする。すなわち、駆動トランジスタ 22 は、有機 EL 素子 21 の発光 / 非発光を制御するトランジスタとしての機能をも併せ持っている。

【0043】

この駆動トランジスタ 22 のスイッチング動作により、有機 EL 素子 21 が非発光状態となる期間（非発光期間）を設け、有機 EL 素子 21 の発光期間と非発光期間の割合（デューティ）を制御することができる。このデューティ制御により、1 表示フレーム期間に亘って画素が発光することに伴う残像ボケを低減できるために、特に動画の画品位をより優れたものとすることができる。

10

【0044】

電源供給走査回路 50 から電源供給線 32 を通して選択的に供給される第 1、第 2 電源電位 V_{ccp} 、 V_{ini} のうち、第 1 電源電位 V_{ccp} は有機 EL 素子 21 を発光駆動する駆動電流を駆動トランジスタ 22 に供給するための電源電位である。また、第 2 電源電位 V_{ini} は、有機 EL 素子 21 に対して逆バイアスを掛けるための電源電位である。この第 2 電源電位 V_{ini} は、基準電位 V_{ofs} よりも低い電位、例えば、駆動トランジスタ 22 の閾値電圧を V_{th} とするとき $V_{ofs} - V_{th}$ よりも低い電位、好ましくは、 $V_{ofs} - V_{th}$ よりも十分に低い電位に設定される。

【0045】

20

[1 - 2 . 基本的な回路動作]

続いて、上記構成の有機 EL 表示装置 10 の基本的な回路動作について、図 3 のタイミング波形図を基に図 4 及び図 5 の動作説明図を用いて説明する。尚、図 4 及び図 5 の動作説明図では、図面の簡略化のために、書込みトランジスタ 23 をスイッチのシンボルで図示している。

【0046】

図 3 のタイミング波形図には、走査線 31 の電位（書込み走査信号） WS 、電源供給線 32 の電位（電源電位） DS 、信号線 33 の電位（ V_{sig} / V_{ofs} ）、駆動トランジスタ 22 のゲート電位 V_g 及びソース電位 V_s のそれぞれの変化を示している。また、ゲート電位 V_g の波形を一点鎖線で示し、ソース電位 V_s の波形を点線で示すことで、両者を識別できるようにしている。

30

【0047】

（前表示フレームの発光期間）

図 3 のタイミング波形図において、時刻 t_{11} 以前は、前の表示フレームにおける有機 EL 素子 21 の発光期間となる。この前表示フレームの発光期間では、電源供給線 32 の電位 DS が第 1 電源電位（以下、「高電位」と記述する） V_{ccp} にあり、また、書込みトランジスタ 23 が非導通状態にある。

【0048】

このとき、駆動トランジスタ 22 は飽和領域で動作するように設計されている。これにより、図 4（A）に示すように、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} に応じた駆動電流（ドレイン - ソース間電流） I_{ds} が、電源供給線 32 から駆動トランジスタ 22 を通して有機 EL 素子 21 に供給される。これにより、有機 EL 素子 21 が駆動電流 I_{ds} の電流値に応じた輝度で発光する。

40

【0049】

（閾値補正準備期間）

時刻 t_{11} になると、線順次走査の新しい表示フレーム（現表示フレーム）に入る。そして、図 4（B）に示すように、電源供給線 32 の電位 DS が高電位 V_{ccp} から、信号線 33 の基準電位 V_{ofs} に対して $V_{ofs} - V_{th}$ よりも十分に低い第 2 電源電位（以下、「低電位」と記述する） V_{ini} に切り替わる。

【0050】

50

ここで、有機EL素子21の閾値電圧を V_{thel} 、共通電源供給線34の電位（カソード電位）を V_{cath} とする。このとき、低電位 V_{ini} を $V_{ini} < V_{thel} + V_{cath}$ とすると、駆動トランジスタ22のソース電位 V_s が低電位 V_{ini} にほぼ等しくなるために、有機EL素子21は逆バイアス状態となって消光する。

【0051】

次に、時刻 t_{12} で走査線31の電位 WS が低電位側から高電位側に遷移することで、図4（C）に示すように、書込みトランジスタ23が導通状態となる。このとき、信号出力回路60から信号線33に対して基準電位 V_{ofs} が供給された状態にあるために、駆動トランジスタ22のゲート電位 V_g が基準電位 V_{ofs} になる。また、駆動トランジスタ22のソース電位 V_s は、基準電位 V_{ofs} よりも十分に低い電位 V_{ini} にある。

10

【0052】

このとき、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は $V_{ofs} - V_{ini}$ となる。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ22の閾値電圧 V_{th} よりも大きくないと、後述する閾値補正処理を行うことができないために、 $V_{ofs} - V_{ini} > V_{th}$ なる電位関係に設定する必要がある。

【0053】

このように、駆動トランジスタ22のゲート電位 V_g を基準電位 V_{ofs} に固定し、かつ、ソース電位 V_s を低電位 V_{ini} に固定して（確定させて）初期化する処理が、後述する閾値補正処理（閾値補正動作）を行う前の準備（閾値補正準備）の処理である。従って、基準電位 V_{ofs} 及び低電位 V_{ini} が、駆動トランジスタ22のゲート電位 V_g 及びソース電位 V_s の各初期化電位となる。

20

【0054】

（閾値補正期間）

次に、時刻 t_{13} で、図4（D）に示すように、電源供給線32の電位 DS が低電位 V_{ini} から高電位 V_{ccp} に切り替わると、駆動トランジスタ22のゲート電位 V_g が基準電位 V_{ofs} に保たれた状態で閾値補正処理が開始される。すなわち、ゲート電位 V_g から駆動トランジスタ22の閾値電圧 V_{th} を減じた電位に向けて駆動トランジスタ22のソース電位 V_s が上昇を開始する。

【0055】

ここでは、便宜上、駆動トランジスタ22のゲート電位 V_g の初期化電位 V_{ofs} を基準とし、当該初期化電位 V_{ofs} から駆動トランジスタ22の閾値電圧 V_{th} を減じた電位に向けてソース電位 V_s を変化させる処理を閾値補正処理と呼んでいる。この閾値補正処理が進むと、やがて、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に収束する。この閾値電圧 V_{th} に相当する電圧は保持容量24に保持される。

30

【0056】

尚、閾値補正処理を行う期間（閾値補正期間）において、電流が専ら保持容量24側に流れ、有機EL素子21側には流れないようにするために、有機EL素子21がカットオフ状態となるように共通電源供給線34の電位 V_{cath} を設定しておくこととする。

【0057】

次に、時刻 t_{14} で走査線31の電位 WS が低電位側に遷移することで、図5（A）に示すように、書込みトランジスタ23が非導通状態となる。このとき、駆動トランジスタ22のゲート電極が信号線33から電氣的に切り離されることによってフローティング状態になる。しかし、ゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ22はカットオフ状態にある。従って、駆動トランジスタ22にドレイン-ソース間電流 I_{ds} は流れない。

40

【0058】

（信号書込み&移動度補正期間）

次に、時刻 t_{15} で、図5（B）に示すように、信号線33の電位が基準電位 V_{ofs} から映像信号の信号電圧 V_{sig} に切り替わる。続いて、時刻 t_{16} で、走査線31の電位 WS が

50

高電位側に遷移することで、図 5 (C) に示すように、書込みトランジスタ 2 3 が導通状態になって映像信号の信号電圧 V_{sig} をサンプリングして画素 2 0 内に書き込む。

【 0 0 5 9 】

この書込みトランジスタ 2 3 による信号電圧 V_{sig} の書込みにより、駆動トランジスタ 2 2 のゲート電位 V_g が信号電圧 V_{sig} になる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 2 2 の駆動の際に、当該駆動トランジスタ 2 2 の閾値電圧 V_{th} が保持容量 2 4 に保持された閾値電圧 V_{th} に相当する電圧と相殺される。この閾値キャンセルの原理の詳細については後述する。

【 0 0 6 0 】

このとき、有機 EL 素子 2 1 はカットオフ状態（ハイインピーダンス状態）にある。従って、映像信号の信号電圧 V_{sig} に応じて電源供給線 3 2 から駆動トランジスタ 2 2 に流れる電流（ドレイン - ソース間電流 I_{ds} ）は、有機 EL 素子 2 1 の等価容量及び補助容量 2 5 に流れ込み、これらの容量の充電が開始される。

10

【 0 0 6 1 】

有機 EL 素子 2 1 の等価容量及び補助容量 2 5 が充電されることにより、駆動トランジスタ 2 2 のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 2 2 の閾値電圧 V_{th} の画素毎のばらつきがキャンセルされており、駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 2 2 の移動度 μ に依存したものとなる。尚、駆動トランジスタ 2 2 の移動度 μ は、当該駆動トランジスタ 2 2 のチャネルを構成する半導体薄膜の移動度である。

20

【 0 0 6 2 】

ここで、映像信号の信号電圧 V_{sig} に対する保持容量 2 4 の保持電圧 V_{gs} の比率、即ち、書込みゲイン G が 1（理想値）であると仮定する。すると、駆動トランジスタ 2 2 のソース電位 V_s が $V_{ofs} - V_{th} + \Delta V$ の電位まで上昇することで、駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ となる。

【 0 0 6 3 】

すなわち、駆動トランジスタ 2 2 のソース電位 V_s の上昇分 ΔV は、保持容量 2 4 に保持された電圧（ $V_{sig} - V_{ofs} + V_{th}$ ）から差し引かれるように、換言すれば、保持容量 2 4 の充電電荷を放電するように作用し、当該保持容量 2 4 に対して負帰還がかけられたことになる。従って、ソース電位 V_s の上昇分 ΔV は負帰還の帰還量となる。

30

【 0 0 6 4 】

このように、駆動トランジスタ 2 2 に流れるドレイン - ソース間電流 I_{ds} に応じた帰還量 ΔV でゲート - ソース間電圧 V_{gs} に負帰還をかけることで、駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。この打ち消す処理が、駆動トランジスタ 2 2 の移動度 μ の画素毎のばらつきを補正する移動度補正処理である。

【 0 0 6 5 】

より具体的には、駆動トランジスタ 2 2 のゲート電極に書き込まれる映像信号の信号振幅 V_{in} （ $= V_{sig} - V_{ofs}$ ）が高い程ドレイン - ソース間電流 I_{ds} が大きくなるため、負帰還の帰還量 ΔV の絶対値も大きくなる。従って、発光輝度レベルに応じた移動度補正処理が行われる。

40

【 0 0 6 6 】

また、映像信号の信号振幅 V_{in} を一定とした場合、駆動トランジスタ 2 2 の移動度 μ が大きいほど負帰還の帰還量 ΔV の絶対値も大きくなるため、画素毎の移動度 μ のばらつきを取り除くことができる。従って、負帰還の帰還量 ΔV は、移動度補正処理の補正量とも言える。移動度補正の原理の詳細については後述する。

【 0 0 6 7 】

（発光期間）

次に、時刻 t_{17} で走査線 3 1 の電位 WS が低電位側に遷移することで、図 5 (D) に示すように、書込みトランジスタ 2 3 が非導通状態となる。これにより、駆動トランジスタ

50

２２のゲート電極は、信号線３３から電氣的に切り離されるためにフローティング状態になる。

【００６８】

ここで、駆動トランジスタ２２のゲート電極がフローティング状態にあるときは、駆動トランジスタ２２のゲート・ソース間に保持容量２４が接続されていることにより、駆動トランジスタ２２のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。このように、駆動トランジスタ２２のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作が、保持容量２４によるブートストラップ動作である。

【００６９】

駆動トランジスタ２２のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ２２のドレイン・ソース間電流 I_{ds} が有機ＥＬ素子２１に流れ始めることにより、当該電流 I_{ds} に応じて有機ＥＬ素子２１のアノード電位が上昇する。

【００７０】

そして、有機ＥＬ素子２１のアノード電位が $V_{thel} + V_{cath}$ を越えると、有機ＥＬ素子２１に駆動電流が流れ始めるため有機ＥＬ素子２１が発光を開始する。また、有機ＥＬ素子２１のアノード電位の上昇は、即ち、駆動トランジスタ２２のソース電位 V_s の上昇に他ならない。そして、駆動トランジスタ２２のソース電位 V_s が上昇すると、保持容量２４のブートストラップ動作により、駆動トランジスタ２２のゲート電位 V_g も連動して上昇する。

【００７１】

このとき、ブートストラップゲインが１（理想値）であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中、駆動トランジスタ２２のゲート・ソース間電圧 V_{gs} は、 $V_{sig} - V_{ofs} + V_{th} - \Delta V$ で一定に保持される。そして、時刻 t_{18} で信号線３３の電位が映像信号の信号電圧 V_{sig} から基準電位 V_{ofs} に切り替わる。

【００７２】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み（信号書込み）、及び、移動度補正の各処理動作は、１水平走査期間（１Ｈ）において実行される。また、信号書込み及び移動度補正の各処理動作は、時刻 $t_{16} - t_{17}$ の期間において並行して実行される。

【００７３】

〔分割閾値補正〕

尚、ここでは、閾値補正処理を１回だけ実行する駆動法を採る場合を例に挙げて説明したが、この駆動法は一例に過ぎず、この駆動法に限られるものではない。例えば、閾値補正処理を移動度補正及び信号書込み処理と共に行う１Ｈ期間に加えて、当該１Ｈ期間に先行する複数の水平走査期間に亘って分割して複数回閾値補正処理を実行する、所謂分割閾値補正を行う駆動法を採ることも可能である。

【００７４】

この分割閾値補正の駆動法によれば、高精細化に伴う多画素化によって１水平走査期間として割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間に亘って十分な時間を確保することができる。従って、１水平走査期間として割り当てられる時間が短くなっても、閾値補正処理を確実に実行できることになる。

【００７５】

〔閾値キャンセルの原理〕

ここで、駆動トランジスタ２２の閾値キャンセル（即ち、閾値補正）の原理について説明する。駆動トランジスタ２２は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機ＥＬ素子２１には駆動トランジスタ２２から、次式（１）で与えられる一定のドレイン・ソース間電流（駆動電流） I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ２２のチャンネル幅、 L はチャンネル長、 C_{ox} は単位面積当

10

20

30

40

50

たりのゲート容量である。

【 0 0 7 6 】

図 6 (A) に、駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} 対ゲート - ソース間電圧 V_{gs} の特性を示す。図 6 (A) の特性図に示すように、駆動トランジスタ 2 2 の閾値電圧 V_{th} の画素毎のばらつきに対するキャンセル処理 (補正処理) を行わないと、閾値電圧 V_{th} が V_{th1} のときに、ゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds1} になる。

【 0 0 7 7 】

これに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ 2 2 の閾値電圧 V_{th} が変動すると、ゲート - ソース間電圧 V_{gs} が一定であってもドレイン - ソース間電流 I_{ds} が変動する。

10

【 0 0 7 8 】

一方、上記構成の画素 (画素回路) 2 0 では、先述したように、発光時の駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ である。従って、これを式 (1) に代入すると、ドレイン - ソース間電流 I_{ds} は、次式 (2) で表される。

$$I_{ds} = (1 / 2) \cdot \mu (W / L) C_{ox} (V_{sig} - V_{ofs} - \Delta V)^2 \quad \dots \dots (2)$$

【 0 0 7 9 】

すなわち、駆動トランジスタ 2 2 の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ 2 2 から有機 EL 素子 2 1 に供給されるドレイン - ソース間電流 I_{ds} は、駆動トランジスタ 2 2 の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ 2 2 の製造プロセスのばらつきや経時変化等により、駆動トランジスタ 2 2 の閾値電圧 V_{th} が画素毎に変動したとしても、ドレイン - ソース間電流 I_{ds} が変動しないために、有機 EL 素子 2 1 の発光輝度を一定に保つことができる。

20

【 0 0 8 0 】

〔 移動度補正の原理 〕

次に、駆動トランジスタ 2 2 の移動度補正の原理について説明する。図 6 (B) に、駆動トランジスタ 2 2 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 2 2 の移動度 μ が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 2 2 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

30

【 0 0 8 1 】

画素 A と画素 B で移動度 μ にばらつきがある状態で、駆動トランジスタ 2 2 のゲート電極に例えば両画素 A , B に同レベルの信号振幅 V_{in} (= $V_{sig} - V_{ofs}$) を書き込んだ場合を考える。この場合、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素 A に流れるドレイン - ソース間電流 I_{ds1}' と移動度 μ の小さい画素 B に流れるドレイン - ソース間電流 I_{ds2}' との間には大きな差が生じてしまう。このように、移動度 μ の画素毎のばらつきに起因してドレイン - ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォーミティ (一様性) が損なわれる。

【 0 0 8 2 】

ここで、先述した式 (1) のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン - ソース間電流 I_{ds} が大きくなる。従って、負帰還における帰還量 ΔV は移動度 μ が大きくなるほど大きくなる。図 6 (B) に示すように、移動度 μ の大きな画素 A の帰還量 ΔV_1 は、移動度の小さな画素 B の帰還量 ΔV_2 に比べて大きい。

40

【 0 0 8 3 】

そこで、移動度補正処理によって駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} に応じた帰還量 ΔV でゲート - ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ が大きいほど負帰還が大きくなることになる。その結果、移動度 μ の画素毎のばらつきを抑制することができる。

【 0 0 8 4 】

50

具体的には、移動度 μ の大きな画素 A で帰還量 ΔV_1 の補正をかけると、ドレイン - ソース間電流 I_{ds} は I_{ds1}' から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 B の帰還量 ΔV_2 は小さいために、ドレイン - ソース間電流 I_{ds} は I_{ds2}' から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素 A のドレイン - ソース間電流 I_{ds1} と画素 B のドレイン - ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素毎のばらつきが補正される。

【 0 0 8 5 】

以上をまとめると、移動度 μ の異なる画素 A と画素 B があつた場合、移動度 μ の大きい画素 A の帰還量 ΔV_1 は移動度 μ の小さい画素 B の帰還量 ΔV_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 ΔV が大きく、ドレイン - ソース間電流 I_{ds} の減少量が大きくなる。

10

【 0 0 8 6 】

従つて、駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} に応じた帰還量 ΔV で、ゲート - ソース間電圧 V_{gs} に負帰還をかけることで、移動度 μ の異なる画素のドレイン - ソース間電流 I_{ds} の電流値が均一化される。その結果、移動度 μ の画素毎のばらつきを補正することができる。すなわち、駆動トランジスタ 2 2 に流れる電流（ドレイン - ソース間電流 I_{ds} ）に応じた帰還量（補正量） ΔV で、駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} に対して、即ち、保持容量 2 4 に対して負帰還をかける処理が移動度補正処理となる。

20

【 0 0 8 7 】

[1 - 3 . 駆動回路部の構成例]

ここで、画素アレイ部 3 0 の周辺に配置される駆動回路部の構成例について説明する。ここでは、駆動回路部として、例えば、画素アレイ部 3 0 の各画素 2 0 への信号電圧 V_{si} の書込みに際し、各画素 2 0 を行単位で順次選択走査する書込み走査回路 4 0 を例に挙げて説明する。

【 0 0 8 8 】

図 7 は、書込み走査回路 4 0 の構成の一例を示すブロック図である。書込み走査回路 4 0 は、基本的に、図示せぬクロックパルス ck に同期してスタートパルス sp を順にシフト（転送）するシフトレジスタ回路 4 1 を主要部として構成されている。また、書込み走査回路 4 0 は、画素アレイ部 3 0 の各行に対応して、シフトレジスタ回路 4 1 の各転送段（単位回路） 41_i 、 41_{i+1} 毎にバッファ回路 42_i 、 42_{i+1} を備えている。

30

【 0 0 8 9 】

ここでは、シフトレジスタ回路 4 1 として、2 段分の転送段 41_i 、 41_{i+1} が縦続接続された構成を図示しているが、実際には、画素アレイ部 3 0 の行数分の転送段 $41_1 \sim 41_m$ が縦続接続されることになる。シフトレジスタ回路 4 1 の各転送段、例えば転送段 41_i は、シフトレジスタ（SR） 411 、インバータ（INV） 412 、シフトレジスタ 413 、及び、インバータ 414 が縦続接続されて単位回路を構成している。

【 0 0 9 0 】

また、バッファ回路 42_i は、インバータ 421 、論理回路 422 、及び、インバータ 423 が縦続接続された構成となっている。このように、シフトレジスタ回路 4 1 の各転送段 41_i 、 41_{i+1} や、バッファ回路 42 （ 42_i 、 42_{i+1} ）は、インバータ回路を用いて構成されている。

40

【 0 0 9 1 】

（シフトレジスタ回路の回路動作）

ここで、書込み走査回路 4 0 の主要部であるシフトレジスタ回路 4 1 の回路動作について、図 8 の動作説明図、及び、図 9 のタイミング波形図を用いて説明する。ここでは、シフトレジスタ回路 4 1 の回路動作として、転送段 41_i のインバータ 412 、シフトレジスタ 413 、及び、インバータ 414 の回路部分の回路動作を例に挙げて説明する。

【 0 0 9 2 】

シフトレジスタ 413 は、クロックパルス ck で動作するトランジスタ Q_1 、クロック

50

パルス $\times ck$ で動作するトランジスタ Q_2 、及び、容量 C_1 により構成されている。尚、シフトレジスタ 413 の出力端とインバータ 414 の入力端との間には寄生容量 C_2 が存在するものとする。

【0093】

図9のタイミング波形図は、クロックパルス ck 、クロックパルス $\times ck$ 、インバータ 412 の出力電圧 (b)、容量 C_1 の充電電圧 (c)、及び、インバータ 414 の入力電圧 (d) の各波形を示している。クロックパルス ck 、 $\times ck$ は、1 H を周期とするパルス信号である。クロックパルス ck 、 $\times ck$ は共に、アクティブ (高電位) 期間よりも非アクティブ (低電位) 期間の方が若干長く、一方がアクティブ状態にあるとき他方が非アクティブ状態になる。

10

【0094】

図8の動作説明図では、シフトレジスタ 413 のトランジスタ Q_1 、 Q_2 のうち、非導通状態にあるものを $\times$ 印を付して示している。インバータ 412 の入力電圧 (A) の振幅 (波高値) は、例えば 1.5 V であるとする。

【0095】

先ず、クロックパルス ck がアクティブ状態のときに、インバータ 412 の 1.5 V 振幅の出力電圧 (b) が、導通状態にあるトランジスタ Q_1 を介して容量 C_1 に充電される。このとき、クロックパルス $\times ck$ が非アクティブ状態にあるため、トランジスタ Q_2 は $\times$ 印で示すように非導通状態にある (図8 (A) を参照)。そして、クロックパルス ck が非アクティブ状態になると、僅かの期間、トランジスタ Q_1 、 Q_2 が共に非導通状態になる。これにより、1.5 V の電圧 (c) が容量 C_1 に保持される (図8 (B) を参照)。

20

【0096】

次に、クロックパルス $\times ck$ がアクティブ状態になると、容量 C_1 に保持された 1.5 V の電圧 (c) が、トランジスタ Q_2 を介してインバータ 414 にその入力電圧 (d) として印加される。このとき、シフトレジスタ 413 の出力端とインバータ 414 の入力端との間に寄生容量 C_2 が存在するために、容量 C_1 と寄生容量 C_2 との容量分配によってインバータ 414 の入力電圧 (d) の振幅が下がる (図8 (C) を参照)。

【0097】

一例として、容量 C_1 の値を 4 pF、寄生容量 C_2 の値を 2 pF とすると、

$$1.5 \text{ V} \times 4 \text{ pF} / (4 \text{ pF} + 2 \text{ pF})$$

30

なる容量分配によって 1.5 V 振幅から 1.0 V 振幅に低下する。その結果、1.5 V 振幅の入力電圧 (a) に対して、1 H シフトした 1.0 V 振幅の出力電圧 (e) が得られる。

【0098】

(片チャネルトランジスタのインバータ回路)

ところで、書込み走査回路 40 等の駆動回路部の作製に当っては、当該駆動回路部を片チャネル (Nチャネルのみ、または、Pチャネルのみ) のトランジスタを用いて構成すれば、両チャネルのトランジスタを用いて構成する場合に比べて製造コストを低減できる。従って、有機 EL 表示装置 10 の低コスト化を図るには、例えば書込み走査回路 40 において、シフトレジスタ回路 41 やバッファ回路 42 を構成するインバータ回路を、片チャネルのトランジスタを用いて構成するのが好ましい。

40

【0099】

そして、インバータ回路を片チャネルのトランジスタを用いて構成する場合、インバータ回路の回路動作を確実なものにするために、片チャネルのトランジスタと容量素子との組み合わせによる回路構成が採られる。以下に、片チャネルのトランジスタと容量素子との組み合わせからなるインバータ回路について説明する。

【0100】

《回路構成》

図10は、片チャネルのトランジスタと容量素子との組み合わせからなるインバータ回路についての説明図であり、(A) は回路構成の一例を示し、(B) は入力パルス信号 $IN V_{in}$ 及び出力 $IN V_{out}$ の各波形を示している。

50

【 0 1 0 1 】

本回路例に係るインバータ回路 8 0 は、入力端子 8 1 を介して入力されるパルス信号 $IN V_{in}$ をほぼ反転させ、パルス信号 $IN V_{in}$ と逆相のパルス信号 $IN V_{out}$ として出力端子 8 2 から出力する。このインバータ回路 8 0 においては、電源電圧として、正側については、例えば 4 つの電源電圧 V_{cc1} 、 V_{cc2} 、 V_{cc3} 、 V_{cc4} を用い、負側については、例えば 4 つの電源電圧 V_{ss1} 、 V_{ss2} 、 V_{ss3} 、 V_{ss4} を用いている。但し、ここで示した電源電圧は一例であって、これに限られるものではなく、もっと少ない数の電源電圧であっても良いし、正側、負側それぞれ 1 種類の電源電圧とすることも可能である。

【 0 1 0 2 】

インバータ回路 8 0 は、例えば、7 つのトランジスタ $Tr_1 \sim Tr_7$ 、5 つの容量素子 $C_1 \sim C_5$ 、及び、遅延回路 8 3 を有する回路構成となっている。7 つのトランジスタ $Tr_1 \sim Tr_7$ は、互いに同一チャネル（片チャネル）、例えば N チャネルの MOS（Metal Oxide Semiconductor：金属酸化膜半導体）型の薄膜トランジスタ（TFET）である。ここでは、トランジスタ $Tr_1 \sim Tr_7$ として、N チャネルのみのトランジスタを用いるとしたが、P チャネルのみのトランジスタを用いることも可能である。

【 0 1 0 3 】

トランジスタ Tr_1 は、第 1 のトランジスタに相当し、ドレイン電極が正側電源電圧 V_{cc2} の電源線 L_{12} に接続され、ソース電極がノード N_1 に接続され、入力端子 8 1 を介して入力される入力電圧（パルス信号 $IN V_{in}$ ）に応じた電圧をゲート入力とする。トランジスタ Tr_2 は、ドレイン電極が正側電源電圧 V_{cc3} の電源線 L_{13} に接続され、ソース電極がノード N_2 に接続され、ゲート電極がノード N_1 に接続されている。トランジスタ Tr_3 は、ドレイン電極が正側電源電圧 V_{cc4} の電源線 L_{14} に接続され、ソース電極が出力端子 8 2 に接続され、ゲート電極がノード N_2 に接続されている。

【 0 1 0 4 】

遅延回路 8 3 は、例えば、互いに並列に接続された 2 つのトランジスタ Tr_{91} 、 Tr_{92} によって構成されている。2 つのトランジスタ Tr_{91} 、 Tr_{92} は、当然のことながら、トランジスタ $Tr_1 \sim Tr_7$ と同じ、N チャネルの MOS トランジスタである。トランジスタ Tr_{91} 、 Tr_{92} の共通接続された一方の電極（ソース電極 / ドレイン電極）は遅延回路 8 3 の回路入力端となり、他方の電極（ドレイン電極 / ソース電極）は遅延回路 8 3 の回路出力端となる。

【 0 1 0 5 】

この遅延回路 8 3 において、回路入力端は入力端子 8 1 に接続されている。トランジスタ Tr_{91} のゲート電極も入力端子 8 1 に接続されている。トランジスタ Tr_{92} のゲート電極は、正側電源電圧 V_{cc1} の電源線 L_{11} に接続されている。

【 0 1 0 6 】

トランジスタ Tr_4 は、ドレイン電極がトランジスタ Tr_1 のゲート電極に接続され、ソース電極が負側電源電圧 V_{ss1} の電源線 L_{21} に接続され、ゲート電極が遅延回路 8 3 の回路出力端に接続されている。トランジスタ Tr_5 は、第 2 のトランジスタに相当し、ドレイン電極がノード N_1 に接続され、ソース電極が負側電源電圧 V_{ss2} の電源線 L_{22} に接続されている。すなわち、トランジスタ Tr_5 に対して直列に接続され、ゲート電極が入力端子 8 1 に接続されている。

【 0 1 0 7 】

トランジスタ Tr_6 は、ドレイン電極がノード N_2 に接続され、ソース電極が負側電源電圧 V_{ss3} の電源線 L_{23} に接続されている。すなわち、トランジスタ Tr_6 は、トランジスタ Tr_2 に対して直列に接続され、ゲート電極が入力端子 8 1 に接続されている。トランジスタ Tr_7 は、ドレイン電極が出力端子 8 2 に接続され、ソース電極が負側電源電圧 V_{ss4} の電源線 L_{24} に接続され、ゲート電極が入力端子 8 1 に接続されている。

【 0 1 0 8 】

容量素子 C_1 は、第 1 の容量素子に相当し、一方の電極がトランジスタ Tr_1 のゲート電極に接続され、他方の電極がノード N_1 に接続されている、即ち、トランジスタ Tr_1 のゲ

10

20

30

40

50

ート・ソース間に接続されている。容量素子 C_2 は、第2の容量素子に相当し、一方の電極がノード N_1 に接続され、他方の電極が入力端子81に接続されている。ノード N_1 は、トランジスタ Tr_1 及びトランジスタ Tr_5 の共通接続ノードでもある。

【0109】

容量素子 C_3 は、一方の電極がトランジスタ Tr_2 のゲート電極に接続され、他方の電極がノード N_2 に接続されている。容量素子 C_4 は、一方の電極がトランジスタ Tr_3 のゲート電極に接続され、他方の電極が出力端子82に接続されている。容量素子 C_5 は、一方の電極がトランジスタ Tr_4 のゲート電極に接続され、他方の電極が負側電源電圧 V_{ss1} の電源線 L_{21} に接続されている。

【0110】

ここで、トランジスタ Tr_{91} 、 Tr_{92} によって構成された遅延回路83は、入力端子81とトランジスタ Tr_4 のゲート電極とをつなぐ高抵抗素子の役割を持っている。これにより、入力端子81を介して入力されるパルス信号 $IN V_{in}$ が遅延回路83を通過することで、パルス信号 $IN V_{in}$ の電位の変化が時間的に遅れてトランジスタ Tr_4 のゲート電極に伝わる。遅延回路83の遅延量については、正側電源電圧 V_{cc1} の電圧値及び容量素子 C_5 の容量値を変えることによってコントロールすることができる。

【0111】

トランジスタ Tr_1 は、容量素子 C_1 の端子間電圧に応じて、正側電源電圧 V_{cc2} の電源線 L_{12} とノード N_1 との間を電氣的に接続したり、切断したりする。トランジスタ Tr_2 は、ノード N_1 の電位とノード N_2 の電位と電位差、即ち、容量素子 C_3 の両端間電圧に応じて、正側電源電圧 V_{cc3} の電源線 L_{13} とノード N_2 との間を電氣的に接続したり、切断したりする。トランジスタ Tr_3 は、ノード N_2 の電位と出力端子82の電位と電位差、即ち、容量素子 C_4 の両端間電圧に応じて、正側電源電圧 V_{cc4} の電源線 L_{14} と出力端子82との間を電氣的に接続したり、切断したりする。

【0112】

トランジスタ Tr_4 は、遅延回路83の出力端の電位と負側電源電圧 V_{ss1} との電位差、即ち、容量素子 C_5 の端子間電圧に応じて、トランジスタ Tr_1 のゲート電極と負側電源電圧 V_{ss1} の電源線 L_{21} との間を電氣的に接続したり、切断したりする。トランジスタ Tr_5 は、入力端子81の電位と負側電源電圧 V_{ss2} との電位差に応じて、ノード N_1 と負側電源電圧 V_{ss2} の電源線 L_{22} との間を電氣的に接続したり、切断したりする。トランジスタ Tr_6 は、入力端子81の電位と負側電源電圧 V_{ss3} との電位差に応じて、ノード N_2 と負側電源電圧 V_{ss3} の電源線 L_{23} との間を電氣的に接続したり、切断したりする。トランジスタ Tr_7 は、入力端子81の電位と負側電源電圧 V_{ss4} との電位差に応じて、出力端子82と負側電源電圧 V_{ss4} の電源線 L_{24} との間を電氣的に接続したり、切断したりする。

【0113】

《回路動作》

次に、上記構成のインバータ回路80において、入力端子81を介して入力されるパルス信号 $IN V_{in}$ がアクティブ状態（高電位状態）になったとき、及び、非アクティブ状態（低電位状態）になったときの回路動作について説明する。

【0114】

・パルス信号 $IN V_{in}$ がアクティブ状態になったとき

パルス信号 $IN V_{in}$ がアクティブ状態になると、トランジスタ Tr_8 のゲート電位が高電位状態になり、トランジスタ Tr_8 が導通状態になるために、出力端子82からは負側電源電圧 V_{ss4} がパルス信号 $IN V_{out}$ として導出される。このとき同時に、トランジスタ Tr_6 、 Tr_7 も導通状態になるために、ノード N_1 、 N_2 の電位はそれぞれ負側電源電位 V_{ss2} 、 V_{ss3} に固定される。

【0115】

これにより、トランジスタ Tr_2 、 Tr_3 が共に非導通状態になる。また、トランジスタ Tr_4 が遅延回路83の遅延出力に 응답して導通状態になるため、トランジスタ Tr_1 のゲート電位が負側電源電圧 V_{ss1} に固定される。これにより、トランジスタ Tr_1 も非導通状

10

20

30

40

50

態になる。すなわち、パルス信号 INV_{in} がアクティブ状態になったときは、正側のトランジスタ Tr_1 、 Tr_2 、 Tr_3 が全て非導通状態になる。

【0116】

・パルス信号 INV_{in} が非アクティブ状態になったとき

パルス信号 INV_{in} が非アクティブ状態になると、これと同時に、負電位側のトランジスタ Tr_5 、 Tr_6 、 Tr_7 が全て非導通状態になる。加えて、パルス信号 INV_{in} が高電位から低電位に遷移するときの変動量に応じた、容量素子 C_2 の容量カップリングによってノード N_1 の電位、即ち、トランジスタ Tr_2 のゲート電位が降下する。

【0117】

この容量カップリングによる電位降下の瞬間には、遅延回路 83 による遅延によってトランジスタ Tr_4 のゲート電位は高電位の状態を保っているために、トランジスタ Tr_1 のゲート電位が負側電源電圧 V_{ss1} の状態にある。従って、トランジスタ Tr_1 のゲート - ソース間電圧 V_{gs} がノード N_1 の電位降下に伴って大きくなり、閾値電圧を超えることによってトランジスタ Tr_1 が導通状態になる。これにより、ノード N_1 の電位が正側電源電圧 V_{cc1} へと上昇する。

【0118】

すると、トランジスタ Tr_2 のゲート - ソース間電圧 V_{gs} も大きくなるためトランジスタ Tr_2 も導通状態になる。これにより、ノード N_2 の電位が正側電源電圧 V_{cc2} へと上昇し、トランジスタ Tr_3 のゲート - ソース間電圧 V_{gs} も大きくなるため、トランジスタ Tr_2 に続いてトランジスタ Tr_3 も導通状態になる。そして、トランジスタ Tr_3 が導通状態になることで、出力端子 82 からは正側電源電圧 V_{cc4} がパルス信号 INV_{out} として導出される。

【0119】

ここで、容量素子 C_2 の容量カップリングによるトランジスタ Tr_2 のゲート電位の降下によってトランジスタ Tr_1 をより迅速に導通状態に移行させるには、容量素子 C_2 の容量値をある程度大きく設定すると良い。そして、トランジスタ Tr_1 が迅速に導通状態に移行することで、パルス信号 INV_{out} の遷移タイミング（立ち上がり / 立ち下がり）のタイミングをより正確に確定できる。

【0120】

パルス信号 INV_{out} の遷移タイミングは、当該パルス信号 INV_{out} のパルス幅を決める。そして、駆動回路部が書込み走査回路 40 の場合には、パルス信号 INV_{out} は書込み走査信号 WS を生成する基準の信号として用いられる。従って、パルス信号 INV_{out} のパルス幅は、書込み走査信号 WS のパルス幅を決める基準となり、先述した移動度補正処理の動作時間、即ち、移動度補正時間を決める基準となる。

【0121】

ここで、最適な移動度補正時間が長いときと短いときで書込み走査信号 WS のパルス幅に同じ量（時間）のばらつきがあっても、最適な移動度補正時間が短いときの書込み走査信号 WS のパルス幅のばらつきは相対的に大きくなってしまふ。そして、書込み走査信号 WS のパルス幅のばらつきが輝度ばらつきとなって画質を悪化させる一因となる。このような観点からも、容量素子 C_2 の容量値を大きく設定し、トランジスタ Tr_1 をより迅速に導通状態に移行させることによって、移動度補正時間を決める基準となるパルス信号 INV_{out} の遷移タイミングをより正確に確定することが重要になる。

【0122】

上述した回路動作の説明から明らかなように、片チャネルのトランジスタによって構成されるインバータ回路 80 においては、回路動作を確実なものにするためには、特に、容量カップリングによってノード N_1 の電位を降下させる容量素子 C_2 が不可欠となる。また、容量素子 C_2 以外にも、トランジスタ Tr_1 、 Tr_2 、 Tr_3 のゲート - ソース間電圧 V_{gs} を保持するための容量素子 C_1 、 C_3 、 C_4 も必要である。これらの容量素子 $C_1 \sim C_4$ は、両チャネルのトランジスタによって構成されるインバータ回路では不要なものである。

【0123】

10

20

30

40

50

以上説明した、片チャネルのトランジスタと容量素子との組合せからなるインバータ回路 80 は、図 7 に示す書込み走査回路 40 のシフトレジスタ回路 41 を構成するインバータ 412, 414 や、バッファ回路 42 を構成するインバータ 421, 423 として用いることができる。電源供給走査回路 50 も基本的に書込み走査回路 40 と同様の構成となることから、インバータ回路 80 は、電源供給走査回路 50 を構成するインバータとしても用いることができる。

【0124】

(片チャネルトランジスタのインバータ回路を表示パネルに実装する際の問題点)

このように、片チャネルのトランジスタと容量素子との組み合わせからなるインバータ回路 80 を用いて書込み走査回路 40 等の駆動回路部を構成すると、駆動回路部全体で用いる容量素子の数が非常に多くなる。ここで、かかる構成の駆動回路部を画素アレイ部 30 と同じ基板上に実装して表示パネル 70 を構成する場合について考察する。

10

【0125】

《参考例に係る表示パネルの実装構造》

図 11 は、参考例に係る表示パネルの実装構造を示す断面図である。図 11 には、画素アレイ部 30 の断面構造と、表示パネル 70 の周縁部である額縁領域の断面構造とを示している。

【0126】

図 11 において、ガラス基板 71 上に駆動トランジスタ 22 等を含む回路部分が形成され、当該回路部分の上層に有機 EL 素子 21 が形成されている。具体的には、ガラス基板 71 上に、絶縁膜 72、絶縁平坦化膜 73、及び、ウインド絶縁膜 74 がその順に形成されている。そして、有機 EL 素子 21 は、ウインド絶縁膜 74 の凹部 74_Aに形成されている。ここでは、有機 EL 素子 21 の下層、即ち、有機 EL 素子 21 の発光面と反対側の層に形成される画素 20 の回路部分(駆動回路)については、駆動トランジスタ 22 のみを代表して図示し、他の構成素子については図示を省略している。

20

【0127】

有機 EL 素子 21 は、アノード電極 211、有機層 212、及び、カソード電極 213 によって構成されている。アノード電極 211 は、ウインド絶縁膜 74 の凹部 74_Aの底部に金属等によって形成されている。有機層 212 は、アノード電極 211 上に形成されている。カソード電極 213 は、有機層 212 上に透明導電膜等によって全画素共通に、即ち、表示パネル 70 の全面に亘って形成されている。

30

【0128】

この有機 EL 素子 21 において、有機層 212 は、アノード電極 211 上にホール輸送層/ホール注入層、発光層、電子輸送層、及び、電子注入層(いずれも図示せず)が順次堆積されることによって形成される。そして、図 2 の駆動トランジスタ 22 による電流駆動の下に、駆動トランジスタ 22 からアノード電極 211 を通して有機層 212 に電流が流れることで、当該有機層 212 内の発光層において電子と正孔が再結合する際に発光するようになっている。

【0129】

駆動トランジスタ 22 は、モリブデン(Mo)等からなるゲート電極 221 と、半導体層 222 の両側に設けられたソース/ドレイン領域 223, 224 と、半導体層 222 のゲート電極 221 と対向する部分のチャネル形成領域 225 とから構成されている。ソース/ドレイン領域 223 は、コンタクトホールを介して有機 EL 素子 21 のアノード電極 211 と電氣的に接続されている。

40

【0130】

絶縁膜 72 上には、アルミニウム(Al)等からなる金属配線 75 が形成されている。このようにして、ガラス基板 71 上に、絶縁膜 72、絶縁平坦化膜 73、及び、ウインド絶縁膜 74 を介して有機 EL 素子 21 が画素単位で形成される。そして、パッシベーション膜 76 を介して封止基板(ガラス基板) 77 により有機 EL 素子 21 が封止される。以上により、表示パネル 70 が形成される。

50

【 0 1 3 1 】

一方、表示パネル 70 の周縁部、即ち、表示パネル 70 の額縁領域には、書込み走査回路 40 や電源供給走査回路 50 等を含む駆動回路部が形成される。ここでは、駆動回路部として、書込み走査回路 40 を例に挙げて説明する。書込み走査回路 40 は、先述したように、低コスト化を図るために、片チャネルのトランジスタからなるインバータ回路を用いて構成される。そして、片チャネルのトランジスタからなるインバータ回路は、容量素子を有する構成となっている。

【 0 1 3 2 】

周知の通り、容量素子は、トランジスタ等の回路素子に比べて大きなレイアウト面積を必要とする。特に大容量の容量素子を形成する場合には、大きなレイアウト面積を必要とする。そのため、書込み走査回路 40 を含む駆動回路部を画素アレイ部 30 と同じ基板上に実装するに当たっては、当該駆動回路部のトランジスタ等からなる回路部分とは別に、容量素子専用に領域を確保し、当該領域に容量素子を形成することになる。

【 0 1 3 3 】

具体的には、図 11 に示すように、既存のアルミニウム (Al) 等からなる金属配線 75 に対向して、ガラス基板 71 上にモリブデン (Mo) 等からなる金属配線 78 を島状に形成し、両配線 75, 78 間の絶縁膜 72 を誘電体として容量素子 C を形成する。ここで、容量素子 C の容量値は、金属配線 75, 78 の対向面積、金属配線 75, 78 間の距離、及び、誘電体としての絶縁膜 72 の誘電率によって決まる。

【 0 1 3 4 】

このように、金属配線 75, 78 間に絶縁膜 72 を誘電体として形成される容量素子 C は、表示パネル 70 の額縁領域において、容量素子専用に確保された領域部分に、図 12 に示すように、例えば画素行に対応して多数形成されることになる。従って、表示パネル 70 の額縁領域に書込み走査回路 40 を含む駆動回路部を実装する場合、駆動回路部内の容量素子が占めるレイアウト面積が大きくなるために、表示パネル 70 の額縁が大きくなってしまふ。尚、図 11 には、表示パネル 70 の額縁領域における容量素子 C の形成領域のみを図示しているが、この容量素子 C の形成領域 (レイアウト面積) が、他の回路部分の形成領域以外に余分に必要となる。

【 0 1 3 5 】

< 2 . 実施形態の説明 >

本発明の実施形態では、画素アレイ部 30 が形成された表示パネル 70 上に、容量素子を含む回路構成の駆動回路部を実装するに当たり、表示パネル 70 上の画素アレイ部 30 の周辺部にも、有機 EL 素子 21 の有機層 212 と同一プロセスにて有機層を形成する。そして、当該有機層を誘電体として用いて駆動回路部の容量素子を形成する。

【 0 1 3 6 】

ここで、画素アレイ部 30 の周辺部に容量素子の誘電体として用いる有機層を形成したとしても、当該有機層を有機 EL 素子 21 の有機層 212 と同一プロセスにて形成することにより、製造工程が増えることはない。そして、画素アレイ部 30 の周辺部に形成された有機層を容量素子の誘電体として用いることで、先述した参考例では、容量素子が形成されていた領域を自由に使うことができるようになるため、他の回路部分の形成領域として利用できる。

【 0 1 3 7 】

これにより、参考例では他の回路部分の形成に用いられていた領域が不要になるため、その不要になる領域の面積の分だけ、駆動回路部が占めるレイアウト面積、ひいては画素アレイ部 30 の周辺部、即ち表示パネル 70 の額縁の面積を小さくできる。すなわち、容量素子を含む回路構成の駆動回路部を表示パネル 70 上に実装するに当たって、表示パネル 70 の狭額縁化を図ることができる。以下に、実施形態の詳細について、図面を用いてより具体的に説明する。

【 0 1 3 8 】

[2 - 1 . 実施形態に係る表示パネルの実装構造]

図 1 3 は、実施形態に係る表示パネルの実装構造を示す断面図であり、図中、図 1 1 と同等部位には同一符号を付して示している。

【 0 1 3 9 】

図 1 3 において、画素アレイ部 3 0 側の構成については、先述した参考例に係る表示パネルの実装構造（図 1 1 を参照）と同じ構成となっている。すなわち、ガラス基板 7 1 上に駆動トランジスタ 2 2 等を含む回路部分（駆動回路部分）が形成され、当該回路部分の上層に有機 E L 素子 2 1 が形成されている。具体的には、ガラス基板 7 1 上に、絶縁膜 7 2、絶縁平坦化膜 7 3、及び、ウインド絶縁膜 7 4 がその順に形成され、ウインド絶縁膜 7 4 の凹部 7 4_Aに有機 E L 素子 2 1 が形成されている。

【 0 1 4 0 】

有機 E L 素子 2 1 は、アノード電極 2 1 1、有機層 2 1 2、及び、カソード電極 2 1 3 によって構成されている。アノード電極 2 1 1 は、ウインド絶縁膜 7 4 の凹部 7 4_Aの底部に金属等によって形成されている。有機層 2 1 2 は、アノード電極 2 1 1 上に形成されている。カソード電極 2 1 3 は、有機層 2 1 2 上に透明導電膜等によって全画素共通に、即ち、表示パネル 7 0 の全面に亘って形成されている。

【 0 1 4 1 】

駆動トランジスタ 2 2 は、モリブデン（Mo）等からなるゲート電極 2 2 1 と、半導体層 2 2 2 の両側に設けられたソース/ドレイン領域 2 2 3、2 2 4 と、半導体層 2 2 2 のゲート電極 2 2 1 と対向する部分のチャネル形成領域 2 2 5 とから構成されている。ソース/ドレイン領域 2 2 3 は、コンタクトホールを介して有機 E L 素子 2 1 のアノード電極 2 0 5 と電氣的に接続されている。

【 0 1 4 2 】

絶縁膜 7 2 上には、アルミニウム（Al）等からなる金属配線 7 5 が形成されている。このようにして、ガラス基板 7 1 1 上に、絶縁膜 7 2、絶縁平坦化膜 7 3、及び、ウインド絶縁膜 7 4 を介して有機 E L 素子 2 1 が画素単位で形成され。そして、パッシベーション膜 7 6 を介して封止基板（ガラス基板）7 7 により有機 E L 素子 2 1 が封止され、以上によって表示パネル 7 0 が形成される。

【 0 1 4 3 】

一方、画素アレイ部 3 0 の周辺部の領域、即ち、表示パネル 7 0 の額縁領域には、有機 E L 素子 2 1 と同じ層に容量素子 9 0 が形成されている。容量素子 9 0 は、有機 E L 素子 2 1 の有機層 2 1 2 と同じ層として同じプロセスにて形成された有機層 9 2 を誘電体として用い、当該有機層 9 2 を 2 つの電極 9 1、9 3 で挟んだ素子構造となっている。容量素子 9 0 の有機層 9 2 については、有機 E L 素子 2 1 の有機層 2 1 2 と同様に、ウインド絶縁膜 7 4 に凹部（凹部 7 4_Aに相当）を形成し、当該凹部内に形成することによって実現できる。

【 0 1 4 4 】

この容量素子 9 0 において、2 つの電極 9 1、9 3 は、有機 E L 素子 2 1 のアノード電極 2 1 1 及びカソード電極 2 1 3 と例えば同じ配線材料によって同じプロセスにて形成される。また、有機層 9 2 が有機 E L 素子 2 1 の有機層 2 1 2 と同じプロセスにて形成されるということは、有機層 9 2 も有機層 2 1 2 と同様に、一方の電極 9 1 上にホール輸送層/ホール注入層、発光層、電子輸送層、及び、電子注入層（いずれも図示せず）が順次堆積されることによって形成される。

【 0 1 4 5 】

容量素子 9 0 の一方の電極 9 1（アノード電極 2 1 1 に相当）は、コンタクト部 9 4 を介して金属配線 7 5 に電氣的に接続される。容量素子 9 0 の他方の電極 9 3（カソード電極 2 1 3 に相当）は、コンタクト部 9 5 及び金属配線 7 5 を介して金属配線 7 8 に電氣的に接続される。金属配線 7 5、7 8 は、書込み走査回路 4 0 等の駆動回路部の他の回路部分に電氣的に接続される。

【 0 1 4 6 】

容量素子 9 0 の容量値は、2 つの電極 9 1、9 3 の対向面積、当該電極 9 1、9 3 間の

10

20

30

40

50

距離、及び、誘電体として用いる有機層 9 2 の誘電率によって決まる。ここで、有機層 9 2 は、有機 EL 素子 2 1 の有機層 2 1 2 と同じプロセスにて形成される訳であるから、2 つの電極 9 1 , 9 3 間の距離は、有機 EL 素子 2 1 に対応して固定的に決定される。また有機層 9 2 の誘電率は、発光色によって発光層の材料が異なることによって発光色に応じて固定的に決定される。従って、容量素子 9 0 の容量値については、2 つの電極 9 1 , 9 3 の対向面積によって任意に設定可能となる。

【0147】

尚、容量素子 9 0 については発光色を問わないため、単位容量を考慮し、ある単一の発光色の有機層のみで構成することができる。すなわち、上述したように、有機層 9 2 の誘電率が、発光層の材料に応じて発光色によって異なることから、容量素子 9 0 の有機層 9 2 については単一の発光色の有機層で構成することで、形成する容量素子 9 0 の全てについて単位容量を一律に設定できる。

10

【0148】

容量素子 9 0 は、他の回路部分の形成領域とは独立した専用の領域に形成される。従って、容量素子 9 0 の形成領域として大きな領域を確保することができる。これにより、容量素子 9 0 の 2 つの電極 9 1 , 9 3 の対向面積を大きく設定できるため、容量素子 9 0 の容量値として、他の回路部分と同じ領域に形成する場合に比べて大きな値を設定可能となる。比較的大きな容量値を必要とする容量素子 9 0 としては、例えば、先述したインバータ回路 8 0 における容量素子 $C_1 \sim C_5$ 等を挙げることができる。

【0149】

20

容量素子 9 0 は、表示パネル 7 0 の額縁領域において、図 1 2 に示すように、例えば画素行に対応して多数形成されることになる。一方、容量素子 9 0 の下層、即ち、画素 2 0 の回路部分の形成層と同じ層については、コンタクト部 9 4 , 9 5 を除いて自由に使うことができる。従って、図 1 3 では図示を省略しているが、容量素子 9 0 の下層を、駆動回路部を構成する、容量素子 9 0 以外の他の回路部分、具体的には、片チャネルのトランジスタからなる回路部分の一部または全部を形成する層として利用することができる。容量素子 9 0 以外の他の回路部分は、有機 EL 素子 2 1 の発光面と反対側に形成される回路部分と同じプロセスにて形成することができる。

【0150】

上述したように、容量素子 9 0 を含む回路構成の駆動回路部を表示パネル 7 0 上に実装するに当たり、表示パネル 7 0 の額縁領域にも有機層 9 2 を形成し、当該有機層 9 0 を誘電体として用いて容量素子 9 0 を形成することで、次のような作用、効果を得ることができる。

30

【0151】

すなわち、容量素子 9 0 の誘電体として用いる有機層 9 2 を形成したとしても、当該有機層 9 2 を有機 EL 素子 2 1 の有機層 2 1 2 と同一プロセスにて形成することにより、製造工程が増えることはない。そして、表示パネル 7 0 の額縁領域に形成された有機層 9 2 を容量素子 9 0 の誘電体として用いることで、有機層 9 2 の下層の領域を他の回路部分の形成領域として利用できる。

【0152】

40

これにより、他の回路部分を形成する領域を別途確保する必要がなくなるため、その分だけ駆動回路部が占めるレイアウト面積、ひいては画素アレイ部 3 0 の周辺部（即ち、表示パネル 7 0 の額縁）の面積を小さくできる。すなわち、容量素子 9 0 を含む回路構成の駆動回路部を表示パネル 7 0 上に実装するに当たって、表示パネル 7 0 の額縁領域の縮小化、即ち、狭額縁化を図ることができる。

【0153】

[2 - 2 . 実施形態に係る表示パネルの製造方法]

上記構成の表示パネル 7 0 の製造に当っては、図 1 3 において、ガラス基板 7 1 上に、画素 2 0 の駆動トランジスタ 2 2 を含む回路部分を形成するプロセスにて、表示パネル 7 0 の額縁領域にも書込み走査回路 4 0 等の駆動回路部の他の回路部分を形成する。他の回

50

路部分については、図面の簡略化のために図 13 では図示を省略している。そして、有機 EL 素子 21 を形成する際に、表示パネル 70 の額縁領域にも、同じプロセスにて一方の電極 91、有機層 92、及び、他方の電極 93 を形成し、当該有機層 92 を誘電体として容量素子 90 を形成する。

【0154】

この表示パネル 70 の製造方法、即ち、有機 EL 表示装置の製造方法によれば、製造工程を増やすことなく、即ち、有機 EL 素子 21 を形成する工程にて容量素子 90 を形成することができる。従って、製造コストを抑えつつ、有機層 92 を誘電体とする容量素子 90 を含む駆動回路部が実装された表示パネル 70 を作製することができる。

【0155】

< 5 . 変形例 >

上記実施形態では、有機 EL 素子 21 の駆動回路が、基本的に、駆動トランジスタ 22 および書込みトランジスタ 23 の 2 つのトランジスタからなる画素構成の場合を例に挙げて説明したが、本発明はこの画素構成のものに限られるものではない。例えば、電源供給線 32 の電位を固定とした上で、駆動トランジスタ 22 に対して直列接続された発光制御トランジスタを有し、当該発光制御トランジスタによって有機 EL 素子 21 の発光 / 非発光の制御を行なう画素構成など、種々の画素構成に対して適用可能である。

【0156】

例えば、発光制御トランジスタを含む画素構成を採る有機 EL 表示装置の場合には、駆動回路部として発光制御トランジスタを制御する走査回路が別途必要になる。この場合の有機 EL 表示装置にあっては、発光制御トランジスタを制御する走査回路に対しても、本発明を適用することが可能となる。

【0157】

< 6 . 適用例 >

以上説明した本発明による有機 EL 表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部（表示装置）に適用できる。一例として、図 14 ~ 図 18 に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなどの表示部に適用することが可能である。

【0158】

このように、あらゆる分野の電子機器の表示部として本発明による有機 EL 表示装置を用いることにより、各種の電子機器の機器本体の小型化を図ることができる。すなわち、先述した実施形態の説明から明らかなように、本発明による有機 EL 表示装置は、容量素子を含む回路構成の駆動回路部を表示パネル上に実装するに当たって、当該表示パネルの狭額縁化を図ることができる。従って、各種の電子機器において、表示部の額縁を小さくするために、機器本体の小型化を図ることができる。

【0159】

本発明による有機 EL 表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部 30 に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部や FPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0160】

[電子機器]

以下に、本発明が適用される電子機器の具体例について説明する。

【0161】

図 14 は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル 102 やフィルターガラス 103 等から構成される映像表示画面部 101 を含み、その映像表示画面部 101 として本発明による

10

20

30

40

50

有機ＥＬ表示装置を用いることにより作製される。

【０１６２】

図１５は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、（Ａ）は表側から見た斜視図、（Ｂ）は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部１１１、表示部１１２、メニュースイッチ１１３、シャッターボタン１１４等を含み、その表示部１１２として本発明による有機ＥＬ表示装置を用いることにより作製される。

【０１６３】

図１６は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体１２１に、文字等を入力するとき操作されるキーボード１２２、画像を表示する表示部１２３等を含み、その表示部１２３として本発明による有機ＥＬ表示装置を用いることにより作製される。

10

【０１６４】

図１７は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部１３１、前方を向いた側面に被写体撮影用のレンズ１３２、撮影時のスタート/ストップスイッチ１３３、表示部１３４等を含み、その表示部１３４として本発明による有機ＥＬ表示装置を用いることにより作製される。

【０１６５】

図１８は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、（Ａ）は開いた状態での正面図、（Ｂ）はその側面図、（Ｃ）は閉じた状態での正面図、（Ｄ）は左側面図、（Ｅ）は右側面図、（Ｆ）は上面図、（Ｇ）は下面図である。本適用例に係る携帯電話機は、上側筐体１４１、下側筐体１４２、連結部（ここではヒンジ部）１４３、ディスプレイ１４４、サブディスプレイ１４５、ピクチャーライト１４６、カメラ１４７等を含んでいる。そして、ディスプレイ１４４やサブディスプレイ１４５として本発明による有機ＥＬ表示装置を用いることにより、本適用例に係る携帯電話機が作製される。

20

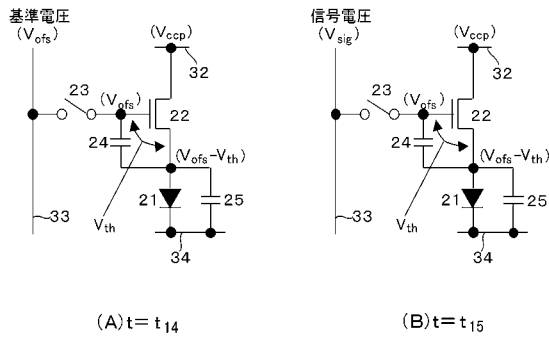
【符号の説明】

【０１６６】

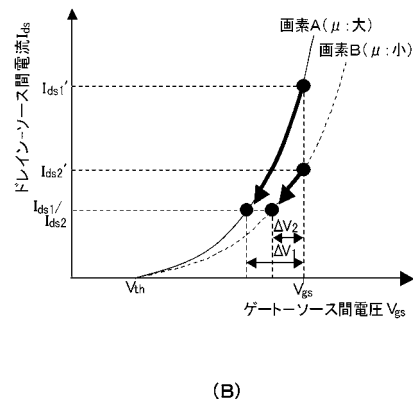
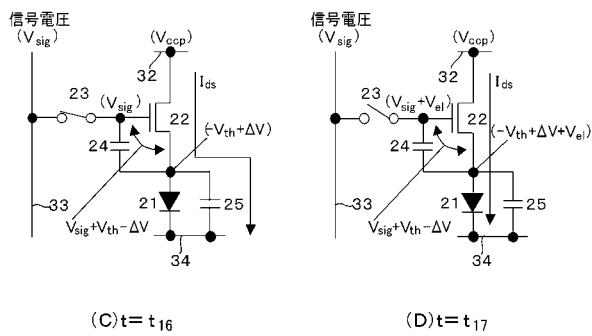
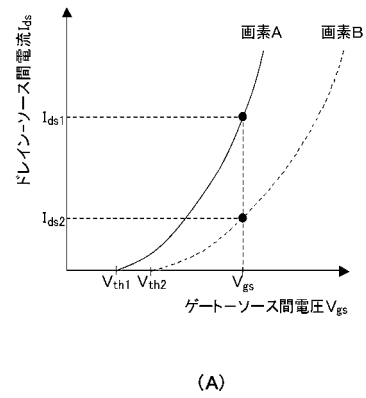
１０…有機ＥＬ表示装置、２０…画素（画素回路）、２１…有機ＥＬ素子、２２…駆動トランジスタ、２３…書込みトランジスタ、２４…保持容量、２５…補助容量、３０…画素アレイ部、３１（３１_１～３１_ｍ）…走査線、３２（３２_１～３２_ｍ）…電源供給線、３３（３３_１～３３_ｎ）…信号線、３４…共通電源供給線、４０…書込み走査回路、５０…電源供給走査回路、６０…信号出力回路、７０…表示パネル、８０…インバータ回路、９０…容量素子、９２…有機層

30

【図 5】

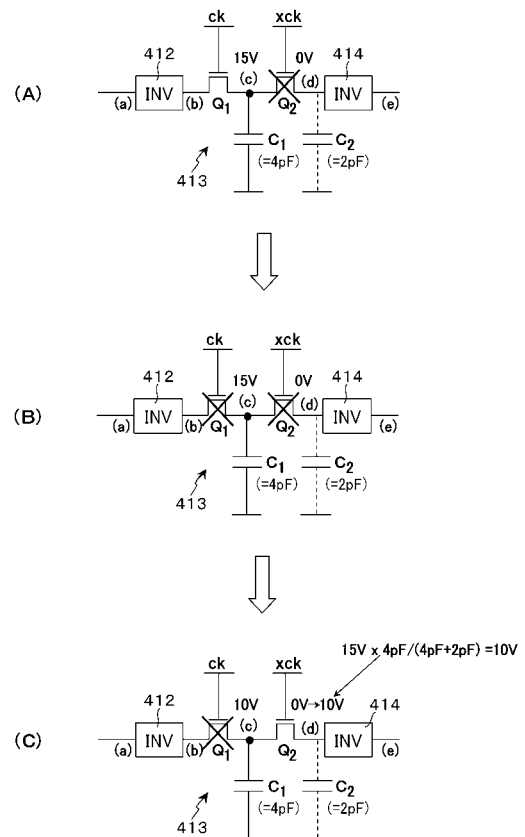
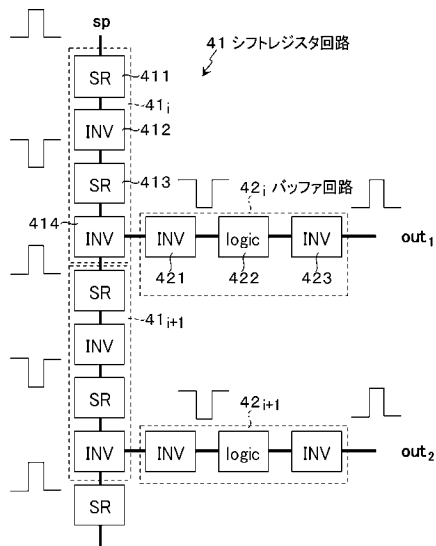


【図 6】

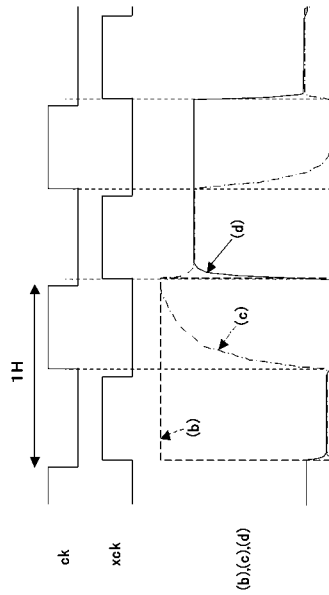


【図 7】

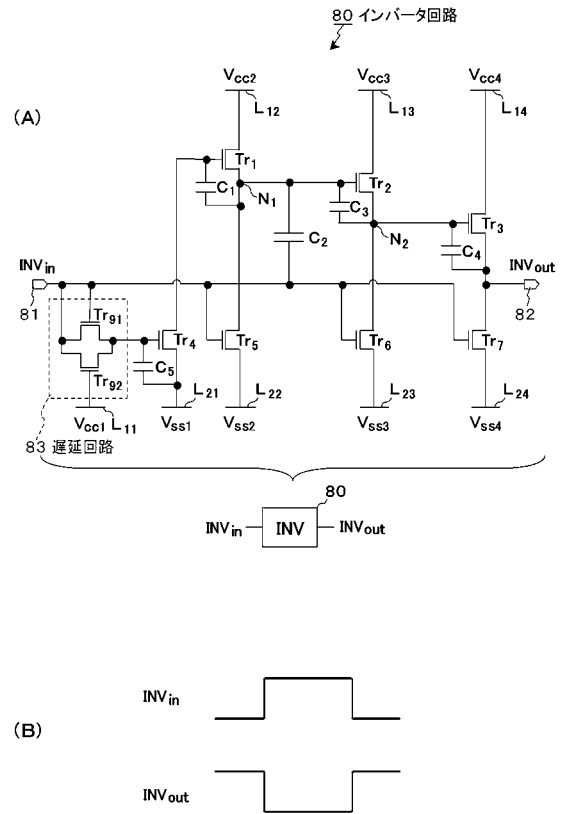
【図 8】



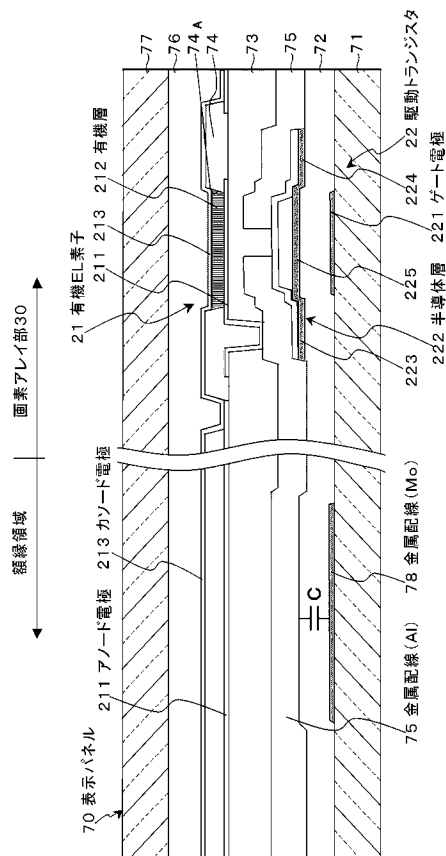
【図 9】



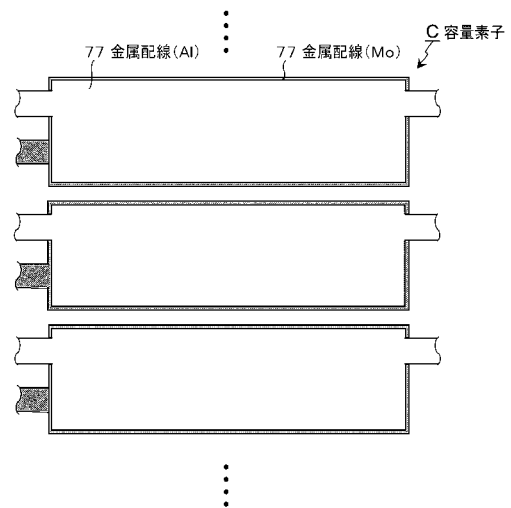
【図 10】



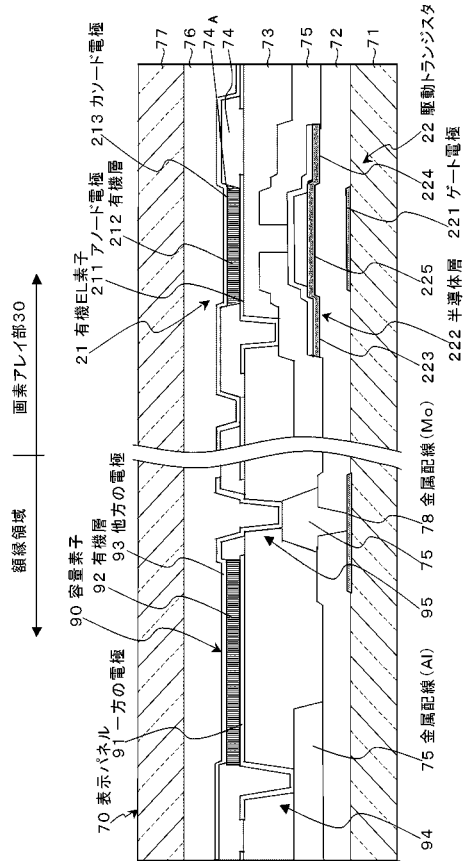
【図 11】



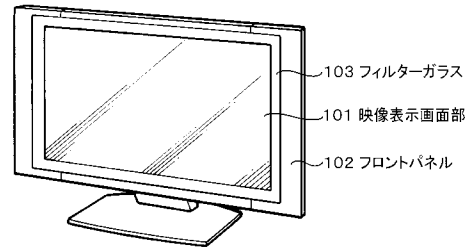
【図 12】



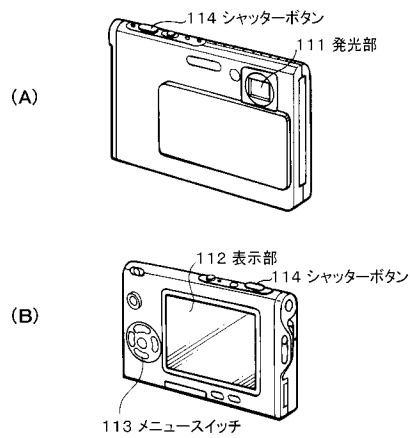
【図 13】



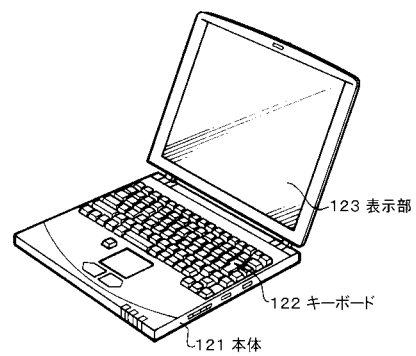
【図 14】



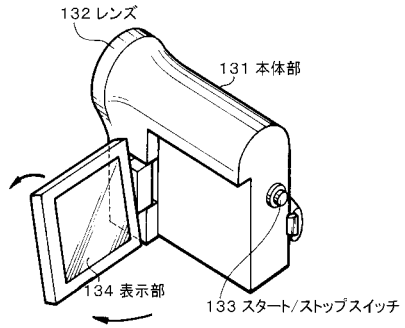
【図 15】



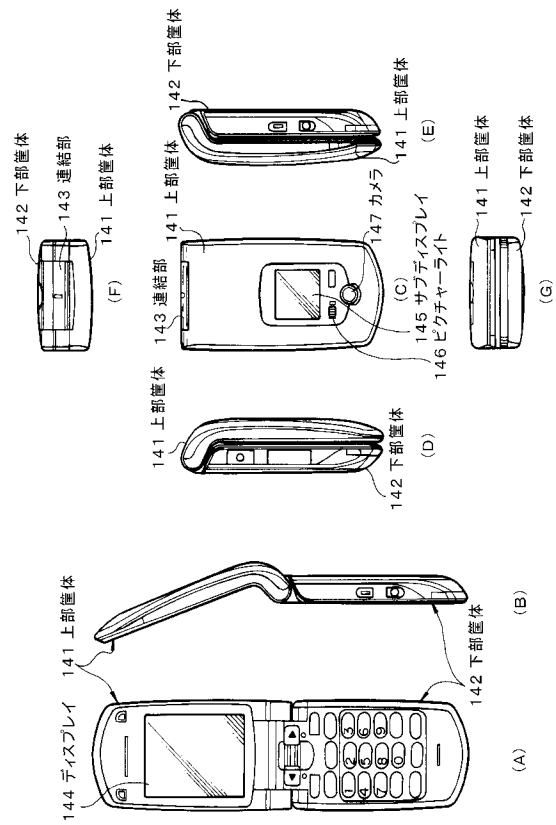
【図 16】



【図 17】



【図 18】



フロントページの続き

F ターム(参考) 3K107 AA01 BB01 CC11 CC21 CC33 CC35 CC36 CC42 CC45 EE03
EE59 HH04
5C080 AA06 BB05 DD02 DD05 DD22 DD27 JJ02 JJ03 JJ04 JJ06
5C380 AA01 AB06 AB19 AB22 AB24 AB34 AB35 AB36 AC07 AC08
AC09 AC11 BA11 BA14 BA17 BA28 BA38 BA39 BB02 BD02
BE02 CA08 CA12 CA54 CB01 CB37 CC02 CC03 CC04 CC05
CC07 CC27 CC30 CC33 CC61 CC62 CD022 CF07 CF23 CF43
DA02 DA06 DA42 DA47

专利名称(译)	有机EL表示装置、有机EL表示装置の制造方法、及び、电子机器		
公开(公告)号	JP2012022168A	公开(公告)日	2012-02-02
申请号	JP2010160407	申请日	2010-07-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	三並 徹雄 内野 勝秀		
发明人	三並 徹雄 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3225 G09G3/3266 G09G3/3291 G09G2300/0852 G09G2320/045 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.621.M G09G3/20.680.G G09G3/20.624.B H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC21 3K107/CC33 3K107/CC35 3K107/CC36 3K107/CC42 3K107/CC45 3K107/EE03 3K107/EE59 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD05 5C080/DD22 5C080/DD27 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB19 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB35 5C380/AB36 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA11 5C380/BA14 5C380/BA17 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BE02 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB37 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC61 5C380/CC62 5C380/CD022 5C380/CF07 5C380/CF23 5C380/CF43 5C380/DA02 5C380/DA06 5C380/DA42 5C380/DA47		
代理人(译)	森浩一 吉井正明 山本隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了能够在安装具有电路结构的逆变器电路的驱动电路部件时获得显示板的窄框架，该电路结构包括由半通道晶体管构成的电容元件。显示板：包括诸如写扫描电路的电容元件的电路配置的驱动电路部分安装在显示板70上。在这种情况下，像素阵列部分30的周边部分，即框架在与有机EL元件21的有机层212相同的工艺中，显示面板70的区域设置有有机层92。然后，通过使用在框架区域中形成的有机层92形成电容元件90。显示面板70作为电介质体。

