

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-44894

(P2010-44894A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/22 (2006.01)	H05B 33/22 Z	3K107
H05B 33/12 (2006.01)	H05B 33/12 C	
H01L 51/50 (2006.01)	H05B 33/14 A	
H05B 33/26 (2006.01)	H05B 33/26 Z	

審査請求 有 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2008-206621 (P2008-206621)	(71) 出願人	000002185
(22) 出願日	平成20年8月11日 (2008.8.11)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	中村 和夫
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	浅井 伸利
			東京都港区港南1丁目7番1号 ソニー株
			式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

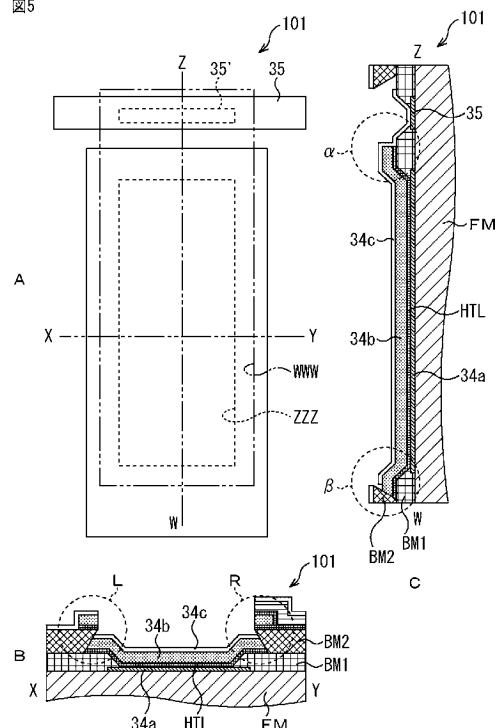
(57) 【要約】

【課題】 表示品位を向上させる。

【解決手段】 有機膜34bは、電流に応じて発光する。第1の画素分離膜BM1は、有機膜34bが発光する際の発光領域を規定する第1の開口部を形成する。第2の画素分離膜BM2は、第1の画素分離膜BM1に積層され、第1の画素分離膜BM1に接する面から離れるに従い狭まるような、いわゆる逆テーパ状の第2の開口部を形成する。また、カソード34cは、有機膜34bおよび第2の画素分離膜BM2に積層され、第2の画素分離膜BM2の開口部の内側と外側とで分離されている。本発明は、例えば、有機EL表示装置に適用できる。

【選択図】 図5

図5



【特許請求の範囲】

【請求項 1】

電流に応じて発光する発光層と、
前記発光層が発光する際の発光領域を規定する第 1 の開口部を形成する第 1 の画素分離膜と、
前記第 1 の画素分離膜に積層され、前記第 1 の画素分離膜に接する面から離れるに従い徐々に広がることが規制された第 2 の開口部を形成する第 2 の画素分離膜と
を備える表示装置。

【請求項 2】

前記第 2 の画素分離膜の前記第 2 の開口部は、前記第 1 の画素分離膜に接する面から離れるに従い狭まるように形成されている
請求項 1 に記載の表示装置。

10

【請求項 3】

前記第 2 の画素分離膜の前記第 2 の開口部の側面は、前記第 2 の画素分離膜が前記第 1 の画素分離膜に接する面に対して略垂直な面を有する
請求項 1 に記載の表示装置。

【請求項 4】

前記発光層および前記第 2 の画素分離膜に積層されるカソード膜
をさらに備え、
前記カソード膜は、前記第 2 の開口部の内側と外側とで分離されている
請求項 1 に記載の表示装置。

20

【請求項 5】

所定の基板上に成膜される平坦化膜と、
前記平坦化膜に積層されるアノード膜と、
前記平坦化膜に積層されるカソード補助配線と
をさらに備え、
前記第 1 の画素分離膜の前記第 1 の開口部は、前記発光層と前記アノード膜とを接続する接続面を規定することで、前記発光領域を規定し、
前記第 1 の画素分離膜は、前記カソード膜と前記カソード補助配線とを接続するカソードコンタクトを規定する第 3 の開口部を形成し、
前記第 2 の画素分離膜の前記第 2 の開口部は、前記第 1 の画素分離膜の前記第 1 の開口部および前記第 3 の開口部を含む大きさである
請求項 4 に記載の表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、表示品位を向上させることができるようにした表示装置に関する。

【背景技術】

【0002】

近年、フラットパネルディスプレイ（FPD（Flat Panel Display））のひとつとして、有機 EL（Electro Luminescence）素子を用いた有機 EL 表示装置への関心が高まっており、有機 EL 表示装置の開発が盛んに行われている。

40

【0003】

現状、液晶表示装置（LCD（Liquid Crystal Display））が、フラットパネルディスプレイの主流を占めている。しかしながら、液晶表示装置は、自発光素子を用いたデバイスではなく、バックライトや偏光板などの照明部材を必要とするため、装置の厚みが増すことや輝度が不足することなどが問題点とされている。これに対して、有機 EL 表示装置は、自発光素子を用いたデバイスなので、バックライトなどが原理的に不要であり、薄型化が可能である点や高輝度が得られる点などが、液晶表示装置と比較して有利とされている

50

。

【0004】

特に、各画素にスイッチングを行うTFT回路が形成されている、いわゆるアクティブマトリクス型の有機EL表示装置は、各画素をホールド点灯させることができ、これにより、消費電力を抑制することができる。また、アクティブマトリクス型の有機EL表示装置は、大画面化および高精細化を比較的容易に行うことができることから、開発が盛んに進められており、次世代のフラットパネルディスプレイの主流として期待されている。

【0005】

ところで、有機EL表示装置では、複数の画素がマトリクス状に配置された画素アレイ部を製造する際に、アノードが成膜され、各画素を分離する画素分離膜が形成された後に、各画素の有機膜が蒸着され、その上にカソードが成膜される。このとき、画素アレイ部は、有機膜が多層構造となるよに形成されるが、アノードと有機膜との間にある、いわゆるホール注入層を介して、アノードとカソードとの間でリーク電流が発生することがある

。

【0006】

従来、リーク電流が流れる経路であるリーク経路は、有機膜の成膜順に応じて異なり、リーク経路の差によって、リーク電流の流量に差が生じる。このため、各有機膜に流れる電流にばらつきが生じ、これにより色ずれなどが発生し、有機EL表示装置の表示品位が低下してしまう。

【0007】

例えば、特許文献1には、画素が、オーバーハング部を有する立体的構造物である画素分割構造体により、複数の画素要素に分離されている有機EL表示装置が開示されている

。

【0008】

【特許文献1】特開2000-195677号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したように、従来の有機EL表示装置では、リーク電流の流量の差により、表示品位が低下することがあった。

【0010】

本発明は、このような状況に鑑みてなされたものであり、表示品位を向上させることができるようにするものである。

【課題を解決するための手段】

【0011】

本発明の一側面の表示装置は、電流に応じて発光する発光層と、前記発光層が発光する際の発光領域を規定する第1の開口部を形成する第1の画素分離膜と、前記第1の画素分離膜に積層され、前記第1の画素分離膜に接する面から離れるに従い徐々に広がることが規制された第2の開口部を形成する第2の画素分離膜とを備える。

【0012】

本発明の一側面においては、第1の画素分離膜により、電流に応じて発光する発光層が発光する際の発光領域を規定する第1の開口部が形成され、第2の画素分離膜は第1の画素分離膜に積層され、第2の画素分離膜により、第1の画素分離膜に接する面から離れるに従い徐々に広がることが規制された第2の開口部が形成される。

【発明の効果】

【0013】

本発明の一側面によれば、表示品位を向上させることができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明

10

20

30

40

50

する。

【0015】

図1は、本発明を適用した有機EL表示装置の一実施の形態の構成例を示すブロック図である。

【0016】

図1の有機EL表示装置100は、 $N \times M$ 個の画素回路101- $(1, 1)$ 乃至101- (N, M) がマトリクス状に配置されている画素アレイ部102と、これを駆動する駆動部である水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、及び電源スキャナ(DSCN)105とにより構成されている。

【0017】

また、有機EL表示装置100は、M本の走査線WSL10-1乃至WSL10-M、M本の電源線DSL10-1乃至DSL10-M、及びN本の信号線DTL10-1乃至DTL10-Nも有する。

【0018】

なお、以下において、走査線WSL10-1乃至WSL10-M、信号線DTL10-1乃至DTL10-N、画素回路101- $(1, 1)$ 乃至101- (N, M) 、または電源線DSL10-1乃至DSL10-Mのそれぞれを特に区別する必要がない場合、単に、走査線WSL10、信号線DTL10、画素回路101、または電源線DSL10と称する。

【0019】

画素回路101- $(1, 1)$ 乃至101- (N, M) のうちの第1行の画素回路101- $(1, 1)$ 乃至101- $(N, 1)$ は、走査線WSL10-1でライトスキャナ104と、電源線DSL10-1で電源スキャナ105とそれぞれ接続されている。また、画素回路101- $(1, 1)$ 乃至101- (N, M) のうちの第M行の画素回路101- $(1, M)$ 乃至101- (N, M) は、走査線WSL10-Mでライトスキャナ104と、電源線DSL10-Mで電源スキャナ105とそれぞれ接続されている。画素回路101- $(1, 1)$ 乃至101- (N, M) の行方向に並ぶその他の画素回路101についても同様である。

【0020】

また、画素回路101- $(1, 1)$ 乃至101- (N, M) のうちの第1列の画素回路101- $(1, 1)$ 乃至101- $(1, M)$ は、信号線DTL10-1で水平セクタ103と接続されている。画素回路101- $(1, 1)$ 乃至101- (N, M) のうちの第N列の画素回路101- $(N, 1)$ 乃至101- (N, M) は、信号線DTL10-Nで水平セクタ103と接続されている。画素回路101- $(1, 1)$ 乃至101- (N, M) の列方向に並ぶその他の画素回路101についても同様である。

【0021】

ライトスキャナ104は、走査線WSL10-1乃至10-Mに水平期間(1H)で順次制御信号を供給して画素回路101を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線DSL10-1乃至10-Mに第1電位(Vcc)または第2電位(Vss)の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間(1H)内で画像信号となる信号電位Vsigと基準電位Vofsとを切換えて列状の信号線DTL10-1乃至10-Nに供給する。

【0022】

図2は、図1に示した画素アレイ部102を構成する $N \times M$ 個の画素回路101のうちの1つの画素回路101を拡大して示すことにより、画素回路101の詳細な構成を示したブロック図である。

【0023】

なお、図2において画素回路101と接続されている走査線WSL10、信号線DTL10、及び電源線DSL10は、図1から明らかなように、画素回路101- (n, m) ($n=1, 2, \dots, N, m=1, 2, \dots, M$) に対して、走査線WSL10-m

10

20

30

40

50

、信号線 $D T L 10 - n$ 、及び電源線 $D S L 10 - m$ となる。

【0024】

画素回路101は、TFT回路30及び有機EL素子34から構成される。TFT回路30は、書き込みトランジスタ31、駆動トランジスタ32、及び蓄積容量33から構成される。なお、TFT回路30の素子構成は、2Tr(transistor)+1C(capacitor)と呼ばれている。

【0025】

書き込みトランジスタ31のゲートは走査線 $W S L 10$ と接続されている。書き込みトランジスタ31のドレインは、信号線 $D T L 10$ と接続されている。書き込みトランジスタ31のソースは、駆動トランジスタ32のゲートと接続されている。駆動トランジスタ32のソースは有機EL素子34のアノード34aに接続され、駆動トランジスタ32のドレインが電源線 $D S L 10$ に接続されている。蓄積容量33は、駆動トランジスタ32のゲートと有機EL素子34のアノード34aの間に接続されている。また、有機EL素子34のカソード34cは所定の電位 V_{cat} に設定されている。

【0026】

有機EL素子34は、電流発光素子であり、発光層（発光部位）である有機膜34bを介して、アノード34aからカソード34cに駆動電流が流れることにより、有機膜34bが、駆動電流の値に応じた階調で発光する。

【0027】

以上のように構成される画素回路101において、書き込みトランジスタ31が、走査線 $W S L 10$ から供給された制御信号に応じてオン（導通）すると、蓄積容量33は、信号線 $D T L 10$ を介して水平セクタ103から供給された信号電位 V_{sig} に応じて電荷を蓄積して保持する。駆動トランジスタ32は、高電位 V_{cc} にある電源線 $D S L 10$ から電流の供給を受け、蓄積容量33に保持された電荷に応じて、即ち、信号電位 V_{sig} に応じて、駆動電流 I_{ds} を有機EL素子34に流す。有機EL素子34に所定の駆動電流 I_{ds} が流れると、有機EL素子34は発光する。

【0028】

即ち、TFT回路30は、有機EL素子34を駆動するための駆動回路であり、駆動電流 I_{ds} を有機EL素子34に供給する。そして、有機EL素子34は、駆動電流 I_{ds} に応じた輝度で発光する。

【0029】

しかしながら、実際には、その構造上、TFT回路30から有機EL素子34に供給される駆動電流 I_{ds} が、有機膜34bを介さずに、アノード34aと有機膜34bとの間に形成されるホール注入層を介して、カソード34cにリークすることがある。

【0030】

ここで、図3を参照して、従来の画素回路201の積層構造について説明し、図4を参照して、リーク電流について説明する。

【0031】

図3A及び図3Bは、図2の画素回路201の平面レイアウトの一例を示している。図3Cは、画素回路201の断面レイアウトの一例を示している。

【0032】

但し、図3Aは、画素回路201のうちのTFT回路30に関する部分のみの平面レイアウトを示している点に留意すべきである。図3Bは、画素回路201のうちの有機EL素子34に関する部分のみの平面レイアウトを示している点に留意すべきである。

【0033】

また、ユーザは、画素回路201に対する垂直方向、即ち、図3A及び図3Bにおける図に向かって手前から奥の方向、また、図3Cにおける図中上から下の方向に、画素回路201を視認するとする。なお、以下の説明では、図3C中上側の面を上面と称し、同図中下側の面を下面と称する。

【0034】

10

20

30

40

50

図 3 A に示されるように、基板（図 3 C に示されている基板 1 2 1）上には、少なくとも、下から順に、ゲート金属 GM、半導体膜 HH、第 1 無機保護膜 MH、及びソースドレイン金属 SDM が積層されている。

【0035】

書き込みトランジスタ 3 1 のゲートは、ゲート金属 GM の一部として形成される。書き込みトランジスタ 3 1 のソース及びドレインは、ソースドレイン金属 SDM の一部として形成される。書き込みトランジスタ 3 1 のチャネル層は、半導体膜 HH の一部として形成される。駆動トランジスタ 3 2 のゲートは、ゲート金属 GM の一部として形成される。駆動トランジスタ 3 2 のソース及びドレインは、ソースドレイン金属 SDM の一部として形成される。駆動トランジスタ 3 2 のチャネル層は、半導体膜 HH の一部として形成される。蓄積容量 3 3 の下部電極は、ゲート金属 GM の一部として形成される。蓄積容量 3 3 の上部電極は、ソースドレイン金属 SDM の一部として形成される。

【0036】

より詳細には、図 3 C に示されるように、基板 1 2 1 上には、下から順に、ゲート金属 GM、ゲート絶縁膜 GZ、半導体膜 HH、第 1 無機保護膜 MH、低抵抗半導体膜 TH、ソースドレイン金属 SDM が積層される。

【0037】

蓄積容量 3 3 の下部電極は、ゲート金属 GM 及び低抵抗半導体膜 TH の一部として形成される。蓄積容量 3 3 の絶縁膜は、ゲート絶縁膜 GZ の一部として形成される。蓄積容量 3 3 の上部電極は、ソースドレイン金属 SDM の一部として形成される。駆動トランジスタ 3 2 のゲートは、ゲート金属 GM の一部として形成される。駆動トランジスタ 3 2 のソース及びドレインは、ソースドレイン金属 SDM の一部として形成される。駆動トランジスタ 3 2 のチャネル層は、半導体膜 HH 及び低抵抗半導体膜 TH の一部として形成される。

【0038】

なお、駆動トランジスタ 3 2 のチャネル層となる半導体膜 HH には、例えば、非晶質珪素あるいは微結晶珪素が用いられる。駆動トランジスタ 3 2 の構造としては、いわゆる逆スタガード構造が採用されている。即ち、駆動トランジスタ 3 2 のゲートは、基板 1 2 1 側に形成されている。書き込みトランジスタ 3 1 は、図示していないが、駆動トランジスタ 3 2 と同様に形成されている。

【0039】

ソースドレイン金属 SDM の積層後、基板 1 2 1 上には、下から順に、第 2 無機保護膜 MMH、平坦化膜 FM が積層される。第 2 無機保護膜 MMH は、TF T 回路 3 0 を不純物等から保護する保護膜である。平坦化膜 FM の上面は、平滑化されている。

【0040】

そして、平滑化膜 FM の形成後、基板 1 2 1 上には、下から順に、アノード 3 4 a、画素分離膜 BM、ホール注入層 HTL、有機膜 3 4 b、及びカソード 3 4 c が積層される。

【0041】

図 3 B に示されるように、アノード 3 4 a は、基板 1 2 1 上に図中の枠 XXX で囲まれた長形状で積層され形成される。

【0042】

画素分離膜 BM は、基板 1 2 1 上の図中の枠 YYY で囲まれた領域から図中の枠 ZZZ で囲まれた領域が取り除かれた「口」型状で形成される。即ち、画素分離膜 BM のうちの枠 ZZZ で囲まれた部分には穴があいている。この画素分離膜 BM の穴を、以下、開口部と称し、この開口部が、画素回路 2 0 1 を上から見たときの発光領域となる。なお、画素分離膜 BM は、ある 1 つの画素回路 2 0 1 に着目したときに、「口」型状で形成されているのであり、画素分離膜 BM の外周（即ち、図中の枠 YYY）は、隣接する画素回路 2 0 1 の画素分離膜 BM と一体に形成されているので、画素アレイ部 1 0 2 全体としてみると、画素分離膜 BM は、対応する画素ごとに開口部が設けられた膜である。また、画素分離膜 BM の開口部は、下に行くほど狭くなるように形成されている。

10

20

30

40

50

【0043】

ホール注入層H T Lは、アノード3 4 aおよび画素分離膜B Mの上に積層される。

【0044】

有機膜3 4 bは、ホール注入層H T Lの上に、開口部よりも広い領域に積層されて形成される。有機膜3 4 bの形成手法としては、有機膜3 4 bが低分子有機材料の場合、蒸着法が主に用いられ、有機膜3 4 bが高分子有機材料の場合、インクジェット法が主に用いられる。

【0045】

カソード3 4 cは、図中枠Y Y Yで囲まれた長形状で、有機膜3 4 bの形成後の上面全体に、その上面の形状に沿って積層され形成される。なお、カソード3 4 cの外周（即ち、図中の枠Y Y Y）は、隣接する画素回路2 0 1のカソード3 4 cと一体に形成されているので、カソード3 4 cは、画素アレイ部1 0 2全体のほぼ全面に形成されている。

10

【0046】

このように、画素回路2 0 1が形成されており、上述したように、有機膜3 4 bを介さずに、ホール注入層H T Lを介して、アノード3 4 aからカソード3 4 cにリーク電流が流れることがある。

【0047】

図4を参照して、リーク電流について説明する。

【0048】

図4には、隣り合う2つの画素回路2 0 1-1および2 0 1-2が示されており、図4 Aには、図4 Bに示されている平面図のX-Y断面図のうち、平坦化膜F M（図3）よりも上に積層される層が示されている。また、図4 Aには、画素回路2 0 1-2のうちの、画素回路2 0 1-1に接する一部分のみが示されている。

20

【0049】

図4に示すように、平坦化膜F M（図3）の上に、アノード3 4 a-1および3 4 a-2が形成された後、画素分離膜B Mが形成される。画素分離膜B Mには、アノード3 4 a-1および3 4 a-2に応じて開口部が形成されており、開口部は、上に向かうに従い広がるようなテーパ形状に形成される。

【0050】

その後、有機膜3 4 b-1を蒸着する際に使用されるマスクを用いて、ホール注入層H T Lが、アノード3 4 a-1の上、および画素分離膜B Mの開口部の周囲の上に形成された後、有機膜3 4 b-1が蒸着される。

30

【0051】

その次に、有機膜3 4 b-2を蒸着する際に使用されるマスクを用いて、ホール注入層H T Lが、アノード3 4 a-2の上、および画素分離膜B Mの開口部の周囲の上に形成された後、有機膜3 4 b-2が蒸着される。このとき、ホール注入層H T Lおよび有機膜3 4 b-2は、図4に示すように、有機膜3 4 b-1の端部に重なるように形成され、有機膜が多層構造となる。

【0052】

従って、有機膜3 4 b-1と有機膜3 4 b-2との間にもホール注入層H T Lが形成されている。その後、画素回路2 0 1-1および2 0 1-2の全面にカソード3 4 cが成膜される。

40

【0053】

このように画素回路2 0 1-1および2 0 1-2が形成されたとき、ホール注入層H T Lおよび有機膜3 4 b-1の両端はほぼ同じ位置となるとともに、ホール注入層H T Lおよび有機膜3 4 b-2の両端はほぼ同じ位置となる。従って、図4において破線の円が示されている箇所のように、ホール注入層H T Lの端部で、ホール注入層H T Lとカソード3 4 cとが接触することになり、この接触箇所に電流が流れる。即ち、画素分離膜B Mと有機膜3 4 b-1との間のホール注入層H T Lを介して、カソード3 4 cとアノード3 4 a-1との間にリーク電流が流れ、有機膜3 4 b-1と有機膜3 4 b-2との間のホール

50

注入層H T Lを介して、カソード3 4 cとアノード3 4 a-2との間にリーク電流が流れる。

【0054】

このとき、カソード3 4 cとアノード3 4 a-1との間のホール注入層H T Lの長さ、カソード3 4 cとアノード3 4 a-2との間のホール注入層H T Lの長さが異なっており、即ち、リーク経路が異なっている。図4の例では、カソード3 4 cとアノード3 4 a-1との間のリーク経路が、カソード3 4 cとアノード3 4 a-2との間のリーク経路よりも短くなっている。このようなリーク経路の違いは、有機膜の成膜順によって決まる。そして、リーク経路の違いによりリーク電流の流量が異なり、その影響により、有機膜3 4 bに流れる電流にばらつきが生じることになる。そのため、色ずれなどが発生し、表示品質が低下することになる。

10

【0055】

ここで、例えば、画素回路2 0 1ごとのリーク経路が一定であれば、画素ごとのリーク電流の流量は等しくなり、色ずれが発生することがなく、表示品質の低下を回避することができると考えられる。

【0056】

そこで、以下、本発明を適用した画素回路の一実施の形態の構成例について説明する。

【0057】

図5 Aには、画素回路1 0 1の平面図が示されており、図5 Bには、図5 AのX-Y断面図が示されており、図5 Cには、図5 AのZ-W断面図が示されている。なお、図5の画素回路1 0 1において、平坦化膜F M以下の層は、図3の画素回路2 0 1と同様に構成されており、その図示および説明は省略する。

20

【0058】

画素回路1 0 1は、平坦化膜F Mの上にアノード3 4 aおよびカソード配線（補助配線）3 5が形成され、その後、第1の画素分離膜B M 1が形成される。

【0059】

第1の画素分離膜B M 1は、アノード3 4 aの端部に若干重なるように開口部が形成され、上に向かうに従い、開口部が広がるようなテーパ状に形成される。第1の画素分離膜B M 1の開口部は、図5 Aにおいて枠Z Z Zで示された領域であり、この領域が発光領域となる。また、第1の画素分離膜B M 1は、カソード配線3 5に重なる一部分において開口しており、この開口部が、カソード配線3 5とカソード3 4 cとが接続するカソードコンタクト3 5'となる。

30

【0060】

そして、第1の画素分離膜B M 1の上には、第2の画素分離膜B M 2が形成される。第2の画素分離膜B M 2の開口部は、第1の画素分離膜B M 1の開口部のよりも広く、図5 Aにおいて枠W W Wで示された領域である。即ち、第2の画素分離膜B M 2の開口部は、第1の画素分離膜B M 1の開口部とカソードコンタクト3 5'とを含むように形成される。ここで、第2の画素分離膜B M 2の開口部は、上に向かうに従い狭まるような、いわゆる逆テーパ状に形成される。また、第2の画素分離膜B M 2の厚みは、その後に形成されるホール注入層H T L、有機膜3 4 b、およびカソード3 4 cを合計した厚み以上とされる。

40

【0061】

その後、同じマスクを使用して、ホール注入層H T Lおよび有機膜3 4 bが、各色ごとに蒸着される。ここで、使用されるマスクは、第2の画素分離膜B M 2の開口部よりX-Y方向に若干広いものとなっている。そして、画素アレイ部1 0 2の表示領域の全面にカソード3 4 cが蒸着される。

【0062】

このように形成されている画素回路1 0 1では、第2の画素分離膜B M 2の開口部が逆テーパ状に形成されているので、図5 Bに示されている破線の円LおよびRに囲われた範囲に示されるように、ホール注入層H T Lは、カソード3 4 cとが接触することなく形成

50

される。即ち、ホール注入層H T Lおよび有機膜3 4 bが、第2の画素分離膜B M 2の開口部より広いマスクを使用して形成される際に、その両端の一部は、第2の画素分離膜B M 2の上に形成される。

【0063】

ここで、例えば、第1の画素分離膜B M 1のように、開口部がテーパ状に形成されているときには、その傾斜面にホール注入層H T Lおよび有機膜3 4 bが形成されるが、第2の画素分離膜B M 2のように、開口部が逆テーパ状に形成されているときには、その傾斜面には蒸着することはない。従って、ホール注入層H T Lを、カソード3 4 cと接触することなく、分離して形成することができる。これにより、図5 Bの左右方向にリーク電流が発生することを回避することができる。

10

【0064】

また、図5 Cに示すように、第2の画素分離膜B M 2の、カソード配線3 5が設けられている側の反対側、即ち、図5 Cに示されている破線の円βにおいても、ホール注入層H T Lが、カソード3 4 cと接触することなく形成される。これにより、図5 Cの下方向にリーク電流が発生することを回避することができる。

【0065】

一方、第2の画素分離膜B M 2の、カソード配線3 5が設けられている側では、第2の画素分離膜B M 2の開口部が、カソード配線3 5を含むように形成されているため、図5 Cに示されている破線の円αで示す箇所のように、ホール注入層H T Lがカソード3 4 cに接触することになる。従って、この接触箇所から電流がリークすることになる。

20

【0066】

しかしながら、このリーク電流が流れるリーク経路は、画素回路1 0 1に形成される全ての画素回路で同じ長さとなる。従って、このリーク経路を介して流れるリーク電流は、全ての画素回路でほぼ同一となるため、画素回路ごとに有機膜3 4 bに流れる駆動電流にばらつきが生じることはない。即ち、カソード配線3 5が設けられている側でリーク電流が発生しても、色ずれが発生することはない、ひいては、表示品質が低下することもない。

【0067】

また、第2の画素分離膜B M 2の開口部が逆テーパ状に形成されていることにより、画素回路1 0 1と他の画素回路、即ち、画素回路1 0 1に隣接する上下および左右の画素回路と完全に分離することになる。これにより、画素回路1 0 1が他の画素回路からの影響を受けることを回避することができる。

30

【0068】

なお、第2の画素分離膜B M 2は、その開口部の側面に、有機膜3 4 bや、カソード3 4 c、ホール注入層H T Lなどが蒸着されないように形成されていれば、ホール注入層H T Lを介してのリーク電流による色ずれを防止することができるとともに、他の回路から影響を受けることを回避することができる。即ち、第2の画素分離膜B M 2の開口部は、逆テーパ状に限られるものではなく、少なくともテーパ状のように、第2の画素分離膜B M 2が、第1の画素分離膜B M 1と接する面から離れるに従い徐々に広がることがないよう形成されていればよい。例えば、第2の画素分離膜B M 2の開口部の側面が、第1の画素分離膜B M 1と第2の画素分離膜B M 2とが接する面に略垂直な面を有するような階段状に形成してもよい。

40

【0069】

即ち、図6は、画素回路1 0 1の他の実施の形態を示す図である。

【0070】

図6の画素回路1 0 1では、第2の画素分離膜B M 2の開口部は、1段の段差を有する階段状に形成されている。このように第2の画素分離膜B M 2の開口部を形成することで、開口部の側面に、有機膜3 4 bや、カソード3 4 c、ホール注入層H T Lなどが蒸着されることを防止することができる。従って、図5の画素回路1 0 1と同様に、色ずれを防止することができるとともに、他の回路から影響を受けることを回避することができる。

50

【0071】

なお、図5の画素回路101のように、第2の画素分離膜BM2の開口部を逆テーパ状にすることで、より確実に、上述の効果を得ることができる。なお、リーク電流を削減することにより、消費電力を抑制することもできる。

【0072】

ここで、例えば、ホール注入層HTLを成膜するときに、有機膜34bとは別のマスクを使用する製造方法を用いることで、成膜順に依存せずに、ホール注入層HTLを介したリーク電流を減らすことができる。しかしながら、このような製造方法では、マスク枚数が増加することにより生産タクトが低下することになる。

【0073】

これに対し、本発明を適用した画素回路101では、ホール注入層HTLと有機膜34bとを同じマスクで成膜しても、第2の画素分離膜BM2の開口部の形状によりリーク電流を削減することができるので、生産タクトが低下することもない。

【0074】

また、上述の特許文献1には、画素を分離することができる有機EL表示装置が開示されているが、この有機EL表示装置は、パッシブマトリクス型のパネルにしか適用することができない。また、左右に隣接する画素しか分離することができないため、上下に隣接する画素からの影響を受けてしまう。

【0075】

これに対し、本発明を適用した有機EL表示装置100は、アクティブマトリクス型のパネルにも適用できるとともに、上下および左右に隣接する他の画素から完全に分離することができる。

【0076】

なお、図7は、図2の有機EL表示装置100の基板のレイアウトの一例を示している。

【0077】

図7の基板181において、中央には、画素アレイ部102が配置されている。画素アレイ部102の図中左には、ライトスキャナ104の機能を有する走査信号供給TAB（tape-automated bonding）184が配置されている。画素アレイ部102の図中下には、水平セレスタ103の機能を有する画像信号供給TAB185が配置されている。画素アレイ部102の図中上には、電源スキャナ105の機能を有する電源供給TCP（tape carrier package）183が配置されている。

【0078】

基板181上の枠AAで囲まれた領域が、画素アレイ部102となる。枠AAより上下左右に約1～2mmだけ大きい枠BBで囲まれた基板181上の領域には、カソード34cが形成される。これらの有機膜34b、並びに、カソード34cの形成後、基板181上には、図示せぬ封止材が塗布され、対向ガラス182が装着される。

【0079】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0080】

【図1】図1は、本発明を適用した有機EL表示装置の一実施の形態の構成例を示すブロック図である。

【図2】画素回路101の詳細な構成を示したブロック図である。

【図3】従来の画素回路201の積層構造について説明する図である。

【図4】リーク電流について説明する図である。

【図5】画素回路の一実施の形態の構成例を示す図である。

【図6】画素回路の他の実施の形態の構成例を示す図である。

【図7】有機EL表示装置100の基板のレイアウトの一例を示している。

10

20

30

40

50

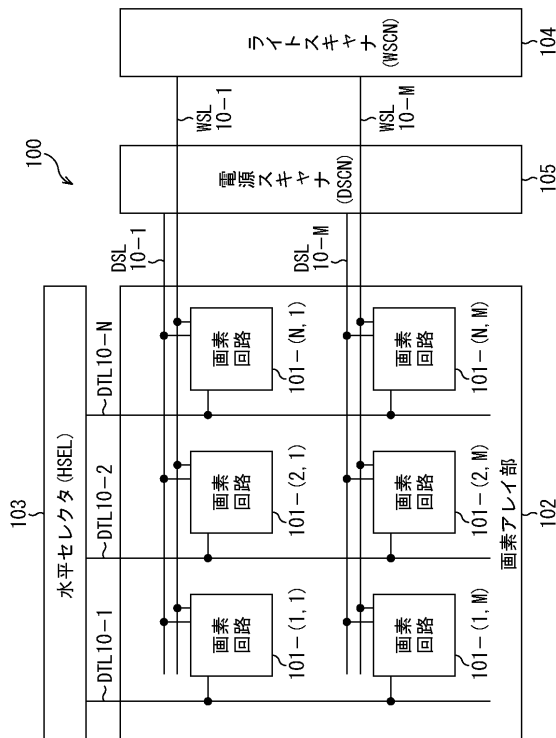
【符号の説明】

【0081】

DSL10-1乃至DSL10-N 電源線, DTL10-1乃至DTL10-M 信号線, WSL10-1乃至WSL10-M 走査線, 31 書き込みトランジスタ, 32 駆動トランジスタ, 33 蓄積容量, 34 有機EL素子, 34a アノード, 34b 有機膜, 34c カソード, 35 カソード配線, 100 有機EL表示装置, 101-(1,1)乃至101-(N,M) 画素回路, 102 画素アレイ部, 103 水平セクタ, 104 ライトスキャナ, 105 電源スキャナ

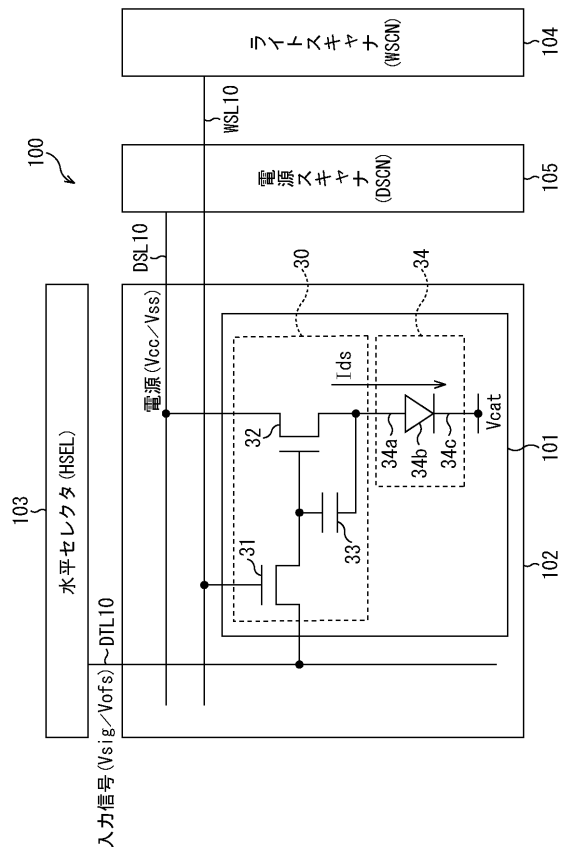
【図1】

図1

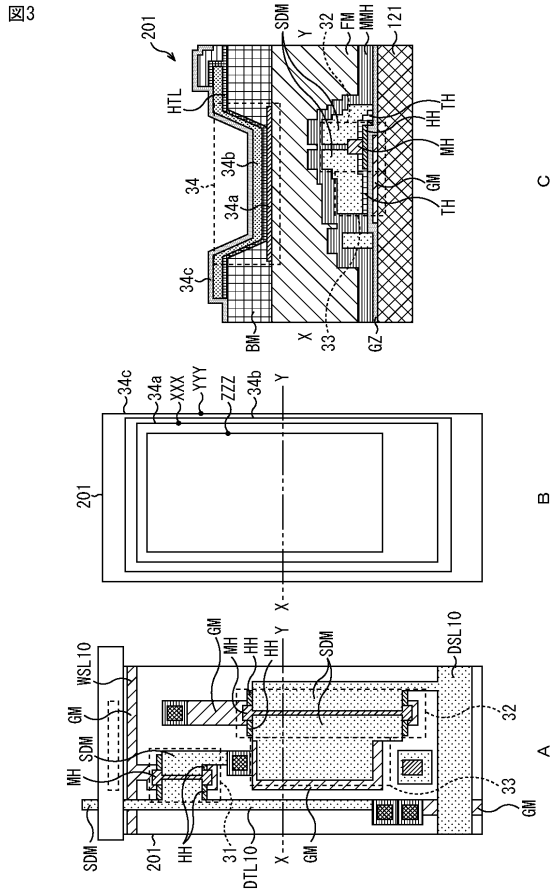


【図2】

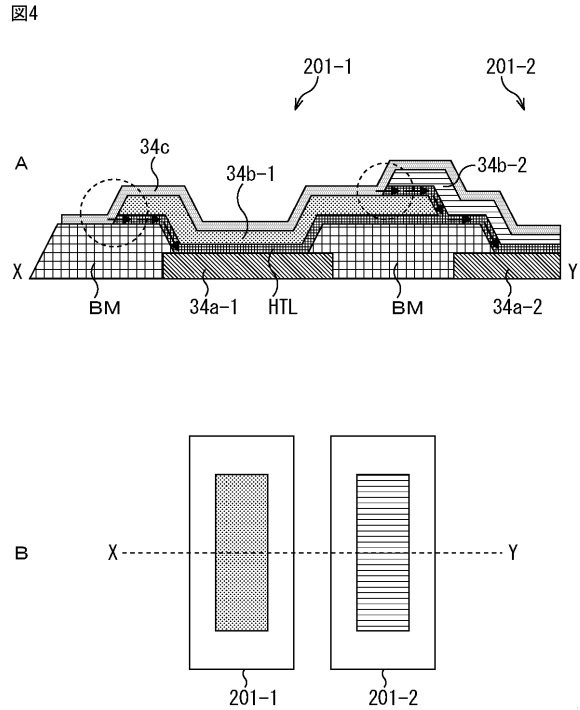
図2



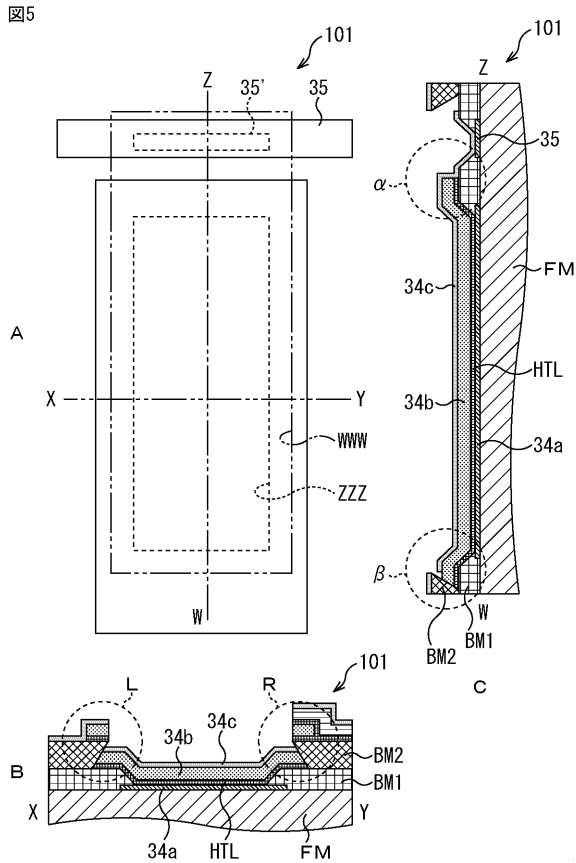
【図 3】



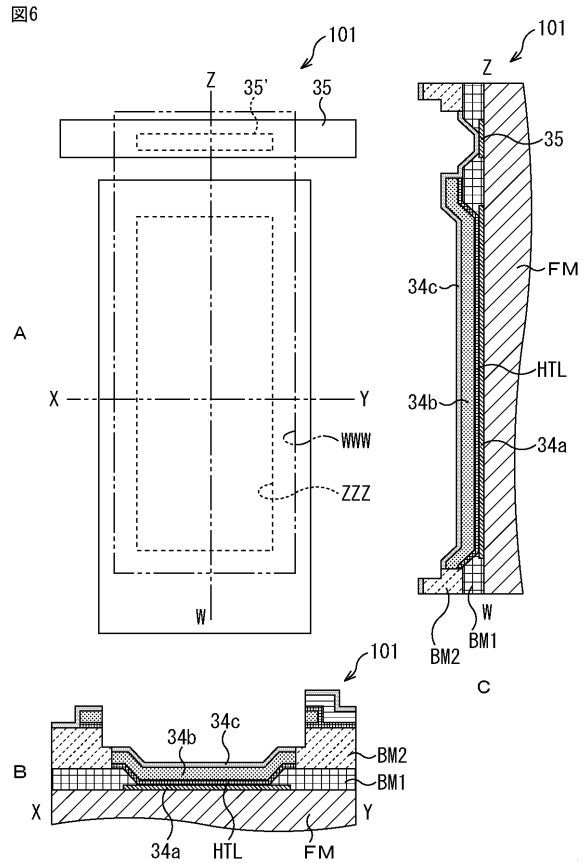
【図 4】



【図 5】

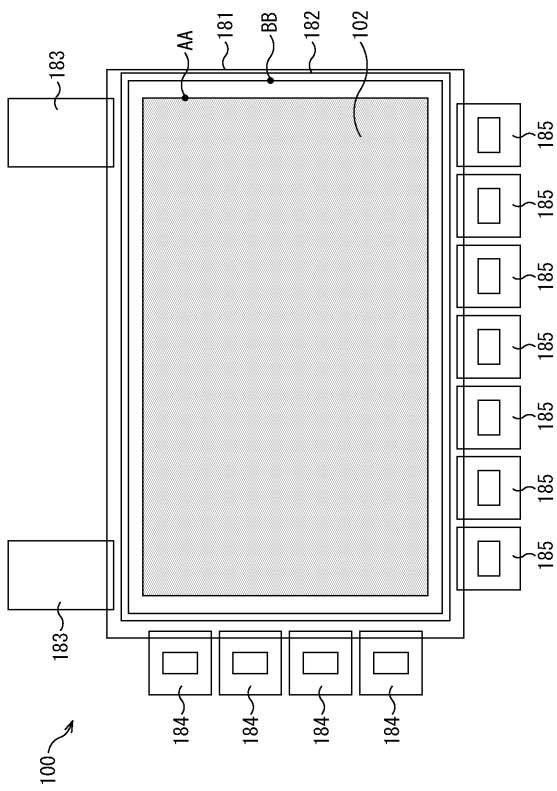


【図 6】



【図 7】

図7



フロントページの続き

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC29 CC33 DD37 DD89

专利名称(译)	表示装置		
公开(公告)号	JP2010044894A	公开(公告)日	2010-02-25
申请号	JP2008206621	申请日	2008-08-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	中村和夫 浅井伸利 内野勝秀		
发明人	中村 和夫 浅井 伸利 内野 勝秀		
IPC分类号	H05B33/22 H05B33/12 H01L51/50 H05B33/26		
CPC分类号	H01L27/3246 G09G3/3233 H01L51/5228		
FI分类号	H05B33/22.Z H05B33/12.C H05B33/14.A H05B33/26.Z H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC29 3K107/CC33 3K107/DD37 3K107/DD89		
代理人(译)	西川 孝		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高显示质量。有机膜b根据电流发光。第一像素分离膜BM 形成第一开口部分，该第一开口部分在有机膜34b发光时限定发光区域。第二像素分离膜BM 2堆叠在第一像素分离膜BM 1上并形成所谓的倒锥形第二开口部分，该第二开口部分随着远离与第一像素分离膜BM 1 接触的表面而变窄。此外，阴极34c堆叠在有机膜34b和第二像素分离膜BM2上，并且在第二像素分离膜BM2的开口部分的内部和外部之间分离。本发明可以应用于例如有机EL显示装置。点域5

