(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-151315
(P2009-151315A)
(43)公開日　平成21年7月9日(2009.7.9)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K107
G09G 3/20	(2006.01)	G09G	3/20	611H	5C080
G09F 9/30	(2006.01)	G09G	3/20	624B	5C094
H01L 27/32	(2006.01)	G09G	3/20	642F	5G435
H01L 51/50	(2006.01)	G09G	3/20	641D	

審査請求 有　請求項の数 10　ＯＬ　（全 207 頁）　最終頁に続く

(21)出願番号　特願2008-330957 (P2008-330957)
(22)出願日　平成20年12月25日 (2008.12.25)
(62)分割の表示　特願2002-135605 (P2002-135605)の分割
原出願日　平成14年5月10日 (2002.5.10)

（特許庁注：以下のものは登録商標）
１．ｉモード
２．コンパクトフラッシュ

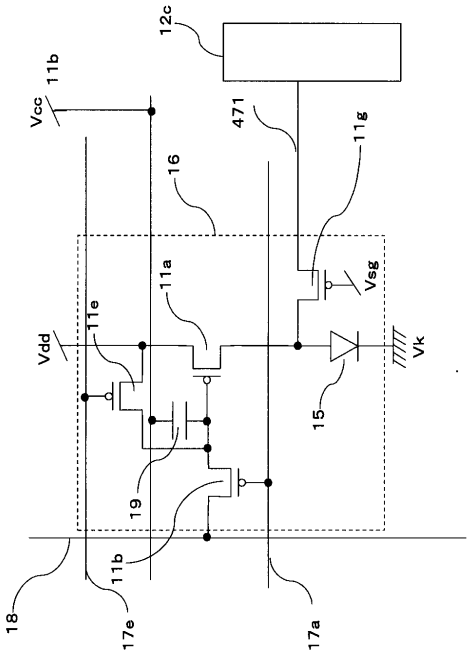
(71)出願人　302020207
東芝モバイルディスプレイ株式会社
東京都港区港南４－１－８
(74)代理人　110000899
特許業務法人　松田国際特許事務所
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

Ｆターム(参考)　3K107 AA01 AA05 BB01 CC02 CC14 CC31 CC33 CC45 EE03 EE06 EE27 EE59 EE68 HH00 HH04 HH05

最終頁に続く

(54)【発明の名称】ＥＬ表示装置

(57)【要約】
【課題】ＥＬ表示装置において容易に前段ゲート制御方式によるリセット駆動を実現する。
【解決手段】画素１６がマトリックス状に配置された表示画面を有するＥＬ表示装置であって、ゲートドライバ回路１２と、映像信号を出力するソースドライバ回路１４とを具備し、画素１６には、ＥＬ素子１５と、ＥＬ素子１５に電流を供給する駆動用トランジスタ１１ａと、駆動用トランジスタ１１ａのゲート端子に第１の電圧を印加する第１のスイッチ用トランジスタ１１ｂと、駆動用トランジスタ１１ａに映像信号を印加する第２のスイッチ用トランジスタ１１ｃとが形成されていることを特徴とするＥＬ表示装置。
【選択図】図５４



【特許請求の範囲】
【請求項１】
画素がマトリックス状に配置された表示画面を有するＥＬ表示装置であって、
ゲートドライバ回路と、
映像信号を出力するソースドライバ回路とを具備し、
前記画素には、ＥＬ素子と、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子に第１の電圧を印加する第１のスイッチ用トランジスタと、前記駆動用トランジスタに前記映像信号を印加する第２のスイッチ用トランジスタとが形成されていることを特徴とするＥＬ表示装置。
【請求項２】
画素がマトリックス状に配置された表示画面を有するＥＬ表示装置であって、
ゲートドライバ回路と、
映像信号を出力するソースドライバ回路とを具備し、
前記画素には、ＥＬ素子と、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子に第１の電圧を印加する第１のスイッチ用トランジスタと、前記駆動用トランジスタに前記映像信号を印加する第２のスイッチ用トランジスタと、前記映像信号を保持する第１のコンデンサとが形成され、
前記第１のコンデンサは第１の端子と第２の端子を有し、前記第１のコンデンサの第１の端子は前記駆動用トランジスタの前記ゲート端子に接続され、前記第１のコンデンサの第２の端子は第２の電圧に保持されるように構成されていることを特徴とするＥＬ表示装置。
【請求項３】
前記第１のスイッチ用トランジスタがオンして、前記第１の電圧を前記駆動用トランジスタのゲート端子に供給し、
前記第１の電圧を印加した後、複数水平走査期間後に、前記第２のスイッチ用トランジスタがオンして、前記映像信号を前記駆動用トランジスタに供給することを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項４】
前記ゲートドライバ回路は、Ｐチャンネルトランジスタで構成されていることを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項５】
前記画素において、前記ＥＬ素子の電流の経路に形成された第３のスイッチ用トランジスタを更に具備し、
前記第３のスイッチ用トランジスタをオンオフさせて、前記電流を制御し、
前記ＥＬ表示装置の前記表示画面に帯状の非表示領域および表示領域を発生できることを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項６】
前記画素に第２のコンデンサが更に形成され、
前記第２のコンデンサは第１の端子と第２の端子を有し、
前記第２のコンデンサの第１の端子は前記駆動用トランジスタのゲート端子に接続され、前記第２のコンデンサの第２の端子は前記第２のスイッチ用トランジスタのゲート端子と接続されていることを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項７】
前記ＥＬ表示装置は、外光の明るさを検出する検出手段を、更に具備することを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項８】
ゲート信号線が前記ゲートドライバ回路に接続され、
前記ゲートドライバ回路は、前記表示画面の画素を順次選択して、前記映像信号を印加し、
前記表示画面の第１の画素に前記映像信号を印加した後に、前記ゲートドライバ回路に

より選択されて、前記映像信号を印加される前記表示画面の第２の画素とを有し、
　前記ゲート信号線は、前記第１の画素の前記第２のスイッチ用トランジスタのゲート端子と、前記第２の画素の第１のスイッチ用トランジスタのゲート端子に接続されていることを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項９】
　前記ソースドライバ回路は、半導体ＩＣであり、
　前記ソースドライ回路は、前記表示画面が形成された基板に実装されており、
　前記ソースドライバ回路の下で、かつ前記基板上に、遮光膜が形成されていることを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項１０】
　前記表示画面においては、第１の色の画素と第２の色の画素が前記マトリックス状に配置され、
　第１の色の画素の画素電極の面積と、前記第２の色の画素の画素電極の面積が異なっていることを特徴とする請求項１又は２に記載のＥＬ表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明の主として自発光で画像を表示するＥＬ表示パネルなどとこれらのＥＬ表示パネルなどを用いた携帯電話などの情報表示装置などに関するものである。また、ＥＬ表示パネルなどを駆動する駆動回路に関するものである。
【背景技術】
【０００２】
　液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビ（ＴＶ）などの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。
【発明の開示】
【発明が解決しようとする課題】
【０００３】
　しかし、液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。
【０００４】
　近年、有機ＥＬ（エレクトロルミネッセンス）表示パネルが開発されてきている。有機ＥＬ表示パネルは、低温ポリシリコンＴＦＴ（薄膜トランジスタ）アレイを用いてパネルを構成する。また、アモルファスシリコン技術で形成したＴＦＴアレイを用いてパネルを構成する。しかし、有機ＥＬデバイスは、電流により発光するため、ＴＦＴの特性にバラツキがあると、表示ムラが発生するという課題があった。
【課題を解決するための手段】
【０００５】
　上記の目的を達成するために、本発明は、基準電圧と抵抗とを有し、定電流を発生する定電流発生回路と、
　前記定電流発生回路からの定電流が入力され、かつ前記定電流に対応する第１の電流を、複数の第２の電流源に出力する第１の電流源と、
　前記第１の電流源から出力される第１の電流が入力され、かつ前記第１の電流に対応する第２の電流を、複数の第３の電流源に出力する第２の電流源と、
　前記第２の電流源から出力される第２の電流が入力され、かつ前記第２の電流に対応する第３の電流を複数の第４の電流源に出力する第３の電流源とを具備し、

前記第４の電流源は、入力画像データに対応した個数が選択されることを特徴とするＥＬ表示パネル他である。

【発明の効果】

【０００６】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【発明を実施するための最良の形態】

【０００７】

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図１１に図示する表示パネルの断面図では封止膜１１１などを十分厚く図示している。一方、図１０において、封止フタ８５は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、不要光の反射防止のための位相フィルムなどを省略していが、適時付加することが望ましい。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【０００８】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図８の表示パネルにタッチパネルなどを付加し、図１９、図５９から図６１に図示する情報表示装置とすることができる。また、拡大レンズ５８２を取り付けビデオカメラ（図５９など参照のこと）などに用いるビューファインダ（図５８を参照のこと）を構成することもできる。また、図４、図１５、図１８、図２１、図２３などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。つまり、本明細書で記載された駆動方法は本発明の表示パネルに適用することができる。また、本発明は各画素にトランジスタが形成されたアクティブマトリックス型表示パネルを主に説明するがこれに限定するものではなく、単純マトリックス型にも適用することができることはいうまでもない。

【０００９】

このように特に明細書中に例示されていなくとも、明細書、図面中で記載あるいは説明した事項、内容、仕様は、互いに組み合わせて請求項に記載することができる。すべての組み合わせについて明細書などで記述することは不可能であるからである。

【００１０】

近年、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、有機エレクトロルミネッセンス（ＥＬ）素子の複数をマトリクス状に配列して構成される有機ＥＬ表示パネルが注目されている。有機ＥＬ表示パネルは、図１０に示すように、画素電極としての透明電極１０５が形成されたガラス板７１（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）１５、及び金属電極（反射膜）（カソード）１０６が積層されたものである。透明電極（画素電極）１０５である陽極（アノード）にプラス、金属電極（反射電極）１０６の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極１０５及び金属電極１０６間に直流を印加することにより、有機機能層（ＥＬ層）１５が発光する。良好な発光特性を期待することのできる有機化合物を有機機能層に使用することによって、ＥＬ表示パネルが実用に耐えうるものになっている。なお、本発明は有機ＥＬ表示パネルを例にして説明をするが、これに限定するものではなく、無機ＥＬパネルにも適用することができる。また、構造、回路などはＴＮ液晶表示パネル、ＳＴＮ液晶表示パネルなど、他の表示パネルにも適用できる事項がある。

【００１１】

カソード電極、アノード電極あるいは反射膜は、ＩＴＯ電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜は低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層に形成したものである。つまり、誘電体ミラーである。この誘電体多層膜は有機ＥＬ構造から放射される光の色調を良好なもの（フィルタ効果）にする機

能を有する。なお、透明電極のＩＴＯはＩＺＯなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【００１２】

アノードあるいはカソードへ電流を供給する配線（図８のカソード配線８６、アノード配線８７）には大きな電流が流れる。たとえば、ＥＬ表示装置の画面サイズが４０インチサイズになると１００（Ａ）程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で導体の厚みを厚く形成している。めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマルガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成し、配線を補強してもよい。また、必要に応じて、配線に積層してグランドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

【００１３】

また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、ＤＣＤＣコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、ＤＣＤＣコンバータ、トランスなどが例示される。

【００１４】

金属電極１０６には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばＡｌ－Ｌｉ合金を用いることが好ましい。また、透明電極１０５には、ＩＴＯ等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は他の画素電極１０５に対しても同様である。

【００１５】

なお、画素電極１０５などに薄膜を蒸着する際は、アルゴン雰囲気中で有機ＥＬ膜１５を成膜するとよい。また、画素電極１０５としてのＩＴＯ上にカーボン膜を２０以上５０ｎｍ以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、ＥＬ膜１５は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいことは言うまでもない。特に高分子有機ＥＬ材料ではこのインクジェット工法は有効である。この場合は、高分子有機ＥＬ材料を塗布する箇所に親水膜を形成しておくとよい。

【００１６】

以下、本発明のＥＬ表示パネル構造の理解を容易とするため、まず、本発明の有機ＥＬ表示パネルの製造方法について説明をする。

【００１７】

基板８５、基板７１の放熱性を良くするため、基板はサファイアガラスで形成してもよい。また、熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。たとえば、ダイヤモンド薄膜（ＤＬＣなど）を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板を使用したり、銅などからなる金属板を使用したり、絶縁膜に金属膜、カーボン膜を蒸着あるいは塗布などのコーティングしたりしたものを用いてもよい。画素電極１０５を反射型とする場合は、基板材料としては基板の表面方向より光が出射される。したがって、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。

【００１８】

また、基板８５、基板７１の外部あるいは内部に、画素形状に対応してマイクロレンズを形成または配置してもよい。マイクロレンズを構成することにより、ＥＬ膜から放射する光の指向性が狭くなり、高輝度化を実現することができる。

【００１９】

本発明の実施例では、カソード電極１０６などを金属膜で形成するとしたが、これに限定するものではなく、ＩＴＯ、ＩＺＯなどの透明膜で形成してもよい。このようにＥＬ素子１５のアノードとカソードの両方の電極を透明電極にすることにより、透明ＥＬ表示パネルを構成できる（もちろん、一方を光透過性のある金属膜で形成してもよい。あるいは、極薄い金属膜をカソード電極とし、このカソード電極上にＩＴＯなどの透明導電体材料を積層して構成してもよい）。金属膜を使わずに透過率を約８０％まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるように構成できる。

【００２０】

基板８５、７１はプラスチック基板を用いてもよいことは言うまでもない。プラスチック基板はわれにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板等は板に限定するものではなく、厚さ０．０５ｍｍ以上０．３ｍｍ以下のフィルムでもよい。

【００２１】

ベース基板の基板として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製ＡＲＴＯＮの厚さ２００μｍの１枚板が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板（あるいはフィルムもしくは膜）を配置する。

【００２２】

以上のように基板７１などをプラスチックで構成する場合は、基板７１などはベース基板と補助基板から構成する。ベース基板の他方の面に、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。補助基板の光学的遅相軸と補助基板の光学的遅相軸とのなす角度が９０度となるようにすることが好ましい。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【００２３】

接着剤としてはＵＶ（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は１．４７以上１．５４以下のものを用いることが好ましい。また、基板の屈折率との屈折率差が０．０３以下となるようにすることが好ましい。特に接着剤は先に記載いたような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【００２４】

補助基板および補助基板をベース基板に貼り合わせる際には、補助基板の光学的遅相軸と補助基板の光学的遅相軸とがなす角度を４５度以上１２０度以下にすることが好ましい。さらに好ましくは８０度以上１００度以下することがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。したがって、円偏光板を使用した構成で、位相状態が異なることによる表示パネルのムラが発生しない。もちろん、円偏光板に関する事項は、基板がプラスチックに限定されるものではなく、ガラス基板の場合にも有効であることは言うまでもない。基板表面で反射する外光によるコントラスト低下を有効に抑制などできるからである。

【００２５】
この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせることにより直線偏光を楕円偏光に設計どおりに変換できるようになるからである。基板などに位相差があるとこの位相差により設計値との誤差が発生する。
【００２６】
ここで、ハードコート層としては、ポリエステル樹脂、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極（単純マトリックス型ＥＬ表示パネル）あるいは画素電極（アクティブマトリックス型表示パネル）を透明導電膜の第１のアンダーコート層とを兼ねる。
【００２７】
また、ガスバリア層としては、SiO_2、SiO_xなどの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは１００μｍ以下とする。ただし、基板など表面の凹凸を平滑化するために１０μｍ以上とすることが好ましい。
【００２８】
また、基板７１、８５などを構成する補助基板および補助基板として、厚さ４０μｍ以上４００μｍのものを用いることが好ましい。また、補助基板および補助基板の厚さを１２０μｍ以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し成形時のむらまたは位相差を低く抑えることができる。好ましくは、補助基板の厚みを５０μｍ以上８０μｍ以下とする。
【００２９】
次に、この積層基板に、透明導電膜の補助アンダーコート層としてSiO_xを形成し、必要に応じて画素電極となるＩＴＯからなる透明導電膜をスパッタ技術で形成する。また、必要に応じて静電気防止としてＩＴＯ膜を形成する。このようにして製造した表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値２５Ω／□、透過率８０％を実現することができる。
【００３０】
ベース基板の厚さが５０μｍから１００μｍの薄い場合には、表示パネルの製造工程において、表示パネル用プラスチック基板が熱処理によってカールしてしまう。また、回路部品の接続においても良好な結果は得られない。ベース基板を１枚板で厚さ２００μｍ以上５００μｍ以下とした場合は、基板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、特に厚さは２５０μｍ以上４５０μｍ以下がよい。適度な柔軟性と平面性をもっているためと考えられる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は画素電極に対しても同様である。
【００３１】
なお、基板などとして前述のプラスチック基板などの有機材料を使用する場合は、光変調層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この無機材料からなるバリア層は、ＡＩＲコートと同一材料で形成することが好ましい。なお、封止フタ８５、基板７１と同様に技術あるいは構成により作製できることは言うまでもない。
【００３２】
また、バリア膜を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。たとえば、フッ素を添加したアモルファスカーボン膜（比誘電率２．０～２．５）が例示される。その他、ＪＳＲ社が製造販売しているＬＫＤシリーズ（ＬＫＤ－Ｔ２００シリーズ（比誘電率２．５～２．７）、ＬＫＤ－Ｔ４００シリーズ（比誘電率２．０～２．２））が例示される。ＬＫＤシリーズはＭＳＱ（ｍｅｔｈｙ－ｓｉｌｓｅｓｑｕｉｏｘａｎｅ

）をベースにしたスピン塗布形であり、比誘電率も２．０～２．７と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、SiN_x、SiO_2などの無機材料でもよい。これらのバリア膜材料は補助基板に用いてもよいことは言うまでもない。

【００３３】

プラスチックで形成した基板８５あるいは７１を用いることにより、割れない、軽量化できるという利点を発揮できる。他に、プレス加工できるという利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できる。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することができる。たとえば、円形に形成したり、球形（曲面など）にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸形状を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

【００３４】

また、プラスチックをプレス加工することにより形成した基板７１の穴（図示せず）に、封止フタ８５の位置決めピンを挿入できるように形成することも容易である。また、基板７１内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、基板７１などに凹部（図示せず）を形成し、基板８５に凸部を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、基板７１と基板８５とをはめ込みにより一体化することができるように構成してもよい。

【００３５】

ガラス基板を用いた場合は、画素１６の周辺部にＥＬを蒸着する際に使用する土手を形成していた。土手（リブ）は樹脂材料を用いて、１．０μｍ以上３．５μｍ以下の厚みで凸部状に形成する。さらに好ましくは１．５μｍ以上２．５μｍ以下の高さに形成する。土手この樹脂からなる土手（凸部）１０１を基板７１の形成と同時に作製することもできる。なお、土手１０１材料はアクリル樹脂、ポリイミド樹脂の他、ＳＯＧ材料でもよい。土手１０１は基板７１をプレス加工する際に樹脂の凸部と同時に形成することが好ましい。これは基板７１などを樹脂で形成することにより発生する大きな効果である。

【００３６】

このように樹脂部を基板と同時に形成することにより製造時間を短縮できるので低コスト化が可能である。また、基板７１などの製造時に、表示領域部にドット状に凸部を形成する。この凸部は隣接画素間に形成するとよい。この凸部は土手１０１となる。

【００３７】

なお、以上の実施例では、土手として機能する凸部を形成するとしたが、これに限定することはない。例えば、画素部をプレス加工などにより掘り下げる（凹部）としてもよい。なお、平面な基板７１を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

【００３８】

また、基板７１、８５を直接着色することにより、モザイク状のカラーフィルターを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し、浸透させる。浸透後、高温で乾燥させ、また、表面をＵＶ樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピンナーで膜を塗布し、現像する半導体パターン形成技術などでカラーフィルターを形成する。同様に技術を用いてカラーフィルターの他、黒色もしくは暗色あるいは変調する光の補色の関係にあるの着色によりブラックマトリックス（ＢＭ）を直接形成してもよい。また、基板面に画素に対応するように凹部を形成し、この凹部にカラーフィルター、ＢＭあるいはトランジスタを埋め込むように構成してもよい。特に表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平坦化されるという利点もある。

【００３９】

また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極１０５あるいはカソード電極１０６を直接に構成してもよい。さらに大きくは基板に穴を開け、この穴に

コンデンサなどの電子部品を挿入する構成も例示される。基板が薄く構成できる利点が発揮される。

【００４０】

また、基板の表面を切削することにより、自由に模様を形成したりしてもよい。また、基板７１などの周辺部を溶かすことにより形成してもよい。また、有機ＥＬ表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【００４１】

以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。また、基板７１に穴をあけ、この穴に導電樹脂などを充填し、基板の表と裏とを電気的に導通させたりすることもできる。基板７１などが多層回路基板あるいは両面基板として利用できる。

【００４２】

また、導電樹脂のかわりに導電ピンなどを挿入してもよい。形成した穴にコンデンサなどの電子部品の端子を差し込めるように構成してもよい。また、基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。つまり、基板７１など自身を多層の配線基板としてもよい。多層化は薄い基板をはりあわせることにより構成する。はり合わせる基板（フィルム）の１枚以上を着色してもよい。

【００４３】

また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすることができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色したりすることにより、積載したＩＣチップに光が照射されることにより誤動作することを防止できる。

【００４４】

また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術（インジェクション加工、コンプレクション加工など）を応用すればよい。また、同様の加工技術を用いることにより表示領域の半分を異なるＥＬ層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

【００４５】

また、基板７１または基板８５に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、基板７１、８５を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成し、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン（株）が開発したマイクロレンズ形成するスタンパ技術で実現できる。

【００４６】

基板７１、８５が空気と接する面には、反射防止膜（ＡＩＲコート）が形成される。基板７１などに偏光板などが張り付けられていない場合は、基板７１などに直接に反射防止膜（ＡＩＲコート）が形成される。偏光板（偏光フィルム）など他の構成材料が張り付けられている場合は、その構成材料の表面などに反射防止膜（ＡＩＲコート）が形成される。

【００４７】

なお、以上の実施例は基板７１などがプラスチックで形成することを中心として説明したが、これに限定するものではない。たとえば、基板７１、８５９がガラス基板、金属基板であっても、プレス加工、切削加工などにより、土手１０１などの凹凸部を形成または構成できる。また、基板への着色なども可能である。したがって、説明した事項はプラスチック基板に限定するものではない。また、基板に限定するものでもない。たとえば、フィルムあるいはシートでもよい。

【００４８】

また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる

薄膜を形成することが有効である。また、静電防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

【００４９】

なお、表示パネルの光入射面あるいは光出射面に配置または形成する偏光板（偏光フィルム）は直線偏光にするものに限定するものではなく、楕円偏光となるものであってもよい。また、複数の偏光板をはり合わせたり、偏光板と位相差板とを組み合わせたり、もしくははり合わせたものを用いてもよい。

【００５０】

偏光フィルムを構成する主たる材料としてはＴＡＣフィルム（トリアセチルセルロースフィルム）が最適である。ＴＡＣフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。

【００５１】

ＡＩＲコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、１．３５～１．４５の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が１．３７以上１．４２以下のものが特性は良好である。

【００５２】

また、ＡＩＲコートは３層の構成あるいは２層構成がある。なお、３層の場合は広い可視光の波長帯域での反射を防止するために用いられる。これをマルチコートと呼ぶ。２層の場合は特定の可視光の波長帯域での反射を防止するために用いられる。これをＶコートと呼ぶ。マルチコートとＶコートは表示パネルの用途に応じて使い分ける。なお、２層以上の限定するものではなく、１層でもよい。

【００５３】

マルチコートの場合は酸化アルミニウム（Al_2O_3）を光学的膜厚がｎｄ＝λ／４、ジルコニウム（ZrO_2）をｎｄ１＝λ／２、フッ化マグネシウム（MgF_2）をｎｄ１＝λ／４積層して形成する。通常、λとして５２０ｎｍもしくはその近傍の値として薄膜は形成される。

【００５４】

Ｖコートの場合は一酸化シリコン（ＳｉＯ）を光学的膜厚ｎｄ1＝λ／４とフッ化マグネシウム（MgF_2）をｎｄ1＝λ／４、もしくは酸化イットリウム（Y_2O_3）とフッ化マグネシウム（MgF_2）をｎｄ1＝λ／４積層して形成する。ＳｉＯは青色側に吸収帯域があるため青色光を変調する場合はY_2O_3を用いた方がよい。また、物質の安定性からもY_2O_3の方が安定しているため好ましい。また、SiO_2薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてＡＩＲコートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【００５５】

なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネルなどの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料に親水性が良好な材料で構成しておくことが好ましい。

【００５６】

１画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ（トランジスタ）を形成する。形成するトランジスタは、同じ種類のトランジスタであってもよいし、Ｐチャンネル型とＮチャンネル型のトランジスタというように、違う種類のトランジスタであってもよいが望ましくはスイッチングトランジスタ、駆動用トランジスタとも同極性のものが望ましい。またトランジスタの構造は、プレーナー型のトランジスタで限定されるものではなく、スタガー型でも、逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域（ソース、ドレイン）が形成されたものでも、非セルフアライン方式によるものでもよい。

【００５７】

本発明のＥＬ表示素子１５は、基板上に、ホール注入電極（画素電極）となるＩＴＯ、

１種以上の有機層と、電子注入電極とが順次積層されたＥＬ構造体を有する。前記基板にはトランジスタが設けられている。

【００５８】

本発明のＥＬ表示素子を製造するには、まず、基板上にトランジスタのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極であるＩＴＯをスパッタ法で成膜、パターニングする。その後、有機ＥＬ層、電子注入電極等を積層する。

【００５９】

トランジスタとしては、通常の多結晶シリコントランジスタを用いればよい。トランジスタは、ＥＬ構造体の各画素の端部に設けられ、その大きさは１０～３０μｍ程度である。なお、画素の大きさは２０μｍ×２０μｍ～３００μｍ×３００μｍ程度である。

【００６０】

基板７１上には、トランジスタの配線電極が設けられる。配線電極は抵抗が低く、ホール注入電極を電気的に接続して抵抗値を低く抑える機能があり、一般的にはその配線電極は、Ａｌ、Ａｌおよび遷移金属（ただしＴｉを除く）、Ｔｉまたは窒化チタン（ＴｉＮ）のいずれか１種または２種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。ＥＬ構造体の下地となるホール注入電極とトランジスタの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常１００～１０００nm程度とすればよい。

【００６１】

トランジスタ１１の配線電極とＥＬ構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO_2等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、ＳＯＧ（スピン・オン・グラス）で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよい。中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【００６２】

ＥＬ構造体の発光ピークは２つ以上であってもかまわない。本発明のＥＬ表示素子は、緑および青色発光部は、例えば、青緑色発光のＥＬ構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のＥＬ構造体と、このＥＬ構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【００６３】

次に、本発明のＥＬ表示素子１５を構成するＥＬ構造体について説明する。本発明のＥＬ構造体は、透明電極である電子注入電極と、１種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも１層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のＥＬ構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。

【００６４】

ホール注入電極としては、ホール注入電極側から発光した光を取り出す構造であるため、例えば、ＩＴＯ（錫ドープ酸化インジウム）、ＩＺＯ（亜鉛ドープ酸化インジウム）、ＺｎＯ、SnO_2、In_2O_3等が挙げられるが、特にＩＴＯ、ＩＺＯが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、１０～５００nm程度とすることが好ましい。素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、１０～３０Ω／□（膜厚５０～３００nm）のＩＴＯが挙げられる。実際に使用する場合には、ＩＴＯ等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。

【００６５】

ホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成することが好ましい。スパッタガスとしては、特に制限するものではなく、Ａｒ、Ｈｅ、Ｎｅ、Ｋｒ、Ｘｅ等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【００６６】

電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、Ｋ、Ｌｉ、Ｎａ、Ｍｇ、Ｌａ、Ｃｅ、Ｃａ、Ｓｒ、Ｂａ、Ａｌ、Ａｇ、Ｉｎ、Ｓｎ、Ｚｎ、Ｚｒ等の金属元素単体、または安定性を向上させるためにそれらを含む２成分、３成分の合金系を用いることが好ましい。合金系としては、例えばＡｇ・Ｍｇ（Ａｇ：１～２０at%）、Ａｌ・Ｌｉ（Ｌｉ：０．３～１４at%）、Ｉｎ・Ｍｇ（Ｍｇ：５０～８０at%）、Ａｌ・Ｃａ（Ｃａ：５～２０at%）等が好ましい。

【００６７】

電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、０．１nm以上、好ましくは１nm以上とすればよい。また、その上限値には特に制限はないが、通常、膜厚は１００～５００nm程度とすればよい。

【００６８】

正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【００６９】

電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【００７０】

発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常、５～１００nm程度とすることが好ましい。

【００７１】

正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは１／１０～１０倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は１nm以上、輸送層は２０nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で１００nm程度、輸送層で１００nm程度である。このような膜厚については注入輸送層を２層設けるときも同じである。

【００７２】

また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【００７３】

本発明のＥＬ素子１５の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、トリス（８－キノリノラト）アルミニウム〔Alq_3〕等の金属錯体色素、フェニルアントラセン誘導体、テトラアリールエテン誘導体、青緑色発光材料が挙げられる。

【００７４】

なお、正孔注入層の材料に2%のフタルシアニンを添加したＣｕＰｃを採用するとよい。

ＣｕＰｃを単独で使う場合に比較して格段に耐熱性が向上する。

【００７５】

８５℃で１０００時間駆動した後の輝度は、初期の輝度（４００cd/m^{2}に設定）に対し、ＣｕＰｃのみでは約４５％低下するが、フタルシアニンを添加したものが約３５％減にとどまる。これは、フタルシアニンの添加によってＣｕＰｃの結晶化が抑制されたためと推定される。ＣｕＰｃがアモルファス状態を保てば、輝度低下を抑えることができる。フタルシアニン添加による耐熱性向上の効果は、１％以上５％以上で最も大きくなる。特に１％以上３％以下が適切である。なお、２０％くらいまでは添加の効果はあるが、それ以上に添加量が増えるとかえって耐熱性は低下する。

【００７６】

青色発光の有機ＥＬ素子１５は、発光層の材料に発光波長が約４００ｎｍの「ＤＭＰｈｅｎ（Ｔｒｉｐｈｅｎｙｌａｍｉｎｅ）」を用いるとよい。この際、発光効率を高める目的で、電子注入層（Ｂａｔｈｏｃｕｐｒｏｉｎｅ）と正孔注入層（Ｍ－ＭＴＤＡＴＸＡ）にバンド・ギャップが発光層と同じ材料を採用することが好ましい。バンド・ギャップが３．４ｅＶと大きいＤＭＰｈｅｎを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまり、発光層で電子と正孔の再結合が起こりにくいからである。ＤＭＰｈｅｎのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、ＤＭＰｈｅｎ中で励起したエネルギーをドーパントに移動させ、ドーパントから発光させることにより解決できる。

【００７７】

ＥＬ材料として、燐光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率は２～３％程度である。蛍光発光材料は内部量子効率（励起によるエネルギーが光に変わる効率）が２５％なのに対し、燐光発光材料は１００％近くに達するため、外部量子効率が高くなる。

【００７８】

有機ＥＬ素子の発光層のホスト材料にはＣＢＰを用いるとよい。ここに赤色（Ｒ）や緑色（Ｇ）、青色（Ｂ）の燐光発光材料をドーピングしている。ドーピングした材料はすべてＩｒを含む。Ｒ材料はBtp2Ir(acac)、Ｇ材料は(ppy)2Ir(acac)、Ｂ材料はFIrpicを用いると良い。

【００７９】

また、正孔注入層・正孔輸送層には、各種有機化合物を用いることができる。正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

【００８０】

以下、本発明のＥＬ表示パネルの製造方法および構造についてさらに詳しく説明をする。以前に説明したように、まず、アレイ基板７１に画素を駆動するトランジスタ１１を形成する。１つの画素は２個以上、好ましくは４個または５個のトランジスタで構成される。また、画素は電流プログラムされ、プログラムされた電流がＥＬ素子１５に供給される。通常、電流プログラムされた値は電圧値として蓄積容量１９に保持される。このトランジスタ１１の組み合わせなど画素構成については後に説明をする。次にトランジスタ１１に正孔注入電極としての画素電極を形成する。画素電極１０５はフォトリソグラフィーによりパターン化する。なお、トランジスタ１１の下層、あるいは上層にはトランジスタ１１に光入射することにより発生するホトコンダクタ現象（以後、ホトコンと呼ぶ）による画質劣化を防止するために、遮光膜を形成または配置する。

【００８１】

なお、電流プログラムとは、ソースドライバ回路１４からプログラム電流を画素に印加し（もしくは画素からソースドライバ回路１４に吸収し）、この電流に相当する信号値を画素に保持させるものである。この保持された信号値に対応する電流をＥＬ素子１５に流す（もしくは、ＥＬ素子１５から流し込む）。つまり、電流でプログラムし、プログラムされた電流に相当（対応）する電流をＥＬ素子１５に流すようにするものである。

【００８２】
一方、電圧プログラムとは、ソースドライバ回路１４からプログラム電圧を画素に印加し、この電圧に相当する信号値を画素に保持させるものである。この保持された電圧に対応する電流をＥＬ素子１５に流す。つまり、電圧でプログラムし、画素内で電圧を電流値に変換し、プログラムされた電圧に相当（対応）する電流をＥＬ素子１５に流すようにするものである。
【００８３】
プラスチック基板にトランジスタを形成するためには、有機半導体を形成する表面を加工することで、炭素と水素からなるペンタセン分子を利用し電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の２０倍から１００倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。
【００８４】
ペンタセンは、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子バッファ」を塗布するとよい。この層がシリコン上の「sticky sites（くっつきやすい場所）」を覆うため、清浄な表面ができてペンタセンが非常に大きな結晶粒にまで成長する。
【００８５】
これらの新しい大きな結晶粒の薄膜を使うことにより、大型結晶粒のペンタセンを用いたフレキシブルなトランジスタ（トランジスタ）を作製することができる。このようなフレキシブルなトランジスタの大量生産のために、低い温度で液状の材料を塗ることによってトランジスタ（トランジスタ）を製造することができる。
【００８６】
また、基板上にゲートとなる金属薄膜と島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化する。そのため、モビリティが良好となる。
【００８７】
有機トランジスタ（トランジスタ）として、静電誘導トランジスタ（ＳＩＴ）と呼ぶ構造を採用することが好ましい。アモルファス状態のペンタセンを使用する。正孔の移動度は１×１０cm^2／Vsと結晶化したペンタセンよりも低い。しかし、ＳＩＴ構造を採用することにより周波数特性を高めることができる。ペンタセンの膜厚は１００以上３００ｎｍとすることが好ましい。
【００８８】
また、有機トランジスタとしてｐ型電界効果トランジスタでもよい。プラスチック基板上にトランジスタを形成できる。プラスチック基板ごと折り曲げることが可能なので、フレキシブルなトランジスタ型表示パネルを構成できるペンタセンは多結晶状態とすることが好ましい。ゲート絶縁膜の材料にはＰＭＭＡを使用することが好ましい。有機トランジスタの活性層にはナフタセンを使ってもよい。
【００８９】
洗浄時に酸素プラズマ、O_2アッシャーを使用すると、画素電極１０５の周辺部の平坦化膜１０２も同時にアッシングされ、画素電極１０５の周辺部がえぐられてしまう。この課題を解決するために、画素電極１０５の周辺部をアクリル樹脂からなるエッジ保護膜（基本的には土手１０１）を形成している。エッジ保護膜１０５の構成材料としては、平坦化膜１０２を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO_2、SiN_xなどの無機材料が例示される。その他、Al_2O_3、Ta_2O_3などであってもよいことは言うまでもない。
【００９０】
エッジ保護膜１０１は画素電極１０５のパターニング後、画素電極１０５間を埋めるように形成する。もちろん、このエッジ保護膜１０１を２以上４μｍ以下の高さに形成し、

有機ＥＬ材料を塗り分ける際のメタルマスクの土手（メタルマスクが画素電極１０５とが直接に接しないようにするスペーサ）としてもよいことは言うまでもない。

【００９１】

ゲート絶縁膜に比誘電率が２４と高いTa_2O_5を採用するとよい。ゲート絶縁膜の厚さは１２９ｎｍと厚く、しかもチャネル長は５００μｍと長いにも関わらずＰ型トランジスタは電源電圧－５Ｖで良好に動作する。チャネル層の材料には、ペンタセンと呼ばれる有機材料を用いる。キャリアである正孔（ホール）の移動度は$0.40cm^2/Vs$以上、トランジスタがオン時のドレイン電流と、オフ時の漏れ電流との比は10^4を実現できる。

【００９２】

画素電極１０５上にＥＬ膜（１５Ｒ（赤）、１５Ｇ（緑）、１５Ｂ（青））が形成される。各ＥＬ膜１５はわずかな隙間をあけて形成されるか、周辺部を重ねられる。重ねられた箇所はほとんど発光しない。また、ＥＬ膜１５上にカソードとなるアルミ膜１０６が形成される。

【００９３】

真空蒸着装置は市販の高真空蒸着装置（日本真空技術株式会社製、ＥＢＶ－６ＤＡ型）を改造した装置を用いる。主たる排気装置は排気速度１５００リットル／ｍｉｎのターボ分子ポンプ（大阪真空株式会社製、ＴＣ１５００）であり、到達真空度は約1×10^{-6}Ｔｏｒｒ以下であり、全ての蒸着は$2\sim3\times10^{-6}$Ｔｏｒｒの範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源（菊水電子株式会社製、ＰＡＫ１０－７０Ａ）を接続して行うとよい。

【００９４】

このようにして真空層中に配置したアレイ基板上に、カーボン膜２０～５０ｎｍを成膜する。次に、正孔注入層として４－（Ｎ、Ｎ－ビス（ｐ－メチルフェニル）アミノ）－α－フェニルスチルベンを０．３ｎｍ／secの蒸着速度で膜厚約５ｎｍに形成する。

【００９５】

正孔輸送層として、Ｎ、Ｎ’－ビス（４’－ジフェニルアミノ－４－ビフェニリル）－Ｎ、Ｎ’－ジフェニルベンジジン（保土ヶ谷化学株式会社製）と、４－Ｎ、Ｎ－ジフェニルアミノ－α－フェニルスチルベンを、それぞれ０．３ｎｍ／ｓecおよび０．０１ｎｍ／ｓの蒸着速度で共蒸着して膜厚約８０ｎｍに形成した。発光層（電子輸送層）としてトリス（８－キノリノラト）アルミニウム（同仁化学株式会社製）を０．３ｎｍ／secの蒸着速度で膜厚約４０ｎｍに形成する。

【００９６】

次に、電子注入電極として、ＡｌＬｉ合金（高純度化学株式会社製、Ａｌ／Ｌｉ重量比９９／１）から低温でＬｉのみを、約０．１ｎｍ／secの蒸着速度で膜厚約１ｎｍに形成し、続いて、そのＡｌＬｉ合金をさらに昇温する。Ｌｉが出尽くした状態から、Ａｌのみを、約１．５ｎｍ／ｓecの蒸着速度で膜厚約１００ｎｍに形成し、積層型の電子注入電極とした。

【００９７】

このようにして作成した有機薄膜ＥＬ素子１５は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング７０５９ガラス製の封止フタ８５をシール接着剤（シール剤）（アネルバ株式会社製、商品名スーパーバックシール９５３－７０００）で貼り付けて表示パネルとする。

【００９８】

なお、封止フタ８５とアレイ基板７１との空間には乾燥剤１０７を配置する。これは、有機ＥＬ膜１５は湿度に弱いためである。乾燥剤１０７によりシール剤を浸透する水分を吸収し有機ＥＬ膜１５の劣化を防止する。

【００９９】

シール剤１５からの水分の浸透を抑制するためには外部からの経路（パス）を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹凸を形成している。アレイ基板７１の周辺部に形成した凹凸部は少なくとも２重に形

成する。凸と凸との間隔（形成ピッチ）は１００μｍ以上５００μｍ以下に形成することが好ましく、また、凸の高さは３０μｍ以上３００μｍ以下とすることが好ましい。この凸部はスタンパ技術で形成する。このスタンパ技術はオムロン社がマイクロレンズ形成の方法として採用している方式、松下電器がＣＤのピックアップレンズで微小レンズの形成方式として用いている方式などを応用する。

【０１００】

一方、封止フタ８５にも凹または凸部を形成する。凹または凸部の形成ピッチは基板７１に形成した凸部の形成ピッチと同一にする。このように基板７１と基板８５の凹または凸部の形成ピッチを同一にすることにより凸部に凹部がちょうどはまり込む。そのため、表示パネルの製造時に封止フタ８５とアレイ基板７１との位置ずれが発生しない。凸部と凹部間にはシール剤を配置する。シール剤は封止フタ８５とアレイ基板７１とを接着するとともに、外部からの水分の浸入を防止する。

【０１０１】

シール剤としてはＵＶ（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は１．４７以上１．５４以下のものを用いることが好ましい。特にシール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で６５％以上９５％以下の割合で添加することが好ましい。また、この微粉末の粒子径は平均直径２０μｍ以上１００μｍ以下とすることが好ましい。微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなる。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【０１０２】

乾燥剤１０７の重量はシールの長さ１０ｍｍあたり０．０４ｇ以上０．２ｇ以下をすることが好ましい。特にシールの長さ１０ｍｍあたり０．０６ｇ以上０．１５ｇ以下をすることが望ましい。乾燥剤の量がすくなすぎると水分防止効果が少なくすぐに有機ＥＬ層１５が劣化する。多すぎると乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。なお、乾燥剤１０７はシート状に形成しておき、フタ８５とＥＬ膜間に配置するとよい。その際、乾燥剤１０７にＵＶ硬化樹脂を塗布しておき、配置後、紫外線を照射し、ＵＶ樹脂を硬化させて固定させるとよい。

【０１０３】

図１０はガラスのフタ８５を用いて封止する構成であるが、図１１のようにフィルム（薄膜でもよい。つまり薄膜封止膜）１１１を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）１１１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）。このフィルムを封止膜１１１して用いる。また、ＤＬＣ膜などを電極１０６の表面に直接蒸着する構成ものよいことは言うまでもない。

【０１０４】

なお、この場合は、カソードとアノードの位置関係は逆転する場合がある。薄膜の膜厚はｎ・ｄ（ｎは薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜のｎ・ｄを計算）にして計算する。ｄは薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、ＥＬ素子１５の発光主波長λ以下となるようにするとよい。この条件を満足させることにより、ＥＬ素子１５からの光取り出し効率が、ガラス基板で封止した場合に比較して２倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【０１０５】

以上のようにフタ８５を用いず、封止膜１１１で封止する構成を薄膜封止と呼ぶ。基板７１側から光を取り出す「下取り出し（図１０を参照、光取り出し方向は図１０の矢印方向である）」の場合の薄膜封止は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては

、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。封止膜１１１は前述したように、ＤＬＣ（ダイヤモンド　ライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【０１０６】

ＥＬ層１５側から光を取り出す「上取り出し図１１を参照、光取り出し方向は図１１の矢印方向である」」の場合の薄膜封止は、ＥＬ膜１５を形成後、ＥＬ膜１５上にカソード（アノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜１１１を形成する。有機ＥＬ層１５から発生した光の半分は、反射膜１０６で反射され、アレイ基板７１と透過して出射される。しかし、反射膜１０６には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板７１にλ／４板１０８および偏光板（偏光フィルム）１０９を配置している。

【０１０７】

なお、画素が反射電極の場合はＥＬ層１５から発生した光は上方向に出射される。したがって、位相板１０８および偏光板１０９は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極１０５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極１０５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ層１５との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード１０６（アノード１０５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【０１０８】

また、ディスプレイ内部に２層の薄膜を形成することによって実現する外光反射を光学干渉によって打ち消すことで有機ＥＬ表示パネルのコントラストを向上することができる。従来の円偏光板を使う場合に比べてコストを低減できる。また、円偏光板が抱えていた拡散反射の問題や、表示色の視野角依存性及び有機EL発光層の膜厚依存性の問題を解決できる。

【０１０９】

基板７１と偏光板（偏光フィルム）１０９間には１枚あるいは複数の位相フィルム１０８（位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。位相フィルムは入射光を出射光に位相差を発生させ、効率よく光変調を行うのに寄与する。

【０１１０】

その他、位相フィルムとして、ポリエステル樹脂、ＰＶＡ樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。１つの位相板の位相差は一軸方向に５０ｎｍ以上３５０ｎｍ以下とすることが好ましく、さらには８０ｎｍ以上２２０ｎｍ以下とすることが好ましい。なお、位相フィルムと偏光板とを一体化した円偏光板（円偏光フィルム）を用いてもよいことはいうまでもない。

【０１１１】

位相フィルム１０８は染料あるいは顔料で着色しフィルタとしての機能をもたせることが好ましい。特に有機ＥＬ１５は赤（Ｒ）の純度が悪い。そのため、着色した位相フィルム１０８で一定の波長範囲をカットして色温度を調整する。カラーフィルターは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的である。顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

【０１１２】

以上のように位相フィルム１０８の一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせたりしてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成したりしてもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することによりかまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは１つの画素電極あるいは３原色の画素にそれぞれ対応するように配置する。

【０１１３】

先にも記述したが、位相フィルムの機能はカラーフィルターに持たせてもよい。たとえば、カラーフィルターの形成時に圧延し、もしくは光重合により一定の方向に位相差が生じるようにすることにより位相差を発生させることができる。その他、平滑化膜１０２を光重合させることにより位相差を持たせてもよい。このように構成すれば位相フィルムを基板外に構成あるいは配置する必要がなくなり表示パネルの構成が簡易になり、低コスト化が望める。なお、以上の事項は偏光板に適用してもよいことはいうまでもない。

【０１１４】

偏光板（偏光フィルム）１０９を構成する主たる材料としてはＴＡＣフィルム（トリアセチルセルロースフィルム）が最適である。ＴＡＣフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。ＴＡＣフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【０１１５】

偏光板１０９はヨウ素などをポリビニールアルコール（ＰＶＡ）樹脂に添加した樹脂フィルムのものが例示される。一対の偏光分離手段の偏光板１０９は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち特定の偏光軸方向と異なる方向の偏光成分（ｒｅｆｌｅｃｔｉｖｅ　ｐｏｌａｒｉｚｅｒ：リフレクティブ・ポラライザー）を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

【０１１６】

また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、例えばコレステリック液晶層と（１／４）λ板１０８を組み合わせたもの、ブリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッタ（ＰＢＳ）等を用いることも可能である。

【０１１７】

図１０では図示していないが、偏光板１０９の表面にはＡＩＲコートを施している。ＡＩＲコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、１．３５～１．４５の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が１．３７以上１．４２以下のものが特性は良好である。

【０１１８】

また、ＡＩＲコートは３層の構成あるいは２層構成がある。なお、３層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。２層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをＶコートと呼ぶ。マルチコートとＶコートは表示パネルの用途に応じて使い分ける。なお、２層以上の限定するものではなく、１層でもよい。

【０１１９】

マルチコートの場合は酸化アルミニウム（Al_2O_3）を光学的膜厚がｎｄ＝λ／４、ジルコニウム（ZrO_2）をｎｄ１＝λ／２、フッ化マグネシウム（MgF_2）をｎｄ１＝λ／４積層して形成する。通常、λとして５２０ｎｍもしくはその近傍の値として薄膜は形成される。Ｖコートの場合は一酸化シリコン（ＳｉＯ）を光学的膜厚ｎｄ１＝λ／４とフ

ッ化マグネシウム（MgF_2）をｎｄ１＝λ／４、もしくは酸化イットリウム（Y_2O_3）とフッ化マグネシウム（MgF_2）をｎ　ｄ１＝λ／４積層して形成する。ＳｉＯは青色側に吸収帯域があるため青色光を変調する場合はY_2O_3を用いた方がよい。また、物質の安定性からもY_2O_3の方が安定しているため好ましい。また、SiO_2薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてＡＩＲコートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【０１２０】

なお、表示パネルに静電気がチャージされることを防止するため、表示パネルなどの表面に親水性の樹脂を塗布しておくことが好ましい。その他、表面反射を防止するため、偏光板５４の表面などにエンボス加工を行ってもよい。

【０１２１】

また、画素電極１０５にはトランジスタが接続されるとしたがこれに限定されるものではない。アクティブマトリックスとは、スイッチング素子として薄膜トランジスタ（トランジスタ）の他、ダイオード方式（ＴＦＤ）、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＦＥＴ、ＭＯＳトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、スイッチ素子１１、駆動素子１１と構成するものはこれらのいずれでも使用することができる。また、略ストライプ状電極を複数本配置した単純マトリックス型の画素構成でもよい。

【０１２２】

また、トランジスタはＬＤＤ（ロー　ドーピング　ドレイン）構造を採用することが好ましい。なお、トランジスタとは、ＦＥＴなどスイッチングなどのトランジスタ動作をするすべての素子一般を意味する。また、ＥＬ膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できることは言うまでもない。また、本明細書ではＥＬ素子として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

【０１２３】

まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、１．特定の画素を選択し、必要な表示情報を与えられること。２、１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。

【０１２４】

この２つの条件を満足させるため、図６２に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタ、第２のトランジスタ１１ａはＥＬ素子（ＥＬ膜）１５に電流を供給するための駆動用トランジスタとする。

【０１２５】

ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用トランジスタ１１ｂは液晶用にも必要であるが、駆動用トランジスタ１１ａはＥＬ素子１５を点灯させるために必要である。この理由は液晶の場合は、電圧を印加することでオン状態を保持することができるが、ＥＬ素子１５の場合は、電流を流しつづけなければ画素１６の点灯状態を維持できないからである。

【０１２６】

したがって、ＥＬ表示パネルでは電流を流し続けるためにトランジスタ１１ａをオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用トランジスタ１１ｂを通してキャパシタ１９に電荷が蓄積される。このキャパシタ１９が駆動用トランジスタ１１ａのゲートに電圧を加え続けるため、スイッチング用トランジスタ１１ｂがオフになっても、電流供給線（Ｖｄｄ）から電流が流れつづけ、１フレーム期間にわたり画素１６をオンできる。

【０１２７】

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧とし

て階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

【０１２８】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。なお、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（ＣＧＳ）成長させた半導体膜を用いてＴＦＴなどを形成したものをもちいてもよい。その他、有機ＴＦＴを用いたものであっても良い。また、アモルファスシリコン技術で形成したＴＦＴアレイを用いてパネルを構成する。なお、本明細書では低温ポリシリコン技術で形成したＴＦＴを主として説明する。しかし、ＴＦＴのバラツキが発生するなどの課題は他の方式でも同一である。

【０１２９】

したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があり、現状の低温多結晶ポリシリコントランジスタではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。この問題を解決するため、１画素内に４つ以上のトランジスタをもうけて、しきい値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法、定電流回路を１画素ごとに形成し電流の均一化を図る方法などが考えられる。

【０１３０】

しかしながら、これらの方法は、プログラムされる電流がＥＬ素子１５を通じてプログラムされるため電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。したがって、駆動電圧が高くなるという課題を有する。

【０１３１】

また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があり、この動作範囲がＥＬ素子１５の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生する場合、トランジスタのしきい値電圧の変動が発生した場合、記憶された電流値が変動するとう課題もある。

【０１３２】

本発明のＥＬ素子構造は、上記課題に対して、ＥＬ素子１５に流れる電流を制御するトランジスタ１１が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小に抑えることが出来て記憶される電流値の変動を小さくすることが出来る構成である。

【０１３３】

本発明のＥＬ表示装置の画素構造は、具体的には図１に示すように単位画素が最低４つからなる複数のトランジスタ１１ならびにＥＬ素子により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極１０５を形成する。このようにソース信号線１８上に画素電極を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。

【０１３４】

ゲート信号線（第１の走査線）１７ａをアクティブ（ＯＮ電圧を印加）とすることによりＥＬ素子１５駆動用のトランジスタ（トランジスタあるいはスイッチング素子）１１ａおよびトランジスタ（トランジスタあるいはスイッチング素子）１１ｃを通して、前記Ｅ

Ｌ素子１５に流すべき電流値をソースドライバ回路１４から流す。また、トランジスタ１１ａのゲートとドレイン間を短絡するようにトランジスタ１１ｂがゲート信号線１７ａアクティブ（ＯＮ電圧を印加）となることにより開くと共に、トランジスタ１１ａのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９に、前記電流値を流すようにトランジスタ１１ａのゲート電圧（あるいはドレイン電圧）を記憶する（図３（ａ）を参照のこと）。

【０１３５】

なお、トランジスタ１１ａのソース（Ｓ）－ゲート（Ｇ）間容量（コンデンサ）１９は０．２ｐＦ以上の容量とすることが好ましい。他の構成として、別途、コンデンサ１９を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。トランジスタ１１ｃのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。なお、コンデンサ（蓄積容量）１９の大きさは、０．２ｐＦ以上２ｐＦ以下とすることがよく、中でもコンデンサ（蓄積容量）１９の大きさは、０．４ｐＦ以上１．２ｐＦ以下とすることがよい。

【０１３６】

なお、コンデンサ１９は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機ＥＬ１５を作成する場合、有機ＥＬ層１５をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによるＥＬ層の形成位置が発生する。位置ずれが発生すると各色の有機ＥＬ層１５（１５Ｒ、１５Ｇ、１５Ｂ）が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は１０μ以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量１９をこの領域に形成することは開口率向上のために有効な手段となる。

【０１３７】

なお、メタルマスクは磁性体で作製し、基板７１の裏面から磁石でメタルマスクを磁力で吸着する。磁力により、メタルマスクは基板と隙間なく密着する。以上の製造方法に関する事項は、本発明の他の製造方法にも適用される。

【０１３８】

次に、ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）、ゲート信号線１７ｂをアクティブとして、電流の流れる経路を前記第１のトランジスタ１１ａ並びにＥＬ素子１５に接続されたトランジスタ１１ｄならびに前記ＥＬ素子１５を含む経路に切り替えて、記憶した電流を前記ＥＬ素子１５に流すように動作する（図３（ｂ）を参照のこと）。

【０１３９】

この回路は１画素内に４つのトランジスタ１１を有しており、トランジスタ１１ａ のゲートはトランジスタ１１ｂのソースに接続されている。また、トランジスタ１１ｂおよびトランジスタ１１ｃのゲートはゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレインはトランジスタ１１ｃのソースならびにトランジスタ１１ｄのソースに接続され、トランジスタ１１ｃのドレインはソース信号線１８に接続されている。トランジスタ１１ｄのゲートはゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレインはＥＬ素子１５のアノード電極に接続されている。

【０１４０】

なお、図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【０１４１】

なお、図１においてトランジスタ１１ｃ、１１ｂは同一の極性で構成し、かつＮチャンネルで構成し、トランジスタ１１ａ、１１ｄはＰチャンネルで構成することが好ましい。一般的にＰチャンネルトランジスタはＮチャンネルトランジスタに比較して、信頼性が高

い、キンク電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るＥＬ素子１５に対しては、トランジスタ１１ａをＰチャンネルにする効果が大きい。最適には画素を構成するＴＦＴ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのＴＦＴで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まりかを実現できる。

【０１４２】

以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図３を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図３（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。従って、トランジスタ１１ａのゲートーソースの電圧はＩ１が流れるような電圧Ｖ１となる。

【０１４３】

第２のタイミングはトランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図３（ｂ）となる。トランジスタ１１ａのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。

【０１４４】

このように動作させると、図５に図示するようになる。つまり、図５（ａ）の５１ａは表示画面５０における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）５１ａは、図５（ｂ）に図示するように非点灯（非表示画素（行））とする。他の、画素（行）は表示画素（行）５３とする（非画素５３のＥＬ素子１５には電流が流れ、ＥＬ素子１５が発光している）。

【０１４５】

図１の画素構成の場合、図３（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０１４６】

次に、ＥＬ素子１５に電流を流す期間は図３（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【０１４７】

このタイミングチャートを図４に図示する。なお、図４などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。

【０１４８】

図４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。また、この期間は、ＥＬ素子１５に

電流が流れている（点灯状態）。

【０１４９】

なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１１ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１１に接続してもよい（図３２を参照のこと）。１画素のゲート信号線は３本となる（図１の構成は２本である）。トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。

【０１５０】

ゲート信号線１７ａとゲート信号線１７ｂとを共通にし、トランジスタ１１ｃと１１ｄが異なった導電型（ＮチャンネルとＰチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

【０１５１】

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ１１ａのソース（Ｓ）－ゲート（Ｇ）間容量（コンデンサ）に記憶されない。トランジスタ１１ｃとトランジスタ１１ｄを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ１１ｃがオフしたのちに、トランジスタ１１ｄがオンすることが可能になる。

【０１５２】

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低４つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ１１ｅを図２に示すように、カスケード接続してトランジスタの総数が４以上になっても動作原理は同じである。このようにトランジスタ１１ｅを加えた構成とすることにより、トランジスタ１１ｃを介してプログラムした電流がより精度よくＥＬ素子１５に流すことができるようになる。

【０１５３】

図１の構成において、第１のトランジスタ１１ａの飽和領域における電流値Ｉｄｓが下式の条件を満足させることがさらに好ましい。なお、下式においてλの値は、隣接する画素間において０．０６以下０．０１以上の条件を満足させる。

【０１５４】

$$Ids = k \times (Vgs - Vth)^2 (1 + Vds \times \lambda)$$

本発明では、トランジスタ１１ａの動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースードレイン間電圧の影響を受ける。この効果をミラー効果という。

【０１５５】

隣接する画素におけるそれぞれのトランジスタ１１ａにΔＶｔなる閾値のシフトが発生した場合を考える。この場合記憶される電流値は同じである。閾値のシフトをΔＬとすれば、約ΔＶ×λがトランジスタ１１ａの閾値が変動することによる、ＥＬ素子１５の電流値のずれに相当する。したがって、電流のずれをｘ（％）以下に抑えるためには、閾値のシフトの許容量を隣接する画素間でｙ（Ｖ）を許容するとして、λは０．０１×ｘ／ｙ以下でなければならないことが判る。

【０１５６】

この許容値はアプリケーションの輝度により変化する。輝度が１００cd/m^{2}から１０００cd/m^{2}までの輝度領域においては、変動量が２％以上あれば人間は変動した境界線を認識する。したがって、輝度（電流量）の変動量が２％以内であることが必要である。輝度が１００ｃｄ／ｃｍ^{2}より高い場合は隣接する画素の輝度変化量は２％以上となる。本発明のＥＬ表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は１００cd

/m^{2}程度である。実際に図１の画素構成を試作し、閾値の変動を測定すると、隣接する画素のトランジスタ１１ａおいては閾値の変動の最大値は０．３Ｖであることが判った。したがって、輝度の変動を２％以内に抑えるためにはλは０．０６以下でなければならない。しかし、０．０１以下にする必要はない。人間が変化を認識することができないからである。また、この閾値のバラツキを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【０１５７】

また、第１のトランジスタ１１ａの飽和領域における電流値Ｉｄｓが下式を満足するように構成することが好ましい。なお、λの変動が隣接する画素間において５％以下１％以上とする。

【０１５８】

$$Ｉｄｓ＝ｋ×（Ｖｇｓ－Ｖｔｈ）^2（１＋Ｖｄｓ×λ）$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式のλに変動があれば、ＥＬを流れる電流値が変動する。変動を±２％以内に抑えるためには、λの変動を±５％に抑えなければならない。しかし、しかし、１％以下にする必要はない。人間が変化を認識することができないからである。また、１％以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【０１５９】

また、実験、アレイ試作および検討によれば第１のトランジスタ１１ａのチャンネル長が１０μｍ以上２００μｍ以下とすることが好ましい。さらに好ましくは、第１のトランジスタ１１ａのチャンネル長が１５μｍ以上１５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【０１６０】

また、画素を構成するトランジスタ１１が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を２回以上スキャンして半導体膜を形成することが好ましい。

【０１６１】

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために４トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、４つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたいの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【０１６２】

また、蓄積容量１９の容量値をＣｓ、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆとした場合、次式を満足させることが好ましい。

【０１６３】

$$３ ＜ Ｃｓ／Ｉｏｆｆ ＜ ２４$$

さらに好ましくは、次式を満足させることが好ましい。

【０１６４】

$$６ ＜ Ｃｓ／Ｉｏｆｆ ＜ １８$$

トランジスタ１１ｂのオフ電流を５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートーソース間（コンデンサの両端）に貯えられた電荷を１フィールド間保持できないためである。したがって、コンデンサ１９の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を

２％以下に抑えることができる。

【０１６５】

また、アクティブマトリックスを構成するトランジスタがｐ－ｃｈポリシリコン薄膜トランジスタに構成され、トランジスタ１１ｂがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用するため、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。

【０１６６】

また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅Ｗ）×（チャンネル長Ｌ）を５４μｍ^{2}以下とすることが好ましい。（チャンネル幅Ｗ）×（チャンネル長Ｌ）とトランジスタ特性のバラツキとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが大きく、したがってこれを吸収するためには、できるだけレーザーの照射ピッチ（一般的には１０数μｍ）をチャンネル内により多く含む構造が望ましい。各トランジスタの（チャンネル幅Ｗ）×（チャンネル長Ｌ）を５４μｍ^{2}以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生する。したがって、各トランジスタの（チャンネル幅Ｗ）×（チャンネル長Ｌ）は９μｍ^{2}以上となるようにする。なお、さらに好ましくは、各トランジスタの（チャンネル幅Ｗ）×（チャンネル長Ｌ）は１６μｍ^{2}以上４５μｍ^{2}以下となるようにすることが好ましい。

【０１６７】

また、隣接する単位画素での第１のトランジスタ１１ａの移動度変動が２０％以下であるようにすることが好ましい。移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、Ｍ１のゲート－ソース間の容量を充電できない。従って移動のばらつきを２０％以内に抑えることにより画素間の輝度のばらつきを認知限以下にすることができる。

【０１６８】

以上の説明は、画素構成が図１の構成として説明したが、以上の事項は他の画素構成にも適用することができる。以下、その一例として図３８の画素構成について、構成、動作について説明をする。

【０１６９】

ＥＬ素子１５に流す電流を設定する時、トランジスタ１１ａに流す信号電流をＩｗ、その結果トランジスタ１１ａに生ずるゲートーソース間電圧をＶｇｓとする。書き込み時はトランジスタ１１ｄによってトランジスタ１１ａのゲート・ドレイン間が短絡されているので、トランジスタ１１ａは飽和領域で動作する。よって、Ｉｗは、以下の式で与えられる。

【０１７０】

$$Iw=\mu 1\cdot Cox1\cdot(W1/L1)/2(Vgs-Vth1)^2 \cdots (1)$$

ここで、Ｃｏｘは単位面積当たりのゲート容量であり、$Cox=\varepsilon_0\cdot\varepsilon_r/d$で与えられる。Ｖｔｈはトランジスタの閾値、μはキャリアの移動度、Ｗはチャンネル幅、Ｌはチャンネル長、ε_0は真空の移動度、ε_rはゲート絶縁膜の比誘電率を示し、ｄはゲート絶縁膜の厚みである。

【０１７１】

ＥＬ素子１５に流れる電流をＩｄｄとすると、Ｉｄｄは、ＥＬ素子１５と直列に接続されるトランジスタ１ｂによって電流レベルが制御される。本発明では、そのゲートーソース間電圧が（１）式のＶｇｓに一致するので、トランジスタ１ｂが飽和領域で動作すると仮定すれば、以下の式が成り立つ。

【０１７２】

$$Idrv=\mu 2\cdot Cox2\cdot(W2/L2)/2(Vgs-Vth2)^2 \cdots (2)$$

絶縁ゲート電界効果型の薄膜トランジスタ（トランジスタ）が飽和領域で動作するための条件は、Ｖｄｓをドレイン・ソース間電圧として、一般に以下の式で与えられる。

【０１７３】

$$|Vds|>|Vgs-Vth| \cdots (3)$$

ここで、トランジスタ１１ａとトランジスタ１１ｂは、小さな画素内部に近接して形成されるため、大略μ１＝μ２及びＣｏｘ１＝Ｃｏｘ２であり、特に工夫を凝らさない限り、Ｖｔｈ１＝Ｖｔｈ２と考えられる。すると、このとき（１）式及び（２）式から容易に以下の式が導かれる。

【０１７４】

$$Idrv/Iw=(W2/L2)/(W1/L1) \cdots (4)$$

ここで注意すべき点は、（１）式及び（２）式において、μ、Ｃｏｘ、Ｖｔｈの値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、（４）式はこれらのパラメータを含まないので、Ｉｄｒｖ／Ｉｗの値はこれらのばらつきに依存しないということである。

【０１７５】

仮にＷ１＝Ｗ２、Ｌ１＝Ｌ２と設計すれば、Ｉｄｒｖ／Ｉｗ＝１、すなわちＩｗとＩｄｒｖが同一の値となる。すなわちトランジスタの特性ばらつきによらず、ＥＬ素子１５に流れる駆動電流Ｉｄｄは、正確に信号電流Ｉｗと同一になるので、結果としてＥＬ素子１５の発光輝度を正確に制御できる。

【０１７６】

以上の様に、駆動用トランジスタ１１ａのＶｔｈ１と駆動用トランジスタ１１ｂのＶｔｈ２は基本的に同一である為、両トランジスタお互いにの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、トランジスタ１１ａ及びトランジスタ１１ｂ共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、Ｖｔｈ１よりもＶｔｈ２が低くなってしまうことがある。この時には、駆動用トランジスタ１１ｂにサブスレッショルドレベルのリーク電流が流れる為、ＥＬ素子１５は微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。

【０１７７】

本発明では特に、駆動用トランジスタ１１ｂの閾電圧Ｖｔｈ２が画素内で対応する駆動用トランジスタ１１ａの閾電圧Ｖｔｈ１より低くならない様に設定している。例えば、トランジスタ１１ｂのゲート長Ｌ２をトランジスタ１１ａのゲート長Ｌ１よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Ｖｔｈ２がＶｔｈ１よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。以上の事項は図１のトランジスタ１１ａとトランジスタ１１ｄの関係にも適用される。

【０１７８】

図３８に示すように、信号電流が流れる駆動用トランジスタ１１ａ、ＥＬ素子１５等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ１１ｂの他、ゲート信号線１７ａ１の制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断する取込用トランジスタ１１ｃ、ゲート信号線１７ａ２の制御によって書き込み期間中にトランジスタ１１ａのゲート・ドレインを短絡するスイッチ用トランジスタ１１ｄ、トランジスタ１１ａのゲートーソース間電圧を書き込み終了後も保持するための容量Ｃ１９および発光素子としてのＥＬ素子１５などから構成される。

【０１７９】

図３８でトランジスタ１１ｃ、１１ｄはＮチャンネルＭＯＳ（ＮＭＯＳ）、その他のトランジスタはＰチャンネルＭＯＳ（ＰＭＯＳ）で構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Ｃは、その一方の端子をトランジスタ１１ａのゲートに接続され、他方の端子はＶｄｄ（電源電位）に接続されているが、Ｖｄｄに限らず任意の一定電位でも良い。ＥＬ素子１５のカソード（陰極）は接地電位に接続されてい

る。したがって、以上の事項は図１などにも適用されることは言うまでもない。

【０１８０】

ＥＬ素子１５の端子電圧は温度によっても変化する。通常、温度が低い時は高く、温度が高くなるにつれ、低くなる。この傾向はリニアの関係にある。したがって、Ｖｄｄ電圧を外部温度によって（正確にはＥＬ素子１５の温度によって）調整することが好ましい。温度センサで外部温度を検出し、Ｖｄｄ電圧発生部あるいはＶｋ電圧発生部のフィードバックをかけてＶｄｄ電圧あるいはＶｋ電圧を変化させる。Ｖｄｄ電圧などは摂氏１０℃の変化で、２％以上８％以下変化するようにすることが好ましい。中でも３％以上６％以下とすることが好ましい。

【０１８１】

なお、図１などのＶｄｄ電圧はトランジスタ１１ｂのオフ電圧（トランジスタがＰチャンネル時）よりも低くすることが好ましい。具体的には、Ｖｇｈ（ゲートのオフ電圧）は少なくともＶｄｄ－０．５（Ｖ）よりの高くするべきである。これよりも低いとトランジスタのオフリークが発生し、レーザーアニールのショットムラが目立つようになる。また、Ｖｄｄ＋４（Ｖ）よりも低くすべきである。あまりにも高いと逆にオフリーク量が増加する。

【０１８２】

したがって、ゲートのオフ電圧（図１ではＶｇｈ、つまり、電源電圧に近い電圧側）は、電源電圧（図１ではＶｄｄ）は、よりも－０．５（Ｖ）以上＋４（Ｖ）以下とすべきである。さらに好ましくは、電源電圧（図１ではＶｄｄ）は、よりも０（Ｖ）以上＋２（Ｖ）以下とすべきである。つまり、ゲート信号線に印加するトランジスタのオフ電圧は、十分オフになるようにする。トランジスタがＮチャンネルの場合は、Ｖｇｌがオフ電圧となる。したがって、ＶｇｌはＧＮＤ電圧に対して－４（Ｖ）以上０．５（Ｖ）以下の範囲となるようにする。さらに好ましくは－２（Ｖ）以上０（Ｖ）以下の範囲することが好ましい。

【０１８３】

以上の事項は、図１の電流プログラムの画素構成について述べたが、これに限定するものではなく、電圧プログラムの画素構成にも適用できることは言うまでもない。なお、電圧プログラムのＶｔオフセットキャンセルは、Ｒ、Ｇ、Ｂごとに個別に補償することが好ましい。

【０１８４】

駆動用トランジスタ１１ｂは、コンデンサ１９に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流はチャネルを介してＥＬ素子１５に流す。トランジスタトランジスタ１１ａのゲートとトランジスタトランジスタ１１ｂのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流Ｉｗの電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。

【０１８５】

トランジスタ１１ｂは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をＥＬ素子１５に流す。

【０１８６】

トランジスタ１１ｂは、その閾電圧が画素内で対応するランジスタ１１ａの閾電圧より低くならない様に設定されている。具体的には、トランジスタ１１ｂは、そのゲート長がトランジスタ１１ａのゲート長より短くならない様に設定されている。あるいは、トランジスタ１１ｂは、そのゲート絶縁膜が画素内で対応するトランジスタ１１ａのゲート絶縁膜より薄くならないように設定しても良い。

【０１８７】

あるいは、トランジスタ１１ｂは、そのチャネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するトランジスタ１１ａの閾電圧より低くならない様に設定してもよい。仮に、トランジスタ１１ａとトランジスタ１１ｂの閾電圧が同一となる様に設定した場合、共通接続されたトランジスタのゲートにカットオフレベルの信号電圧が印加され

ると、トランジスタ１１ａ及びトランジスタ１１ｂは両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、トランジスタ１１ａの閾電圧よりトランジスタ１１ｂの閾電圧が低くなる場合がある。

【０１８８】

この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用トランジスタ１１ｂに流れる為、ＥＬ素子１５は微発光し画面のコントラスト低下が現れる。そこで、トランジスタ１１ｂのゲート長をトランジスタ１１ａのゲート長よりも長くしている。これにより、トランジスタ１１のプロセスパラメータが画素内で変動しても、トランジスタ１１ｂの閾電圧がトランジスタ１１ａの閾電圧よりも低くならない様にする。

【０１８９】

ゲート長Ｌが比較的短い短チャネル効果領域Ａでは、ゲート長Ｌの増加に伴いＶｔｈが上昇する。一方、ゲート長Ｌが比較的大きな抑制領域ＢではゲートＬに関わらずＶｔｈはほぼ一定である。この特性を利用して、トランジスタ１１ｂのゲート長をトランジスタ１１ａのゲート長よりも長くしている。例えば、トランジスタ１１ａのゲート長が７μｍの場合、トランジスタ１１ｂのゲート長を１０μｍ程度にする。

【０１９０】

トランジスタ１１ａのゲート長が短チャネル効果領域Ａに属する一方、トランジスタ１１ｂのゲート長が抑制領域Ｂに属する様にしても良い。これにより、トランジスタ１１ｂにおける短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。以上により、トランジスタ１１ｂに流れるサブスレッショルドレベルのリーク電流を抑制してＥＬ素子１５の微発光を抑え、コントラスト改善に寄与可能である。

【０１９１】

このようにして作製した図１、図２、図３８などで説明したＥＬ表示素子１５に直流電圧を印加し、１０mA/cm^{2}の一定電流密度で連続駆動させた。ＥＬ構造体は、７．０Ｖ、２００cd/cm^{2}の緑色（発光極大波長λmax ＝４６０nm）の発光が確認できた。青色発光部は、輝度１００cd／cm^2 で、色座標がｘ＝０．１２９、ｙ＝０．１０５、緑色発光部は、輝度２００cd／cm^2 で、色座標がｘ＝０．３４０、ｙ＝０．６２５、赤色発光部は、輝度１００cd／cm^2 で、色座標がｘ＝０．６４９、ｙ＝０．３３８の発光色が得られた。

【０１９２】

フルカラー有機ＥＬ表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機ＥＬ層からの光を遮るトランジスタの面積を小さくすればよい。低温多結晶Ｓｉ－トランジスタはアモルファスシリコンに比較して１０－１００倍の性能を持ち、電流の供給能力が高いため、トランジスタの大きさを非常に小さくできる。したがって、有機ＥＬ表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術、高温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【０１９３】

ゲートドライバ回路１２あるいはソースドライバ回路１４などの駆動回路をガラス基板７１上に形成することにより、電流駆動の有機ＥＬ表示パネルで特に問題になる抵抗を下げることができる。ＴＣＰの接続抵抗がなくなるうえに、ＴＣＰ接続の場合に比べて電極からの引き出し線が２～３ｍｍ短くなり配線抵抗が小さくなる。さらに、ＴＣＰ接続のための工程がなくなる、材料コストが下がるという利点があるとする。

【０１９４】

次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図６はＥＬ表示装置の回路を中心とした説明図である。画素１６がマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行う電流を出力するソースドライバ回路１４が接続されている。ソースドライバ回路１４の出力段は映像信号のビット数に

対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている。

【０１９５】

なお、１つのカレントミラー回路の最小出力電流は１０ｎＡ以上５０ｎＡにしている。特にカレントミラー回路の最小出力電流は１５ｎＡ以上３５ｎＡにすることがよい。ドライバＩＣ１４内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【０１９６】

また、ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢでことなるからである。

【０１９７】

以上に説明した画素構成、アレイ構成、パネル構成などは、以下に説明する構成、方法、装置に適用されることは言うまでもない。また、以下に説明する構成、方法、装置は、すでに説明した画素構成、アレイ構成、パネル構成などが適用されることは言うまでもない。

【０１９８】

有機ＥＬ素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

【０１９９】

この場合は、選択するＥＬ材料で一義的に決定されるから、マイコンなどのソフト制御する必要がない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよい。重要なのは発光色材料により温特が異なっている点であり、発光色（Ｒ、Ｇ、Ｂ）ごとに最適な温特補償を行う必要がある点である。

【０２００】

Ｒ、Ｇ、Ｂの各ＥＬ素子の温特は一定範囲内にする必要がある。Ｒ、Ｇ、ＢのＥＬ素子１５の温特はない事が好ましいのはいうまでもない。少なくともＲ、Ｇ、Ｂの温特方向が同一方向か、もしくは変化しないようにする。また、変化は各色摂氏１０℃の変化で、２％以上８％以下変化するようにすることが好ましい。中でも３％以上６％以下とすることが好ましい。

【０２０１】

また、温特補償はマイコンでおこなってもよい。温度センサでＥＬ表示パネルの温度を測定し、測定した温度によりマイコン（図示せず）などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、また、特定のメニュー表示を表示できるように制御してもよい。また、マウスなどを用いて切り替えできるように構成できる。また、ＥＬ表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【０２０２】

本発明ではソースドライバは半導体シリコンチップで形成し、ガラスオンチップ（ＣＯＧ）技術で基板７１のソース信号線１８の端子と接続されている。ソース信号線１８などの信号線の配線はクロム、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

【０２０３】

本発明はＣＯＧ技術に限定するものではなく、チップオンフィルム（ＣＯＦ）技術に前述のソースドライバＩＣ１４などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブＩＣは電源ＩＣ８２を別途作製し、３チップ構成としてもよい。

【０２０４】

また、ＴＣＦテープを用いてもよい。ＴＣＦテープ向けフィルムは、ポリイミドフィルムと銅（Ｃｕ）箔を、接着剤を使わずに熱圧着することができる。接着剤を使わずにポリイミドフィルムにＣｕを付けるＴＣＰテープ向けフィルムにはこのほか、Ｃｕ箔の上に溶解したポリイミドを重ねてキャスト成型する方式と、ポリイミドフィルム上にスパッタリングで形成した金属膜の上にＣｕをメッキや蒸着で付ける方式がある。これらのいずれでもよいが、接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープを用いる方法が最も好ましい。３０μｍ以下のリード・ピッチには、接着剤を使わないＣｕはり積層板で対応する。接着剤を使わないCuはり積層板のうち、Cu層をメッキや蒸着で形成する方法はCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

【０２０５】

一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板７１上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【０２０６】

ゲートドライバ１２はゲート信号線１７ａ用のシフトレジスタ回路６１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路６１ｂとを内蔵する。各シフトレジスタ回路６１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールＩＣ８１からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

【０２０７】

シフトレジスタ回路６１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路６１の出力とゲート信号線１７を駆動する出力ゲート６３間には少なくとも２つ以上のインバータ回路６２が形成されている。

【０２０８】

ソースドライバ１４を低温ポリシリなどのポリシリ技術で基板７１上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路１４のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。

【０２０９】

たとえば、図６ではソースドライバ１４の出力が直接ソース信号線１８に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファーゲートなどのアナログスイッチのゲートに接続されている。

【０２１０】

インバータ回路６２はＰチャンネルのＭＯＳトランジスタとＮチャンネルのＭＯＳトランジスタから構成される。先にも説明したようにゲートドライバ回路１２のシフトレジスタ回路６１の出力端にはインバータ回路６２が多段に接続されており、その最終出力が出力ゲート回路６３に接続されている。なお、インバータ回路６２はＰチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【０２１１】

図８は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コンとロールＩＣ８１からソースドライバ回路１４ａに供給する信号（電源配線、データ配線など）はフレキシブル基板８４を介して供給する。

【０２１２】

図８ではゲートドライバ１２の制御信号はコントロールＩＣで発生させ、ソースドライバ１４でいったん、レベルシフトを行った後、ゲートドライバ１２に印加している。ソースドライバ１４の駆動電圧は４～８（Ｖ）であるから、コントロールＩＣ８１から出力された３．３（Ｖ）振幅の制御信号を、ゲートドライバ１２が受け取れる５（Ｖ）振幅に変換することができる。

【０２１３】

ソースドライバ１４内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、２６万色表示データを４０９６色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ８１で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【０２１４】

なお、図８などにおいて１４をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図８などで説明する構成にあっても、図９などで説明する３辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【０２１５】

表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバＩＣ（回路）１４、ゲートドライバＩｃ（回路）１２を図９に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバＩＣ（回路）を実装（形成）する形態を３辺フリー構成（構造）と呼ぶ。従来は、表示領域のＸ辺にゲートドライバＩＣ１２が実装され、Ｙ辺にソースドライバＩＣ１４が実装されていた）。画面５０の中心線が表示装置の中心になるように設計し易く、また、ドライバＩＣの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで３辺フリーの構成で作製してもよい（つまり、図９のソースドライバ回路１４とゲートドライバ回路１２のうち、少なくとも一方をポリシリコン技術で基板７１に直接形成する）。

【０２１６】

なお、３辺フリー構成とは、基板７１に直接ＩＣを積載あるいは形成した構成だけでなく、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２などを取り付けたフィルム（ＴＣＰ、ＴＡＢ技術など）を基板７１の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、２辺にＩＣが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【０２１７】

図９のようにゲートドライバ回路１２をソースドライバ回路１４の横に配置すると、ゲート信号線１７は辺Ｃの沿って形成し、画面表示領域５０まで形成する必要がある。

【０２１８】

なお、図９などにおいて太い実線で図示した箇所はゲート信号線１７が並列して形成した箇所を示している。したがって、ｂの部分（画面下部）は走査信号線の本数分のゲート信号線１７が並列して形成され、ａの部分（画面上部）はゲート信号線１７が１本形成されている。

【０２１９】

Ｃ辺に形成するゲート信号線１７のピッチは５μｍ以上１２μｍ以下にする。５μｍ未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば７μ以下で寄生容量の影響が顕著に発生する。さらに５μｍ未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減１２μｍを越えると表示パネルの額縁幅Ｄが大きくなりすぎ実用的でない。

【０２２０】

前述の画像ノイズを低減するためには、ゲート信号線１７を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線１７上に配置すればよい。

【０２２１】

図９のＣ辺のゲート信号線１７はＩＴＯ電極で形成してもよいが、低抵抗化するため、ＩＴＯと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ＩＴＯと積層する場合は、ＩＴＯ上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはＩＴＯ上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【０２２２】

なお、図９などにおいて、ゲート信号線１７などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線１７ａを表示領域５０の右側に配置（形成）し、ゲート信号線１７ｂを表示領域５０の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【０２２３】

また、ソースドライバＩＣ１４とゲートドライバＩＣ１２とを１チップ化してもよい。１チップ化すれば、表示パネルへのＩＣチップの実装が１個で済む。したがって、実装コストも低減できる。また、１チップドライバＩＣ内で使用する各種電圧も同時に発生することができる。

【０２２４】

なお、ソースドライバＩＣ１４、ゲートドライバＩＣ１２はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術、アモルファスシリコン技術により表示パネル８２に直接形成してもよいことは言うまでもない。

【０２２５】

図１などで図示した構成ではＥＬ素子１５のトランジスタ１１ａを介してＶｄｄ電位に接続されている。しかし、各色を構成する有機ＥＬの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり０．０１（Ａ）の電流を流した場合、青（Ｂ）ではＥＬ素子の端子電圧は５（Ｖ）であるが、緑（Ｇ）および赤（Ｒ）では９（Ｖ）である。つまり、端子電圧がＢとＧ、Ｒで異なる。したがって、ＢとＧ、Ｒでは保持するトランジスタ１１ａのソース－ドレイン電圧（ＳＤ電圧）が異なる。そのため、各色でトランジスタのソース－ドレイン電圧（ＳＤ電圧）間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態をなる。

【０２２６】
この課題に対応するため、少なくともＲ、Ｇ、Ｂ色のうち、１つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくはＲ、Ｇ、Ｂ色のうち、１つのＶｄｄの電位を他色のＶｄｄの電位と異ならせるように構成している。
【０２２７】
Ｒ、Ｇ、ＢのＥＬ素子１５の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が６０００Ｋ以上９０００Ｋ以下の範囲で、Ｒ、Ｇ、ＢのＥＬ素子の端子電圧は１０（Ｖ）以下となるように材料あるいは構造選定をする必要がある。また、Ｒ、Ｇ、Ｂののうち、ＥＬ素子の最大の端子電圧と最小の端子電圧との差は、２．５（Ｖ）以内にする必要がある。さらに好ましくは１．５（Ｖ）以下にする必要がある。なお、以上の実施例では、色はＲＧＢとしたがこれに限定するものではない。このことは後に説明する。
【０２２８】
また、色ムラの補正も必要である。これは、各色のＥＬ材料を塗り分けるため、膜厚のバラツキ、特性のバラツキによって発生する。これを補正するため、３０％もしくは７０％の輝度で白ラスター表示を行い、表示領域５０内の各色の面内分布を測定する。面内分布は少なくとも３０画素に１ポイントずつは測定する。この測定データをメモリからなるテーブルに保存し、この保存されたデータを使用して、入力画像データを補正して表示画面５０に表示するように構成する。
【０２２９】
なお、画素は、Ｒ、Ｇ、Ｂの３原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの３色でもよい。また、Ｂとイエローの２色でもよい。もちろん、単色でもよい。また、Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダの６色でもよい。Ｒ、Ｇ、Ｂ、シアン、マゼンダの５色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、Ｒ、Ｇ、Ｂ、白の４色でもよい。Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダ、黒、白の７色でもよいまた、白色発光の画素を表示領域５０全体に形成（作製）し、ＲＧＢなどのカラーフィルターで３原色表示としてもよい。この場合は、ＥＬ層に各色の発光材料を積層して形成すればよい。また、１画素をＢとイエローのように塗り分けても良い。以上のように本発明のＥＬ表示装置は、ＲＧＢの３原色でカラー表示を行うものに限定されるものではない。
【０２３０】
有機ＥＬ表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、ＲＧＢの各層を塗り分ける必要がない、ＲＧＢの各色の有機ＥＬ材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のＥＬ表示パネルなどはこのいずれの方式でも適用される。
【０２３１】
また、３原色の他に、白色発光の画素を形成してもよい。白色発光の画素はＲ、Ｇ、Ｂ発光の構造を積層することにより作製（形成または構成）することにより実現できる。１組の画素は、ＲＧＢの３原色と、白色発光の画素１６Ｗからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。
【０２３２】
ＲＧＢなどの３原色を１組の画素をする場合であっても、図１６９に図示するように、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、１つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が６０００Ｋ（ケルビン）以上９０００Ｋ以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±

３０％以内となるようにする。さらに好ましくは±１５％以内となるようにする。たとえば、電流密度が１００Ａ／平方メーターをすれば、３原色がいずれも７０Ａ／平方メーター以上１３０Ａ／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５Ａ／平方メーター以上１１５Ａ／平方メーター以下となるようにする。

【０２３３】

また、隣接した画素行で、３原色の配置が異なるように配置することが好ましい。たとえば、偶数行目が、左からＲ、Ｇ、Ｂの配置であれば、奇数行目はＢ、Ｇ、Ｒの配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。さらに、１行目を左からＲ、Ｇ、Ｂ、Ｒ、Ｇ、Ｂの配置とし、２行目をＧ、Ｂ、Ｒ、Ｇ、Ｂ、Ｒの配置とし、３行目をＢ、Ｒ、Ｇ、Ｂ、Ｒ、Ｇの配置とするように、３画素行以上で、画素配置を異ならせてもよい。もちろん、Ｒ、Ｇ、Ｂの画素配置もしくは、シアン、イエロー、マゼンダなどの色配置は、デルタ配置（１／２画素ずらす配置）としてもよいことは言うまでもない。

【０２３４】

有機ＥＬ１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【０２３５】

この課題に対処するため、本発明ではゲートドライバ１２（場合によってはソースドライバ１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１Ａ１のパターニングが困難になる。

【０２３６】

遮光膜上に２０以上１００ｎｍ以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量１９の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量１９の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（ＨＡ）構造の画素電極が形成される。

【０２３７】

ドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ１２などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【０２３８】

しかし、ドライバ１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路１２などの上に少なくとも１層、好ましくは複数層の有機ＥＬ膜を画素電極上の有機ＥＬ膜形成と同時に形成する。

【０２３９】

基本的に有機ＥＬ膜は絶縁物であるから、ドライバ上に有機ＥＬ膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

【０２４０】

画素の１つ以上のトランジスタ１１の端子間あるいはトランジスタ１１と信号線とが短絡すると、ＥＬ素子１５が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素１６を検出し、コ

ンデンサ１９にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ１９には電荷を保持できなくなるので、トランジスタ１１ａは電流を流さなくすることができる。

【０２４１】

なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ１９の端子電極とカソード膜とがショートすることを防止するためである。

【０２４２】

画素１６のトランジスタ１１の欠陥は、ドライバＩＣ１４などにも影響を与える。例えば、図５６では駆動トランジスタ１１ａにソース－ドレイン（ＳＤ）ショート５６２が発生していると、パネルのＶｄｄ電圧がソースドライバＩＣ１４に印加される。したがって、ソースドライバＩＣ１４の電源電圧は、パネルの電源電圧Ｖｄｄと同一かもしくは高くしておくことが好ましい。なお、ソースドライバＩＣで使用する基準電流は電子ボリウム５６１で調整できるように構成しておくことが好ましい。

【０２４３】

トランジスタ１１ａにＳＤショート５６２が発生していると、ＥＬ素子１５に過大な電流が流れる。つまり、ＥＬ素子１５が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図５６において、トランジスタ１１ａのソース－ドレイン（ＳＤ）ショートが発生していると、トランジスタ１１ａのゲート（Ｇ）端子電位の大小に関わらず、ＶｄｄからＥＬ素子１５に電流が常時流れる（トランジスタ１１ｄがオンの時）。したがって、輝点となる。

【０２４４】

一方、トランジスタ１１ａにＳＤショート５６２が発生していると、トランジスタ１１ｃがオン状態の時、Ｖｄｄ電圧がソース信号線１８に印加されソースドライバ１４にＶｄｄ電圧が印加される。もし、ソースドライバ１４の電源電圧がＶｄｄ以下であれば、耐圧を越えて、ソースドライバ１４が破壊される恐れがある。そのため、ソースドライバ１４の電源電圧はＶｄｄ電圧（パネルの高い方の電圧）以上にすることが好ましい。

【０２４５】

トランジスタ１１ａのＳＤショート５６２などは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、図５６のトランジスタ１１ａとＥＬ素子１５間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。なお、光学手段とはレーザーに限定されるものではなく、キセノンランプなどから発生する光を集光し、この集光した光で配線を切断する方式でもよい。また、切断箇所にサンドブラスト方式で切断（微粒子の砂を吹き付け、切断する）する方法を採用してもよい。つまり、切断手段としては何を用いても良い。しかし、レーザーなどの光学手段を用いる方法は切断箇所に非接触で加工を行うことができ好ましい。

【０２４６】

なお、レーザー光は連続方式のものよりは、Ｑスイッチを用いたパルス発振のものを採用することが好ましい。また、切断箇所には複数のレーザーパルスが照射されるようにする。そして、レーザーのパルス間隔は０．１ｍｓｅｃ（ｍ秒、ミリ秒）以上１００ｍｓｅｃ（ｍ秒、ミリ秒）以下にすることが好ましい。特に１ｍｓｅｃ以上１０ｍｓｅｃ以下にすることが好ましい。この間隔では、先に照射したレーザー光による加工箇所の溶融状態が継続しており、良好な切断あるいは加工が実施できるからである。また、レーザー光の波長は１μｍ前後が好ましい。この波長のレーザーとしてはＹＡＧレーザーが例示される。もちろん、他のレーザーでもよい。たとえば、炭酸ガスレーザー、エキシマレーザー、ネオンヘリウムレーザーなどが例示される。

【０２４７】

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図１でもわかるように、トランジスタ１１ａの電源Ｖｄｄが

、トランジスタ１１ａのゲート（Ｇ）端子に常時印加されるように修正してもよい。たとえば、コンデンサ１９の２つの電極間をショートさせれば、Ｖｄｄ電圧がトランジスタ１１ａのゲート（Ｇ）端子に印加されるようになる。したがって、トランジスタ１１ａは完全にオフ状態になり、ＥＬ素子１５に電流を流さなくすることができる。これば、コンデンサ１９にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。また、実際には、画素電極の下層にＶｄｄ配線が配置されているから、Ｖｄｄ配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御（修正）することができる。

【０２４８】

その他、トランジスタ１１ａのＳＤ間（チャンネル）をオープンにすることでも実現できる。簡単にはトランジスタ１１ａにレーザー光を照射し、トランジスタ１１ａのチャンネルをオープンにする。同様に、トランジスタ１１ｄのチャンネルをオープンにしてもよい。もちろん、トランジスタ１１ｂのチャンネルをオープンしても該当画素１６が選択されないから、黒表示となる。

【０２４９】

画素１６を黒表示するためには、ＥＬ素子１５を劣化させてもよい。たとえば、レーザー光をＥＬ層１５に照射し、ＥＬ層１５を物理的にあるいは化学的に劣化させ、発光しないようにする（常時黒表示）。レーザー光の照射によりＥＬ層１５を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、ＥＬ膜１５の化学的変化を容易に行うことができる。

【０２５０】

なお、以上の実施例は、図１に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは図６２、図５１などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。

【０２５１】

カソード（もしくはアノード）電極が透明電極の場合、画素電極を反射タイプとし共通電極を透明電極（ＩＴＯ、ＩＺＯなど）にする光上取り出しの構造（ガラス基板７１側から光を取り出すのは下取出し、ＥＬ膜蒸着面から光を取り出すのが上取り出し）の場合は、透明電極のシート抵抗値が問題となる。透明電極は高抵抗であるが、有機ＥＬのカソードには高い電流密度で電流を流す必要がある。しがたって、ＩＴＯ膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【０２５２】

この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線を形成すればよい。低抵抗化配線は液晶表示パネルのブラックマトリックス（ＢＭ）と同様の構成（クロムまたはアルミ材料で５０ｎｍ～２００ｎｍの膜厚）で、かつ同様の位置（画素電極間、ドライバ１２の上など）である。しかし、有機ＥＬではＢＭを形成する必要はないから機能は全く異なる。なお、低抵抗化配線は透明電極の表面に限定するものではなく、裏面（有機ＥＬ膜と接する面）に形成してもよい。また、ＢＭ状に形成した金属膜として、Ｍｇ・Ａｇ、Ｍｇ・Ｌｉ、Ａｌ・Ｌｉなどの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、ＢＭ上には腐食などを防止するため、さらにＩＴＯ、ＩＺＯ膜を積層し、また、SiN_x、SiO_2などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【０２５３】

また、ＥＬ膜の蒸着面から光を取り出す場合（上取り出し）の場合は、有機ＥＬ膜１５上のＭｇ－Ａｌ膜を形成し、その上にＩＴＯ、ＩＺＯ膜を形成することが好ましい。また、有機ＥＬ膜１５上のＭｇ－Ａｌ膜を形成し、その上にブラックマトリックス（液晶表示パネルのようなブラックマトリックス）を形成することが好ましい。このブラックマトリックスはクロム、Ａｌ、Ａｇ、Ａｕ、Ｃｕなどで形成し、この上に、SiO_2、SiN_xな

どの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜（ＡＩＲコート）を形成する。

【０２５４】

ＡＩＲコートは３層の構成あるいは２層構成がある。３層構成の場合は酸化アルミニウム（Al_2O_3）を光学的膜厚がｎｄ＝λ／４、ジルコニウム（ZrO_2）をｎｄ１＝λ／２、フッ化マグネシウム（MgF_2）をｎｄ１＝λ／４積層して形成する。通常、λとして５２０ｎｍもしくはその近傍の値として薄膜は形成される。

【０２５５】

２層構成の場合は一酸化シリコン（ＳｉＯ）を光学的膜厚ｎｄ1＝λ／４とフッ化マグネシウム（MgF_2）をｎｄ1＝λ／４、もしくは酸化イットリウム（Y_2O_3）とフッ化マグネシウム（MgF_2）をｎｄ1＝λ／４積層して形成する。

【０２５６】

１層の場合は、フッ化マグネシウム（MgF_2）をｎｄ1＝λ／２積層して形成する。

【０２５７】

なお、下取り出しの場合であっても、カソード電極１０６の金属膜の透過率を高くすることは効果がある。基板７１側から表示画像を見る構成であっても、金属膜の透過率を高いため、写り込みが減少するからである。写り込みが減少すれば、円偏光板（位相板）１０８は不要となる。したがって、上取り出しよりも光取り出し効率が向上する場合がある。金属膜の透過率は、６０％以上９０％以下にすることが好ましい。特に７０％以上９０％以下にすることが好ましい。６０％以下であるとカソード電極のシート抵抗値が低くなる。しかし、写り込みが大きくなる。逆に９０％以上ではカソード電極のシート抵抗値が高くなる。したがって、表示画像の輝度傾斜が大きくなる。

【０２５８】

金属膜の透過率を高くするにはＡｌ膜を薄く形成する。厚みは２０ｎｍ以上１００ｎｍ以下に形成する。その上にＩＴＯ、ＩＺＯ膜を形成することが好ましい。また、Ａｌ膜上にブラックマトリックスを形成することが好ましい。このブラックマトリックスはクロム、Ａｌ、Ａｇ、Ａｕ、Ｃｕなどで形成し、この上に、SiO_2、SiN_xなどの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜（ＡＩＲコート）を形成することが好ましい。

【０２５９】

なお、ＥＬ膜１５または画素電極１０５は、円弧状に限定するものではなく、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でもよい。また、１画素に微細な円弧上、三角錐状、円錐状、サインカーブ状が形成されたり、これらが組み合わされたり、もしくは、ランダムな凹凸が形成された構成であっても良い。

【０２６０】

画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１の特性が一致していれば、図１などの電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【０２６１】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術、アモルファスシリコン技術を用いても良いことはいうまでもない。

【０２６２】

この課題に対して、本発明では図７に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）７２をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポット７２を移動させる。もちろん、１画素列に限定するも

のではなく、たとえば、図７２のＲＧＢを1画素１６という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

【０２６３】

画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポット７２を縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。

【０２６４】

一般的にレーザー照射スポット７２の長さは１０インチというように固定値である。このレーザー照射スポット７２を移動させるのであるから、１つのレーザー照射スポット７２を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域５０の中央部でレーザー照射スポット７２が重ならないようにする）。

【０２６５】

図７の構成では、レーザー照射スポット７２の長さの範囲内に３つのパネルが縦に配置されるように形成されている。レーザー照射スポット７２を照射するアニール装置はガラス基板７４の位置決めマーカー７３ａ、７３ｂを認識（パターン認識による自動位置決め）してレーザー照射スポット７２を移動させる。位置決めマーカー７３の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー７３を認識し、画素列の位置をわりだす（レーザー照射範囲７２がソース信号線１８と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット７２を照射してアニールを順次行う。

【０２６６】

図７で説明したレーザーアニール方法（ソース信号線１８に平行にライン状のレーザースポットを照射する方式）は、有機ＥＬ表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ１１の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

【０２６７】

たとえば、白ラスター表示であれば、隣接した各画素のトランジスタ１１ａに流す電流はほぼ同一のため、ソースドライバＩＣ１４から出力する電流振幅の変化が少ない。もし、図１のトランジスタ１１ａの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線１８の電位は一定である。したがって、ソース信号線１８の電位変動は発生しない。１つのソース信号線１８に接続されたトランジスタ１１ａの特性がほぼ同一であれば、ソース信号線１８の電位変動は小さいことになる。このことは、図３８など他の電流プログラム方式の画素構成でも同一である（つまり、図７の製造方法を適用することが好ましい）。もちろん、図４３、図５１などの電圧プログラム方式の画素構成にも適用することが好ましい。ソース信号線１８に沿った画素１６のＴＦＴ特性が均一になり、映像信号の制御が容易になるからである。

【０２６８】

また、図２７、図３０などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図２７などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路１４で吸収できる。

【０２６９】

なお、図７では、ソースドライバ回路１４は、ＩＣチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路１４を画素１６と同一プロセスで形成してもよいことは言うまでもない（低温ポリシリコン技術、高温ポリシリコン技術、ＣＧＳ技術を用いてソースドライバ回路１４を形成してもよい）。

【０２７０】

画素１６の駆動用ＴＦＴ１１ａの特性バラツキを小さくするためには、図１５４に図示するように、画素１６内に複数の駆動用ＴＦＴ１１ａを形成することが有効である。なお、以下の実施例は、図１で説明した画素構成を例示して説明するが、画素１６に複数の駆動用トランジスタ（ＥＬ素子１５に電流を流すあるいはＥＬ素子１５から電流を引き込むトランジスタ）を形成するという技術的思想は、図１の画素構成に限定されるものではない。たとえば、図３８など他の電流プログラム方式の画素構成にも適用できる。また、図４３、図５１などの電圧プログラム方式の画素構成にも適用することができることは言うまでもない。

【０２７１】

図１５４は１画素１６に２つの駆動用トランジスタ（１１ａ１、１１ａ２）を形成している。駆動用トランジスタ１１ａは図１５３に図示するように、画素１６の上部（駆動用トランジスタ１１ａ１を配置）と下部（駆動用トランジスタ１１ａ２を配置）している。他の構成は図１と同一である。

【０２７２】

図１５３に図示するように、画素１６内で、複数の駆動用トランジスタ１１ａを分散して配置することにより、画素１６の駆動用トランジスタ１１ａの特性が平均化され、全体として特性バラツキが大幅に低減させることができる。

【０２７３】

以下、図１の画素構成について、その駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がｐチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時に導通状態とする。

【０２７４】

ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７とのクロス部の容量、トランジスタ１１ｂ、１１ｃのチャンネル容量などにより発生する。

【０２７５】

ソース信号線１８の電流値変化に要する時間ｔは浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとするとｔ＝Ｃ・Ｖ／Ｉであるため電流値を１０倍大きくできることは電流値変化に要する時間が１０分の１近くまで短くできる。またはソース容量が１０倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【０２７６】

入力電流を１０倍にすると出力電流も１０倍となり、ＥＬの輝度が１０倍となるため所定の輝度を得るために、図１のトランジスタ１７ｄの導通期間を従来の１０分の１とし、発光期間を１０分の１とすることで、所定輝度を表示するようにした。

【０２７７】

つまり、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａにプログラムを行うためには、ソースドライバ１４から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線１８に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより

、ソース信号線１８の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【０２７８】

なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたがこれは一例である。場合によっては、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にする場合もあるであろう。

【０２７９】

本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ２倍（Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。また、説明を容易にするため、１／Ｎを１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。

【０２８０】

有機（無機）ＥＬ表示装置は、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、ＥＬ表示装置では、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【０２８１】

本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【０２８２】

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとすると液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバＩＣ１４の動作クロックを高くし、画像データを黒表示データとを交互にソース信号線１８に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しょうとすると回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【０２８３】

図１、図２、図３８などに示す本発明のＥＬ表示パネルの画素構成では、画像データはコンデンサ１９に保持されている。このコンデンサ１９の端子電圧に対応する電流をＥＬ素子１５に流す。したがって、画像データは液晶表示パネルのように光変調層に保持され

ているのではない。

【０２８４】

本発明はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅなどをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのままコンデンサ１９の保持されている。したがって、次のタイミングでスイッチング素子１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現しょうとすると際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

【０２８５】

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を１０倍以上にしてやればよい。一般にソース電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

【０２８６】

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線１８の寄生容量は、隣接したソース信号線１８間の結合容量、ソースドライブＩＣ（回路）１４のバッファ出力容量、ゲート信号線１７とソース信号線１８とのクロス容量などにより発生する。この寄生容量は通常１０ｐＦ以上となる。電圧駆動の場合は、ドライバＩＣ１４からは低インピーダンスで電圧がソース信号線１８に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【０２８７】

しかし、電流駆動では特に黒レベルの画像表示では５ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（通常、１Ｈ以内、ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【０２８８】

図１の画素構成の場合、図３（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０２８９】

次に、ＥＬ素子１５に電流を流す期間は図３（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【０２９０】

今、電流Ｉ１が本来流す電流（所定値）のＮ倍であるとすると、図３（ｂ）のＥＬ素子１５に流れる電流もＩｗとなる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１２に図示するように、倍率Ｎを高くするほど、表示パネルの表示輝度Ｂも高くなる。したがって、倍率と輝度とは比例関係となる。逆には、１／Ｎと駆動することにより、輝度と倍率とは反比例の関係となる。

【０２９１】

そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさ

せ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯している範囲は１画素行（厳密には１画素である）。

【０２９２】

本発明では、この１Ｆ／Ｎの画像表示領域５３が図１３（ｂ）に示すように画面５０の上から下に移動する。本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【０２９３】

なお、図１３に図示するように、書き込み画素行５１ａは非点灯表示５２ａとする。しかし、これは、図１、図２などの画素構成の場合である。図３８などで図示するカレントミラーの画素構成では、書き込み画素行５１ａは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。また、図１３、図１６などの所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。

【０２９４】

この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０２９５】

このタイミングチャートを図１４に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図１であるとする。図１４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図１４（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図１４（ｂ）を参照）。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。

【０２９６】

図１５は、図１４の動作を各画素行に適用した実施例である。ゲート信号線１７に印加する電圧波形を示している。電圧波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）（２）などの添え字は選択している画素行番号を示している。

【０２９７】

図１５において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が

印加され、ＥＬ素子１５には電流が流れない。

【０２９８】

１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０２９９】

次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０３００】

以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、図１５の駆動方式では、ＥＬ素子１５には１０倍の電流が流れる。したがって、表示画面５０は約１０倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／１０にしておけばよいことは言うまでもない。しかし、１／１０の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面５２挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【０３０１】

なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流して電流を流しても良い。たとえば、信号電流が０．２μＡのとき、プログラム電流を２．２μＡとして、トランジスタ１１ａには２．２μＡを流す。この電流のうち、信号電流０．２μＡをＥＬ素子１５に流して、２μＡをダミーのＥＬ素子に流すなどの方式が例示される。

【０３０２】

以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができ、かつ、電流ＥＬ素子１５には、Ｎ倍よりは十分小さい電流をながることができることになる。以上の方法では、図５に図示するように、非点灯領域５２を設けることなく、全表示領域５０を画像表示領域５３とすることができる。

【０３０３】

図１３（ａ）は表示画像５０への書き込み状態を図示している。図１３（ａ）において、５１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１３などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式でもよい。

【０３０４】

図１３（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧

が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１３（ｂ）で示すように電流を書き込まれている画素行は非点灯領域５２となる。

【０３０５】

今、Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示領域５０の９０％の範囲を非点灯領域５２とすればよい。したがって、画像表示領域の水平走査線がＱＣＩＦの２２０本（Ｓ＝２２０）とすれば、２２本と表示領域５３とし、２２０－２２＝１９８本を非表示領域５２とすればよい。一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域５３とし、この表示領域５３をＮ倍の輝度で発光させる。そして、この表示領域５３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非点灯領域５２とする。この非点灯領域は黒表示（非発光）である。また、この非発光部５２はトランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値と調整することは言うまでもない。

【０３０６】

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示領域５０の９０％の範囲を非点灯領域５２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非点灯領域５２とすることに限定するものではない。例えば、Ｒの画素は、１／８を非点灯領域５２とし、Ｇの画素は、１／６を非点灯領域５２とし、Ｂの画素は、１／１０を非点灯領域５２と、それぞれの色により変化させてもよい。また、ＲＧＢの色で個別に非点灯領域５２（あるいは点灯領域５３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図４１を参照のこと）。

【０３０７】

図１３（ｂ）に図示するように、書き込み画素行５１ａを含む画素行が非点灯領域５２とし、書き込み画素行５１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域５３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域５３が帯状になって、画面の上から下に移動する。

【０３０８】

図１３の表示では、１つの表示領域５３が画面の上から下方向に移動する。フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【０３０９】

この課題に対しては、図１６に図示するように、表示領域５３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図１３の明るさと同等になる。なお、分割された表示領域５３は等しく（等分に）する必要はない。また、分割された非表示領域５２も等しくする必要はない。

【０３１０】

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほど動画表示性能は低下する。

【０３１１】

図１７はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１７で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分

割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ／Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０３１２】

なお、図１７などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ／Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ／Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画像５０を表示するものである。したがって、１Ｆ／（Ｋ／Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域５３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。

【０３１３】

以上の実施例は、ＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子に流れる電流を接続することにより、表示画面５０をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷によりトランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面５０をオンオフ（点灯、非点灯）する方式でもよい。

【０３１４】

図１８は図１６の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図１８と図１５の差異は、ゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図１５と同一であるので説明を省略する。

【０３１５】

ＥＬ表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１の構成においては、トランジスタ１１ｄをオンオフ操作するだけで、図３８の構成においては、トランジスタ素子１１ｅをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されているためである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅの制御により実現しているのである。

【０３１６】

コンデンサ１９の端子電圧を維持することは重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。

【０３１７】

図１の画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、画素構成はそのままで、ソース信号線１８の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近

い動画表示を実現しているのである。

【０３１８】

また、ゲートドライバ回路１２の動作クロックはソースドライバ回路１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Ｎの値の変更も容易である。

【０３１９】

なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【０３２０】

さらに、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

【０３２１】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域５２の動作方向を１フィールド目では画面の上から下方向とし、つぎの第２フィールド目では画面の下から上方向としてもよい。以上の事項は他の本発明の実施例でも同様である。

【０３２２】

非表示領域５２は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域５３よりも表示輝度が低い領域と解釈するべきである。また、非表示領域５２とは、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。

【０３２３】

基本的には表示領域５３の輝度（明るさ）が所定値に維持される場合、表示領域５３の面積が広くなるほど、画面５０の輝度は高くなる。たとえば、表示領域５３の輝度が１００（ｎｔ）の場合、表示領域５３が全画面５０に占める割合が１０％から２０％にすれば、画面の輝度は２倍となる。したがって、全画面５０に占める表示領域５３の面積を変化させることにより、画面の表示輝度を変化することができる。

【０３２４】

表示領域５３の面積はシフトレジスタ６１へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図１６の表示状態と図１３の表示状態とを切り替えることができる。１Ｆ周期でのデータパルス数を多くすれば、画面５０は明るくなり、少なくすれば、画面５０は暗くなる。また、連続してデータパルスを印加すれば図１３の表示状態となり、間欠にデータパルスを入力すれば図１６の表示状態となる。

【０３２５】

図１９（ａ）は図１３のように表示領域５３が連続している場合の明るさ調整方式である。図１９（ａ１）の画面５０の表示輝度が最も明るい。図１９（ａ２）の画面５０の表示輝度が次に明るく、図１９（ａ３）の画面５０の表示輝度が最も暗い。図１９（ａ１）から図１９（ａ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。この際、図１のＶｄｄ電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面５０の輝度変化を実施できる。また、図１９（ａ１）から図１９（ａ３）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面５０の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面５０の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依

存せず、最高の６４階調表示を実現できる。

【０３２６】

図１９（ｂ）は図１６のように表示領域５３が分散している場合の明るさ調整方式である。図１９（ｂ１）の画面５０の表示輝度が最も明るい。図１９（ｂ２）の画面５０の表示輝度が次に明るく、図１９（ｂ３）の画面５０の表示輝度が最も暗い。図１９（ｂ１）から図１９（ｂ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。図１９（ｂ）のように表示領域５３を分散させれば、低フレームレートでもフリッカが発生しない。

【０３２７】

さらに低フレームレートでも、フリッカが発生しないようにするには、図１９（ｃ）のように表示領域５３を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図１９（ａ）の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図１９（ｃ）の駆動方法が適している。図１９（ａ）から図１９（ｃ）の駆動方法の切り替えも、シフトレジスタ６１の制御により容易に実現できる。

【０３２８】

図２０はソース信号線１８に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線１８の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、１画素あたりの駆動する電流を減少させることができる。したがって、ＥＬ素子１５に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、Ｎ＝１０として説明する（ソース信号線１８に流す電流を１０倍にする）。

【０３２９】

図２０で説明する本発明は、画素行は同時にＫ画素行を選択する。ソースドライバＩＣ１４からは所定電流のＮ倍電流をソース信号線１８に印加する。各画素にはＥＬ素子１５に流す電流のＮ／Ｋ倍の電流がプログラムされる。ＥＬ素子１５を所定発光輝度とするために、ＥＬ素子１５に流れる時間を１フレーム（１フィールド）のＫ／Ｎ時間にする。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

【０３３０】

つまり、１フレーム（１フィールド）のＫ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）Ｋ／Ｎ）は電流を流さない。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線１８にはＮ倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。

【０３３１】

図２１は、図２０の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。各信号線の添え字は画素行の番号（（１）（２）（３）など）を記載している。なお、行数はＱＣＩＦ表示パネルの場合は２２０本であり、ＶＧＡパネルでは４８０本である。

【０３３２】

図２１において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行５１ａが画素行（１）番目であるとして説明する。

【０３３３】

また、ソース信号線１８に流れるプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるか

ら、白ラスター表示などでない限り固定値ではない。）である。また、５画素行が同時に選択（Ｋ＝５）として説明をする。したがって、理想的には１つの画素のコンデンサ１９には２倍（Ｎ／Ｋ＝１０／５＝２）に電流がトランジスタ１１ａに流れるようにプログラムされる。

【０３３４】

書き込み画素行が（１）画素行目である時、図２１で図示したように、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ゲート信号線１７ｂはゲート信号線１７ａの逆位相となっている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０３３５】

理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す（つまり、ソース信号線１８にはＩｗ×２×Ｎ＝Ｉｗ×２×５＝Ｉｗ×１０。したがって、本発明のＮ倍パルス駆動を実施しない場合が所定電流Ｉｗとすると、Ｉｗの１０倍の電流がソース信号線１８に流れる）。

【０３３６】

以上の動作（駆動方法）により、各画素１６のコンデンサ１９には、２倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。

【０３３７】

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動トランジスタ１１ａが動作する。つまり、１画素あたり、１０／５＝２倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｗとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。

【０３３８】

したがって、４画素行５１ｂにおいて、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。ただし、図３８のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では、場合によっては表示状態としてもよい。

【０３３９】

次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（６）が選択され（Ｖｇｌ電圧）、選択された画素行（６）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（１）には正規の画像データが保持される。

【０３４０】

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（７）が選択され（Ｖｇｌ電圧）、選択された画素行（７）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行づつシフトしながら走査することにより１画面が書き換えられる。

【０３４１】

図２０の駆動方法では、各画素には２倍の電流（電圧）でプログラムを行うため、各画

素のＥＬ素子１５の発光輝度は理想的には２倍となる。したがって、表示画面の輝度は所定値よりも２倍となる。これを所定の輝度とするためには、図１６に図示するように、書き込み画素行５１を含み、かつ表示領域５０の１／２の範囲を非表示領域５２とすればよい。

【０３４２】

図１３と同様に、図２０のように１つの表示領域５３が画面の上から下方向に移動すると、フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【０３４３】

この課題に対しては、図２２に図示するように、表示領域５３を複数に分割するとよい。分割された非表示領域５２を加えた部分がＳ（Ｎ－１）／Ｎの面積となれば、分割しない場合と同一となる。

【０３４４】

図２３はゲート信号線１７に印加する電圧波形である。図２１と図２３との差異は、基本的にはゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１とほぼ同一あるいは類推できるので説明を省略する。

【０３４５】

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にＥＬ素子１５の応答性は速いため、５μsec（μ秒）よりも小さい時間でオンオフしても、表示輝度の低下はない。

【０３４６】

本発明の駆動方法において、ＥＬ素子１５のオンオフは、ゲート信号線１７ｂに印加する信号のオンオフで制御できる。そのため、クロック周波数はＫＨｚオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域５２挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【０３４７】

図２４は同時に選択する画素行が２画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、２画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ１１ａの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線１８と平行に照射することで良好な結果が得られた。

【０３４８】

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したＴＦＴのＶｔ、モビリティがほぼ等しくなるためである。したがって、ソース信号線１８の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線１８に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図２４などで説明する駆動方式とは相乗効果がある。

【０３４９】

以上のように、レーザーショットの方向をソース信号線１８の形成方向と略一致させることにより、画素の上下方向のＴＦＴ１１ａの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のＴＦＴ１１ａの特性が一致していなくと

も）。以上の動作は、１Ｈ（１水平走査期間）に同期して、１画素行あるいは複数画素行づつ選択画素行位置をずらせて実施する。なお、本発明は、レーザーショットの方向をソース信号線１８と平行にするとしたが、平行でなくともよい。ソース信号線１８に対して斜め方向にレーザーショットを照射しても１つのソース信号線１８に沿った画素の上下方向に形成されたＴＦＴ１１ａの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するというの意味はソース信号線１８の沿った任意の画素の上または下に隣接した画素を、１つのレーザー照射範囲に入るように形成するということである。また、ソース信号線１８とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

【０３５０】

なお、本発明の実施例では１Ｈごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、２Ｈごとにシフトしてもよく、また、それ以上の画素行づつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、１画素行へだてた画素行を選択してもよい。つまり、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行を選択し、第２番目の水平走査期間に第２番目の画素行と第４番目の画素行を選択し、第３番目の水平走査期間に第３番目の画素行と第５番目の画素行を選択し、第４番目の水平走査期間に第４番目の画素行と第６番目の画素行を選択する駆動方法である。もちろん、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行と第５番目の画素行を選択するという駆動方法も技術的範疇である。

【０３５１】

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図１、図２、図３２の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図３８、図４２、図５０など他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図４３、図５１、図５４、図６２などの電圧駆動の画素構成にも適用できる。つまり、画素上下のＴＦＴの特性が一致しておれば、同一のソース信号線１８に印加した電圧値により良好に電圧プログラムを実施できるからである。

【０３５２】

図２４において、書き込み画素行が（１）画素行目である時、ゲート信号線１７ａは（１）（２）が選択されている（図２５を参照のこと）。つまり、画素行（１）（２）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ゲート信号線１７ｂはゲート信号線１７ａの逆位相となっている。したがって、少なくとも画素行（１）（２）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。なお、図２４では、フリッカの発生を低減するため、表示領域５３を５分割している。

【０３５３】

理想的には、２画素（行）のトランジスタ１１ａが、それぞれＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。

【０３５４】

同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０３５５】

たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行５１ｂは後に正規の画像データが書き込

まれるので問題がない。画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。

【０３５６】

次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（１）には正規の画像データが保持される。

【０３５７】

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することにより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行づつシフト（もちろん、複数画素行づつシフトしてもよい。たとえば、擬似インターレース駆動であれば、２行づつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。

【０３５８】

図１６と同様であるが、図２４の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域５３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、図１６などに図示するように、書き込み画素行５１を含み、かつ表示画面１の１／５の範囲を非表示領域５２とすればよい。

【０３５９】

図２７に図示するように、２本の書き込み画素行５１（５１ａ、５１ｂ）が選択され、画面５０の上辺から下辺に順次選択されていく（図２６も参照のこと。図２６では画素行１６ａと１６ｂが選択されている）。しかし、図２７（ｂ）のように、画面の下辺までくると書き込み画素行５１ａは存在するが、５１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行５１ａに書き込まれる。したがって、画素行５１ａに比較して、２倍の電流が画素にプログラムされてしまう。

【０３６０】

この課題に対して、本発明は、図２７（ｂ）に図示するように画面５０の下辺にダミー画素行２８１を形成（配置）している。したがって、選択画素行が画面５０の下辺まで選択された場合は、画面５０の最終画素行とダミー画素行２８１が選択される。そのため、図２７（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。

【０３６１】

図２８は図２７（ｂ）の状態を示している。図２８で明らかのように、選択画素行が画面５０の下辺の画素１６ｃ行まで選択された場合は、画面５０の最終画素行２８１が選択される。ダミー画素行２８１は表示領域５０外に配置する。つまり、ダミー画素行２８１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とＴＦＴ１１とのコンタクトホールをなくすとか、ダミー画素行にはＥＬ膜を形成しないとかである。

【０３６２】

図２７では、画面５０の下辺にダミー画素（行）２８１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図２９（ａ）に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、図２９（ｂ）に図示するように画面５０の上辺にもダミー画素行２８１を形成すべきである（図１５７（ａ）を参照

のこと）。つまり、画面５０の上辺を下辺のそれぞれにダミー画素行２８１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、２画素行を同時選択する場合であった。

【０３６３】

本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式（図２３を参照のこと）でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行２８１は４行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも１つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とＮ倍パルス駆動とを組み合わせて用いることが好ましい。この構成を図１５７に図示する。図１５７（ａ）はダミー画素行２８１を画面５０の上下に１画素行を配置した構成である。同様に、図１５７（ｂ）は画面５０の上下に２画素行を配置した構成である。図１５７（ｂ）は３画素行同時選択まで実施することができる。また、図１５７（ｃ）は画面５０の上下に３画素行を配置した構成である。図１５７（ｃ）は４画素行同時選択まで実施することができる（２画素行同時選択、３画素行同時選択、４画素行同時選択も実施できる）。図１５７（ｄ）は画面５０の上下に４画素行を配置した構成である。

【０３６４】

以上のようにダミー画素行２８１は同時選択する画素行５１の本数Ｄより１を引いたが素数（つまり、ダミー画素行の形成本数はＤ－１）形成すればよい。画像を上下反転する場合は、画面５０の上下にダミー画素行を配置し、上下反転しない場合（１方向のみ）の場合は、上下の一方にダミー画素行を（Ｄ－１）形成すればよい。

【０３６５】

また、図２８、図１５７などで図示して説明したダミー画素行２８１を形成し、隣接した複数画素行（必ずしも隣接した複数画素行を選択することに限定をするものではない）を同時に選択する駆動方式を実施する場合は、図７で説明したレーザーアニール方式を採用することが好ましい。図７のレーザーアニール方式は、ソース信号線１８と平行にレーザー照射スポット７２領域を走査する。図７の製造方法を実施することにより、隣接した画素行のＴＦＴ特性（Ｖｔ、Ｓ値など）がほぼ等しくなる。そのため、図２８の駆動方式により複数画素行を同時に選択してもプログラム電流Ｉｗが、複数画素行に平均して印加されるので精度のよい電流書き込みを実現できる。

【０３６６】

ダミー画素行２８１は画像表示を行う必要はない。したがって、基本的には画素電極１０５を形成する必要はない。ダミー画素行２８１が必要な時は、プログラム電流Ｉｗの書き込み時だけであるからである。したがって、図１の画素構成では、駆動用ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｃが必要であり、ＴＦＴ１１ｄ、ＥＬ素子１５などは不要である。また、図３８のカレントミラーの画素構成であれば、ＴＦＴ１１ａ、ＴＦＴ１１ｃ、ＴＦＴ１１ｄは必要であるが、ＴＦＴ１１ｂ、ＴＦＴ１１ｅ、ＥＬ素子１５などは不要である。つまり、電流プログラム方式の画素構成において、画素行選択時にプログラム電流Ｉｗを流す経路を形成するＴＦＴなどがあればよい。

【０３６７】

ダミー画素行２８１を多く形成すると、ダミー画素行２８１の形成スペースの確保も問題となる。したがって、ダミー画素行２８１は極力小さく形成する必要がある。本発明では図１５６に図示するように、ダミー画素行２８１には画素電極１０５およびＥＬ素子１５を形成せず、プログラム電流Ｉｗを流す経路に必要なＴＦＴを形成し、ダミー画素行２８１に配置している。なお、図１５６はダミー画素行２８１が５画素行の場合の実施例である。

【０３６８】

画素トランジスタ形成領域１５６１は、画素を駆動するトランジスタの形成領域である。図１の画素構成では、プログラム電流Ｉｗの経路を発生させるには、ＴＦＴ１１ｄでは必要がない。しかし、画像表示を行う画素のＴＦＴレイアウトパターンとダミー画素行２８１のレイアウトパターンとを異ならせるとレーザーアニールの条件あるいはＴＦＴ形成

時のエッチング条件ずれにより、画素１６のＴＦＴ特性とダミー画素２８１のＴＦＴ特性とがずれる場合がある。この課題の発生をなくするため、本発明では、ダミー画素２８１のレイアウトパターンは画素１６のレイアウトパターンから画素電極１０５を除去した構成を採用している。以上のように、ダミー画素２８１のＴＦＴ構成などは、画素１６のＴＦＴ構成と同一あるいは類似となるようにすることが好ましい。少なくとも、各ＴＦＴのＷＬは略同一にし、チャンネルの形成方向も同一にすることが好ましい。さらに好ましくは、コンデンサ１９も形成しておくことが良い。また、プログラム電流Ｉｗの経路に必要でないＴＦＴ１１ｄなどのパターンも残しておくことがよい。さらには、ＴＦＴ上の画素電極１０５も形成しておくことが好ましい。この場合は、ＴＦＴ１１ｄのドレイン端子と画素電極１０５を接続するコンタクトホールは形成しない。

【０３６９】

本発明では、ダミー画素２８１は画素１６から画素電極１０５を削除している（ＥＬ素子１５の形成が必要でないからである）。正確には、ＴＦＴ上の画素電極１０５は残しており、画素開口部（ＥＬ素子１５から放射された光が出射される部分）を削除している。画素開口部をなくすことにより図１５６に図示するようにダミー画素行２８１の形成領域を小さくすることができる。

【０３７０】

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ１１ａの特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、１画素にプログラムする電流が大きくなり、ＥＬ素子１５に大きな電流を流すことになる。ＥＬ素子１５に流す電流が大きいとＥＬ素子１５が劣化しやすくなる。

【０３７１】

図３０はこの課題を解決するものである。図３０の基本概念は、１／２Ｈ（水平走査期間の１／２）は、図２２、図２９で説明したように、複数の画素行を同時に選択する方法である。その後の１／２Ｈ（水平走査期間の１／２）は図５、図１３などで説明したように、１画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ１１ａの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

【０３７２】

図３０において、説明を容易にするため、第１の期間では５画素行を同時に選択し、第２の期間では１画素行を選択するとして説明をする。まず、第１の期間（前半の１／２Ｈ）では、図３０（ａ１）に図示するように、５画素行を同時に選択をする。この動作は図２２を用いて説明したので省略する。一例としてソース信号線１８に流す電流は所定値の２５倍とする。したがって、各画素１６のトランジスタ１１ａ（図１の画素構成の場合）には５倍の電流（２５／５画素行＝５）がプログラムされる。２５倍の電流であるから、ソース信号線１８などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線１８の電位は、短時間で目標の電位となり、各画素１６のコンデンサ１９の端子電圧も５倍電流を流すようにプログラムされる。この２５倍電流の印加時間は前半の１／２Ｈ（１水平走査期間の１／２）とする。

【０３７３】

当然のことながら、書き込み画素行の５画素行は同一画像データが書き込まれるから、表示しないように５画素行のトランジスタ１１ｄはオフ状態とされる。したがって、表示状態は図３０（ａ２）となる。

【０３７４】

次の後半の１／２Ｈ期間は、１画素行を選択し、電流（電圧）プログラムを行う。この状態を図３０（ｂ１）に図示している。書き込み画素行５１ａは先と同様に５倍の電流を流すように電流（電圧）プログラムされる。図３０（ａ１）と図３０（ｂ１）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ１９の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【０３７５】

つまり、図３０（ａ１）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第１の段階では、複数のトランジスタ１１ａでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第２の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【０３７６】

なお、非点灯領域５２を画面の上から下方向に走査し、また、書き込み画素行５１ａも画面の上から下方向に走査することは図１３などの実施例と同様であるので説明を省略する。

【０３７７】

図３１は図３０の駆動方法を実現するための駆動波形である。図３１でわかるように、１Ｈ（１水平走査期間）は２つのフェーズで構成されている。この２つのフェーズはＩＳＥＬ信号で切り替える。ＩＳＥＬ信号は図３１に図示している。

【０３７８】

まず、ＩＳＥＬ信号について説明をしておく。図３０を実施するドライバ回路１４は、電流出力回路Ａと電流出力回路Ｂとを具備している。それぞれの電流出力回路は、８ビットの階調データをＤＡ変換するＤＡ回路とオペンアンプなどから構成される。図３０の実施例では、電流出力回路Ａは２５倍の電流を出力するように構成されている。一方、電流出力回路Ｂは５倍の電流を出力するように構成されている。電流出力回路Ａと電流出力回路Ｂの出力はＩＳＥＬ信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線１８に印加される。この電流出力回路は各ソース信号線に配置されている。

【０３７９】

ＩＳＥＬ信号は、Ｌレベルの時、２５倍電流を出力する電流出力回路Ａが選択されてソース信号線１８からの電流をソースドライバＩＣ１４が吸収する（より適切には、ソースドライバ回路１４内に形成された電流出力回路Ａが吸収する）。２５倍、５倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

【０３８０】

図３０に示すように書き込み画素行が（１）画素行目である時（図３０の１Ｈの欄を参照）、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている（図１の画素構成の場合）。つまり、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０３８１】

理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。

【０３８２】

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、従来の駆動方法で画素に書き込む電流Ｉｗとする時、ソース信号線１８には、Ｉｗ×２５の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加

させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。

【０３８３】

したがって、画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。

【０３８４】

次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（１）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（１）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（２）（３）（４）（５）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）のトランジスタ１１ａは動作状態（ソース信号線１８に電流を供給している状態）であるが、画素行（２）（３）（４）（５）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路Ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０３８５】

以上のことから、画素行（１）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（１）のコンデンサ１９には、５倍の電流がプログラムされる。

【０３８６】

次の水平走査期間では１画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（２）である。最初の１／２Ｈの期間では、図３１に示すように書き込み画素行が（２）画素行目である時、ゲート信号線１７ａは（２）（３）（４）（５）（６）が選択されている。つまり、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。一方、画素行（１）のゲート信号線１７ｂ（１）はＶｇｌ電圧が印加されているから、トランジスタ１１ｄはオン状態であり、画素行（１）のＥＬ素子１５は点灯する。

【０３８７】

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０３８８】

次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（２）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（２）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（３）（４）（５）（６）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）のトランジスタ１１ａは動作状態（画素行（１）はＥＬ素子１５に電流を流し、画素行（２）はソース信号線１８に電流を供給している状態）であるが、画素行（３）（４）（５）（６）のスイッチングトランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路

Ｂが選択され、この電流出力回路１２２２ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０３８９】

以上のことから、画素行（２）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（２）のコンデンサ１９には、５倍の電流がプログラムされる。以上の動作を順次、実施することにより１画面を表示することができる。

【０３９０】

図３０で説明した駆動方法は、第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行にはＮ倍の電流を流すようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、画素にはＮ倍の電流を流すようにプログラムする方式である。

【０３９１】

しかし、他の方策もある。第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行の総和電流がＮ倍の電流となるようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が１の時は、１画素行の電流）がＮ倍となるようにプログラムする方式である。たとえば、図３０（ａ１）において、５画素行を同時に選択し、各画素のトランジスタ１１ａには２倍の電流を流す。したがって、ソース信号線１８には５×２倍＝１０倍の電流が流れる。次の第２の期間では図３０（ｂ１）において、１画素行を選択する。この１画素のトランジスタ１１ａには１０倍の電流を流す。

【０３９２】

なお、図３１において、複数の画素行を同時に選択する期間を１／２Ｈとし、１画素行を選択する期間を１／２Ｈとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を１／４Ｈとし、１画素行を選択する期間を３／４Ｈとしてもよい。また、複数の画素行を同時に選択する期間と、１画素行を選択する期間とを加えた期間は１Ｈとしたがこれに限定するものではない。たとえば、２Ｈ期間でも、１．５Ｈ期間であっても良い。

【０３９３】

また、図３０において、５画素行を同時に選択する期間を１／２Ｈとし、次の第２の期間では２画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【０３９４】

また、図３０において、５画素行を同時に選択する第１の期間を１／２Ｈとし、１画素行を選択する第２の期間を１／２Ｈとする２段階としたがこれに限定するものではない。たとえば、第１の段階は、５画素行を同時に選択し、第２の期間は前記５画素行のうち、２画素行を選択し、最後に、１画素行を選択する３つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【０３９５】

以上の本発明のＮ倍パルス駆動方法では、各画素行で、ゲート信号線１７ｂの波形を同一にし、１Ｈの間隔でシフトさせて印加していく。このように走査することにより、ＥＬ素子１５が点灯している時間を１Ｆ／Ｎに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線１７ｂの波形を同一にし、シフトさせていることを実現することは容易である。図６のシフトレジスタ回路６１ａ、６１ｂに印加するデータであるＳＴ１、ＳＴ２を制御すればよいからである。たとえば、入力ＳＴ２がＬレベルの時、ゲート信号線１７ｂにＶｇｌが出力され、入力ＳＴ２がＨレベルの時、ゲート信号線１７ｂにＶｇｈが出力されるとすれば、シフトレジスタ１７ｂに

印加するＳＴ２を１Ｆ／Ｎの期間だけＬレベルで入力し、他の期間はＨレベルにする。この入力されたＳＴ２を１Ｈに同期したクロックＣＬＫ２でシフトしていくだけである。

【０３９６】

なお、ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は０．５μｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。

【０３９７】

黒画面１５２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。

【０３９８】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面であり、２５％が画像表示である。このとき、７５％の黒表示部を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

【０３９９】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、２、４、８などである。

【０４００】

また、全表示画面に対する黒画面の割合は、全画面の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。０．２０以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【０４０１】

また、１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路１４などからの書き込みが苦しくなり解像度が劣化する。

【０４０２】

いずれにせよ、本発明では、ゲート信号線１７の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線１８に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図３３、図３５などを用いて）ゲート信号線１７の制御と、ソース信号線１８に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

【０４０３】

なお、以上の事項は、図３８などの電流プログラムの画素構成、図４３、図５１、図５４などの電圧プログラムの画素構成でも適用できることは言うまでもない。図３８では、トランジスタ１１ｄを、図４３ではトランジスタ１１ｄを、図５１ではトランジスタ１１

ｅをオンオフ制御すればよい。このように、ＥＬ素子１５に電流を流す配線をオンオフすることにより、本発明のＮ倍パルス駆動を容易に実現できる。

【０４０４】

また、ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。

【０４０５】

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０４０６】

このようにＫの値（画像表示部５３の分割数）を変化させることも容易に実現できる。図６においてＳＴに印加するデータのタイミング（１Ｆのいつにレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

【０４０７】

なお、図１６などでは、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ／Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ／Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画像５０を表示するものである。したがって、１Ｆ／（Ｋ／Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化をなる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のＮ倍パルス駆動である。

【０４０８】

以上の実施例は、ＥＬ素子１５と駆動用トランジスタ１１ａとの間にスイッチング素子としてのトランジスタ１１ｄを配置（形成）し、このトランジスタ１１ｄを制御することにより、画面５０をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ１１ａをリセットし、良好な黒表示を実現するものである。以下、図３２を用いて、その実施例について説明をする。

【０４０９】

図３２は基本的には図１の画素構成である。図３２の画素構成では、プログラムされたＩｗ電流がＥＬ素子１５に流れ、ＥＬ素子１５が発光する。つまり、駆動トランジスタ１１ａはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ１１ａをリセット（オフ状態）にする方式が図３２の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【０４１０】

図１の画素構成でリセット駆動を実現するためには、トランジスタ１１ｂとトランジスタ１１ｃを独立してオンオフ制御できるように構成する必要がある。つまり、図３２で図示するようにトランジスタ１１ｂをオンオフ制御するゲート信号線１１ａ（ゲート信号線ＷＲ）、トランジスタ１１ｃをオンオフ制御するゲート信号線１１ｃ（ゲート信号線ＥＬ）とを独立して制御できるようにする。ゲート信号線１１ａとゲート信号線１１ｃの制御は図６に図示するように独立した２つのシフトレジスタ６１で行えばよい。

【０４１１】
ゲート信号線ＷＲとゲート信号線ＥＬの駆動電圧は変化させるとよい。ゲート信号線ＷＲの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線ＥＬの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線ＷＲの振幅は、ソース信号線１８の電位が画素１６に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線１８の電位変動は小さいから、ゲート信号線ＷＲの振幅値は小さくすることができる。一方、ゲート信号線ＥＬはＥＬのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ６１ａと６１ｂとの出力電圧を変化させる。画素がＰチャンネルＴＦＴで形成されている場合は、シフトレジスタ６１ａと６１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ６１ａのＶｇｌ（オン電圧）をシフトレジスタ６１ｂのＶｇｌ（オン電圧）よりも低くする。

【０４１２】
以下、図３３を参照しながら、リセット駆動方式について説明をする。図３３はリセット駆動の原理説明図である。まず、図３３（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｂをオン状態にする。すると、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、Ｉｂ電流が流れる。一般的に、トランジスタ１１ａは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ１１ｄがオフ状態となり、トランジスタ１１ｂがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子に流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。

【０４１３】
このトランジスタ１１ａのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３３（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ１１ａの特性に応じて異なる電圧値である。したがって、図３３（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａが電流を流さない（つまり、黒表示電流（ほとんど０に等しい）が保持されることになるのである。

【０４１４】
なお、図３３（ａ）の動作の前に、トランジスタ１１ｂ、トランジスタ１１ｃをオフ状態にし、トランジスタ１１ｄをオン状態にし、駆動用トランジスタ１１ａに電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。ＥＬ素子１５に電流が流れてＥＬ素子１５が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、１Ｈ（１水平走査期間）の０．１％以上１０％以下とすることが好ましい。さらに好ましくは０．２％以上２％以下となるようにすることが好ましい。もしくは０．２μｓｅｃ以上５μｓｅｃ以下となるようにすることが好ましい。また、全画面の画素１６に一括して前述の動作（図３３（ａ）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ１１ａのドレイン（Ｄ）端子電圧が低下し、図３３（ａ）の状態でスムーズなＩｂ電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【０４１５】
図３３（ａ）の実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３３（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３３（ａ）の実施時間は、１Ｈ以上５Ｈ以下にすることが好ましい。なお、この期間は、Ｒ、Ｇ、Ｂの画素で異ならせることが好ましい。各色の画素でＥＬ材料が異なり、このＥＬ材料の立ち上がり電圧などに差異があるためである。ＲＧＢの各画素で、ＥＬ材料に適応して、もっとも最適な期間を設定する。なお、実施例

において、この期間は１Ｈ以上５Ｈ以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、５Ｈ以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

【０４１６】

図３３（ａ）を実施後、１Ｈ以上５Ｈ以下の期間おいて、図３３（ｂ）の状態にする。図３３（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｂをオンさせ、トランジスタ１１ｄをオフさせた状態である。図３３（ｂ）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを駆動用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位を設定するのである（設定電位はコンデンサ１９に保持される）。

【０４１７】

もし、プログラム電流Ｉｗが０（Ａ）であれば、トランジスタ１１ａは電流を図３３（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３３（ｂ）で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０４１８】

図３３（ｂ）の電流プログラミング後、図３３（ｃ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｃとオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３３（ｃ）に関しても、図１などで以前に説明をしたので詳細は省略する。

【０４１９】

つまり、図３３で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａとＥＬ素子１５間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。なお、リセット駆動を実施するためには、図３２の構成のように、トランジスタ１１ｂとトランジスタ１１ｃとを独立に制御できるように、構成しておかねばならない。

【０４２０】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、１Ｈ後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ１１ｄがオフだからである。）。次に、ＥＬ素子１５に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、１Ｈ後に電流プログラムを行うとしたがこの期間は、５Ｈ程度以内としてもよい。図３３（ａ）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を５Ｈとすれば、５画素行が黒表示（電流プログラムの画素行もいれると６画素行）となるはずである。

【０４２１】

また、リセット状態は１画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、４画素行を同時にリセットするので

あれば、第１の水平走査期間（１単位）に、画素行（１）（２）（３）（４）をリセット状態にし、次の第２の水平走査期間に、画素行（３）（４）（５）（６）をリセット状態にし、さらに次の第３の水平走査期間に、画素行（５）（６）（７）（８）をリセット状態にする。また、次の第４の水平走査期間に、画素行（７）（８）（９）（１０）をリセット状態にするという駆動状態が例示される。なお、当然、図３３（ｂ）、図３３（ｃ）の駆動状態も図３３（ａ）の駆動状態と同期して実施される。

【０４２２】

また、１画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図３３（ｂ）（ｃ）の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（１画素行あるいは複数画素行の飛び越し走査）で、リセット状態（１画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。

【０４２３】

なお、図３３のリセット駆動は、本発明のＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図２２の構成は、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線１７ｂを制御し、トランジスタ１１ｄをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図２２あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

【０４２４】

図３４はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路１２ａは、図３２におけるゲート信号線１７ａおよびゲート信号線１７ｂを制御する。ゲート信号線１７ａにオンオフ電圧を印加することによりトランジスタ１１ｂがオンオフ制御される。また、ゲート信号線１７ｂにオンオフ電圧を印加することによりトランジスタ１１ｄがオンオフ制御される。ゲートドライバ回路１２ｂは、図３２におけるゲート信号線１７ｃを制御する。ゲート信号線１７ｃにオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。

【０４２５】

したがって、ゲート信号線１７ａはゲートドライバ回路１２ａで操作し、ゲート信号線１７ｃはゲートドライバ回路１２ｂで操作する。そのため、トランジスタ１１ｂをオンさせて駆動用トランジスタ１１ａをリセットするタイミングと、トランジスタ１１１ｃをオンさせて駆動用トランジスタ１１ａに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

【０４２６】

図３５はリセット駆動のタイミングチャートである。ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂをオンさせ、駆動用トランジスタ１１ａをリセットしている時には、ゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｄをオフ状態にしている。したがって、図３２（ａ）の状態となっている。この期間にＩｂ電流が流れる。

【０４２７】

図３５のタイミングチャートでは、リセット時間は２Ｈ（ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂがオンする）としているが、これに限定するものではない。２Ｈ以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は

１Ｈ未満であってもよい。また、リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。たとえば、ＳＴ端子に入力するＤＡＴＡを２Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は２Ｈ期間となる。同様に、ＳＴ端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は５Ｈ期間となる。

【０４２８】

１Ｈ期間のリセット後、画素行（１）のゲート信号線１７ｃ（１）に、オン電圧が印加される。トランジスタ１１ｃがオンすることにより、ソース信号線１８に印加されたプログラム電流Ｉｗがトランジスタ１１ｃを介して駆動用トランジスタ１１ａに書き込まれる。

【０４２９】

電流プログラム後、画素（１）のゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｃがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線１７ａにもオフ電圧が印加され、駆動用トランジスタ１１ａのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線１７ｂにはオン電圧が印加され、トランジスタ１１ｄがオンして、駆動用トランジスタ１１ａにプログラムされた電流がＥＬ素子１５に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図３５からその動作は明らかであるから説明を省略する。

【０４３０】

図３５において、リセット期間は１Ｈ期間であった。図３６はリセット期間を５Ｈとした実施例である。リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。図３６ではゲートドライバ回路１２ａのＳＴ１端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルし、各ゲート信号線１７ａから出力されるリセット期間を５Ｈ期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【０４３１】

図３６はリセット期間を５Ｈとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線１７ａから出力される信号を１Ｈごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルスを制御することで容易に実現できる。

【０４３２】

図３４の回路構成では、ゲートドライバ回路１２ａは少なくとも２つのシフトレジスタ回路（１つはゲート信号線１７ａ制御用、他の１つはゲート信号線１７ｂ制御用）が必要であった。そのため、ゲートドライバ回路１２ａの回路規模が大きくなるという課題があった。図３７はゲートドライバ回路１２ａのシフトレジスタを１つにした実施例である。図３７の回路を動作させた出力信号のタイミングチャートは図３５のごとくなる。なお、図３５と図３７とはゲートドライバ回路１２ａ、１２ｂから出力されているゲート信号線１７の記号が異なっているので注意が必要である。

【０４３３】

図３７のＯＲ回路３７１が付加されていることから明らかであるが、各ゲート信号線１７ａの出力は、シフトレジスタ回路６１ａの前段出力とのＯＲをとって出力される。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力される。一方、ゲート信号線１７ｃはシフトレジスタ回路６１ａの出力がそのまま出力される。したがって、１Ｈ期間の間、オン電圧が印加される。

【０４３４】

たとえば、シフトレジスタ回路６１ａの２番目にＨレベル信号が出力されている時、画素１６（１）のゲート信号線１７ｃにオン電圧が出力され、画素１６（１）が電流（電圧）プログラムの状態である。同時に、画素１６（２）のゲート信号線１７ａにもオン電圧が出力され、画素１６（２）のトランジスタ１１ｂがオン状態となり、画素１６（２）の駆動用トランジスタ１１ａがリセットされる。

【０４３５】

同様に、シフトレジスタ回路６１ａの３番目にＨレベル信号が出力されている時、画素１６（２）のゲート信号線１７ｃにオン電圧が出力され、画素１６（２）が電流（電圧）プログラムの状態である。同時に、画素１６（３のゲート信号線１７ａにもオン電圧が出力され、画素１６（３）トランジスタ１１ｂがオン状態となり、画素１６（３）駆動用トランジスタ１１ａがリセットされる。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力され、ゲート信号線１７ｃに１Ｈ期間、オン電圧が出力される。

【０４３６】

プログラム状態の時は、トランジスタ１１ｂとトランジスタ１１ｃが同時にオン状態となる（図３３（ｂ））ら、非プログラム状態（図３３（ｃ））に移行する際、トランジスタ１１ｃがトランジスタ１１ｂよりも先にオフ状態となると、図３３（ｂ）のリセット状態となってしまう。これと防止するためには、トランジスタ１１ｃがトランジスタ１１ｂよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線１７ａがゲート信号線１７ｃよりも先にオン電圧が印加されるように制御する必要がある。

【０４３７】

以上の実施例は、図３２（基本的には図１）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図３８に示すようなカレントミラーの画素構成であっても実施することができる。なお、図３８ではトランジスタ１１ｅをオンオフ制御することにより、図１３、図１５などで図示するＮ倍パルス駆動を実現できる。図３９は図３８のカレントミラーの画素構成での実施例の説明図である。以下、図３９を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【０４３８】

図３９（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｅをオフ状態にし、トランジスタ１１ｄをオン状態にする。すると、電流プログラム用トランジスタ１１ｂのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。一般的に、トランジスタ１１ｂは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ１９に１Ｆ期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でトランジスタ１１ｅがオフ状態とし、トランジスタ１１ｄがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子の方向に流れる（ゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる）。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。また、駆動用トランジスタ１１ｂのゲート（Ｇ）端子は電流プログラム用トランジスタ１１ａのゲート（Ｇ）端子と共通であるから、駆動用トランジスタ１１ｂもリセット状態となる。

【０４３９】

このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３９（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ１１に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ１１ａ、トランジスタ１１ｂの特性に応じて異なる電圧値である。したがって、図３９（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａ、トランジスタ１１ｂが電流を流さない（つまり、黒表示電流（ほとんど

０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【０４４０】

なお、図３９（ａ）においても図３３（ａ）と同様に、リセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３９（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３９（ａ）の実施時間は、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましい。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましい。このことは図３３の駆動方式でも同様である。

【０４４１】

図３３（ａ）も同様であるが、図３９（ａ）のリセット状態と、図３９（ｂ）の電流プログラム状態とを同期をとって行う場合は、図３９（ａ）のリセット状態から、図３９（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図３３（ａ）あるいは図３９（ａ）のリセット状態から、図３３（ｂ）あるいは図３９（ｂ）の電流プログラム状態までの期間が、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましいのである。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面５０の輝度も低下する。

【０４４２】

図３９（ａ）を実施後、図３９（ｂ）の状態にする。図３９（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせた状態である。図３９（ｂ）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを電流プログラム用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ｂのゲート（Ｇ）端子の電位をコンデンサ１９に設定するのである。

【０４４３】

もし、プログラム電流Ｉｗが０（Ａ）（黒表示）であれば、トランジスタ１１ｂは電流を図３３（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３９（ｂ）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａあるいはトランジスタ１１ｂの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０４４４】

図３９（ｂ）の電流プログラミング後、図３９（ｃ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄとオフし、トランジスタ１１ｅをオンさせて、駆動用トランジスタ１１ｂからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３９（ｃ）に関しても、以前に説明をしたので詳細は省略する。

【０４４５】

図３３、図３９で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断（電流が流れない状態。トランジスタ１１ｅあるいはトランジスタ１１ｄで行う）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行う

ものである。なお、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断するという動作は、必ずしも必須の条件ではない。もし、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断せずに、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子間をショートする第１の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【０４４６】

図３９のカレントミラーの画素構成は、電流プログラムトランジスタ１１ａをリセットすることにより、結果として駆動用トランジスタ１１ｂをリセットする駆動方法であった。

【０４４７】

図３９のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ１１ｂとＥＬ素子１５間を切断する必要はない。したがって、電流プログラム用トランジスタａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（Ｇ）端子を含む２端子、あるいは駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。

【０４４８】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定Ｈ後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【０４４９】

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図４３は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

【０４５０】

図４３の画素構成では、駆動用トランジスタ１１ａをリセット動作させるためのトランジスタ１１ｅが形成されている。ゲート信号線１７ｅにオン電圧が印加されることにより、トランジスタ１１ｅがオンし、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間をショートさせる。また、ＥＬ素子１５と駆動用トランジスタ１１ａとの電流経路を切断するトランジスタ１１ｄが形成されている。以下、図４４を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【０４５１】

図４４（ａ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｅをオン状態にする。駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、駆動用トランジスタ１１ａはリセット（電流を流さない状態）になる。なお、トランジスタ１１ａをリセットする前に、図３３あるいは図３９で説明したように、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流しておく。その後、図４４（ａ）の動作を実施する。

【０４５２】

このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図４１などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図４４（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用ト

ランジスタ１１ａの特性に応じて異なる電圧値である。つまり、図４４（ａ）の動作を実施することにより、各画素のコンデンサ１９には駆動用トランジスタ１１ａが電流を流さない（つまり、黒表示電流（ほとんど０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【０４５３】

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図４４（ａ）のリセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図４４（ａ）の実施時間は固定値にする必要がある。実施時間は、０．２Ｈ以上５Ｈ（５水平走査期間）以下とすることが好ましい。さらには０．５Ｈ以上４Ｈ以下にすることが好ましい。あるいは、２μｓｅｃ以上４００μｓｅｃ以下とすることが好ましい。

【０４５４】

また、ゲート信号線１７ｅは前段の画素行のゲート信号線１７ａと共通にしておくことが好ましい。つまり、ゲート信号線１７ｅと前段の画素行のゲート信号線１７ａとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも１Ｈ前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、１画素行前に限定されるものではない。たとえば、２画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ１１ａのリセットを実施してもよい。

【０４５５】

前段ゲート制御方式をさらに具体的に記載すれば以下のようになる。着目する画素行が（Ｎ）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ）、ゲート信号線１７ａ（Ｎ）とする。１Ｈ前に選択される前段の画素行は、画素行が（Ｎ－１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ－１）、ゲート信号線１７ａ（Ｎ－１）とする。また、着目画素行の次の１Ｈ後に選択される画素行が（Ｎ＋１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ＋１）、ゲート信号線１７ａ（Ｎ＋１）とする。

【０４５６】

第（Ｎ－１）Ｈ期間では、第（Ｎ－１）画素行のゲート信号線１７ａ（Ｎ－１）にオン電圧が印加されると、第（Ｎ）画素行のゲート信号線１７ｅ（Ｎ）にもオン電圧が印加される。ゲート信号線１７ｅ（Ｎ）と前段の画素行のゲート信号線１７ａ（Ｎ－１）とがショート状態で形成されているからである。したがって、第（Ｎ－１）画素行の画素のトランジスタ１１ｂ（Ｎ－１）がオンし、ソース信号線１８の電圧が駆動用トランジスタ１１ａ（Ｎ－１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ）画素行の画素のトランジスタ１１ｅ（Ｎ）がオンし、駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ）がリセットされる。

【０４５７】

第（Ｎ－１）Ｈ期間の次の第（Ｎ）期間では、第（Ｎ）画素行のゲート信号線１７ａ（Ｎ）にオン電圧が印加されると、第（Ｎ＋１）画素行のゲート信号線１７ｅ（Ｎ＋１）にもオン電圧が印加される。したがって、第（Ｎ）画素行の画素のトランジスタ１１ｂ（Ｎ）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋１）画素行の画素のトランジスタ１１ｅ（Ｎ＋１）がオンし、駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋１）がリセットされる。

【０４５８】

以下同様に、第（Ｎ）Ｈ期間の次の第（Ｎ＋１）期間では、第（Ｎ＋１）画素行のゲート信号線１７ａ（Ｎ＋１）にオン電圧が印加されると、第（Ｎ＋２）画素行のゲート信号線１７ｅ（Ｎ＋２）にもオン電圧が印加される。したがって、第（Ｎ＋１）画素行の画素のトランジスタ１１ｂ（Ｎ＋１）がオンし、ソース信号線１８に印加されている電圧が駆

動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋２）画素行の画素のトランジスタ１１ｅ（Ｎ＋２）がオンし、駆動用トランジスタ１１ａ（Ｎ＋２）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋２）がリセットされる。

【０４５９】

以上の本発明の前段ゲート制御方式では、１Ｈ期間、駆動用トランジスタ１１ａはリセットされ、その後、電圧（電流）プログラムが実施される。

【０４６０】

図３３（ａ）も同様であるが、図４４（ａ）のリセット状態と、図４４（ｂ）の電圧プログラム状態とを同期をとって行う場合は、図４４（ａ）のリセット状態から、図４４（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１ａが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面１２の輝度も低下する。

【０４６１】

図４４（ａ）を実施後、図４４（ｂ）の状態にする。図４４（ｂ）はトランジスタ１１ｂをオンさせ、トランジスタ１１ｅ、トランジスタ１１ｄをオフさせた状態である。図４４（ｂ）の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ１１ａのゲート（Ｇ）端子に書き込む（駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位をコンデンサ１９に設定する）。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ１１ｄを必ずしもオフさせる必要はない。また、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、あるいは以上のような、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ１１ｅをオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ１１ｅが必要でない。このことは以前に説明をしたので、説明を省略する。

【０４６２】

図４３の構成あるいは図４４の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０４６３】

図４４（ｂ）の電流プログラミング後、図４４（ｃ）に図示するように、トランジスタ１１ｂをオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。

【０４６４】

以上のように、図４３の電圧プログラムにおける本発明のリセット駆動は、まず、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流す第１の動作と、トランジスタ１１ａとＥＬ素子１５間を切断し、かつ、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第２の動作と、前記動作の後、駆動用トランジスタ１１ａに電圧プログラムを行う第３の動作とを実施するものである。

【０４６５】

以上の実施例では、駆動トランジスタ素子１１ａ（図１の画素構成の場合）からＥＬ素子１５に流す電流を制御するのに、トランジスタ１１ｄをオンオフさせて行う。トランジスタ１１ｄをオンオフさせるためには、ゲート信号線１７ｂを走査する必要があり、走査

のためには、シフトレジスタ６１（ゲート回路１２）が必要となる。しかし、シフトレジスタ６１は規模が大きく、ゲート信号線１７ｂの制御にシフトレジスタ６１を用いたのでは狭額縁化できない。図４０で説明する方式は、この課題を解決するものである。

【０４６６】

なお、本発明は、主として図１などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図３８などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図４１などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、ＥＬ素子１５に流れる電流を間欠にする方式であるから、図５０などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。

【０４６７】

図４０はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路１２は基板７１に直接形成したか、もしくはシリコンチップのゲートドライバＩＣ１２を基板７１に積載したとして説明をする。また、ソースドライバ１４およびソース信号線１８は図面が煩雑になるため省略する。

【０４６８】

図４０において、ゲート信号線１７ａはゲートドライバ回路１２と接続されている。一方、各画素のゲート信号線１７ｂは点灯制御線４０１と接続されている。図４０では４本のゲート信号線１７ｂが１つの点灯制御線４０１と接続されている。

【０４６９】

なお、４本のゲート信号線１７ｂでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域５０は少なくとも５以上に分割することが好ましい。さらに好ましくは、１０以上に分割することが好ましい。さらには、２０以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線４０１の本数が多くなり、制御線４０１のレイアウトが困難になる。

【０４７０】

したがって、ＱＣＩＦ表示パネルの場合は、垂直走査線の本数が２２０本であるから、少なくとも、２２０／５＝４４本以上でブロック化する必要があり、好ましくは、２２０／１０＝１１以上でブロック化する必要がある。ただし、奇数行と偶数行で２つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、２つのブロック化で十分の場合がある。

【０４７１】

図４０の実施例では、点灯制御線４０１ａ、４０１ｂ、４０１ｃ、４０１ｄ……４０１ｎと順次、オン電圧（Ｖｇｌ）を印加するか、もしくはオフ電圧（Ｖｇｈ）を印加し、ブロックごとにＥＬ素子１５に流れる電流をオンオフさせる。

【０４７２】

なお、図４０の実施例では、ゲート信号線１７ｂと点灯制御線４０１とがクロスすることがない。したがって、ゲート信号線１７ｂと点灯制御線４０１とのショート欠陥は発生しない。また、ゲート信号線１７ｂと点灯制御線４０１とが容量結合することがないため、点灯制御線４０１からゲート信号線１７ｂ側を見た時の容量付加が極めて小さい。したがって、点灯制御線４０１を駆動しやすい。

【０４７３】

ゲートドライバ１２にはゲート信号線１７ａが接続されている。ゲート信号線１７ａにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ１１ｂ、１１ｃはオンして、ソース信号線１８に印加された電流（電圧）を各画素のコンデンサ１９にプログラムする。一方、ゲート信号線１７ｂは各画素のトランジスタ１１ｄのゲート（Ｇ）端子と接続されている。したがって、点灯制御線４０１にオン電圧（Ｖｇｌ

）が印加されたとき、駆動トランジスタ１１ａとＥＬ素子１５との電流経路を形成し、逆にオフ電圧（Ｖｇｈ）が印加された時は、ＥＬ素子１５のアノード端子をオープンにする。

【０４７４】

なお、点灯制御線４０１に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路１２がゲート信号線１７ａに出力する画素行選択電圧（Ｖｇｌ）のタイミングは１水平走査クロック（１Ｈ）に同期していることが好ましい。しかし、これに限定するものではない。

【０４７５】

点灯制御線４０１に印加する信号は単に、ＥＬ素子１５への電流をオンオフさせるだけである。また、ソースドライバ１４が出力する画像データと同期がとれている必要もない。点灯制御線４０１に印加する信号は、各画素１６のコンデンサ１９にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは１Ｈ信号に限定されるものではなく、１／２Ｈでも、１／４Ｈであってもよい。

【０４７６】

図３８に図示したカレントミラーの画素構成の場合であっても、ゲート信号線１７ｂを点灯制御線４０１に接続することにより、トランジスタ１１ｅをオンオフ制御できる。したがって、ブロック駆動を実現できる。

【０４７７】

図４１は点灯制御線４０１にオンオフ電圧（Ｖｇｌ、Ｖｇｈ）を印加することにより、ブロック画素行単位でＥＬ素子１５を点灯制御するものであった。しかし、本発明はこれに限定するものではない。図１５８に図示するように、点灯制御線４０１に点灯制御線ドライバ１５８１を形成してもよい。

【０４７８】

点灯制御線ドライバ１５８１とはゲートドライバ１２の出力段が例示される（インバータ回路、出力バッファなど）。点灯制御線ドライバ１５８１はドライバ制御線により、駆動電圧（Ｖｇｈ、Ｖｇｌ）とオンオフ切り替え信号が供給される。点灯制御線１５８１はオンオフ切り替え信号により点灯制御線４０１にオンオフ電圧を出力する。画像の表示状態、駆動方法については図４０と同等あるいは類似であるので説明を省略する。つまり、点灯制御線４０１の制御を半導体回路からなる点灯制御線ドライバ１５８１で実施するのである。

【０４７９】

点灯制御線ドライバ１５８１は、１つの点灯制御線４０１に複数個形成してもよい。また、点灯制御線４０１を多数形成し（ブロック分割数を多くする）、各点灯制御線４０１に点灯制御線ドライバ１５８１を１個または複数個配置もしくは形成してもよい。

【０４８０】

点灯制御ドライバ１５８１は、低温ポリシリコン技術などを用いて基板７１に直接に形成する方法の他、半導体シリコンチップで別途形成し、このチップＩＣを基板７１にＣＯＧ技術などを用いて実装してもよい。

【０４８１】

点灯制御線ドライバ１５８１は出力端子が少ないゲートドライバ回路１２ｂともみなすことができる。つまり、ブロックごとにゲート信号線１７ｂが共通に点灯制御線４０１に接続（ショート）され、この点灯制御線４０１をゲート信号線１７ｂとみなすゲートドライバ回路１２ｂが形成または配置されていることになる。

【０４８２】

点灯制御線ドライバ１５８１を形成または配置することにより、点灯制御線４０１の駆動能力が向上し、図４０の構成では、輝度傾斜などが発生することがあったが、図１５８の構成では全く発生しない。また、ブロック分割数を多くすることができるため、ブロックの境目が発生しない。また、点灯制御線ドライバ１５８１の形成面積は非常に小さくて

すむため、狭額縁化を実現できる。

【０４８３】

なお、図３２において、ゲート信号線１７ａを点灯制御線４０１に接続し、リセットを実施すれば、プロック駆動を実現できる。つまり、本発明のブロック駆動とは、１つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

【０４８４】

以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本の選択ゲート信号線を配置（形成）してもよい。

【０４８５】

図４１はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図４１では画素行の選択ゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。

【０４８６】

したがって、ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒからデータをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇからデータをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂからデータをコンデンサ１９Ｂに書き込む。

【０４８７】

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。したがって、画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオフ制御することができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【０４８８】

この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路６１の４つを形成（配置）することが適切である。

【０４８９】

なお、ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、５倍程度の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝５の場合と同一となる。したがって、本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１５に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をＥＬ素子１５にパルス状に印加する駆動方法である。

【０４９０】

また、所望値より電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。

【０４９１】
なお、このコンデンサ１９への突き抜けによる補償回路は、ソースドライバ回路１４内に導入する。この事項については後ほど説明をする。
【０４９２】
また、図１などのスイッチングトランジスタ１１ｂ、１１ｃなどはＮチャンネルで形成することが好ましい。コンデンサ１９への突き抜け電圧が低減するからである。また、コンデンサ１９のオフリークも減少するから、１０Ｈｚ以下の低いフレームレートにも適用できるようになる。
【０４９３】
また、画素構成によっては、突き抜け電圧がＥＬ素子１５に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。
【０４９４】
逆に、図１のスイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。
【０４９５】
その他、ゲート信号線１７ａとトランジスタ１１ａのゲート（Ｇ）端子間に積極的にコンデンサ１９ｂを形成し、突き抜け電圧を増加させる構成も有効である（図４２（ａ）を参照）。このコンデンサ１９ｂの容量は正規のコンデンサ１９ａの容量の１／５０以上１／１０以下にすることが好ましい。さらには１／４０以上１／１５以下とすることが好ましい。もしくはトランジスタ１１ｂのソース－ゲート（ソース－ドレイン（ＳＧ）もしくはゲート－ドレイン（ＧＤ））容量の１倍以上１０倍以下にする。さらに好ましくは、ＳＧ容量の２倍以上６倍以下にすることが好ましい。なお、コンデンサ１９ｂの形成位置は、コンデンサ１９ａの一方の端子（トランジスタ１１ａのゲート（Ｇ）端子）とトランジスタ１１ｄのソース（Ｓ）端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。
【０４９６】
突き抜け電圧発生用のコンデンサ１９ｂの容量（容量をＣｂ（ｐＦ）とする）は、電荷保持用のコンデンサ１９ａの容量（容量とＣａ（ｐＦ）とする）と、トランジスタ１１ａの白ピーク電流時（画像表示で表示最大輝度の白ラスター時）のゲート（Ｇ）端子電圧Ｖｗを黒表示での電流を流す（基本的には電流は０である。つまり、画像表示で黒表示としている時）時のゲート（Ｇ）端子電圧Ｖｂが関連する。これらの関係は、

$$Ca/(200Cb) \leqq |Vw-Vb| \leqq Ca/(8Cb)$$

の条件を満足させることが好ましい。なお、｜Ｖｗ－Ｖｂ｜とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である（つまり、変化する電圧幅）。
【０４９７】
さらに好ましくは、

$$Ca/(100Cb) \leqq |Vw-Vb| \leqq Ca/(10Cb)$$

の条件を満足させることが好ましい。
【０４９８】
トランジスタ１１ｂはＰチャンネルにし、このＰチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、４ゲート以上にする。そして、トランジスタ１１ｂのソース－ゲート（ＳＧもしくはゲート－ドレイン（ＧＤ））容量（トランジスタがオンしているときの容量）の１倍以上１０倍以下のコ

ンデンサを並列に形成または配置することが好ましい。

【０４９９】

なお、以上の事項は、図１の画素構成だけでなく、他の画素構成でも有効である。たとえば、図４２（ｂ）に図示するようにカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線１７ａまたは１７ｂとトランジスタ１１ａのゲート（Ｇ）端子間に配置または形成する。スイッチングトランジスタ１１ｃのＮチャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ１１ｃ、１１ｄをＰチャンネルとし、トリプルゲート以上とする。

【０５００】

４１の電圧プログラムの構成にあっては、ゲート信号線１７ｃと駆動用トランジスタ１１ａのゲート（Ｇ）端子間に突き抜け電圧発生用のコンデンサ１９ｃを形成または配置する。また、スイッチングトランジスタ１１ｃはトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ｃのドレイン（Ｄ）端子（コンデンサ１９ｂ側）と、ゲート信号線１７ａ間に配置してもよい。また、突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ａのゲート（Ｇ）端子と、ゲート信号線１７ａ間に配置してもよい。また、突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ｃのドレイン（Ｄ）端子（コンデンサ１９ｂ側）と、ゲート信号線１７ｃ間に配置してもよい。

【０５０１】

また、電荷保持用のコンデンサ１９ａの容量をＣａとし、スイッチング用のトランジスタ１１ｃまたは１１ｄ）のソース－ゲート容量Ｃｃ（突き抜け用のコンデンサがある場合には、その容量を加えた値）とし、ゲート信号線に印加される高電圧信号（Ｖｇｈ）とし、ゲート信号線に印加される低電圧信号（Ｖｇｌ）とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

【０５０２】

０．０５（Ｖ）　≦　（Ｖｇｈ－Ｖｇｌ）×（Ｃｃ／Ｃａ）　≦　０．８（Ｖ）

さらに好ましくは、以下の条件を満足させることが好ましい。

【０５０３】

０．１（Ｖ）　≦　（Ｖｇｈ－Ｖｇｌ）×（Ｃｃ／Ｃａ）　≦　０．５（Ｖ）

以上の事項は図４３などの画素構成にも有効である。図４３の電圧プログラムの画素構成では、トランジスタ１１ａのゲート（Ｇ）端子とゲート信号線１７ａ間に突き抜け電圧発生用のコンデンサ１９ｂを形成または配置する。

【０５０４】

なお、突き抜け電圧を発生させるコンデンサ１９ｂは、トランジスタのソース配線とゲート配線で形成する。ただし、トランジスタ１１のソース幅を広げて、ゲート信号線１７と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

【０５０５】

また、スイッチングトランジスタ１１ｂ、１１ｃ（図１の構成の場合）を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ１９ｂを構成する方式も本発明の範疇である。スイッチングトランジスタ１１ｂ、１１ｃはチャンネル幅Ｗ／チャンネル長Ｌ＝６／６μｍで形成することが多い。これをＷと大きくすることも突き抜け電圧用のコンデンサ１９ｂを構成することになる。例えば、Ｗ：Ｌの比を２：１以上２０：１以下にする構成が例示される。好ましくは、Ｗ：Ｌの比を３：１以上１０：１以下にすることがよい。

【０５０６】

また、突き抜け電圧用のコンデンサ１９ｂは、画素が変調するＲ、Ｇ、Ｂで大きさ（容量）を変化させることが好ましい。Ｒ、Ｇ、Ｂの各ＥＬ素子１５の駆動電流が異なるためである。また、ＥＬ素子１５のカットオフ電圧が異なるためである。そのため、ＥＬ素子１５の駆動用トランジスタ１１ａのゲート（Ｇ）端子にプログラムする電圧（電流）が異なるからである。たとえば、Ｒの画素のコンデンサ１１ｂＲを０．０２ｐＦとした場合、

他の色（Ｇ、Ｂの画素）のコンデンサ１１ｂＧ、１１ｂＢを０．０２５ｐＦとする。また、Ｒの画素のコンデンサ１１ｂＲを０．０２ｐＦとした場合、Ｇの画素のコンデンサ１１ｂＧと０．０３ｐＦとし、Ｂの画素のコンデンサ１１ｂＢを０．０２５ｐＦとするなどである。このように、Ｒ、Ｇ、Ｂの画素ごとにコンデンサ１１ｂの容量を変化させることによりオフセットの駆動電流をＲＧＢごとに調整することができる。したがって、各ＲＧＢの黒表示レベルを最適値にすることができる。

【０５０７】

以上は、突き抜け電圧発生用のコンデンサ１９ｂの容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ１９ａと突き抜け電圧発生用のコンデンサ１９ｂとの容量の相対的なものである。したがって、コンデンサ１９ｂをＲ、Ｇ、Ｂの画素で変化することに限定するものではない。つまり、保持用コンデンサ１９ａの容量を変化させてもよい。たとえば、Ｒの画素のコンデンサ１１ａＲを１．０ｐＦとした場合、Ｇの画素のコンデンサ１１ａＧと１．２ｐＦとし、Ｂの画素のコンデンサ１１ａＢを０．９ｐＦとするなどである。この時、突き抜け用コンデンサ１９ｂの容量は、Ｒ、Ｇ、Ｂで共通の値とする。したがって、本発明は、保持用のコンデンサ１９ａと突き抜け電圧発生用のコンデンサ１９ｂとの容量比を、Ｒ、Ｇ、Ｂの画素のうち、少なくとも１つを他と異ならせたものである。なお、保持用のコンデンサ１９ａの容量と突き抜け電圧発生用のコンデンサ１９ｂとの容量との両方をＲ、Ｇ、Ｂ画素で変化させてもよい。

【０５０８】

また、画面５０の左右で突き抜け電圧用のコンデンサ１９ｂの容量を変化させてもよい。ゲートドライバ１２に近い位置にある画素１６は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線１７端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線１７には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ１２との接続側に近い画素１６の突き抜け電圧用コンデンサ１９ｂを小さくする。また、ゲート信号線１７端はコンデンサ１９ｂを大きくする。たとえば、画面の左右でコンデンサの容量は１０％程度変化させる。

【０５０９】

発生する突き抜け電圧は、保持用コンデンサ１９ａと突き抜け電圧発生用のコンデンサ１９ｂの容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ１９ｂの大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ１９ｂは画面の左右で一定にし、電荷保持用のコンデンサ１９ａの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ１９ｂと、電荷保持用のコンデンサ１９ａ容量の両方を画面の左右で変化させてもよいことは言うまでもない。

【０５１０】

本発明のＮ倍パルス駆動の課題にＥＬ素子１５に印加する電流が瞬時的ではあるが、従来と比較してＮ倍大きいという問題がある。電流が大きいとＥＬ素子の寿命を低下させる場合がある。この課題を解決するためには、ＥＬ素子１５に逆バイアス電圧Ｖｍを印加することが有効である。

【０５１１】

ＥＬ素子１５において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

【０５１２】

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐた

めに、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【０５１３】

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【０５１４】

図４５は、逆バイアス電圧ＶｍとＥＬ素子１５の端子電圧の変化を示している。この端子電圧とは、ＥＬ素子１５に定格電流を印加した時である。図４５はＥＬ素子１５に流す電流が電流密度１００Ａ／平方メーターの場合であるが、図４５の傾向は、電流密度５０～１００Ａ／平方メーターの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【０５１５】

縦軸は初期のＥＬ素子１５の端子電圧に対して、２５００時間後の端子電圧との比である。たとえば、経過時間０時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧が８（Ｖ）とし、経過時間２５００時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧が１０（Ｖ）とすれば、端子電圧比は、１０／８＝１．２５である。

【０５１６】

横軸は、逆バイアス電圧Ｖｍと１周期に逆バイアス電圧を印加した時間ｔ１の積に対する定格端子電圧Ｖ０の比である。たとえば、６０Ｈｚ（とくに６０Ｈｚに意味はないが）で、逆バイアス電圧Ｖｍを印加した時間が１／２（半分）であれば、ｔ１＝０．５である。また、経過時間０時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧（定格端子電圧）が８（Ｖ）とし、逆バイアス電圧Ｖｍを８（Ｖ）とすれば、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）＝｜－８（Ｖ）×０．５｜／（８（Ｖ）×０．５）＝１．０となる。

【０５１７】

図４５によれば、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が１．０以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧Ｖｍの印加による効果がよく発揮されている。しかし、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が１．７５以上で端子電圧比は増加する傾向にある。したがって、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．０以上にするように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１（もしくはｔ２、あるいはｔ１とｔ２との比率）を決定するとよい。また、好ましくは、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．７５以下になるようにように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１などを決定するとよい。

【０５１８】

ただし、バイアス駆動を行う場合は、逆バイアスＶｍと定格電流とを交互に印加する必要がある。図４６のようにサンプルＡとＢとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧Ｖｍを印加する場合（図４６のサンプルＡ）のＥＬ素子１５の端子電圧も高くなる。

【０５１９】

しかし、図４５では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧Ｖ０とは、平均輝度を満足する端子電圧（つまり、ＥＬ素子１５を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度２００Ａ／平方メーターの電流の印加した時の端子電圧である。ただし、１／２デューティであるので、１周期の平均輝度は電流密度２００Ａ／平方メーターでの輝度となる）。

【０５２０】

以上の事項は、ＥＬ素子１５を、白ラスター表示（画面全体のＥＬ素子に最大電流を印加している場合）を想定している。しかし、ＥＬ表示装置の映像表示を行う場合は、自然

画であり、階調表示を行う。したがって、たえず、ＥＬ素子１５の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度１００Ａ／平方メーターの電流）が流れているのではない。

【０５２１】

一般的に、映像表示を行う場合は、各ＥＬ素子１５に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度１００Ａ／平方メーターの電流）の約０．２倍である。

【０５２２】

したがって、図４５の実施例では、映像表示を行う場合は横軸の値に０．２をかけるものとする必要がある。したがって、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は０．２以上にするように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１（もしくはｔ２、あるいはｔ１とｔ２との比率など）を決定するとよい。また、好ましくは、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．７５×０．２＝０．３５以下になるようにように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１などを決定するとよい。

【０５２３】

つまり、図４５の横軸（｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２））において、１．０の値を０．２とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスターを常時表示することはないであろう）時は、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が０．２よりも大きくなるように、逆バイアス電圧Ｖｍを所定時間ｔ１印加するようにする。また、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）の値が大きくなっても、図４５で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することも考慮して、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）の値が１．７５以下を満足するようにすればよい。

【０５２４】

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はＥＬ素子１５に電流が流れていない期間に逆バイアス電圧Ｖｍ（電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、ＥＬ素子１５に電流が流れている状態で、強制的に逆バイアス電圧Ｖｍを印加してもよい。なお、この場合は、結果としてＥＬ素子１５には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧Ｖｍを印加することを中心として説明するがこれに限定するものではない。

【０５２５】

逆バイアス駆動の画素構成では、図４７に図示するように、トランジスタ１１ｇをＮチャンネルとする。もちろん、Ｐチャンネルでもよい。

【０５２６】

図４７では、ゲート電位制御線４７３に印加する電圧を逆バイアス線４７１に印加している電圧よりも高くすることにより、トランジスタ１１ｇ（Ｎ）がオンし、ＥＬ素子１５のアノード電極に逆バイアス電圧Ｖｍが印加される。

【０５２７】

また、図４７の画素構成などにおいて、ゲート電位制御線４７３を常時、電位固定して動作させてもよい。たとえば、図４７においてＶｋ電圧が０（Ｖ）とする時、ゲート電位制御線４７３の電位を０（Ｖ）以上（好ましくは２（Ｖ）以上）にする。なお、この電位をＶｓｇとする。この状態で、逆バイアス線４７１の電位を逆バイアス電圧Ｖｍ（０（Ｖ）以下、好ましくはＶｋより－５（Ｖ）以上小さい電圧）にすると、トランジスタ１１ｇ（Ｎ）がオンし、ＥＬ素子１５のアノードに、逆バイアス電圧Ｖｍが印加される。逆バイアス線４７１の電圧をゲート電位制御線４７３の電圧（つまり、トランジスタ１１ｇのゲート（Ｇ）端子電圧）よりも高くすると、トランジスタ１１ｇはオフ状態であるため、ＥＬ素子１５には逆バイアス電圧Ｖｍは印加されない。もちろん、この状態の時に、逆バイアス線４７１をハイインピーダンス状態（オープン状態など）としてもよいことは言うま

でもない。

【０５２８】

また、図４８に図示するように、逆バイアス線４７１を制御するゲートドライバ回路１２ｃを別途形成または配置してもよい。ゲートドライバ回路１２ｃは、ゲートドライバ回路１２ａと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

【０５２９】

以上の駆動方法では、トランジスタ１１ｇのゲート（Ｇ）端子は電位固定し、逆バイアス線４７１の電位を変化させるだけで、ＥＬ素子１５に逆バイアス電圧Ｖｍを印加することができる。したがって、逆バイアス電圧Ｖｍの印加制御が容易である。また、トランジスタ１１ｇのゲート（Ｇ）端子とソース（Ｓ）端子間に印加される電圧を低減できる。このことは、トランジスタ１１ｇがＰチャンネルの場合も同様である。

【０５３０】

また、逆バイアス電圧Ｖｍの印加は、ＥＬ素子１５に電流を流していない時に行うものである。したがって、トランジスタ１１ｄがオンしていない時に、トランジスタ１１ｇをオンさせることにより行えばよい。つまり、トランジスタ１１ｄのオンオフロジックの逆をゲート電位制御線４７３に印加すればよい。たとえば、図４７では、ゲート信号線１７ｂにトランジスタ１１ｄおよびトランジスタ１１ｇのゲート（Ｇ）端子を接続すればよい。トランジスタ１１ｄはＰチャンネルであり、トランジスタ１１ｇはＮチャンネルであるため、オンオフ動作は反対となる。

【０５３１】

図４９は逆バイアス駆動のタイミングチャートである。なお、チャート図において（１）（２）などの添え字は、画素行を示している。説明を容易にするため、（１）とは、第１画素行目と示し、（２）とは第２画素行目を示すとして説明をするが、これに限定するものではない。（１）がN画素行目を示し、（２）がN+1画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図４９などの実施例では、図１などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図４１、図３８などの画素構成においても適用できるものである。

【０５３２】

第１画素行目のゲート信号線１７ａ（１）にオン電圧（Ｖｇｌ）が印加されている時には、第１画素行目のゲート信号線１７ｂ（１）にはオフ電圧（Ｖｇｈ）が印加される。つまり、トランジスタ１１ｄはオフであり、ＥＬ素子１５には電流が流れていない。

【０５３３】

逆バイアス線４７１（１）には、Ｖｓｌ電圧（トランジスタ１１ｇがオンする電圧）が印加される。したがって、トランジスタ１１ｇがオンし、ＥＬ素子１５には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線１７ｂにオフ電圧（Ｖｇｈ）が印加された後、所定期間（１Ｈの１／２００以上の期間、または、０．５μｓｅｃ）後に、逆バイアス電圧が印加される。また、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加される所定期間（１Ｈの１／２００以上の期間、または、０．５μｓｅｃ）前に、逆バイアス電圧がオフされる。これは、トランジスタ１１ｄとトランジスタ１１ｇが同時にオンとなることを回避するためである。

【０５３４】

次の水平走査期間（１Ｈ）には、ゲート信号線１７ａにはオフ電圧（Ｖｇｈ）が印加され、第２画素行が選択される。つまり、ゲート信号線１７ｂ（２）にオン電圧が印加される。一方、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンして、ＥＬ素子１５にトランジスタ１１ａから電流が流れＥＬ素子１５が発光する。また、逆バイアス線４７１（１）にはオフ電圧（Ｖｓｈ）が印加されて、第１画素行（１）のＥＬ素子１５には逆バイアス電圧が印加されないようになる。第２画素行の逆バイアス線４７１（２）にはＶｓｌ電圧（逆バイアス電圧）が印加される。

【０５３５】

以上の動作を順次くりかえすことにより、１画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図４８の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動（図４０参照）や、Ｎ倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

【０５３６】

以上の実施例は、図１の画素構成の場合であったが、他の構成においても、図３８、図４１などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図５０は電流プログラム方式の画素構成である。

【０５３７】

図５０は、カレントミラーの画素構成である。トランジスタ１１ｃは画素選択素子である。ゲート信号線１７ａ１にオン電圧を印加することにより、トランジスタ１１ｃがオンする。トランジスタ１１ｄはリセット機能と、駆動用トランジスタ１１ａのドレイン（Ｄ）－ゲート（Ｇ）端子間をショート（ＧＤショート）する機能を有するスイッチ素子である。トランジスタ１１ｄはゲート信号線１７ａ２にオン電圧を印加することによりオンする。

【０５３８】

トランジスタ１１ｄは、該当画素が選択する１Ｈ（１水平走査期間、つまり１画素行）以上前にオンする。好ましくは３Ｈ前にはオンさせる。３Ｈ前とすれば、３Ｈ前にトランジスタ１１ｄがオンし、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる。そのため、トランジスタ１１ａはオフする。したがって、トランジスタ１１ｂには電流が流れなくなり、ＥＬ素子１５は非点灯となる。

【０５３９】

ＥＬ素子１５が非点灯状態の時、トランジスタ１１ｇがオンし、ＥＬ素子１５に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ１１ｄがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ１１ｄとトランジスタ１１ｇとは同時にオンすることになる。

【０５４０】

トランジスタ１１ｇのゲート（Ｇ）端子はＶｓｇ電圧が印加されて固定されている。逆バイアス線４７１をＶｓｇ電圧より十分に小さな逆バイアス電圧を逆バイアス線４７１に印加することによりトランジスタ１１ｇがオンする。

【０５４１】

その後、前記該当画素に映像信号が印加（書き込まれる）される水平走査期間がくると、ゲート信号線１７ａ１にオン電圧が印加され、トランジスタ１１ｃがオンする。したがって、ソースドライバ回路１４からソース信号線１８に出力された映像信号電圧がコンデンサ１９に印加される（トランジスタ１１ｄはオン状態が維持されている）。

【０５４２】

トランジスタ１１ｄをオンさせると黒表示となる。１フィールド（１フレーム）期間に占めるトランジスタ１１ｄのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても１フィールド（１フレーム）の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にＥＬ素子１５に流す電流と大きくする必要がある。この動作は、本発明のＮ倍パルス駆動である。したがって、Ｎ倍パルス駆動と、トランジスタ１１ｄをオンさせて黒表示とする駆動とを組み合わせることが本発明の１つの特徴ある動作である。また、ＥＬ素子１５が非点灯状態で、逆バイアス電圧をＥＬ素子１５に印加することが本発明の特徴ある構成（方式）である。

【０５４３】

以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のＴＦＴ１１ｇを各画素に

形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

【０５４４】

例えば、図１の画素構成において、画素１６を選択し（ＴＦＴ１１ｂ、ＴＦＴ１１ｃをオンさせる）、ソースドライバＩＣ（回路）１４から、ソースドライバＩＣが出力できる低い電圧Ｖ０（例えば、ＧＮＤ電圧）を出力して駆動用ＴＦＴ１１ａのドレイン端子（Ｄ）に印加する。この状態でＴＦＴ１１ｄもオンさせればＥＬのアノード端子にＶ０電圧が印加される。同時に、ＥＬ素子１５のカソードＶｋにＶ０電圧に対し、－５～－１５（Ｖ）低い電圧Ｖｍ電圧を印加すればＥＬ素子１５に逆バイアス電圧が印加される。また、Ｖｄｄ電圧もＶ０電圧より０～－５（Ｖ）低い電圧を印加することにより、ＴＦＴ１１ａもオフ状態となる。以上のようにソースドライバ回路１４から電圧を出力し、ゲート信号線１７を制御することにより、逆バイアス電圧をＥＬ素子１５に印加することができる。

【０５４５】

Ｎ倍パルス駆動は、１フィールド（１フレーム）期間内において、１度、黒表示をしても再度、ＥＬ素子１５に所定の電流（プログラムされた電流（コンデンサ１９に保持されている電圧による））を流すことができる。しかし、図５０の構成では、一度、トランジスタ１１ｄがオンすると、コンデンサ１９の電荷は放電（減少を含む）されるため、ＥＬ素子１５に所定の電流（プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

【０５４６】

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図３８、図５０のような他の電流方式の画素構成にも適用することができる。また、図５１、図５４、図６２に図示するような電圧プログラムの画素構成でも適用することができる。

【０５４７】

図５１は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ１１ｂが選択スイッチング素子であり、トランジスタ１１ａがＥＬ素子１５に電流を印加する駆動用トランジスタである。この構成で、ＥＬ素子１５のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）１１ｇを配置（形成）している。

【０５４８】

図５１の画素構成では、ＥＬ素子１５に流す電流は、ソース信号線１８に印加され、トランジスタ１１ｂが選択されることにより、トランジスタ１１ａのゲート（Ｇ）端子に印加される。

【０５４９】

まず、図５１の構成を説明するために、基本動作について図５２を用いて説明をする。図５１の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の４段階で動作する。

【０５５０】

水平同期信号（ＨＤ）後、初期化動作が実施される。ゲート信号線１７ｂにオン電圧が印加され、トランジスタ１１ｇがオンする。また、ゲート信号線１７ａにもオン電圧が印加され、トランジスタ１１ｃがオンする。この時、ソース信号線１８にはＶｄｄ電圧が印加される。したがって、コンデンサ１９ｂのａ端子にはＶｄｄ電圧が印加されることになる。この状態で、駆動用トランジスタ１１ａはオンし、ＥＬ素子１５に僅かな電流が流れる。この電流により駆動用トランジスタ１１ａのドレイン（Ｄ）端子は少なくともトランジスタ１１ａの動作点よりも大きな絶対値の電圧値となる。

【０５５１】

次にリセット動作が実施される。ゲート信号線１７ｂにオフ電圧が印加され、トランジスタ１１ｅがオフする。一方、ゲート信号線１７ｃにＴ１の期間、オン電圧が印加され、トランジスタ１１ｂがオンする。このＴ１の期間がリセット期間である。また、ゲート信号線１７ａには１Ｈの期間、継続してオン電圧が印加される。なお、Ｔ１は１Ｈ期間の２

０％以上９０％以下の期間とすることが好ましい。もしくは、２０μｓｅｃ以上１６０μｓｅｃ以下の時間とすることが好ましい。また、コンデンサ１９ｂ（Ｃｂ）とコンデンサ１９ａ（Ｃａ）の容量の比率は、Ｃｂ：Ｃａ＝６：１以上１：２以下とすることが好ましい。

【０５５２】

リセット期間では、トランジスタ１１ｂのオンにより、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされる。したがって、トランジスタ１１ａのゲート（Ｇ）端子電圧とドレイン（Ｄ）端子電圧が等しくなり、トランジスタ１１ａはオフセット状態（リセット状態：電流が流れない状態）となる。このリセット状態とはトランジスタ１１ａのゲート（Ｇ）端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ１９ｂのｂ端子に保持される。したがって、コンデンサ１９には、オフセット電圧（リセット電圧）が保持されていることになる。

【０５５３】

次のプログラム状態では、ゲート信号線１７ｃにオフ電圧が印加されトランジスタ１１ｂがオフする。一方、ソース信号線１８には、Ｔｄの期間、ＤＡＴＡ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート（Ｇ）端子には、ＤＡＴＡ電圧＋オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ１１ａはプログラムされた電流を流せるようになる。

【０５５４】

プログラム期間後、ゲート信号線１７ａにはオフ電圧が印加され、トランジスタ１１ｃはオフ状態となり、駆動用トランジスタ１１ａはソース信号線１８から切り離される。また、ゲート信号線１７ｃにもオフ電圧が印加され、トランジスタ１１ｂがオフし、このオフ状態は１Ｆの期間保持される。一方、ゲート信号線１７ｂには、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

【０５５５】

図５２の駆動方式では、リセット状態でコンデンサ１９には、トランジスタ１１ａの開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ１１ａのゲート（Ｇ）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線１８と画素１６とのカップリング、コンデンサ１９への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図５３で説明した駆動方法では、表示コントラストを高くすることができない。

【０５５６】

逆バイアス電圧ＶｍをＥＬ素子１５に印加するためには、トランジスタ１１ａがオフさせる必要がある。トランジスタ１１ａをオフさせるためには、トランジスタ１１ａのＶｄｄ端子とゲート（Ｇ）端子間をショートすればよい。この構成については、後に図５３を用いて説明をする。

【０５５７】

また、ソース信号線１８にＶｄｄ電圧またはトランジスタ１１ａをオフさせる電圧を印加し、トランジスタ１１ｂをオンさせてトランジスタ１１ａのゲート（Ｇ）端子に印加させてもよい。この電圧によりトランジスタ１１ａがオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ１１ａが高インピーダンス状態））。その後、トランジスタ１１ｇをオンさせて、ＥＬ素子１５に逆バイアス電圧を印加する。この逆バイアス電圧Ｖｍの印加は、全画素同時に行ってもよい。つまり、ソース信号線１８にトランジスタ１１ａを略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ１１ｂをオンさせる。したがって、トランジスタ１１ａがオフする。その後、トランジスタ１１ｇをオンさせて、逆バイアス電圧をＥＬ素子１５に印加する。その後

、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

【０５５８】

次に、図５１の画素構成におけるリセット駆動について説明をする。図５３はその実施例である。図５３に示すように画素１６ａのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｂのリセット用トランジスタ１１ｂのゲート（Ｇ）端子にも接続されている。同様に、画素１６ｂのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｃのリセット用トランジスタ１１ｂのゲート（Ｇ）端子に接続されている。

【０５５９】

したがって、画素１６ａのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ａが電圧プログラム状態となるとともに、次段画素１６ｂのリセット用トランジスタ１１ｂがオンし、画素１６ｂの駆動用トランジスタ１１ａがリセット状態となる。同様に、画素１６ｂのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ｂが電流プログラム状態となるとともに、次段画素１６ｃのリセット用トランジスタ１１ｂがオンし、画素１６ｃの駆動用トランジスタ１１ａがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

【０５６０】

さらに詳しく説明する。図５３（ａ）のようにゲート信号線１７に電圧が印加されているとする。つまり、画素１６ａのゲート信号線１７ａにオン電圧が印加され、他の画素１６のゲート信号線１７ａにオフ電圧が印加されているとする。また、ゲート信号線１７ｂは画素１６ａ、１６ｂにはオフ電圧が印加され、画素１６ｃ、１６ｄにはオン電圧が印加されているとする。

【０５６１】

この状態では、画素１６ａは電圧プログラム状態で非点灯、画素１６ｂはリセット状態で非点灯、画素１６ｃはプログラム電流の保持状態で点灯、画素１６ｄはプログラム電流の保持状態で点灯状態である。

【０５６２】

１Ｈ後、制御用ゲートドライバ回路１２のシフトレジスタ回路６１内のデータが１ビットシフトし、図５３（ｂ）の状態となる。図５３（ｂ）の状態は、画素１６ａはプログラム電流保持状態で点灯、画素１６ｂは電流プログラム状態で非点灯、画素１６ｃはリセット状態で非点灯、画素１６ｄはプログラム保持状態で点灯状態である。

【０５６３】

以上のことから、各画素は前段に印加されたゲート信号線１７ａの電圧により、次段の画素の駆動用トランジスタ１１ａがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【０５６４】

図４３に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図５４は図４３の画素構成を前段ゲート制御方式の接続とした実施例である。

【０５６５】

図５４に示すように画素１６ａのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｂのリセット用トランジスタ１１ｅのゲート（Ｇ）端子に接続されている。同様に、画素１６ｂのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａは次段画素１６ｃのリセット用トランジスタ１１ｅのゲート（Ｇ）端子に接続されている。

【０５６６】

したがって、画素１６ａのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ａが電圧プログラム状態となるとともに、次段画素１６ｂのリセット用トランジスタ１１ｅがオンし、画素１６ｂの駆動用トラン

ジスタ１１ａがリセット状態となる。同様に、画素１６ｂのトランジスタ１１ｂのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ｂが電流プログラム状態となるとともに、次段画素１６ｃのリセット用トランジスタ１１ｅがオンし、画素１６ｃの駆動用トランジスタ１１ａがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【０５６７】

さらに詳しく説明する。図５５（ａ）のようにゲート信号線１７に電圧が印加されているとする。つまり、画素１６ａのゲート信号線１７ａにオン電圧が印加され、他の画素１６のゲート信号線１７ａにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ１１ｇはオフ状態であるとする。

【０５６８】

この状態では、画素１６ａは電圧プログラム状態、画素１６ｂはリセット状態、画素１６ｃはプログラム電流の保持状態、画素１６ｄはプログラム電流の保持状態である。

【０５６９】

１Ｈ後、制御用ゲートドライバ回路１２のシフトレジスタ回路６１内のデータが１ビットシフトし、図５５（ｂ）の状態となる。図５５（ｂ）の状態は、画素１６ａはプログラム電流保持状態、画素１６ｂは電流プログラム状態、画素１６ｃはリセット状態、画素１６ｄはプログラム保持状態である。

【０５７０】

以上のことから、各画素は前段に印加されたゲート信号線１７ａの電圧により、次段の画素の駆動用トランジスタ１１ａがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【０５７１】

以後、本発明の電流駆動方式のソースドライバＩＣ（回路）１４について説明をする。まず、図７２に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、このような電流ドライバＩＣが存在するのではなく、本発明の電流駆動方式のソースドライバＩＣを説明するための原理的なものである。

【０５７２】

図７２において、７２１はＤ／Ａ変換器である。Ｄ／Ａ変換器７２１にはｎビットのデータ信号が入力され、入力されたデータに基づき、Ｄ／Ａ変換器からアナログ信号が出力される。このアナログ信号はオペアンプ７２２に入力される。オペアンプ７２２はＮチャンネルトランジスタ６３１ａに入力され、トランジスタ６３１ａに流れる電流が抵抗６９１に流れる。抵抗Ｒの端子電圧はオペアンプ７２２の－入力となり、この－端子の電圧とオペアンプ７２２の＋端子とは同一電圧となる。したがってＤ／Ａ変換器７２１の出力電圧は抵抗６９１の端子電圧となる。

【０５７３】

今、抵抗６９１の抵抗値が１ＭΩとし、Ｄ／Ａ変換器７２１の出力が１（Ｖ）であれば、抵抗６９１には１（Ｖ）／１ＭΩ＝１（μＡ）の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、Ｄ／Ａ変換器７２１のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗６９１に所定電流が流れる。

【０５７４】

トランジスタ６３１ｐ１と６３１ｐ２とはカレントミラー回路を構成している。なお、トランジスタ６３１ｐはＰチャンネル型トランジスタである。一方、６３３ｎはカレントミラーを構成するｎチャンネル型トランジスタである。駆動用トランジスタ６３１ａのソース－ドレイン（ＳＤ）にも同じ電流が流れ、６３１ｐ１と６３１ｐ２で構成されるカレントミラー回路にも同じ電流値が流れ、各トランジスタ６３３ｎで構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子Ｏ１、Ｏ２、Ｏ３、Ｏ４、Ｏ５、・・・は同一の電流が流れる定電流出力端子となる（カレント倍率が等しい時）。

【０５７５】

しかしながら、ＩＣは、同一のマスクから同一のプロセスに基づいて製造されても、半

導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、ドライバＩＣの出力電流は、たとえ同一ＩＣであっても、定電流出力端子間では各出力間のばらつきは存在する。この場合、各定電流出力端子の出力電流値にばらつきが生じると、発光素子の発光量などにばらつきが生じ、ディスプレイパネルでは表示むらを生じる。したがって、ドライバＩＣ１４を使用して、有機ＥＬ表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限にすることが必要となる。

【０５７６】

本発明はかかる点に鑑みてなされたものであり、定電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバＩＣ（回路）１４を提供する。

【０５７７】

図６３に、本発明の電流駆動方式のソースドライバＩＣ（回路）１４の構成図を示す。図１は、一例として電流源を３段構成（６３１、６３２、６３３）とした場合の多段式カレントミラー回路を示している。

【０５７８】

図６３において、第１段の電流源６３１の電流値は、Ｎ個（ただし、Ｎは任意の整数）の第２段電流源６３２にカレントミラー回路によりコピーされる。更に、第２段電流源６３２の電流値は、Ｍ個（ただし、Ｍは任意の整数）の第３段電流源６３３にカレントミラー回路によりコピーされる。この構成により、結果として第１段電流源６３１の電流値は、Ｎ×Ｍ個の第３段電流源６３３にコピーされることになる。

【０５７９】

例えば、ＱＣＩＦ形式の表示パネルのソース信号線１８に１個のドライバＩＣ１４で駆動する場合は、１７６出力（ソース信号線が各ＲＧＢで１７６出力必要なため）となる。この場合は、Ｎを１６個とし、Ｍ＝１１個とする。しがたって、１６×１１＝１７６となり、１７６出力に対応できる。このように、ＮまたはＭのうち、一方を８または１６もしくはその倍数とすることにより、ドライバＩＣの電流源のレイアウト設計が容易になる。

【０５８０】

従来の電流駆動方式のソースドライバＩＣ（仮想で想定している）では、第１段電流源６３１の電流値を直接Ｎ×Ｍ個の第３段電流源にカレントミラー回路でコピーしていたので、第１段電流源６３１のトランジスタ特性と第３段電流源のトランジスタ特性に差が生じると、それがそのまま電流値のばらつきとなって、表示パネルの表示むらとなって現れていた。特に、ソースドライバＩＣ１４は、幅が２ｍｍ程度で長さが２０ｍｍ程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

【０５８１】

この課題に対して、本発明の多段式カレントミラー回路による電流駆動方式のソースドライバＩＣ（回路）１４では、前記したように、第１段電流源６３１の電流値を直接Ｎ×Ｍ個の第３段電流源６３３にカレントミラー回路でコピーするのではなく、中間に第２段電流源６３２を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

【０５８２】

特に、本発明は、第１段のカレントミラー回路（電流源６３１）と第２段にカレントミラー回路（電流源６３２）を密接して配置するところに特徴がある。第１段の電流源６３１から第３段の電流源６３３（つまり、カレントミラー回路の２段構成）であれば、第１段の電流源と接続される第２段の電流源６３３の個数が多く、第１段の電流源６３１と第３段の電流源６３３を密接して配置することができない。

【０５８３】

本発明のソースドライバ回路１４のように、第１段のカレントミラー回路（電流源６３１）の電流を第２段のカレントミラー回路（電流源６３２）にコピーし、第２段のカレントミラー回路（電流源６３２）の電流を第３段にカレントミラー回路（電流源６３２）に

コピーする構成である。この構成では、第１段のカレントミラー回路（電流源６３１）に接続される第２段のカレントミラー回路（電流源６３２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源６３１）と第２段のカレントミラー回路（電流源６３２）とを密接して配置することがことができる。

【０５８４】

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源６３２）に接続される第３段のカレントミラー回路（電流源６３３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源６３２）と第３段のカレントミラー回路（電流源６３３）とを密接して配置することがことができる。

【０５８５】

つまり、全体として、第１段のカレントミラー回路（電流源６３１）、第２段のカレントミラー回路（電流源６３２）、第３段のカレントミラー回路（電流源６３３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

【０５８６】

なお、本例では簡単のため多段式カレントミラー回路を３段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルのソースドライバＩＣ１４の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は３段に限定するものではなく、３段以上であってもよい。

【０５８７】

本発明において、電流源６３１、６３２、６３３と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、図７２に図示するようにオペアンプ７２２とトランジスタ６３１と抵抗Ｒの組み合わせからなる電流回路でもよい。

【０５８８】

図６４はさらに具体的なソースドライバＩＣ（回路）１４の構造図である。図６４は第３の電流源６３３の部分を図示している。つまり、１つのソース信号線１８に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（電流源６３４（１単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

【０５８９】

なお、本発明のソースドライバＩＣ（回路）１４を構成するトランジスタは、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

【０５９０】

図６４で明らかであるが、本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。

【０５９１】

図６４において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ６４１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネル

トランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（１単位）６３４に向かって電流が流れる。この電流はＩＣ１４内の内部配線６４３に流れる。この内部配線６４３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線６４３に流れる電流が画素１６のプログラム電流となる。

【０５９２】

Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ６４１ｂがオンする。すると、カレントミラーを構成する２つの電流源（１単位）６３４に向かって電流が流れる。この電流はＩＣ１４内の内部配線６４３に流れる。この内部配線６４３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線６４３に流れる電流が画素１６のプログラム電流となる。

【０５９３】

他のスイッチ６４１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、スイッチ６４１ｃがオンする。すると、カレントミラーを構成する４つの電流源（１単位）６３４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ６４１ｆがオンする。すると、カレントミラーを構成する３２つの電流源（１単位）６３４に向かって電流が流れる。

【０５９４】

以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する電流源（１単位）に向かって電流が流れる。したがって、データに応じて、０個から６３個に電流源（１単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに限定するものではない。８ビットの場合は、２５５個の単位電流源６３４を形成（配置）すればよい。また、４ビットの時は、１５個の単位電流源６３４を形成（配置）すればよい。単位電流源を構成するトランジスタ６３４は同一のチャンネル幅Ｗ、チャンネル幅Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【０５９５】

また、電流源６３４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源６３４を重み付けしてもよい。たとえば、１単位の電流源６３４と、２倍の電流源６３４と、４倍の電流源６３４などを混在させて電流出力回路を構成してもよい。　しかし、電流源６３４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【０５９６】

図６４の構成は図６３に図示する第３段のカレントミラー部である。したがって、第１の電流源６３１と第２段の電流源６３２が別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第２段の電流源６３２と第３段の電流源を構成するカラントミラー回路のトランジスタ６３３ａも密集（密接あるいは隣接）して配置される。

【０５９７】

なお、特に電流源（１単位）６３４は、密集して配置され、かつ微小な電流が流れる。したがって、ＥＬ表示パネルなどから放射される光（発光光）が、電流源６３４（他に６３１、６３２、６３３も考慮すべきである）に光が照射されると、ホトコンダクタ現象（ホトコン）により誤動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成する。また、基板に実装する箇所で、かつ、チップの電流源が形成された箇所に遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）。この遮光膜は、ＥＬ素子１５に電流を供給するアノード配線、カソード配線の引き回す（ＩＣチップ下に引き回す）ことにより、構成すれば形成が容易であり、低コスト化できる。この構成は、ＩＣチップに限定されるものではない。低温ポリ

シリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（ＣＧＳ）、アモルファスシリコン技術を用いてソースドライバ回路１４にも適用される。つまり、このソースドライバ回路１４の裏面に遮光膜を形成する。

【０５９８】

第２段のカレントミラー回路６３２を流れる電流は、第３段のカレントミラー回路を構成するトランジスタ６３３ａにコピーされ、カレントミラー倍率が１倍の時は、この電流がトランジスタ６３３ｂに流れる。この電流は、最終段のトランジスタ６３４にコピーされる。

【０５９９】

Ｄ０に対応する部分は、１個のトランジスタ６３４で構成されているので、最終段電流源のトランジスタ６３３に流れる電流値である。Ｄ１に対応する部分は２個のトランジスタ６３４で構成されているので、最終段電流源の２倍の電流値である。Ｄ２は４個のトランジスタ６３４で構成されているので、最終段電流源の４倍の電流値であり、・・・、Ｄ５に対応する部分は３２個のトランジスタで構成されているので、最終段電流源の３２倍の電流値である。したがって、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５で制御されるスイッチを介してプログラム電流Ｉｗはソース信号線に出力される（電流を引き込む）。したがって、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５のＯＮ、ＯＦＦに応じて、出力線には、最終段電流源６３３の１倍、２倍、４倍、・・・、３２倍の電流が加算されて出力される。すなわち、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５により、最終段電流源６３３の０～６３倍の電流値が出力線より出力される（ソース信号線１８から電流を引き込む。

【０６００】

以上のように、最終段電流源６３３の整数倍の構成により、従来のＷ／Ｌの比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

【０６０１】

ただし、この構成は、画素１６を構成する駆動用ＴＦＴ１１ａがＰチャンネルで構成され、かつ、ソースドライバＩＣ１４を構成する電流源（１単位）部６３４がＮチャンネルトランジスタで構成されている場合である。他の場合（例えば、画素１６の駆動用ＴＦＴ１１ａがＮチャンネルトランジスタで構成されている場合など）は、プログラム電流Ｉｗは吐き出し電流となる構成も実施できることはいうまでもない。）。

【０６０２】

なお、最終段電流源６３３の０～６３倍の電流が出力されるとしたが、これは最終段電流源６３３のカレントミラー倍率が１倍の時である。カレントミラー倍率が２倍の時は、最終段電流源６３３の０～１２６倍の電流が出力され、カレントミラー倍率が０．５倍の時は、最終段電流源６３３の０～３１．５倍の電流が出力される。以上のように、本発明は最終段電流源６３３あるいは、それより前段の電流源（６３１、６３２など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、Ｒ、Ｇ、Ｂごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、Ｒのみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、ＥＬ表示パネルは、各色（Ｒ、Ｇ、Ｂあるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。

【０６０３】

電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させるという事項は、固定的なものに限定されない。可変することも含まれる。可変は、電流源にカレントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたＥＬ表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。

特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第１段の電流源６３１と第２段の電流源６３２とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できる。もちろん、第２段の電流源６３２と第３段の電流源６３３とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。

【０６０４】

なお、カレントミラー倍率を変化という概念は、電流倍率を変化（調整）するということである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のＤ／Ａ回路などでも実現できる。

【０６０５】

以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

【０６０６】

図６５に、３段式カレントミラー回路による１７６出力（Ｎ×Ｍ＝１７６）の回路図の一例を示す。図６５では、第１段カレントミラー回路による電流源６３１を親電流源、第２段カレントミラー回路による電流源６３２を子電流源、第３段カレントミラー回路による電流源６３３を孫電流源と記している。最終段カレントミラー回路である第３段カレントミラー回路による電流源の整数倍の構成により、１７６出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源５３１、６３２、６３３を密集して配置するという構成を忘れてはならない。

【０６０７】

なお、密集して配置するとは、第１の電流源６３１と第２の電流源６３２とを少なくとも８ｍｍ以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、５ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差がほとんど発生しないからである。また、同様に、第２の電流源６３２と第３の電流源６３３（電流の出力側と電流の入力側）も少なくとも８ｍｍ以内の距離に配置する。さらに好ましくは、５ｍｍ以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

【０６０８】

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図６６の電圧受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ６３１（出力側）と第（Ｉ＋１）の電流源のトランジスタ６３２ａ（入力側）とを密集して配置する関係である。図６７の電流受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ６３１ａ（出力側）と第（Ｉ＋１）の電流源のトランジスタ６３２ｂ（入力側）とを密集して配置する関係である。

【０６０９】

ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。

【０６１０】

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（ＣＧＳ）、もしくはアモルファスシリコン技術を用いてソースドライバ回路にも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線１８からの出力バラツキがあっても視覚的に認識されにくい。したがって、以上のガラス基板などに画素ＴＦＴと同時にソースドライバ回路１４を形成する表示パネルでは、密集して配置するとは、第１の電流源６３１と第２の電流源６３２とを少なくとも３０ｍｍ以内の距離に配置（電流の出力側と電流の入力側）することをいう。さらには、２０ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりこ

の範囲に配置されたトランジスタの特性（Ｖｔ、モビリティ（μ））差がほとんど発生しないからである。また、同様に、第２の電流源６３２と第３の電流源６３３（電流の出力側と電流の入力側）も少なくとも３０ｍｍ以内の距離に配置する。さらに好ましくは、２０ｍｍ以内の位置に配置することが好ましい。

【０６１１】

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間は電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより。よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路（ＩＣ）１４を実現することができる。

【０６１２】

図６７は電流受け渡し構成の実施例である。なお、図６６は電圧受け渡し構成の実施例である。 図６６、図６７とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図６６において、６３１は第１段電流源用Ｎｃｈトランジスタ、６３２ａは第２段電流源用Ｎｃｈトランジスタ、６３２ｂは第２段電流源用Ｐｃｈトランジスタである。

【０６１３】

図６７において、６３１ａは第１段電流源用Ｎｃｈトランジスタ、６３２ａは第２段電流源用Ｎｃｈトランジスタ、６３２ｂは第２段電流源用Ｐｃｈトランジスタである。
図６６では、可変抵抗６５１（電流を変化するために用いるものである）とＮｃｈトランジスタ６３１で構成される第１段電流源のゲート電圧が、第２段電流源のＮｃｈトランジスタ６３２ａのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

【０６１４】

一方、図６７では、可変抵抗６５１とＮｃｈトランジスタ６３１ａで構成される第１段電流源のゲート電圧が、隣接する第２段電流源のＮｃｈトランジスタ６３２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰｃｈトランジスタ６３２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

【０６１５】

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

【０６１６】

図６６の電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮｃｈトランジスタ６３１と第２段の電流源のＮｃｈトランジスタ６３２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。

【０６１７】

それに対して、図６７の電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段電流源のＮｃｈトランジスタ６３１ａと第２段電流源のＮｃｈトランジスタ６３２ａが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第１段電流源の電流値が第２段電流源に正確に伝達され、ばらつきが生じにくい。

【０６１８】

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４）として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。
なお、説明の都合上、第１段電流源から第２段電流源の場合を示したが、第２段電流源か

ら第３段電流源、第３段電流源から第４段電流源、・・・の場合も同様であることは言うまでもない。

【０６１９】

図６８は、図６５の３段構成のカレントミラー回路（３段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図６５は電圧受け渡し方式の回路構成である）。

【０６２０】

図６８では、まず、可変抵抗６５１とＮｃｈトランジスタ６３１ａで基準電流が作成される。なお、可変抵抗６５１で基準電流を調整するように説明しているが、実際は、ソースドライバＩＣ（回路）１４内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ６３１ａのソース電圧が設定され、調整されるように構成される。もしくは、図６４に図示するような多数の電流源（１単位）６３４から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ６３１のソース端子に供給することにより基準電流は調整される（図６９を参照のこと）。

【０６２１】

トランジスタ６３１ａによる第１段電流源のゲート電圧が、隣接する第２段電流源のＮｃｈトランジスタ６３２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰｃｈトランジスタ６３２ｂに受け渡される。また、第２の電流源のトランジスタ６３１２ｂによるゲート電圧が、隣接する第３段電流源のＮｃｈトランジスタ６３３ａのゲートに印加され、その結果トランジスタに流れる電流値が、第３段電流源のＮｃｈトランジスタ６３３ｂに受け渡される。第３段電流源のＮｃｈトランジスタ６３３ｂのゲートには図６４に図示する多数の電流源６３４が必要なビット数に応じて形成（配置）される。

【０６２２】

図６９では、前記多段式カレントミラー回路の第１段電流源６３１に、電流値調整用素子が具備されていることを特徴としている。この構成により、第１段電流源６３１の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

【０６２３】

トランジスタのVtバラツキ（特性バラツキ）は、１ウェハ内で１００mV程度のばらつきがある。しかし、１００μ以内に近接して形成されたトランジスタのVtバラツキは、少なくとも、１０mV以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成するとにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、本発明のソースドライバICの各端子の出力電流バラツキを少なくすることができる。

【０６２４】

図１１０はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキ（３σ）との測定結果を示している。出力電流バラツキとは、Vt電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（１０－２００個）のトランジスタ出力電流バラツキである。図１１０のA領域（形成面積０．５平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にC領域（形成面積２．４平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積０．５平方ミリメートル以上２．４平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

【０６２５】

ただし、出力電流の絶対値は、ウェハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（ＩＣ）１４において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

【０６２６】
本発明は、入力デジタルデータ（D）により、単位トランジスタ６３４に流れる電流数を切り替えることによりソース信号線１８に流れる電流量を変化（制御）する。階調数が６４階調以上であれば、１／６４＝０．０１５であるから、理論的には、１～２％以内の出力電流バラツキ以内にする必要がある。なお、１％以内の出力バラツキは、視覚的には判別することが困難になり、０．５％以下ではほぼ判別することができない（均一に見える）。
【０６２７】
出力電流バラツキ（％）を１％以内にするためには、図１１０の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタのＶｔバラツキ）を０．５％以内にすることが好ましい。図１１０の結果に示すようにトランジスタ群６８１の形成面積を１．２平方ミリメーター以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、１．２平方ミリメートルでは、１ｍｍ×１．２ｍｍである。
【０６２８】
なお、以上は、特に８ビット（２５６階調）以上の場合である。２５６階調以下の場合、たとえば、６ビット（６４階調）の場合は、出力電流のバラツキは２％程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群６８１は、５平方ミリメートル以内に形成すればよい。また、トランジスタ群６８１（図６８では、トランジスタ群６８１ａと６８１ｂの２つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（３つ以上ある場合は、１つ以上のトランジスタ群６８１）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群６８１（６８１ａが上位で、６８１ｂが下位の関係）に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。
【０６２９】
この所定の面積範囲内に親、子、孫のトランジスタ群を形成または配置する。トランジスタ群は、８の倍数（８、１６、２４、・・・・・）で構成することが好ましい。回路構成が容易となり、配線引き回し数も低減できるからである。本発明では、Ｎ＝１６（８×２）とし、Ｍ＝１１（１７６／１６）と構成している。
【０６３０】
以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。
【０６３１】
本発明のソースドライバ回路（ＩＣ）１４は、図６８に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている（もちろん、親、子の２段接続でもよい）。また、各電流源間（トランジスタ群６８１間）を電流受け渡しにしている。具体的には、図６８の点線で囲った範囲（トランジスタ群６８１）を密配置にする。このトランジスタ群６８１は電圧受け渡しの関係にある。また、親の電流源６３１と子の電流源６３２ａとは、ソースドライバＩＣ１４チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ６３２ａと、子の電流源を構成するトランジスタ６３２ｂとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群６８１ａをＩＣチップの略中央部に配置する。そして、ＩＣチップ１４の左右に、下位のトランジスタ群６８１ｂを配置する。好ましくは、この下位のトランジスタ群６８１ｂの個数がＩＣチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ＩＣチップ１４に限定されず、低温あるいは高温ポリシリコン技術で基板７１に直接形成したソースドライバ回路１４にも適用される。他の事項も同様である。
【０６３２】
本発明では、トランジスタ群６８１ａはＩＣチップ１４の略中央部に１つ構成または配

置または形成あるいは作製されたおり、チップの左右に８個づつトランジスタ群６８１ｂが形成されている（Ｎ＝８＋８、図６３を参照のこと）。子のトランジスタ群６８１ｂはチップの左右に等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群６８１ｂの個数と、チップの右側に形成または配置されたトランジスタ群６８１ｂの個数との差が、４個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群６８１ｂの個数と、チップの右側に形成または配置されたトランジスタ群６８１ｂの個数との差が、１個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図６８では省略されているが）についても同様である。

【０６３３】

親電流源６３１と子電流源６３２ａ間は電圧受け渡し（電圧接続）されている。したがって、トランジスタのＶｔバラツキの影響を受けやすい。そのため、トランジスタ群６８１ａの部分を密配置する。このトランジスタ群６８１ａの形成面積を、図１１０の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。もちろん、階調数が６４階調以下の場合は、５平方ミリメートル以内でもよい。

【０６３４】

トランジスタ群６８１ａを子トランジスタ６３２ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群６８１ａの出力端から下位のトランジスタ６８１ｂの入力端までの距離）は、先に説明したように、第２の電流源（子）を構成するトランジスタ６３２ａと第２の電流源（子）を構成するトランジスタ６３２ｂとを、少なくとも１０ｍｍ以内の距離に配置する。このましくは８ｍｍ以内に配置または形成する。さらには、５ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群６８１ａが上位で、その下位にトランジスタ群６８１ｂ、さらにその下位にトランジスタ群６８１ｃがあれば、トランジスタ群６８１ｂとトランジスタ群６８１ｃの電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群６８１がこの関係を満足させることに、本発明が限定されるものではない。少なくとも１組のトランジスタ群６８１がこの関係を満足さえるようにすればよい。特に、下位の方が、トランジスタ群６８１の個数が多くなるからである。

【０６３５】

第３の電流源（孫）を構成するトランジスタ６３３ａと第３の電流源を構成するトランジスタ６３３ｂについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

【０６３６】

トランジスタ群６８１ｂはチップの左右方向（長手方向、つまり、出力端子７６１と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群６８１ｂはチップの左右方向（長手方向、つまり、出力端子７６１と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群６８１ｂの個数Ｍは、本発明では１１個（図６３を参照）である。

【０６３７】

子電流源６３２ｂと孫電流源６３３ａ間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群６８１ａと同様にトランジスタ群６８１ｂの部分を密配置する。このトランジスタ群６８１ｂの形成面積を、図１１０の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。ただし、このトランジスタ群６８１ｂ部分のＶｔが少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図１１０のＡ領域（０．５平方ミリメートル以内）にすることが好ましい。

【０６３８】
トランジスタ群６８１ｂを孫トランジスタ６３３ａとトランジスタ６３３ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第３の電流源（孫）を構成するトランジスタ６３３ａと第２の電流源（孫）を構成するトランジスタ６３３ｂとを、少なくとも８ｍｍ以内の距離に配置する。さらには、５ｍｍ以内に配置することが好ましい。
【０６３９】
図６９に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗６９１（電流制限および各基準電圧を作成する。抵抗６９１はポリシリで形成する）、デコーダ６９２、レベルシフタ６９３などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ６４１はアナログスイッチ回路として機能する。
【０６４０】
また、電子ボリウム回路は、ＥＬ表示パネルの色数に応じて形成（もしくは配置）する。たとえば、ＲＧＢの３原色であれば、各色に対応する３つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、１つの色を基準にする（固定する）場合は、色数－１分の電子ボリウム回路を形成（もしくは配置）する。
【０６４１】
図７６は、ＲＧＢの３原色を独立に基準電流を制御する抵抗素子６５１を形成（配置）した構成である。もちろん、抵抗素子６５１は電子ボリウムに置き換えてもよいことは言うまでもない。電流源６３１、電流源６３２などの親電流源、子電流源など基本（根本）となる電流源は図７６に図示する領域に電流出力回路７０４に密集して配置する。密集して配置することにより、各ソース信号線１８からの出力バラツキが低減する。図７６に図示するようにＩＣチップ（回路）１４の中央部に電流出力回路７０４に配置することにより、ＩＣチップ（回路）１４の左右に電流源６３１、６３２などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。
【０６４２】
電流出力回路７０４は、Ｒ、Ｇ、Ｂごとに形成（配置）し、かつ、このＲＧＢの電流出力回路７０４Ｒ、７０４Ｇ、７０４Ｂも近接して配置する。また、各色（Ｒ、Ｇ、Ｂ）ごとに、図７３に図示する低電流領域の基準電流ＩＮＬを調整し、また、図７４に図示する低電流領域の基準電流ＩＮＨを調整する（図７９も参照のこと）。したがって、Ｒの電流出力回路７０４Ｒには低電流領域の基準電流ＩＮＬを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＲＬが配置され、高電流領域の基準電流ＩＮＨを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＲＨが配置される。同様に、Ｇの電流出力回路７０４Ｇには低電流領域の基準電流ＩＮＬを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＧＬが配置され、高電流領域の基準電流ＩＮＨを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＧＨが配置される。また、Ｂの電流出力回路７０４Ｂには低電流領域の基準電流ＩＮＬを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＢＬが配置され、高電流領域の基準電流ＩＮＨを調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）６５１ＢＨが配置される。
【０６４３】
なお、ボリウム６５１などは、ＥＬ素子１５の温特を補償できるように、温度で変化するように構成することが好ましい。また、図７９のガンマ特性で、折れ曲がり点が２点以上あるときは、各色の基準電流を調整する電子ボリウムあるいは抵抗などは３個以上にしてもよいことは言うまでもない。
【０６４４】
ＩＣチップの出力端子には、出力パッド７６１が形成または配置されている。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力パッド７６１は、メッキ

技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。

【０６４５】

前記バンプと各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（SnO_2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。また、バンプとソース信号線１８とをＡＣＦ樹脂で熱圧着される。なお、バンプあるいは出力パッド７６１とソース信号線１８との接続は、以上の方式に限定するものではない。また、アレイ基板上にＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線１８などと接続しても良い。

【０６４６】

図６９において、入力された４ビットの電流値制御用データ（ＤＩ）は、４ビットデコーダ回路６９２でデコードされる（分割数が６４必要であれば、６ビットにすることは言うまでもない。ここでは説明を容易にするため、４ビットとして説明をする）。その出力はレベルシフタ回路６９３により、ロジックレベルの電圧値からアナログレベルの電圧値に昇圧され、アナログスイッチ６４１に入力される。

【０６４７】

電子ボリウム回路の主構成部は、固定抵抗Ｒ０６９１ａと１６個の単位抵抗ｒ６９１ｂで構成されている。デコーダ回路６９２の出力は、１６個のアナログスイッチ６４１のいずれかに接続されており、デコーダ回路６９２の出力により、電子ボリウムの抵抗値が定まるように構成されている。すなわち、例えば、デコーダ回路６９２の出力が４であれば、電子ボリウムの抵抗値はＲ０＋５ｒとなる。この電子ボリウムの抵抗は、第１段電流源６３１の負荷となっており、アナログ電源ＡＶｄｄにプルアップされている。したがって、この電子ボリウムの抵抗値が変化すると、第１段電流源６３１の電流値が変化し、その結果、第２段電流源６３２の電流値が変化し、その結果、第３段電流源６３３の電流値も変化して、ドライバＩＣの出力電流はコントロールされることになる。

【０６４８】

なお、説明の都合上、電流値制御用データは４ビットとしたが、これは４ビットに固定されるものではなく、ビット数が多ければ多いほど、電流値の可変数は多くなることは言うまでもない。また、多段式カレントミラーの構成を３段として説明したが、これも３段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

【０６４９】

また、温度変化により、ＥＬ素子の発光輝度が変化するという課題に対して、電子ボリウム回路の構成として、温度により抵抗値が変化する外付け抵抗６９１ａを具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示される。一般に、素子に流れる電流に応じて輝度が変化する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗６９１ａを電子ボリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度が常に一定にすることができる。

【０６５０】

なお、前記多段式カレントミラー回路が、赤（Ｒ）用、緑（Ｇ）用、青（Ｂ）用の３系統に分離することが好ましい。一般に有機ＥＬ等の電流駆動型発光素子では、Ｒ、Ｇ、Ｂで発光特性が異なる。従って、Ｒ、Ｇ、Ｂで同じ輝度にするためには、発光素子に流す電流値をＲ、Ｇ、Ｂでそれぞれ調整する必要がある。また、有機ＥＬ表示パネル等の電流駆動型発光素子では、Ｒ、Ｇ、Ｂで温度特性が異なる。従って、温度特性を補正するためのサーミスタ等の外部補助素子の特性も、Ｒ、Ｇ、Ｂでそれぞれ調整する必要がある。

【０６５１】

本発明では、前記多段式カレントミラー回路が、Ｒ用、Ｇ用、Ｂ用の３系統に分離されているので、発光特性や温度特性をＲ、Ｇ、Ｂでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。

【０６５２】

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線１８などに寄生容量があると、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐＦ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。この課題を解決するためには、ソース信号線１８に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線１８の電位レベルを画素のＴＦＴ１１ａの黒表示電流（基本的にはＴＦＴ１１ａはオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

【０６５３】

図７０に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（ＩＣ）１４の一例を示す。図７０では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図７０において、プリチャージ制御信号は、画像データＤ０～Ｄ５の上位３ビットＤ３、Ｄ４、Ｄ５がすべて０である場合をＮＯＲ回路７０２でデコードし、水平同期信号ＨＤによるリセット機能を有するドットクロックＣＬＫのカウンタ回路７０１の出力とのＡＮＤ回路７０３をとり、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、図６８などで説明した電流出力段７０４からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。この構成により、画像データが黒レベルに近い０階調目～７階調目の場合、１水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を０階調目とし、完全白表示を６３階調目とする（６４階調表示の場合）。

【０６５４】

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

【０６５５】

好ましくは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。

【０６５６】

特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調１、２の場合に画面が黒浮きして見えることである。したがって、階調データの階調０から１／８の領域の階調と、一定の範囲で選択プリチャージを行う。

【０６５７】

なお、プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０１階調目から７階調目までの画像データの時、プリチ

ャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

【０６５８】

また、全くプリチャージしない第０モード、階調０のみをプリチャージする第１モード、階調０から階調３の範囲でプリチャージする第２モード、階調０から階調７の範囲でプリチャージする第３モード、全階調の範囲でプリチャージする第４モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（ＩＣ）１４内においてロジック回路を構成（設計）することにより容易に実現できる。

【０６５９】

図７５は選択プリチャージ回路部の具体化構成図である。ＰＶはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路におり、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧が設定される。なお、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。Ｒ、Ｇ、Ｂで共通であってもよい。プリチャージ電圧は、画素１６の駆動ＴＦＴ１１ａのＶｔに相関するものであり、この画素１６はＲ、Ｇ、Ｂ画素で同一だからである。逆には、画素１６の駆動ＴＦＴ１１ａのＷ／Ｌ比などがＲ、Ｇ、Ｂで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、Ｌが大きくなれば、ＴＦＴ１１ａのダイオード特性は悪くなり、ソース－ドレイン（ＳＤ）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（Ｖｄｄ）に対して低く設定する必要がある。

【０６６０】

プリチャージ電圧ＰＶはアナログスイッチ７３１に入力されている。このアナログスイッチのＷ（チャンネル幅）はオン抵抗を低減するために、１０μｍ以上にする必要がある。しかし、あまりＷが大きいと、寄生容量も大きくなるので１００μｍ以下にする。さらに好ましくは、チャンネル幅Ｗは１５μｍ以上６０μｍ以下にすることが好ましい。以上の事項は図７５のスイッチ６４１ｂのアナログスイッチ７３１、図７３のアナログスイッチ７３１にも適用される。

【０６６１】

スイッチ６４１ａはプリチャージイネーブル（ＰＥＮ）信号、選択プリチャージ信号（ＰＳＬ）と、図７４のロジック信号の上位３ビット（Ｈ５、Ｈ４、Ｈ３）で制御される。一例としたロジック信号の上位３ビット（Ｈ５、Ｈ４、Ｈ３）の意味は、上位３ビットが“０”の時に選択プリチャージが実施されるようにしたためである。つまり、下位３ビットが“１”の時（階調０から階調７）の時を選択してプリチャージが実施されるように構成している。

【０６６２】

なお、この選択プリチャージは、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとか固定してもよいが、低階調流域（図７９の階調０から階調Ｒ１もしくは階調（Ｒ１－１））を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調０から階調Ｒ１の時はこの範囲で実施し、低階調領域が階調０から階調Ｒ２の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

【０６６３】

以上の信号の印加状態により、スイッチ６４１ａがオンオフ制御され、スイッチ６４１

ａオンの時、プリチャージ電圧ＰＶがソース信号線１８に印加される。なお、プリチャージ電圧ＰＶを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は１水平走査期間（１Ｈ）の１／１００以上１／５以下の時間に設定することが好ましい。たとえば、１Ｈが１００μｓｅｃとすれば、１μｓｅｃ以上２０μｓｅｃとする。さらに好ましくは、２μｓｅｃ以上１０μｓｅｃとする。

【０６６４】

また、プリチャージ印加時間は、Ｒ、Ｇ、Ｂで異ならせたりすることも良好な結果が得られる。たとえば、Ｒのプリチャージ時間をＧ、Ｂのプリチャージ時間よりも長くするなどである。これば、有機ＥＬなどでは、ＲＧＢの各材料で発光開始時間などが異なるからである。また、次にソース信号線１８に印加する画像データにより、プリチャージ電圧ＰＶ印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、１Ｈ前にソース信号線に画素を白表示にする電流と書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流と書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【０６６５】

また、印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素ＴＦＴ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素ＴＦＴ１１ａがＰチャンネルの時）する。

【０６６６】

プログラム電流オープン端子（ＰＯ端子）が“０”の時は、スイッチ６４１ｂがオフ状態となり、ＩＬ端子およびＩＨ端子とソース信号線１８とは切り離される（Ｉｏｕｔ端子が、ソース信号線１８と接続されている）。したがって、プログラム電流Ｉｗはソース信号線１８には流れない。ＰＯ端子はプログラム電流Ｉｗをソース信号線に印加している時は、“１”とし、スイッチ６４１ｂをオンして、プログラム電流Ｉｗをソース信号線１８に流す。

【０６６７】

ＰＯ端子に“０”を印加し、スイッチ６４１ｂをオープンにする時は、表示領域のいずれの画素行も選択されていない時である。電流源６３４は入力データ（Ｄ０～Ｄ５）に基づいて電流をたえず、ソース信号線１８から引き込んでいる。この電流が選択された画素１６のＶｄｄ端子からＴＦＴ１１ａを介してソース信号線１８に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素１６からソース信号線１８に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線１８に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【０６６８】

この状態で、ＩＯＵＴ端子がソース信号線１８に接続されていると、オンしている単位電流源６３４（実際にはオンしているのはＤ０～Ｄ５端子のデータにより制御されるスイッチ６４１であるが）に電流が流れる。そのため、ソース信号線１８の寄生容量に充電された電荷が放電し、ソース信号線１８の電位が、急激に低下する。

【０６６９】

以上のように、ソース信号線１８の電位が低下すると、本来ソース信号線１８に書き込

む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【０６７０】

この課題を解決するため、本発明は、全非選択期間に、ＰＯ端子に“０”を印加し、図７５のスイッチ６４１ｂをオフとして、ＩＯＵＴ端子とソース信号線１８とを切り離す。切り離すことにより、ソース信号線１８から電流源６３４に電流が流れ込むことはなくなるから、全非選択期間にソース信号線１８の電位変化は発生しない。以上のように、全非選択期間にＰＯ端子を制御し、ソース信号線１８から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【０６７１】

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機ＥＬパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。

【０６７２】

プリチャージ電圧ＰＶは、画素１６の駆動ＴＦＴ１１ａがＰチャンネルの場合、Ｖｄｄ（図１を参照）に近い電圧をソースドライバ回路（ＩＣ）１４から出力する必要がある。しかし、このプリチャージ電圧ＰＶがＶｄｄに近いほど、ドライバ回路（ＩＣ）１４は高耐圧プロセスの半導体を使用する必要がある（高耐圧といっても、５（Ｖ）～１０（Ｖ）であるが、しかし、５（Ｖ）耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、５（Ｖ）耐圧のプロセスを採用することにより高精細、低価格のプロセスを使用することができる）。

【０６７３】

画素１６の駆動用ＴＦＴ１１ａのダイオード特性が良好で白表示のオン電流が確保した時、５（Ｖ）以下であれば、ソースドライバＩＣ１４も５（Ｖ）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が５（Ｖ）を越えると時、問題となる。特に、プリチャージは、ＴＦＴ１１ａのソース電圧Ｖｄｄに近いプリチャージ電圧ＰＶを印加する必要があるので、ＩＣ１４から出力することができなくなる。

【０６７４】

図９２は、この課題を解決するパネル構成である。図９２では、アレイ７１側にスイッチ回路６４１を形成している。ソースドライバＩＣ１４からは、スイッチ６４１のオンオフ信号を出力する。このオンオフ信号は、アレイ７１に形成されたレベルシフト回路６９３で昇圧され、スイッチ６４１をオンオフ動作させる。なお、スイッチ６４１およびレベルシフト回路６９３が画素のＴＦＴを形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路（ＩＣ）で別途形成し、アレイ７１上に実装などしてもよい。

【０６７５】

オンオフ信号は、先に説明（図７５など）したプリチャージ条件に基づいて、ＩＣ１４の端子７６１ａから出力される。したがって、プリチャージ電圧の印加、駆動方法は図９

２の実施例においても適用できることは言うまでもない。端子７６１ａから出力される電圧（信号）は、５（Ｖ）以下と低い。この電圧（信号）がレベルシフタ回路６９３でスイッチ６４１のオンオフロジックレベルまで振幅が大きくされる。

【０６７６】

以上のように構成することにより、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧ＰＶは、動作電圧が高いアレイ基板７１で課題はなくなる。したがって、プリチャージもＶｄｄ電圧まで十分印加できるようになる。

【０６７７】

図８９のスイッチ回路６４１もソースドライバ回路（ＩＣ）１４内に形成（配置）するとなると耐圧が問題となる。たとえば、画素１６のＶｄｄ電圧が、ＩＣ１４の電源電圧よりも高い場合、ＩＣ１４の端子７６１にＩＣ１４を破壊するような電圧が印加される危険があるからである。

【０６７８】

この課題を解決する実施例が図９１の構成である。アレイ基板７１にスイッチ回路６４１を形成（配置）している。スイッチ回路６４１の構成などは図９２で説明した構成、仕様などと同一または近似である。

【０６７９】

スイッチ６４１はＩＣ１４の出力よりも先で、かつソース信号線１８の途中に配置されている。スイッチ６４１がオンすることにより、画素１６をプログラムする電流Ｉｗがソースドライバ回路（ＩＣ）１４に流れ込む。スイッチ６４１がオフすることにより、ソースドライバ回路（ＩＣ）１４はソース信号線１８から切り離される。このスイッチ６４１を制御することにより、図９０に図示する駆動方式などを実施することができる。

【０６８０】

図９２と同様に端子７６１ａから出力される電圧（信号）は、５（Ｖ）以下と低い。この電圧（信号）がレベルシフタ回路６９３でスイッチ６４１のオンオフロジックレベルまで振幅が大きくされる。

【０６８１】

以上のように構成することにより、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ６４１もアレイ７１の電源電圧で動作するため、画素１６からＶｄｄ電圧がソース信号線１８に印加されてもスイッチ６４１が破壊することはなく、また、ソースドライバ回路（ＩＣ）１４が破壊されることもない。

【０６８２】

なお、図９１のソース信号線１８の途中に配置（形成）されたスイッチ６４１とプリチャージ電圧ＰＶ印加用スイッチ６４１の双方をアレイ基板７１に形成（配置）してもよいことは言うまでもない（図９１＋図９２の構成）。

【０６８３】

以前にも説明したが、図１のように画素１６の駆動用ＴＦＴ１１ａ、選択ＴＦＴ（１１ｂ、１１ｃ）がＰチャンネルＴＦＴの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択ＴＦＴ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。

【０６８４】

しかし、反面、第１階調の完全黒表示は実現できるが、第２階調などは表示しにくいことになる。もしくは、第１階調から第２階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

【０６８５】

この課題を解決する構成が、図７１の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路７１１の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル０であっても、ある程度（数１０ｎＡ）電流が流れるようにし、黒レベルの調整にも用いることができる。

【０６８６】

基本的には、図７１は、図６４の出力段に嵩上げ回路（図７１の点線で囲まれた部分）を追加したものである。図７１は、電流値嵩上げ制御信号として３ビット（Ｋ０、Ｋ１、Ｋ２）を仮定したものであり、この３ビットの制御信号により、孫電流源の電流値の０～７倍の電流値を出力電流に加算することが可能である。

【０６８７】

以上が本発明のソースドライバ回路（ＩＣ）１４の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（ＩＣ）１４について説明をする。

【０６８８】

ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは線形の関係がある。つまり、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。電流駆動方式では、１ステップ（階調刻み）は、電流（電流源６３４（１単位））である。

【０６８９】

人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図８３の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。したがって、１ステップきざみづつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（ＩＣ）１４において）、黒表示領域が課題となる。

【０６９０】

この課題に対して、本発明は、図７９に図示するように、低階調領域（階調０（完全黒表示）から階調（Ｒ１））の電流出力の傾きを小さくし、高階調領域（階調（Ｒ１）から最大階調（Ｒ））の電流出力の傾きを大きくする。つまり、低階調領域では、１階調あたりに（１ステップ）増加する電流量と小さくする。高階調領域では、１階調あたりに（１ステップ）増加する電流量と大きくする。図７９の２つの階調領域で１ステップあたりに変化する電流量を異ならせることにより、階調特性が２乗カーブに近くなり、低階調領域での黒飛びの発生はない。以上の図７９などに図示する、階調－電流特性カーブをガンマカーブと呼ぶ。

【０６９１】

なお、以上の実施例では、低階調領域と高階調領域の２段階の電流傾きとしたが、これに限定するものではない。３段階以上であっても良いことは言うまでもない。しかし、２段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。

【０６９２】

本発明の技術的思想は、電流駆動方式のソースドライバ回路（ＩＣ）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、階調１ステップあたりの電流増加量が複数存在させることである。

【０６９３】

ＥＬなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ回路（ＩＣ）１４では、１つの電流源（１単位）６３４に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【０６９４】

ＥＬ表示パネルでは、Ｒ、Ｇ、Ｂで発光効率が異なり、また、ＮＴＳＣ基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはＲＧＢの比率を適正に調整する必要がある。調整は、ＲＧＢのそれぞれの基準電流を調整することにより行う。たとえば、Ｒの基準電流を２μＡにし、Ｇの基準電流を１．５μＡにし、Ｂの基準電流を３．５μＡにする。基準電流は、なお、本発明のドライバでは、図６７の第１段の電流源６３１のカラントミラー倍率を小さくし（たとえば、基準電流が１μＡであれば、トランジスタ６３２ｂに流れる電流を１／１００の１０ｎＡにするなど）、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

【０６９５】

図７９のガンマカーブを実現できるように、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、ＲＧＢで独立に調整できるように、ＲＧＢごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、１色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、２色（たとえば、Ｇを固定している場合は、Ｒ、Ｂ）を調整する低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備させればよい。

【０６９６】

電流駆動方式は、図８３にも図示したように、ＥＬに流す電流Ｉと輝度の関係は直線の関係がある。したがって、ＲＧＢの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。

【０６９７】

しかし、図７９のガンマカーブの場合は、少し注意が必要である。まず、ＲＧＢのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調Ｒ１）をＲＧＢで同一にする必要がある（逆に言えば、電流駆動方式では、ガンマカーブの相対的な関係をＲＧＢで同一にできるということになる）。また、低階調領域の傾きと高階調領域の傾きとの比率をＲＧＢで、一定にする必要がある（つまり、電流駆動方式では、ガンマカーブの相対的な関係をＲＧＢで同一にできるということになる）。たとえば、低階調領域で１階調あたり１０ｎＡ増加（低階調領域でのガンマカーブの傾き）し、高階調領域で１階調あたり５０ｎＡ増加（高階調領域でのガンマカーブの傾き）する（なお、高階調領域で１階調あたり電流増加量／低階調領域で１階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、５０ｎＡ／１０ｎＡ＝５である）。すると、ＲＧＢでガンマ電流比率を同一にする。つまり、ＲＧＢでは、ガンマ電流比率を同一にした状態でＥＬ素子１５に流れる電流を調整するように構成する。

【０６９８】

図８０ではそのガンマカーブの例である。図８０（ａ）では、低階調部と高階調部とも１階調あたりの電流増加が大きい。図８０（ｂ）では、低階調部と高階調部とも１階調あたりの電流増加は図８０（ａ）に比較して小さい。ただし、図８０（ａ）、図８０（ｂ）ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、ＲＧＢで同一に維持したまま調整することは、各色ごとに、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するボリウムを作製（配置）すればよいからである。

【０６９９】

図７７はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路７７２で低電流領域の基準電流源７７１Ｌと高電流領域の基準電流源７７１Ｈとのガンマ電流比率を維持したまま、電流源６３３Ｌ、６３３Ｈに流れる電流を変化させる。

【０７００】

また、図７８に図示するように、ＩＣチップ（回路）１４内に形成した温度検出回路７８１で相対的な表示パネルの温度を検出することが好ましい。有機ＥＬ素子は、ＲＧＢを

構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色ごとに配置（形成）した温度制御回路７８２にフィードバックし、電流制御回路７７２により温度補償を行う。

【０７０１】

なお、ガンマ比率は、検討により、３以上１０以下の関係にすることが適切である。さらに好ましくは、４以上８以下の関係にすることが適切である。特にガンマ電流比率は５以上７以下の関係を満足させることが好ましい。これを第１の関係と呼ぶ。

【０７０２】

また、低階調部と高階調部との変化ポイント（図７９の階調Ｒ１）は、最大階調数Ｋの１／３２以上１／４以下に設定するのが適切である（たとえば、最大階調数Ｋが６ビットの６４階調とすれば、６４／３２＝２階調番目以上、６４／４＝１６階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（図７９の階調Ｒ１）は、最大階調数Ｋの１／１６以上１／４以下に設定するのが適切である（たとえば、最大階調数Ｋが６ビットの６４階調とすれば、６４／１６＝４階調番目以上、６４／４＝１６階調番目以下にする）。さらに好ましくは、最大階調数Ｋの１／１０以上１／５以下に設定するのが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数Ｋが６ビットの６４階調とすれば、６４／１０＝６階調番目以上、６４／５＝１２階調番目以下にする）。以上の関係を第２の関係と呼ぶ。なお、以上の説明は、２つの電流領域のガンマ電流比率の関係である。しかし、以上の第２の関係は、３つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が２箇所以上ある）場合にも適用される。つまり、３つ以上の傾きに対し、任意の２つの傾きに対する関係に適用すればよい。

【０７０３】

以上の第１の関係と第２の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

【０７０４】

図８２は、本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４を１つの表示パネルに複数個用いた実施例である。本発明のソースドライバＩＣ１４は複数のドライバＩＣ１４を用いることを想定した、スレーブ／マスター（Ｓ／Ｍ）端子を具備している。Ｓ／Ｍ端子をＨレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブのＩＣ１４（１４ａ、１４ｃ）の図７３、図７４のＩＮＬ、ＩＮＨ端子に流れる電流となる。Ｓ／Ｍ端子をＬレベルにすることによりＩＣ１４はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図７３、図７４のＩＮＬ、ＩＮＨ端子に流れる電流となる。

【０７０５】

基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の２系統である。したがって、ＲＧＢの３色では、３×２で６系統となる。なお、上記の実施例では、各色２系統としたがこれに限定するものではなく、各色３系統以上であっても良い。

【０７０６】

本発明の電流駆動方式では、図８１に図示するように、折れ曲がり点（階調Ｒ１など）を変更できるように構成している。図８１（ａ）では、階調Ｒ１で低階調部と高階調部とを変化させ、図８１（ｂ）では、階調Ｒ２で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所で変化できるようにしている。

【０７０７】

具体的には、本発明では６４階調表示を実現できる。折れ曲がり点（Ｒ１）は、なし、２階調目、４階調目、８階調目、１６階調目としている。なお、完全黒表示を階調０としているため、折れ曲がり点は２、４、８、１６となるのであって、完全に黒表示の階調を

階調１とするのであれば、折れ曲がり点は、３、５、９、１７、３３となる。以上のように、折れ曲がり位置を２の倍数の箇所（もしくは、２の倍数＋１の箇所：完全黒表示を階調１とした場合）でできるように構成することにより、回路構成が容易になるという効果が発生する。

【０７０８】

図７３は低電流領域の電流源回路部の構成図である。また、図７４は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図７３に図示するように低電流源回路部は基準電流ＩＮＬが印加され、基本的にはこの電流が単位電流となり、入力データＬ０～Ｌ４により、電流源６３４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＬが流れる。

【０７０９】

また、図７４に図示するように高電流源回路部は基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＨ０～Ｌ５により、電流源６３４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＨが流れる。

【０７１０】

嵩上げ電流回路部も同様であって、図７４に図示するように基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＡＫ０～ＡＫ２により、電流源６３４が必要個数動作し、その総和として嵩上げ電流に対応する電流ＩｗＫが流れる

ソース信号線１８に流れるプログラム電流ＩｗはＩｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫである。なお、ＩｗＨとＩｗＬの比率、つまりガンマ電流比率は、先にも説明した第１の関係を満足させるようにする。

【０７１１】

なお、図７３、図７４に図示するようにオンオフスイッチ６４１は、インバータ７３２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ７３１から構成される。このようにスイッチ６４１を、インバータ７３２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ７３１から構成することにより、オン抵抗を低下することができ、電流源６３４とソース信号線１８間の電圧降下が極めて小さくすることができる。

【０７１２】

図７３の低電流回路部と図７４の高電流回路部の動作について説明をする。本発明のソースドライバ回路（ＩＣ）１４は、低電流回路部Ｌ０～Ｌ４の５ビットで構成され、高電流回路部Ｈ０～Ｈ５の６ビットで構成される。なお、回路の外部から入力されるデータはＤ０～Ｄ５の６ビット（各色６４階調）である。この６ビットデータをＬ０～Ｌ４の５ビット、高電流回路部Ｈ０～Ｈ５の６ビットに変換してソース信号線に画像データに対応するプログラム電流Ｉｗを印加する。つまり、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

【０７１３】

以上のように、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。本発明では、高電流領域の回路のビット数（Ｈ）は、入力データ（Ｄ）のビット数と同一にし、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－１としている。なお、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－２としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、ＥＬ表示パネルの画像表示に最適になる。

【０７１４】

以下、低電流領域の回路制御データ（Ｌ０～Ｌ４）と高電流領域の回路制御データ（Ｈ０～Ｈ４）との制御方法について、図８４から図８６を参照しながら説明をする。

【０７１５】

本発明は図７３の図７３のＬ４端子に接続された、電流源６３４ａの動作に特徴がある。この６３４ａは１単位の電流源となる１つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流Ｉｗの制御（オンオフ制御）が容

易になる。

【０７１６】

図８４は、低電流領域と高電流領域を階調４で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号である。なお、図８４から図８６において、階調０から１８まで図示しているが、実際は６３階調目までである。したがって、各図面において階調１８以上は省略している。また、表の“１”の時にスイッチ６４１がオンし、該当電流源６３４とソース信号線１８とが接続され、表の“０”の時にスイッチ６４１がオフするとしている。

【０７１７】

図８４において、完全黒表示の階調０の場合は、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ６４１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。

【０７１８】

階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７１９】

階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７２０】

階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つのスイッチ６４１Ｌａ、６４１Ｌｂがオンし、３つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７２１】

階調４では、（Ｌ０～Ｌ４）＝（１、１、０、０、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の３つのスイッチ６４１Ｌａ、６４１Ｌｂ、６４１Ｌｅがオンし、４つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７２２】

階調５以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、０、０、１）は変化がない。しかし、高電流領域において、階調５では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ６４１Ｈａがオンし、高電流領域の１つの単位電流源６４１がソース信号線１８と接続されている。また、階調６では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ６４１Ｈｂがオンし、高電流領域の２つの単位電流源６４１がソース信号線１８と接続される。同様に、階調７では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ６４１Ｈａスイッチ６４１Ｈｂがオンし、高電流領域の３つの単位電流源６４１がソース信号線１８と接続される。さらに、階調８では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ６４１Ｈｃがオンし、高電流領域の４つの単位電流源６４１がソース信号線１８と接続される。以後、図８４のように順次スイッチ６４１がオンオフし、プログラム電流Ｉｗがソース信号線１８に印加される。

【０７２３】

以上の動作で特徴てきなのは、折れ曲がり点（低電流領域と高電流領域の切り換わり点、正確には、プログラム電流Ｉｗとしては、高電流領域の階調の場合、低電流ＩｗＬが加算されているので、切換り点という表現は正しくない（また、嵩上げ電流ＩｗＫも加算される）。つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流Ｉｗとなっているのである。１ステップの階調

（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット（Ｌ）が変化しない点である。また、この時、図７３のＬ４端子に“１”となり、スイッチ６４１ｅがオンし、トランジスタ６３４ａに電流が流れている点である。したがって、図８４の階調４では低階調部の単位トランジスタ（電流源）６３４が４個動作している。そして、階調５では、低階調部の単位トランジスタ（電流源）６３４が４個動作し、かつ高階調部のトランジスタ（電流源）６３４が１個動作している。以後同様に、階調６では、低階調部の単位トランジスタ（電流源）６３４が４個動作し、かつ高階調部のトランジスタ（電流源）６３４が２個動作する。したがって、折れ曲がりポイントである階調５以上では、折れ曲がりポイント以下の低階調領域の電流源６３４が階調分（この場合、４個）オンし、これに加えて、順次、高階調部の電流源６３４が階調に応じた個数順次オンしていく。

【０７２４】

したがって、図７３のＬ４端子のトランジスタ６３４ａの１個は有用に作用していることがわかる。このトランジスタ６３４ａがないと、階調３の次に、高階調部のトランジスタ６３４が１個オンする動作になる。そのため、切り替わりポイントが４、８、１６というように２の乗数にならない。２の乗数は１信号にみが“１”となった状態である。したがって、２の重み付けの信号ラインが“１”となったという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができる。つまり、ＩＣチップの論理回路が簡略化し、結果としてチップ面積小さいＩＣを設計できるのである（低コスト化が可能である）。

【０７２５】

図８５は、低電流領域と高電流領域を階調８で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号の説明図である。

【０７２６】

図８５において、完全黒表示の階調０の場合は、図８４と同様であり、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ６４１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。

【０７２７】

同様に階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７２８】

階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７２９】

階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つのスイッチ６４１Ｌａ、６４１Ｌｂがオンし、３つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７３０】

以下も同様に、階調４では、（Ｌ０～Ｌ４）＝（０、０、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。また、階調５では、（Ｌ０～Ｌ４）＝（１、０、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。階調６では、（Ｌ０～Ｌ４）＝（０、１、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。また、階調７では、（Ｌ０～Ｌ４）＝（１、１、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。

【０７３１】
階調８が切り替わりポイント（折れ曲がり位置）である。階調８では、（Ｌ０～Ｌ４）＝（１、１、１、０、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の４つのスイッチ６４１Ｌａ、６４１Ｌｂ、６４１Ｌｃ、６４１Ｌｅがオンし、８つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。
【０７３２】
階調８以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、１、０、１）は変化がない。しかし、高電流領域において、階調９では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ６４１Ｈａがオンし、高電流領域の１つの単位電流源６４１がソース信号線１８と接続されている。
【０７３３】
以下、同様に、階調ステップに応じて、高電流領域のトランジスタ６３４の個数が１個ずつ増加する。つまり、階調１０では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ６４１Ｈｂがオンし、高電流領域の２つの単位電流源６４１がソース信号線１８と接続される。同様に、階調１１では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ６４１Ｈａスイッチ６４１Ｈｂがオンし、高電流領域の３つの単位電流源６４１がソース信号線１８と接続される。さらに、階調１２では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ６４１Ｈｃがオンし、高電流領域の４つの単位電流源６４１がソース信号線１８と接続される。以後、図８４のように順次スイッチ６４１がオンオフし、プログラム電流Ｉｗがソース信号線１８に印加される。
【０７３４】
図８６は、低電流領域と高電流領域を階調１６で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号の説明図である。この場合も図８４、図８５と基本的な動作は同じである。
【０７３５】
つまり、図８６において、完全黒表示の階調０の場合は、図８５と同様であり、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ６４１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。同様に階調１から階調１６までは、高階調領域の（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。つまり、低階調領域の（Ｌ０～Ｌ４）のみが変化する。
【０７３６】
つまり、階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、階調２では、（Ｌ０～Ｌ４）＝（０、０、１、０、０）である。以下階調１６まで順次カウントされる。つまり、階調１５では、（Ｌ０～Ｌ４）＝（１、１、１、１、０）であり、階調１６では、（Ｌ０～Ｌ４）＝（１、１、１、１、１）である。階調１６では、階調を示すＤ０～Ｄ５の５ビット目（Ｄ４）のみが１本オンするため、データＤ０～Ｄ５の表現している内容が１６であるということが、１データ信号線（Ｄ４）の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。
【０７３７】
階調１６が切り替わりポイント（折れ曲がり位置）である（もしくは階調１７が切り替わりポイントというべきであるかもしれないが）。階調１６では、（Ｌ０～Ｌ４）＝（１、１、１、１、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の４つのスイッチ６４１Ｌａ、６４１Ｌｂ、６４１Ｌｃ、６４１ｄ、６４１Ｌｅがオンし、１６つの単位電流源６３４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【０７３８】
階調１６以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、１、０、１）は変化がない。しかし、高電流領域において、階調１７では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ６４１Ｈａがオンし、高電流領域の１つの単位電流源６４１がソース信号線１８と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ６３４の個数が１個ずつ増加する。つまり、階調１８では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ６４１Ｈｂがオンし、高電流領域の２つの単位電流源６４１がソース信号線１８と接続される。同様に、階調１９では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ６４１Ｈａスイッチ６４１Ｈｂがオンし、高電流領域の３つの単位電流源６４１がソース信号線１８と接続される。さらに、階調２０では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ６４１Ｈｃがオンし、高電流領域の４つの単位電流源６４１がソース信号線１８と接続される。
【０７３９】
以上のように、切り替わりポイント（折れ曲がり位置）で、２の乗数の個数の電流源（１単位）６３４がオンもしくはソース信号線１８と接続（逆に、オフとなる構成も考えられる）ように構成するロジック処理などがきわめて容易になる。たとえば、図８４に図示するように折れ曲がり位置が階調４（４は２の乗数である）であれば、４個の電流源（１単位）６３４が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（１単位）６３４が加算されるように構成する。また、図８５に図示するように折れ曲がり位置が階調８（８は２の乗数である）であれば、８個の電流源（１単位）６３４が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（１単位）６３４が加算されるように構成する。本発明の構成を採用すれば、６４階調に限らず（１６階調：４０９６色、２５６階調：１６７０万色など）、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。
【０７４０】
なお、図８４、図８５、図８６で説明した実施例では、切り替わりポイントの階調が２の乗数となるとしたが、これは、完全黒階調が階調０とした場合である。階調１を完全黒表示とする場合は、＋１する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域（低電流領域、高電流領域など）を有し、その切り替わりポイントを信号入力が少なく判定（処理）できるように構成することである。その一例として、２の乗数であれば、１信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源６３４ａを付加する。
【０７４１】
したがって、負論理であれば、２、４、８・・・ではなく、階調１、３、７、１５・・・で切り替わりポイントとすればよい。また、階調０を完全黒表示としたが、これに限定するものではない。たとえば、６４階調表示であれば、階調６３を完全黒表示状態とし、階調０を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、２の乗数から処理上、異なる構成となる場合がある。
【０７４２】
また、切り替わりポイント（折れ曲がり位置）が１つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置が階調４と階調１６に設定することができる。また、階調４と階調１６と階調３２というように３ポイント以上に設定することもできる。
【０７４３】
また、以上の実施例は、階調が２の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、２の乗数の２と８（２＋８＝１０階調目、つまり、判定に要する信号線は２本）で折れ曲がり点を設定してもよい。それ以上の２の乗数の２と８と１６（２＋８＋１６＝２６階調目、つまり、判定に要する信号線は３本）で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大き

くなるが、回路構成上、十分に対応することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。

【０７４４】

図８７に図示するように、本発明のソースドライバ回路（ＩＣ）１４は３つの部分の電流出力回路７０４から構成されている。高階調領域で動作する高電流領域電流出力回路７０４ａであり、低電流領域および高階調領域で動作する低電流領域電流出力回路７０４ｂであり、嵩上げ電流を出力する電流嵩上げ電流出力回路７０４ｂである。

【０７４５】

高電流領域電流出力回路７０４ａと電流嵩上げ電流出力回路７０４ｃは高電流を出力する基準電流源７７１ａを基準電流として動作し、低電流領域電流出力回路７０４ｂは低電流を出力する基準電流源７７１ｂを基準電流として動作する。

【０７４６】

なお、先にも説明したが、電流出力回路７０４は、高電流領域電流出力回路７０４ａ、低電流領域電流出力回路７０４ｂ、電流嵩上げ電流出力回路７０４ｃの３つに限定するものではなく、高電流領域電流出力回路７０４ａと低電流領域電流出力回路７０４ｂの２つでもよく、また、３つ以上の電流出力回路７０４から構成してもよい。また、基準電流源７７１はそれぞれの電流領域電流出力回路７０４に対応して配置または形成してもよく、また、すべての電流領域電流出力回路７０４に共通にしてもよい。

【０７４７】

以上の電流出力回路７０４が階調データに対応して、内部のトランジスタ６３４が動作し、ソース信号線１８から電流を吸収する。前記とトランジスタ６３４は、１水平走査期間（１Ｈ）信号に同期して動作する。つまり、１Ｈの期間の間、該当する階調データに基づく電流を入力する（トランジスタ６３４がＮチャンネルの場合）。

【０７４８】

一方、ゲートドライバ回路１２も１Ｈ信号に同期して、基本的には１本のゲート信号線１７ａを順次選択する。つまり、１Ｈ信号に同期して、第１Ｈ期間にはゲート信号線１７ａ（１）を選択し、第２Ｈ期間にはゲート信号線１７ａ（２）を選択し、第３Ｈ期間にはゲート信号線１７ａ（３）を選択し、第４Ｈ期間にはゲート信号線１７ａ（４）を選択する。

【０７４９】

しかし、第１のゲート信号線１７ａが選択されてから、次の第２のゲート信号線１７ａが選択される期間には、どのゲート信号線１７ａも選択されない期間（非選択期間、図８８のｔ１を参照）を設ける。非選択期間は、ゲート信号線１７ａの立ち上がり期間、立下り期間が必要であり、ＴＦＴ１１ｄのオンオフ制御期間を確保するために設ける。

【０７５０】

いずれかのゲート信号線１７ａにオン電圧が印加され、画素１６のＴＦＴ１１ｂ、ＴＦＴ１１ｃがオンしていれば、Ｖｄｄ電源（アノード電圧）から駆動用ＴＦＴ１１ａを介して、ソース信号線１８にプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗがトランジスタ６３４に流れる（図８８のｔ２期間）。なお、ソース信号線１８には寄生容量Ｃが発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

【０７５１】

しかし、いずれのゲート信号線１７ａも選択されていない（非選択期間　図８８のｔ１期間）はＴＦＴ１１ａを流れる電流経路がない。トランジスタ６３４は電流を流すから、ソース信号線１８の寄生容量から電荷を吸収する。そのため、ソース信号線１８の電位が低下する（図８８のＡの部分）。ソース信号線１８の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

【０７５２】

この課題に解決するため、図８９に図示するように、ソース端子７６１との出力端にスイッチ６４１ａを形成する。また、嵩上げ電流電流出力回路７０４ｃの出力段にスイッチ

６４１ｂを形成または配置する。

【０７５３】

非選択期間ｔ１に、制御端子Ｓ１に制御信号を印加し、スイッチ６４１ａをオフ状態にする。選択期間ｔ２ではスイッチ６４１ａをオン状態（導通状態）にする。オン状態の時にはプログラム電流Ｉｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫが流れる。スイッチ６４１ａをオフにするとＩｗ電流は流れない。したがって、図９０に図示するように図８８のＡのような電位に低下（変化はない）。なお、スイッチ６４１のアナログスイッチ７３１のチャンネル幅Ｗは、１０μｍ以上１００μｍ以下にする。このアナログスイッチのＷ（チャンネル幅）はオン抵抗を低減するために、１０μｍ以上にする必要がある。しかし、あまりＷが大きいと、寄生容量も大きくなるので１００μｍ以下にする。さらに好ましくは、チャンネル幅Ｗは１５μｍ以上６０μｍ以下にすることが好ましい。

【０７５４】

スイッチ６４１ｂは低階調表示のみに制御するスイッチである。低階調表示（黒表示）時は、画素１６のＴＦＴ１１ａのゲート電位はＶｄｄに近くする必要がある（したがって、黒表示では、ソース信号線１８の電位はＶｄｄ近くにする必要がある）。また、黒表示では、プログラム電流Ｉｗが小さく、図８８のＡように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

【０７５５】

そのため、低階調表示の場合は、非選択期間ｔ１が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流Ｉｗが大きいため、非選択期間ｔ１が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ６４１ａ、スイッチ６４１ｂの両方をオンさせておく。また、嵩上げ電流ＩｗＫも切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ６４１ａをオンさせておき、スイッチ６４１ｂはオフするというように駆動する。スイッチ６４１ｂは端子Ｓ２で制御する。

【０７５６】

もちろん、低階調表示および高階調表示の両方で、非選択期間ｔ１にスイッチ６４１ａをオフ（非導通状態）、スイッチ６４１ｂはオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間ｔ１にスイッチ６４１ａ、スイッチ６４１ｂの両方をオフ（非導通）させた駆動を実施してもよい。

【０７５７】

いずれにしても、制御端子Ｓ１、Ｓ２の制御でスイッチ６４１を制御できる。なお、制御端子Ｓ１、Ｓ２はコマンド制御で制御する。

【０７５８】

たとえば、制御端子Ｓ２は非選択期間ｔ１をオーバーラップするようにｔ３期間を“０”ロジックレベルとする。このように制御にすることにより、図８８のＡの状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子Ｓ１を“０”ロジックレベルとする。すると、嵩上げ電流ＩｗＫは停止し、より黒表示を実現できる。

【０７５９】

以上の実施例は、表示パネルに１つのソースドライバＩＣ１４を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバＩＣ１４を１つの表示パネルに複数積載する構成でもよい。たとえば、図９３は３つのソースドライバＩＣ１４を積載した表示パネルの実施例である。

【０７６０】

本発明のソースドライバＩＣ１４は、図７３、図７４、図７６、図７７などでも説明したように、少なくとも低階調領域の基準電流と、高階調領域の基準電流の２系統を具備する。このことは、図８２でも説明をした。

【０７６１】

図８２でも説明したように、本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４

は複数のドライバＩＣ１４を用いることを想定した、スレーブ／マスター（Ｓ／Ｍ）端子を具備している。Ｓ／Ｍ端子をＨレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。もちろん、Ｓ／Ｍ端子のロジックは逆極性でもよい。また、ソースドライバＩＣ１４へのコマンドにより切り替えても良い。基準電流は可スケート電流接続線９３１で伝達される。Ｓ／Ｍ端子をＬレベルにすることによりＩＣ１４はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図７３、図７４のＩＮＬ、ＩＮＨ端子に流れる電流となる。

【０７６２】

基準電流はＩＣチップ１４の中央部（真中部分）の電流出力回路７０４で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいはＩＣ内部に配置あるいは構成された電流きざみ方式の電子ボリウムにより、基準電流が調整されて印加される。

なお、ＩＣチップ１４の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子７６１までの距離を極力短くするためである。

【０７６３】

図９３の構成では、マスターチップ１４ｂより基準電流が２つのスレーブチップ（１４ａ、１４ｃ）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ１４ｂがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（図６７を参照のこと）。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

【０７６４】

図９４は基準電流の受け渡し端子位置を概念的に図示している。ＩＣチップの中央部に配置されて信号入力端子９４１ｉに基準電流信号線９３２が接続されている。この基準電流信号線９３２に印加される電流（なお、電圧の場合もある。図７６を参照のこと）は、ＥＬ材料の温特補償がされている。また、ＥＬ材料の寿命劣化による補償がされている。

【０７６５】

基準電流信号線９３２に印加された電流（電圧）に基づき、チップ１４内で各電流源（６３１、６３２、６３３、６３４）を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子９４１ｏから出力される。端子９４１ｏは基準電流発生回路７０４の左右に少なくとも１個以上配置（形成）される。図９４では、左右に２個づつ配置（形成）されている。この基準電流が、カスケード信号線９３１ａ１、９３１ａ２、９３１ｂ１、９３１ｂ２でスレーブチップ１４に伝達される。なお、スレーブチップ１４ａに印加された基準電流を、マスターチップ１４ｂにフィードバックし、ずれ量を補正するように回路を構成してもよい。

【０７６６】

以上に説明した本発明の電流出力方式（液晶表示パネルのソースドライバは電圧出力方式（信号は電圧のステップ）である）では、基準電流を元にし、この基準電流に比例した単位電流を複数組み合わせてプログラム電流Ｉｗを出力するものである。したがって、基準電流をチップ間でバラツキがなく精度よく作成できることが重要である。

【０７６７】

図１４４はその実施例である。図６８では、抵抗６５１で基準電流を作成している。図１４４は、図６８の抵抗６５１をトランジスタ６３１ａで置き換え、このトランジスタ６３１ａとカレントミラー回路を形成するトランジスタ１４４４に流れる電流をオペアンプ７２２など用いて制御するものである。トランジスタ１４４４とトランジスタ６３１ａとはカレントミラー回路を形成する。カレントミラー倍率が１であれば、トランジスタ１４４３を流れる電流が基準電流となる。なお、図１４４などで記載する７０４とはプログラム電流Ｉｗの発生回路というべきものである。

【０７６８】
オペアンプ７２２の出力電圧はＮチャンネルトランジスタ１４４３に入力され、トランジスタ１４４３に流れる電流が外付け抵抗６９１に流れる。なお、抵抗６９１ａは固定チップ抵抗である。基本的には、抵抗６９１ａのみでよい。抵抗６９１ｂはポジスタあるいはサーミスタなどの温度に対して抵抗値が変化する抵抗素子である。この抵抗６９１ａはＥＬ素子１５の温特を補償するために用いる。抵抗６９１ａは、ＥＬ素子１５の温特にあわせて（補償するために）、抵抗６９１ｂと並列あるいは直列に挿入あるいは配置する。なお、以後は説明を容易にするため、抵抗６９１ａと抵抗６９１ｂは１つの抵抗６９１とみなして説明を行う。

【０７６９】
抵抗６９１は、チップ抵抗である。そのため、１％以上の精度のものが容易に入手できる。抵抗をＩＣ内に拡散抵抗技術あるいはポリシリパターンを用いて構成すると抵抗値精度が非常に悪い。したがって、基準電流を決定する元となる抵抗６９１は精度のよい外付け抵抗とすることが好ましい。チップ抵抗６９１は入力端子７６１ａに取り付ける。特にＥＬ表示パネルでは、ＲＧＢごとにＥＬ素子１５の温特が異なる。したがって、ＲＧＢごとの３つの外付け抵抗６９１が必要となる。

【０７７０】
抵抗６９１の端子電圧はオペアンプ７２２の－入力となり、この－端子の電圧とオペアンプ７２２の＋端子とは同一電圧となる。したがって、オペアンプ７２２の＋入力電圧がＶ１とすれば、この電圧と抵抗６９１で割ったものがトランジスタ１４４４に流れる電流となる。この電流が基準電流となる。

【０７７１】
今、抵抗６９１の抵抗値が１００ＫΩとし、オペアンプ７２２の＋端子の入力電圧がＶ１＝１（Ｖ）であれば、抵抗６９１には１（Ｖ）／１００ＫΩ＝１０（μＡ）の基準電流が流れる。基準電流の大きさは、２μＡ以上３０μＡ以下に設定することが好ましい。さらに好ましくは、５μＡ以上２０μＡ以下に設定することが好ましい。親トランジスタ６３に流す基準電流が小さいと、単位電流源６３４の精度が悪くなる。基準電流が大きすぎると、ＩＣ内部で変換するカレントミラー倍率（この場合は低減方向）が大きくなり、カレントミラー回路でのバラツキが大きくなり、先と同様に単位電流源６３４の精度が悪くなる。

【０７７２】
以上の構成によれば、オペアンプ７２２の＋入力端子の精度が良好かつ抵抗値精度６９１が良好であれば、極めて精度のよい基準電流（大きさ、バラツキ精度）を形成できる。オペアンプ７２２の＋端子には、基準電圧回路１４４１からの基準電圧Ｖrefを印加する。基準電圧を出力する基準電圧回路１４４１のＩＣはマキシム社などから多数の品種が販売されている。また、基準電圧Ｖrefはソースドライバ回路１４内に形成することもできる（基準電圧Ｖrefの内蔵）。基準電圧Ｖrefの範囲は１（Ｖ）以上３（Ｖ）以下とすることが好ましい。

【０７７３】
基準電圧は接続端子７６１ａから入力する。基本的には、このＶref電圧をオペアンプ７２２の＋端子に入力すればよい。接続端子７６１ａを＋端子間に電子ボリウム回路５６１が配置されているのは、ＥＬ素子１５はＲＧＢで発光効率が異なるためである。つまり、ＲＧＢの各ＥＬ素子１５に流す電流と調整し、ホワイトバランスを取るためである。もちろん、抵抗６９１で調整できる場合は、電子ボリウム５６１での調整は必要でない。電子ボリウム５６１の活用としては、ＥＬ素子１５がＲＧＢで劣化速度が異なることにより再度のホワイトバランス調整である。ＥＬ素子１５は特に、Ｂが劣化しやすい。そのため、ＥＬ表示パネルを使用していると長年の間にＢのＥＬ素子１５が暗くなり、画面がイエロー色になる。この場合にＢ用の電子ボリウム５６１を調整してホワイトバランスを実施する。もちろん、電子ボリウム５６１を温度センサ７８１（図７８およびその説明を参照のこと）と連動させて、ＥＬ素子の輝度補償あるいはホワイトバランス補償を実施しても

よい。

【０７７４】

電子ボリウム５６１はＩＣ（回路）１４内に内蔵させる（基板７１に直接に形成する）。ポリシリコンをパターニングすることにより単位抵抗（Ｒ１、Ｒ２、Ｒ３、Ｒ４、・・・・・Ｒｎ）を複数個形成し、直列に接続する。また、各単位抵抗間にアナログスイッチ（Ｓ１、Ｓ２、Ｓ２、・・・・・・Ｓｎ＋１）を配置し、基準電圧Ｖrefを分圧して電圧を出力する。

【０７７５】

図１４４において、トランジスタ１４４３はバイポーラトランジスタとして図示しているが、これに限定するものではない。図１４５（ａ）はトランジスタ１４４３をＦＥＴとした実施例である。また、トランジスタ１４４３はＩＣ内１４に内蔵させる必要はなく、ＩＣ外部に配置してもよいことは言うまでもない。また、ゲートドライバ回路１２内に電源などの発生回路を内蔵させ、また、トランジスタ１４４３も内蔵させてもよい。

【０７７６】

また、図１４４のように基準電圧回路１４４１の替わりに図１４５（ｂ）に図示するように、ツェナーダイオード１４５１と抵抗６９１で基準電圧Ｖrefを発生させてもよい。もちろん、図１４５（ｂ）に図示するようにオペアンプ７２２を用いなくともよい。ツェナーダイオード１４５１は、基準電圧の可変タイプを採用してもよい。

【０７７７】

ＥＬ表示パネルの画素数が多い場合は、複数のソースドライバＩＣ（回路）１４を１つのＥＬ表示パネルに積載する必要がある。この場合は、基準電圧を複数のソースドライバＩＣで共通となるように用いる必要がある。単純には、１つの基準電圧回路１４４１からの基準電圧Ｖrefを使用する複数のソースドライバＩＣ１４に入力すればよい。問題となるのは、図１４４の電子ボリウム５６１を走査し、オペアンプ７２２に入力される基準電圧が変化した場合である。以降説明を容易にするため、オペアンプの＋端子に入力される電圧を調整基準電圧Ｖrsと呼ぶことにする。Ｖrsは基準電圧ＶrefをＩＣ１４内部で使用する電圧に調整した電圧である。

【０７７８】

以上のように、本発明は、電流出力の（ソース）ドライバ回路（ＩＣ）において、基準電圧を内部で発生または、外部より入力し、この基準電圧より基準電流を発生させ、この基準電流を対応する複数の単位電流源６３４を構成し、外部からの映像（画像）データ信号により、出力（吸収）する電流を前記単位電流源６３４の個数を切り替えることにより変化させるものである。

【０７７９】

調整基準電圧Ｖrsを使用した場合は、この調整基準電圧Ｖrsを他のソースドライバ１４で使用する必要がある。図１４６はその実施例である。基準電圧回路１４４１からの基準電圧Ｖrefは電子ボリウム回路５６１ａで電圧調整され、調整基準電圧Ｖrsとなる。この調整基準電圧Ｖrsはバッファ回路１４６２に入力される。バッファ回路１４６２を配置するのは、調整基準電圧出力配線１４５３に他のソースドライバ１４が接続されることによるＶrs電圧の変動を抑制するためである。バッファ回路１４６２の出力Ｖrsはオペアンプ７２２の＋端子に印加されるとともに、調整基準電圧出力配線１４６３に印加される。

【０７８０】

調整基準電圧出力配線１４６３は調整基準電圧出力端子１４７１に接続されている。調整基準電圧出力端子１４７１には配線１４６１が接続され、この配線１４６１を介して他のソースドライバ回路１４に調整基準電圧Ｖrsが供給される。

【０７８１】

図１４６では、端子７６１ｂとトランジスタ１４４３のエミッタ端子間に電子ボリウム５６１ｂが形成または配置されている。この電子ボリウム５６１ｂも構成は電子ボリウム５６１ａと同一である。ただし、電子ボリウム５６１ｂは抵抗値の大きさにより基準電流の大きさを変更する。つまり、電子ボリウム５６１ｂは、内部のスイッチをオンオフさせ

ることにより、直列抵抗の個数を変化させる。電子ボリウム５６１ｂの抵抗値＋抵抗６９１と、Ｖrs電圧により、基準電流の大きさが変化する。電子ボリウム５６１ｂの最大抵抗は、抵抗６９１の抵抗の１／５以下にする。電子ボリウム５６１ｂの抵抗値のバラツキは、基準電流のバラツキとなってしまうからである。主として電子ボリウム５６１ｂは、ＥＬ素子１５の温特補償に用いる。

【０７８２】

ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、図８３に図示するように、電流Ｉと輝度Ｂとが線形の関係がある。また、本発明は、１つの基準電流から単位電流源６３４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位電流源６３４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路１４が電流きざみ出力（電流駆動）であることの大きな特徴である。したがって、いかに、ＲＧＢの基準電流の大きさを設定できるかがポイントとなる。

【０７８３】

ＥＬ素子の発光効率は、ＥＬ材料の蒸着あるいは塗布する膜厚で決定される（支配的である）。膜厚は、ロットごとにほぼ一定である。したがって、ＥＬ素子１５の形成膜厚をロット管理すれば、ＥＬ素子１５に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。たとえば、ＲのＥＬ素子１５に流す電流をＩr（Ａ）、ＧのＥＬ素子１５に流す電流をＩg（Ａ）、ＢのＥＬ素子１５に流す電流をＩb（Ａ）とすれば、Ｉr：Ｉg：Ｉb＝１：２：４の時に、ホワイトバランスが取れることがわかる。したがって、この電流が流れるように、固定抵抗６９１の値を決定する。Ｒ回路の抵抗６９１ＲをＲr（Ω）、Ｇ回路の抵抗６９１ＧをＲg（Ω）、Ｂ回路の抵抗６９１ＢをＲb（Ω）とし、調整基準電圧ＶrsがＲＧＢで共通であれば、Ｒr：Ｒg：Ｒb＝４：２：１となるように、抵抗値６９１の値を設定すればよい。このように設定するだけで、本発明のＥＬ表示パネルは全階調にわたって、ホワイトバランスがとれる。この点は、非常に有効な効果である。

【０７８４】

以上に説明した構成を図１４７に図示する。１つの基準電圧回路１４４１からの基準電圧Ｖrefは端子７６１ａおりソースドライバ回路１４に入力される。この電圧は必要に応じて、各ＲＧＢの電子ボリウム回路５６１ａ（５６１Ｒａ、５６１Ｇａ、５６１Ｂａ）で電圧調整され、調整基準電圧Ｖrs（Ｒ回路はＶrsＲ、Ｇ回路はＶrsＧ、Ｂ回路はＶrsＢ）が各ＲＧＢのオペアンプ７２２に入力される。

【０７８５】

Ｒ回路の調整基準電圧ＶrsＲは、他のソースドライバ回路１４とカスケード接続するために、調整基準電圧出力端子１４７１Ｒに接続される。また、Ｇ回路の調整基準電圧ＶrsＧも同様に、他のソースドライバ回路１４とカスケード接続するために、調整基準電圧出力端子１４７１Ｇに接続される。また、Ｂ回路の調整基準電圧ＶrsＢも、他のソースドライバ回路１４とカスケード接続するために、調整基準電圧出力端子１４７１Ｂに接続される。他の点に関して、図１４６と同様であるので説明を省略する。

【０７８６】

図１４７の実施例では、ＲＧＢごとに調整基準電圧（ＶrsＲ、ＶrsＧ、ＶrsＢ）を端子１４７１から出力するとしたが、これに限定するものではない。ＲＧＢごとに電子ボリウム回路５６１ａ（５６１Ｒａ、５６１Ｇａ、５６１Ｂａ）で調整が必要でないと時（たとえば、ＲＧＢごとに配置または形成された固定抵抗６９１でホワイトバランス調整、温特補償などができる時など）は、ＲＧＢごとの調整基準電圧Ｖrsの出力は必要でない。また、外部からの基準電圧Ｖrefをそのまま使用できる（オペアンプ７２２の＋端子入力がＶrefとする場合など）場合は、ＲＧＢごとの電子ボリウム回路５６１ａ（５６１Ｒａ、５６１Ｇａ、５６１Ｂａ）も必要でないことは言うまでもない。

【０７８７】
ソースドライバ回路（ＩＣ）１４は基準電圧Ｖrefを使用するか、カスケード接続のために、調整基準電圧Ｖrsを使用するかを切り替える必要がある。図１４８は基準電圧切り替えスイッチ１４８２を内蔵した本発明のソースドライバ回路（ＩＣ）１４の実施例である。
【０７８８】
基準電圧Ｖrefを使用するか、調整基準電圧Ｖrsを使用するかを設定するために、本発明ではスイッチ１４８２の切り替え端子（図示せず）をＩＣ端子として設けており、この端子へのロジック電圧によりスイッチ１４８２を切り替えることができる。これは、ＩＣ１４のマスター／スレーブの切り替えスイッチとしても用いていることになる。マスター／スレーブ機能に関しては図８２、図９３、図９４などでも説明しているので説明を省略する。
【０７８９】
基準電圧切り替えスイッチ１４８２は、ＩＣ１４内部の電子ボリウム回路５６１の出力電圧Ｖ２をオペアンプ７２２の入力とするか、端子１４８３に印加された外部からの基準電圧Ｖ１をオペアンプ７２２の入力するかと切り替える。Ｖ２電圧をオペアンプ７２２の入力とする場合は、このＩＣ（回路）１４はマスターモードで使用していることになる。この場合は、Ｖ２電圧は端子１４７１から出力され、端子１４７１に接続された配線１４６１に、スレーブとなるソースドライバＩＣ（回路）１４の調整基準電圧入力端子１４８３が接続されることになる。なお、先にも述べたが、マスター／スレーブの区別なしに複数個のソースドライバ回路（ＩＣ）１４が１つの基準電圧回路１４４１からの基準電圧Ｖrefを入力として動作する時は、切り替えスイッチ１４８２は不要である。基準電圧ＶrefまたはＩＣ内部で発生する調整基準電圧Ｖrsが各ＩＣのオペアンプ７２２の＋端子入力となるからである。また、他の事項については、先に説明しているので説明を省略する。
【０７９０】
図１４８で重要な事項として、調整基準電圧入力端子１４８３が２個具備している点である。ＩＣ１４内部で、端子１４８３ａと１４８３ｂとが接続されている。この点については図１５０で説明をする。
【０７９１】
図１４９は、複数のソースドライバ回路（ＩＣ）１４を実装した状態を概念的に図示している。図面は、基板７１の裏面から透視して観察した状態である（ＩＣ１４の裏面から観察している）。なお、ベースアノード配線９５１、共通アノード配線９６２などに関する事項は、図９７、図９９、図１０３などで説明しているので、説明を省略する。以上の事項は、図１５０、図１５１についても同様である。
【０７９２】
図１４９では、端子１４７１、１４８３をＩＣ１４チップの中央部に配置し、かつ、ソース信号線１８の形成方向に平行になる（ＩＣチップの短辺方向に平行になる）ように配置（形成）している。以上のように、形成するのは、端子に接続される配線１４６１が交差しないようにするためである。
【０７９３】
ＩＣ１４ａには基準電圧回路１４４１から配線９９２により端子７６１ａに基準電圧Ｖrefが印加されている。したがって、ＩＣ１４ａがマスターとして動作する。ＩＣ内の切り替えスイッチ１４８２はＶ２電圧の入力状態とされている（図１４８を参照）ＩＣ１４ａに隣接して実装されたＩＣ１４ｂ、１４ｃはスレーブとして動作する。ＩＣ１４ｂ、ＩＣ１４ｃの切り替えスイッチ１４８２はＶ１電圧入力状態とされている（図１４８を参照のこと）。
【０７９４】
図１４９において、ＩＣ１４ａからの調整電圧Ｖrsは各ＲＧＢの調整基準電圧出力端子１４７１（１４７１Ｒ、１４７１Ｇ、１４７１Ｂ）から出力され、配線１４６１または１４８１を介して、ＩＣ１４ｂ、ＩＣ１４ｃの調整電圧入力端子１４８３（１４８３Ｒ、１

４８３Ｇ、１４８３Ｂ）に入力される。この電圧がＶ２電圧となる。

【０７９５】

図１４９のように、各ＲＧＢの端子１４７１、１４８３を配置すれば、各ＲＧＢに配線１４８１、１４６１が交錯することがない。したがって、配線レイアウトが容易になる。また、配線１４７１、１４８１は基準電流が流れるだけであるので、映像信号線のような電位変化が全くない。したがって、ベースアノード線９５１と同様に遮光パターンとしても利用できる。つまり、ＩＣ１４の裏面に配置しても、ノイズなどが発生してＩＣ１４には影響を与えることはない。この効果に関しては、図１０３などで説明した事項において、ベースアノード線９５１を配線１４７１（１４８１）に置き換えることによりそのまま適用できるので説明を省略する。

【０７９６】

図１５０は、図１４８で説明した調整基準電圧入力端子１４８３を複数個形成した効果の説明図である。図１５０では、図１４９と異なり、端子１４７１、１４８３をＩＣチップ１４のエッジに形成している。つまり、ＩＣの映像信号入力端子、制御端子と同一辺に並べられて形成または配置されている。

【０７９７】

ＩＣ１４ａには基準電圧回路１４４１からの基準電圧Ｖrefは配線９９２により端子７６１ａに印加されている。したがって、ＩＣ１４ａがマスターとして動作する。ＩＣ内の切り替えスイッチ１４８２はＶ２電圧の入力状態とされている（図１４８を参照）ＩＣ１４ａに隣接して実装されたＩＣ１４ｂ、１４ｃはスレーブとして動作する。ＩＣ１４ｂ、ＩＣ１４ｃの切り替えスイッチ１４８２はＶ１電圧入力状態とされている（図１４８を参照のこと）。

【０７９８】

図１５０において、ＩＣ１４ａからの調整電圧Ｖrsは調整基準電圧出力端子１４７１から出力される。なお、図１４８には図示していないが、調整基準電圧出力端子１４７１は基準電圧入力端子７６１ａの左右に１つずつ形成されている（１４７１ａ、１４７１ｂ）。調整基準電圧Ｖrsは配線１４６１または１４８１を介して、ＩＣ１４ｂ、ＩＣ１４ｃの調整電圧入力端子１４８３（１４８３ａ、１４８３ｂ）に入力される。この電圧がＶ２電圧となる。

【０７９９】

調整基準電圧入力端子１４８３ａと１４８３ｂ間は図１４８にも図示するように電気的に接続されている。したがって、ＩＣ１４ａの端子１４７１ａから出力された電圧ＶrsはＩＣ１４ｂの端子１４８３ｂに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３ａに出力される。また、端子１４８３ａは他の隣接して実装されたＩＣ１４に端子１４８３に入力される。同様に、ＩＣ１４ａの端子１４７１ｂから出力された電圧ＶrsはＩＣ１４ｃの端子１４８３ａに印加され、この電圧ＶrsがＩＣ１６ｃ内を介して端子１４８３ｂに出力される。また、端子１４８３ｂは他の隣接して実装されたＩＣ１４に端子１４８３に入力される。以上のように端子１４８３、１４７１を配置または接続することにより、カスケードにＩＣを接続することできる。

【０８００】

図１５０のように、端子１４７１、１４８３を配置し、また、配線１４８１、１４６１をＩＣの裏面に形成すれば、配線１４８１、１４６１が交錯することがない。したがって、配線レイアウトが容易になる。また、図１４９と同様に配線１４７１、１４８１は基準電流が流れるだけであるので、映像信号線のような電位変化が全くない。したがって、ベースアノード線９５１と同様に遮光パターンとしても利用できる。つまり、ＩＣ１４の裏面に配置しても、ノイズなどが発生してＩＣ１４には影響を与えることはない。この効果に関しては、図１０３などで説明した事項において、ベースアノード線９５１を配線１４７１（１４８１）に置き換えることによりそのまま適用できるので説明を省略する。

【０８０１】

図１５０は説明を容易にするため、ＥＬ表示装置が単色であるように図示した。ＥＬ表

示装置は、ＲＧＢの３色で構成される。したがって、端子１４７１、１４８３は各ＲＧＢで必要である。図１５１は、各ＲＧＢで端子１４７１、１４８３を配置した構成図である。

【０８０２】

ＩＣ１４ａはマスターとして動作し、ＩＣ１４ａには基準電圧回路１４４１からの基準電圧Ｖrefは端子７６１ａに印加されている。基準電圧入力端子７６１ａの左右には、調整基準電圧出力端子１４７１が配置されている。各ＲＧＢの調整基準電圧出力端子１４７１は、基準電圧入力端子７６１ａを中心に線対称の位置に配置されている。つまり、入力端子７６１ａの左右の端子は１４７１Ｒａ、１４７１Ｒｂであり、その外側に１４７１Ｇａ、１４７１Ｇｂが配置されている。さらにその外側に１４７１Ｂａ、１４７１Ｂｂが配置されている。端子１４７１ＲａとＲｂはＩＣ１４ａ内部で接続されている。同様に端子１４７１ＧａとＧｂもＩＣ１４ａ内部で接続されている。また、端子１４７１ＢａとＢｂもＩＣ１４ａ内部で接続されている。

【０８０３】

ＩＣ１４ｂはスレーブとして動作し、ＩＣ１４ｂにはＩＣ１４ａからの調整基準電圧Ｖrsが入力される。基準電圧入力端子７６１ａの左右には、調整基準電圧入力端子１４８３が配置されている。各ＲＧＢの調整基準電圧入力端子１４８３は、基準電圧入力端子７６１ａを中心に線対称の位置に配置されている。つまり、入力端子７６１ａの左右の端子は１４８３Ｒａ、１４８３Ｒｂであり、その外側に１４８３Ｇａ、１４８３Ｇｂが配置されている。さらにその外側に１４８３Ｂａ、１４８３Ｂｂが配置されている。端子１４８３ＲａとＲｂはＩＣ１４ａ内部で接続されている。同様に、端子１４８３ＧａとＧｂもＩＣ１４ａ内部で接続されている。また、端子１４８３ＢａとＢｂもＩＣ１４ａ内部で接続されている（図１４８を参照のこと）。

【０８０４】

ＩＣ１４ａの端子１４７１Ｂｂから出力された電圧ＶrsはＩＣ１４ｂの端子１４８３Ｂａに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３Ｂｂに出力される。また、端子１４８３Ｂｂは他の隣接して実装されたＩＣ１４に端子１４８３に入力される。ＩＣ１４ａの端子１４７１Ｇｂから出力された電圧ＶrsはＩＣ１４ｂの端子１４８３Ｇａに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３Ｇｂに出力される。また、端子１４８３Ｇｂは他の隣接して実装されたＩＣ１４に端子１４８３に入力される。同様に、ＩＣ１４ａの端子１４７１Ｒｂから出力された電圧ＶrsはＩＣ１４ｂの端子１４８３Ｒａに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３Ｒｂに出力される。また、端子１４８３Ｒｂは他の隣接して実装されたＩＣ１４に端子１４８３に入力される。以上のように端子１４８３、１４７１を配置または接続することにより、カスケードにＩＣを容易に接続することできる。

【０８０５】

図１５１のように、端子１４７１、１４８３を配置し、また、配線１４８１、１４６１をＩＣの裏面に形成すれば、配線１４８１、１４６１が交錯することがない。したがって、配線レイアウトが容易になる。また、図１４９と同様に配線１４７１、１４８１は基準電流が流れるだけであるので、映像信号線のような電位変化が全くない。したがって、ベースアノード線９５１と同様に遮光パターンとしても利用できる。つまり、ＩＣ１４の裏面に配置しても、ノイズなどが発生してＩＣ１４には影響を与えることはない。この効果に関しては、図１０３などで説明した事項において、ベースアノード線９５１を配線１４７１（１４８１）に置き換えることによりそのまま適用できるので説明を省略する。

【０８０６】

図７３、図７４、図７９、図８０、図８１などにおいて、ガンマ電流比率について説明をした。図７３の低階調部の単位電流源６３４に流れる電流と、図７４の高階調部の単位電流源６３４に流れる電流の比率である。高階調部の基準電流はＩＮＨとし、低階調部の基準電流をＩＮＬとして、この比率（ガンマ電流比率）が所定の範囲となるように設定することが好ましい、一方で基準電流は、基本となる電流であるから、極力１つの電流とし

、調整を少なくすることが好ましい（高階調部の基準電流はＩＮＨとし、低階調部の基準電流をＩＮＬとすれば、各ＲＧＢで２つの基準電流の調整が必要となる）。

【０８０７】

図１５２は各ＲＧＢで基準電流Ｉｂを１つにした構成である。図１５２の上の回路は、高階調用の電流源であり、下は低階調用の電流源である（正確には、高階調部では、低階調の電流源の電流も流れている）。図１５２の左部は、図１４６、図１４８の回路構成である。

【０８０８】

トランジスタ１４４３には元となる基準電流Ｉｂが流れる。高階調用の親トランジスタ６３１ａＨには並列に倍率可変用のトランジスタ１５２２が少なくとも１個以上形成または配置されている。低階調用の親トランジスタ６３１ａＬには、そのまま、トランジスタ１４４４とカレントミラー回路を構成している。したがって、高階調用のカレントミラー回路は、トランジスタ１４４４とトランジスタ１５２２＋トランジスタ６３１ａＨで構成される。トランジスタ１５２２には直列に倍率可変スイッチ１５２１が形成または配置されている。スイッチ１５２１は、アナログスイッチなどが例示される。

【０８０９】

スイッチ１５２１をオンオフ制御することにより、トランジスタ６３１ｂＨに流れる電流を変更することができる。スイッチ１５２１ｂをオンすると、トランジスタ１５２２が２個＋トランジスタ６３１ａＨに流れる電流が、トランジスタ６３１ｂＨに流れる。スイッチ１５２１ａをオンすると、トランジスタ１５２２が１個＋トランジスタ６３１ａＨに流れる電流が、トランジスタ６３１ｂＨに流れる。スイッチ１５２１ａと１５２１ｂを同時にオンすると、トランジスタ１５２２が３個＋トランジスタ６３１ａＨに流れる電流が、トランジスタ６３１ｂＨに流れる。スイッチ１５２１はＩＣ１４へのコマンドにより切り替える。以上のようにスイッチ１５２１の制御により、ガンマ電流比率を変更することができる。また、基準となる電流はＩｂのみとなるのでホワイトバランスの調整は非常に容易になる。他の、構成は、図６８、図１４６、図１４８、図７３、図７４、図７９、図８０、図８１などで説明しているので説明を省略する。

【０８１０】

有機ＥＬ表示パネルをモジュール化する際、問題となる事項に、アノード配線９５１、カソード配線の引き回し（配置）の抵抗値の課題がある。有機ＥＬ表示パネルは、ＥＬ素子１５の駆動電圧が比較的低いかわりに、ＥＬ素子１５に流れる電流が大きい。そのため、ＥＬ素子１５に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、２インチクラスのＥＬ表示パネルでも高分子ＥＬ材料では、２００ｍＡ以上の電流をアノード配線９５１に流す必要がある。そのため、アノード配線９５１の電圧降下を防止するため、アノード配線は１Ω以下の低抵抗化する必要がある。しかし、アレイ基板７１では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、２００ｍＡの電流をほとんど電圧降下なしで伝達するためには、配線幅が２ｍｍ以上となるという課題があった。

【０８１１】

図１０５は従来のＥＬ表示パネルの構成である。表示領域５０の左右に内蔵ゲートドライバ１２ａ、１２ｂが形成（配置）されている。また、ソースドライバ回路１４ｐも画素１６のＴＦＴと同一プロセスで形成されている（内蔵ソースドライバ回路）。

【０８１２】

アノード配線９５１はパネルの右側に配置されている。アノード配線９５１にはＶｄｄ電圧が印加されている。アノード配線９５１幅は一例として２ｍｍ以上である。アノード配線９５１は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、ＱＣＩＦパネルでは、１７６列×ＲＧＢ＝５２８本である。一方、ソース信号線１８は内蔵ソースドライバ１４ｐから出力されている。ソース信号線１８は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ１２の電源配線１０５１も画面の左右に配置されている。

【０８１３】
したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図１０５の構成では、狭額縁化が困難である。
【０８１４】
この課題を解決するため、本発明の表示パネルでは、図１０６に図示するように、アノード配線９５１はソースドライバＩＣ１４の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（ＩＣ）１４は半導体チップで形成（作製）し、ＣＯＧ（チップオンガラス）技術で基板７１に実装している。ソースドライバＩＣ１４化にアノード配線９５１を配置（形成）できるのは、チップ１４の裏面に基板に垂直方向に１０μｍ～３０μｍの空間があるからである。図１０５のように、ソースドライバ回路１４ｐをアレイ基板７１に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ回路１４ｐの下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）９５１を形成することは困難である。
【０８１５】
また、図１０６に図示するように、共通アノード線９６２を形成し、ベースアノード線９５１と共通アノード線９６２とを接続アノード線９６１で短絡させている。特に、ＩＣチップの中央部の接続アノード線９６１を形成した点がポイントである。接続アノード線９６１を形成することにより、ベースアノード線９５１と共通アノード線９６２間の電位差がなくなる。また、アノード配線９５２を共通アノード線９６２から分岐している点がポイントである。以上の構成を採用することにより、図１０５のようにアノード配線９５１の引き回しがなくなり、狭額縁化を実現できる。
【０８１６】
共通アノード線９６２が長さ２０ｍｍとし、配線幅が１５０μｍとし、配線のシート抵抗を０．０５Ω／□とすれば、抵抗値は２００００（μｍ）／１５０（μｍ）×０．０５Ω＝約７Ωになる。共通アノード線９６２の両端を接続アノード線９６１ｃでベースアノード線９５１と接続すれば、共通アノード線９６２には両側給電されるから、見かけ上の抵抗値は、７Ω／２＝３．５Ωとなり、また、集中分布乗数に置きなおすと、さらに、見かけ上の共通アノード線９６２の抵抗値は１／２となるから、少なくとも２Ω以下となる。アノード電流が１００ｍＡであっても、この共通アノード線９６２での電圧降下は、０．２Ｖ以下となる。さらに、中央部の接続アノード線９６１ｂで短絡すれば電圧降下は、ほとんど発生しないようにすることができるのである。
【０８１７】
本発明はベースアノード線９５１をＩＣ１４下に形成すること、共通アノード線９６２を形成し、この共通アノード線９６２とベースアノード線９５１とを電気的に接続すること（接続アノード線９６１）、共通アノード線９６２からアノード配線９５２を分岐させることである。なお、アノード線はカソード線に置き換えることができる。
【０８１８】
また、アノード線（ベースアノード線９５１、共通アノード線９６２、接続アノード線９６１、アノード配線９５２など）を低抵抗化するため、薄膜の配線を形成後、あるいはパターニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を積層し厚膜化してもよい。厚膜化することにより、配線の断面積が広くなり、低抵抗化することができる。以上の事項はカソードに関しても同様である。また、ゲート信号線１７、ソース信号線１８にも適用することができる。
【０８１９】
したがって、共通アノード線９６２を形成し、この共通アノード線９６２を接続アノード線９６１で両側給電を行う構成の効果は高く、また、中央部に接続アノード線９６１ｂ（９６１ｃ）を形成することによりさらに効果が高くなる。また、ベースアノード線９５１、共通アノード線９６２、接続アノード線９６１でループを構成しているため、ＩＣ１４に入力される電界を抑制することができる。

【０８２０】
共通アノード線９６２とベースアノード線９５１は同一金属材料で形成し、また、接続アノード線９６１も同一金属材料で形成することが好ましい。また、これらのアノード線は、アレイを形成する最も抵抗値の低い金属材料あるいは構成で実現する。一般的に、ソース信号線１８の金属材料および構成（ＳＤレイヤ）で実現する。共通アノード線９６２とソース信号線１８とが交差する箇所は、同一材料で形成することはできない。したがって、交差する箇所は他の金属材料（ゲート信号線１７と同一材料および構成、ＧＥレイヤ）で形成し、絶縁膜で電気的に絶縁する。もちろん、アノード線は、ソース信号線１８の構成材料からなる薄膜と、ゲート信号線１７の構成材料からなる薄膜とを積層して構成してもよい。

【０８２１】
なお、ソースドライバＩＣ１４の裏面にアノード配線（カソード配線）などのＥＬ素子１５に電流を供給する配線を敷設する（配置する、形成する）としたが、これに限定するものではない。たとえば、ゲートドライバ回路１２をＩＣチップで形成し、このＩＣをＣＯＧ実装してもよい。このゲートドライバＩＣ１２の裏面にアノード配線、カソード配線を配置（形成）する。以上のように本発明は、ＥＬ表示装置などにおいて、駆動ＩＣを半導体チップで形成（作製）し、このＩＣをアレイ基板７１などの基板に直接実装し、かつ、ＩＣチップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成（作製）するものである。

【０８２２】
以上の事項を他の図面を使用しながらさらに詳しく説明をする。図９５は本発明の表示パネルの一部の説明図である。図９５において、点線がＩＣチップ１４を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）がＩＣチップ１４の裏面かつアレイ基板７１上に形成（配置）されている。なお、本発明の実施例において、ＩＣチップ（１２、１４）の裏面に分岐前のアノード配線９５１を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線９５１のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲートドライバ回路１２の電源配線１０５１を配置または形成してもよい。

【０８２３】
ＩＣチップ１４はＣＯＧ技術により電流出力（電流入力）端子７４１とアレイ７１に形成された接続端子９５３とが接続される。接続端子９５３はソース信号線１８の一端に形成されている。また、接続端子９５３は９５３ａと９５３ｂというように千鳥配置である。なお、ソース信号線の一端には接続端子９５３が形成され、他の端にもチェック用の端子電極が形成されている。

【０８２４】
また、本発明ではＩＣチップは電流駆動方式のドライバＩＣ（電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図４３、図５３などの電圧プログラムの画素を駆動する電圧駆動方式のドライバＩＣを積載したＥＬ表示パネル（装置）などにも適用することができる。

【０８２５】
接続端子９５３ａと９５３ｂ間にはアノード配線９５２（分岐後のアノード配線）が配置される。つまり、太く、低抵抗のベースアノード線９５１から分岐されたアノード配線９５２が接続端子９５３間に形成され、画素１６列に沿って配置されている。したがって、アノード配線９５２とソース信号線１８とは平行に形成（配置）される。以上のように構成（形成）することにより、図１０５のようにベースアノード線９５１を画面横に引き回すことなく、各画素にＶｄｄ電圧を供給できる。

【０８２６】
図９６はさらに、具体的に図示している。図９５との差異は、アノード配線を接続端子９５３間に配置せず、別途形成した共通アノード線９６２から分岐させた点である。共通アノード線９６２とベースアノード線９５１とは接続アノード線９６１で接続している。

【０８２７】
図９６はＩＣチップ１４を透視して裏面の様子を図示したように記載している。ＩＣチップ１４は出力端子７６１にプログラム電流Ｉｗを出力する電流出力回路７０４が配置されている。基本的に、出力端子７６１と電流出力回路７０４は規則正しく配置されている。ＩＣチップ１４の中央部には親電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、ＩＣチップの中央部には出力端子７６１が形成されていない（電流出力回路７０４がＩＣチップの中央部に形成できないからである）。
【０８２８】
本発明では、図９６の中央部７０４ａ部には出力端子７６１をＩＣチップに作製していない（出力回路がないからである。なお、ソースドライバなどのＩＣチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い）。本発明のＩＣチップはこの点に着眼し、ＩＣチップの中央部に出力端子７６１を形成（配置）せず（ソースドライバなどのＩＣチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子（パッド）が形成されているのが一般的である）、この位置に共通アノード線９６１を形成している（ただし、共通アノード線９６１はアレイ基板７１面に形成されている）。接続アノード線９６１の幅は、５０μｍ以上１０００μｍ以下にする。また、長さに対する抵抗（最大抵抗）値は、１００Ω以下になるようにする。
【０８２９】
接続アノード線９６１でベースアノード線９５１と共通アノード線９６２とをショートすることにより、共通アノード線９６２に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線９６１はＩＣチップの中央部に出力回路がない点を有効に利用しているのである。また、従来、ＩＣチップの中央部にダミーパッドとして形成されている出力端子７６１を削除することにより、このダミーパッドと接続アノード線９６１が接触することによる、ＩＣチップが電気的に影響をあたえることを防止している。ただし、このダミーパッドがＩＣチップのベース基板（チップのグランド）、他の構成と電気的に絶縁されている場合は、ダミーパッドが接続アノード線９６１と接触しても全く問題がない。したがって、ダミーパッドをＩＣチップの中央部に形成したままでもよいことは言うまでもない。
【０８３０】
さらに具体的には、図９９のように接続アノード線９６１、共通アノード線９６２は形成（配置）されている。まず、接続アノード線９６１は太い部分（９６１ａ）と細い部分（９６１ｂ）がある。太い部分（９６１ａ）は抵抗値を低減するためである。細い部分（９６１ｂ）は、出力端子９６３間に接続アノード線９６１ｂを形成し、共通アノード線９６２と接続するためである。
【０８３１】
また、ベースアノード線９５１と共通アノード線９６２との接続は、中央部の接続アノード線９６１ｂだけでなく、左右の接続アノード線９６１ｃでもショートしている。したがって、共通アノード線９６２とベースアノード線９５１とは３本の接続アノード線９６１でショートされている。したがって、共通アノード線９６２に大きな電流が流れても共通アノード線９６２で電圧降下が発生しにくい。これは、ＩＣチップ１４は通常、幅が２ｍｍ以上あり、このＩＣ１４下に形成されたベースアノード線９５１の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線９５１と共通アノード線９６２とを複数箇所で接続アノード線９６１によりショートしているため、共通アノード線９６２の電圧降下は小さくなるのである。
【０８３２】
以上のように共通アノード線９６２での電圧降下を小さくできるのは、ＩＣチップ１４下にベースアノード線９５１を配置（形成）できる点、ＩＣチップ１４の左右の位置を用いて、接続アノード線９６１ｃを配置（形成）できる点、ＩＣチップ１４の中央部に接続アノード線９６１ｂを配置（形成）できる点にある。

【０８３３】
また、図９９では、ベースアノード線９５１とカソード電源線（ベースカソード線）９９１とを絶縁膜１０２を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源パスコンデンサとして機能する。したがって、ベースアノード線９５１の急激な電流変化を吸収することができる。コンデンサの容量は、ＥＬ表示装置の表示面積をＳ平方ミリメートルとし、コンデンサの容量をＣ（ｐＦ）としたとき、Ｍ／２００　≦　Ｃ　≦　Ｍ／１０以下の関係を満足させることがよい。さらには、Ｍ／１００　≦　Ｃ　≦　Ｍ／２０以下の関係を満足させることがよい。Ｃが小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

【０８３４】
なお、図９９などの実施例では、ＩＣチップ１４下にベースアノード線９５１を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図９９において、ベースカソード線９９１とベースアノード線９５１とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板７１もしくはフレキシブル基板に実装し、半導体チップの下面にＥＬ素子１５などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

【０８３５】
したがって、半導体チップは、ソースドライバ１４に限定されるものではなく、ゲートドライバ１２でもよく、また、電源ＩＣでもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面にＥＬ素子１５などの電源あるいはグランドパターンを配線（形成）する構成も含まれる。もちろん、ソースドライバＩＣ１４とゲートドライバＩＣ１２の両方を、半導体チップで構成し、基板７１にＣＯＧ実装を起こっても良い。そして、前記チップの下面に電源あるいはグランドパターンを形成してもよい。また、ＥＬ素子１５への電源あるいはグラントパターンとしたがこれに限定するものではなく、ソースドライバ１４への電源配線、ゲートドライバ１２への電源配線でもよい。また、ＥＬ表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、ＦＥＤ、ＰＤＰなど表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

【０８３６】
図９７は本発明の他の実施例である。主な図９５、図９６、図９９との差異は図９５が出力端子９５３間にアノード配線９５２を配置したのに対し、図９７では、ベースアノード配線９５１から多数（複数）の細い接続アノード線９６１ｄを分岐させ、この接続アノード線９６１ｄを共通アノード線９６２とをショートした点である。また、細い接続アノード線９６１ｄと接続端子９５３と接続されたソース信号線１８とを絶縁膜１０２を介して積層した点である。

【０８３７】
アノード線９６１ｄはベースアノード線９５１とコンタクトホール９７１ａで接続を取り、アノード配線９５２は共通アノード線９６２とコンタクトホール９７１ｂで接続を取っている。他の点（接続アノード線９６１ａ、９６１ｂ、９６１ｃ、アノードコンデンサ構成など）などは図９６、図９９と同様であるので説明を省略する。

【０８３８】
図９９のａａ‘線での断面図を図９８に図示する。図９８（ａ）では、略同一幅のソース信号線１８を接続アノード線９６１ｄが絶縁膜１０２ａを介して積層されている。絶縁膜１０２ａの膜厚は、５００オングストローム以上３０００オングストローム（Å）以下にする。さらに好ましくは、８００オングストローム以上２０００オングストローム（Å）以下にする。膜厚が薄いと、接続アノード線９６１ｄとソース信号線１８との寄生容量が大きくなり、また、接続アノード線９６１ｄとソース信号線１８との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長く

なりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜１０２は、ポリビフェーニールアルコール（ＰＶＡ）樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO_2、SiN_xなどの無機材料が例示される。その他、Al_2O_3、Ta_2O_3などであってもよいことは言うまでもない。また、図９８（ａ）に図示するように、最表面には絶縁膜１０２ｂを形成し、配線９６１などの腐食、機械的損傷を防止させる。

【０８３９】

図９８（ｂ）では、ソース信号線１８の上にソース信号線１８よりも線幅の狭い接続アノード線９６１ｄが絶縁膜１０２ａを介して積層されている。以上のように構成することにより、ソース信号線１８の段差によるソース信号線１８と接続アノード線９６１ｄとのショートを抑制することができる。図９８（ｂ）の構成では、接続アノード線９６１ｄの線幅は、ソース信号線１８の線幅よりも０．５μｍ以上狭くすることが好ましい。さらには、接続アノード線９６１ｄの線幅は、ソース信号線１８の線幅よりも０．８μｍ以上狭くすることが好ましい。

【０８４０】

図９８（ｂ）では、ソース信号線１８の上にソース信号線１８よりも線幅の狭い接続アノード線９６１ｄが絶縁膜１０２ａを介して積層されているとしたが、図９８（ｃ）に図示するように、接続アノード線９６１ｄの上に接続アノード信号線９６１ｄよりも線幅の狭いソース信号線１８が絶縁膜１０２ａを介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

【０８４１】

図１００はＩＣチップ１４部の断面図である。基本的には図９９の構成を基準にしているが、図９６、図９７などでも同様に適用できる。もしくは類似に適用できる。

【０８４２】

図１００（ｂ）は図９９のＡＡ‘での断面図である。図１００（ｂ）でも明らかなように、ＩＣチップの１４の中央部には出力パッド７６１が形成（配置）されていない。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力パッド７６１は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。もちろん、金メッキ技術（電解、無電解）により突起を形成してもよいことは言うまでもない。

【０８４３】

前記突起と各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（SnO_2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層（接続樹脂）１００１は、転写等の技術でバンプ上に形成する。または、突起とソース信号線１８とをＡＣＦ樹脂１００１で熱圧着される。なお、突起あるいは出力パッド７６１とソース信号線１８との接続は、以上の方式に限定するものではない。また、アレイ基板上にＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線１８などと接続しても良い。図１００（ａ）はソース信号線１８と共通アノード線９６２とが重なっている部分の断面図である（図９８を参照のこと）。

【０８４４】

共通アノード線９６２からアノード配線９５２が分岐されている。アノード配線９５２はＱＣＩＦパネルの場合は、１７６×ＲＧＢ＝５２８本である。アノード配線９５２を介して、図１などで図示するＶｄｄ電圧（アノード電圧）が供給される。１本のアノード配線９５２には、ＥＬ素子１５が低分子材料の場合は、最大で２００μＡ程度の電流が流れる。したがって、共通アノード配線９６２には、２００μＡ×５２８で約１００ｍＡの電流が流れる。

【０８４５】

したがって、共通アノード配線９６２での電圧降下を０．２（Ｖ）以内にするには、電

流が流れる最大経路の抵抗値が２Ω（１００ｍＡ流れるとして）以下にする必要がある。本発明では、図９９に示すように３箇所に接続アノード線９６１を形成しているので、集中分布回路におきなおすと、共通アノード線９６２の抵抗値は容易に極めて小さく設計することができる。また、図９７のように多数の接続アノード線９６１ｄを形成すれば、共通アノード線９６２での電圧降下は、ほぼなくなる。

【０８４６】

問題となるのは、共通アノード線９６２とソース信号線１８との重なり部分における寄生容量（共通アノード寄生容量と呼ぶ）の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線１８に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

【０８４７】

共通アノード寄生容量は、少なくとも１ソース信号線１８が表示領域内で発生する寄生容量（表示寄生容量と呼ぶ）の１／１０以下にする必要がある。たとえば、表示寄生容量が１０（ｐＦ）であれば、１（ｐＦ）以下にする必要がある。さらに好ましくは、（表示寄生容量と呼ぶ）の１／２０以下にする必要がある。表示寄生容量が１０（ｐＦ）であれば、０．５（ｐＦ）以下にする必要がある。この点を考慮して、共通アノード線９６２の線幅（図１０３のＭ）、絶縁膜１０２の膜厚（図１０１を参照）を決定する。

【０８４８】

ベースアノード線９５１はＩＣチップ１４の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでのない。その他、ベースアノード配線９５１は遮光の機能を持たせることが好ましい。この説明図を図１０２に図示している。なお、ベースアノード配線９５１を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線９５１が太くできない時、あるいは、ＩＴＯなどの透明材料で形成するときは、ベースアノード線９５１に積層して、あるいは多層に、光吸収膜あるいは光反射膜をＩＣチップ１４下（基本的にはアレイ７１の表面）に形成する。また、図１０２の遮光膜（ベースアノード線９５１）は、完全な遮光膜であることを必要としない。部分に開口部があってもよく。また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線９５１に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

【０８４９】

もちろん、アレイ基板７１とＩＣチップ１４との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板７１とＩＣチップ１４との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線９５１を遮光膜（反射膜）にするとして説明をする。

【０８５０】

図１０２のように、ベースアノード線９５１はアレイ基板７１の表面（なお、表面に限定するものではない。遮光膜／反射膜とするという思想を満足させるためには、ＩＣチップ１４の裏面に光が入射しなければよいのである。したがって、基板７１の内面あるいは内層にベースアノード線９５１などを形成してもよいことは言うまでもない。また、基板７１の裏面にベースアノード線９５１（反射膜、光吸収膜として機能する構成または構造）を形成することにより、ＩＣ１４に光が入射することを防止または抑制できるのであれば、アレイ基板７１の裏面でもよい。

【０８５１】

また、図１０２などでは、遮光膜などはアレイ基板７１に形成するとしたがこれに限定

するものではなく、ＩＣチップ１４の裏面に直接に遮光膜などを形成してもよい。この場合は、ＩＣチップ１４の裏面に絶縁膜１０２（図示せず）を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路１４がアレイ基板７１に直接に形成する構成（低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成）の場合は、遮光膜、光吸収膜あるいは反射膜を基板７１に形成し、その上にドライバ回路１４を形成（配置）すればよい。

【０８５２】

ＩＣチップ１４には電流源６３４など、微少電流を流すトランジスタ素子が多く形成されている（図１０２の回路形成部１０２１）。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流（プログラム電流Ｉｗ）、親電流量、子電流量などが異常な値（バラツキが発生するなど）となる。特に、有機ＥＬなどの自発光素子は、基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示領域５０以外の箇所から強い光が放射される。この放射された光が、ＩＣチップ１４の回路形成部１０２１に入射するとホトコンダクタ現象を発生する。したがって、ホトコンダクタ現象の対策は、ＥＬ表示デバイスに特有の対策である。

【０８５３】

この課題に対して、本発明では、ベースアノード線９５１を基板７１上に構成し、遮光膜する。ベースアノード線９５１の形成領域は図１０２に図示するように、回路形成部１０２１を被覆するようにする。以上のように、遮光膜（ベースアノード線９５１）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線９５１などのＥＬ電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、１Ｈタイミングで少しずつ変化するため、ほど、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線９５１あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

【０８５４】

有機ＥＬなどの自発光素子は、基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示領域５０以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図１０１に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜１０１１を形成する（逆に有効領域とは、表示領域５０をその近傍）。光吸収膜を形成する箇所は、封止フタ８５の外面（光吸収膜１０１１ａ）、封止フタ８５の内面（光吸収膜１０１１ｃ）、基板７０の側面（光吸収膜１０１１ｄ）、基板の画像表示領域以外（光吸収膜１０１１ｂ）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることにより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

【０８５５】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭｎO_3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【０８５６】

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な１種、もしくはそれらのうち２種類以上の組み合わせでも良い。

【０８５７】
また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。
【０８５８】
なお、封止フタ８５は、４μｍ以上１５μｍ以下の樹脂ビーズ１０１２を含有させた封止樹脂１０３１を用いて、基板７１と封止フタ８５とを接着する。フタ８５は加圧せずに配置し、固定する。
【０８５９】
図９９の実施例は、共通アノード線９６２をＩＣチップ１４の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図１０３に図示するように、表示領域５０の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線１８とアノード配線９５２とが短距離で、かつ平行して配置（形成）する部分が減少するからである。ソース信号線１８とアノード配線９５２とが短距離で、かつ平行に配置されると、ソース信号線１８とアノード配線９５２間に寄生容量が発生するからである。図１０３のように、表示領域５０の近傍に共通アノード線９６２を配置するとその問題点はなくなる。画面表示領域５０から共通アノード線９６２の距離Ｋ（図１０３を参照）は、１ｍｍ以下にすることが好ましい。
【０８６０】
共通アノード線９６２は、極力低抵抗化するため、ソース信号線１８を形成する金属材料で形成することが好ましい。本発明では、Cu薄膜、Ａｌ薄膜あるいはＴｉ／Ａｌ／Ｔｉの積層構造、あるいは合金もしくはアマルガムからなる金属材料（ＳＤメタル）で形成している。したがって、ソース信号線１８と共通アノード線９６２が交差する箇所はショートすることを防止するため、ゲート信号線１７を構成する金属材料（ＧＥメタル）に置き換える。ゲート信号線は、Ｍｏ／Ｗの積層構造からなる金属材料で形成している。
【０８６１】
一般的に、ゲート信号線１７のシート抵抗は、ソース信号線１８のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機ＥＬ表示パネルにおいて、かつ電流駆動方式では、ソース信号線１８を流れる電流は１～５μＡと微少である。したがって、ソース信号線１８の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線１８に画像データを書き込む。したがって、ソース信号線１８の抵抗値が高いと画像を１水平走査期間に書き込むことができない。
【０８６２】
しかし、本発明の電流駆動方式では、ソース信号線１８の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線１８のシート抵抗は、ゲート信号線１７のシート抵抗より高くともよい。したがって、本発明のＥＬ表示パネルにおいて（概念的には、電流駆動方式の表示パネルあるいは表示装置において）、図１０４に図示するように、ソース信号線１８をＧＥメタルで作製（形成）し、ゲート信号線１７をＳＤメタルで作製（形成）してもよい（液晶表示パネルと逆）。
【０８６３】
図１０７は、図９９、図１０３の構成に加えて、ゲートドライバ回路１２を駆動する電源配線１０５１を配置した構成である。電源配線１０５１はパネルの表示領域５０の右端→下辺→表示領域５０の左端に引き回している。つまり、ゲートドライバ１２ａと１２ｂの電源とは同一になっている。
【０８６４】
しかし、ゲート信号線１７ａを選択するゲートドライバ回路１２ａ（ゲート信号線１７ａはＴＦＴ１１ｂ、ＴＦＴ１１ｃを制御する）と、ゲート信号線１７ｂを選択するゲートドライバ回路１２ｂ（ゲート信号線１７ｂはＴＦＴ１１ｄを制御し、ＥＬ素子１５に流れ

る電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線１７ａの振幅（オン電圧－オフ電圧）は小さいことが好ましい。ゲート信号線１７ａの振幅が小さくなるほど、画素１６のコンデンサ１９への突き抜け電圧が減少するからである（図１などを参照）。一方、ゲート信号線１７ｂはＥＬ素子１５を制御する必要があるため、振幅は小さくできない。

【０８６５】

したがって、図１０８に図示するように、ゲートドライバ１２ａの印加電圧はＶｈａ（ゲート信号線１７ａのオフ電圧）と、Ｖｌａ（ゲート信号線１７ａのオン電圧）とし、ゲートドライバ１２ａの印加電圧はＶｈｂ（ゲート信号線１７ｂのオフ電圧）と、Ｖｌａ（ゲート信号線１７ｂのオン電圧）とする。Ｖｌａ＜Ｖｌｂなる関係とする。なお、ＶｈａとＶｈｂとは、略一致させてもよい。

【０８６６】

ゲートドライバ回路１２は、通常、ＮチャンネルトランジスタとＰチャンネルトランジスタで構成するが、Ｐチャンネルトランジスタのみで形成することが好ましい。アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図１、図２などに例示したように、画素１６を構成するＴＦＴをＰチャンネルトランジスタとするとともに、ゲートドライバ回路１２もＰチャンネルトランジスタで形成あるいは構成する。ＮチャンネルトランジスタとＰチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は１０枚となるが、Ｐチャンネルトランジスタのみで形成すると必要なマスク数は５枚になる。

【０８６７】

しかし、Ｐチャンネルトランジスタのみでゲートドライバ回路１２などを構成すると、レベルシフタ回路をアレイ基板７１に形成できない。レベルシフタ回路はＮチャンネルトランジスタとＰチャンネルトランジスタで構成するからである。

【０８６８】

この課題に対して、本発明では、レベルシフタ回路機能を、電源ＩＣ１０９１に内蔵させている。図１０９はその実施例である。電源ＩＣ１０９１はゲートドライバ回路１２の駆動電圧、ＥＬ素子１５のアノード、カソード電圧、ソースドライバ回路１４の駆動電圧を発生させる。

【０８６９】

電源ＩＣ１０９１はゲートドライバ回路１２のＥＬ素子１５のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路１２の駆動する信号電圧までレベルシフトすることができる。

【０８７０】

したがって、レベルシフトおよびゲートドライバ回路１２の駆動は図１０９の構成で実施する。入力データ（画像データ、コマンド、制御データ）９９２はソースドライバＩＣ１４に入力される。入力データにはゲートドライバ回路１２の制御データも含まれる。ソースドライバＩＣ１４は耐圧（動作電圧）が５（Ｖ）である。一方、ゲートドライバ回路１２は動作電圧が１５（Ｖ）である。ソースドライバ回路１４から出力されるゲートドライバ回路１２に出力される信号は、５（Ｖ）から１５（Ｖ）にレベルシフトする必要がある。このレベルシフトを電源回路（ＩＣ）１０９１で行う。図１０９ではゲートドライバ回路１２を制御するデータ信号も電源ＩＣ制御信号１０９２としている。

【０８７１】

電源回路１０９１は入力されたゲートドライバ回路１２を制御するデータ信号１０９２を内蔵するレベルシフタ回路でレベルシフトし、ゲートドライバ回路制御信号１０９３として出力し、ゲートドライバ回路１２を制御する。

【０８７２】

以下、基板７１に内蔵するゲートドライバ回路１２をＰチャンネルのトランジスタのみで構成した本発明のゲートドライバ１２について説明をする。先にも説明したように、画素１６とゲートドライバ回路１２とをＰチャンネルトランジスタのみで形成する（つまり

、基板７１に形成するトランジスタはすべてＰチャンネルトランジスタである。反対に言えば、Ｎチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Ｐチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、Ｖｔ電圧の低減化（より０（Ｖ）に近くするなど）、Ｖｔバラツキの減少を、ＣＭＯＳ構造（ＰチャンネルとＮチャンネルトランジスタを用いる構成）よりも容易に実施できる。

【０８７３】

一例として、図１０６に図示するように、本発明は、表示領域５０の左右に１相（シフトレジスタ）づつ、ゲートドライバ回路１２を配置または形成あるいは構成している。ゲートドライバ回路１２など（画素１６のトランジスタも含む）は、プロセス温度が４５０度（摂氏）以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（ＣＧＳ）成長させた半導体膜を用いてＴＦＴなどを形成したものを用いてもよい。その他、有機ＴＦＴで形成してもよい。また、アモルファスシリコン技術で形成あるいは構成したＴＦＴであってもよい。

【０８７４】

１つは選択側のゲートドライバ回路１２ａである。ゲート信号線１７ａにオンオフ電圧を印加し、画素ＴＦＴ１１を制御する。他方のゲートドライバ回路１２ｂは、ＥＬ素子１５に流す電流を制御（オンオフさせる）する。本発明の実施例では、主として図１の画素構成を例示して説明をするがこれに限定するものではない。図５０、図５１、図５４などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ回路１２の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

【０８７５】

なお、以下に説明するゲートドライバ１２構成あるいは配置形態は、有機ＥＬ表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁遊動表示パネルなどにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路１２の構成あるいは方式を採用してもよい。また、ゲートドライバ回路１２を２相用いる場合は、１相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の１方の端子に接続してもよい。この方式は、独立ＣＣ駆動と呼ばれるものである。また、図１１１、図１１３などで説明する構成は、ゲートドライバ回路１２だけでなく,ソースドライバ回路１４のシフトレジスタ回路などにも採用することができることは言うまでもない。

【０８７６】

本発明のゲートドライバ回路１２は、先に説明した図６、図１３、図１６、図２０、図２２、図２４、図２６、図２７、図２８、図２９、図３４、図３７、図４０、図４１、図４８、図８２、図９１、図９２、図９３、図１０３、図１０４、図１０５、図１０６、図１０７、図１０８、図１０９などのゲートドライバ回路１２として実施あるいは採用することが好ましい。

【０８７７】

図１１１は、本発明のゲートドライバ回路１２のブロック図である。説明を容易にするため、４段分しか図示していないが、基本的には、ゲート信号線１７数に対応する単位ゲート出力回路１１１１が形成または配置される。

【０８７８】

図１１１に図示するように、本発明のゲートドライバ回路１２（１２ａ、１２ｂ）では、４つのクロック端子（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）と、１つのスタート端子（データ信号（ＳＳＴＡ））、シフト方向を上下反転制御する２つの反転端子（ＤＩＲＡ、ＤＩＲＢ、これらは、逆相の信号を印加する）の信号端子から構成される。また、

電源端子としてＬ電源端子（ＶＢＢ）と、Ｈ電源端子（Ｖｄ）などから構成される。

【０８７９】

なお、本発明のゲートドライバ回路１２は、すべてＰチャンネルのＴＦＴ（トランジスタ）で構成しているため、レベルシフタ回路（低電圧のロジック信号を高電圧のロジック信号に変換する回路）をゲートドライバ回路に内蔵することができない。そのため、図１０９などに図示した電源回路（ＩＣ）１０９１内にレベルシフタ回路を配置または形成している。電源回路（ＩＣ）１０９１は、ゲートドライバ回路１２からゲート信号線１７に出力するオン電圧（画素１６ＴＦＴの選択電圧）、オフ電圧（画素１６ＴＦＴの非選択電圧）に必要な電位の電圧を作成する。そのため、電源ＩＣ（回路）１０９１の使用する半導体の耐圧プロセスは、十分な耐圧がある。したがって、電源ＩＣ１０９１でロジック信号をレベルシフト（ＬＳ）すると都合がよい。したがって、コントローラ（図示せず）から出力されるゲートドライバ回路１２の制御信号は、電源ＩＣ１０９１に入力し、レベルシフトしてから、本発明のゲートドライバ回路１２に入力する。コントローラ（図示せず）から出力されるソーストドライバ回路１４の制御信号は、直接に本発明のソースドライバ回路１４などに入力する（レベルシフトの必要がない）。

【０８８０】

しかし、本発明はアレイ基板７１に形成するトランジスタをすべてＰチャンネルで形成することに限定するものではない。ゲートドライバ回路１２を後に説明する図１１１、図１１３のようにＰチャンネルで形成することにより、狭額縁化することができる。２．２インチのＱＣＩＦパネルの場合、ゲートドライバ回路１２の幅は、６μｍルールの採用時で、６００μｍで構成できる。供給するゲートドライバ回路１２の電源配線の引き回しを含めても７００μｍに構成することができる。同様の回路構成をＣＭＯＳ（ＮチャンネルとＰチャンネルトランジスタ）で構成すると、１．２ｍｍになってしまう。したがって、ゲートドライバ回路１２をＰチャンネルで形成することにより、狭額縁化をいう特徴ある効果を発揮できる。

【０８８１】

また、画素１６をＰチャンネルのトランジスタで構成することにより、Ｐチャンネルトランジスタで形成したゲートドライバ回路１２とのマッチングが良くなる。Ｐチャンネルトランジスタ（図１の画素構成では、ＴＦＴ１１ｂ、１１ｃ、ＴＦＴ１１ｄ）はＬ電圧でオンする。一方、ゲートドライバ回路１２もＬ電圧が選択電圧である。Ｐチャンネルのゲートドライバは図１１３の構成でもわかるが、Ｌレベルを選択レベルとするとマッチングが良い。Ｌレベルが長期間保持できないからである。一方、Ｈ電圧は長時間保持することができる。

【０８８２】

また、ＥＬ素子１５に電流を供給する駆動用ＴＦＴ（図１ではＴＦＴ１１ａ）もＰチャンネルで構成することにより、ＥＬ素子１５のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、ゲートドライバ１２のトランジスタもＰチャンネルとすることがよい。以上のことから、本発明の画素１６を構成するトランジスタ（駆動用ＴＦＴ、イッチング用ＴＦＴ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。

【０８８３】

この意味で、レベルシフタ（ＬＳ）回路を、基板７１に直接に形成してもよい。つまり、レベルシフタ（ＬＳ）回路をＮチャンネルとＰチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、基板７１に直接形成されたレベルシフタ回路で、Ｐチャンネルトランジスタで形成されたゲートドライバ回路１２のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路１２に印加する。

【０８８４】

なお、レベルシフタ回路を半導体チップで形成し、基板７１にＣＯＧ実装などしてもよい。また、ソースドライバ回路１４は、図１０９などにも図示しているが、基本的に半導体チップで形成し、基板７１にＣＯＧ実装する。ただし、ソースドライバ回路１４を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板７１に直接に形成してもよい。画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路６３４（図７３、図７４などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

【０８８５】

したがって、画素１６の駆動用ＴＦＴ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位電流源６３４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【０８８６】

なお、説明を容易にするため、本発明の実施例では、図１の画素構成を例示して説明をする。しかし、画素１６の選択トランジスタ（図１ではＴＦＴ１１ｃ）をＰチャンネルで構成し、ゲートドライバ回路１２をＰチャンネルトランジスタで構成するというなどの本発明の技術的思想は、図１の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図１４２に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図１４３（ａ）に図示するような２つのＴＦＴ（選択トランジスタはＴＦＴ１１ｂ、駆動トランジスタはＴＦＴ１１ａ）にも適用することができる。また、図１４３（ｂ）に図示するような、４つのＴＦＴ（選択トランジスタはＴＦＴ１１ｃ、駆動トランジスタはＴＦＴ１１ａ）を用いる画素構成にも適用することができることは言うまでもない。もちろん、図１１１、図１１３のゲートドライバ回路１２の構成も適用でき、また、組み合わせて装置などを構成できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。

【０８８７】

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。

【０８８８】

反転端子（ＤＩＲＡ、ＤＩＲＢ）は各単位ゲート出力回路１１１１に対し、共通の信号が印加される。なお、図１１３の等価回路図をみれば、理解できるが、反転端子（ＤＩＲＡ、ＤＩＲＢ）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（ＤＩＲＡ、ＤＩＲＢ）に印加している電圧の極性を反転させる。

【０８８９】

なお、図１１１の回路構成は、クロック信号線数は４つである。４つが本発明では最適な数であるが、本発明はこれに限定するものではない。４つ以下でも４つ以上でもよい。

【０８９０】

クロック信号（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）の入力は、隣接した単位ゲート出力回路１１１１で異ならせている。たとえば、単位ゲート出力回路１１１１ａには、クロック端子のＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力されている。この状態は、単位ゲート出力回路１１１１ｃも同様である。単位ゲート出力回路１１１１ａに隣接した

単位ゲート出力回路１１１１ｂ（次段の単位ゲート出力回路）は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力されている。したがって、単位ゲート出力回路１１１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、次段は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力され、さらに次段の単位ゲート出力回路１１１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、というように交互に異ならせている。

【０８９１】

図１１３が単位ゲート出力回路１１１１の回路構成である。構成するトランジスタはＰチャンネルのみで構成している。図１１４が図１１３の回路構成を説明するためのタイミングチャートである。なお、図１１２は図１１３の複数段分におけるタイミングチャートを図示したものである。したがって、図１１３を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図１１３の等価回路図を参照しながら、図１１４のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

【０８９２】

Ｐチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線１７をＨレベル（図１１３ではＶｄ電圧）に維持することは可能である。しかし、Ｌレベル（図１１３ではＶＢＢ電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。ＩＮ端子に入力された信号と、ＲＳＴ端子に入力されたＳＣＫクロックにより、ｎ１が変化し、ｎ２はｎ１の反転信号状態となる。ｎ２の電位とｎ４の電位とは同一極性であるが、ＯＣ端子に入力されたＳＣＫクロックによりｎ４の電位レベルはさらに低くなる。この低くなるレベルに対応して、Ｑ端子がその期間、Ｌレベルに維持される（オン電圧がゲート信号線１７から出力される）。ＳＱあるいはＱ端子に出力される信号は、次段の単位ゲート出力回路１１１１に転送される。

【０８９３】

図１１１、図１１３の回路構成において、ＩＮ（ＩＮＡ、ＩＮｂ）端子、クロック端子の印加信号のタイミングを制御することにより、図１１５（ａ）に図示するように、１ゲート信号線１７を選択する状態と、図１１５（ｂ）に図示するように２ゲート信号線１７を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ回路１２ａにおいて、図１１５（ａ）の状態は、１画素行（５１ａ）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は１行づつシフトする。図１１５（ｂ）は、２画素行を選択する構成である。この駆動方式は、図２７、図２８で説明した複数画素行（５１ａ、５１ｂ）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、１画素行づつシフトし、かつ隣接した２画素行が同時に選択される。特に、図１１５（ｂ）の駆動方法は、最終的な映像を保持する画素行（５１ａ）に対し、画素行５１ｂは予備充電される。そのため、画素１６が書き込み易くなる。つまり、本発明は、端子に印加する信号により、２つの駆動方式を切り替えて実現できる。

【０８９４】

なお、図１１５（ｂ）は隣接した画素１６行を選択する方式であるが、図１１６に図示するように、隣接した以外の画素１６行を選択してもよい（図１１６は、３画素行離れた位置の画素行を選択している実施例である）。また、図１１３の構成では、４画素行の組で制御される。４画素行にうち、１画素行を選択するか、連続した２画素行を選択するかの制御を実施できる。これは、使用するクロック（ＳＣＫ）が４本によることの制約である。クロック（ＳＣＫ）８本になれば、８画素行の組で制御を実施できる。したがって、図１１３の構成で明らかであるが、図１１８に図示するように、画素行を選択することができる。

【０８９５】

図２９では、ダミー画素行を形成し、２画素行以上を同時選択する駆動方式を説明した。図２９の駆動方式は、図１１５においても実施することができる。図１５５（ａ２）は、２画素行を同時選択する駆動方式を図示している。ゲートドライバ１２ａを走査（操作

）することにより、隣接した２ゲート信号線１７ａにオン電圧を印加する（書き込み画素行５１ａ、５１ｂ）。ダミー画素行は、画面５０の上辺（２８１ａ）と下辺（２８１ｂ）に形成または配置している。このようにダミー画素行２８１を設けることにより、図２９の駆動方式を実現できる。また、図１１１、図１１３の構成を実現することにより、図１５５（ａ１）のノーマル駆動（１ゲート信号線１７ａを順次選択する（書き込み画素行５１）駆動方法）との切り替えも実現することができる。以上のように本発明は、本明細書に記載された方法、装置、構成などを適時組み合わせて実施することができる。

【０８９６】

図１１８（ａ）では、４画素行に組で１画素行を選択することができる（４画素行の組で、１本の画素行を選択するが、全く選択しないかは、ＩＮデータの入力状態と、シフト状態で決定される）。図１１８（ｂ）では、４画素行に組で連続した２画素行を選択することができる（４画素行の組で、２本の画素行を選択するが、全く選択しないかは、ＩＮデータの入力状態と、シフト状態で決定される）。また、本発明は、クロック数に等しい画素行を組として、この画素行の組において、１画素行もしくは、画素行の組の１／２以下の本数（たとえば、４画素行の組であれば、４／２＝２画素行）を選択する方式である。したがって、画素行に組内では、必ず非選択の画素行が発生する。なお、図１１８は、ＥＬ側のＴＦＴ１１ｄ（図１の場合）を操作することにより実現する。ＴＦＴ１１ｄの操作は、ゲートドライバ１２ｂの制御により容易に実現できる。

【０８９７】

１画素行を選択する図１１５（ａ）では、図１１７（ａ）で図示するように、プログラム電流Ｉｗは１つの画素１６に流れる。図１１５（ｂ）、図１１６のように２画素行を同時に選択する駆動方式は、図２４、図２７で説明した駆動方式と同様になる。プログラム電流Ｉｗは図１１７（ｂ）に図示するように、２画素行に分割されて画素１６に書き込まれる。ただし、これに限定されるものではない。たとえば、図１１７（ｂ）に図示するように、プログラム電流Ｉｗ×２の電流を印加し、選択された２つの画素（１６ａ、１６ｂ）に同一の電流を流すように構成してもよい。

【０８９８】

選択側のゲートドライバ１２ａの動作は、図１１５の動作である。図１１５（ａ）に図示するように、１画素行を選択し、選択位置を１水平同期信号に同期して１画素行づつシフトする。また、図１１５（ｂ）に図示するように、２画素行を選択し、選択位置を１水平同期信号に同期して１画素行づつシフトする。

【０８９９】

図１１８は、ＥＬ素子１５をオンオフさせるゲート信号線１７ｂを制御するゲートドライバ１２ｂの動作を説明する説明図である。図１１８（ａ）は、４画素行の組（以降、このような画素行の組を画素行組と呼ぶ）に１画素行のゲート信号線１７ｂにオン電圧を印加した状態である。表示画素行５３位置は、水平同期信号（ＨＤ）に同期して１画素行づつシフトする。もちろん、４画素行組に１画素行に対応するゲート信号線１７ｂにオン電圧を印加する（他の３画素行に対応するゲート信号線１７ｂにはオフ電圧が印加されている）か、４画素行組のすべてにオフ電圧を印加する（４画素行に対応するゲート信号線１７ｂにオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

【０９００】

図１１８（ｂ）は、４画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加した状態である。表示画素行５３位置は、水平同期信号（ＨＤ）に同期して１画素行づつシフトする。もちろん、４画素行組に２画素行に対応するゲート信号線１７ｂにオン電圧を印加する（他の２画素行に対応するゲート信号線１７ｂにはオフ電圧が印加されている）か、４画素行組のすべてにオフ電圧を印加する（４画素行に対応するゲート信号線１７ｂにオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

【０９０１】

また、図１１８（ａ）は４画素行組に１画素行のゲート信号線１７ｂにオン電圧を印加した状態である。図１１８（ｂ）は、４画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加した状態である。しかし、本発明はこの構成（方式）に限定するものではない。たとえば、図１４１（ａ）に図示するように、６画素行組に１画素行のゲート信号線１７ｂにオン電圧を印加した状態である。図１４１（ｂ）は、８画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加した状態である。つまり、図１１８に限定するものではない。また、ＲＧＢでオンオフ状態を変化させてもよい。たとえば、Ｒは図１４１（ａ）の表示状態とし、ＧとＢを図１１８（ａ）の表示状態とするなどである。

【０９０２】

また、図１５５（ｂ）に図示するように、２画素行に１画素行を選択するようにしてもよい（最大１／２点灯）。明るさ調整は、２画素行組の１画素行を点灯するか否かで制御する。また、黒挿入部を大きく（連続領域が４ｍｓｅｃ以上継続する）することにより、図１２５で説明する動画ボケ改善も行うことができる。図１５５（ｂ）では、必ず隣接した画素行は点灯状態（選択状態）か、もしくは非点灯状態（非選択状態）である。つまり、選択した画素行の上下は必ず非選択画素行である。このような動作を行うことにより消費電力を低減することができる。図１１８（ｂ）（２／４点灯制御と呼ぶ）のように隣接した２画素行を同時に選択すると図１１１、図１１３の回路構成でも容易に理解できるが、隣接した画素行を選択するゲートドライバ回路１２ｂ内で貫通電流が流れる。この貫通電流が消費電力の増大となる。しかし、図１１５（ｂ）（１／２点灯制御と呼ぶ）のように駆動を実施すれば、隣接した画素行を選択するゲートドライバ回路１２ｂ内で貫通電流の発生はなく、消費電力はほぼ、ゲート信号線１２ｂの充放電に必要な電力のみとなる。したがって、ＥＬ素子１５を点灯制御する駆動方式は、図１５５（ｂ）の１／２点灯、図１１８（ａ）の１／４点灯など隣接した画素行が同時に選択されない駆動方式を採用することが好ましい。

【０９０３】

図１１９は図１１８（ａ）の駆動状態の時に、ゲート信号線１７ｂに出力される電圧の状態である。先にも説明したように、信号線１７ｂの（　）で記載した添え字は、画素行を示している。なお、説明を容易にするため、画素行は（１）からとしている。また、表の上段の数字は、水平走査期間の番号を示している。

【０９０４】

図１１９に図示するように、ゲート信号線１７ｂ（１）～ゲート信号線１７ｂ（４）と、ゲート信号線１７ｂ（５）～ゲート信号線１７ｂ（８）とが同一波形である。つまり、４画素行組で同一の動作が実施されている。

【０９０５】

図１２０は図１１８（ｂ）の駆動状態の時に、ゲート信号線１７ｂに出力される電圧の状態である。図１２０に図示するように、ゲート信号線１７ｂ（１）～ゲート信号線１７ｂ（４）と、ゲート信号線１７ｂ（５）～ゲート信号線１７ｂ（８）とが同一波形である。つまり、４画素行組で同一の動作が実施されている。

【０９０６】

図１１８の実施例では、任意の時刻で、表示状態の画素数を増減することにより、表示画面５０の明るさを調整することができる。ＱＣＩＦパネルの場合は、垂直画素数は２２０ドットである。したがって、図１１８（ａ）では、２２０／４＝５５画素行を表示することができる。つまり、白ラスター表示では、５５画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を５５本→５４本→５３本→５２本→５１本→・・・・・・・５本→４本→３本→２本→１本→０本と変化させることにより、表示画面を暗くすることができる。逆に、０本→１本→２本→３本→４本→５本→・・・・・・・５０本→５１本→５２本→５３本→５４本→５５本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。

【０９０７】

この明るさ調整では、画面の明るさは表示画素数に比例し、かつ変化はリニアである。

その上、明るさに対応するガンマ特性に変化はない（画面が明るくとも、暗くとも階調数は維持される）。

【０９０８】

以上の実施例では、表示画面５０の明るさを調整する表示画素行数の変化は、１本ごとにするとしたが、これに限定するものではない。５４本→５２本→５０本→４８本→４６本→・・・・・・・６本→４本→２本→０本と変化させてもよい。また、５５本→５０本→４５本→４０本→３５本→・・・・・・・１５本→１０本→５本→０本と変化させてもよい。

【０９０９】

同様に、図１１８（ｂ）では、ＱＣＩＦパネルでは、２２０／２＝１１０画素行を表示することができる。つまり、白ラスター表示では、１１０画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を１１０本→１０８本→１０６本→１０４本→１０２本→・・・・・・・１０本→８本→６本→４本→２本→０本と変化させることにより、表示画面を暗くすることができる。逆に、０本→２本→４本→６本→８本→１０本→・・・・・・・１００本→１０２本→１０４本→１０６本→１０８本→１１０本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。なお、表示画面５０の明るさを調整する表示画素行数の変化は、２本ごとにするとしたが、これに限定するものではない。４本ごとにしてもよく、４本以上であってもよい。また、明るさを調整するために、表示画素行を間引くのは、一箇所に集中して間引くのではなく、極力分散するように間引くことがよい。フリッカの発生を抑制するためである。

【０９１０】

明るさ調整は、画素行数の単位ではなく（画素行を１水平走査期間の略全期間の間点灯させる、あるいは非点灯とさせるという駆動）、１水平走査期間あたりの点灯時間でも調整することができる。つまり、１水平走査期間の一部の期間（たとえば、１Ｈの１／８の期間、１Ｈの１５／１６の期間というように）点灯することにより表示画面の明るさを調整するのである。

【０９１１】

この調整（制御）は、表示パネルのメインクロック（ＭＣＬＫ）を用いて行う。ＱＣＩＦパネルでは、ＭＣＬＫは約２．５ＭＨｚである。つまり、１水平走査期間（１Ｈ）に１７６クロックをカウントすることができる。したがって、ＭＣＬＫをカウンタし、このカウント値により、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）を印加する期間を制御することにより各画素行のＥＬ素子１５をオンオフさせることができる。

【０９１２】

具体的には、図１１２、図１１４に図示するタイミングチャートにおいて、クロック（ＳＣＫ）のＬレベルにする位置、Ｌレベルの期間を制御することにより実現できる。ＳＣＫがＬレベルにする期間を短くするほど、出力のＱ端子がＬレベル（Ｖｇｌ）となる期間が短くなる。

【０９１３】

図１１８（ａ）の駆動方式では、図１２１に図示するように、１Ｈの期間において左右対称にＶｇｌ（オン電圧）となる期間が短くなる。図１２１では（ａ）が１Ｈ期間のすべてがＶｇｌ（オン電圧）を出力している期間である（ただし、図１１３のＰチャンネルのゲートドライバ回路１２構成では、１Ｈ期間のすべてにＬレベル出力をすることは不可能である。１Ｈと次の１Ｈとの間にはＶｇｈ電圧（オフ電圧）の期間が発生する。図１２１は説明を容易にするためにあえて（ａ）のように図示している。

【０９１４】

同様に、図１２１（ｂ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ａ）に比較して）していることを図示している。さらに、図１２１（ｃ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ｂ）に比較して）していることを図示している。以下、同様

であるので説明を省略する。

【０９１５】

図１１８（ｂ）の駆動方式では、図１２２に図示するように、２Ｈの期間において左右対称にＶｇｌ（オン電圧）となる期間が短くなる。図１２２では（ａ）が１Ｈ期間のすべてがＶｇｌ（オン電圧）を出力している期間である（ただし、図１１３のＰチャンネルのゲートドライバ回路１２構成では、２Ｈ期間のすべてにＬレベル出力をすることは不可能である。２Ｈと次の２Ｈとの間にはＶｇｈ電圧（オフ電圧）の期間が発生する。このことは、図１２１と同様である。

【０９１６】

同様に、図１２２（ｂ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、２Ｈ期間でＭＣＬＫが２クロック分だけ短く（（ａ）に比較して）していることを図示している。さらに、図１２２（ｃ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ｂ）に比較して）していることを図示している。以下、同様であるので説明を省略する。

【０９１７】

なお、ゲートドライバ回路１２の構成を多少変更し、クロックを調整すれば、図１２３に図示するように、図１２１のゲート信号線１７ｂの印加期間が２Ｈ期間連続して行うことができる。

【０９１８】

図１３、図１４などでは、動画ボケを解決する駆動方式について説明をした。画像を間欠表示することにより、画像の輪郭ぼけがなくなり良好な表示状態を実現できという方法である。つまり、ＣＲＴに近い表示状態を実現することにおり、良好な動画表示を実現するものである。

【０９１９】

図１１８の駆動方式でも、良好な動画表示を実現できる。ただし、図１３では表示領域５３が連続し、非表示領域５２も連続しているのに対し、図１１８では、表示領域５３が連続しない。４画素行組で１画素行にオン電圧を印加（図１１８（ａ））するか、４画素行組で連続した２画素行にオン電圧を印加（図１１８（ｂ））するかの表示状態となるからである。もちろん、図１１３、図１１１に例示した回路構成を変更あるいは改良することにより、クロック（ＳＣＫ）に対する表示画素行を変更あるいは変化させることができる。たとえば、１画素行飛ばしで表示させることもできる。また、６画素行飛ばしで点灯させることもできる。ただし、Ｐチャンネルのトランジスタで構成あるいは形成したドライバ回路（シフトレジスタ）では、少なくとも表示画素行５３間に非点灯の表示画素行５２が配置（挿入）される。

【０９２０】

図１２４に、ゲートドライバ回路１２が図１１３のようにＰチャンネルで形成されている場合において、動画表示対応とする駆動方式を示す。以前にも説明したように、動画ボケによる画像表示劣化を防止するためには、間欠表示にする必要がある。つまり、黒挿入（黒あるいは低輝度の表示画面を表示する）する必要がある。ＣＲＴの表示のように駆動（表示）する。つまり、任意の画素行に画像が表示すると、所定の期間の表示後、黒（低輝度）表示にする。この画素行は、点滅（画像表示と非表示（黒表示あるいは低輝度表示）が交互に繰り返される）することになる。黒表示期間は４ｍｓｅｃ以上にする必要がある。もしくは、１フレーム（１フィールド）の１／４以上の期間を黒表示（低輝度表示）にする。好ましくは、１フレーム（１フィールド）の１／２の期間以上を黒表示（低輝度表示）にする。この条件は、人間の目の残像特性による。つまり、所定周期より速く点滅する画像は、人間の目の残像特性により、連続して点灯しているように見える。これが、動画ボケにつながる。しかし、所定周期より遅く点滅する画像は、視覚的には、連続しているように見えるが、間に挿入された非点灯（黒表示）状態を認識することができるようになり、表示画像が飛び飛びの状態になる（視覚的には変には感じないが）。そのため、動画表示で、画像が飛び飛びになり、画像ぶれが発生しない。つまり、動画ボケがなくな

る。

【０９２１】

図１２４（ａ）において、Ａの領域は、４画素行に１画素行が表示（点灯状態）状態である。したがって、４水平走査期間（４Ｈ）に１回点灯する（４Ｈ期間に１Ｈ期間の間点灯する）。この期間（画素行が点灯し、非点灯となり、次に点灯するまでの期間）は、４ｍｓｅｃ以下である。したがって、人間の目には、画像が完全に連続して表示されているように見える（任意の画素行がたえず、点灯しているのと大差がない）。図１２４（ａ）のＢの領域では、画素行が表示されてから、次に表示されるまで、４ｍｓｅｃ以上、好ましくは８ｍｓｅｃ以上となるように黒挿入（低輝度表示）されている。したがって、画像は飛び飛びとなり、良好な動画表示を実現できる。

【０９２２】

なお、以上の説明でＡの領域あるいはＢの領域として説明したが、以上の事項は説明を容易にするためである。図１２４において、Ａの領域は矢印方向（画面の上から下）に順次走査される。ＣＲＴで電子ビームの走査されるごとくにである。つまり、画像は順次書き換えられる（図１２４（ａ）は図１２５を参照のこと。図１２５（ａ）→（ｂ）→（ｃ）→（ａ）のように走査（駆動）される。図１２４（ｂ）は図１２６を参照のこと。図１２６（ａ）→（ｂ）→（ｃ）→（ａ）のように走査（駆動）される）。

【０９２３】

以上のように、本発明の駆動方式において、任意の画素行は、図１２４（ａ）において、１フィールド（１フレーム）の４ｍｓｅｃ（好ましくは８ｍｓｅｃ）以上の期間は、４Ｈに１Ｈの期間表示され、その他の期間（１フィールド（１フレーム）の残りの期間）は、連続して非点灯（黒表示（黒挿入）あるいは低輝度表示）状態が維持される。したがって、説明を容易にするために、Ａ領域あるいはＢ領域と表現したが、時間的な観点から、Ａ期間あるいはＢ期間と表現するほうが適切である。つまり、Ａ領域（Ａ期間）は、連続して画像が点灯する期間であり、Ｂ領域（Ｂ期間）は画素行（画面５０）は間欠表示される期間である。以上の事項は図１２４（ｂ）あるいは他の本発明の実施例においても同様である。

【０９２４】

図１２４（ｂ）では、２画素行を連続して点灯状態にし、つづく、２画素行を非点灯状態にしている。つまり、Ａ領域（Ａ期間）では、２Ｈの期間点灯し、２Ｈの期間非点灯状態となることを繰り返す。Ｂ領域（Ｂ期間）は所定の期間、連続して非点灯状態が維持される。図１２４（ｂ）の駆動方式においても、Ａ領域は見かけ上、連続表示状態であり、Ｂ領域は見かけ上、間欠表示である。

【０９２５】

以上のように、本発明の駆動方式は、任意の画素行（画素）に着目して表示状態を観測したとき、４ｍｓｅｃ未満の期間（もしくは１フレーム（１フィールド）の１／４未満の期間）で画像表示と非表示（黒表示または所定以下の低輝度表示）が少なくとも１回以上繰り返させる第１の期間と、前記画素行（画素）が表示状態から非表示（黒表示または所定以下の低輝度表示）状態になり、次に表示状態になる期間が、４ｍｓｅｃ以上となる第２の期間（もしくは１フレーム（１フィールド）の１／４以上の期間）を実施するものである。以上の駆動を実施することにより、良好な動画表示を実現でき、また、その制御回路（ゲートドライバ回路１２など）の構成も容易であり、低コスト化を実現できる。

【０９２６】

図１２４においても、点灯画素行数を変化させることにより、画面５０の明るさを調整（変化）させることができる（図１１８と同様に、表示画素数５３を変化あるいは調整すればよい）。また、黒挿入領域（図１２４のＢ領域）の割合を変化させることにより、画像表示状態に応じて最適状態にすることができる。たとえば、静止画では、Ｂ領域が長くなることを避けるべきである。フリッカの発生の原因となるからである。静止画の場合は、表示画素行５３の分散して表示（画面５０内に配置）すべきである。たとえば、ＱＣＩＦパネルの場合は、画素行数が２２０本である。このうち、静止画で５５画素行を表示す

るのであれば、２２０／４４＝４であるから、４画素行ごとに１画素行を表示させればよい。２２０画素行のうち１０画素行を表示するのであれば、２２０／１０＝２２画素行に１画素行を表示させればよい。なお、図１２４においてＢ領域（Ｂ期間）は１つとしているが、これに限定するものではなく、２つ以上（複数）に分割あるいは分散させてもよいことはいうまでもない。

【０９２７】

しかし、図１２４（ａ）では、４画素行組で１画素行を点灯させるか否かの表示しか実現できない。したがって、２２画素行に１画素行を点灯させることはできない。そのため、４画素行組を５回＝２０画素行に１画素行を表示する（つまり、２０画素行に１画素行を表示する。言い換えれば、４画素行組の４つは、まったく画素行を点灯状態とせず、１画素行組の１画素行を点灯状態とする）。残りの２０画素行（２２０－４×５＝２００）はすべてを非点灯状態にする。つまり、本発明では、制約（規制あるいは規定）される画素行組を１単位として、この画素行組の組み合わせ（ブロック）内で、このブロック内にいくつの画素行組の画素行を点灯させるか否かの制御を行う。以上の事項は、図１２４（ｂ）においても適用され、また、本発明の他の実施例においても適用される。

【０９２８】

逆に動画表示の場合は、図１２４で説明したように、少なくとも４ｍｓｅｃ以上の黒挿入を実施する必要がある。また、黒挿入の割合（黒表示の連続時間、表示画面に対する黒表示面積）を変化させることにより、動画表示状態を変化することができる（最適状態に調整できる）。非常に高速な動画表示（画像の動きが激しい場合など）は、黒挿入面積を増大させるとよい。この際、画像を表示する画素数が減少することにより輝度低下は、１画素行の発光輝度を高くすることにより対応する。また、黒表示が連続する期間を長くするとよい。比較的全画面に対する動画表示領域の割合が少ない場合、あるいは比較的動画の動きがゆっくりとしている場合は、黒挿入の割合を減少させるとよい。この場合の点灯画素行５３が増加することによる表示輝度の増大は、１画素行あたりの発光輝度を低下させることにより容易に調整できる。この調整はプログラム電流Ｉｗなどで変更できるからである。もしくは、黒挿入期間を複数に分散させるとよい。フリッカが減少し良好な画像表示を実現できる。

【０９２９】

以上のような、動画表示においても黒挿入状態を変更あるいは調整することにより、より最適な画像表示を実現できる。以上の事項は以下の実施例においても適用されることは言うまでもない。

【０９３０】

入力映像信号の動画検出（ＩＤ検出）を行い、動画の場合あるいは動画が多い画像では、図１２４の駆動方式（黒挿入による間欠表示）を実施する。静止画の場合は、図１１８の駆動方式（点灯画素行位置が極力分散して配置する）を実施する。もちろん、本発明の表示パネルあるいは表示装置を用いる用途に応じて切り替えてもよい。たとえば、コンピュータモニターのように静止画の場合は図１１８の駆動方式を採用する。テレビのようにＡＶ用途の場合は、図１２４の駆動方式を採用する。この駆動方式の切り替えは、ゲートドライバ回路１２ｂのＳＳＴＡデータのより、容易に変更することができる。図１などのＥＬ素子１５に流れる電流をオンオフさせるＴＦＴを制御するだけであるからである。図１２４と図１１８の切り替え（動画対応かあるいは静止画対応か、もしくは、より動画対応かより静止画対応か）は、ユーザーが操作できる切り替えスイッチなどを状況に応じて実施してもよいし、本発明の表示パネルの製造業者が実施してもよい。また、ホトセンサなどを用いて、周囲環境状態を検出し、自動で切り替えてもよい。また、本発明が受信する映像信号に制御信号（切り替え信号）をあらかじめ乗せておき、この制御信号を検出して、表示状態（駆動方式）を切り替えてもよい。

【０９３１】

図１２７は図１２４（ａ）の駆動方式の場合の、ゲート信号線１７ｂの出力波形である。図１の画素構成では、ゲート信号線１７ｂに印加されるオンオフ信号（Ｖｇｈがオフ電

圧、Ｖｇｌがオン電圧）でＴＦＴ１１ｄをオンオフ制御し、ＥＬ素子１５に流れる電流をオンオフさせる。図１において、上段は水平走査期間を示しており、Ｌ記号は、画素行数Ｌ（ＱＣＩＦパネルの場合は、Ｌ＝２２０本）を示している。なお、図１１８、図１２４においても、本発明の駆動方式は、図１の画素構成に限定されるものではない。たとえば他の画素構成（図５４など）においても適用できることは言うまでもない。

【０９３２】

図１２７でわかるように、Ａ期間（Ａ領域）では、４Ｈ期間に１Ｈ期間の割合で各ゲート信号線１７ｂにオン電圧（Ｖｈｌ）が印加される。Ｂ期間（Ｂ領域）では、連続してオフ電圧（Ｖｇｈ）が印加される。したがって、この期間にはＥＬ素子１５には電流が流れない。そして、各ゲート信号線１７ｂのオン電圧位置が１画素行づつ走査されている。

【０９３３】

なお、以上の実施例では、１画素行づつ走査されるとしたが、本発明はこれに限定されるものではない。たとえば、インターレース走査では、１画素行飛ばしで走査される。つまり、第１フレームでは偶数画素行が走査される。第２フレームでは奇数画素行が走査される。また、第１フレームを書き換えているときは、第２フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第２フレームを書き換えているときは、第１フレームで書き込まれた画像はそのまま保持される。もちろん、図１２４の実施例のように点滅動作を実施してもよい。

【０９３４】

インターレース走査は２フレームで１フィールドがＣＲＴで通常である。しかし、本発明はこれに限定するものではない。たとえば、４フレーム＝１フィールドでもよい。この場合は、第１フレームでは、（４Ｎ＋１）画素行（ただし、Ｎは以上の整数）の画像が書き換えられる。第２フレームでは、（４Ｎ＋２）画素行の画像が書き換えられる。次の第３フレームでは（４Ｎ＋３）画素行の画像が書き換えられる。また、最後の第４フレームでは、（４Ｎ＋４）画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、２フレーム＝１フィールドに限定されるものではない。つまり、複数フレーム＝１フィールドである。

【０９３５】

なお、図１２７、図１２８においても、図１２１、図１２２、図１２３などの１水平走査期間（１Ｈ）あるいは複数の水平走査期間内において、ＥＬ素子１５に流れる電流を制御すること（オン期間を制御すること）により、表示画面５０の明るさを調整する駆動方式を併用できることは言うまでもない。

【０９３６】

図１２８は図１２７と同様に、図１２４（ｂ）におけるゲート信号線１７ｂの印加波形である。図１２７との差異は、Ａ期間（Ａ領域、図１１８（ｂ）を参照のこと）において、各ゲート信号線１７ｂには、２水平走査期間（２Ｈ）の間、オン電圧（Ｖｇｌ）が印加され、その後、２Ｈの期間、オフ電圧（Ｖｇｈ）が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。Ｂ期間（Ｂ領域）では連続してオフ電圧が印加される。各ゲート信号線１７ｂのオン電圧の印加位置は、１Ｈごとに走査される。

【０９３７】

図１２７は図１２４（ａ）の駆動方式の場合の、ゲート信号線１７ｂの出力波形である。図１の画素構成では、ゲート信号線１７ｂに印加されるオンオフ信号（Ｖｇｈがオフ電圧、Ｖｇｌがオン電圧）でＴＦＴ１１ｄをオンオフ制御し、ＥＬ素子１５に流れる電流をオンオフさせる。図１において、上段は水平走査期間を示しており、Ｌ記号は、画素行数Ｌ（ＱＣＩＦパネルの場合は、Ｌ＝２２０本）を示している。なお、図１１８、図１２４においても、本発明の駆動方式は、図１の画素構成に限定されるものではない。たとえば他の画素構成（図５４など）においても適用できることは言うまでもない。

【０９３８】

図１２７でわかるように、Ａ期間（Ａ領域）では、４Ｈ期間に１Ｈ期間の割合で各ゲート信号線１７ｂにオン電圧（Ｖｈｌ）が印加される。Ｂ期間（Ｂ領域）では、連続してオフ電圧（Ｖｇｈ）が印加される。したがって、この期間にはＥＬ素子１５には電流が流れない。そして、各ゲート信号線１７ｂのオン電圧位置が１画素行づつ走査されている。

【０９３９】

なお、以上の実施例では、１画素行づつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、１画素行飛ばしで走査される。つまり、第１フレームでは偶数画素行が走査される。第２フレームでは奇数画素行が走査される。また、第１フレームを書き換えているときは、第２フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第２フレームを書き換えているときは、第１フレームで書き込まれた画像はそのまま保持される。もちろん、図１２４の実施例のように点滅動作を実施してもよい。

【０９４０】

インターレース走査は２フレームで１フィールドがＣＲＴで通常である。しかし、本発明はこれに限定するものではない。たとえば、４フレーム＝１フィールドでもよい。この場合は、第１フレームでは、（４Ｎ＋１）画素行（ただし、Ｎは以上の整数）の画像が書き換えられる。第２フレームでは、（４Ｎ＋２）画素行の画像が書き換えられる。次の第３フレームでは（４Ｎ＋３）画素行の画像が書き換えられる。また、最後の第４フレームでは、（４Ｎ＋４）画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、２フレーム＝１フィールドに限定されるものではない。つまり、複数フレーム＝１フィールドである。

【０９４１】

なお、図１２７、図１２８においても、図１２１、図１２２、図１２３などの１水平走査期間（１Ｈ）あるいは複数の水平走査期間内において、ＥＬ素子１５に流れる電流を制御すること（オン期間を制御すること）により、表示画面５０の明るさを調整する駆動方式を併用できることは言うまでもない。

【０９４２】

図１２８は図１２７と同様に、図１２４（ｂ）におけるゲート信号線１７ｂの印加波形である。図１２７との差異は、Ａ期間（Ａ領域、図１１８（ｂ）を参照のこと）において、各ゲート信号線１７ｂには、２水平走査期間（２Ｈ）の間、オン電圧（Ｖｇｌ）が印加され、その後、２Ｈの期間、オフ電圧（Ｖｇｈ）が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。Ｂ期間（Ｂ領域）では連続してオフ電圧が印加される。各ゲート信号線１７ｂのオン電圧の印加位置は、１Ｈごとに走査される。他の事項は、図１２７と同様あるいは類似であるので説明を省略する。

【０９４３】

なお、以上の実施例では、表示画面５０内で、Ａ領域とＢ領域とが混在する駆動方式である。つまり、画面表示状態のいずれの期間でも、かならず、Ａ領域をＢ領域がある（もちろん、Ａ領域がどこにあるかは、異なる）。このことは、１フィールド（１フレーム、つまり画面の書き換え周期）内に、Ａ期間とＢ期間があるということである。しかし、動画表示を良好にするためには、黒挿入（黒表示あるいは低輝度表示）を行えばよいのであるから、図１２４の駆動方式に限定されるものではない。

【０９４４】

たとえば、図１２９の駆動方式が例示される。理解を容易にするために、図１２９では、４つの表示期間（（ａ）、（ｂ）、（ｃ）、（ｄ））で構成されているとする。また、４フレー＝１フィールドとし、図１２９（ａ）を第１フレーム、図１２９（ｂ）を第２フレーム、図１２９（ｃ）を第３フレーム、図１２９（ｄ）を第４フレームとする。表示は図１２９（ａ）→（ｂ）→（ｃ）→（ｄ）→（ａ）→（ｂ）→・・・・・・・と繰り返される。

【０９４５】
第１フレームでは、図１２９（ａ）に図示するように、偶数番目の画素行を順次選択し、画像を書き換える。第１フレームの書き換えが終わると、図１２９（ｂ）に図示するように、画面５０の上から順次黒表示としていく（図１２９（ｂ）は黒表示書き込みが終了した状態である）。次の第３フレームでは、図１２９（ｃ）に図示するように、奇数番目の画素行を、画面５０の上から順次、画像を書き込んでいく。つまり、奇数番目の画像が、画面の上部から順次表示される。次の第４フレームでは、画面５０の上部から、画像が非点灯状態（黒表示）にされていく（図１２９（ｄ）も完全に非点灯状態にした時の状態を示す）。

【０９４６】
なお、図１２９において、（ａ）（ｃ）では、画像を書き込むと表現し、かつ画像を表示すると表現したが、本発明は基本的に、画像を表示する（点灯させる）状態に特徴がある。したがって、画像を書き込むこと（プログラムを実施すること）と画像を表示することとは同一である必要はない。つまり、図１２９（ａ）（ｃ）では、ゲート信号線１７ｂの制御により、ＥＬ素子１５に流れる電流を制御し、点灯あるいは非点灯状態にすると考えてよい。したがって、図１２９（ａ）の状態と図１２９（ｂ）の状態との切り替えは、一括で（たとえば、１Ｈ期間で）行うことができる。たとえば、イネーブル端子を制御することで実施できる（ゲートドライバ１２ｂのシフトレジスタにオンオフ状態（図１２９（ａ）では、偶数画素行に対応するシフトレジスタがオンデータ）を保持しておき、イネーブル端子がオフの時は、図１２９（ｂ）（ｄ）の状態を表示し、イネーブル端子をオンにすることにより、図１２９（ａ）の表示状態になるなど）。したがって、ゲート信号線１７ｂのオンオフ状態で図１２９（ａ）（ｃ）の表示を実施できる（あらかじめ、画像データは図１の画素構成で例示すれば、コンデンサ１９に保持させておく）。以上の説明では、図１２９の（ａ）（ｂ）（ｃ）（ｄ）の状態は、各１ｌフレーム期間の間実施するとした。

【０９４７】
しかし、本発明がこの表示状態に限定するものではない。少なくとも動画表示状態を改善あるいは良好なものとするには、図１２９（ｂ）（ｄ）などの黒挿入状態を４ｍｓｅｃの期間、実施すればよいからである。したがって、本発明の実施例において、ゲートドライバ回路１２ｂのシフトレジスタ回路を用いて、ゲート信号線１７ｂを走査し、図１２９（ａ）（ｃ）の表示状態を実現することの限定されるものではない。奇数番目のゲート信号線１７ｂ（奇数ゲート信号線組と呼ぶ）を一括接続しておき、また、偶数番目のゲート信号線１７ｂ（偶数ゲート信号線組と呼ぶ）を一括接続しておき、奇数ゲート信号線組と偶数ゲート信号線組とを交互にオンオフ電圧を印加するようにすればよい。奇数ゲート信号線組にオン電圧を印加し、偶数ゲート信号線組にオフ電圧を印加すれば、図１２９（ｃ）の表示状態が実現される。偶数ゲート信号線組にオン電圧を印加し、奇数ゲート信号線組にオフ電圧を印加すれば、図１２９（ａ）の表示状態が実現される。奇数ゲート信号線組と偶数ゲート信号線組の両方にオフ電圧を印加すれば、図１２９（ｂ）（ｄ）の表示状態が実現される。図１２９（ａ）（ｂ）（ｃ）（ｄ）の各状態は、４ｍｓｅｃ（特に図１２９（ｂ）（ｄ）は）以上の期間、実施すればよい。

【０９４８】
以上の図１２９の駆動方式では、画面表示状態（図１２９（ａ）（ｃ））と黒表示状態（黒挿入、図１２９（ｂ）（ｄ））が交互に繰り返される。したがって、画像表示が間欠表示となり、動画表示性能が向上する（動画ボケが発生しない）。

【０９４９】
図１２９の実施例では、第１フレームと第３フレームでは、奇数画素行または偶数画素行に画像を表示し、この２つの画面間に黒画面（図１２９（ｂ）（ｄ））を挿入する駆動方式であった。しかし、本発明はこれに限定するものではなく、図１１８の表示状態を第１フレームおよび第３フレームに実施し、この２つのフレーム間に黒表示を挿入してもよい。以上の実施例におけるタイミングチャートを図１３０に示す。図１３０（ａ）は第１

フレームであり、図１３０（ｂ）は黒挿入状態の第２フレームである。図１３０（ｃ）は第３フレームである。なお、第４フレームは図１３０（ｂ）と同様であるので省略している。ただし、第４フレームは必ずしも必要ではない。３フレーム＝１フィールド構成でもよい。第２フレームで黒画面が挿入されるから動画ボケは大幅に改善されるからである。つまり、図１３０（ａ）→（ｂ）→（ｃ）→（ａ）→・・・・・と繰り返す。

【０９５０】

図１３０（ａ）は、図１１８（ａ）に４水平走査期間（４Ｈ）に１Ｈの期間、画像を表示する（各ゲート信号線１７ｂは４Ｈごとに１Ｈの期間、Ｖｇｌ電圧（オン電圧）が印加される。次の第２フレームでは、すべてのゲート信号線１７ｂはオフ電圧（Ｖｇｈ）が印加されている。この制御は先の実施例と同様に、イネーブル端子を制御することにより、一括で行うことができる。したがって、図１３０（ｂ）の状態は、１フレーム期間実施することに限定されるものではない。動画表示を良好なものとするには、４ｍｓｅｃ以上の期間、維持されればよいからである。ただし、図１３０（ａ）が画面の上（上からに限定するものではないが）から順次画像を書き換えるとすると、画像が飛んでしまう。図１２９説明したように、複数のゲート信号線１７ｂを一括接続し、また、イネーブル端子を制御することによれば、容易に実施することができる。

【０９５１】

図１３０は、各画素行は、４Ｈ期間に１Ｈ期間、点灯するなど、規則正しく、画像表示を実施するものであった。しかし、各画素行は、単位期間（たとえば、１フレーム、１フィールドなど）で、点灯（表示）期間が一致していればよい。つまり、規則正しく、点灯状態と非点灯状態とを実施する必要はない。

【０９５２】

図１３１は、規則正しくない点灯状態の場合の実施例である。ゲート信号線１７ｂ（１）は第１Ｈ、第５Ｈ、第６Ｈ、第９Ｈ、第１３Ｈ、第１４Ｈ、・・・・・にオン電圧が印加されている。他の期間にはオフ電圧が印加されている。したがって、周期的にオン電圧が印加されているのではなく（長期間でみれば、周期てきであるが）、ランダム的である。この１フレーム期間（単位期間）に各ゲート信号線１７ｂにオン電圧が印加される期間を加算したものが、他のゲート信号線１７ｂと略一致させておけばよい。このように各画素行の点灯時間（ゲート信号線１７ｂにオン電圧を印加することにより、画素行が点灯（表示）するとしている）が略一致する。なお、図１３１では、各ゲート信号線１７ｂに印加する信号波形は、１Ｈづつ走査されたようにしている。このように、基本パターン波形を、各ゲート信号線１７ｂで１Ｈ（所定クロックあるいは単位）でずらして走査する（印加する）ことにより、表示画面の輝度を全画面で均一化できる。なお、図１３１においてもオン電圧（Ｖｇｌ）の印加期間を調整することにより、画面の明るさを制御（調整）することができることはいうまでもない。

【０９５３】

以上の実施例では、各フレーム（単位期間）において、ゲート信号線１７ｂには、同一のオンオフ電圧パターンを印加する実施例であった。しかし、本発明は、所定期間で、各画素行（画素）が点灯（表示）もしくは非点灯（非表示）となる期間が略等しくするものである。したがって、２フレーム＝１フィールドの駆動方式において、第１フレームと第２フレームとに印加する各ゲート信号線１７ｂの信号波形が異なっていてもよい。たとえば、任意の画素行が第１フレームで１０Ｈの期間の間、オン電圧が印加され、第２フレームで２０Ｈの期間の間、オン電圧が印加されるように駆動してもよい（２フレームという単位期間で、１０Ｈ＋２０Ｈの期間の間、オン電圧が印加される）。他の画素行も、３０Ｈの期間、オン電圧が印加されるようにする。

【０９５４】

この実施例を図１３２に図示する。図１３２（ａ）（第１フレームとする）では、各画素行に対応するゲート信号線１７ｂには、４水平走査期間（４Ｈ）周期で１水平走査期間（１Ｈ）オン電圧が印加される。図１３２（ｂ）（第２フレームとする）では、各画素行に対応するゲート信号線１７には、４Ｈ周期で２Ｈの期間オン電圧が印加されている。つ

まり、２フレームでは、（４＋４）Ｈ周期で（１＋２）Ｈの期間オン電圧が印加されることになる。このように駆動しても、単位期間（図１３２では２フレーム）では、各ゲート信号線１７ｂにはオン電圧が同一期間印加されることになる。したがって、各画素行は、同一輝度で表示される（白ラスター表示と仮定した場合）。

【０９５５】

なお、図１３０では、４Ｈ周期で１Ｈの期間オン電圧を印加するとしたが、これに限定するこのではない。たとえば、図１３３に図示するように、８Ｈ周期で１Ｈの期間オン電圧を印加するとしてもよい。また、各フレームでの各ゲート信号線１７ｂに印加する信号波形は、周期性をもたせることはなく、完全にランダム化してもよい。単位周期（単位期間）でオン電圧を印加する総和期間が、すべてのゲート信号線１７ｂで一致していればよいからである。

【０９５６】

しかし、以上の実施例では、すべてのゲート信号線１７ｂで単位期間において、オン電圧を印加する総和期間を一致させるとしたが、以下の場合には適用されない。１画面５０内（つまり、１つの表示パネル）で、複数の輝度が異なる画面５０を有する場合である。画面５０が、第１の画面５０ａと第２の画面５０ｂが構成されており、画面５０ａと５０ｂとの輝度が異なる場合である。２つの画面５０の輝度を異ならせるのは、プログラム電流Ｉｗを調整することのよっても変化することができるが、ゲート信号線１７ｂを走査し、第１の画面５０ａの各画素行の点灯（表示）期間と第２の画面５０ｂの各画素行の点灯（表示）期間とを異ならせる方式が実現容易である。たとえば、第１の画面５０ａの各画素行は、４Ｈに１Ｈの期間、ゲート信号線１７ｂにオン電圧を印加する。第２の画面５０ｂの各画素行は、８Ｈに１Ｈの期間、ゲート信号線１７ｂにオン電圧を印加する。このように、各画面でオン電圧を印加する期間を変化させることにより、画面の明るさを調整でき、また、そのときのガンマカーブも相似にすることができる。

【０９５７】

以上の実施例は、ゲート信号線１７ｂを制御することにより、ＥＬ素子１５に流れる電流を調整（オンオフさせ）し、表示画面５０の輝度を調整する、あるいは、動画表示を良好にするというものであった。図１３４は、以上の効果などを有する本発明の他の実施例である。

【０９５８】

図１３４の画素１６は、図１３５のように配置または構成されている。図１の画素構成と異なる点は、蓄積容量１９（コンデンサ１９）の一方の端子が容量制御線１３４１に接続されている点である。１本の容量制御線１３４１は、１画素行に共通である。容量制御線１３４１は容量制御共通線１３４３に接続されている。

【０９５９】

図１３５において、コンデンサ１９は一方の端子は容量制御線１３４１に接続され、他方の端子は、ＴＦＴ１１ａのゲート端子に接続されている。今、ＴＦＴ１１ａのゲート端子（Ｇ）にＶａ電圧が印加されているとする。また、ＴＦＴ１１ａのソース端子（Ｓ）に、Ｖｄｄ電圧が印加されているとする。また、Ｖａ　＜　Ｖｄｄとする。容量制御線１３４１にはＶｃ電圧が印加されているとする。

【０９６０】

以上の状態で、容量制御線１３４１のＶｃ電圧を＋側に変化させると、この変化に伴い、Ｖａ電圧も＋側にシフトする。ＴＦＴ１１ａはＰチャンネルトランジスタであるので、ＴＦＴ１１ａのゲート端子が、＋側（Ｖｄｄ側）にシフトすると、ＴＦＴ１１ａは電流を流さない方向になる。したがって、Ｖｃ電圧の＋側への変化が一定以上に大きいと、ＴＦＴ１１ａは完全に電流を流さない状態（カットオフ状態）となる。つまり、容量制御線１３４１への印加電位を制御することにより、該当画素行を黒表示状態にすることができる。なお、逆に、容量制御線１３４１のＶｃ電圧を－側に変化させると、ＴＦＴ１１ａのゲート端子（Ｇ）の電位も－側にシフトする。そのため、ＴＦＴ１１ａはより電流を流すようになる。以上の事項は、駆動用ＴＦＴ１１ａがＰチャンネルトランジスタで構成されて

いる場合である。駆動用ＴＦＴ１１ａがＮチャンネルの場合は、逆になる。つまり、容量制御線１３４１の電位を＋側にシフトすると、Ｎチャンネルの駆動用ＴＦＴ１１ａはより電流をＥＬ素子１５に流すようになる。

【０９６１】

以上の駆動方式を図１３５に適用することにより、表示画面５０を黒表示にすることができる。つまり、図１２４などで説明した黒挿入を実現できる。

【０９６２】

図１３４では、容量制御共通線１３４３（１３４３ａ、１３４３ｂ、１３４３ｃ、１３４３ｄ）が形成あるいは配置されている。（４Ｎ＋１）画素行（ただし、Ｎは０以上の整数）の容量制御線１３４１は容量制御共通線１３４３ａに接続されている。また、（４Ｎ＋２）画素行の容量制御線１３４１は容量制御共通線１３４３ｂに接続されている。（４Ｎ＋３）画素行は容量制御共通線１３４３ｃに接続され、（４Ｎ＋４）画素行の容量制御線１３４１は容量制御共通線１３４３ｄに接続されている。

【０９６３】

以上の構成で、容量制御共通線１３４３ａの印加電圧を、＋側にシフトすれば、（４Ｎ＋１）画素行が非表示（黒表示または低輝度表示）となる。同様に、容量制御共通線１３４３ｂの印加電圧を、＋側にシフトすれば、（４Ｎ＋２）画素行が非表示（黒表示または低輝度表示）となる。また、容量制御共通線１３４３ｃの印加電圧を、＋側にシフトすれば、（４Ｎ＋３）画素行が非表示となり、容量制御共通線１３４３ｄの印加電圧を、＋側にシフトすれば、（４Ｎ＋４）画素行が非表示となる。以上のように容量制御共通線１３４３を制御することにより、所定の画素行を黒表示にすることができる。したがって、容量制御共通線１３４３の制御タイミング、制御周期を調整することにより、画面輝度の調整を実施することができる。また、容量制御線１３４１と容量制御共通線１３４３との接続状態、接続本数、容量制御共通線１３４３の形成本数を所定状態とすることにより、図１２４のように、集中した黒挿入部分を設けることができる。したがって、動画表示を良好にすることもできる。

【０９６４】

図１３５（ａ）では、奇数番目の画素行は容量制御共通線１３４３ａに接続され、偶数番目の画素行は容量制御共通線１３４３ｂに接続されている。したがって、容量制御共通線１３４３ａと１３４３ｂとに交互に＋側に電圧を印加することにより、表示画面５０を櫛状に、非表示画素行とすることができる。図１３５（ｂ）では、３画素行ごとに異なる容量制御共通線１３４３に接続されている。したがって、３画素行周期で、点灯あるいは非点灯制御を行うことができる。

【０９６５】

容量制御線１３４１に印加し、＋側に変化させる電圧が比較小さい場合は、再び、容量制御線１３４１に印加する電圧を、－側にシフトすることにより、ＴＦＴ１１ａが流す電流は元の電流に戻すことができる（ただし、補償電圧の加算は必要である。）。しかし、＋側にシフトする電圧が所定値以上大きいと、ＴＦＴ１１ａが流す電流は元に戻すことができない（必要とする補償電圧が大きくなり、元の電流値にすることが困難になる）。

【０９６６】

図１３５の構成で黒挿入を実施するには、基本的には、コンデンサ１９に保持された画像データの復帰は望まない方がよい（完全にもとの保持電圧に復帰させることが困難だからである）。言い返せば、画像を黒表示にすることはできる。

【０９６７】

たとえば、図１３６に図示するように、画像書き込み前に、Ｒ位置で容量制御線１３４１に＋電圧を印加し黒表示５２にする。つまり、容量制御線１３４１に＋電圧を印加し、画面５０を黒表示５２にする。次に所定期間の経過後に、画像を書き込む（画像書き込み位置は画素書き込み行５１）。図１３６では、画素行がＫ（図１３６（ａ）の場合はＫ１、図１３６（ｂ）の場合はＫ２）離れた位置で書き込みを行っている。Ｋ１は画素行数を示している。つまり、Ｒ位置の黒書き込みを行ってから、画像を書き込むまでの時間は、

画素行数×１水平走査期間となる。したがって、Ｋが大きいほど、黒書き込み期間は増加（Ｋ１　＜　Ｋ２）し、画像表示は暗くなる。Ｋの値が大きくするほど画面が暗くなり、Ｋの値が小さいほど画面は明るくなる。このＫの値の調整により画像の輝度を調整することができる。また、Ｋの値が大きいほど、動画ボケの改善効果が高くなる。

【０９６８】

以上の実施例では、１つのソースドライバ回路（ＩＣ）１４と１つのゲートドライバ回路（ＩＣ）１２で、１つの画面５０に画像を表示するものであった。しかし、本発明はこれに限定するものではない。たとえば、図１３７の実施例では、画面５０は画面５０ａと画面５０ｂで構成されている。画面５０ａのソース信号線１８ａにはソースドライバ回路１４ａが接続されている。画面５０ｂのソース信号線１８ｂにはソースドライバ回路１４ｂが接続されている。画面５０ａ、画面５０ｂとのゲート信号線（１７ａ、１７ｂ）は１つの内蔵ゲートドライバ回路１２に接続されている。

【０９６９】

つまり、図１３７の実施例では、ゲートドライバ回路（ＩＣ）１２は、画面５０ａ、５０ｂに共通であり、画面５０を２つに分割して２つのソースドライバ回路（１４ａ、１４ｂ）で駆動されている。画像の書き込みは、画面５０の上から下方向（Ａ方向）に限定するものではない。図１３７に図示するように、画面５０の下から上方向（Ｂ方向）に走査してもよい。また、画面５０ａをＡ方向に走査し、画面５０ｂをＢ方向に走査してもよい。図１３７では画面５０の分割は２分割であるが、３分割以上としてもよいことは言うまでもない。また、ソースドライバ回路１４ａが１つの表示画面５０の偶数番目のソース信号線１８を駆動し、ソースドライバ回路１４ｂが前記表示画面５０の奇数番目のソース信号線１８を駆動するように配置または構成してもよい。ゲートドライバ回路１２についても同様である。ゲートドライバ回路１２を複数個用いて、それぞれの画面（５０ａ、５０ｂ）を駆動してもよい。また、ゲートドライバ回路１２ａが１つの表示画面５０の偶数番目のゲート信号線１８を駆動し、ゲートドライバ回路１２ｂが前記表示画面５０の奇数番目のゲート信号線１８を駆動するように配置または構成してもよい。なお、ソース信号線１４およびゲート信号線１２には、静電気保護のために保護ダイオードを形成することが好ましい。以上の事項は、本発明の他の実施例についても適用できることは言うまでもない。

【０９７０】

以上の実施例は、図１の画素構成の類似であったが、本発明はこれに限定するものではない。たとえば、図１３８のように、カレントミラーの画素構成でもよい。ゲートドライバ回路１２は容量制御線１３４１を用いてコンデンサ１９の印加電圧を制御する。他の事項は図１３５と同様であるので説明を省略する。

【０９７１】

また、画素が図１３９に図示するように、２つのトランジスタなどで構成された電圧駆動の画素構成にも、図１３５で説明した画素構成および駆動方式を適用（採用）することができる。

【０９７２】

図１３９では、選択トランジスタ１１ｂはＮチャンネルトランジスタで構成（形成）されている。したがって、ゲート信号線１７に印加された電圧が＋電圧（Ｖｇｈ）でオンする。一方、ゲートドライバ回路１２は容量制御線１３４１を用いてコンデンサ１９の印加電圧を制御する。ＴＦＴ１１ｂがオンすることにより、ソース信号線１８に印加された電圧が、駆動用ＴＦＴ１１ａのゲート（Ｇ）端子に印加される。なお、ゲート信号線１７にＶｇｌ電圧を印加することにより、ＴＦＴ１１ｂはオフする。他の事項は図１３５と同様であるので説明を省略する。

【０９７３】

図１４０は図１３９の画素構成を多段に接続した構成である。ゲート信号線１７はゲート信号線１７ａおよび容量制御線１３４１に接続されている。また、前段のゲート信号線１７に印加した電圧は、次段の画素１６の容量制御線１３４１に接続されている。たとえ

ば、図１４０において、画素１６ａのゲート信号線１７ａと画素１６ｂの容量制御線１３４１とは共通のゲート信号線１７に接続されている。したがって、ゲート信号線１７に選択電圧（Ｖｇｈ）を印加することにより、画素１６ａのＴＦＴ１１ｂがオンするとともに、画素１６ｂの容量制御線１３４１にもＶｇｈ電圧が印加され、画素１６ｂのＴＦＴ１１ａのゲート（Ｇ）端子がＶｄｄ電圧方向に引っ張られ、オフ状態となる。

【０９７４】

以上の動作により、画素１６ａは、ソース信号線１８の映像信号が画素１６ａのゲート端子に印加される。また、同時に画素１６ｂはオフ状態（黒表示または低輝度表示もしくは非点灯状態）
となる。したがって、ゲート信号線１７の走査により、次段の画素行がリセット（オフ状態（黒表示または低輝度表示もしくは非点灯状態））され、その後、前記次段の画素行に映像データが書き込まれる。

【０９７５】

以上のように、各画素１６は、リセットしてから画像を書き込むため、書き込み不足がなく、良好な画像表示を実現できる。

【０９７６】

なお、図１４０の構成では、次段の画素行をリセットするとしたがこれに限定するものではなく、複数画素行離れた画素行をリセットした後、画像を書き込んでもよいことは言うまでもない。また、図１４０の複数画素行を同時に駆動するという駆動方式は、図１３９に限定するものではなく、図１３８、図１３５の画素構成にも適用することができることは言うまでもない。また、図１３９において、ＴＦＴ１１ｂをＮチャンネルトランジスタとしたが、Ｐチャンネルトランジスタでもよい。この場合においても、ゲート信号線１７にオン電圧を印加することにより、次段の画素の駆動トランジスタ１１ａがオフするように画素を構成すればよい。この変更は当業者であれば容易にできるので説明を省略する。もちろん、次段の画素１６が黒表示にするだけでなく、白表示としてもよい。いわゆるリセット状態を実現できるからである。

【０９７７】

以上に説明した本発明の表示パネル、表示装置を用いる、もしくは、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。

【０９７８】

図５７は情報端末装置の１例としての携帯電話の平面図である。筐体５７３にアンテナ５７１、テンキー５７２などが取り付けられている。５７２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【０９７９】

キー５７２を１度押さえると表示色は８色モードに、つづいて同一キー５７２を押さえると表示色は２５６色モード、さらにキー５７２を押さえると表示色は４０９６色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー５７２は３つ（以上）となる。

【０９８０】

キー５７２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「２５６色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面５０に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【０９８１】

また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部２１に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切

換るように構成してもよい。

【０９８２】

５７２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【０９８３】

なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、ディスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置（液晶表示パネル）に限定されるものではなく、液晶表示パネル、有機ＥＬ表示パネルや、トランジスタパネル、ＰＬＺＴパネルや、ＣＲＴにも適用することができる。

【０９８４】

図５７で説明した本発明の携帯電話では図示していないが、筐体の裏側にＣＣＤカメラを備えている。ＣＣＤカメラで撮影し画像は即時に表示パネルの表示画面５０に表示できる。ＣＣＤカメラで撮影したデータは、表示画面５０に表示することができる。ＣＣＤカメラの画像データは２４ビット（１６７０万色）、１８ビット（２６万色）、１６ビット（６．５万色）、１２ビット（４０９６色）、８ビット（２５６色）をキー５７２入力で切り替えることができる。

【０９８５】

表示データが１２ビット以上の時は、誤差拡散処理を行って表示する。つまり、ＣＣＤカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

【０９８６】

今、ソースドライバＩＣ１４には４０９６色（ＲＧＢ各４ビット）で１画面の内蔵ＲＡＭを具備しているとして説明する。モジュール外部から送られてくる画像データが４０９６色の場合は、直接ソースドライバＩＣ１４の内蔵画像ＲＡＭに格納され、この内蔵画像ＲＡＭから画像データを読み出し、表示画面５０に画像を表示する。

【０９８７】

画像データが２６万色（Ｇ：６ビット、Ｒ、Ｂ：５ビットの計１６ビット）の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより１６ビットの画像データは内蔵画像ＲＡＭのビット数である１２ビットに変換されてソースドライバＩＣ１４に転送される。ソースドライバＩＣ１４はＲＧＢ各４ビット（４０９６色）の画像データを出力し、表示画面５０に画像を表示する。

【０９８８】

さらに、本発明のＥＬ表示パネルあるいはＥＬ表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【０９８９】

図５８は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図５８において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【０９９０】

ボデー５７３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）５７４から出射した迷光がボデー５７３の内面で乱反射し表示コントラストの低下

を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）１０８、偏光板１０９などが配置されている。このことは図１０、図１１でも説明している。

【０９９１】

接眼リング５８１には拡大レンズ５８２が取り付けられている。観察者は接眼リング５８１をボデー５７３内での挿入位置を可変して、表示パネル５７４の表示画像５０にピントがあうように調整する。

【０９９２】

また、必要に応じて表示パネル５７４の光出射側に正レンズ５８３を配置すれば、拡大レンズ５８２に入射する主光線を収束させることができる。そのため、拡大レンズ５８２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【０９９３】

図５９はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部５９２とビデオかメラ本体５７３と具備し、撮影レンズ部５９２とビューファインダ部５７３とは背中合わせとなっている。また、ビューファインダ（図５８も参照）５７３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル５７４の画像５０を観察する。

【０９９４】

一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部５０は支点５９１で角度を自由に調整できる。表示部５０を使用しない時は、格納部５９３に格納される。

【０９９５】

スイッチ５９４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ５９４は表示モード切り替えスイッチである。スイッチ５９４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ５９４について説明をする。

【０９９６】

本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる１／ＭのＭの値だけをきりかえることにより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。

【０９９７】

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面５０を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

【０９９８】

したがって、ユーザーがボタン５９４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。

【０９９９】

なお、表示画面５０はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度とし

てもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【１０００】

具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。

【１００１】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。この切り替えはホトセンサにより自動的に行っても良いし、ユーザーのスイッチ操作により切り替えてもよい。

【１００２】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【１００３】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ表示素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している。

【１００４】

以上の機能をスイッチ５９４で実現できるようにする。スイッチ５９４は表示画面５０のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【１００５】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【１００６】

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図６０に示すような電子カメラにも適用することができる。表示装置はカメラ本体６０１に付属されたモニター５０として用いる。カメラ本体６０１にはシャッタ６０３の他、スイッチ５９４が取り付けられている。

【１００７】

本発明のビデオカメラなどは、タッチパネルを搭載し、指やペンでＷｅｂブラウジングやＥメールなどを操作できるインターネット端末機能を有している。また、ハードディスク装置の代わりに２５６Ｍバイト以上のコンパクト・フラッシュ・カード（誤り訂正機能付き）を搭載することが好ましい。ウィンドウズ(登録商標）ＯＳの基本機能部分だけを

採用することで低容量化が図る。ＨＤＤがないため、ディスク・クラッシュなどの心配がなく堅牢性を確保できる。ＰＣカード・スロットを２つ装備させる。モデムや、ＩＳＤＮ、ＰＩＡＦＳ、ＬＡＮ、無線ＬＡＮなどを利用できるように構成することが好ましい。無線ＬＡＮ用のアンテナ内蔵させる。USB/RS232Cインターフェースにより、バーコード・リーダなどの業務用周辺機器も接続できるようにしている。キーボードがない省スペース設計に加え、水濡れやホコリに耐える（JIS防滴2級に準拠）ように構成する。タッチパネルや、アプリケーションを簡単に起動できる「ワンタッチ・キー」の採用、手書きE-mail機能（手書きメモ機能を含む）の搭載など、BtoBtoCでの一般ユーザーの利用を想定して操作性の向上を図っている。以上の機能などは本発明の他の表示装置、情報端末なども搭載する。

【１００８】

以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面５０がたわみやすい。その対策のため、本発明では図６１に示すように表示パネルに外枠６１１をつけ、外枠６１１をつりさげられるように固定部材６１４で取り付けている。この固定部材６１４を用いて、壁などに取り付ける。

【１００９】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部６１３を配置し、複数の脚６１２で表示パネルの重量を保持できるようにしている。

【１０１０】

脚６１２はＡに示すように左右に移動でき、また、脚６１２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【１０１１】

なお、脚６１２あるいは筐体（他の本発明においても）にはプラスチックフィルム－金属板複合材（以後、複合材と呼ぶ）を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層（接着層）を介して強力に接着したものである。金属板は０．２ｍｍ以上０．８ｍｍ以下が好ましく、金属板に特殊表面処理層を介してはりあわされるプラスチックフィルムは１５μｍ以上１００μｍ以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程（フィルムの手貼り、メッキ塗装）の削除が可能となる。また、従来では不可能であった深絞り成形やＤＩ成形に適する。

【１０１２】

図６１のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【１０１３】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【１０１４】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【１０１５】

保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（

板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

【１０１６】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【１０１７】

画面は４：３に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は１２８０×７６８ドット以上にすることが好ましい。ワイド型をすることにより、ＤＶＤ映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネルの明るさは３００ｃｄ／m^2（カンデラ／平方メートル）にすることが好ましい。さらに好ましくは、表示パネルの明るさは５００ｃｄ／m^2（カンデラ／平方メートル）にすることが好ましい。また、インターネットや通常のパソコン作業に適した明るさ（２００ｃｄ／m^2）で表示できるように切り替えスイッチを設置している。

【１０１８】

したがって、使用者は表示内容あるいは使用方法により、最適に画面の明るさにすることができる。さらに動画を表示しているウインドウだけを５００ｃｄ／m^2にして、その他の部分は２００ｃｄ／m^2にする設定も用意している。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い方にも柔軟に対応する。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

【１０１９】

テレビ番組の再生、録画機能も使い勝手が向上させている。ｉモードからの録画予約が簡単にできるようにしている。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をｉモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできるようにしている。ニュース番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分を飛ばして、番組の概要を短時間で見ることができる（３０分番組で１～１０分程度）。

【１０２０】

テレビ録画ができるようにディスク容量が４０ＧＢ以上のハードディスクを積載している。 本体のほかに電源と映像用入出力端子をまとめた拡張ボックスで構成している。ビデオなどのＡＶ機器の接続に使う拡張ボックスには、パソコンとテレビのほかに２系統の映像機器を接続できる。映像入力はＢＳデジタルチューナー用のＤ１端子のほかにＳ端子入力も備え、接続する機器に合わせて選択できる。ゲーム機などの接続に便利なようにＡＶ用の端子は前面に配置されている。

【１０２１】

また、表示画面を前屈３０度以上、後屈１２０度以上とすることにより、９０度／１８０／２７０度に回転できるように構成することにより、操作環境にあわせた自在な設置が可能となる。たとえば、９０度回転させてブラウザー画面を縦長に表示することができる。また、１４５度後屈させることによって対面に座った人へ向かって画面を表示できる。

【１０２２】

以上の保護フィルム、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまでもない。

【１０２３】

以上の実施例では、ＥＬ素子１５はＲ、Ｇ、Ｂであるとしたが、これに限定するもので

はない。たとえば、シアン、イエロー、マゼンダでもよいし、任意の２色でもよい。Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダの６色あるいは任意の４色以上であってもよい。また、白単色であってもよいし、白単色光をカラーフィルターでＲＧＢにしたのもでもよい。また、有機ＥＬ素子に限定するものではなく、無機ＥＬ素子であってもよい。

【１０２４】

なお、本発明の実施例では、アクティブマトリックス型表示パネルを例示して説明したがこれに限定するものではない。ソースドライバＩＣ１４などからは所定電流のＮ倍電流をソース信号線１８に印加（から吸収）する。また、複数の画素行を同時に選択する。そして、所定の期間の間だけ、ＥＬ素子に電流を流し、他の期間は電流を流さない、という概念は、単純マトリックス型表示パネルにも適用できるものである。

【１０２５】

また、ＥＬ素子１５は点灯初期に特性変化が大きい。そのため、焼きツキなどが発生しやすい。この対策のため、パネル形成後、２０時間以上１５０時間以内の間、白ラスター表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも２－１０倍程度の明るさで表示させることが好ましい。

【１０２６】

本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【１０２７】

なお、本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図２２、図２４、図３０のＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

【１０２８】

本明細書で説明した画素構成、あるいは駆動方法は、などの画素構成あるいはアレイ構成などはＥＬ表示パネルにのみ限定されるものではない。たとえば、液晶表示パネルにも適用することができる。その際は、ＥＬ素子１５を液晶層、ＰＬＺＴ、ＬＥＤなどの光変調層に置き換えればよい。たとえば、液晶の場合は、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ Ｓｗｉｔｃｈｉｎｇ）、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）、ＯＣＢ（ＯｐｔｉｃａｌｌｙＣｏｍｐｅｎｓａｔｏｒｙ Ｂｅｎｄ）、ＳＴＮ（Ｓｕｐｐｅｒ Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）、ＶＡ（Ｖｅｒｔｉｃａｌｌｙ Ａｌｉｇｎｅｄ）、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｃｏｎｔｒｏｌｌｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ ）およびＨＡＮ（Ｈｙｂｒｉｄ Ａｌｉｇｎｅｄ Ｎｅｍａｔｉｃ）モード、ＤＳＭモード（動的散乱モード）などである。特に、ＤＳＭは印加する電流により光変調できるので、本発明とはマッチングがよい。

【１０２９】

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【１０３０】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【１０３１】

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。

【１０３２】

また、スキャナの光源としても有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【１０３３】

また、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【産業上の利用可能性】

【１０３４】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【１０３５】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【１０３６】

【図１】本発明の表示パネルの画素構成図である。
【図２】本発明の表示パネルの画素構成図である。
【図３】本発明の表示パネルの動作の説明図である。
【図４】本発明の表示パネルの動作の説明図である。
【図５】本発明の表示装置の駆動方法の説明図である。
【図６】本発明の表示装置の構成図である。
【図７】本発明の表示パネルの製造方法の説明図である。
【図８】本発明の表示装置の構成図である。
【図９】本発明の表示装置の構成図である。
【図１０】本発明の表示パネルの断面図である。
【図１１】本発明の表示パネルの断面図である。
【図１２】本発明の表示パネルの説明図である。
【図１３】本発明の表示装置の駆動方法の説明図である。
【図１４】本発明の表示装置の駆動方法の説明図である。
【図１５】本発明の表示装置の駆動方法の説明図である。

【図１６】本発明の表示装置の駆動方法の説明図である。
【図１７】本発明の表示装置の駆動方法の説明図である。
【図１８】本発明の表示装置の駆動方法の説明図である。
【図１９】本発明の表示装置の駆動方法の説明図である。
【図２０】本発明の表示装置の駆動方法の説明図である。
【図２１】本発明の表示装置の駆動方法の説明図である。
【図２２】本発明の表示装置の駆動方法の説明図である。
【図２３】本発明の表示装置の駆動方法の説明図である。
【図２４】本発明の表示装置の駆動方法の説明図である。
【図２５】本発明の表示装置の駆動方法の説明図である。
【図２６】本発明の表示装置の駆動方法の説明図である。
【図２７】本発明の表示装置の駆動方法の説明図である。
【図２８】本発明の表示装置の駆動方法の説明図である。
【図２９】本発明の表示装置の駆動方法の説明図である。
【図３０】本発明の表示装置の駆動方法の説明図である。
【図３１】本発明の表示装置の駆動方法の説明図である。
【図３２】本発明の表示装置の駆動方法の説明図である。
【図３３】本発明の表示装置の駆動方法の説明図である。
【図３４】本発明の表示装置の構成図である。
【図３５】本発明の表示装置の駆動方法の説明図である。
【図３６】本発明の表示装置の駆動方法の説明図である。
【図３７】本発明の表示装置の構成図である。
【図３８】本発明の表示装置の構成図である。
【図３９】本発明の表示装置の駆動方法の説明図である。
【図４０】本発明の表示装置の構成図である。
【図４１】本発明の表示装置の構成図である。
【図４２】本発明の表示パネルの画素構成図である。
【図４３】本発明の表示パネルの画素構成図である。
【図４４】本発明の表示装置の駆動方法の説明図である。
【図４５】本発明の表示装置の駆動方法の説明図である。
【図４６】本発明の表示装置の駆動方法の説明図である。
【図４７】本発明の表示パネルの画素構成図である。
【図４８】本発明の表示装置の構成図である。
【図４９】本発明の表示装置の駆動方法の説明図である。
【図５０】本発明の表示パネルの画素構成図である。
【図５１】本発明の表示パネルの画素図である。
【図５２】本発明の表示装置の駆動方法の説明図である。
【図５３】本発明の表示装置の駆動方法の説明図である。
【図５４】本発明の表示パネルの画素構成図である。
【図５５】本発明の表示装置の駆動方法の説明図である。
【図５６】本発明の表示装置の駆動方法の説明図である。
【図５７】本発明の携帯電話の説明図である。
【図５８】本発明のビューファインダの説明図である。
【図５９】本発明のビデオカメラの説明図である。
【図６０】本発明のデジタルカメラの説明図である。
【図６１】本発明のテレビ（モニター）の説明図である。
【図６２】従来の表示パネルの画素構成図である。
【図６３】本発明のドライバ回路の機能ブロック図である。
【図６４】本発明のドライバ回路の説明図である。
【図６５】本発明のドライバ回路の説明図である

【図６６】電圧受け渡し方式の多段式カレントミラー回路の説明図である。
【図６７】電流受け渡し方式の多段式カレントミラー回路の説明図である。
【図６８】本発明の他の実施例におけるドライバ回路の説明図である。
【図６９】本発明の他の実施例におけるドライバ回路の説明図である。
【図７０】本発明の他に実施例におけるドライバ回路の説明図である。
【図７１】本発明の他の実施例におけるドライバ回路の説明図である。
【図７２】従来のドライバ回路の説明図である。
【図７３】本発明のドライバ回路の説明図である。
【図７４】本発明のドライバ回路の説明図である。
【図７５】本発明のドライバ回路の説明図である。
【図７６】本発明のドライバ回路の説明図である。
【図７７】本発明のドライバ回路の制御方法の説明図である。
【図７８】本発明のドライバ回路の説明図である。
【図７９】本発明のドライバ回路の説明図である。
【図８０】本発明のドライバ回路の説明図である。
【図８１】本発明のドライバ回路の説明図である。
【図８２】本発明のドライバ回路の説明図である。
【図８３】本発明のドライバ回路の説明図である。
【図８４】本発明のドライバ回路の説明図である。
【図８５】本発明のドライバ回路の説明図である。
【図８６】本発明のドライバ回路の説明図である。
【図８７】本発明のドライバ回路の説明図である。
【図８８】本発明の駆動方法の説明図である。
【図８９】本発明のドライバ回路の説明図である。
【図９０】本発明の駆動方法の説明図である。
【図９１】本発明のＥＬ表示装置の構成図である。
【図９２】本発明のＥＬ表示装置の構成図である。
【図９３】本発明のドライバ回路の説明図である。
【図９４】本発明のドライバ回路の説明図である。
【図９５】本発明のＥＬ表示装置の構成図である。
【図９６】本発明のＥＬ表示装置の構成図である。
【図９７】本発明のＥＬ表示装置の構成図である。
【図９８】本発明のＥＬ表示装置の構成図である。
【図９９】本発明のＥＬ表示装置の構成図である。
【図１００】本発明のＥＬ表示装置の断面図である。
【図１０１】本発明のＥＬ表示装置の断面図である。
【図１０２】本発明のＥＬ表示装置の構成図である。
【図１０３】本発明のＥＬ表示装置の構成図である。
【図１０４】本発明のＥＬ表示装置の構成図である。
【図１０５】本発明のＥＬ表示装置の構成図である。
【図１０６】本発明のＥＬ表示装置の構成図である。
【図１０７】本発明のＥＬ表示装置の構成図である。
【図１０８】本発明のＥＬ表示装置の構成図である。
【図１０９】本発明のＥＬ表示装置の構成図である。
【図１１０】本発明のソースドライバＩＣの説明図である。
【図１１１】本発明のゲートドライバ回路のブロック図である。
【図１１２】図１１１のゲートドライバ回路のタイミングチャート図である。
【図１１３】本発明のゲートドライバ回路の１部のブロック図である。
【図１１４】図１１３のゲートドライバ回路のタイミングチャート図である。
【図１１５】本発明のＥＬ表示装置の駆動方法の説明図である。

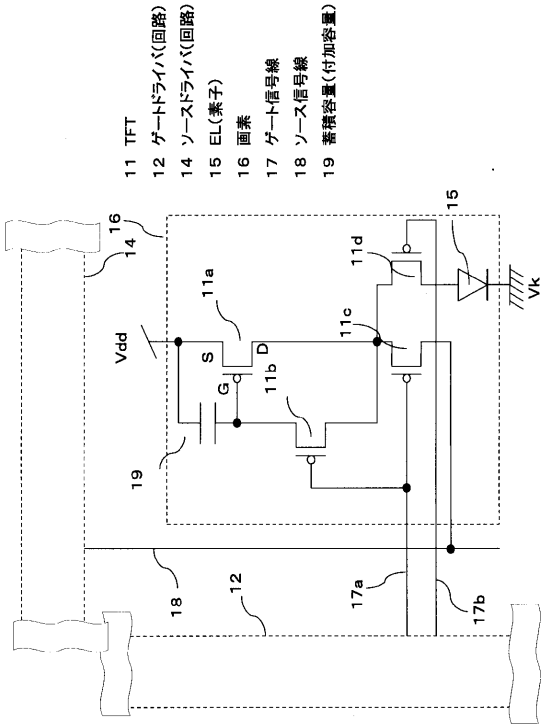
【図１１６】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１１７】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１１８】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１１９】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２０】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２１】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２２】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２３】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２４】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２５】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２６】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２７】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２８】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１２９】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１３０】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１３１】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１３２】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１３３】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１３４】本発明のＥＬ表示装置の説明図である。
【図１３５】本発明のＥＬ表示装置の説明図である。
【図１３６】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１３７】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１３８】本発明のＥＬ表示パネルの構成図である。
【図１３９】本発明のＥＬ表示パネルの構成図である。
【図１４０】本発明のＥＬ表示パネルの構成図である。
【図１４１】本発明のＥＬ表示装置の駆動方法の説明図である。
【図１４２】本発明のＥＬ表示パネルの構成図である。
【図１４３】本発明のＥＬ表示パネルの構成図である。
【図１４４】本発明のソースドライバ回路の構成図である。
【図１４５】本発明のゲートドライバ回路の説明図である。
【図１４６】本発明のソースドライバ回路の構成図である。
【図１４７】本発明のソースドライバ回路の構成図である。
【図１４８】本発明のソースドライバ回路の構成図である。
【図１４９】本発明のソースドライバＩＣの接続説明図である。
【図１５０】本発明のソースドライバＩＣの接続説明図である。
【図１５１】本発明のソースドライバＩＣの接続説明図である。
【図１５２】本発明のソースドライバ回路の構成図である。
【図１５３】本発明のＥＬ表示パネルの説明図である。
【図１５４】本発明のＥＬ表示パネルの画素構成の説明図である。
【図１５５】本発明の表示パネルの駆動方法の説明図である。
【図１５６】本発明のＥＬ表示装置の構成図である。
【図１５７】本発明のＥＬ表示装置の構成図である。
【図１５８】本発明のＥＬ表示装置の構成図である。
【符号の説明】
【１０３７】
１１　ＴＦＴ（薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバＩＣ（回路）
１５　ＥＬ（素子）（発光素子）
１６　画素

１７ ゲート信号線
１８ ソース信号線
１９ 蓄積容量（付加コンデンサ、付加容量）
５０ 表示画面
５１ 書き込み画素（行）
５２ 非表示画素（非表示領域、非点灯領域）
５３ 表示画素（表示領域、点灯領域）
６１ シフトレジスタ
６２ インバータ
６３ 出力バッファ
７１ アレイ基板（表示パネル）
７２ レーザー照射範囲（レーザースポット）
７３ 位置決めマーカー
７４ ガラス基板（アレイ基板）
８１ コントロールＩＣ（回路）
８２ 電源ＩＣ（回路）
８３ プリント基板
８４ フレキシブル基板
８５ 封止フタ
８６ カソード配線
８７ アノード配線（Ｖｄｄ）
８８ データ信号線
８９ ゲート制御信号線
１０１ 土手（リブ）
１０２ 層間絶縁膜
１０４ コンタクト接続部
１０５ 画素電極
１０６ カソード電極
１０７ 乾燥剤
１０８ λ／４板
１０９ 偏光板
１１１ 薄膜封止膜
２８１ ダミー画素（行）
３４１ 出力段回路
３７１ ＯＲ回路
４０１ 点灯制御線
４７１ 逆バイアス線
４７２ ゲート電位制御線
５６１ 電子ボリウム回路
５６２ ＴＦＴのＳＤ（ソース－ドレイン）ショート
５７１ アンテナ
５７２ キー
５７３ 筐体
５７４ 表示パネル
５８１ 接眼リング
５８２ 拡大レンズ
５８３ 凸レンズ
５９１ 支点（回転部）
５９２ 撮影レンズ
５９３ 格納部

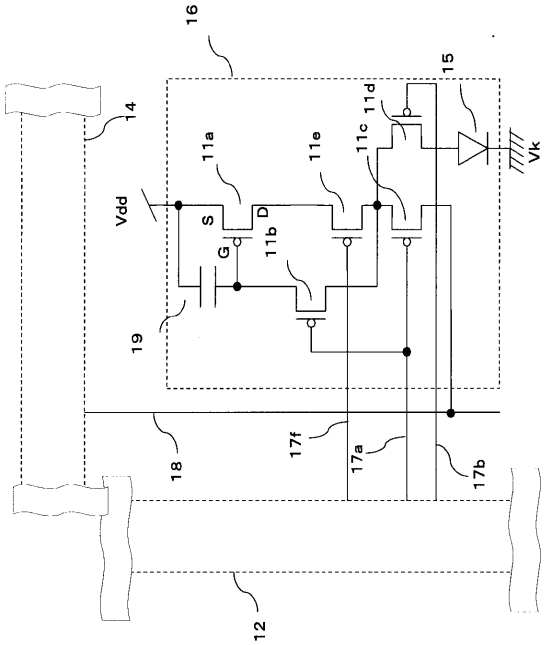
５９４　スイッチ
６０１　本体
６０２　撮影部
６０３　シャッタスイッチ
６１１　取り付け枠
６１２　脚
６１３　取り付け台
６１４　固定部
６３１　電流源
６３２　電流源
６３３　電流源
６４１　スイッチ（オンオフ手段）
６３４　電流源（１単位）
６４３　内部配線
６５１　ボリウム（電流調整手段）
６８１　トランジスタ群
６９１　抵抗（電流制限手段、所定電圧発生手段）
６９２　デコーダ回路
６９３　レベルシフタ回路
７０１　カウンタ（計数手段）
７０２　ＮＯＲ
７０３　ＡＮＤ
７０４　電流出力回路
７１１　嵩上げ回路
７２１　Ｄ／Ａ変換器
７２２　オペアンプ
７３１　アナログスイッチ（オンオフ手段）
７３２　インバータ
７６１　出力パッド（出力信号端子）
７７１　基準電流源
７７２　電流制御回路
７８１　温度検出回路
７８２　温度制御回路
９３１　カスケード電流接続線
９３２　基準電流信号線
９４１ｉ　電流入力端子
９４１ｏ　電流出力端子
９５１　ベースアノード線（アノード電圧線）
９５２　アノード配線
９５３　接続端子
９６１　接続アノード線
９６２　共通アノード線
９７１　コンタクトホール
９９１　ベースカソード線
９９２　入力信号線
１００１　接続樹脂（導電性樹脂、異方向性導電樹脂）
１０１１　光吸収膜
１０１２　樹脂ビーズ
１０１３　封止樹脂
１０２１　回路形成部

１０５１　ゲート電圧線
１０９１　電源回路（ＩＣ）
１０９２　電源ＩＣ制御信号
１０９３　ゲートドライバ回路制御信号
１１１１　単位ゲート出力回路
１３４１　容量制御線
１３４３　容量制御共通線
１４４１　基準電圧回路
１４４３　トランジスタ
１４４４　トランジスタ
１４５１　（可変）ツェナーダイオード
１４６１　配線
１４６２　バッファ回路
１４６３　調整基準電圧出力配線
１４７１　調整基準電圧出力端子
１４８１　調整基準電圧入力配線
１４８２　基準電圧切り替えスイッチ
１４８３　調整基準電圧入力端子
１５２１　倍率可変スイッチ
１５２２　トランジスタ
１５６１　画素トランジスタ形成領域
１５８１　点灯制御ドライバ
１５８２　ドライバ制御線

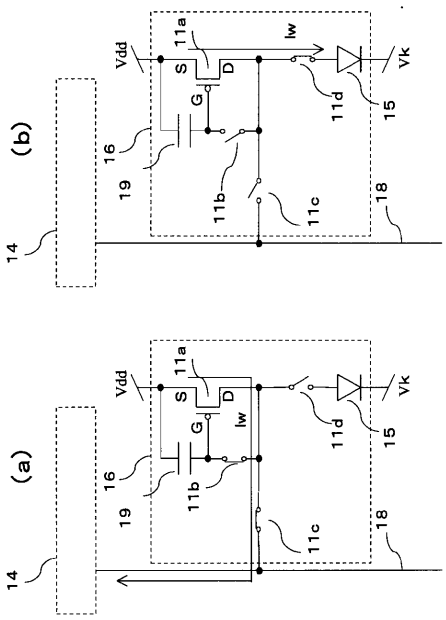
【図１】



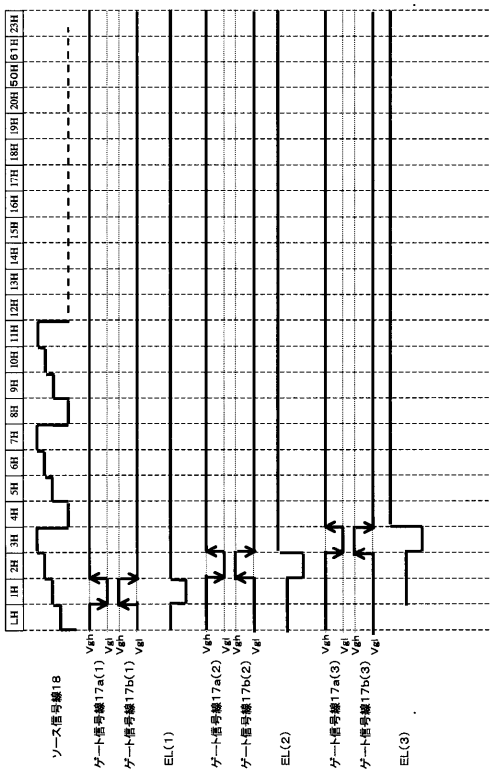
【図２】



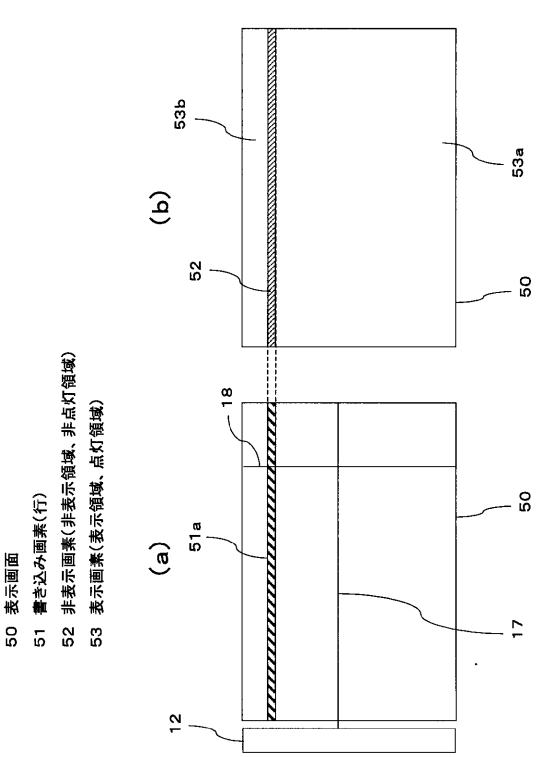
【図３】


(b)
(a)
Vdd
Vk
Iw
S
D
G
11a
11b
11c
11d
12
14
15
16
17
18
19

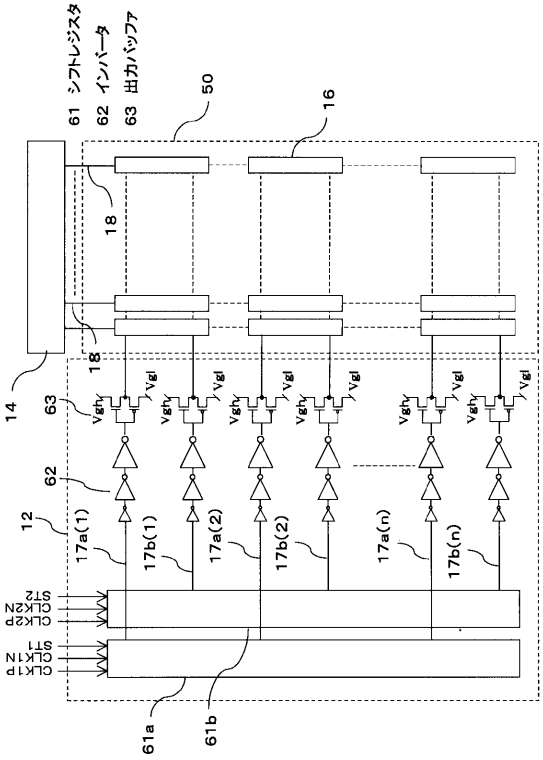
【図４】


ソース信号線18
ゲート信号線17a(1)
ゲート信号線17b(1)
EL(1)
ゲート信号線17a(2)
ゲート信号線17b(2)
EL(2)
ゲート信号線17a(3)
ゲート信号線17b(3)
EL(3)
Vgh
Vgl

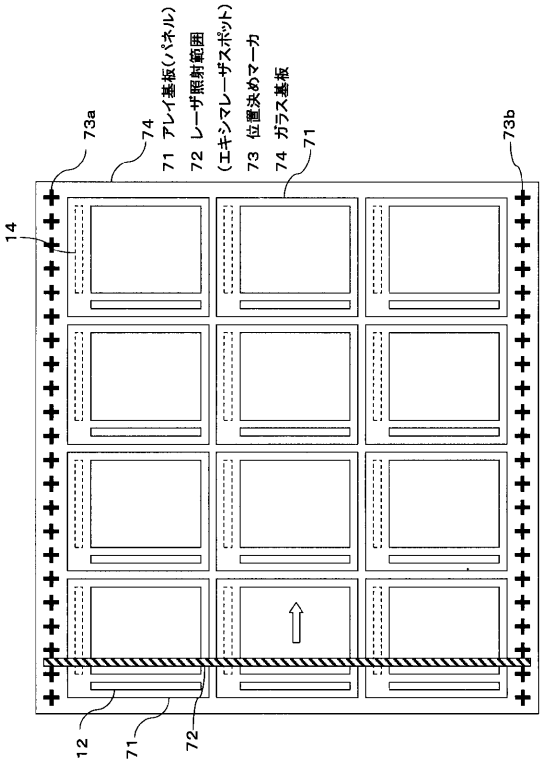
【図５】


50 表示画面
51 書き込み画素(行)
52 非表示画素(非表示領域、非点灯領域)
53 表示画素(表示領域、点灯領域)
(a)
(b)
12
17
18
50
51a
52
53a
53b

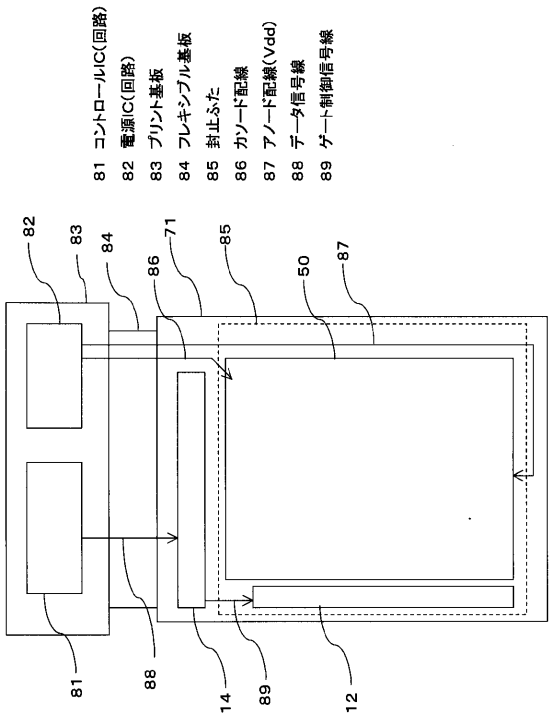
【図６】


61 シフトレジスタ
62 インバータ
63 出力バッファ
12
14
16
17a(1)
17b(1)
17a(2)
17b(2)
17a(n)
17b(n)
18
50
61a
61b
63
Vgh
Vgl
CLK1P
CLK1N
STI
CLK2P
CLK2N
STI2

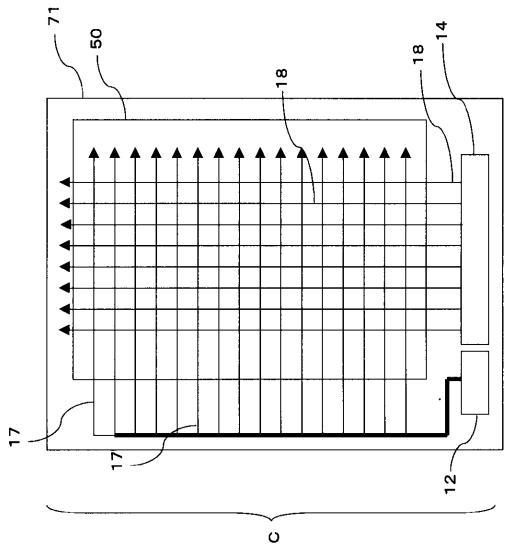
【図７】


71 アレイ基板(パネル)
72 レーザ照射範囲
(エキシマレーザスポット)
73 位置決めマーカ
74 ガラス基板
73a
73b
74
71
14
12
71
72

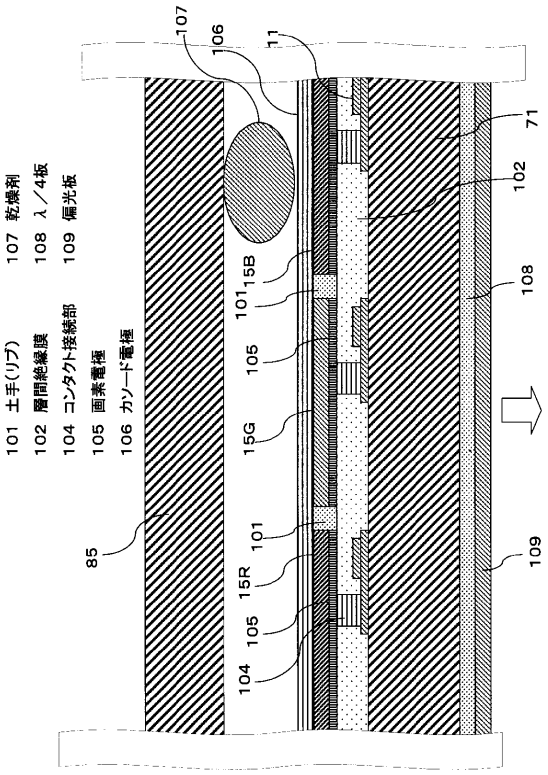
【図８】


81 コントロールIC(回路)
82 電源IC(回路)
83 プリント基板
84 フレキシブル基板
85 封止ふた
86 カソード配線
87 アノード配線(Vdd)
88 データ信号線
89 ゲート制御信号線
82
83
84
86
71
85
50
87
81
88
14
89
12

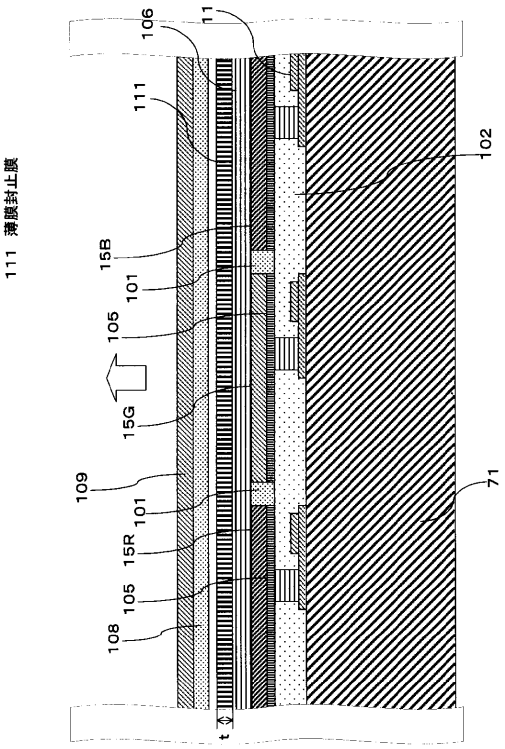
【図９】


71
50
18
18
14
17
17
12
C

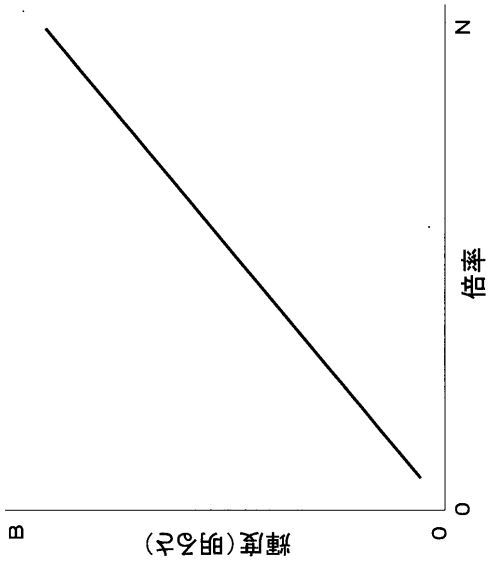
【図１０】


101 土手(リブ)
102 層間絶縁膜
104 コンタクト接続部
105 画素電極
106 カソード電極
107 乾燥剤
108 λ／4板
109 偏光板
107
106
11
71
102
15B
101
108
105
15G
85
101
15R
105
104
109

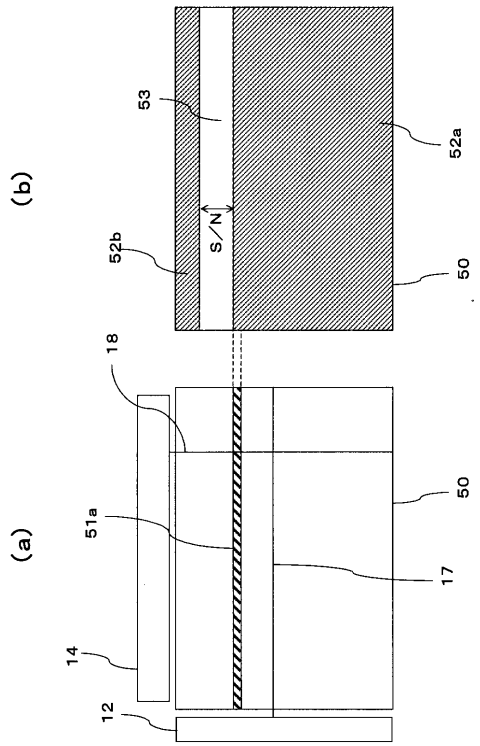
【図１１】



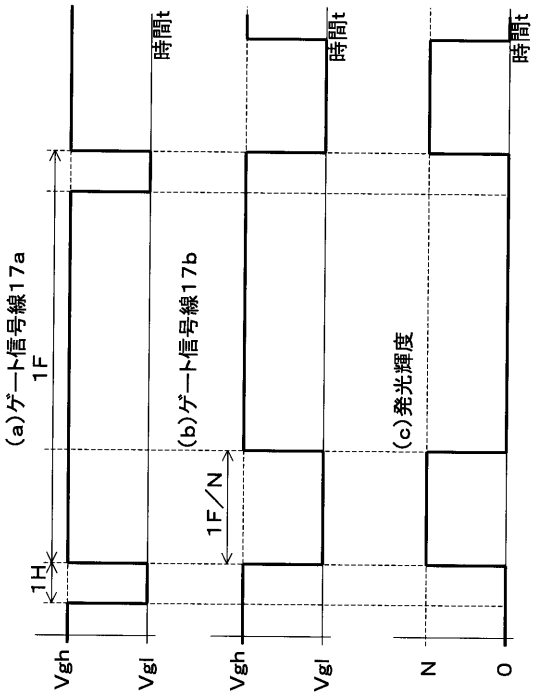
【図１２】



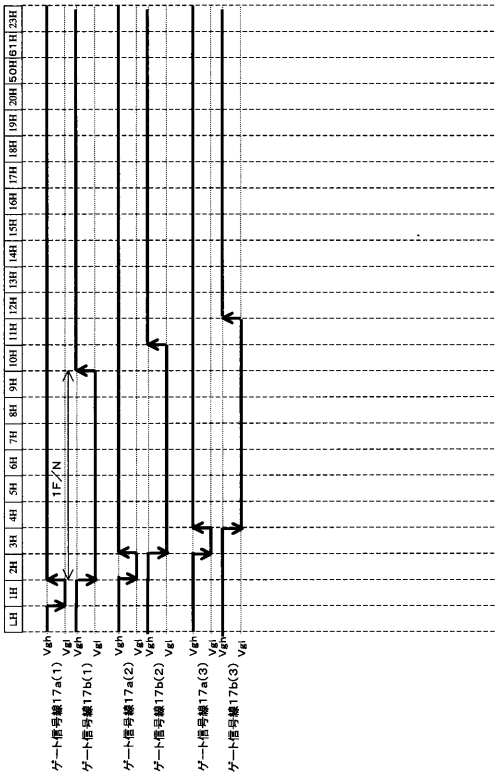
【図１３】



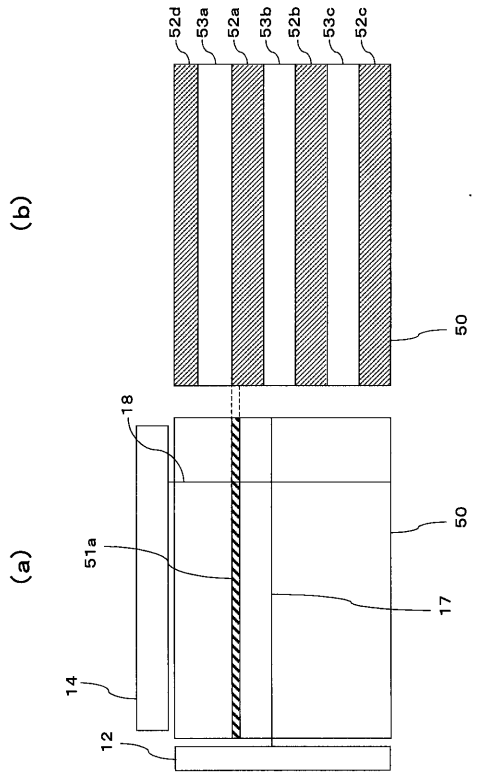
【図１４】



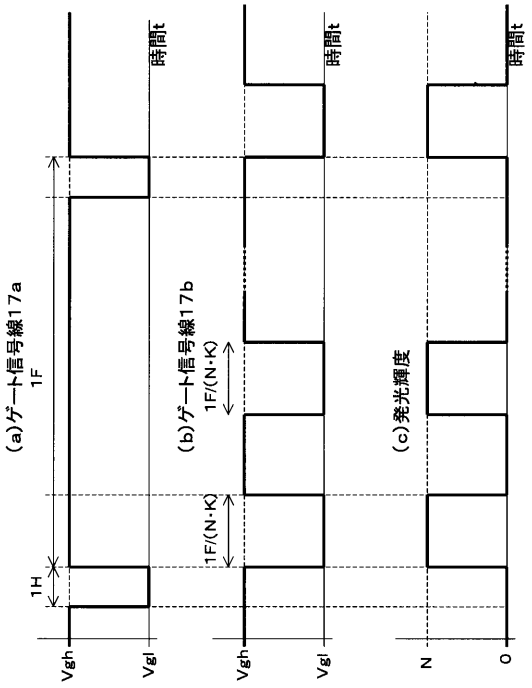
【図１５】



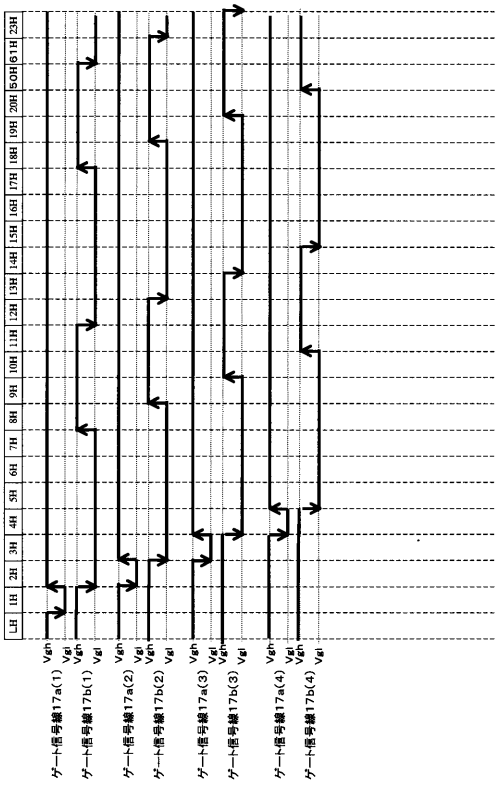
【図１６】



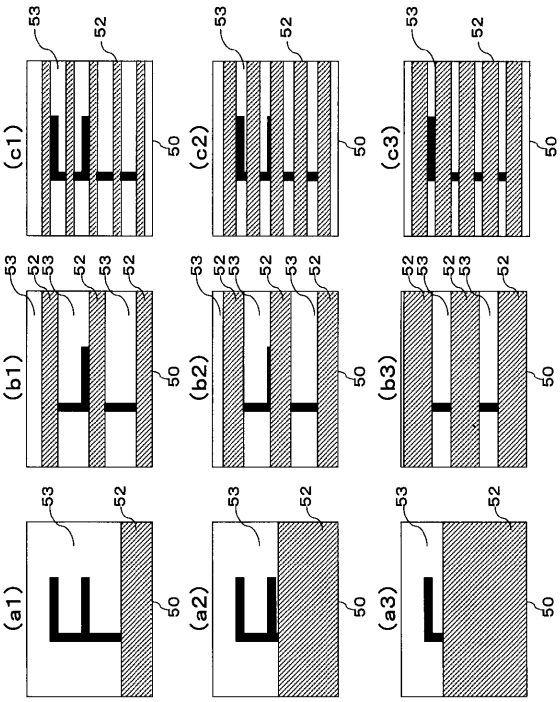
【図１７】



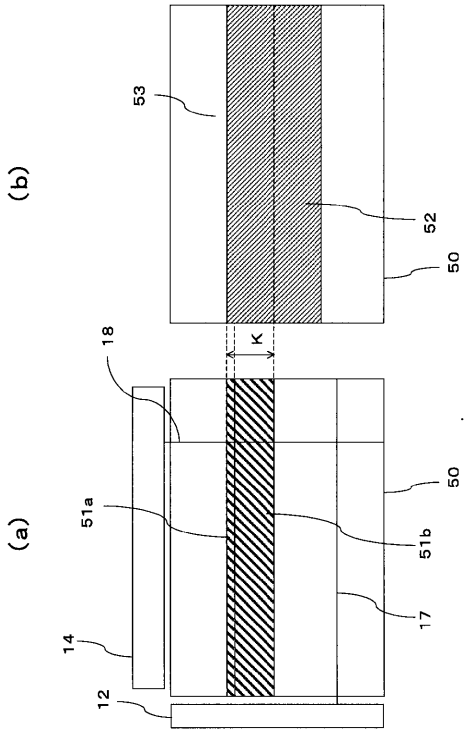
【図１８】



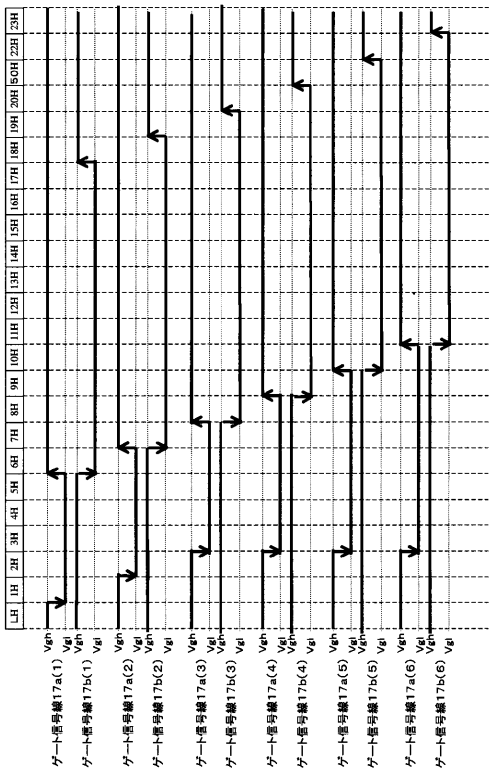
【図１９】



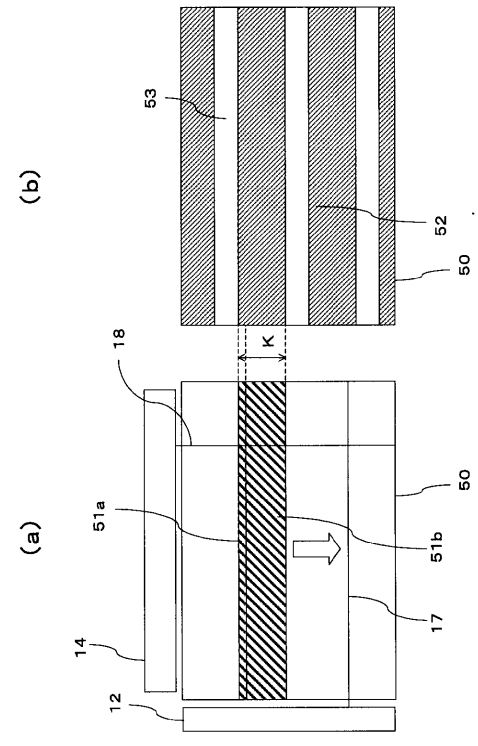
【図２０】



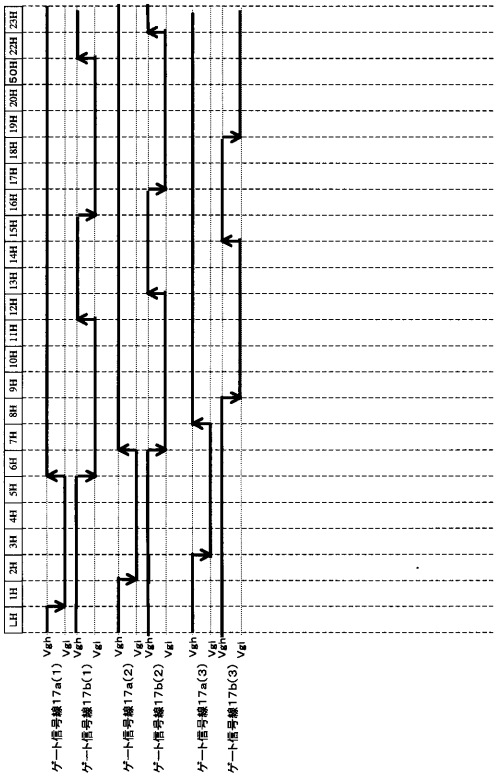
【図２１】



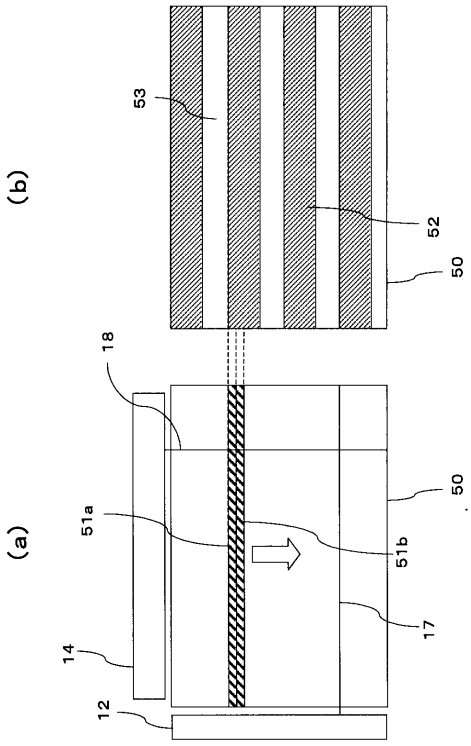
【図２２】



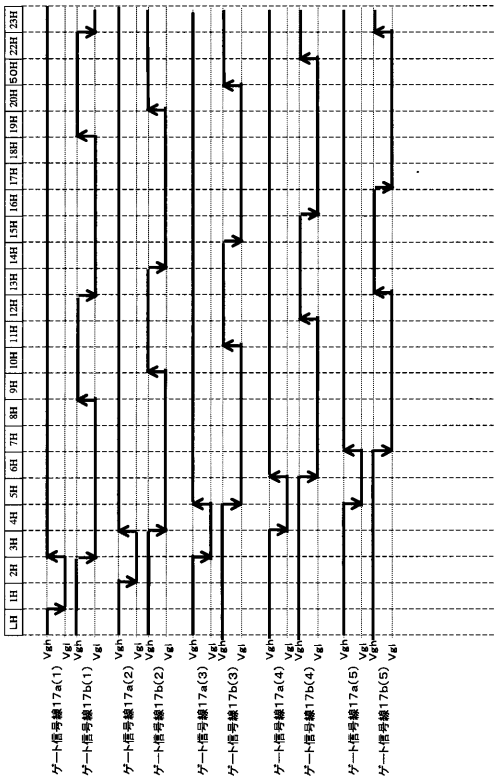
【図２３】



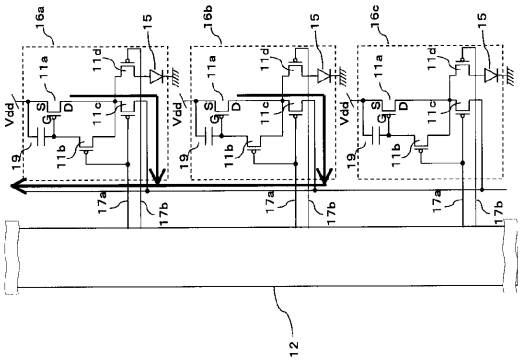
【図２４】



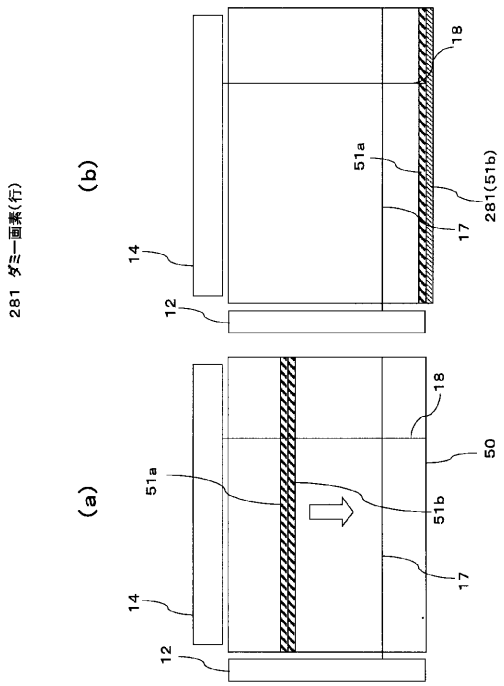
【図２５】



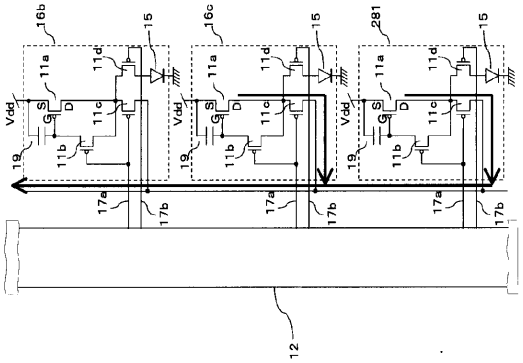
【図２６】



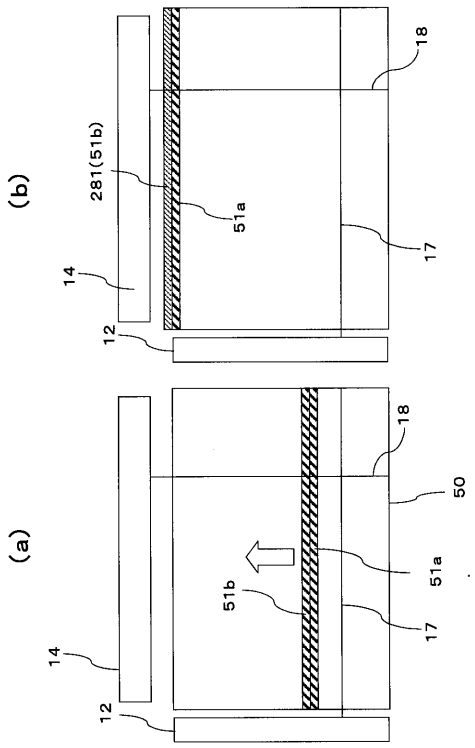
【図２７】



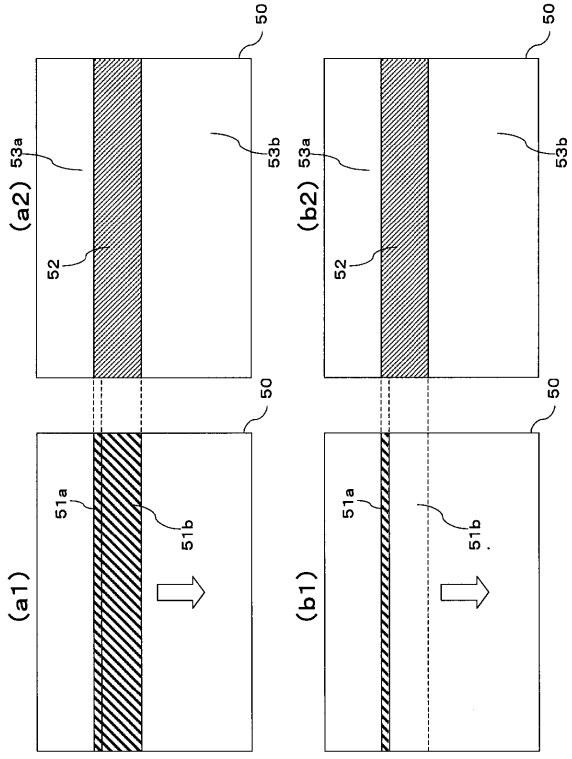
【図２８】



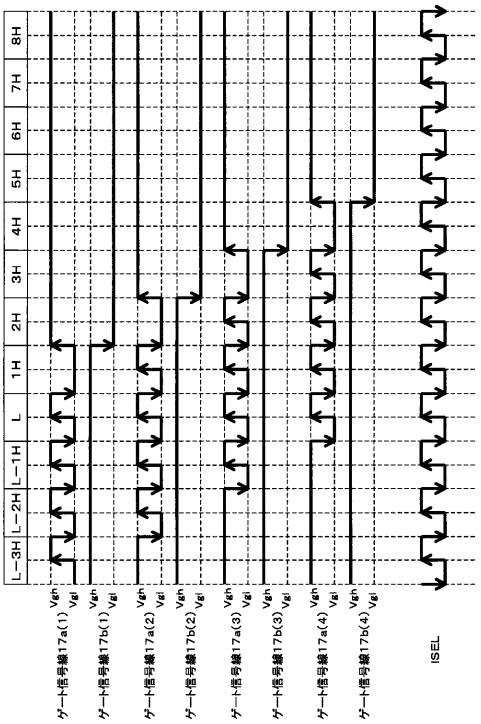
【図２９】



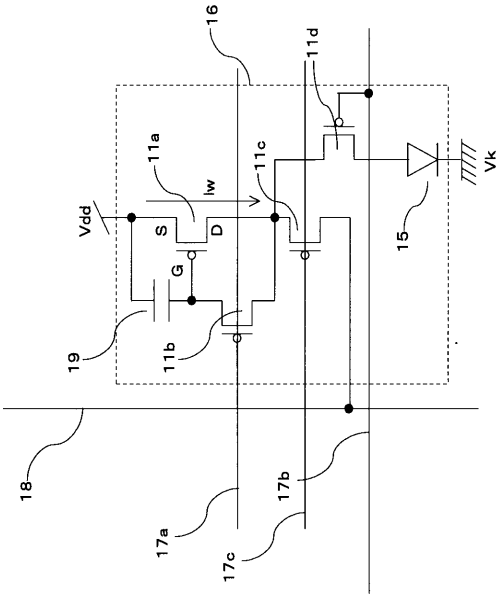
【図３０】



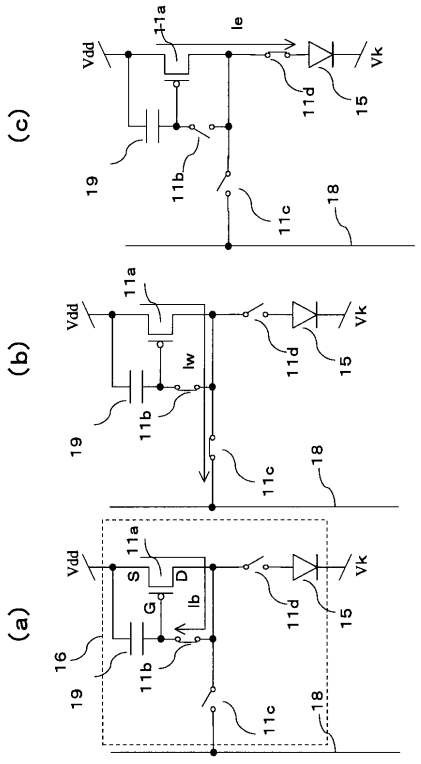
【図３１】



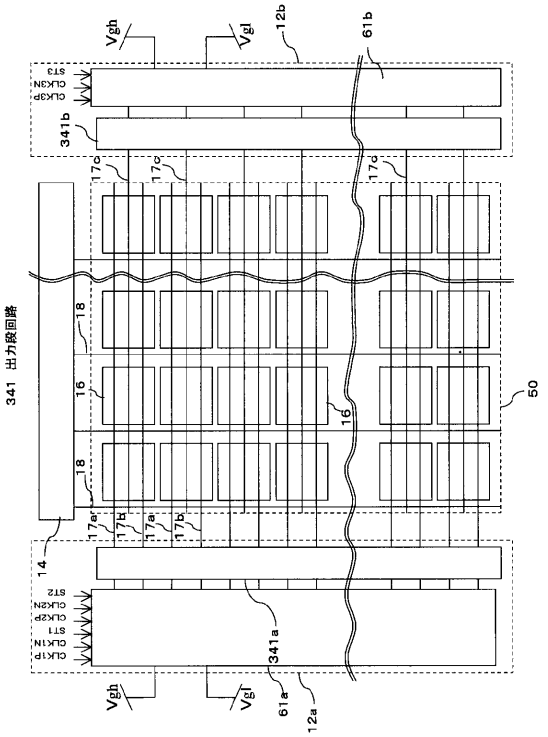
【図３２】



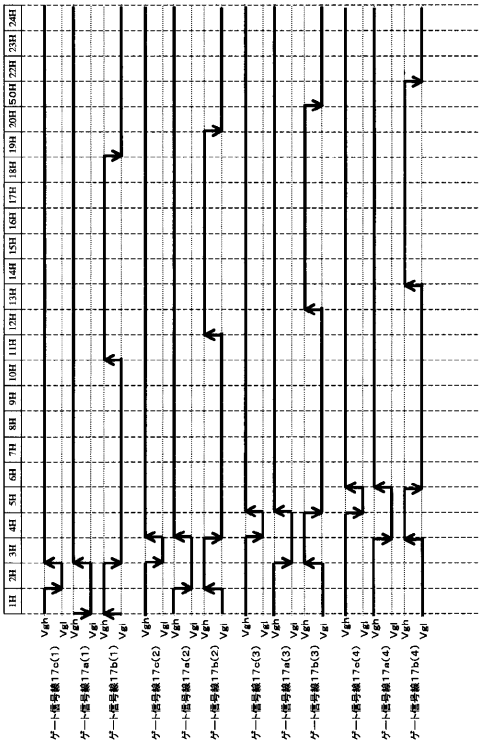
【図３３】



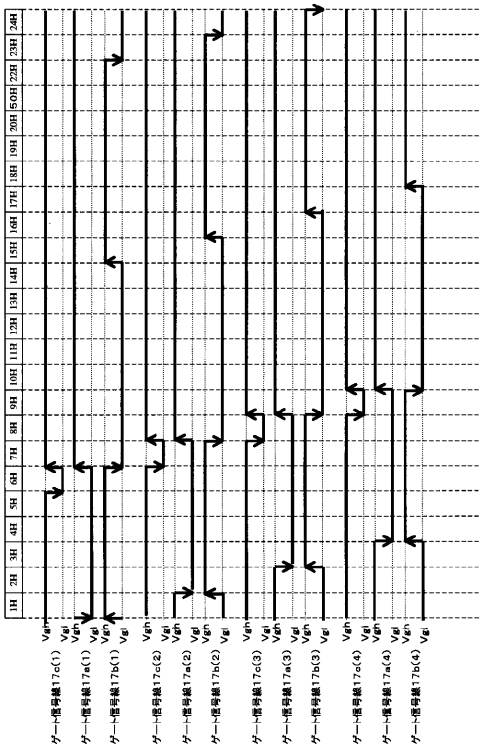
【図３４】



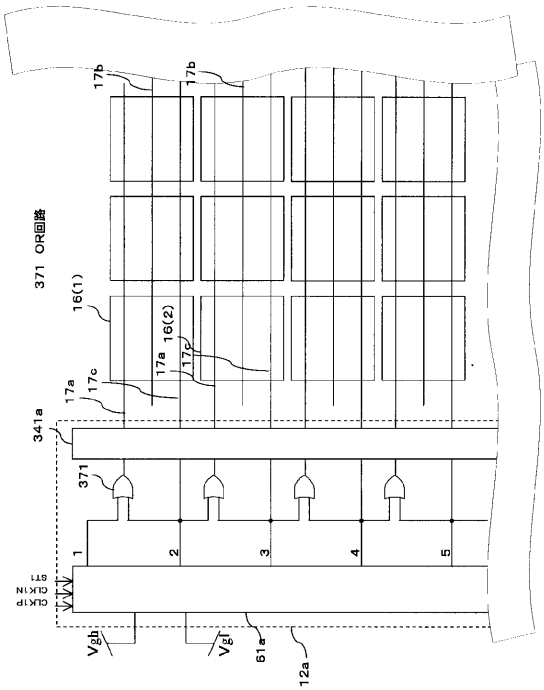
【図３５】



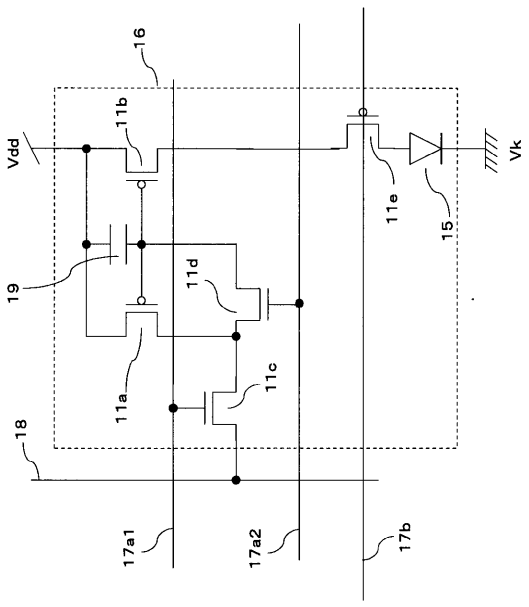
【図３６】



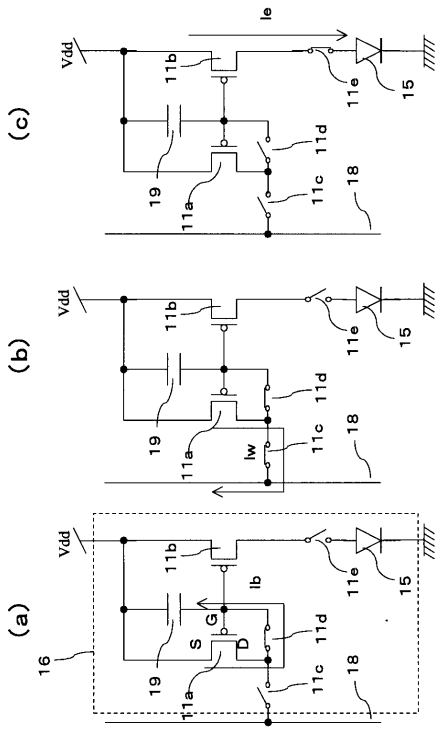
【図３７】



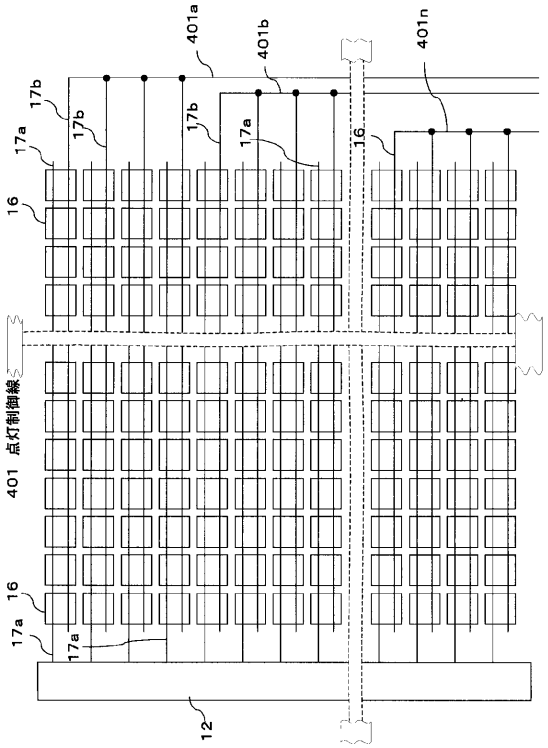
【図３８】



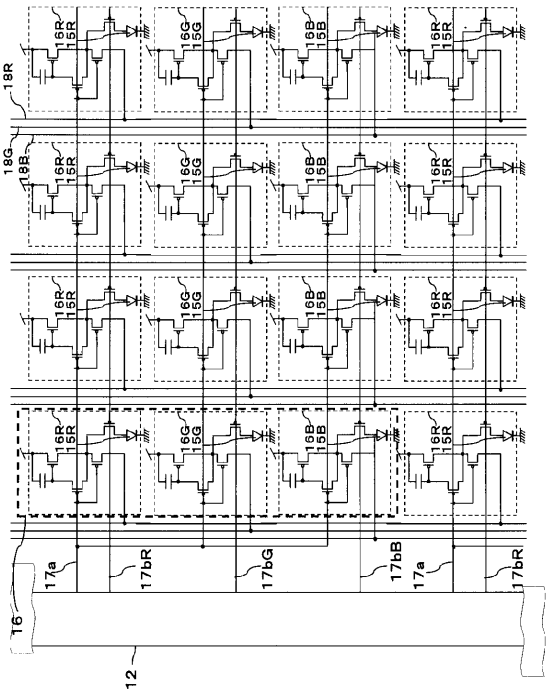
【図３９】



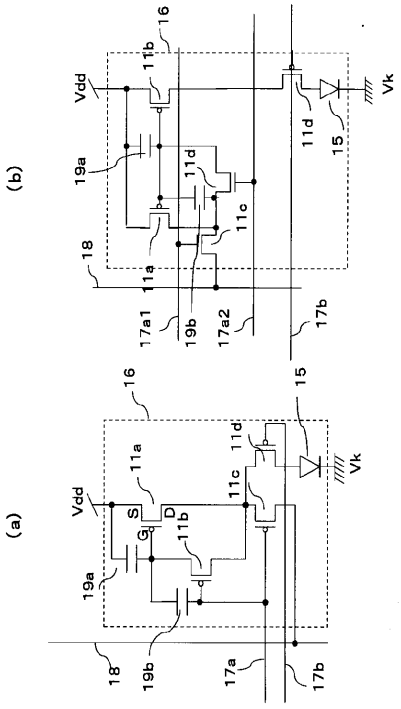
【図４０】



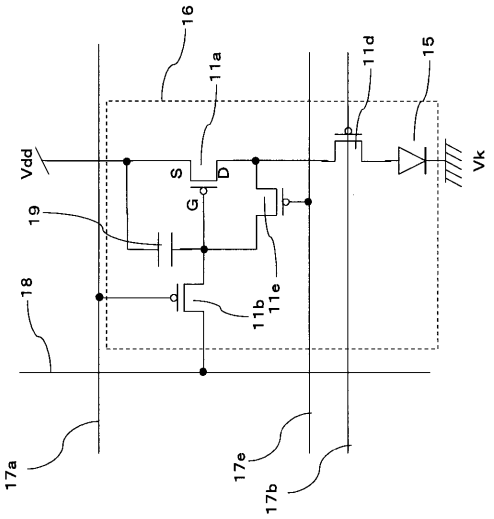
【図４１】



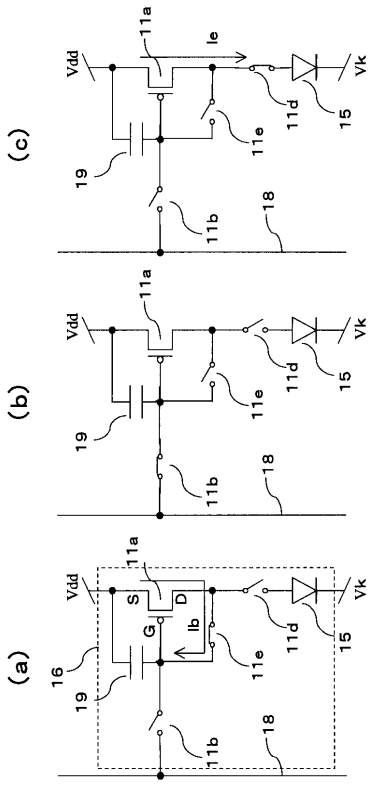
【図４２】



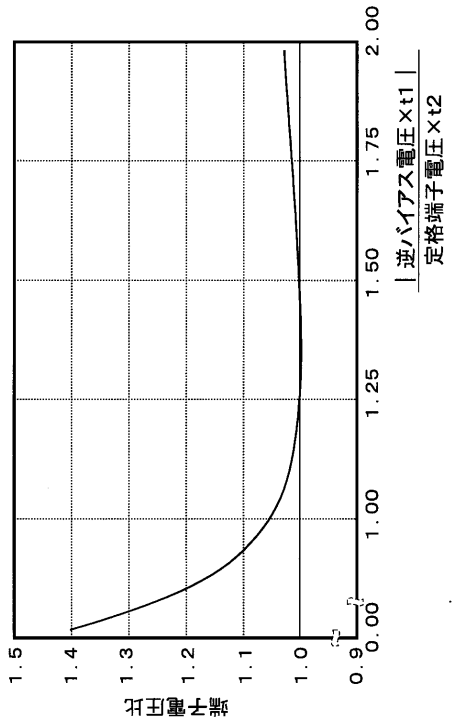
【図４３】



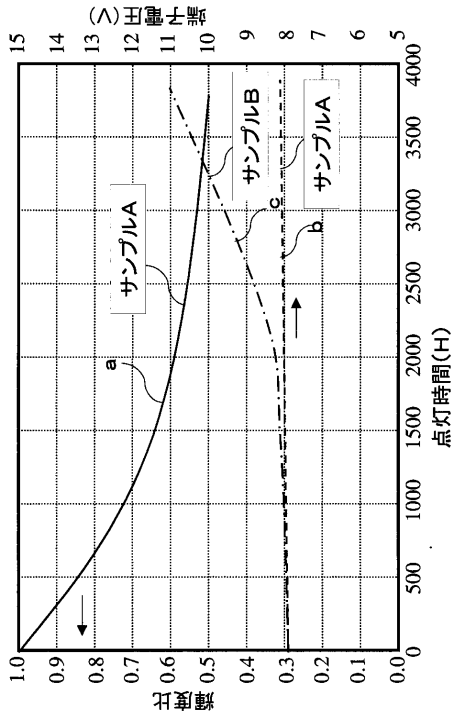
【図４４】



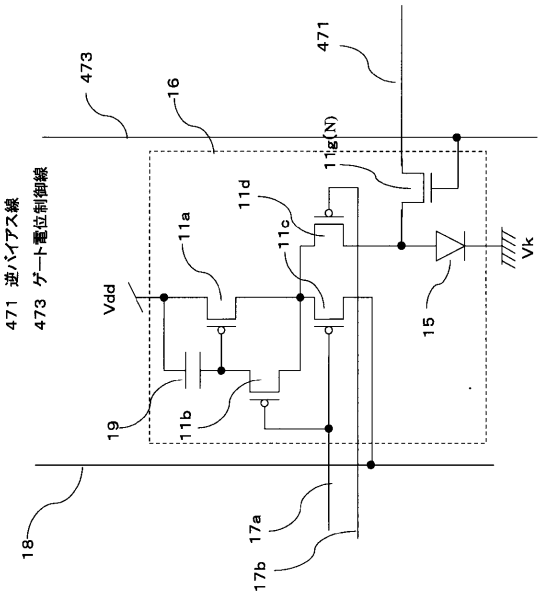
【図４５】



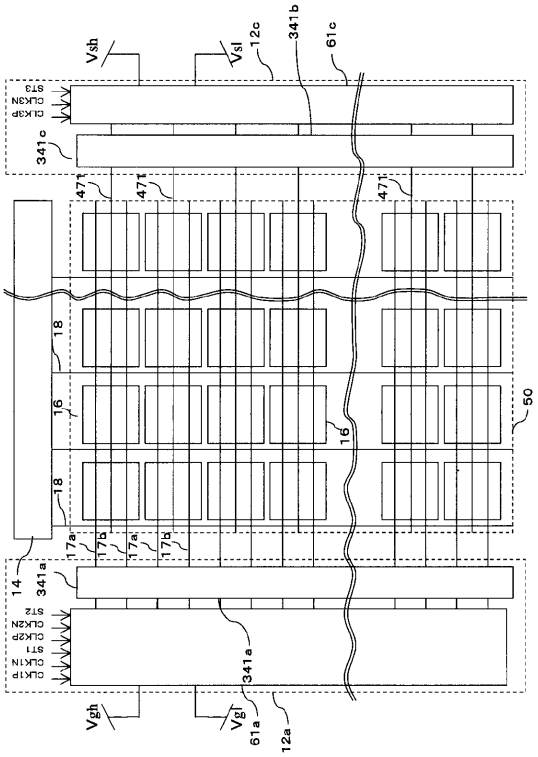
【図４６】



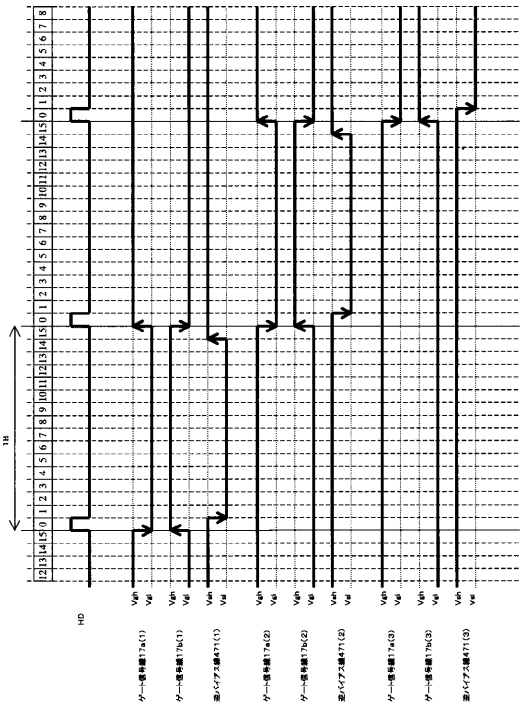
【図４７】



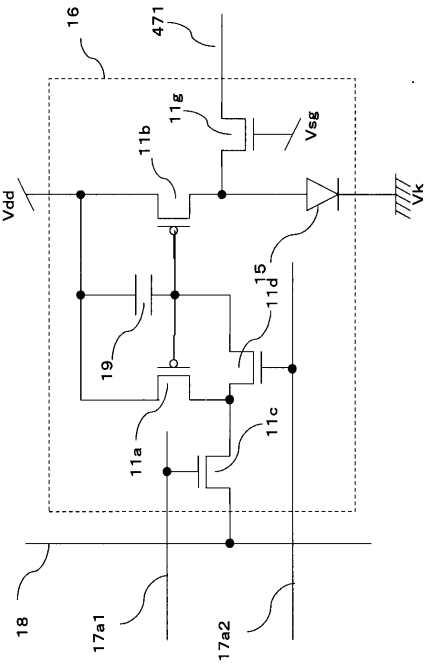
【図４８】



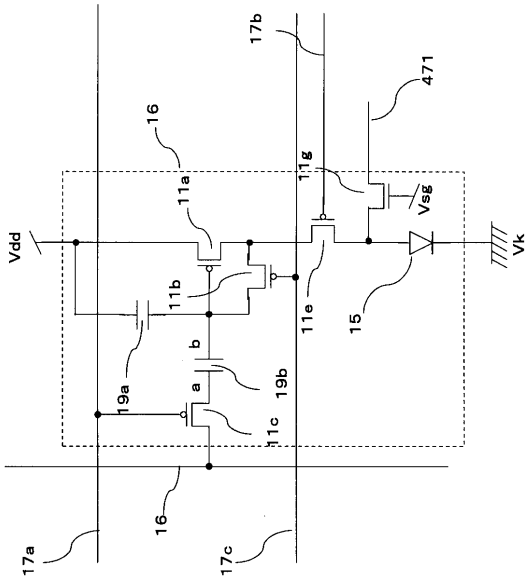
【図４９】



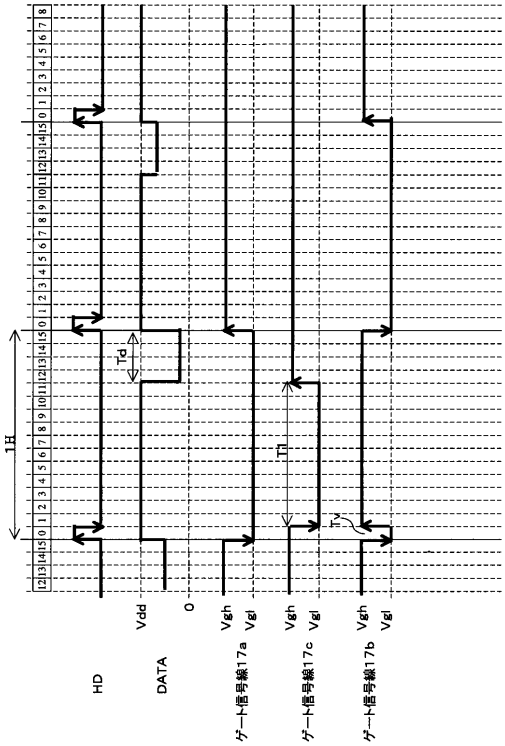
【図５０】



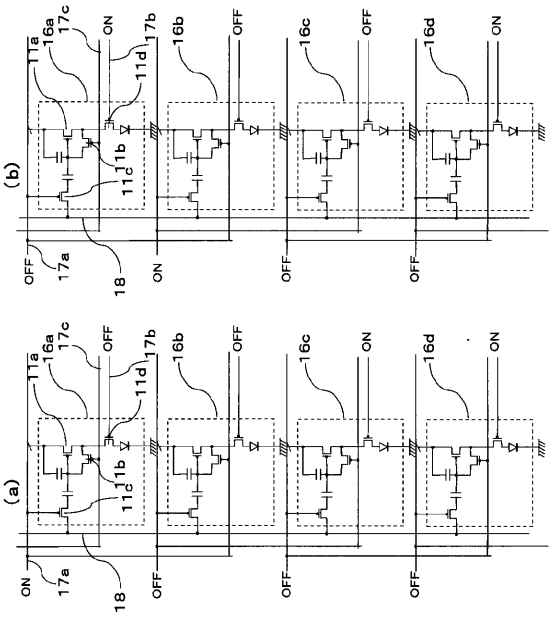
【図５１】



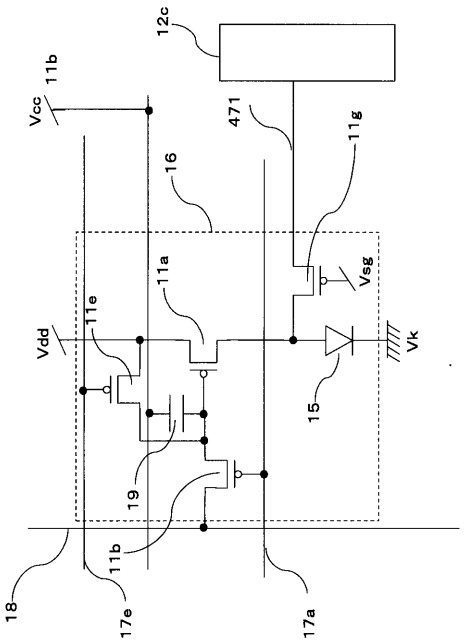
【図５２】



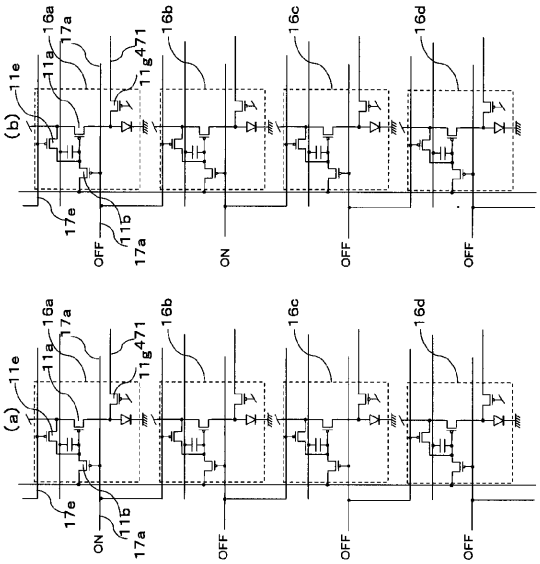
【図５３】



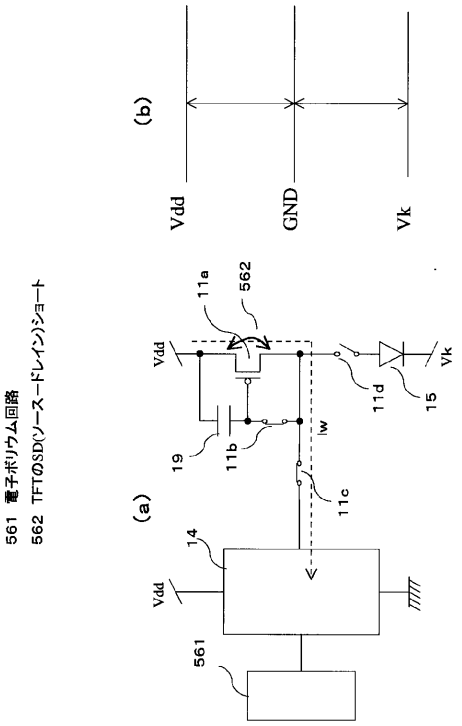
【図５４】



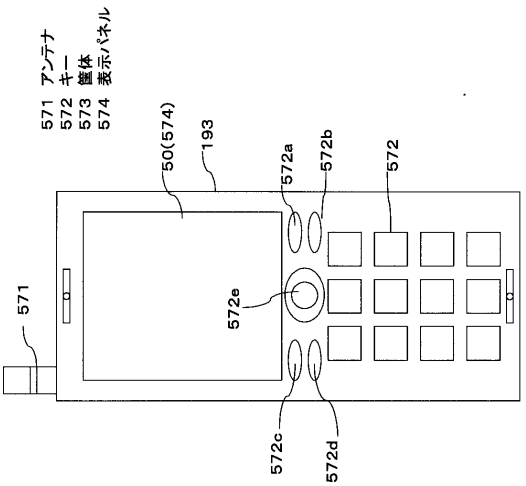
【図５５】



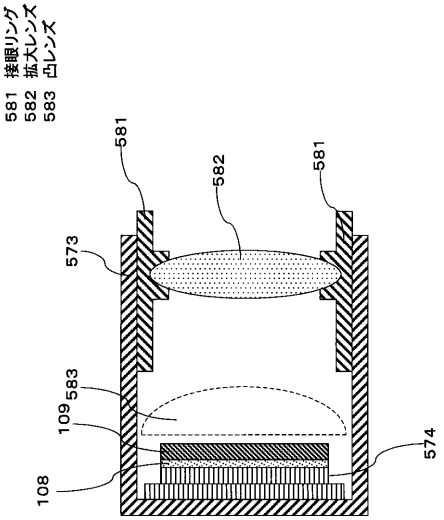
【図５６】



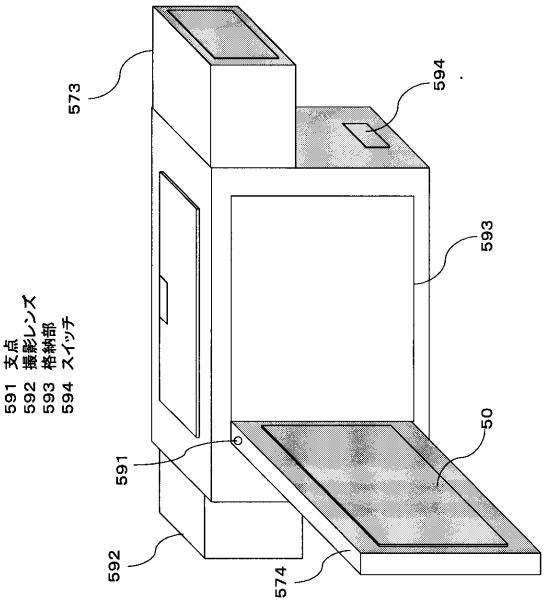
【図５７】



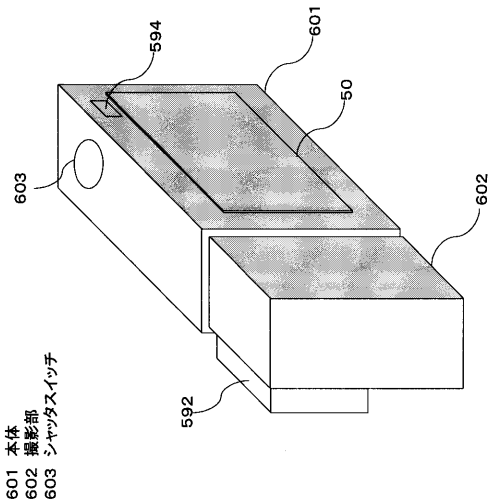
【図５８】



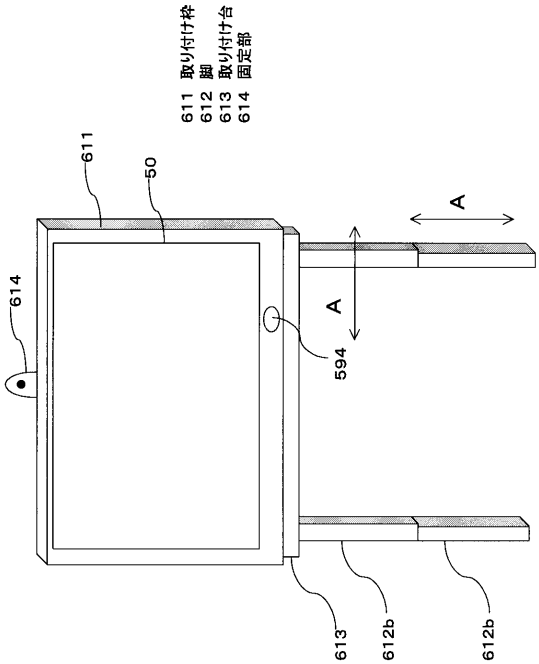
【図５９】



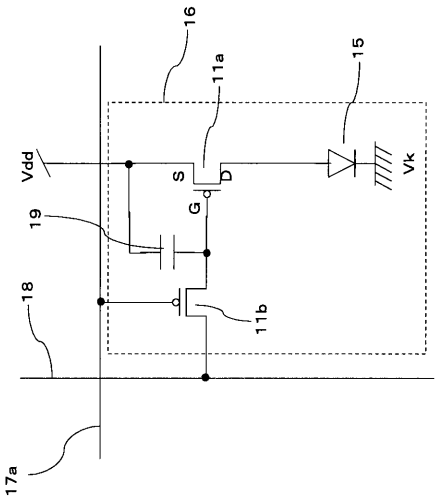
【図６０】



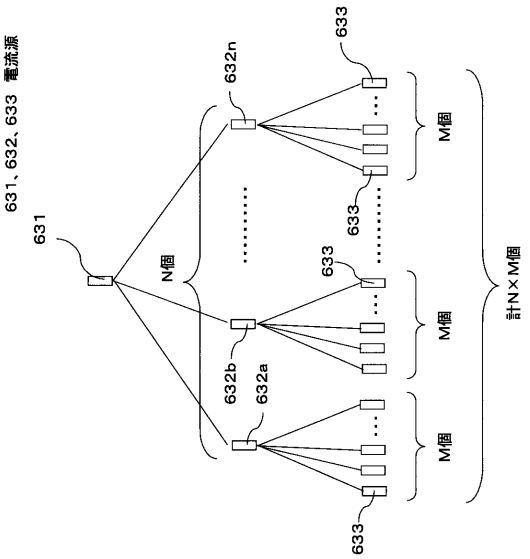
【図６１】



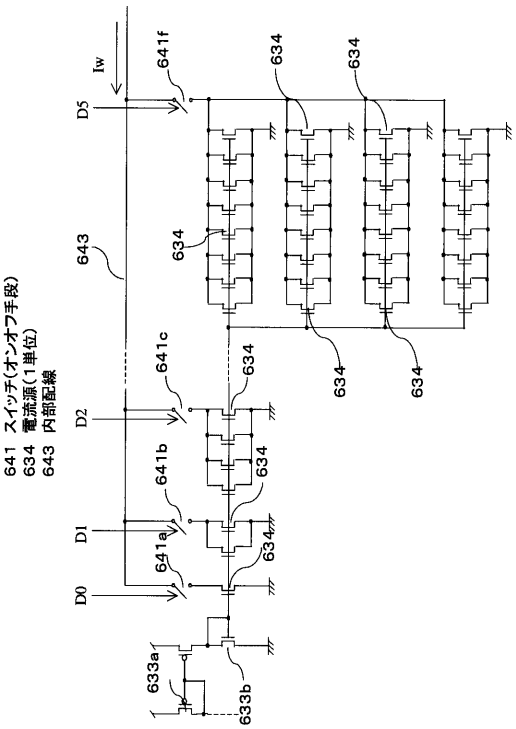
【図６２】



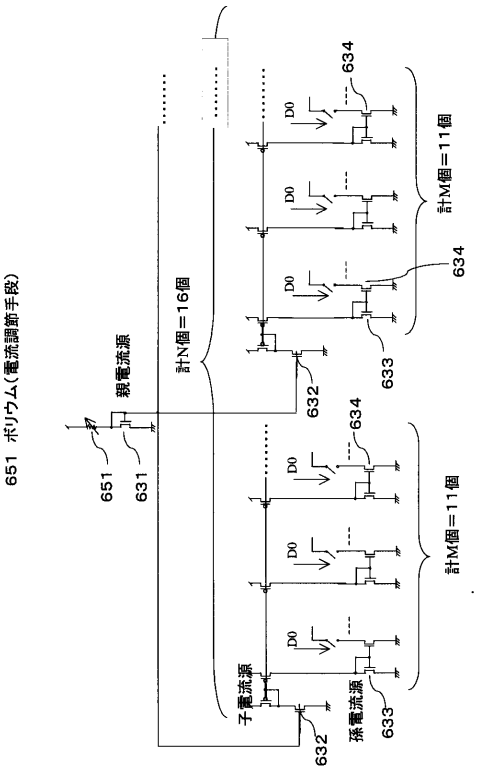
【図６３】



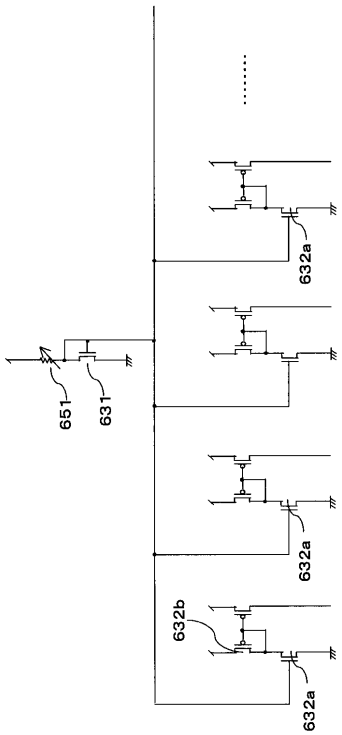
【図６４】



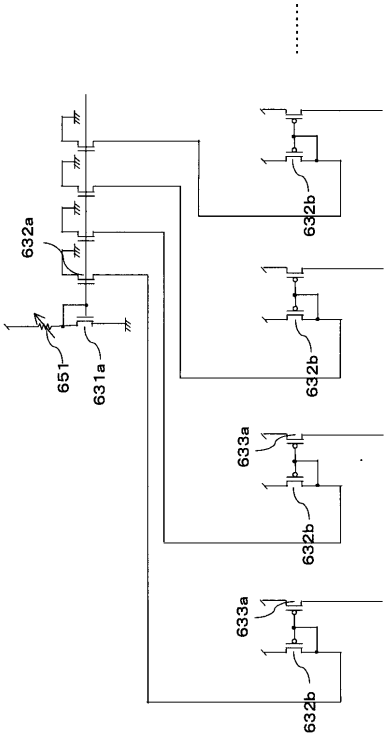
【図６５】



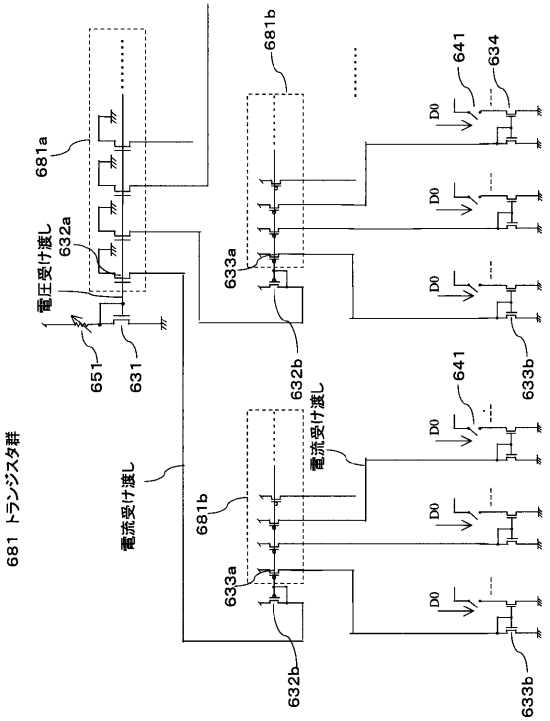
【図６６】



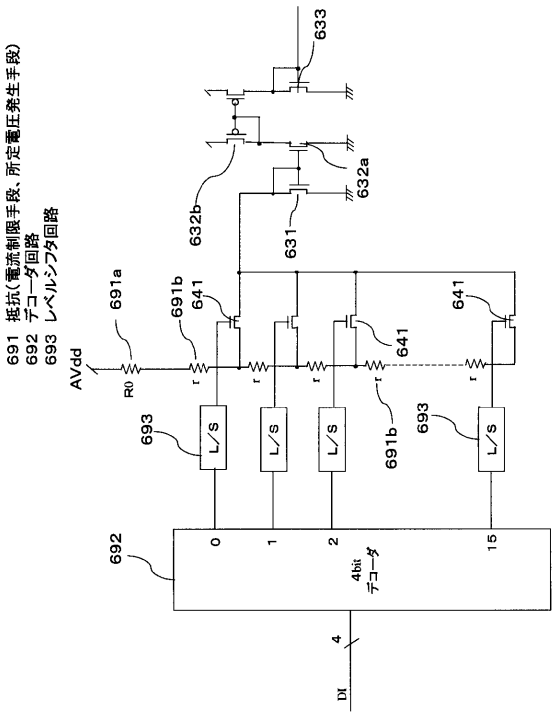
【図６７】



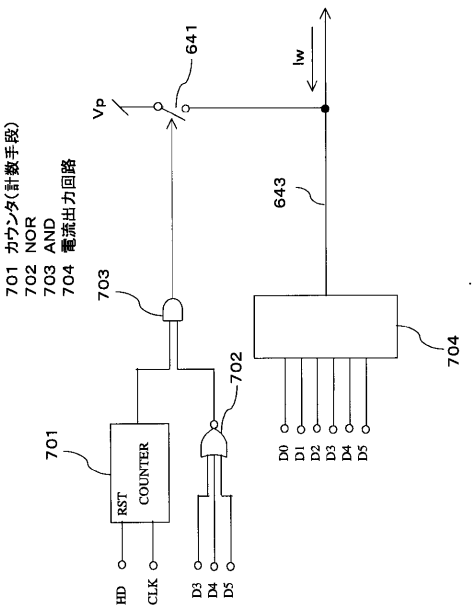
【図６８】



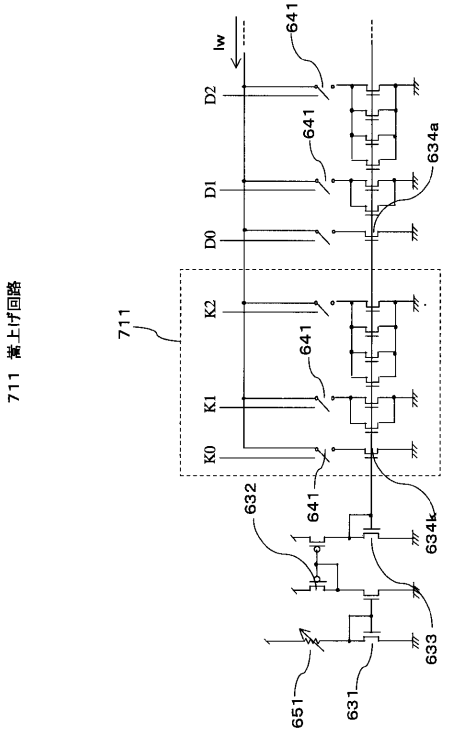
【図６９】



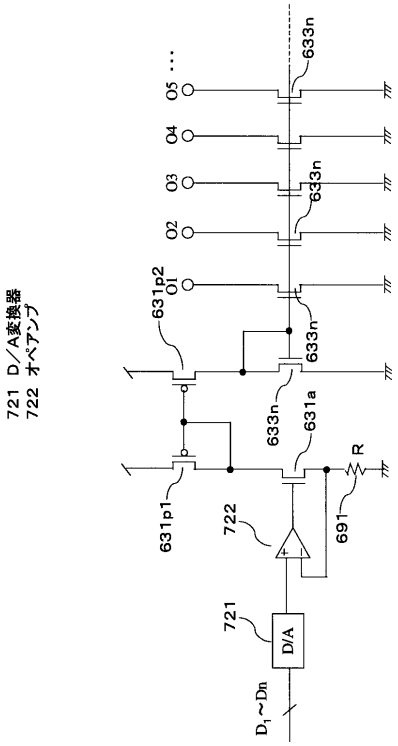
【図７０】



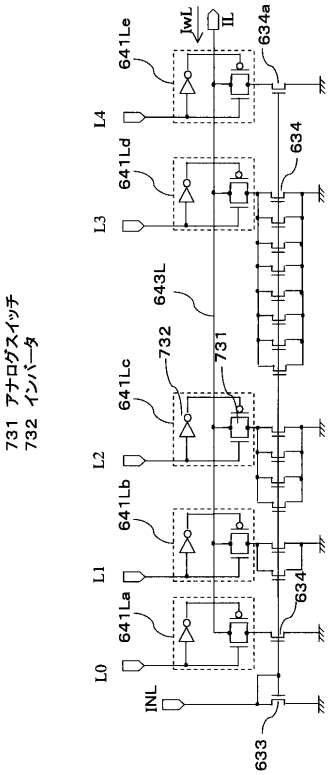
【図７１】



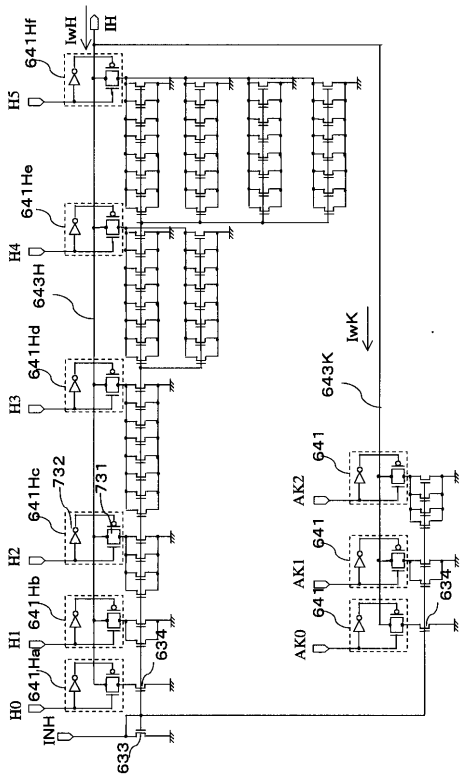
【図７２】



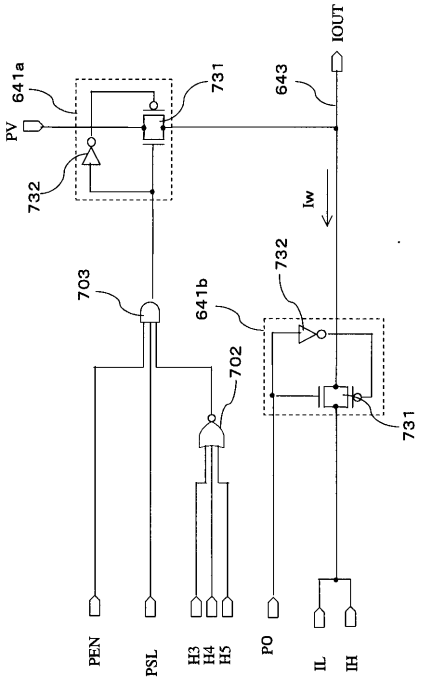
【図７３】



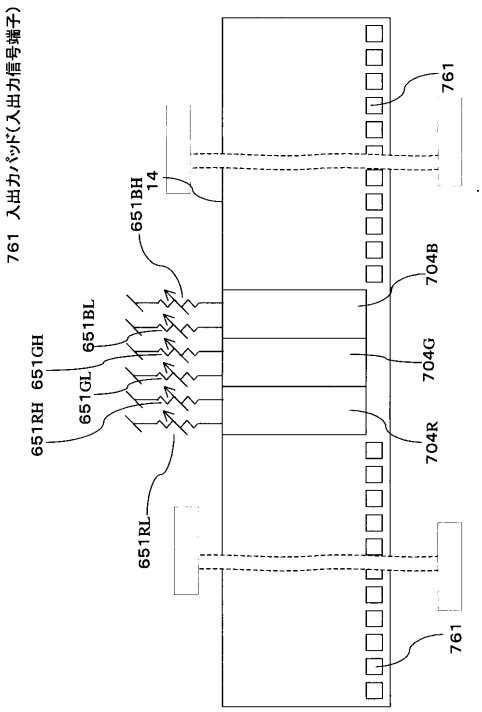
【図７４】



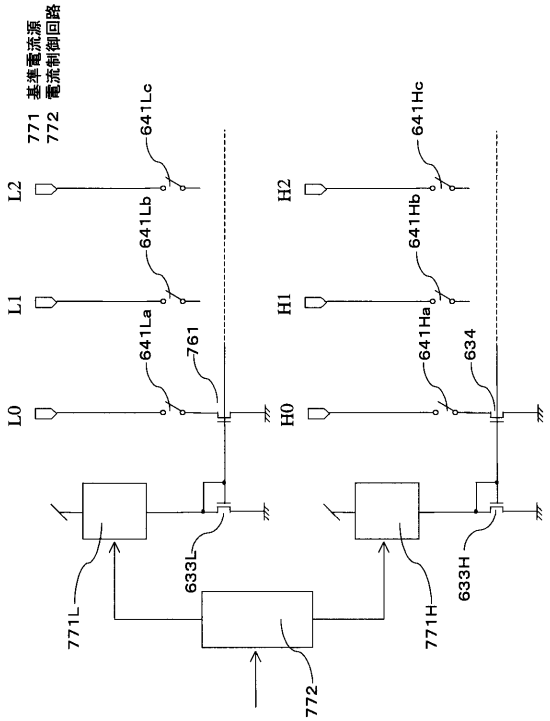
【図７５】



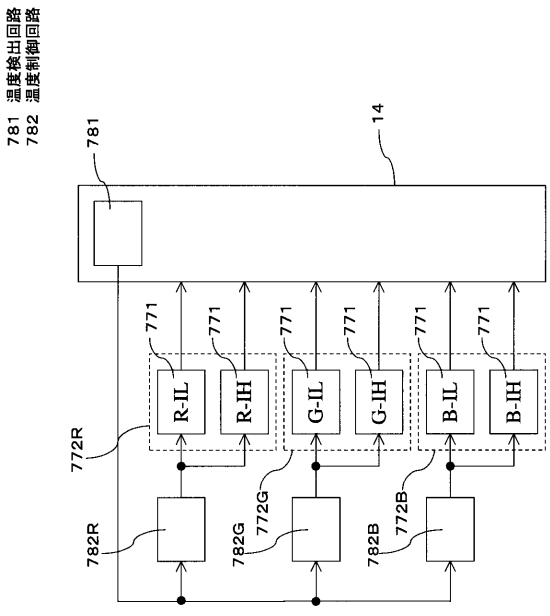
【図７６】



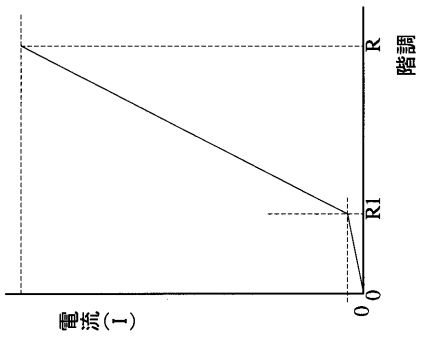
【図７７】



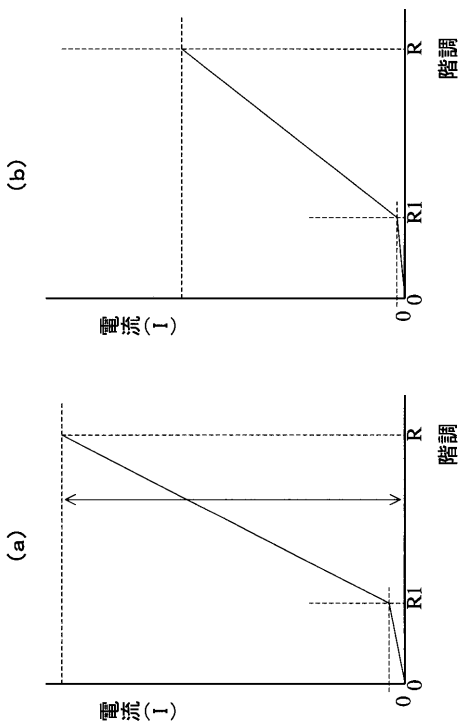
【図７８】



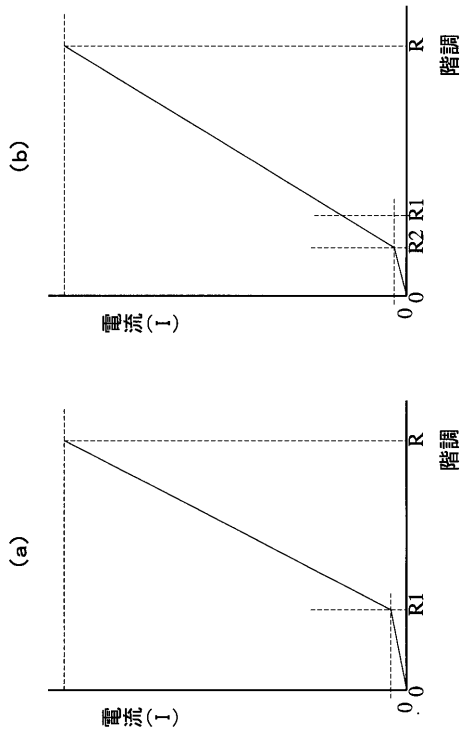
【図７９】



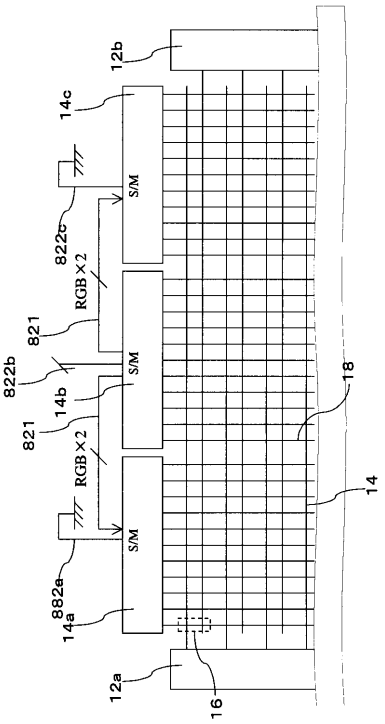
【図８０】



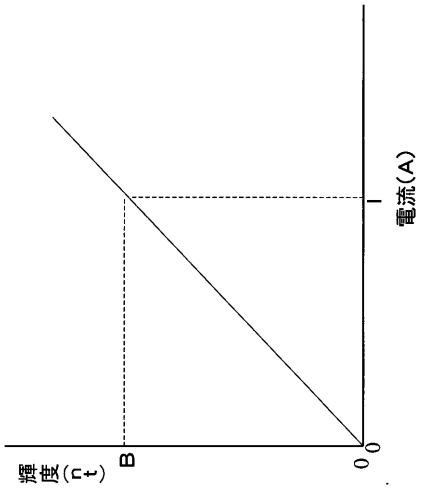
【図８１】



【図８２】



【図８３】



【図８４】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	0	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	1	0	1	0
17	1	1	0	0	1	1	0	1	0	1	0
18	1	1	0	0	1	0	1	1	0	1	0
⋮											

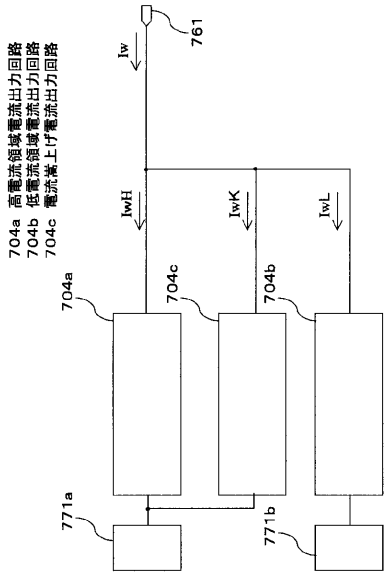
【図８５】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	0	1	0	0	0	0	0
9	1	1	1	0	0	0	1	0	0	0	0
10	1	1	1	0	0	1	1	0	0	0	0
11	1	1	1	0	0	0	0	1	0	0	0
12	1	1	1	0	0	1	0	1	0	0	0
13	1	1	1	0	0	0	1	1	0	0	0
14	1	1	1	0	0	1	1	1	0	0	0
15	1	1	1	0	0	0	0	0	1	0	0
16	1	1	1	0	0	1	0	0	1	0	0
17	1	1	1	0	0	0	1	0	1	0	0
18	1	1	1	0	0	1	1	0	1	0	0
⋮											

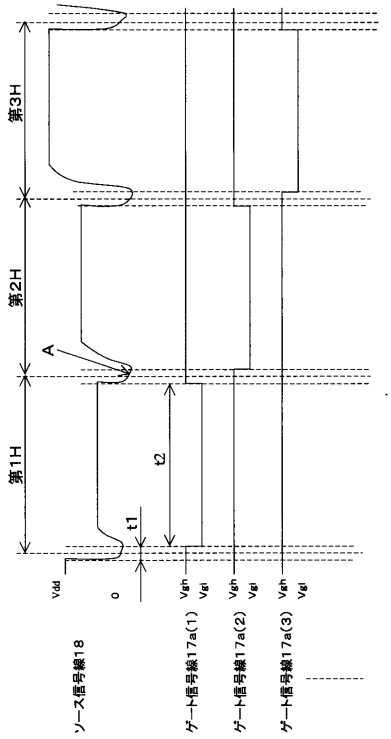
【図８６】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
⋮											

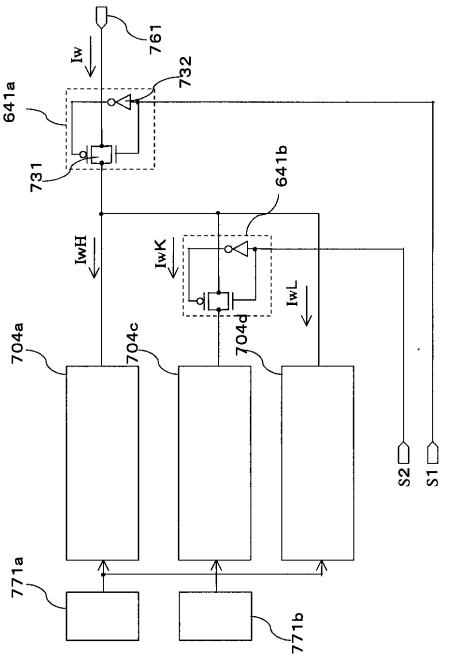
【図８７】



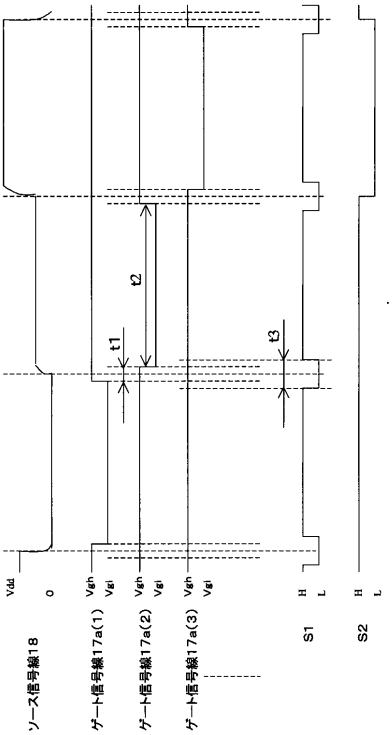
【図８８】



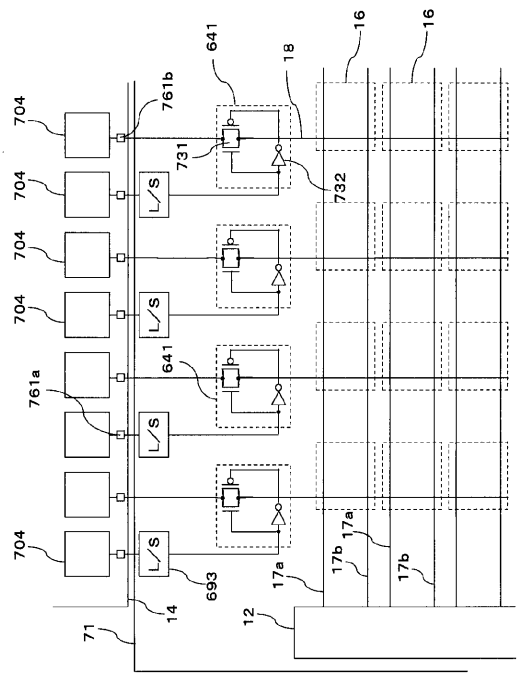
【図８９】



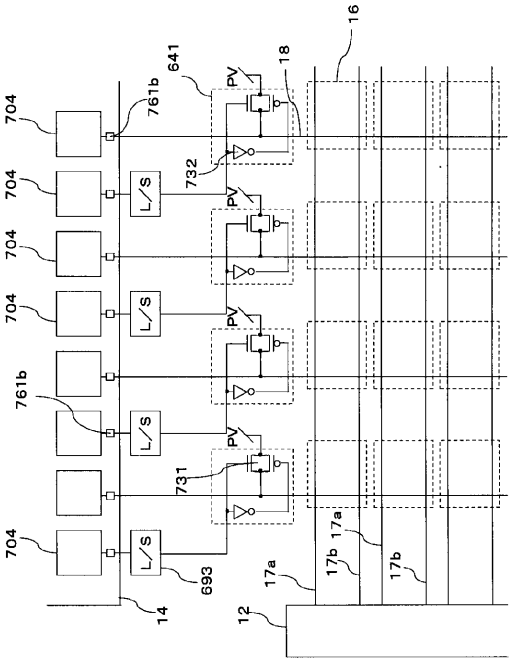
【図９０】



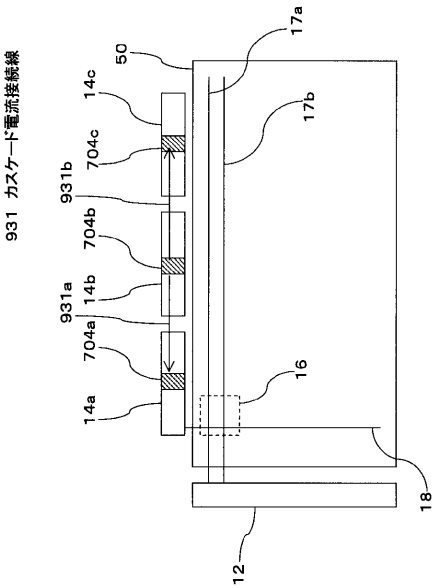
【図９１】



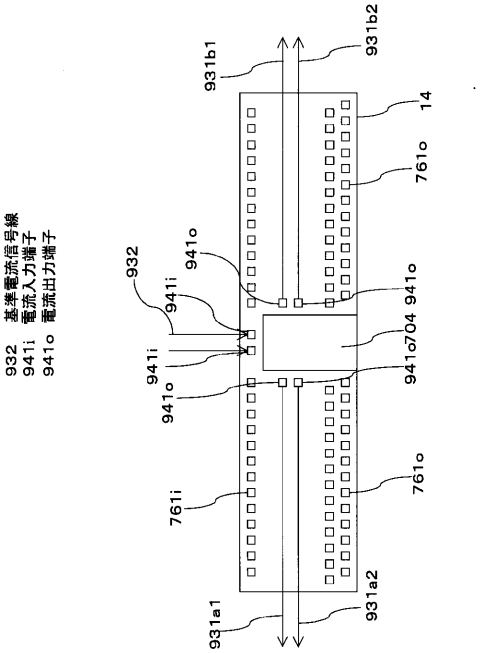
【図９２】



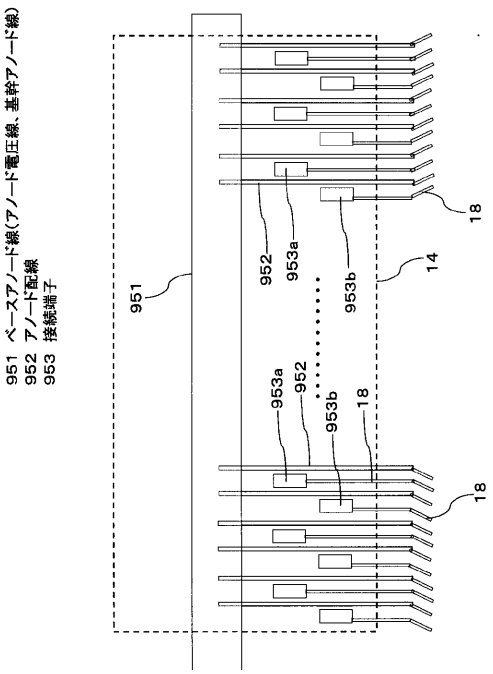
【図９３】



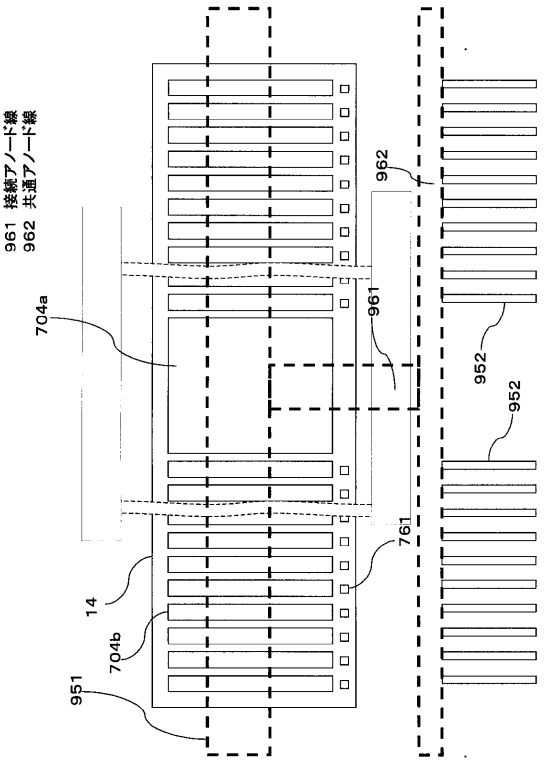
【図９４】



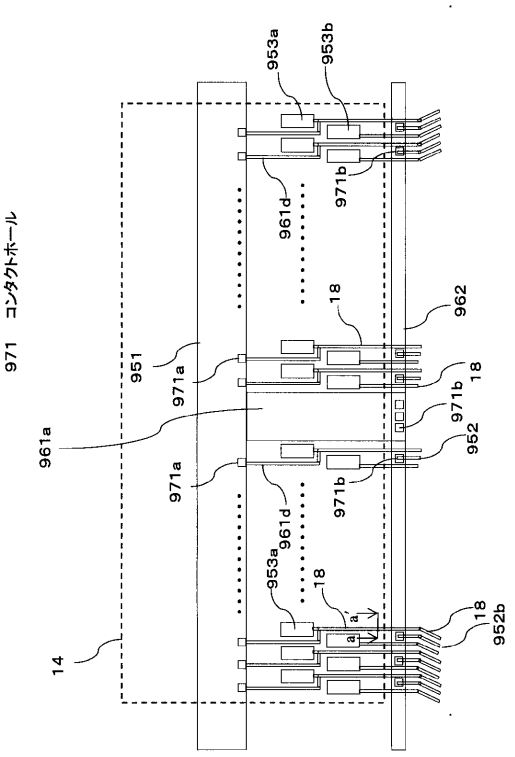
【図９５】



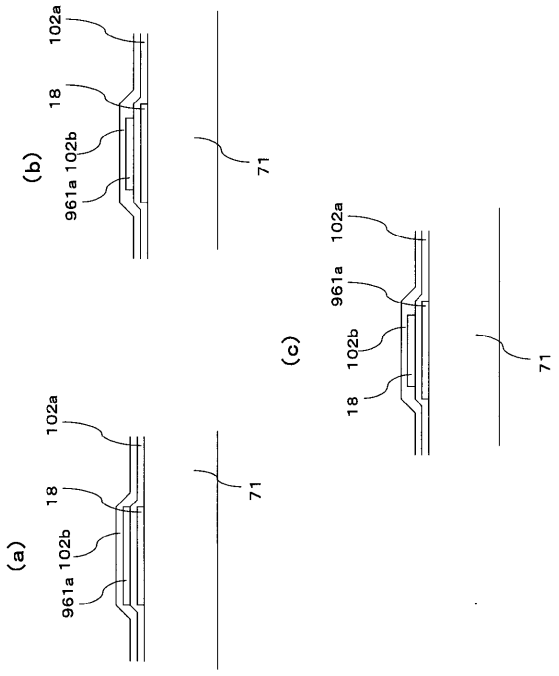
【図９６】



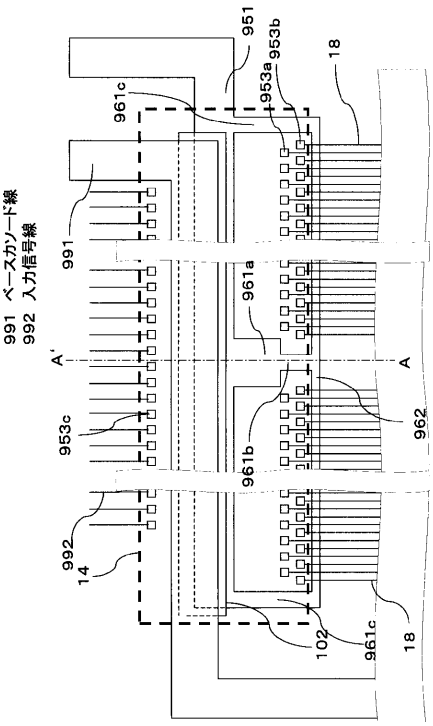
【図９７】



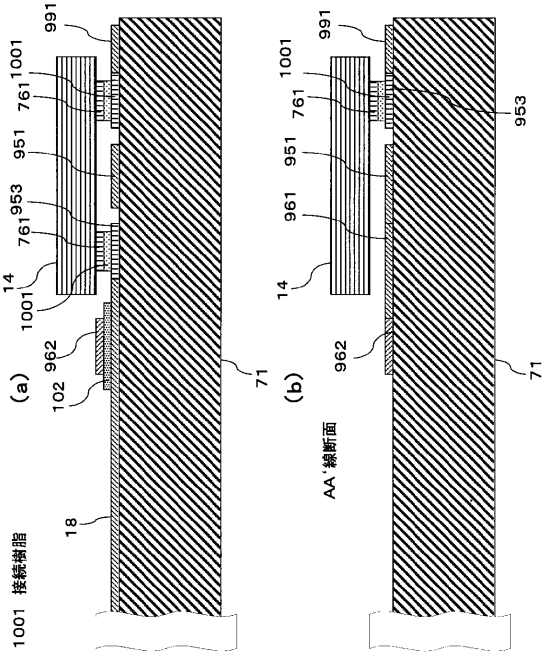
【図９８】



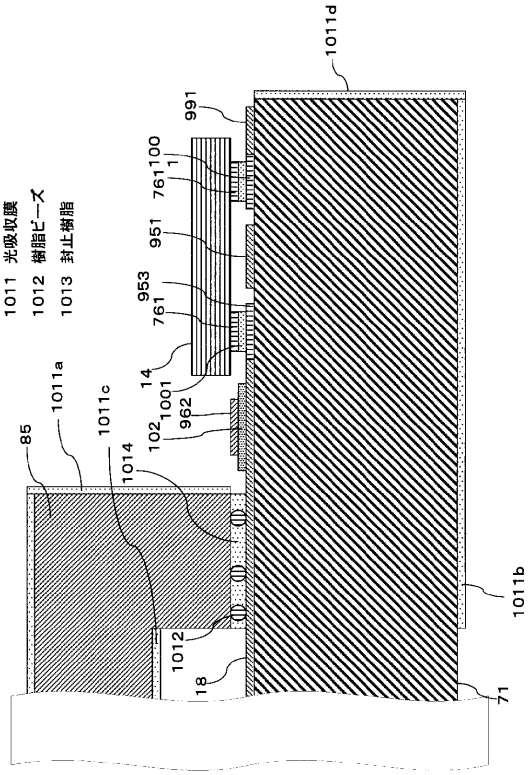
【図９９】



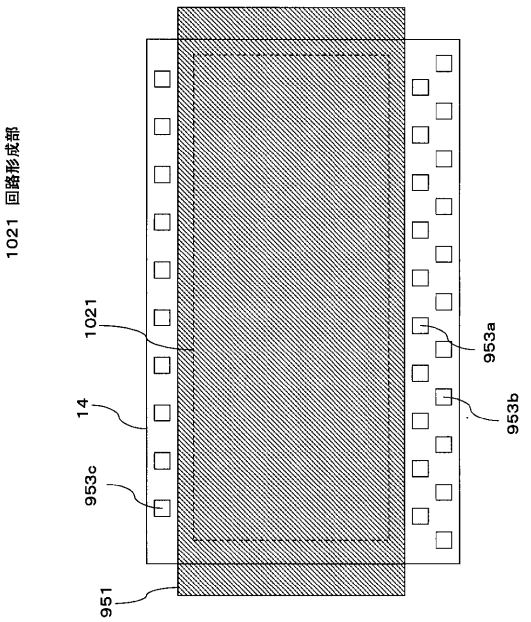
【図１００】



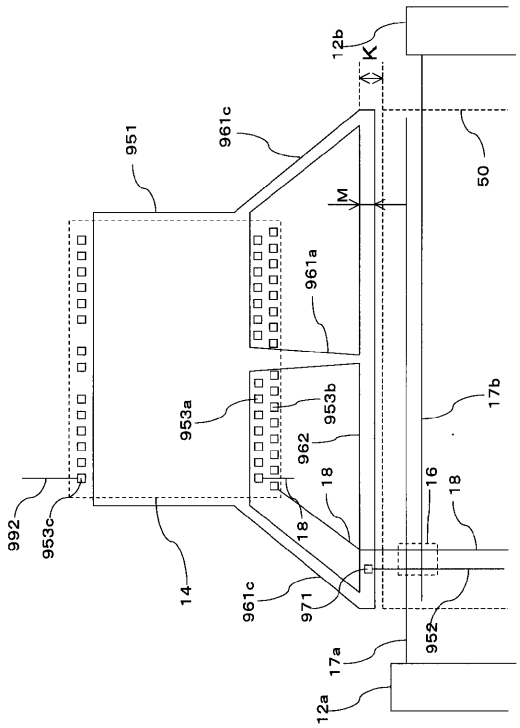
【図１０１】



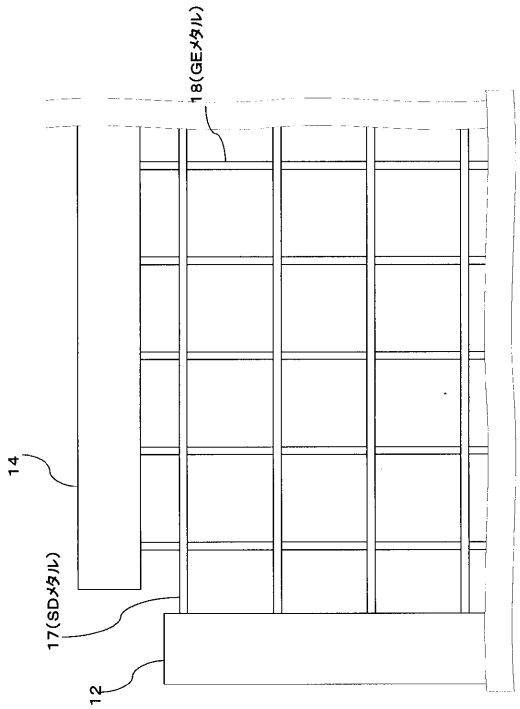
【図１０２】



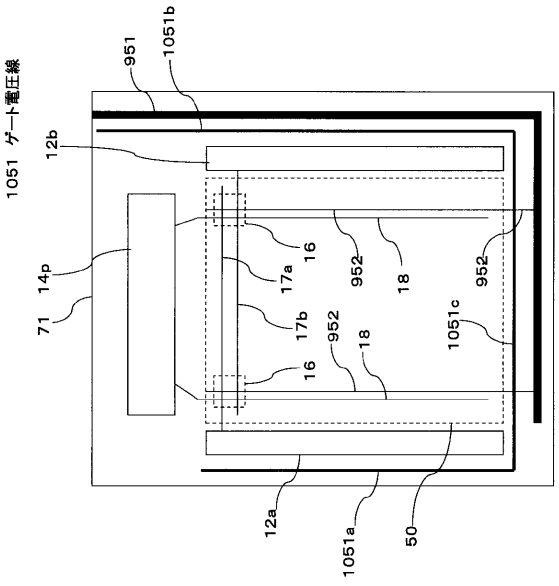
【図１０３】



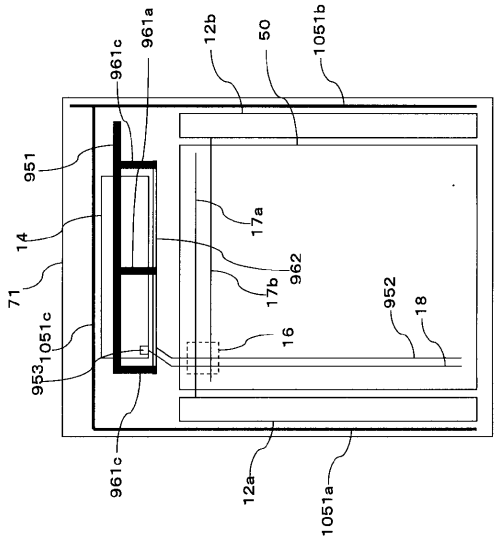
【図１０４】



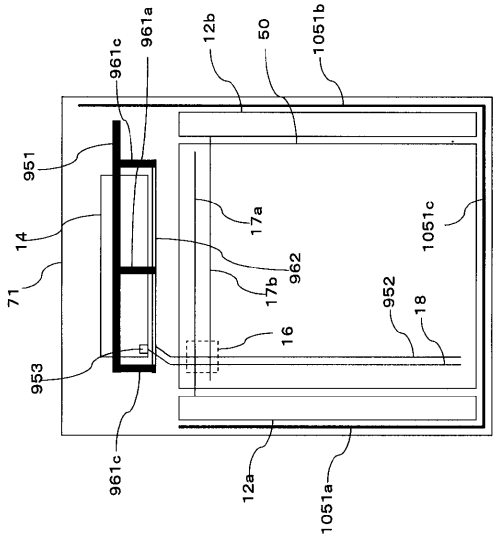
【図１０５】



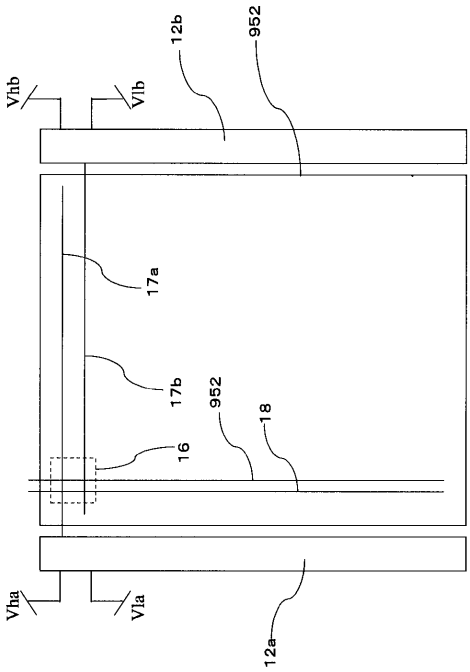
【図１０６】



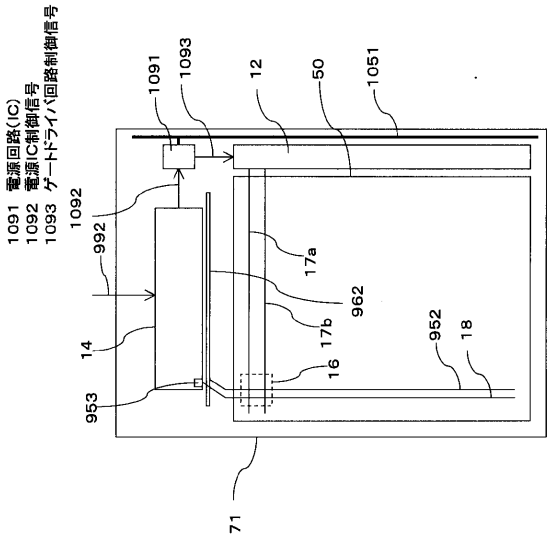
【図１０７】



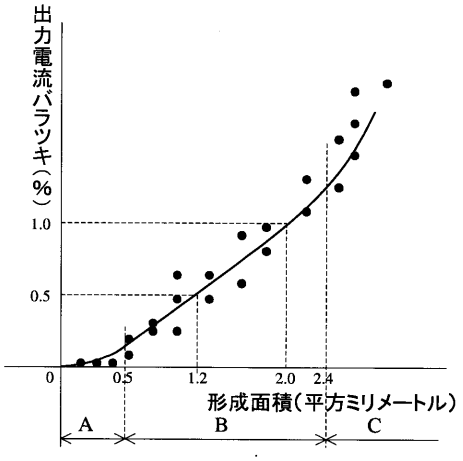
【図１０８】



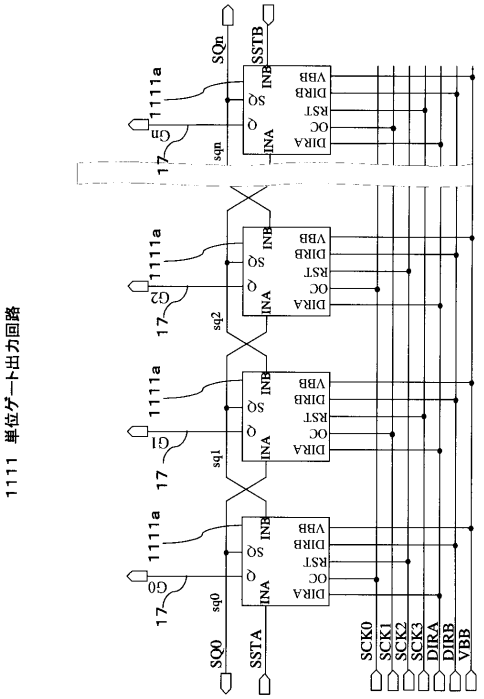
【図１０９】



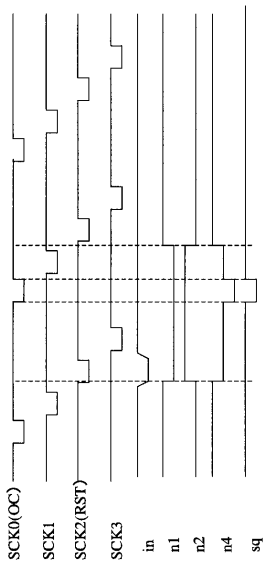
【図１１０】



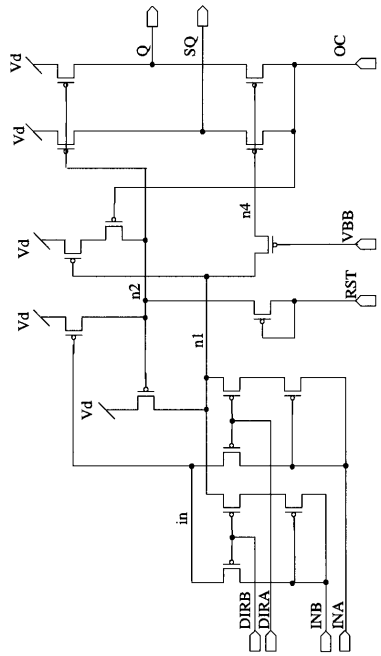
【図１１１】



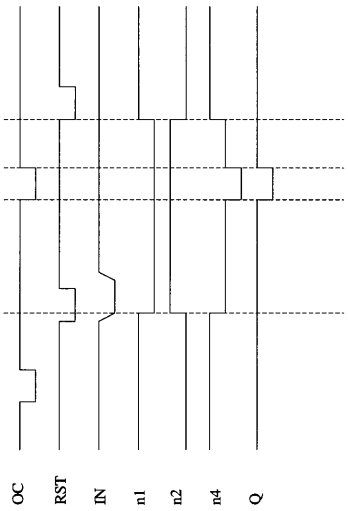
【図１１２】



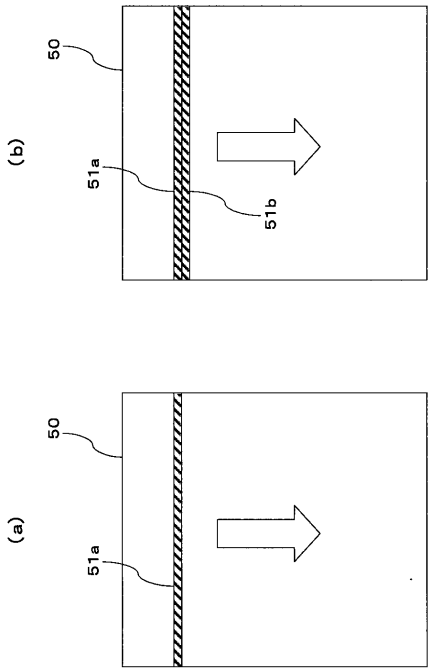
【図１１３】



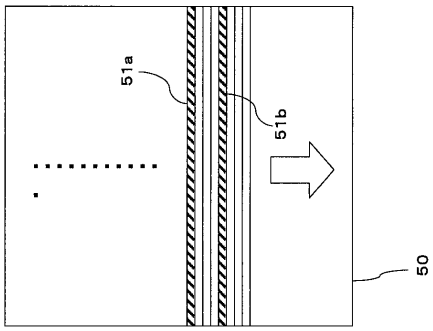
【図１１４】



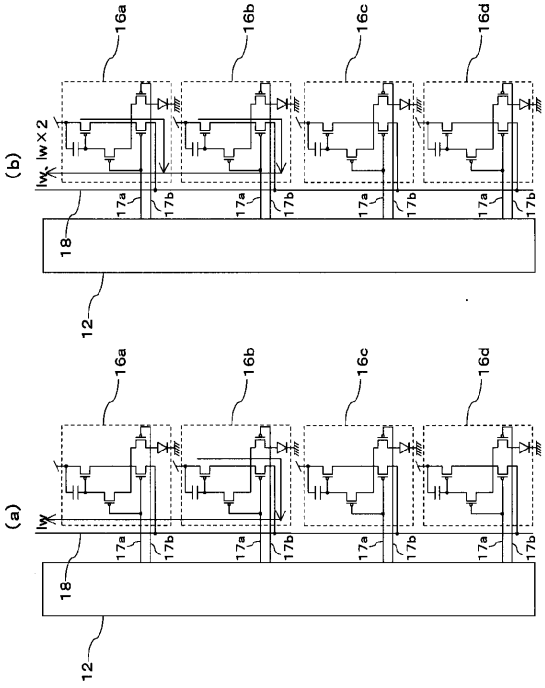
【図１１５】



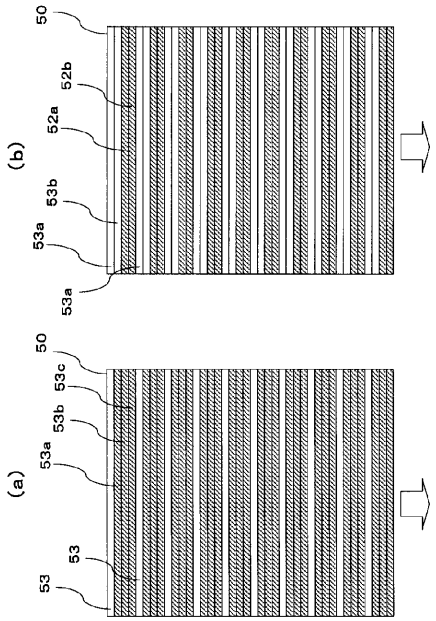
【図１１６】



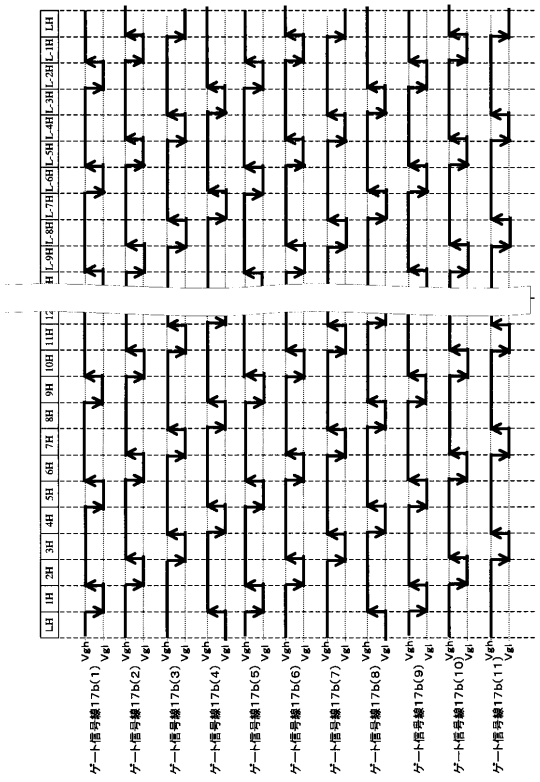
【図１１７】



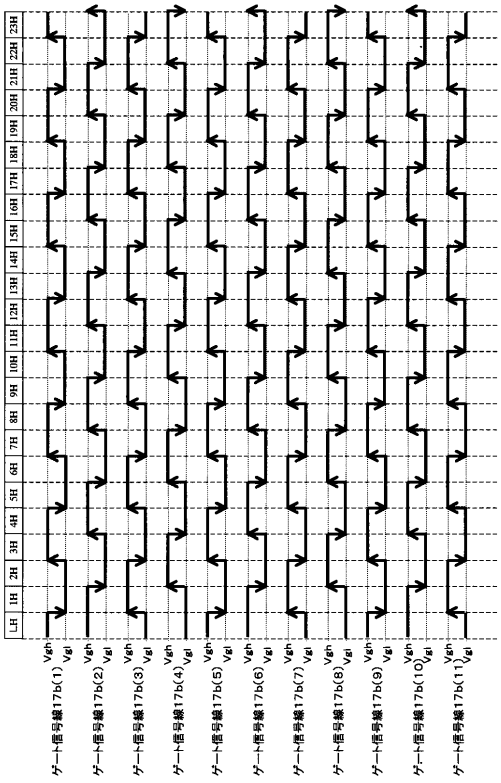
【図１１８】



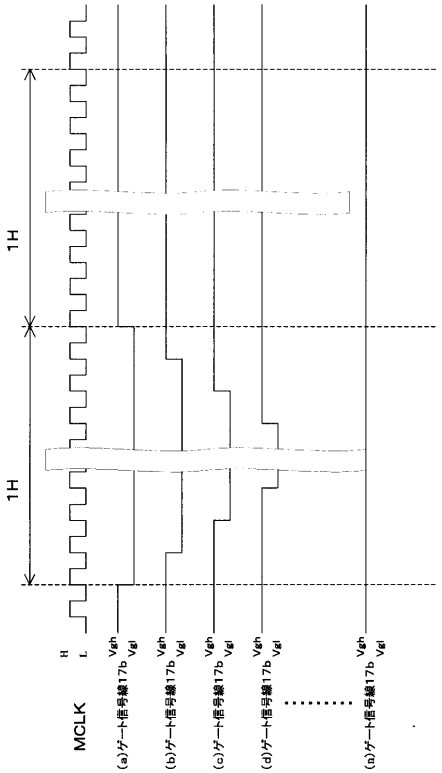
【図１１９】



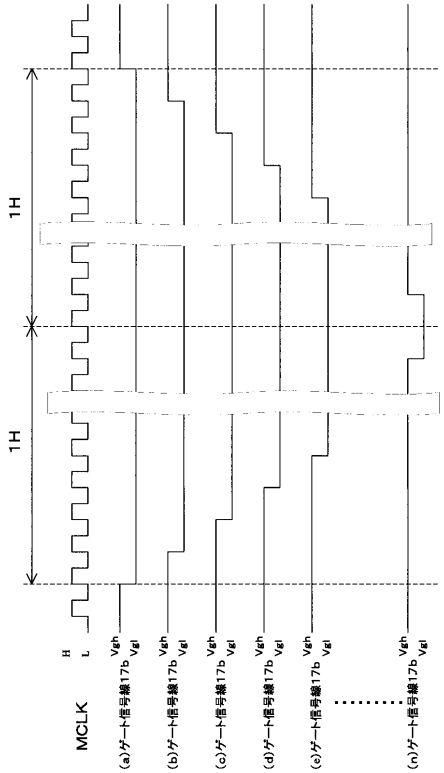
【図１２０】



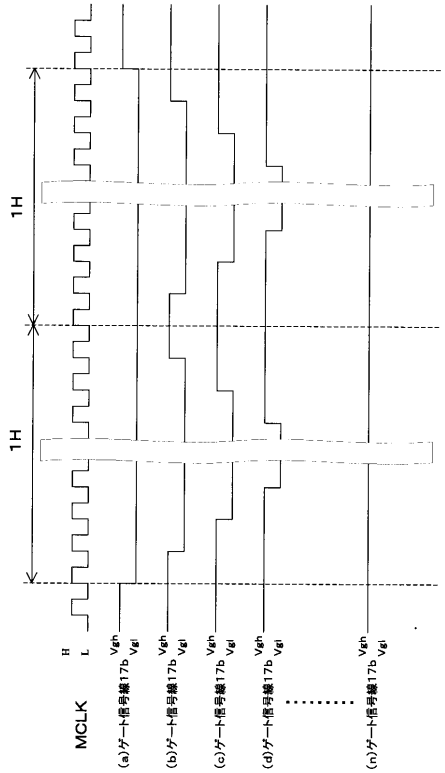
【図１２１】



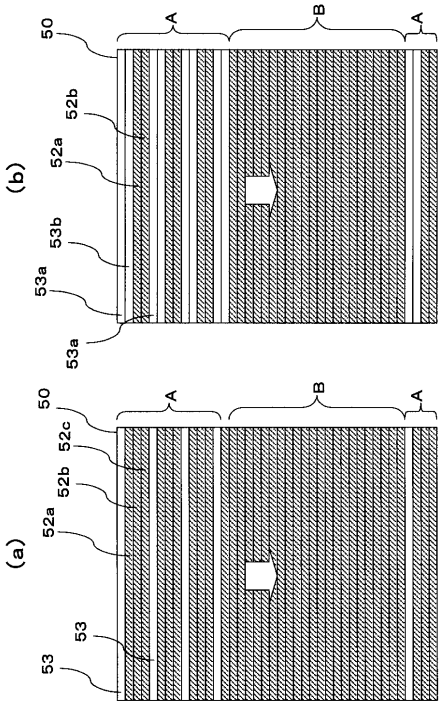
【図１２２】



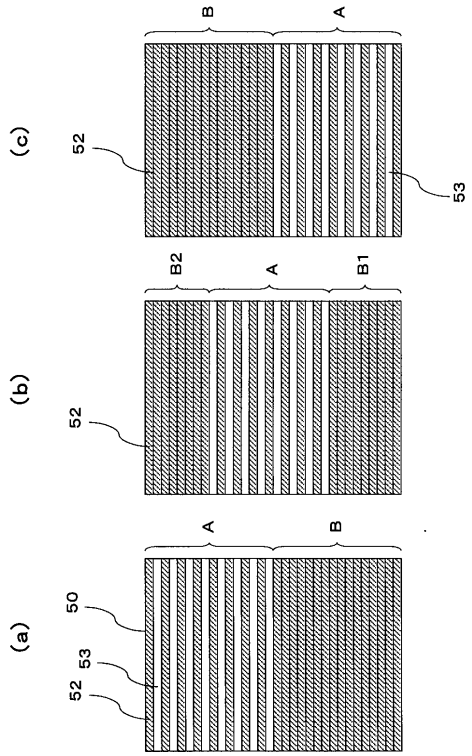
【図１２３】



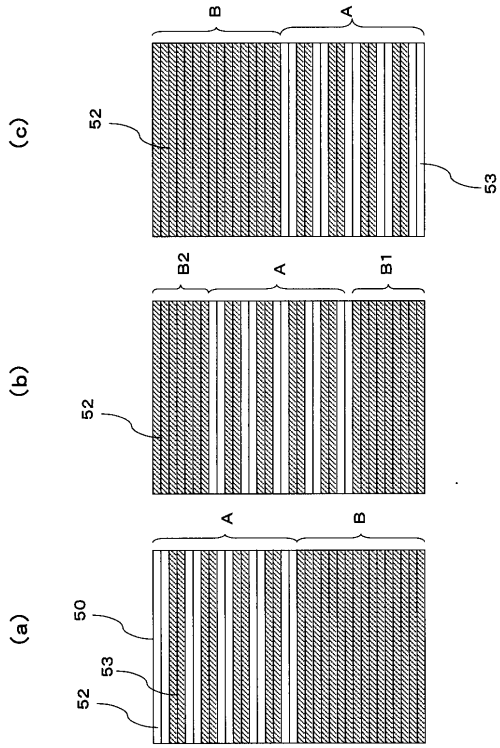
【図１２４】



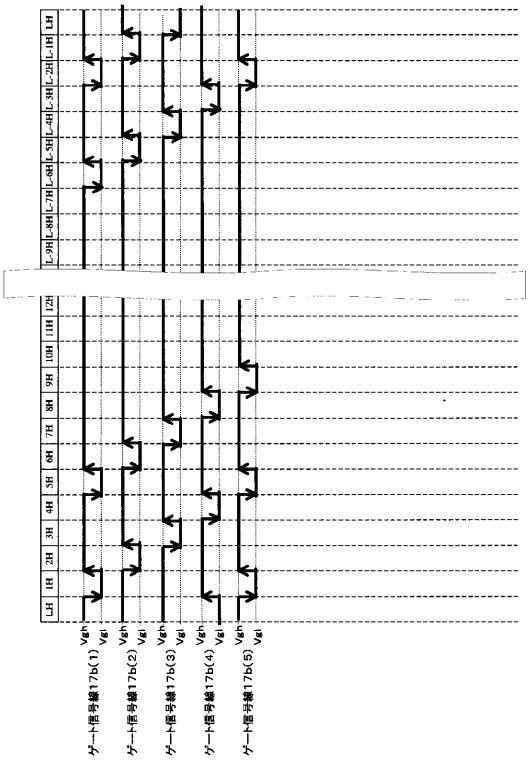
【図１２５】



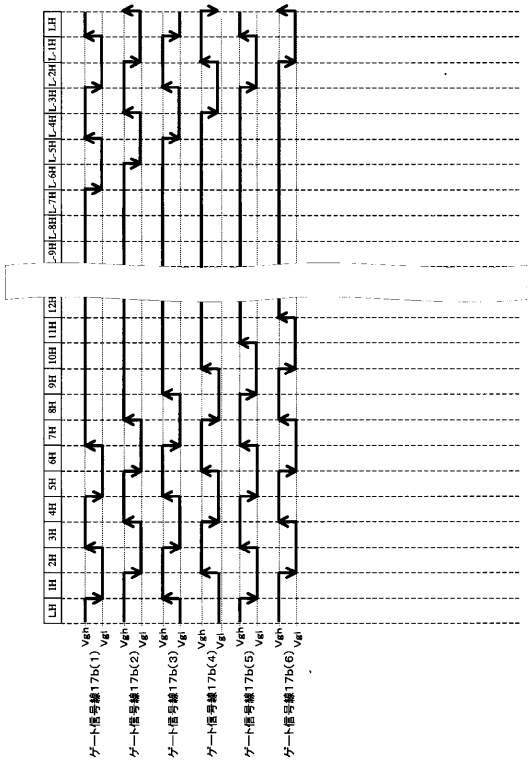
【図１２６】



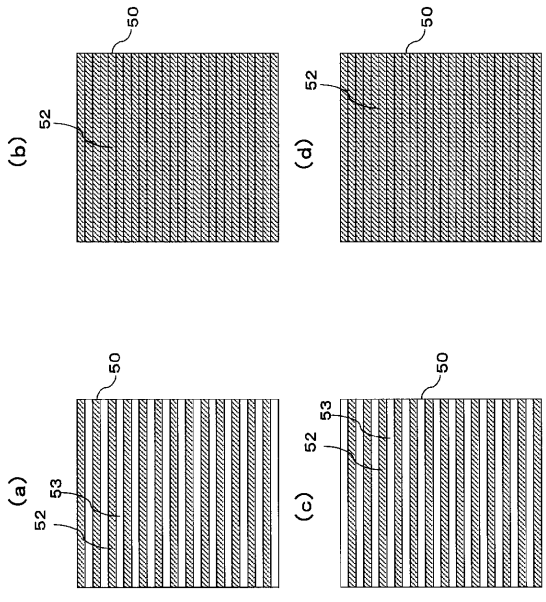
【図１２７】



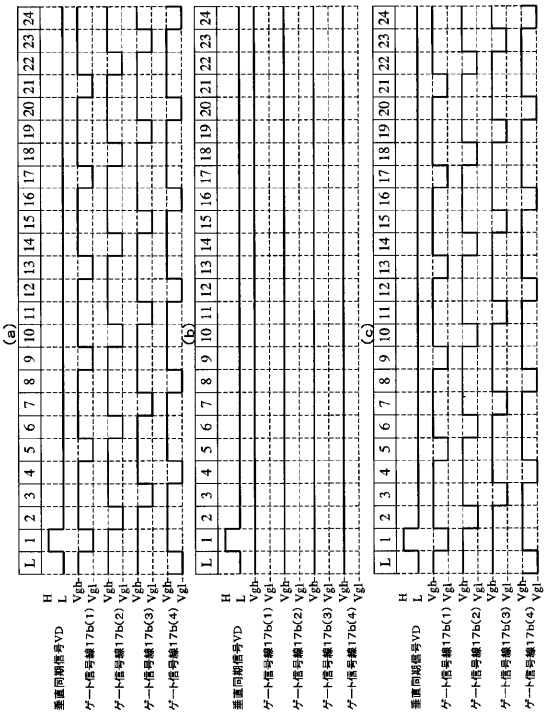
【図１２８】



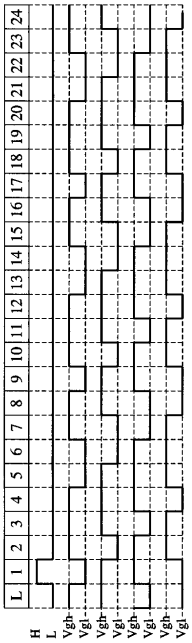
【図１２９】



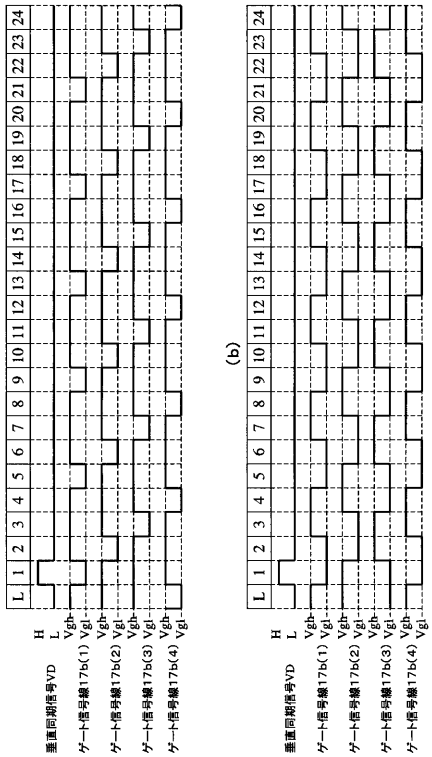
【図１３０】



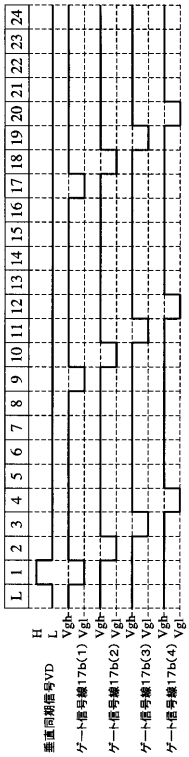
【図１３１】



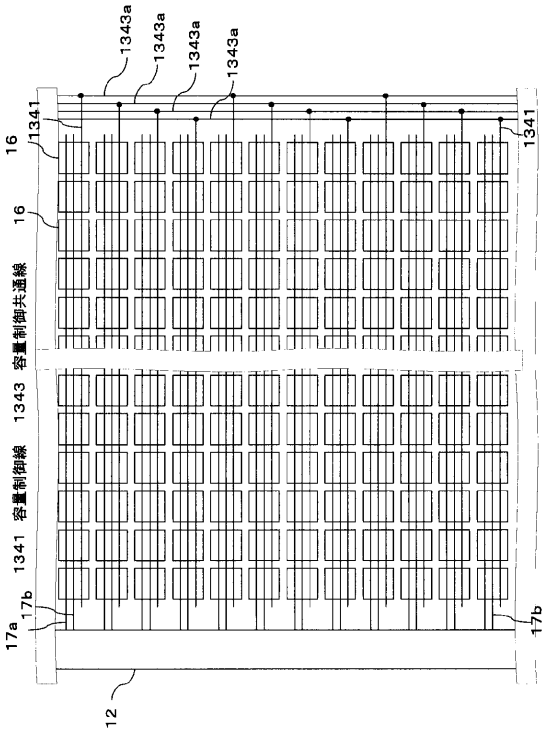
【図１３２】



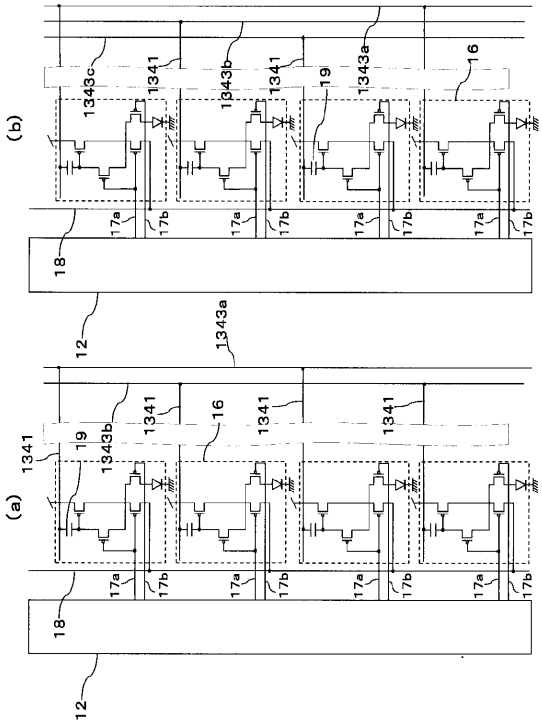
【図１３３】



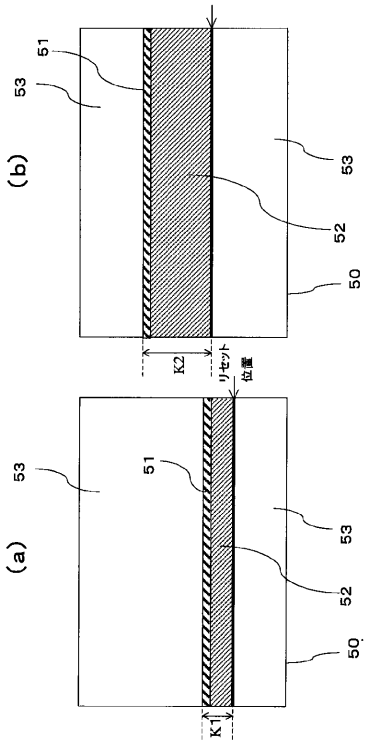
【図１３４】



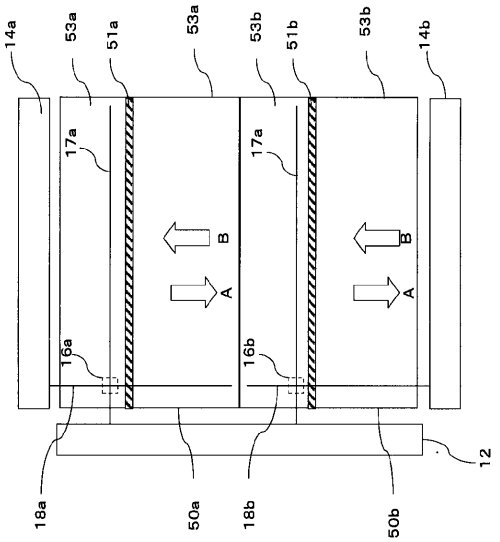
【図１３５】



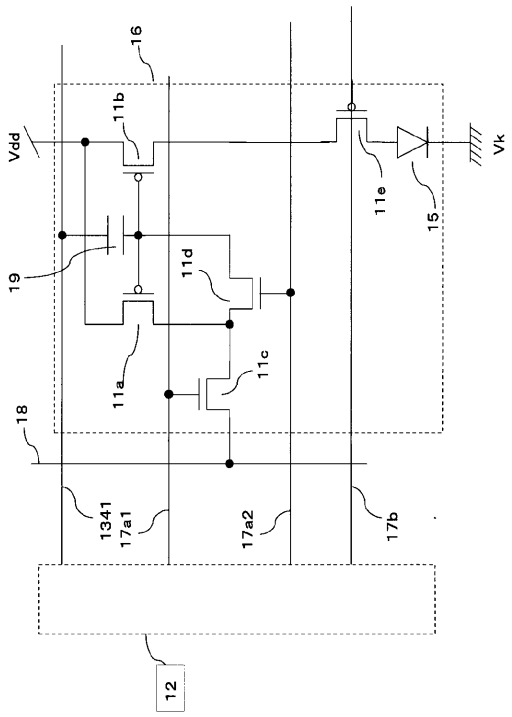
【図１３６】



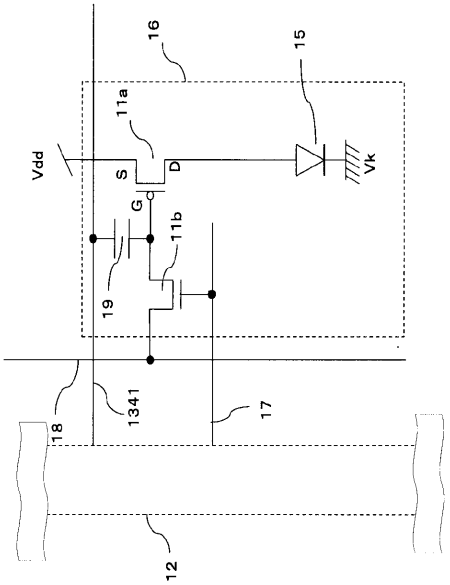
【図１３７】



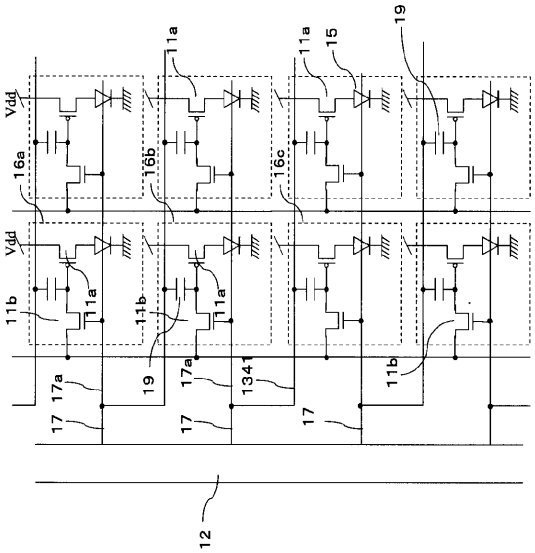
【図１３８】



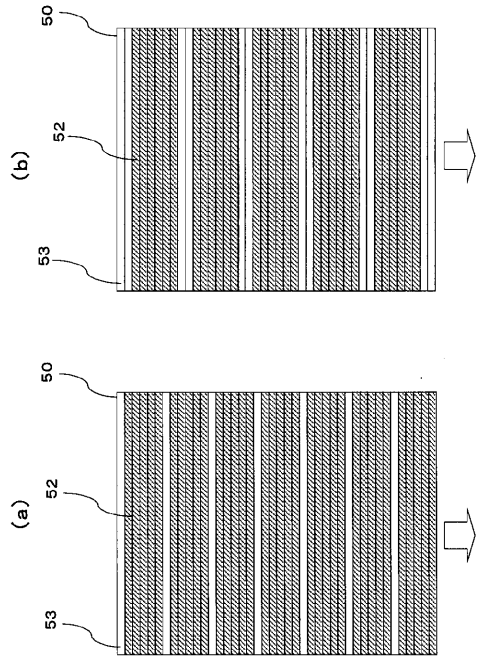
【図１３９】



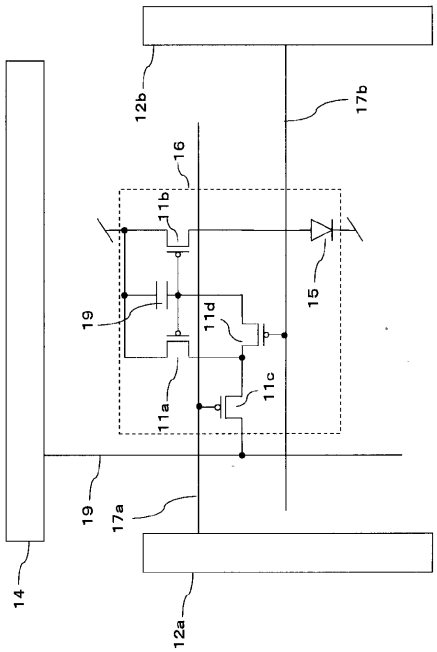
【図１４０】



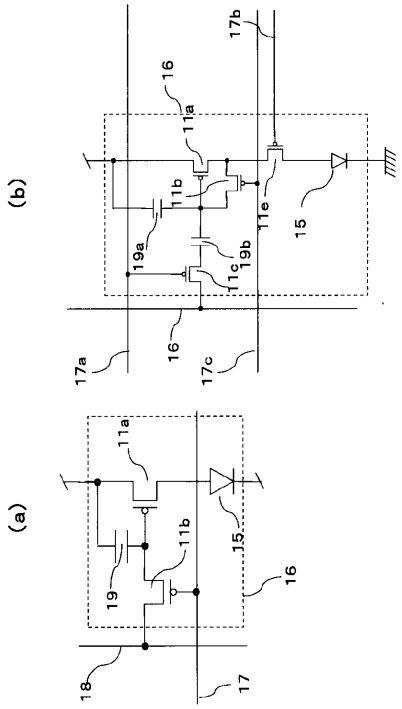
【図１４１】



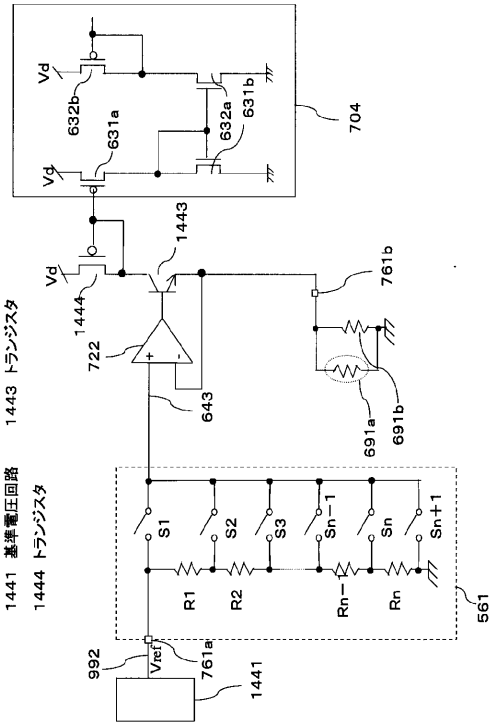
【図１４２】



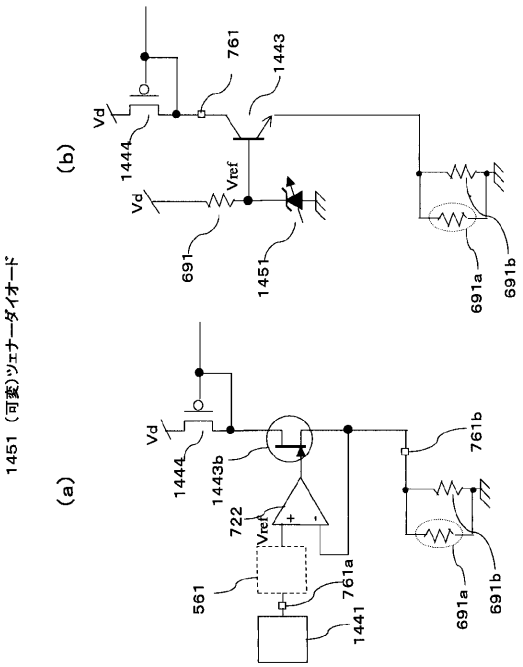
【図１４３】



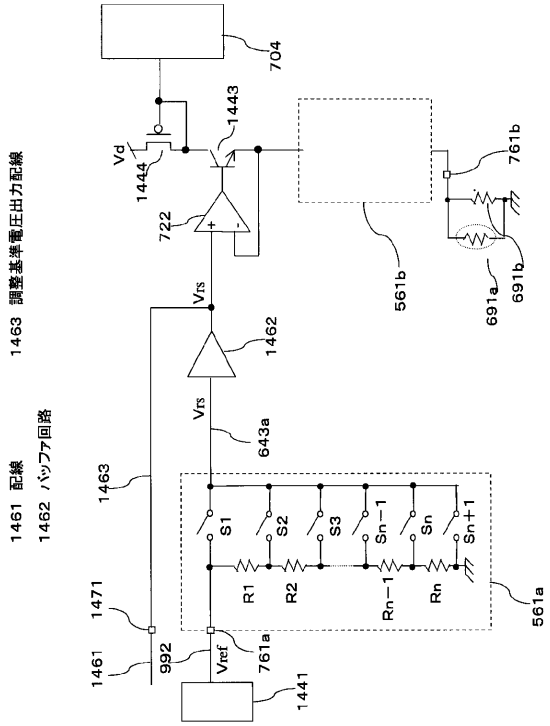
【図１４４】



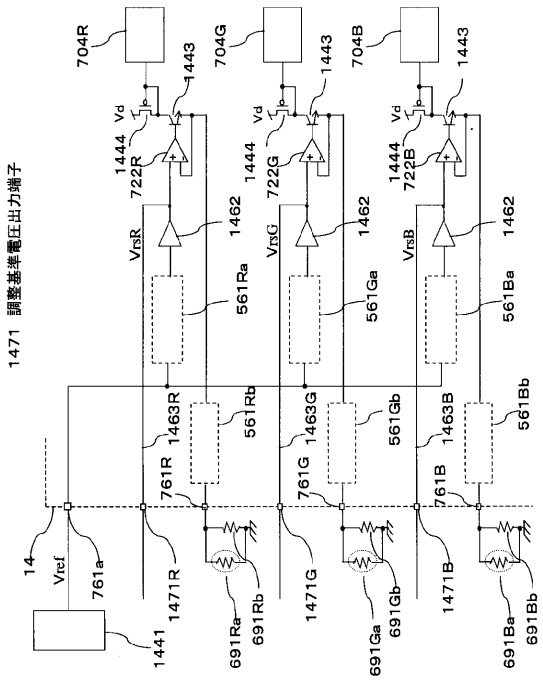
【図１４５】



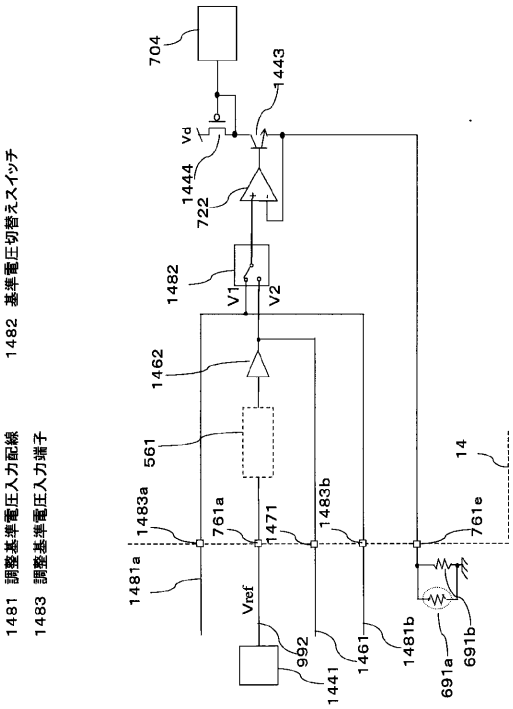
【図１４６】



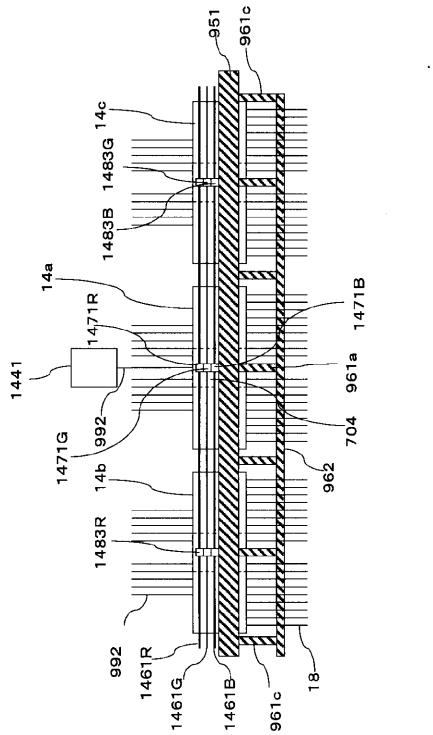
【図１４７】



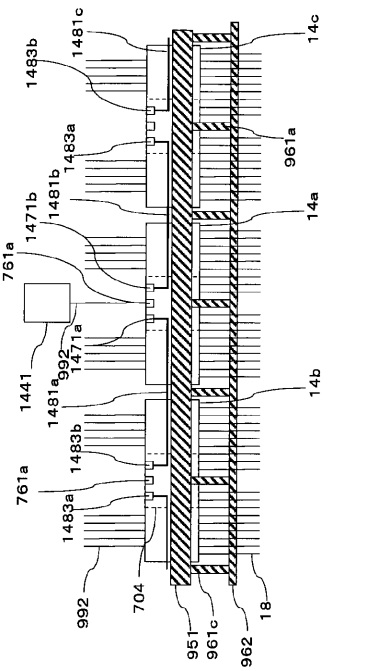
【図１４８】



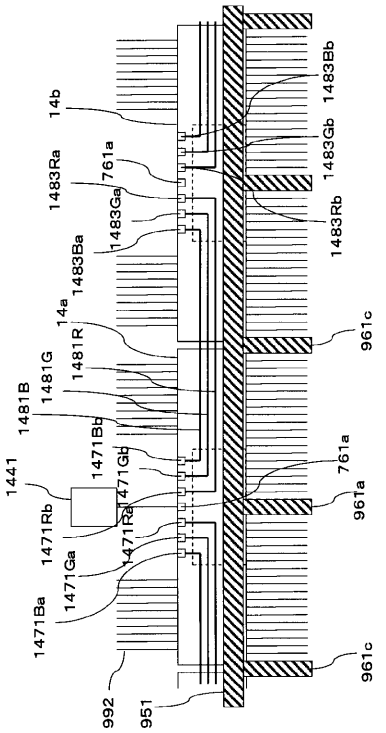
【図１４９】



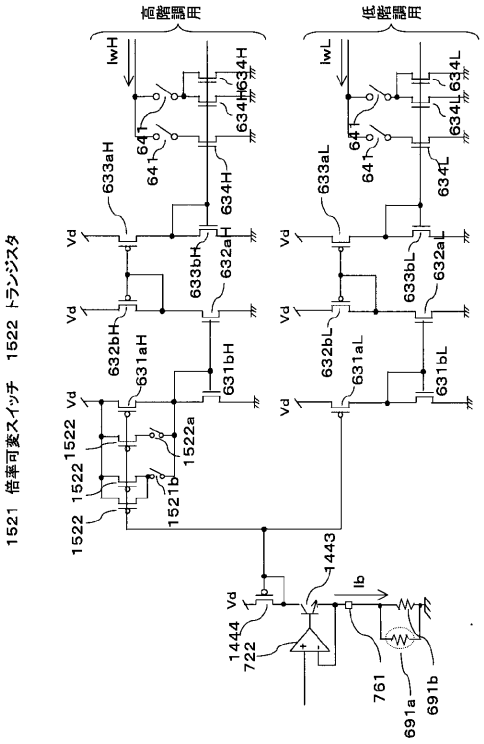
【図１５０】



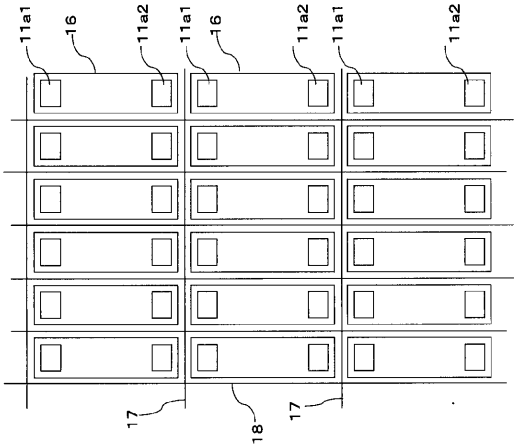
【図１５１】



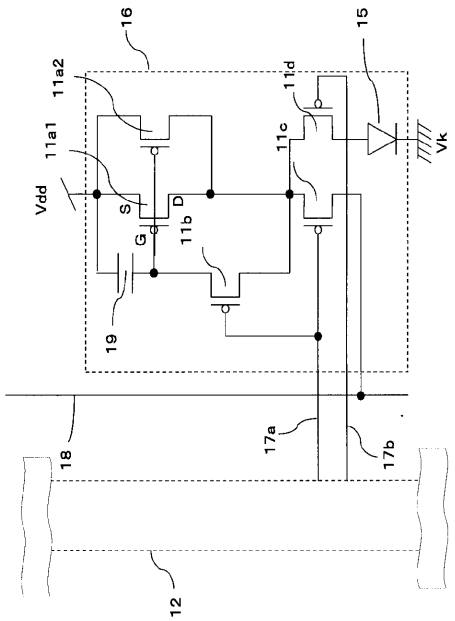
【図１５２】



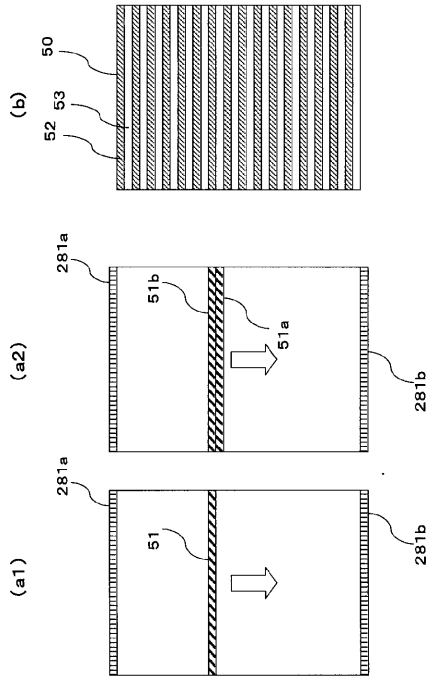
【図１５３】



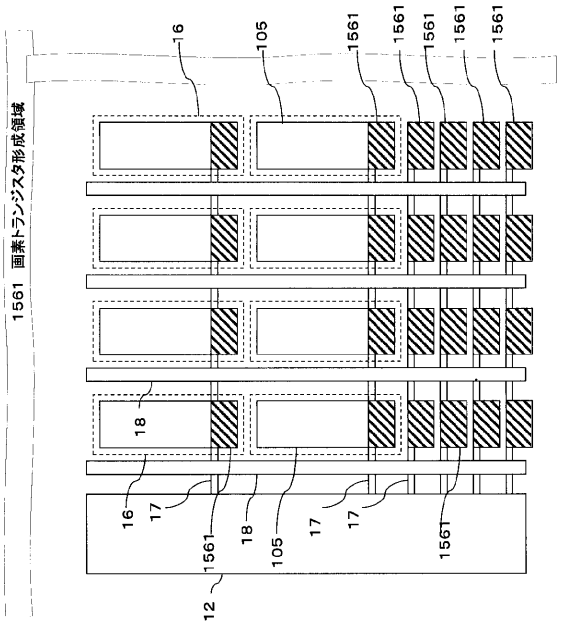
【図１５４】



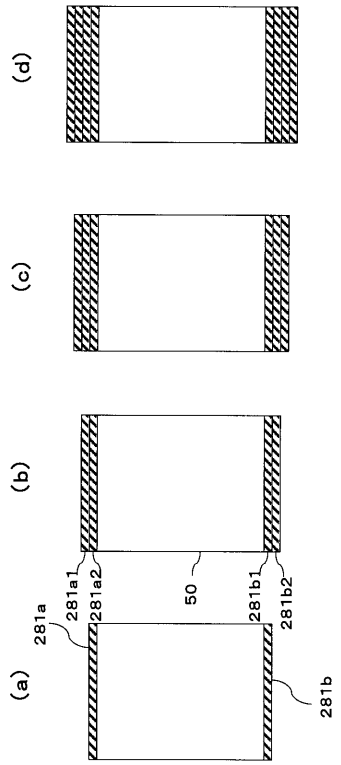
【図１５５】



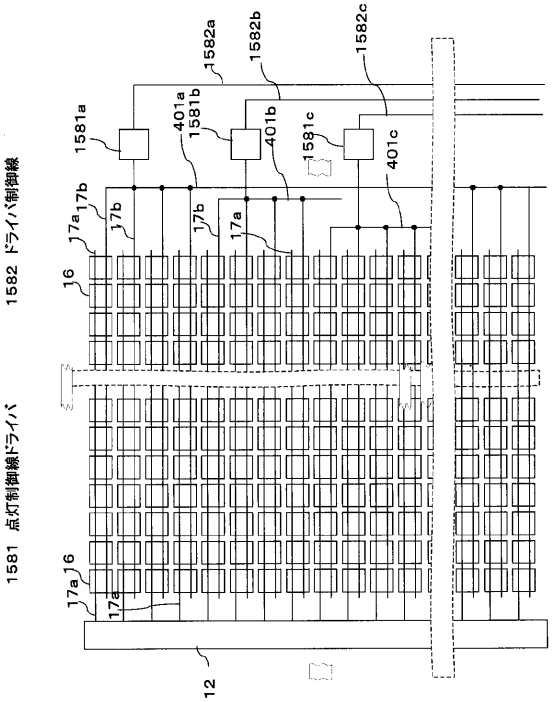
【図１５６】



【図１５７】



【図１５８】



【手続補正書】
【提出日】平成21年1月26日(2009.1.26)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】請求項９
【補正方法】変更
【補正の内容】
【請求項９】
前記ソースドライバ回路は、半導体ＩＣであり、
前記ソースドライバ回路は、前記表示画面が形成された基板に実装されており、
前記ソースドライバ回路の下で、かつ前記基板上に、遮光膜が形成されていることを特徴とする請求項１又は２に記載のＥＬ表示装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００１
【補正方法】変更
【補正の内容】
【０００１】
本発明は、主として自発光で画像を表示するＥＬ表示装置などとこれらのＥＬ表示装置などを用いた携帯電話などの情報表示装置などに関するものである。また、ＥＬ表示装置などを駆動する駆動回路に関するものである。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００５
【補正方法】変更
【補正の内容】
【０００５】
第１の本発明は、画素がマトリックス状に配置された表示画面を有するＥＬ表示装置であって、
ゲートドライバ回路と、
映像信号を出力するソースドライバ回路とを具備し、
前記画素には、ＥＬ素子と、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子に第１の電圧を印加する第１のスイッチ用トランジスタと、前記駆動用トランジスタに前記映像信号を印加する第２のスイッチ用トランジスタとが形成されていることを特徴とするＥＬ表示装置である。
第２の本発明は、画素がマトリックス状に配置された表示画面を有するＥＬ表示装置であって、
ゲートドライバ回路と、
映像信号を出力するソースドライバ回路とを具備し、
前記画素には、ＥＬ素子と、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記駆動用トランジスタのゲート端子に第１の電圧を印加する第１のスイッチ用トランジスタと、前記駆動用トランジスタに前記映像信号を印加する第２のスイッチ用トランジスタと、前記映像信号を保持する第１のコンデンサとが形成され、
前記第１のコンデンサは第１の端子と第２の端子を有し、前記第１のコンデンサの第１の端子は前記駆動用トランジスタの前記ゲート端子に接続され、前記第１のコンデンサの第２の端子は第２の電圧に保持されるように構成されていることを特徴とするＥＬ表示装置である。
第３の本発明は、前記第１のスイッチ用トランジスタがオンして、前記第１の電圧を前記駆動用トランジスタのゲート端子に供給し、
前記第１の電圧を印加した後、複数水平走査期間後に、前記第２のスイッチ用トランジ

スタがオンして、前記映像信号を前記駆動用トランジスタに供給することを特徴とする第１又は第２の本発明のＥＬ表示装置である。
第４の本発明は、前記ゲートドライバ回路は、Ｐチャンネルトランジスタで構成されていることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
第５の本発明は、前記画素において、前記ＥＬ素子の電流の経路に形成された第３のスイッチ用トランジスタを更に具備し、
前記第３のスイッチ用トランジスタをオンオフさせて、前記電流を制御し、
前記ＥＬ表示装置の前記表示画面に帯状の非表示領域および表示領域を発生できることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
第６の本発明は、前記画素に第２のコンデンサが更に形成され、
前記第２のコンデンサは第１の端子と第２の端子を有し、
前記第２のコンデンサの第１の端子は前記駆動用トランジスタのゲート端子に接続され、前記第２のコンデンサの第２の端子は前記第２のスイッチ用トランジスタのゲート端子と接続されていることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
第７の本発明は、前記ＥＬ表示装置は、外光の明るさを検出する検出手段を、更に具備することを特徴とする第１又は第２の本発明のＥＬ表示装置である。
第８の本発明は、ゲート信号線が前記ゲートドライバ回路に接続され、
前記ゲートドライバ回路は、前記表示画面の画素を順次選択して、前記映像信号を印加し、
前記表示画面の第１の画素に前記映像信号を印加した後に、前記ゲートドライバ回路により選択されて、前記映像信号を印加される前記表示画面の第２の画素とを有し、
前記ゲート信号線は、前記第１の画素の前記第２のスイッチ用トランジスタのゲート端子と、前記第２の画素の第１のスイッチ用トランジスタのゲート端子に接続されていることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
第９の本発明は、前記ソースドライバ回路は、半導体ＩＣであり、
前記ソースドライバ回路は、前記表示画面が形成された基板に実装されており、
前記ソースドライバ回路の下で、かつ前記基板上に、遮光膜が形成されていることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
第１０の本発明は、前記表示画面においては、第１の色の画素と第２の色の画素が前記マトリックス状に配置され、
第１の色の画素の画素電極の面積と、前記第２の色の画素の画素電極の面積が異なっていることを特徴とする第１又は第２の本発明のＥＬ表示装置である。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００３８
【補正方法】変更
【補正の内容】
【００３８】
また、基板７１、８５を直接着色することにより、モザイク状のカラーフィルターを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し、浸透させる。浸透後、高温で乾燥させ、また、表面をＵＶ樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピンナーで膜を塗布し、現像する半導体パターン形成技術などでカラーフィルターを形成する。同様に技術を用いてカラーフィルターの他、黒色もしくは暗色あるいは変調する光の補色の関係にある着色によりブラックマトリックス（ＢＭ）を直接形成してもよい。また、基板面に画素に対応するように凹部を形成し、この凹部にカラーフィルター、ＢＭあるいはトランジスタを埋め込むように構成してもよい。特に表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平坦化されるという利点もある。
【手続補正５】

【補正対象書類名】明細書
【補正対象項目名】０１２２
【補正方法】変更
【補正の内容】
【０１２２】
また、トランジスタはＬＤＤ（ｌｉｇｈｔｌｙ　ｄｏｐｅｄ　ｄｒａｉｎ）構造を採用することが好ましい。なお、トランジスタとは、ＦＥＴなどスイッチングなどのトランジスタ動作をするすべての素子一般を意味する。また、ＥＬ膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できることは言うまでもない。また、本明細書ではＥＬ素子として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】０１２３
【補正方法】変更
【補正の内容】
【０１２３】
まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、１、特定の画素を選択し、必要な表示情報を与えられること。２、１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】０１４９
【補正方法】変更
【補正の内容】
【０１４９】
なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１７ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１７に接続してもよい（図３２を参照のこと）。１画素のゲート信号線は３本となる（図１の構成は２本である）。トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】０１６２
【補正方法】変更
【補正の内容】
【０１６２】
また、蓄積容量１９の容量値をＣｓ（ｐＦ）、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆ（ｐＡ）とした場合、次式を満足させることが好ましい。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】０２１７
【補正方法】変更
【補正の内容】
【０２１７】
図９のようにゲートドライバ回路１２をソースドライバ回路１４の横に配置すると、ゲート信号線１７を辺Ｃに沿って形成し、画面表示領域５０まで形成する必要がある。

【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】０２７９
【補正方法】変更
【補正の内容】
【０２７９】
本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎにするとして説明する。しかし、これに限定するものではなく、Ｎ１倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ２（Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。また、説明を容易にするため、１Ｆ（１フィールドまたは１フレーム）を基準にして、この１Ｆでのオン期間を１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、駆動走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜上の問題であり、これに限定するものではない。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】０２９０
【補正方法】変更
【補正の内容】
【０２９０】
今、電流Ｉ１が本来流す電流（所定値）のＮ倍であるとすると、図３（ｂ）のＥＬ素子１５に流れる電流もＮ倍となる。したがって、所定値のＮ＝１０倍の輝度でＥＬ素子１５は発光する。つまり、図１２に図示するように、倍率Ｎを高くするほど、表示パネルの表示輝度Ｂも高くなる。したがって、倍率と輝度とは比例関係となる。トランジスタ１１ｄのオン（クローズ）期間を１／Ｎに駆動することにより、輝度と倍率とは反比例の関係となる。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】０３０１
【補正方法】変更
【補正の内容】
【０３０１】
なお、本発明の駆動方法において、所定電流よりも高い電流をＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流して電流を流しても良い。たとえば、信号電流が０．２μＡのとき、プログラム電流を２．２μＡとして、トランジスタ１１ａには２．２μＡを流す。この電流のうち、信号電流０．２μＡをＥＬ素子１５に流して、残りの２μＡをダミーのＥＬ素子に流すなどの方式が例示される。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】０３０２

【補正方法】変更
【補正の内容】
【０３０２】
以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができ、かつ、ＥＬ素子１５には、Ｎ倍よりは十分小さい電流を流すことができる。以上の方法では、図５に図示するように、非点灯領域５２を設けることなく、全表示領域５０を画像表示領域５３とすることができる。
【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】０３０３
【補正方法】変更
【補正の内容】
【０３０３】
図１３（ａ）は表示画像５０への書き込み状態を図示している。図１３（ａ）において、５１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１３などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれる信号は電圧である電圧プログラム方式でもよい。
【手続補正１５】
【補正対象書類名】明細書
【補正対象項目名】０３１１
【補正方法】変更
【補正の内容】
【０３１１】
図１７はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１７で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。
【手続補正１６】
【補正対象書類名】明細書
【補正対象項目名】０３１２
【補正方法】変更
【補正の内容】
【０３１２】
なお、図１７などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画像５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域５３を分割する時、ゲート信号

線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。
【手続補正１７】
【補正対象書類名】明細書
【補正対象項目名】０３１５
【補正方法】変更
【補正の内容】
【０３１５】
ＥＬ表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１の構成においては、トランジスタ１１ｄをオンオフ操作するだけで、図３８の構成においては、トランジスタ素子１１ｅをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されている。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅの制御により実現しているのである。
【手続補正１８】
【補正対象書類名】明細書
【補正対象項目名】０４１０
【補正方法】変更
【補正の内容】
【０４１０】
図１の画素構成でリセット駆動を実現するためには、トランジスタ１１ｂとトランジスタ１１ｃを独立してオンオフ制御できるように構成する必要がある。つまり、図３２で図示するようにトランジスタ１１ｂをオンオフ制御するゲート信号線１７ａ（ゲート信号線ＷＲ）、トランジスタ１１ｃをオンオフ制御するゲート信号線１７ｃ（ゲート信号線ＥＬ）を独立して制御できるようにする。ゲート信号線１７ａとゲート信号線１７ｃの制御は図６に図示するように独立した２つのシフトレジスタ６１で行えばよい。
【手続補正１９】
【補正対象書類名】明細書
【補正対象項目名】０４２５
【補正方法】変更
【補正の内容】
【０４２５】
したがって、ゲート信号線１７ａはゲートドライバ回路１２ａで操作し、ゲート信号線１７ｃはゲートドライバ回路１２ｂで操作する。そのため、トランジスタ１１ｂをオンさせて駆動用トランジスタ１１ａをリセットするタイミングと、トランジスタ１１ｃをオンさせて駆動用トランジスタ１１ａに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。
【手続補正２０】
【補正対象書類名】明細書
【補正対象項目名】０４９６
【補正方法】変更
【補正の内容】
【０４９６】
突き抜け電圧発生用のコンデンサ１９ｂの容量（容量をＣｂ（ｐＦ）とする）は、電荷保持用のコンデンサ１９ａの容量（容量とＣａ（ｐＦ）とする）と、トランジスタ１１ａの白ピーク電流時（画像表示で表示最大輝度の白ラスター時）のゲート（Ｇ）端子電圧Ｖｗ（Ｖ）を黒表示での電流を流す（基本的には電流は０である。つまり、画像表示で黒表示としている時）時のゲート（Ｇ）端子電圧Ｖｂ（Ｖ）が関連する。これらの関係は、Ｃａ／（２００Ｃｂ）≦｜Ｖｗ－Ｖｂ｜≦Ｃａ／（８Ｃｂ）の条件を満足させることが好ま

しい。なお、｜Ｖｗ－Ｖｂ｜とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である（つまり、変化する電圧幅）。
【手続補正２１】
【補正対象書類名】明細書
【補正対象項目名】０５００
【補正方法】変更
【補正の内容】
【０５００】
図５１の電圧プログラムの構成にあっては、ゲート信号線１７ｃと駆動用トランジスタ１１ａのゲート（Ｇ）端子間に突き抜け電圧発生用のコンデンサ１９ｃを形成または配置する。また、スイッチングトランジスタ１１ｃはトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ｃのドレイン（Ｄ）端子（コンデンサ１９ｂ側）と、ゲート信号線１７ａ間に配置してもよい。また、突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ａのゲート（Ｇ）端子と、ゲート信号線１７ａ間に配置してもよい。また、突き抜け電圧発生用のコンデンサ１９ｃはトランジスタ１１ｃのドレイン（Ｄ）端子（コンデンサ１９ｂ側）と、ゲート信号線１７ｃ間に配置してもよい。
【手続補正２２】
【補正対象書類名】明細書
【補正対象項目名】０５０１
【補正方法】変更
【補正の内容】
【０５０１】
また、電荷保持用のコンデンサ１９ａの容量をＣａ（ｐＦ）とし、スイッチング用のトランジスタ１１ｃまたは１１ｄ）のソース－ゲート容量Ｃｃ（ｐＦ）（突き抜け用のコンデンサがある場合には、その容量を加えた値）とし、ゲート信号線に印加される高電圧信号（Ｖｇｈ）（Ｖ）とし、ゲート信号線に印加される低電圧信号（Ｖｇｌ）（Ｖ）とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。
【手続補正２３】
【補正対象書類名】明細書
【補正対象項目名】０５１６
【補正方法】変更
【補正の内容】
【０５１６】
横軸は、逆バイアス電圧Ｖｍ（Ｖ）と１周期に逆バイアス電圧を印加した時間ｔ１の積に対する定格端子電圧Ｖ０の比である。たとえば、６０Ｈｚ（とくに６０Ｈｚに意味はないが）で、逆バイアス電圧Ｖｍ（Ｖ）を印加した時間が１／２（半分）であれば、ｔ１＝０．５である。また、経過時間０時間において、電流密度１００Ａ／平方メーターの電流の印加した時の端子電圧（定格端子電圧）が８（Ｖ）とし、逆バイアス電圧Ｖｍを８（Ｖ）とすれば、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）＝｜－８（Ｖ）×０．５｜／（８（Ｖ）×０．５）＝１．０となる。
【手続補正２４】
【補正対象書類名】明細書
【補正対象項目名】０５１７
【補正方法】変更
【補正の内容】
【０５１７】
図４５によれば、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が１．０以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧Ｖｍの印加による効果がよく発揮されている。しかし、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）が１．７５以上で端子電圧比は増加する傾向にある。したがって、｜逆

バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．０以上になるように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１（もしくはｔ２、あるいはｔ１とｔ２との比率）を決定するとよい。また、好ましくは、｜逆バイアス電圧×ｔ１｜／（定格端子電圧×ｔ２）は１．７５以下になるように逆バイアス電圧Ｖｍの大きさおよび印加時間比ｔ１などを決定するとよい。

【手続補正２５】
【補正対象書類名】明細書
【補正対象項目名】０５８３
【補正方法】変更
【補正の内容】
【０５８３】
本発明のソースドライバ回路１４のように、第１段のカレントミラー回路（電流源６３１）の電流を第２段のカレントミラー回路（電流源６３２）にコピーし、第２段のカレントミラー回路（電流源６３２）の電流を第３段にカレントミラー回路（電流源６３２）にコピーする構成である。この構成では、第１段のカレントミラー回路（電流源６３１）に接続される第２段のカレントミラー回路（電流源６３２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源６３１）と第２段のカレントミラー回路（電流源６３２）とを密接して配置することができる。

【手続補正２６】
【補正対象書類名】明細書
【補正対象項目名】０５５９
【補正方法】変更
【補正の内容】
【０５５９】
したがって、画素１６ａのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ａが電圧プログラム状態となるとともに、次段画素１６ｂのリセット用トランジスタ１１ｂがオンし、画素１６ｂの駆動用トランジスタ１１ａがリセット状態となる。同様に、画素１６ｂのトランジスタ１１ｃのゲート（Ｇ）端子に接続されたゲート信号線１７ａにオン電圧を印加すると、画素１６ｂが電圧プログラム状態となるとともに、次段画素１６ｃのリセット用トランジスタ１１ｂがオンし、画素１６ｃの駆動用トランジスタ１１ａがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

【手続補正２７】
【補正対象書類名】明細書
【補正対象項目名】０５６１
【補正方法】変更
【補正の内容】
【０５６１】
この状態では、画素１６ａは電圧プログラム状態で非点灯、画素１６ｂはリセット状態で非点灯、画素１６ｃは電圧プログラムの保持状態で点灯、画素１６ｄは電圧プログラムの保持状態で点灯状態である。

【手続補正２８】
【補正対象書類名】明細書
【補正対象項目名】０５６２
【補正方法】変更
【補正の内容】
【０５６２】
１Ｈ後、制御用ゲートドライバ回路１２のシフトレジスタ回路６１内のデータが１ビットシフトし、図５３（ｂ）の状態となる。図５３（ｂ）の状態は、画素１６ａは電圧プロ

グラムの保持状態で点灯、画素１６ｂは電圧プログラム状態で非点灯、画素１６ｃはリセット状態で非点灯、画素１６ｄは電圧プログラムの保持状態で点灯状態である。
【手続補正２９】
【補正対象書類名】明細書
【補正対象項目名】０５８４
【補正方法】変更
【補正の内容】
【０５８４】
密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源６３２）に接続される第３段のカレントミラー回路（電流源６３３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源６３２）と第３段のカレントミラー回路（電流源６３３）とを密接して配置することができる。
【手続補正３０】
【補正対象書類名】明細書
【補正対象項目名】０６８９
【補正方法】変更
【補正の内容】
【０６８９】
人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図８３の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。したがって、１ステップずつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（ＩＣ）１４において）、黒表示領域が課題となる。
【手続補正３１】
【補正対象書類名】明細書
【補正対象項目名】０７５２
【補正方法】変更
【補正の内容】
【０７５２】
この課題に解決するため、図８９に図示するように、ソース端子７６１との出力端にスイッチ６４１ａを形成する。また、嵩上げ電流出力回路７０４ｃの出力段にスイッチ６４１ｂを形成または配置する。
【手続補正３２】
【補正対象書類名】明細書
【補正対象項目名】０７８９
【補正方法】変更
【補正の内容】
【０７８９】
基準電圧切り替えスイッチ１４８２は、ＩＣ１４内部の電子ボリウム回路５６１の出力電圧Ｖ２をオペアンプ７２２の入力とするか、端子１４８３に印加された外部からの基準電圧Ｖ１をオペアンプ７２２に入力するかを切り替える。Ｖ２電圧をオペアンプ７２２の入力とする場合は、このＩＣ（回路）１４はマスターモードで使用していることになる。この場合は、Ｖ２電圧は端子１４７１から出力され、端子１４７１に接続された配線１４６１に、スレーブとなるソースドライバＩＣ（回路）１４の調整基準電圧入力端子１４８

３が接続されることになる。なお、先にも述べたが、マスター／スレーブの区別なしに複数個のソースドライバ回路（ＩＣ）１４が１つの基準電圧回路１４４１からの基準電圧Ｖrefを入力として動作する時は、切り替えスイッチ１４８２は不要である。基準電圧ＶrefまたはＩＣ内部で発生する調整基準電圧Ｖrsが各ＩＣのオペアンプ７２２の＋端子入力となるからである。また、他の事項については、先に説明しているので説明を省略する。

【手続補正３３】
【補正対象書類名】明細書
【補正対象項目名】０７９９
【補正方法】変更
【補正の内容】
【０７９９】

調整基準電圧入力端子１４８３ａと１４８３ｂ間は図１４８にも図示するように電気的に接続されている。したがって、ＩＣ１４ａの端子１４７１ａから出力された電圧ＶrsはＩＣ１４ｂの端子１４８３ｂに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３ａに出力される。また、端子１４８３ａは隣接して実装されたＩＣ１４に端子１４８３に入力される。同様に、ＩＣ１４ａの端子１４７１ｂから出力された電圧ＶrsはＩＣ１４ｃの端子１４８３ａに印加され、この電圧ＶrsがＩＣ１６ｃ内を介して端子１４８３ｂに出力される。また、端子１４８３ｂは隣接して実装されたＩＣ１４に端子１４８３に入力される。以上のように端子１４８３、１４７１を配置または接続することにより、カスケードにＩＣを接続することできる。

【手続補正３４】
【補正対象書類名】明細書
【補正対象項目名】０８０４
【補正方法】変更
【補正の内容】
【０８０４】

ＩＣ１４ａの端子１４７１ＢｂからＶrsはＩＣ１４ｂの端子１４８３Ｂａに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３Ｂｂに出力される。また、端子１４８３Ｂｂは隣接して実装されたＩＣ１４に端子１４８３に入力される。ＩＣ１４ａの端子１４７１ＧｂからＶrsはＩＣ１４ｂの端子１４８３Ｇａに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３Ｇｂに出力される。また、端子１４８３Ｇｂは隣接して実装されたＩＣ１４に端子１４８３に入力される。同様に、ＩＣ１４ａの端子１４７１ＲｂからＶrsはＩＣ１４ｂの端子１４８３Ｒａに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子１４８３Ｒｂに出力される。また、端子１４８３Ｒｂは隣接して実装されたＩＣ１４に端子１４８３に入力される。以上のように端子１４８３、１４７１を配置または接続することにより、カスケードにＩＣを容易に接続することできる。

【手続補正３５】
【補正対象書類名】明細書
【補正対象項目名】０８４８
【補正方法】変更
【補正の内容】
【０８４８】

ベースアノード線９５１はＩＣチップ１４の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線９５１は遮光の機能を持たせることが好ましい。この説明図を図１０２に図示している。なお、ベースアノード配線９５１を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線９５１が太くできない時、あるいは、ＩＴＯなどの透明材料で形成するときは、ベースアノード線９５１に積層して、あるいは多層に、光吸収膜あるいは光反射膜をＩＣチップ１４下（基本的にはアレイ７１の表面）

に形成する。また、図１０２の遮光膜（ベースアノード線９５１）は、完全な遮光膜であることを必要としない。部分に開口部があってもよく。また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線９５１に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。
【手続補正３６】
【補正対象書類名】明細書
【補正対象項目名】０８８２
【補正方法】変更
【補正の内容】
【０８８２】
また、ＥＬ素子１５に電流を供給する駆動用ＴＦＴ（図１ではＴＦＴ１１ａ）もＰチャンネルで構成することにより、ＥＬ素子１５のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、ゲートドライバ１２のトランジスタもＰチャンネルとすることがよい。以上のことから、本発明の画素１６を構成するトランジスタ（駆動用ＴＦＴ、スイッチング用ＴＦＴ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。
【手続補正３７】
【補正対象書類名】明細書
【補正対象項目名】０９２３
【補正方法】変更
【補正の内容】
【０９２３】
以上のように、本発明の駆動方式において、任意の画素行は、図１２４（ａ）において、１フィールド（１フレーム）の４ｍｓｅｃ（好ましくは８ｍｓｅｃ）以上の期間は、４Ｈに１Ｈの期間表示され、その他の期間（１フィールド（１フレーム）の残りの期間）は、連続して非点灯（黒表示（黒挿入）あるいは低輝度表示）状態が維持される。したがって、説明を容易にするために、Ａ領域あるいはＢ領域と表現したが、時間的な観点から、Ａ期間あるいはＢ期間と表現するほうが適切である。つまり、Ａ領域（Ａ期間）は、連続して画像が点灯する期間であり、Ｂ領域（Ｂ期間）は画素行（画面５０）が間欠表示される期間である。以上の事項は図１２４（ｂ）あるいは他の本発明の実施例においても同様である。
【手続補正３８】
【補正対象書類名】明細書
【補正対象項目名】０９２６
【補正方法】変更
【補正の内容】
【０９２６】
図１２４においても、点灯画素行数を変化させることにより、画面５０の明るさを調整（変化）させることができる（図１１８と同様に、表示画素数５３を変化あるいは調整すればよい）。また、黒挿入領域（図１２４のＢ領域）の割合を変化させることにより、画像表示状態に応じて最適状態にすることができる。たとえば、静止画では、Ｂ領域が長くなることを避けるべきである。フリッカの発生の原因となるからである。静止画の場合は、表示画素行５３を分散して表示（画面５０内に配置）すべきである。たとえば、ＱＣＩＦパネルの場合は、画素行数が２２０本である。このうち、静止画で５５画素行を表示するのであれば、２２０／４４＝４であるから、４画素行ごとに１画素行を表示させればよい。２２０画素行のうち１０画素行を表示するのであれば、２２０／１０＝２２画素行に１画素行を表示させればよい。なお、図１２４においてＢ領域（Ｂ期間）は１つとしているが、これに限定するものではなく、２つ以上（複数）に分割あるいは分散させてもよい

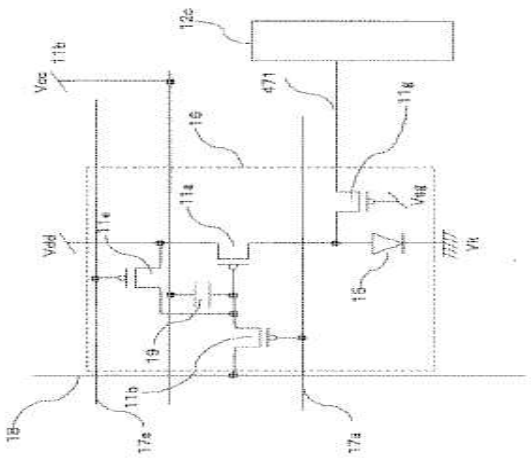
ことはいうまでもない。

フロントページの続き

(51)Int.Cl.		FI			テーマコード（参考）
H05B 33/14	*(2006.01)*	G09G	3/20	612E	
H05B 33/12	*(2006.01)*	G09G	3/20	642A	
G09F 9/00	*(2006.01)*	G09G	3/20	642K	
		G09G	3/20	680F	
		G09G	3/20	621A	
		G09G	3/20	670K	
		G09G	3/20	642E	
		G09G	3/20	622B	
		G09F	9/30	338	
		G09F	9/30	365Z	
		H05B	33/14	A	
		H05B	33/14	Z	
		H05B	33/12	B	
		G09F	9/00	366G	
		G09F	9/30	390C	

Fターム(参考) 5C080 AA06 BB05 CC03 DD02 DD05 DD06 DD08 DD09 DD12 DD18
DD20 DD25 DD26 DD27 DD28 EE19 EE28 EE29 EE30 JJ01
JJ02 JJ03 JJ04 JJ05 JJ06 KK02 KK04 KK43
5C094 AA02 AA03 AA04 AA10 AA14 AA21 AA43 AA44 AA53 BA03
BA27 BA43 CA19 DA20 DB04 DB10 EA10 ED02 ED14 FB14
FB20 GB10
5G435 AA16 AA17 BB05 BB12 CC09 EE50 FF05 GG02 GG12 KK05
KK10

专利名称(译)	EL表示装置		
公开(公告)号	JP2009151315A	公开(公告)日	2009-07-09
申请号	JP2008330957	申请日	2008-12-25
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50 H05B33/14 H05B33/12 G09F9/00		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.642.F G09G3/20.641.D G09G3/20.612.E G09G3/20.642.A G09G3/20.642.K G09G3/20.680.F G09G3/20.621.A G09G3/20.670.K G09G3/20.642.E G09G3/20.622.B G09F9/30.338 G09F9/30.365.Z H05B33/14.A H05B33/14.Z H05B33/12.B G09F9/00.366.G G09F9/30.390.C G09F9/30.365 G09F9/302.C H01L27/32		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC02 3K107/CC14 3K107/CC31 3K107/CC33 3K107/CC45 3K107/EE03 3K107/EE06 3K107/EE27 3K107/EE59 3K107/EE68 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD05 5C080/DD06 5C080/DD08 5C080/DD09 5C080/DD12 5C080/DD18 5C080/DD20 5C080/DD25 5C080/DD26 5C080/DD27 5C080/DD28 5C080/EE19 5C080/EE28 5C080/EE29 5C080/EE30 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK43 5C094/AA02 5C094/AA03 5C094/AA04 5C094/AA10 5C094/AA14 5C094/AA21 5C094/AA43 5C094/AA44 5C094/AA53 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/DA20 5C094/DB04 5C094/DB10 5C094/EA10 5C094/ED02 5C094/ED14 5C094/FB14 5C094/FB20 5C094/GB10 5G435/AA16 5G435/AA17 5G435/BB05 5G435/BB12 5G435/CC09 5G435/EE50 5G435/FF05 5G435/GG02 5G435/GG12 5G435/KK05 5G435/KK10 5C380/AA02 5C380/AA03 5C380/AB05 5C380/AB07 5C380/AB08 5C380/AB12 5C380/AB22 5C380/AB24 5C380/AB25 5C380/AB28 5C380/AB31 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB43 5C380/AB46 5C380/AC02 5C380/AC07 5C380/AC08 5C380/AC10 5C380/AC12 5C380/BA01 5C380/BA08 5C380/BA10 5C380/BA12 5C380/BA15 5C380/BA19 5C380/BA20 5C380/BA23 5C380/BA25 5C380/BA29 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA43 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB05 5C380/BB06 5C380/BB12 5C380/BB15 5C380/BB19 5C380/BB21 5C380/BC02 5C380/BC03 5C380/BC07 5C380/BC12 5C380/BC14 5C380/BC18 5C380/BD11 5C380/BE05 5C380/CA12 5C380/CA16 5C380/CA20 5C380/CA29 5C380/CA30 5C380/CA32 5C380/CA36 5C380/CA43 5C380/CA47 5C380/CA53 5C380/CA54 5C380/CB02 5C380/CB05 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB18 5C380/CB19 5C380/CB26 5C380/CB30 5C380/CB33 5C380/CB37 5C380/CB40 5C380/CC07 5C380/CC13 5C380/CC14 5C380/CC19 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC38 5C380/CC39 5C380/CC42 5C380/CC53 5C380/CC55 5C380/CC62 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD015 5C380/CD024 5C380/CD025 5C380/CE03 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE13 5C380/CE20 5C380/CE21 5C380/CF02 5C380/CF08 5C380/CF13 5C380/CF22 5C380/CF24 5C380/CF25 5C380/CF27 5C380/CF32 5C380/CF33 5C380/CF42 5C380/CF43 5C380/CF45 5C380/CF48 5C380/CF51 5C380/CF56 5C380/CF64 5C380/CF67 5C380/DA02 5C380/DA12 5C380/DA13 5C380/DA25 5C380/DA26 5C380/DA33 5C380/DA34 5C380/DA37 5C380/DA38 5C380/DA41 5C380/DA42 5C380/DA47 5C380/DA48 5C380/DA58 5C380/EA04 5C380/EA11 5C380/FA04 5C380/FA06 5C380/FA10 5C380/FA13 5C380/FA15 5C380/FA18 5C380/FA23 5C380/FA26 5C380/GA01 5C380/GA09 5C380/GA14 5C380/HA03 5C380/HA05 5C380/HA06 5C380/HA08 5C380/HA10 5C380/HA11 5C380/HA13 5C380/HA15		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过EL显示设备中的前门控制系统轻松实现复位驱动。ŽSOLUTION：具有显示屏的EL显示装置，其中像素16以矩阵排列，包括：栅极驱动电路12;以及用于输出图像信号的源极驱动电路14。每个像素16包括：EL元件15;用于向EL元件15提供电流的驱动晶体管11a;第一开关晶体管11b，用于向驱动晶体管11a的栅极端子施加第一电压;第二开关晶体管11c，用于将图像信号施加到驱动晶体管11a。Ž