

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-281671

(P2008-281671A)

(43) 公開日 平成20年11月20日(2008.11.20)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3 K 1 0 7
G09G 3/20 (2006.01)	G09G 3/20 6 2 4 B	5 C 0 8 0
G09F 9/30 (2006.01)	G09G 3/20 6 1 1 H	5 C 0 9 4
H01L 27/32 (2006.01)	G09G 3/20 6 4 2 A	
H01L 51/50 (2006.01)	G09F 9/30 3 6 5 Z	
審査請求 有 請求項の数 4 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2007-124261 (P2007-124261)
 (22) 出願日 平成19年5月9日(2007.5.9)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社社内
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

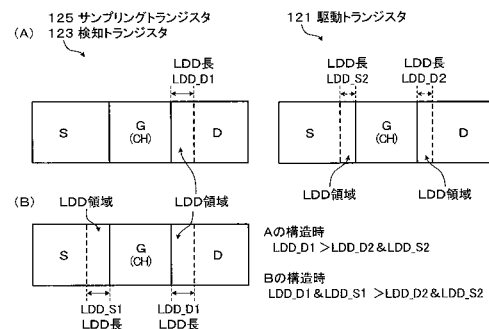
(54) 【発明の名称】 画素回路および表示装置

(57) 【要約】

【課題】駆動電流を一定に維持する駆動信号一定化回路構成を具備する画素回路を備えた有機EL表示装置において、駆動トランジスタのゲート端に設けられる各スイッチングトランジスタのリーク電流を起因とする駆動電流の変動を抑制する。

【解決手段】駆動トランジスタ121と、駆動トランジスタ121のゲート端側に設けられる、画素信号を選択的にゲート端Gに取り込むサンプリングトランジスタ125と、駆動信号一定化回路としての閾値電圧キャンセル回路を設ける際に使用される検知トランジスタ123とは、nチャンネル型でかつLDD構造のものを使用する。各トランジスタ123、125のドレイン端DのLDD長を、駆動トランジスタ121のLDD長よりも長くすることで、それらのリーク電流を低減させる。トランジスタ123、125のリーク電流によって画素容量の保持電圧のバラツキを少なくすることでリーク電流による画質バラツキを抑える。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

駆動信号に基づいて発光する電気光学素子と、
前記電気光学素子に駆動信号を供給する駆動トランジスタと、
前記駆動トランジスタの制御入力端子に接続された画素容量と、
前記駆動トランジスタの制御入力端子側に設けられたスイッチングトランジスタと、
前記駆動信号を一定に維持する駆動信号一定化回路とを備え、
前記駆動トランジスタおよび前記スイッチングトランジスタは、ＬＤＤ構造をなしており、
前記スイッチングトランジスタのＬＤＤ長が、前記駆動トランジスタのＬＤＤ長よりも長く設定されている
ことを特徴とする画素回路。

10

【請求項 2】

前記スイッチングトランジスタとして、前記駆動トランジスタの制御入力端子に対して輝度情報に応じた信号を選択的に取り込むサンプリングトランジスタを有する
ことを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

前記スイッチングトランジスタとして、前記駆動トランジスタの閾値電圧を選択的に検知するための検知トランジスタを有する
ことを特徴とする請求項 2 に記載の画素回路。

20

【請求項 4】

駆動信号に基づいて発光する電気光学素子と、前記電気光学素子に駆動信号を供給する駆動トランジスタと、前記駆動トランジスタの制御入力端子に接続された画素容量と、前記駆動トランジスタの制御入力端子側に設けられたスイッチングトランジスタと、前記駆動信号を一定に維持する駆動信号一定化回路とを備え、前記駆動トランジスタおよび前記スイッチングトランジスタはＬＤＤ構造をなしており、前記スイッチングトランジスタのＬＤＤ長が、前記駆動トランジスタのＬＤＤ長よりも長く設定されている画素回路が行列状に配置されている画素アレイ部と、
それぞれの前記画素回路の前記駆動トランジスタの制御入力端子に選択的に輝度情報に応じた信号を供給する書込走査部と
を備えたことを特徴とする表示装置。

30

【発明の詳細な説明】**【技術分野】****【０００１】**

本発明は、画素回路（画素とも称される）および表示装置に関する。より詳細には、駆動信号の大小によって輝度が変化する電気光学素子を表示素子として有する画素回路と、この画素回路が行列状に配置されてなり、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれる表示装置に関する。

【背景技術】**【０００２】**

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機ＥＬ, Organic Light Emitting Diode, OLED；以下、有機ＥＬと記す）素子が代表例である。後者の有機ＥＬ素子を用いた有機ＥＬ表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

40

【０００３】

液晶表示素子を用いた液晶表示装置や有機ＥＬ素子を用いた有機ＥＬ表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）

50

マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

【 0 0 0 4 】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor ; T F T) をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【 0 0 0 5 】

ここで、電気光学素子を発光させる際には、入力画像信号をスイッチングトランジスタで駆動トランジスタのゲート端（制御入力端子）に設けられた画素容量に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。たとえば、有機 E L 表示装置では、入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機 E L 素子に供給するのである。

10

【 0 0 0 6 】

このとき、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて画素容量に取り込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機 E L 素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。このため、たとえば、有機 E L 素子用の画素回路として、駆動電流を一定にするための仕組みが種々検討されている（たとえば特許文献 1 を参照）。

20

【 0 0 0 7 】

【特許文献 1】特開 2 0 0 5 - 3 4 5 7 2 2 号公報

【 0 0 0 8 】

たとえば、特許文献 1 に記載の仕組みでは、駆動トランジスタとして p チャネル型や n チャネル型のものを使用した場合でも、有機 E L 素子の電流 - 電圧特性に経時変化があった場合や駆動トランジスタの閾値電圧にバラツキや経時変化があった場合でも駆動電流を一定にするための仕組みが提案されている。

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかしながら、駆動トランジスタの制御入力端子側に設けられる各種のスイッチングトランジスタのリーク電流が大きいと、画素容量に保持されている電圧がリーク電流の大小によって変動してしまう。その結果、特許文献 1 に記載の仕組みを適用したとしても、スイッチングトランジスタのリーク電流による電位変動のため、駆動信号（本例では駆動電流）が変動してしまい、発光輝度を一定に維持することができなくなる。この現象のレベルが、画素ごとに異なると、表示画像としては、ザラツキのある画像になってしまう。

30

【 0 0 1 0 】

本発明は、上記事情に鑑みてなされたものであり、駆動トランジスタの制御入力端子側に設けられる各種のスイッチングトランジスタのリーク電流を起因とする駆動信号の変動を抑制することのできる仕組みを提供することを目的とする。

40

【課題を解決するための手段】

【 0 0 1 1 】

本発明に係る画素回路や表示装置においては、まず、駆動信号に基づいて発光する電気光学素子と、電気光学素子に駆動信号を供給する駆動トランジスタと、駆動トランジスタの制御入力端子に接続された画素容量（保持容量）と、駆動トランジスタの制御入力端子側に設けられたスイッチングトランジスタと、駆動信号を一定に維持する駆動信号一定化回路とを備え画素回路とする。

【 0 0 1 2 】

駆動信号一定化回路とは、電気光学素子の電流 - 電圧特性の経時変化や駆動トランジスタの特性変化があった場合でも、駆動トランジスタの駆動電流を一定に維持しようとする

50

回路を意味する。その具体的な回路構成はどのようなものであってもよい。

【００１３】

ここで、本発明に係る画素回路や表示装置においては、駆動トランジスタと、この駆動トランジスタの制御入力端子側に設けられたスイッチングトランジスタのそれぞれをＬＤＤ構造のものとする。そして、スイッチングトランジスタのＬＤＤ長（ＬＤＤ領域の長さ）を、駆動トランジスタのＬＤＤ長よりも長く設定することにする。

【００１４】

ここで、駆動トランジスタの制御入力端子側に設けられたスイッチングトランジスタとしては、先ず、駆動トランジスタの制御入力端子に対して輝度情報に応じた信号を選択的に取り込むサンプリングトランジスタが該当する。また、駆動トランジスタの閾値電圧のバラツキを補正（キャンセル）する回路を設ける場合には、駆動トランジスタの制御入力端子側において駆動トランジスタの閾値電圧を選択的に検知するための検知トランジスタも該当する。

【００１５】

このような構成の画素回路またはこの画素回路が行列状に配置されてなる表示装置においては、駆動信号を一定に維持する駆動信号一定化回路を備えているので、たとえば、電気光学素子の電流－電圧特性が経時変化し、これに伴って駆動トランジスタのソース電位が変化したとしても、電気光学素子に流れる電流は変わらず、したがって電気光学素子の発光輝度も一定に保たれる。

【００１６】

加えて、画素回路内のスイッチングトランジスタのＬＤＤ領域の長さを駆動トランジスタのＬＤＤ領域よりも長く設定することで、スイッチングトランジスタのリーク電流を相対的に小さく抑えることができる。

【発明の効果】

【００１７】

本発明によれば、画素回路内のスイッチングトランジスタのＬＤＤ領域の長さを駆動トランジスタのＬＤＤ領域よりも長く設定するようにしたので、スイッチングトランジスタによるリーク電流を相対的に小さく抑えることで、画素容量に保持されている電圧に与える変動を小さくすることができる。

【００１８】

その結果、電気光学素子に供給される駆動信号を一定に維持することができ、電気光学素子の発光輝度を一定に保つことができる。ザラツキなどのリーク電流起因の画質劣化をなくすことができ、均一な画質を得ることが可能となる。

【発明を実施するための最良の形態】

【００１９】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【００２０】

< 表示装置の全体概要 >

図１は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子として有機ＥＬ素子を、能動素子としてポリシリコン薄膜トランジスタ（ＴＦＴ；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機ＥＬ素子を形成してなるアクティブマトリクス型有機ＥＬディスプレイ（以下「有機ＥＬ表示装置」と称する）に適用した場合を例に採って説明する。

【００２１】

図１に示すように、有機ＥＬ表示装置１は、複数の表示素子としての有機ＥＬ素子（図示せず）を持った画素回路（画素とも称される）Ｐが表示アスペクト比である縦横比がＸ：Ｙ（たとえば９：１６）の有効映像領域を構成するように配置された表示パネル部１００と、この表示パネル部１００を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部２００と、映像信号処理部３００を備えている。駆動信号生成

10

20

30

40

50

部 2 0 0 と映像信号処理部 3 0 0 とは、1 チップの I C (Integrated Circuit ; 半導体集積回路) に内蔵されている。

【 0 0 2 2 】

表示パネル部 1 0 0 は、基板 1 0 1 の上に、画素回路 P が n 行 × m 列のマトリクス状に配列された画素アレイ部 1 0 2 と、画素回路 P を垂直方向に走査する書込走査部 (ライトスキャナ W S ; Write Scan) 1 0 4 および駆動走査部 (ドライブスキャナ D S ; Drive Scan) 1 0 5 と、画素回路 P を水平方向に走査する水平駆動部 (水平セクタあるいはデータ線駆動部とも称される) 1 0 6 と、外部接続用の端子部 (パッド部) 1 0 8 などが集積形成されている。すなわち、書込走査部 1 0 4 および駆動走査部 1 0 5 (纏めて垂直駆動部 1 0 3 と称する) や水平駆動部 1 0 6 などの周辺駆動回路が、画素アレイ部 1 0 2 と同一の基板 1 0 1 上に形成された構成となっている。

10

【 0 0 2 3 】

画素アレイ部 1 0 2 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 1 0 4 および駆動走査部 1 0 5 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 1 0 6 で駆動されるようになっている。

【 0 0 2 4 】

端子部 1 0 8 には、有機 E L 表示装置 1 の外部に配された駆動信号生成部 2 0 0 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 3 0 0 から映像信号 Vsig が供給されるようになっている。

【 0 0 2 5 】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給される。

20

【 0 0 2 6 】

端子部 1 0 8 の各端子は、配線 1 0 9 を介して、書込走査部 1 0 4 および駆動走査部 1 0 5 や水平駆動部 1 0 6 に接続されるようになっている。たとえば、端子部 1 0 8 に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して書込走査部 1 0 4 や駆動走査部 1 0 5 や水平駆動部 1 0 6 に供給される。書込走査部 1 0 4 や駆動走査部 1 0 5 は線順次で画素アレイ部 1 0 2 を走査するとともに、これに同期して水平駆動部 1 0 6 が画像信号を画素アレイ部 1 0 2 に書き込む。

30

【 0 0 2 7 】

画素アレイ部 1 0 2 は、図示を割愛するが (詳細は後述する)、表示素子としての有機 E L 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

【 0 0 2 8 】

たとえば、画素アレイ部 1 0 2 には、走査線 (ゲート線) 1 0 4 WS、1 0 5 DS と信号線 (データ線) 1 0 6 HS が形成されている。両者の交差部分には図示を割愛した有機 E L 素子とこれを駆動する薄膜トランジスタ (T F T ; Thin Film Transistor) が形成される。有機 E L 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

40

【 0 0 2 9 】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 1 0 4 によって書込駆動パルス WS で駆動される n 行分の書込走査線 1 0 4 WS_1 ~ 1 0 4 WS_n および駆動走査部 1 0 5 によって走査駆動パルス DS で駆動される n 行分の駆動走査線 1 0 5 DS_1 ~ 1 0 5 DS_n が画素行ごとに配線されている。また、水平駆動部 1 0 6 によって駆動され輝度情報に応じた信号が供給される m 列分の信号線 (データ線) 1 0 6 HS_1 ~ 1 0 6 HS_m が画素列ごとに配線されている。

50

【 0 0 3 0 】

書込走査部 1 0 4 および駆動走査部 1 0 5 は、駆動信号生成部 2 0 0 から供給される垂直駆動系のパルス信号に基づいて、各走査線 1 0 5 DS, 1 0 4 WSを介して各画素回路 P を順次選択する。水平駆動部 1 0 6 は、駆動信号生成部 2 0 0 から供給される水平駆動系のパルス信号に基づいて、選択された画素回路 P に対し信号線 1 0 6 HSを介して画像信号を書き込む。

【 0 0 3 1 】

ここで、水平駆動部 1 0 6 は、シフトレジスタやサンプリングスイッチ（水平スイッチ）などによって構成されており、書込走査部 1 0 4 および駆動走査部 1 0 5 によって選択された行の各画素回路 P に対して画素単位で映像信号を書き込む。つまり、本実施形態では、垂直走査による選択行の各画素回路 P に対して映像信号を画素単位で書き込む点順次駆動を行なう。なお、画像信号を 1 水平ライン分について水平方向に順番に（つまり画素ごとに）書き込む点順次駆動に限らず、1 水平ライン分を同時に書き込む線順次駆動にしてもよい。

【 0 0 3 2 】

書込走査部 1 0 4 および駆動走査部 1 0 5 は、論理ゲートの組合せ（ラッチも含む）によって構成され、画素アレイ部 1 0 2 の各画素回路 P を行単位で選択する。なお、図 1 では、画素アレイ部 1 0 2 の一方側にのみ書込走査部 1 0 4 および駆動走査部 1 0 5 を配置する構成を示しているが、画素アレイ部 1 0 2 を挟んで左右両側に書込走査部 1 0 4 および駆動走査部 1 0 5 を配置する構成を採ることも可能である。

【 0 0 3 3 】

同様に、図 1 では、画素アレイ部 1 0 2 の一方側にのみ水平駆動部 1 0 6 を配置する構成を示しているが、画素アレイ部 1 0 2 を挟んで上下両側に水平駆動部 1 0 6 を配置する構成を採ることも可能である。

【 0 0 3 4 】

< 画素回路；第 1 実施形態 >

図 2 は、図 1 に示した有機 EL 表示装置 1 を構成する画素回路 P の第 1 実施形態を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。

【 0 0 3 5 】

図 2 に示すように、第 1 実施形態の画素回路 P は、基本的に p チャネル型の薄膜電界効果トランジスタ（TFT）でドライブトランジスタが構成されている点に特徴を有する。また、ドライブトランジスタの他に走査用に 2 つのトランジスタを使用した 3 Tr 駆動の構成を採っている。

【 0 0 3 6 】

具体的には、第 1 実施形態の画素回路 P は、p チャネル型の駆動トランジスタ 1 2 1、アクティブ L の駆動パルスが供給される p チャネル型の発光制御トランジスタ 1 2 2、アクティブ H の駆動パルスが供給される n チャネル型のサンプリングトランジスタ 1 2 5、電流が流れることで発光する電気光学素子（発光素子）の一例である有機 EL 素子 1 2 7、および保持容量（画素容量とも称される）1 2 0 を有する。駆動トランジスタ 1 2 1 は、制御入力端子であるゲート端 G に供給される電位に応じた駆動電流を有機 EL 素子 1 2 7 に供給するようになっている。

【 0 0 3 7 】

なお、一般的には、サンプリングトランジスタ 1 2 5 はアクティブ L の駆動パルスが供給される p チャネル型に置き換えることもできるが、本実施形態では採用しない。発光制御トランジスタ 1 2 2 はアクティブ H の駆動パルスが供給される n チャネル型に置き換えることもできるが、本実施形態では採用しない。

【 0 0 3 8 】

サンプリングトランジスタ 1 2 5 は、駆動トランジスタ 1 2 1 のゲート端 G（制御入力端子）側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ 1

10

20

30

40

50

22もスイッチングトランジスタである。

【0039】

一般に、有機EL素子127は整流性があるためダイオードの記号で表わしている。なお、有機EL素子127には、寄生容量C_{el}が存在する。図では、この寄生容量C_{el}を有機EL素子127と並列に示す。

【0040】

画素回路Pは、各走査線105DS、105DSと信号線106HSの交差部に配されている。書込走査部104からの書込走査線104WSは、サンプリングトランジスタ125のゲート端Gに接続され、駆動走査部105からの駆動走査線105DSは発光制御トランジスタ122のゲート端Gに接続されている。

10

【0041】

サンプリングトランジスタ125は、ソース端Sを信号入力端として映像信号線106HSに接続され、ドレイン端Dを信号出力端として駆動トランジスタ121のゲート端Gに接続され、その接続点と第2電源電位V_{c2}(たとえば正電源電圧、第1電源電位V_{c1}と同じでもよい)との間に保持容量120が設けられている。括弧書きで示すように、サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させ、ドレイン端Dを信号入力端として映像信号線106HSに接続し、ソース端Sを信号出力端として駆動トランジスタ121のゲート端Gに接続することもできる。

【0042】

駆動トランジスタ121、発光制御トランジスタ122、および有機EL素子127は、第1電源電位V_{c1}(たとえば正電源電圧)と基準電位の一例である接地電位GNDの間で、この順に直列に接続されている。具体的には、駆動トランジスタ121は、ソース端Sが第1電源電位V_{c1}に接続され、ドレイン端Dが発光制御トランジスタ122のソース端Sに接続されている。発光制御トランジスタ122のドレイン端Dが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが接地電位GNDに接続されている。

20

【0043】

なお、図1に示した有機EL表示装置1の構成では、垂直駆動部を書込走査部104と駆動走査部105の2つの走査回路で構成していたが、より簡易な構成としては、駆動走査部105を取り外した構成を採ることもできる。この場合、図2に示した画素回路Pの構成においては、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採る。

30

【0044】

図2に示した3Tr駆動や図示を割愛した2Tr駆動の何れにおいても、有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流量をコントロールすることで発色の諧調を得る。このため、駆動トランジスタ121のゲート端Gへの印加電圧を変化させることで、有機EL素子127に流れる電流値をコントロールする。

【0045】

具体的には、まず書込走査部104からアクティブHの書込駆動パルスWSを供給して書込走査線104WSを選択状態とし、水平駆動部106から信号線106HSに画素信号V_{sig}を印加すると、nチャネル型のサンプリングトランジスタ125が導通して画素信号V_{sig}が保持容量120に書き込まれる。

40

【0046】

保持容量120に書き込まれた信号電位が駆動トランジスタ121のゲート端Gの電位となる。続いて、書込駆動パルスWSをインアクティブ(本例ではLレベル)にして書込走査線104WSを非選択状態とすると、信号線106HSと駆動トランジスタ121とは電氣的に切り離されるが、駆動トランジスタ121のゲート・ソース間電圧V_{gs}は保持容量120によって、原理的には、安定に保持される。

【0047】

続いて、駆動走査部105からアクティブLの走査駆動パルスDSを供給して駆動走査線

50

1 0 5 DSを選択状態にすると、pチャネル型の発光制御トランジスタ1 2 2が導通し、第1電源電位V_{c1}から接地電位GNDに向かって駆動電流が駆動トランジスタ1 2 1、発光制御トランジスタ1 2 2、および有機EL素子1 2 7を流れる。

【0 0 4 8】

次に、走査駆動パルスDSをインアクティブ（本例ではHレベル）にして駆動走査線1 0 5 DSを非選択状態とすると、発光制御トランジスタ1 2 2がオフし、駆動電流は流れなくなる。

【0 0 4 9】

発光制御トランジスタ1 2 2は、1フィールド期間に占める有機EL素子1 2 7の発光時間（デューティ）を制御するために挿入されたものであり、先にも述べたことから推測されるように、画素回路Pとしては、当該発光制御トランジスタ1 2 2を備えていることは必須ではない。

【0 0 5 0】

駆動トランジスタ1 2 1および有機EL素子1 2 7に流れる電流は、駆動トランジスタ1 2 1のゲート・ソース間電圧V_{gs}に応じた値となり、有機EL素子1 2 7はその電流値に応じた輝度で発光し続ける。

【0 0 5 1】

このように、書込走査線1 0 4 WSを選択して信号線1 0 6 HSに与えられた画素信号V_{sig}を画素回路Pの内部に伝える動作を、以下「書込み」と呼ぶ。このように、一度信号の書込みを行なえば、次に書き換えられるまでの間、有機EL素子1 2 7は一定の輝度で発光を続ける。

【0 0 5 2】

このように、第1実施形態の画素回路Pでは、駆動トランジスタ1 2 1のゲート端Gに供給する印加電圧を入力信号（画素信号V_{sig}）に応じて変化させることで、EL有機EL素子1 2 7に流れる電流値を制御している。このとき、pチャネル型の駆動トランジスタ1 2 1のソース端Sは第1電源電位V_{c1}に接続されており、この駆動トランジスタ1 2 1は常に飽和領域で動作している。

【0 0 5 3】

よって、飽和領域で動作するトランジスタのドレイン端・ソース間に流れる電流をI_{ds}、移動度をμ、チャネル幅をW、チャネル長をL、単位面積当たりのゲート容量をC_{ox}、トランジスタの閾電圧をV_{th}とすると、駆動トランジスタ1 2 1は下記の式（1）に示した値を持つ定電流源となっている。式（1）から明らかなように、飽和領域ではトランジスタのドレイン電流I_{ds}はゲート・ソース間電圧V_{gs}によって制御される。

【0 0 5 4】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

【0 0 5 5】

< 有機EL素子のI - V特性 >

図3は、一般的な有機EL素子の電流 - 電圧（I - V）特性の経時変化を示すグラフである。図3において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に、有機EL素子のI - V特性は、グラフに示すように時間が経過すると劣化してしまう。

【0 0 5 6】

これに対して、図2に示した画素回路Pは、駆動トランジスタ1 2 1が定電流駆動であるため、有機EL素子1 2 7には定電流I_{ds}が流れ続け、有機EL素子1 2 7のI - V特性が劣化してもその発光輝度が経時劣化することはない。

10

20

30

40

50

【 0 0 5 7 】

駆動トランジスタ 1 2 1 と発光制御トランジスタ 1 2 2 と保持容量 1 2 0 とサンプリングトランジスタ 1 2 5 とを備え、図 2 に示した接続態様とされた画素回路 P の構成にて、電気光学素子の一例である有機 E L 素子 1 2 7 の電流 - 電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路が構成されるようになっているのである。

【 0 0 5 8 】

つまり、画素回路 P を画素信号 Vsig で駆動するとき、p チャネル型の駆動トランジスタ 1 2 1 のソース端 S は第 1 電源電位 Vc1 に接続されており、常に飽和領域で動作するように設計されているので、式 (1) に示した値を持つ定電流源となる。

【 0 0 5 9 】

このような回路においては、有機 E L 素子 1 2 7 の I - V 特性の経時変化 (図 3) とともに、駆動トランジスタ 1 2 1 のドレイン端 D の電圧が変化してゆくが、駆動トランジスタ 1 2 1 は、保持容量 1 2 0 によってゲート・ソース間電圧 Vgs が原理的には一定に保持されるため、駆動トランジスタ 1 2 1 は定電流源として動作し、その結果、有機 E L 素子 1 2 7 には一定量の電流が流れ、有機 E L 素子 1 2 7 を一定の輝度で発光させることができ、発光輝度は変化しない。

【 0 0 6 0 】

< 保持容量による保持電圧について >

図 4 および図 5 は、本実施形態で採用する駆動トランジスタ 1 2 1 とスイッチングトランジスタの一例であるサンプリングトランジスタ 1 2 5 の作用を説明する図である。ここで、図 4 は、駆動トランジスタ 1 2 1 とサンプリングトランジスタ 1 2 5 の構造例の違いを説明する図であり、図 5 は、駆動トランジスタ 1 2 1 およびサンプリングトランジスタ 1 2 5 の電流 - 電圧 (I - V) 特性を示す図である。なお、後述する第 2 実施形態において使用する検知トランジスタ 1 2 3 についても、ここで示すサンプリングトランジスタ 1 2 5 と同様の構造のものを使用する。

【 0 0 6 1 】

前述の説明では、書込駆動パルス WS をインアクティブにして書込走査線 1 0 4 WS を非選択状態にしたときには、保持容量 1 2 0 によって、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 Vgs が、原理的には安定に保持されると言った。その結果として、書込駆動パルス WS をインアクティブにしても、駆動トランジスタ 1 2 1 が定電流動作を継続し、有機 E L 素子 1 2 7 を一定の輝度で発光させ続けることができるようにしていた。

【 0 0 6 2 】

このことは、保持容量 1 2 0 による駆動トランジスタ 1 2 1 のゲート・ソース間電圧 Vgs の保持性能が、有機 E L 素子 1 2 7 を一定輝度で継続発光させる性能に影響を与えることを意味する。

【 0 0 6 3 】

< サンプリングトランジスタの動作と特性 ; 第 1 実施形態 >

ここで、画素回路 P に設けられている信号書込み用のサンプリングトランジスタ 1 2 5 の動作と特性について考察してみる。有機 E L 素子 1 2 7 が発光している間にサンプリングトランジスタ 1 2 5 のリーク電流が大きいと、保持容量 1 2 0 に保持されている電圧がリーク電流の大小によって変動してしまう。

【 0 0 6 4 】

その結果、サンプリングトランジスタ 1 2 5 のリーク電流により、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 Vgs の保持性能が劣化し、有機 E L 素子 1 2 7 を一定輝度で継続発光させることができなくなる。その結果、表示画像にザラツキが生じてしまう。

【 0 0 6 5 】

保持容量 1 2 0 の値を大きくすると、そのリーク電流によるゲート・ソース間電圧 Vgs の変化を小さくできるが、変化をゼロにすることはできないので、少なからず、リーク電流を原因とするザラツキの問題が残ってしまう。

【 0 0 6 6 】

10

20

30

40

50

そこで、第 1 実施形態では、サンプリングトランジスタ 1 2 5 のリーク電流をより少なくする対策を講じる。まず、駆動トランジスタ 1 2 1 およびサンプリングトランジスタ 1 2 5 としては、n チャネル型のものを使用するとともに、その構造は、L D D (Lightly Doped Drain) 構造のものとする。なお、その他の p チャネル型のトランジスタは、S D (Single Drain) 構造のものとしてよい。もちろん、その他の p チャネル型のトランジスタについても、L D D 構造のものとしておくにとさらに好ましい。

【 0 0 6 7 】

たとえば、図 4 に示すように、多結晶シリコン (P o l y - S i) からなる所定形状の薄膜半導体層の中央部にゲートに対応するチャネル領域 C H が設けられており、このチャネル領域 C H の片側 (図 4 (A)) もしくは両側 (図 4 (B)) の接合部には、低濃度のたとえばリン (P) などの n 型不純物が導入された L D D 領域が設けられている。また、L D D 領域の外側には、高濃度のたとえばヒ素 (A s) などの n 型不純物が導入されたソース領域 S とドレイン領域 D が設けられている。つまり、チャネル領域 C H との接合部に、ソース領域 S やドレイン領域 D より不純物濃度の低い L D D 領域が介在している。この L D D 領域は、一般に T F T の電氣的リークを抑制するために設けられている。

【 0 0 6 8 】

ここで、一般的に、トランジスタの L D D 領域は、特にドレイン D 側に付加することでドレイン端 D への電界集中を緩和する働きがある。ドレイン端 D 側の L D D 長を長くすることでトランジスタの I back 特性は、図 5 に示すように小さくなる。逆に、短くなると I back 特性は大きくなる。

【 0 0 6 9 】

サンプリングトランジスタ 1 2 5 のリークの動作点は、図 5 に示すように、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} に対して、負電圧側の所定の電位になっているため、リーク電流による画質バラツキ (ザラツキ) が大きい部分、本画素回路 P では、サンプリングトランジスタ 1 2 5 のドレイン端 D 側の L D D 領域の長さ (LDD_D1) を、駆動トランジスタ 1 2 1 のドレイン端の L D D 長 LDD_D2 やソース端の L D D 長 LDD_S2 よりも長くする。

【 0 0 7 0 】

駆動トランジスタ 1 2 1 については、スイッチではなくサンプリングトランジスタ 1 2 5 のようにオフがないためと、図 4 (A) に示すように、L D D 領域は一般的にドレイン側のみに付加されるので、一般的にはドレイン端の L D D 長 LDD_D2 のみを考えていればよい。ただし、図 4 (B) に示すように、対称性などの観点からソース側にも L D D 領域が設けられることもある。この場合には、ドレイン端の L D D 長 LDD_D2 とソース端の L D D 長 LDD_S2 の双方に対して上記条件を満たすようにしておくのがよい。

【 0 0 7 1 】

ここで、「駆動トランジスタ 1 2 1 の L D D 長よりも長くする」とは、たとえば T F T マスクなどで調整することで実現できる。

【 0 0 7 2 】

このように、サンプリングトランジスタ 1 2 5 の L D D 長を駆動トランジスタ 1 2 1 の L D D 長よりも長く設定することで、サンプリングトランジスタ 1 2 5 のリーク電流を駆動トランジスタ 1 2 1 に対して相対的に低減させることができる。その結果、サンプリングトランジスタ 1 2 5 のリーク電流によって保持容量 1 2 0 に保持されている電圧のバラツキを少なくすることが可能となり、サンプリングトランジスタ 1 2 5 のリーク電流による画質バラツキを抑えることが可能となる。本実施形態を適用しない場合よりも、均一な画質を得ることが可能となる。

【 0 0 7 3 】

< 画素回路 ; 第 2 実施形態の構成 >

図 6 は、図 1 に示した有機 E L 表示装置 1 を構成する画素回路 P の第 2 実施形態を示す図である。図 7 は、図 6 に示す第 2 実施形態の画素回路 P に対する比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂

10

20

30

40

50

直駆動部 103 と水平駆動部 106 も合わせて示している。

【0074】

第2実施形態の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライプトランジスタが構成されている点に特徴を有する。また、ドライプトランジスタの他に走査用に2つのトランジスタを使用するとともに、有機EL素子127の経時劣化や駆動トランジスタ121の特性バラツキによる駆動電流 I_{ds} に与える影響を防ぐために2つのトランジスタを使用した5Tr駆動の構成を採っている。これにより、有機EL素子127の経時劣化や駆動トランジスタ121の特性バラツキによる有機EL素子127への駆動電流 I_{ds} の変動を抑制するための回路、すなわち駆動電流 I_{ds} を一定に維持する駆動信号一定化回路を備えた構成となっている。

10

【0075】

第1実施形態の画素回路Pでは、pチャネル型のトランジスタにより駆動トランジスタ121を構成していたが、nチャネル型のトランジスタで駆動トランジスタ121を構成することができれば、トランジスタ作成において従来のアモルファスシリコン(a-Si)プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路Pの開発が期待される。

【0076】

< 比較例の画素回路 >

先ず、第2実施形態の画素回路Pの特徴を説明する上での比較例として、図7に示す画素回路Pについて説明する。この比較例の画素回路Pは、基本的にnチャネル型の薄膜電

20

【0077】

具体的には、それぞれnチャネル型の駆動トランジスタ121、発光制御トランジスタ122、およびサンプリングトランジスタ125を有する。

【0078】

駆動トランジスタ121は、ドレイン端Dが第1電源電位 V_{c1} に接続され、ソース端Sが発光制御トランジスタ122のドレイン端Dに接続されている。発光制御トランジスタ122のソース端Sが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが接地電位GNDに接続されている。このような画素回路Pでは、駆動トランジスタ121のドレイン端D側が第1電源電位 V_{c1} に接続され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

30

【0079】

ここで、比較例の画素回路Pでは、駆動トランジスタ121のソース端Sの電位は、駆動トランジスタ121と有機EL素子127との動作点で決まり、その電圧値はゲート電圧によって異なる値を持ってしまう。駆動トランジスタ121は飽和領域で駆動されるので、動作点のソース電圧に対応したゲート・ソース間電圧 V_{gs} に関し、前述の式(1)に規定された電流値の駆動電流 I_{ds} を流す。

40

【0080】

しかしながら、有機EL素子127のI-V特性は前述の図3に示したように経時劣化する。この経時劣化により動作点が変化してしまい、同じゲート電圧 V_g を印加しても駆動トランジスタ121のソース電圧は変化してしまう。これにより、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動し、同時に有機EL素子127に流れる電流値も変化する。この様に有機EL素子127のI-V特性が変化すると、図7に示したソースフォロワ構成を持つ比較例の画素回路Pでは、有機EL素子127の発光輝度が経時的に変化してしまう。

【0081】

このように、駆動トランジスタ121を単純にpチャネル型からnチャネル型に置き換

50

えたのでは、ソース端 S が有機 EL 素子 127 側に接続されてしまうため、有機 EL 素子 127 の経時変化とともに、ゲート・ソース間電圧 V_{gs} が変化してしまい、有機 EL 素子 127 に流れる電流量が変化し、その結果、発光輝度は変化してしまうのである。

【0082】

また、第 1 実施形態では、駆動トランジスタ 121 の特性については特に問題視していなかったが、画素ごとに駆動トランジスタ 121 の特性が異なると、その影響が駆動トランジスタ 121 に流れる電流 I_{ds} に影響を及ぼす。一例としては、式 (1) から分かるように、移動度 μ や閾電圧 V_{th} が画素によってばらついた場合や経時的に変化した場合、ゲート・ソース間電圧 V_{gs} が同じであっても、駆動トランジスタ 121 に流れる電流 I_{ds} にバラツキや経時変化が生じ、有機 EL 素子 127 の発光輝度も画素ごとに变化してしまうことになる。

10

【0083】

< 第 2 実施形態の画素回路 >

このような図 7 に示す比較例の画素回路 P における有機 EL 素子 127 の経時劣化や駆動トランジスタ 121 の特性バラツキによる駆動電流変動を防ぐ回路を搭載したのが図 6 に示す第 2 実施形態の画素回路 P である。

【0084】

第 2 実施形態の画素回路 P は、図 7 に示した比較例に対して、駆動トランジスタ 121 と発光制御トランジスタ 122 の順序を逆にしかつ保持容量 120 を駆動トランジスタ 121 のゲート・ソース間に接続するとともに、ブートストラップ回路 130 と、閾値電圧キャンセル回路 140 とを追加した点に特徴を有する。

20

【0085】

画素回路 P を駆動する垂直駆動部には、書込走査部 104 および駆動走査部 105 に加えて、2 つの閾値キャンセル走査部 114, 115 を備える。閾値キャンセル走査部 114, 115 には、図示を割愛した駆動信号生成部 200 (図 1 を参照) から、垂直駆動用のパルス信号として、垂直方向の閾値検知開始パルスの一例であるシフトスタートパルス SPAZ1, SPAZ2 や垂直走査クロック CKAZ1, CKAZ2 など必要なパルス信号が供給される。

【0086】

図では、1 つの画素回路 P のみを示しているが、図 1 に示したように、同様の構成の画素回路 P がマトリクス状に配列される。そして、マトリクス状に配列された各画素回路 P に対しては、書込走査部 104 によって書込駆動パルス WS で駆動される n 行分の書込走査線 104 WS_1 ~ 104 WS_n および駆動走査部 105 によって走査駆動パルス DS で駆動される n 行分の駆動走査線 105 DS_1 ~ 105 DS_n の他に、第 1 の閾値キャンセル走査部 114 によって閾値キャンセルパルス AZ1 で駆動される n 行分の閾値キャンセル走査線 114 AZ_1 ~ 114 AZ_n および第 2 の閾値キャンセル走査部 115 によって閾値キャンセルパルス AZ2 で駆動される n 行分の閾値キャンセル走査線 115 AZ_1 ~ 115 AZ_n が画素行ごとに配線される。

30

【0087】

ブートストラップ回路 130 は、有機 EL 素子 127 と並列に接続された n チャネル型の検知トランジスタ 124 を備え、この検知トランジスタ 124 と駆動トランジスタ 121 のゲート・ソース間に接続された保持容量 120 とで構成される。保持容量 120 は、ブートストラップ容量としても機能するようになっている。

40

【0088】

閾値電圧キャンセル回路 140 は、駆動トランジスタ 121 のゲート端 G と第 2 電源電位 V_{c2} との間に n チャネル型の検知トランジスタ 123 を備え、検知トランジスタ 123 と、駆動トランジスタ 121 と、発光制御トランジスタ 122 と、駆動トランジスタ 121 のゲート・ソース間に接続された保持容量 120 とで構成される。保持容量 120 は、検知した閾値電圧 V_{th} 保持する閾値電圧保持容量としても機能するようになっている。

【0089】

検知トランジスタ 123 は、駆動トランジスタ 121 のゲート端 G (制御入力端子) 側

50

に設けられたスイッチングトランジスタであり、ソース端 S が接地電位 V_{ofs} に接続され、ドレイン端 D が駆動トランジスタ 121 のゲート（ノード ND 122）に接続され、ゲート端 G は閾値キャンセル走査線 114AZ に接続されている。

【0090】

保持容量 120 は、一方の端子が駆動トランジスタ 121 のソース端 S に接続され、他方の端子が同じく駆動トランジスタ 121 のゲート端 G に接続されている。図では、駆動トランジスタ 121 のソース端がノード ND 121 で表わされ、同じく、駆動トランジスタ 121 のゲート端 G がノード ND 122 で表わされている。したがって、保持容量 120 はノード ND 121 とノード ND 122 の間に接続していることになる。

【0091】

駆動トランジスタ 121 は、先ず、ドレイン端 D が発光制御トランジスタ 122 のソース端 S に接続されている。発光制御トランジスタ 122 のドレイン端 D は第 1 電源電位 V_{c1} に接続されている。また、駆動トランジスタ 121 は、ソース端 S が直接に有機 EL 素子 127 のアノード端 A に接続される。有機 EL 素子 127 のカソード端 K は基準電位としてのカソード電位 V_{cath} に接続されている。

【0092】

検知トランジスタ 124 は、スイッチングトランジスタであり、ドレイン端 D が駆動トランジスタ 121 のソース端 S と有機 EL 素子 127 のアノード端 A との接続点であるノード ND 121 に接続され、ソース端 S は、基準電位の一例である接地電位 V_{s1} に接続され、ゲート端 G は閾値キャンセル走査線 115AZ に接続されている。

【0093】

駆動トランジスタ 121 のゲート・ソース間に保持容量 120 を接続し、駆動トランジスタ 121 のソース端 S の電位を検知トランジスタ 124 を介して固定電位に接続するよう構成している。

【0094】

サンプリングトランジスタ 125 は、書込走査線 104WS によって選択されたとき動作し、信号線 106HS から画素信号 V_{sig} をサンプリングしてノード ND 112 を介し保持容量 120 に保持する。保持容量 120 に保持された電位を信号電位 V_{in} と称する。

【0095】

駆動トランジスタ 121 は、保持容量 120 に保持された信号電位 V_{in} に応じて有機 EL 素子 127 を電流駆動する。発光制御トランジスタ 122 は駆動走査線 105DS によって選択されたとき導通して電源電位 V_{c1} から駆動トランジスタ 121 に電流を供給する。

【0096】

検知トランジスタ 124 および検知トランジスタ 123 は閾値キャンセル走査部 114, 115 からアクティブ H の閾値キャンセルパルス AZ1, AZ2 を閾値キャンセル走査線 114AZ, 115AZ に供給してそれぞれを選択状態としたとき動作し、有機 EL 素子 127 の電流駆動に先立って駆動トランジスタ 121 の閾値電圧 V_{th} を検知し、予めその影響をキャンセルするため、検知した電位を保持容量 120 に保持する。

【0097】

このような構成の画素回路 P の正常な動作を保証するための条件として、接地電位 V_{s1} は、接地電位 V_{ofs} から駆動トランジスタ 121 の閾値電圧 V_{th} を差し引いたレベルよりも低く設定されている。すなわち、“ $V_{s1} < V_{ofs} - V_{th}$ ”である。

【0098】

また、有機 EL 素子 127 のカソード端 K の電位 V_{cath} に有機 EL 素子 127 の閾値電圧 V_{thel} を加えたレベルは、接地電位 V_{ofs} から駆動トランジスタ 121 の閾値電圧 V_{th} を差し引いたレベルよりも高く設定されている。すなわち、“ $V_{cath} + V_{thel} > V_{ofs} - V_{th}$ ”となっている。好ましくは、接地電位 V_{ofs} のレベルは、信号線 106HS から供給される画素信号 V_{sig} の最低レベルの近傍に設定されている。

【0099】

< 画素回路；第 2 実施形態の動作 >

10

20

30

40

50

図 8 ~ 図 14 は、第 2 実施形態の画素回路 P の動作を説明する図である。ここで、図 8 は、第 2 実施形態の画素回路 P の動作概要を示すタイミングチャートであり、図 9 , 図 10 , 図 11 , 図 13 , 図 14 は、各タイミング時点の等価回路図と動作説明図であり、図 12 は、閾値補正期間の駆動トランジスタ 121 の動作特性を示す図である。

【 0 1 0 0 】

図 8 には、画素回路 P を駆動する際に、書込走査部 104 から書込走査線 104 WS を介して画素回路 P (詳しくはサンプリングトランジスタ 125 のゲート) に与えられる書込駆動パルス WS、閾値キャンセル走査部 114 から閾値キャンセル走査線 114 AZ を介して画素回路 P (詳しくは検知トランジスタ 123 のゲート) に与えられる閾値キャンセルパルス (オートゼロパルス) AZ1、閾値キャンセル走査部 115 から閾値キャンセル走査線 115 AZ を介して画素回路 P (詳しくは検知トランジスタ 124 のゲート) に与えられる閾値キャンセルパルス (オートゼロパルス) AZ2、駆動走査部 105 から駆動走査線 105 DS を介して画素回路 P (詳しくは発光制御トランジスタ 122 のゲート) に与えられる走査駆動パルス DS、並びに駆動トランジスタ 121 のゲート電位 V_g (ノード ND122 の電位) およびソース電位 V_s (ノード ND121 の電位) の 1 フィールド (1 F) 期間におけるタイミング関係を示している。

【 0 1 0 1 】

また、図 9 , 図 10 , 図 11 , 図 13 , 図 14 の各動作説明図では、各トランジスタ 122 , 123 , 124 , 125 については、スイッチのシンボルを用いて図示するものとする。

【 0 1 0 2 】

通常の発光状態 (T21 以前) では、駆動走査部 105 から出力される走査駆動パルス DS のみがアクティブ H で、その他の書込走査部 104 および閾値キャンセル走査部 114 , 115 からそれぞれ出力される書込駆動パルス WS および閾値キャンセルパルス AZ1 , AZ2 がインアクティブ L にあるため、発光制御トランジスタ 122 のみがオンした状態である。

【 0 1 0 3 】

このとき、図 9 に示すように、駆動トランジスタ 121 は飽和領域で動作するように設定されているため、有機 EL 素子 127 に流れる電流 I_{ds} は駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} に応じて、式 (1) に示される値をとる。すなわち、駆動トランジスタ 121 は定電流源として動作する。

【 0 1 0 4 】

次に、発光制御トランジスタ 122 がオンした状態で、閾値キャンセルパルス AZ1 , AZ2 をほぼ同時にアクティブ H にすることで、検知トランジスタ 123 , 124 をオンする (T21)。なお、検知トランジスタ 123 , 124 はどちらが先にオンしてもよい。こうすることで、有機 EL 素子 127 には電流が流れないようにし、有機 EL 素子 127 を非発光状態とする。

【 0 1 0 5 】

このとき、図 10 に示すように、駆動トランジスタ 121 は、ゲート端 G には検知トランジスタ 123 を介して接地電位 V_{ofs} が供給され、ソース端 S には検知トランジスタ 124 を介して接地電位 V_{s1} が供給される。このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は “ $V_{ofs} - V_{s1}$ ” という値をとるが、 “ $V_{s1} < V_{ofs} - V_{th}$ ” に設定されているので、駆動トランジスタ 121 はオン状態を維持し、それに応じた電流 I_{ds1} が流れる。

【 0 1 0 6 】

ここで、有機 EL 素子 127 を非発光とするためには、 $V_{cath} + V_{thel} > V_{ofs} - V_{th}$ の関係にあること、つまり、閾値補正動作後に有機 EL 素子 127 のアノード端 A にかかる電圧 $V_{el} (= V_{ofs} - V_{th})$ を有機 EL 素子 127 の閾値電圧 V_{thel} とカソード電圧 V_{cath} の和よりも小さくするように接地電位 V_{ofs} と接地電位 V_{s1} の電圧を設定する必要がある。こうすれば、有機 EL 素子 127 には、電流は流れず、非発光状態になる。よって

10

20

30

40

50

、駆動トランジスタ 121 のドレイン電流 I_{ds1} は電源電位 V_{c1} からオン状態にある検知トランジスタ 124 を介して接地電位 V_{s1} に流れる。

【0107】

次に、発光制御トランジスタ 122 と検知トランジスタ 123 とがオンした状態で、閾値キャンセルパルス $AZ2$ をインアクティブ L にすることで、検知トランジスタ 124 をオフにして、駆動トランジスタ 121 の閾値電圧 V_{th} を補正（キャンセル）する閾値補正期間に入る（ $T22$ ）。

【0108】

このとき、図 11 に示すように、有機 EL 素子 127 の等価回路はダイオード（図では FET の D - G を接続した構成で示す）と寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thel}$ ” である限り、つまり、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりもかなり小さい限り、駆動トランジスタ 121 の電流は保持容量 120 と寄生容量 C_{el} を充電するために使われる。

10

【0109】

この結果、駆動トランジスタ 121 を流れるドレイン電流 I_{ds} の電流路が遮断されると、有機 EL 素子 127 のアノード端 A の電圧 V_{el} つまりノード ND 121 の電位は、図 12 に示すように、時間とともに上昇してゆく。そして、ノード ND 121 の電位とノード ND 122 の電位差がちょうど閾値電圧 V_{th} となったところで駆動トランジスタ 121 はオン状態からオフ状態となり、ドレイン電流は流れなくなり、閾値補正期間が終了する（ $T23$ ）。つまり、一定時間経過後、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。

20

【0110】

このとき、“ $V_{el} = V_{ofs} - V_{th} - V_{cath} + V_{thel}$ ” となっている。つまり、ノード ND 121 とノード ND 122 の間に現われた電位差 = 閾値電圧 V_{th} は保持容量 120 に保持されることになる。このように、各検知トランジスタ 123, 124 は閾値キャンセル走査線 114AZ, 115AZ によってそれぞれ適切なタイミングで選択されたとき動作し、駆動トランジスタ 121 の閾値電圧 V_{th} を検知し、これを保持容量 120 に保持する。

【0111】

この閾値キャンセル動作終了後、走査駆動パルス DS と閾値キャンセルパルス $AZ2$ を順にインアクティブ L にすることで発光制御トランジスタ 122 と検知トランジスタ 123 をこの順にオフする（ $T23$, $T24$ ）。発光制御トランジスタ 122 を検知トランジスタ 123 よりも先にオフすることで、駆動トランジスタ 121 のゲート端 G の電圧 V_g の変動を抑えることが可能となる。

30

【0112】

タイミング $T22 \sim T23$ の間の閾値キャンセル（ V_{th} 補正期間）経過後も、検知した駆動トランジスタ 121 の閾電圧 V_{th} を保持容量 120 に補正用電位として保持させる。

【0113】

次に、書込駆動パルス WS をアクティブ H にしてサンプリングトランジスタ 125 をオンして、保持容量 120 への画素信号 V_{sig} の書き込み期間とする（ $T25 \sim T26$ ）。この画素信号 V_{sig} は駆動トランジスタ 121 の閾電圧 V_{th} に足し込む形で保持される。この結果、駆動トランジスタ 121 の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。

40

【0114】

このとき、駆動トランジスタ 121 のゲート端 G に画素信号 V_{sig} を供給することで、図 13 に示すように、ゲート電圧 V_g を信号電圧 V_{sig} とする。駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} 、つまり保持容量 120 に書き込まれる入力電位 V_{in} は、保持容量 120（容量値 C_s ）と有機機 EL 素子 127 の寄生容量 C_{el} （容量値 C_{el} ）とゲート・ソース間の寄生容量（容量値 C_{gs} ）によって、式（2）のように決定される。

【0115】

【数 2】

$$V_{gs} = \frac{C_{el}}{C_{el} + C_s + C_{gs}} (V_{sig} - V_{ofs}) + V_{th} \dots (2)$$

【0116】

しかし、一般に寄生容量 C_{el} は保持容量 120 の容量値 C_s およびゲート・ソース間の寄生容量値 C_{gs} に比べて遙かに大きいために、保持容量 120 に書き込まれる入力電位 V_{in} はほぼ “ $V_{sig} - V_{ofs} + V_{th}$ ” に等しい。このとき、接地電位 V_{ofs} を画素信号 V_{sig} の黒レベル（GNDレベルとする）付近に設定しておけば、結果的に、ゲート・ソース間電圧 V_{gs} （＝入力電位 V_{in} ）は、ほぼ “ $V_{sig} + V_{th}$ ” と等しいことになる。

【0117】

次に、書込駆動パルス WS をインアクティブ L にすることでサンプリングトランジスタ 125 をオフさせて書込み期間の終了後（ T_{26} ）、走査駆動パルス DS をアクティブ H にして発光制御トランジスタ 122 をオンする（ T_{27} ）。こうすることで、駆動トランジスタ 121 のドレイン端 D の電圧を電源電圧 V_{c1} まで上昇させる。

【0118】

このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は一定であるので、図 14 に示すように、駆動トランジスタ 121 は、一定電流 I_{ds2} を有機 EL 素子 127 に流す。その結果、電圧降下が生じ、有機 EL 素子 127 のアノード端 A の電位 V_{el} （＝ノード ND_{121} の電位）は、有機 EL 素子 127 に電流 I_{ds2} という電流が流れる電圧 V_x まで上昇し、有機 EL 素子 127 は発光する。

【0119】

ここで、第 2 実施形態の画素回路 P においても、有機 EL 素子 127 は、発光時間が長くなるとその $I - V$ 特性が変化してしまう。そのため、ノード ND_{121} の電位も変化する。

【0120】

しかしながら、サンプリングトランジスタ 125 をオフさせている期間では、駆動トランジスタ 121 のゲート・ソース間に接続されている保持容量 120 による効果のため、ノード ND_{121} の電位上昇に連動して、ノード ND_{122} の電位も上昇するので、駆動トランジスタ 121 のゲート・ソース間電位 V_{gs} はノード ND_{121} の電位上昇に拘らず、常にほぼ “ $V_{sig} + V_{th}$ ” に維持されるので、有機 EL 素子 127 に流れる電流は変化しない。よって、有機 EL 素子 127 の $I - V$ 特性が劣化しても一定電流 I_{ds} が常に流れ続けるため、有機 EL 素子 127 は画素信号 V_{sig} に応じた輝度で発光を続けることになり、輝度が変化することはない。

【0121】

ここで、 n チャネル型の駆動トランジスタ 121 を用いたソースフォロア回路構成の画素回路 P において、駆動トランジスタ 121 のゲート・ソース間に保持容量 120 を接続するとともに、駆動トランジスタ 121 のソース端 S を検知トランジスタ 124 を介して固定電位（本例では、接地電位 V_{s1} ）に選択的に接続するようにした構成を採ることによる作用効果について、もう少し詳しく説明する。

【0122】

画素信号 V_{sig} の保持容量 120 への書き込み終了後の、有機 EL 素子 127 の発光期間（ T_{27} 以降）において、検知トランジスタ 124 をオフ状態にしておくことで、有機 EL 素子 127 に電流が流れ始める。このとき、駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が存在するため、駆動トランジスタ 121 のソース電位 V_s の変動に拘らず、駆動トランジスタ 121 のゲート・ソース間電位 V_{gs} は常にほぼ “ $V_{sig} + V_{th}$ ” である。

【0123】

また、駆動トランジスタ 121 が定電流源として動作することから、有機 EL 素子 127 の $I-V$ 特性が経時変化し、これに伴って駆動トランジスタ 121 のソース電位 V_s が変化したとしても、保持容量 120 によって駆動トランジスタ 121 のゲート・ソース間電位 V_{gs} が一定 ($V_{sig} + V_{th}$) に保たれているため、有機 EL 素子 127 に流れる電流は変わらず、したがって有機 EL 素子 127 の発光輝度も一定に保たれる。

【0124】

以下、このような輝度補正のための動作をブートストラップ動作と呼ぶこととする。このブートストラップ動作により、有機 EL 素子 127 の $I-V$ 特性が経時的に変化しても、それに伴う輝度劣化のない画像表示が可能になる。

【0125】

つまり、第 2 実施形態の画素回路 P では、ブートストラップ回路 130 が、電気光学素子の一例である有機 EL 素子 127 の電流 - 電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっているのである。

【0126】

また、 n チャネル型の駆動トランジスタ 121 を用いたソースフォロア回路によって画素回路 P を構成することができるために、現状のアノード・カソード電極の有機 EL 素子をそのまま用いても、有機 EL 素子 127 の駆動が可能になる。しかも、周辺部のトランジスタ 122, 123, 124, 125 をも含めて n チャネル型のみのもトランジスタを用いて画素回路 P を構成することができ、TFT 作成においてもアモルファスシリコン (a-Si) プロセスを用いることができるようになるため、TFT 基板の低コスト化が図れることになる。

【0127】

また、第 2 実施形態の画素回路 P では、閾値電圧キャンセル回路 140 を設けており、閾値補正期間における検知トランジスタ 123, 124 の作用により、駆動トランジスタ 121 の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を流すことができるため、高画質の画像を得ることができる。

【0128】

つまり、閾値電圧キャンセル回路 140 が、駆動トランジスタ 121 の特性バラツキ (本例では特に閾値電圧のバラツキ) による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっているのである。

【0129】

< サンプリングトランジスタの動作と特性 ; 第 2 実施形態 >

ここで、第 1 実施形態と同様に、画素回路 P に設けられている信号書込み用のサンプリングトランジスタ 125 の動作と特性について考察してみる。有機 EL 素子 127 が発光している間にサンプリングトランジスタ 125 や検知トランジスタ 123 のリーク電流が大きいと、保持容量 120 に保持されている電圧がリーク電流の大小によって変動してしまう。

【0130】

その結果、サンプリングトランジスタ 125 や検知トランジスタ 123 のリーク電流により、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} の保持性能が劣化し、有機 EL 素子 127 を一定輝度で継続発光させることができなくなる。その結果、駆動トランジスタ 121 の閾値電圧 V_{th} を補正しても、サンプリングトランジスタ 125 や検知トランジスタ 123 のリーク電流により、表示画像にザラツキが生じてしまう。

【0131】

ところで、リーク電流によるザラツキは検知トランジスタ 123 やサンプリングトランジスタ 125 によるものが大きい。何故ならば、検知トランジスタ 123 やサンプリングトランジスタ 125 からは保持容量 120 (画素容量) と有機 EL 素子 127 の寄生容量 C_{el} が直列で見えるため、合成容量は保持容量 120 の容量値 C_s よりも小さい。それに対して、検知トランジスタ 124 からは、保持容量 120 と寄生容量 C_{el} が並列で見える

10

20

30

40

50

ので、合成容量は保持容量 120 の容量値 C_s よりも大きくなり、検知トランジスタ 124の方が検知トランジスタ 123やサンプリングトランジスタ 125よりもリーク電流に対するマージンが広いということになる。

【0132】

そこで、第2実施形態では、検知トランジスタ 123やサンプリングトランジスタ 125のリーク電流をより少なくするべく、第1実施形態と同様に、検知トランジスタ 123やサンプリングトランジスタ 125をLDD構造にするとともに、それぞれのドレイン端D側（保持容量 120側）のLDD長を駆動トランジスタ 121のLDD長よりも長く設定する。

【0133】

この際には、何れか一方のみに適用したのでは、適用していないトランジスタによるリーク電流による影響が無視できないことになるので、保持容量 120の保持電圧の影響を与える全てのスイッチングトランジスタ（つまり検知トランジスタ 123とサンプリングトランジスタ 125の双方）に前述の仕組みを適用する必要がある。

【0134】

こうすることで、第2実施形態の画素回路Pにおいても、検知トランジスタ 123やサンプリングトランジスタ 125のリーク電流を低減させることができる。その結果、検知トランジスタ 123やサンプリングトランジスタ 125のリーク電流によって保持容量 120に保持されている電圧のバラツキを少なくすることが可能となり、検知トランジスタ 123やサンプリングトランジスタ 125のリーク電流による画質バラツキを抑えることが可能となる。第2実施形態を適用しない場合よりも、均一な画質を得ることが可能となる。

【産業上の利用可能性】

【0135】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0136】

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0137】

たとえば、第1実施形態では、駆動トランジスタ 121と直列に1フィールド期間に占める有機EL素子 127の発光時間を制御するための発光制御トランジスタ 122を備えた構成で説明したが、先にも述べたことから推測されるように、画素回路Pとしては、当該発光制御トランジスタ 122を備えていることは必須ではない。

【0138】

また、第1実施形態では、サンプリングトランジスタ 125としてアクティブHの駆動パルスが供給されるnチャネル型を使用した。アクティブLの駆動パルスが供給されるpチャネル型を使用してもよい。この場合にも、上記実施形態で説明したと同様に、pチャネル型のサンプリングトランジスタ 125をLDD構造とし、そのサンプリングトランジスタのLDD長を、駆動トランジスタ 121のLDD長よりも長く設定すればよい。

【0139】

また、駆動トランジスタ 121の制御入力端子側に接続されるスイッチングトランジスタの例として、駆動トランジスタ 121の制御入力端子（ゲート端G）に対して輝度情報に応じた信号を選択的に取り込むサンプリングトランジスタ 125や、駆動トランジスタ

10

20

30

40

50

１２１の閾値電圧 V_{th} のバラツキを補正（キャンセル）する閾値電圧キャンセル回路１４０を設ける場合において使用される、駆動トランジスタ１２１のゲート端 G 側において駆動トランジスタ１２１の閾値電圧 V_{th} を選択的に検知するための検知トランジスタ１２３を例に説明したが、本願発明の適用対象はこれらに限らない。

【０１４０】

駆動トランジスタ１２１のゲート端側に設けられる回路構成としては前述の第１実施形態や第２実施形態の構成に限るものではなく、駆動トランジスタ１２１のゲート端側に接続されるスイッチングトランジスタであって、そのリーク電流が保持容量１２０の保持電圧に影響を与え得るもの全てに、前述の仕組みを同様に適用することができるのである。

【０１４１】

その際には、第２実施形態にて検知トランジスタ１２３とサンプリングトランジスタ１２５の双方について LDD 長に関する仕組みを適用したのと同じように、リーク電流が保持容量１２０の保持電圧に影響を与え得る全てのスイッチングトランジスタに関して適用する必要がある。さもないと、適用していないトランジスタによるリーク電流による影響が無視できないからである。

【０１４２】

また、画素の表示素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、これに限られるものではなく、流れる電流によって輝度が変化する電気光学素子を画素の表示素子として用いた表示装置全般に適用可能である。

【図面の簡単な説明】

【０１４３】

【図１】表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図２】図１に示した有機 EL 表示装置を構成する画素回路の第１実施形態を示す図である。

【図３】一般的な有機 EL 素子の電流 - 電圧特性の経時変化を示すグラフである。

【図４】駆動トランジスタと、サンプリングトランジスタおよび検知トランジスタの構造例の違いを説明する図である。

【図５】駆動トランジスタおよびサンプリングトランジスタの電流 - 電圧特性を示す図である。

【図６】図１に示した有機 EL 表示装置を構成する画素回路の第２実施形態を示す図である。

【図７】図６に示す第２実施形態の画素回路に対する比較例を示す図である。

【図８】第２実施形態の画素回路の動作概要を示すタイミングチャートである。

【図９】タイミング T_{21} 以前の等価回路図と動作説明図である。

【図１０】タイミング $T_{21} \sim T_{22}$ の等価回路図と動作説明図である。

【図１１】タイミング $T_{22} \sim T_{23}$ の等価回路図と動作説明図である。

【図１２】閾値補正期間の駆動トランジスタの動作特性を示す図である。

【図１３】タイミング $T_{25} \sim T_{26}$ の等価回路図と動作説明図である。

【図１４】タイミング T_{27} 以降の等価回路図と動作説明図である。

【符号の説明】

【０１４４】

P ... 画素回路、１ ... 有機 EL 表示装置、１００ ... 表示パネル部、１０１ ... 基板、１０２ ... 画素アレイ部、１０３ ... 垂直駆動部、１０４ ... 書込走査部、１０４ WS ... 書込走査線、１０５ ... 駆動走査部、１０５ DS ... 駆動走査線、１０６ ... 水平駆動部、１０６ HS ... 信号線、１１４ ... 閾値キャンセル走査部、１１４ AZ ... 閾値キャンセル走査線、１１５ ... 閾値キャンセル走査部、１１５ AZ ... 閾値キャンセル走査線、１２０ ... 保持容量（画素容量）、１２１ ... 駆動トランジスタ、１２２ ... 発光制御トランジスタ、１２３，１２４ ... 検知トランジスタ、１２５ ... サンプリングトランジスタ、１２７ ... 有機 EL 素子、１３０ ... ブートストラップ回路（駆動信号一定化回路）、１４０ ... 閾値電圧キャンセル回路（駆動信号一定化回路）

10

20

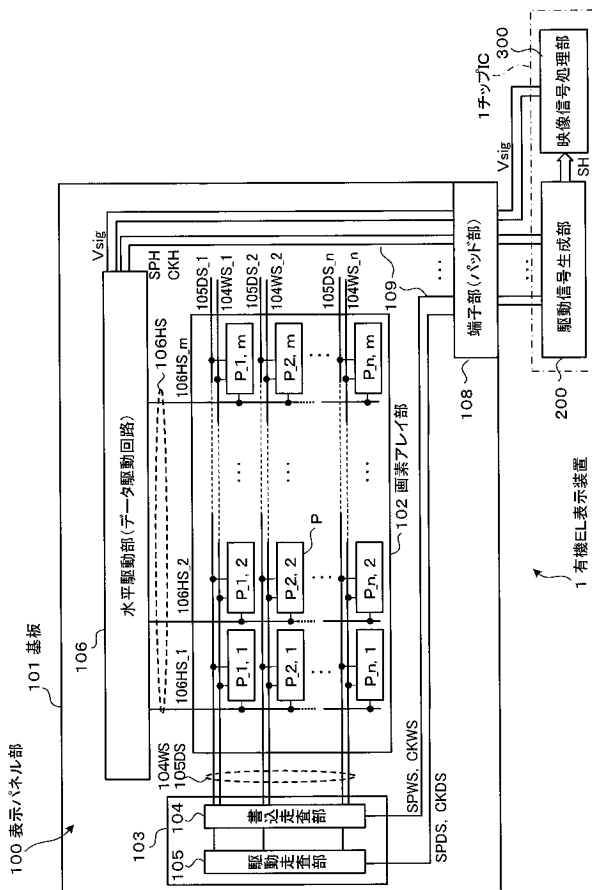
30

40

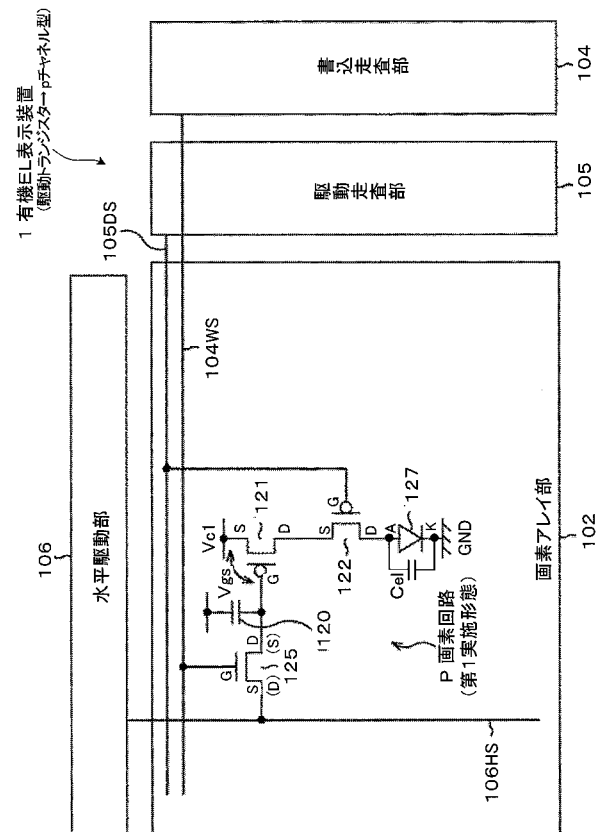
50

)

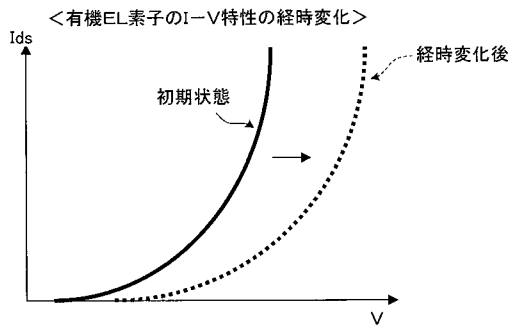
【 図 1 】



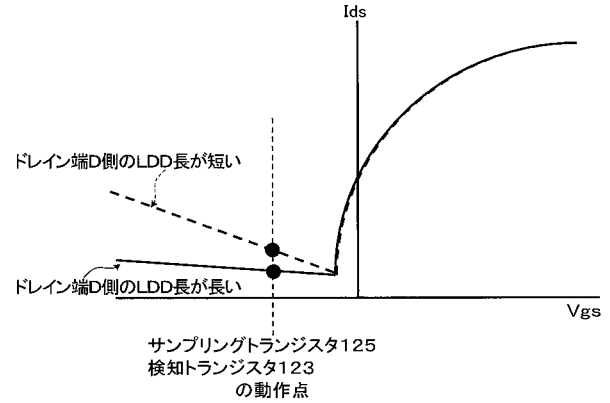
【 図 2 】



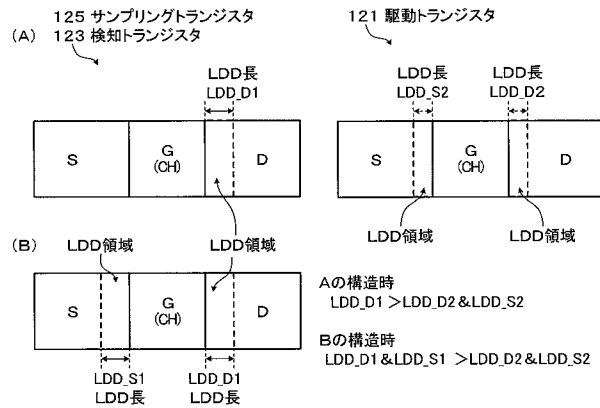
【図 3】



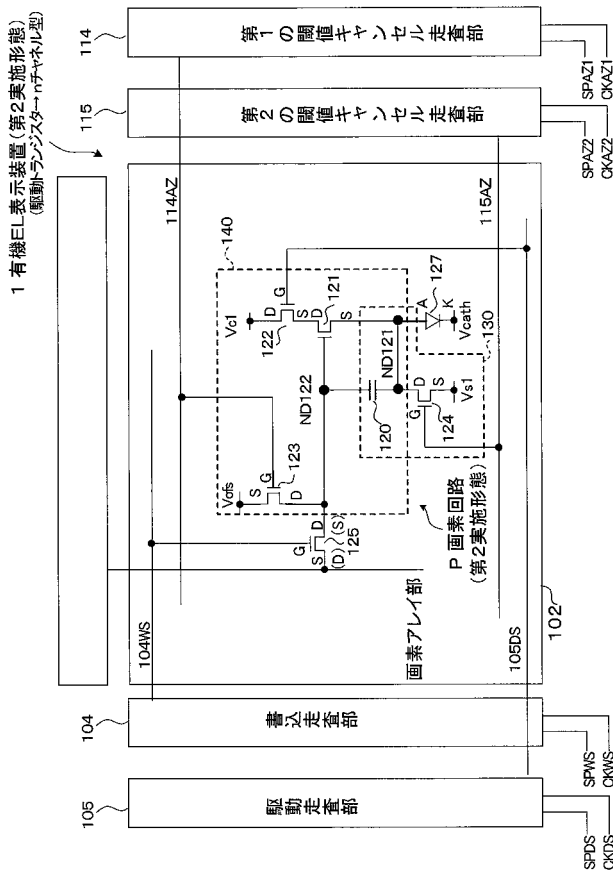
【図 5】



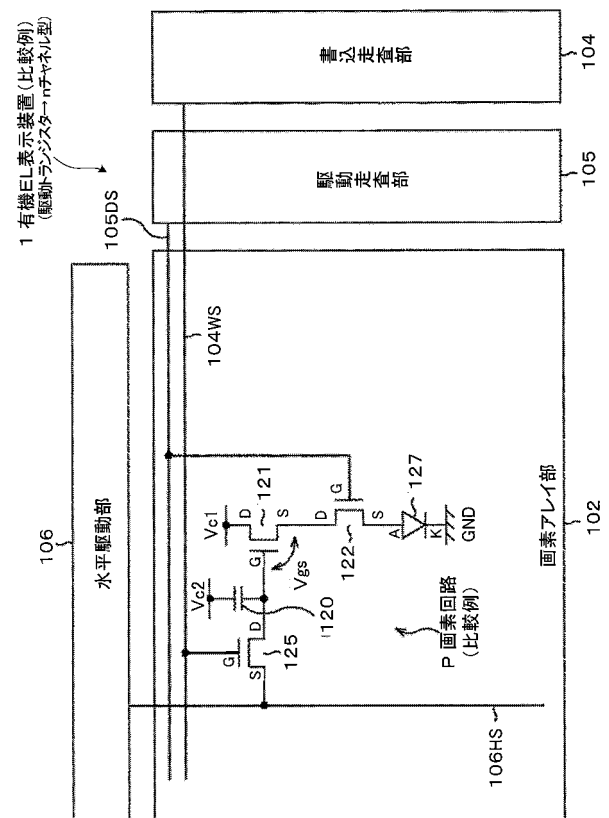
【図 4】



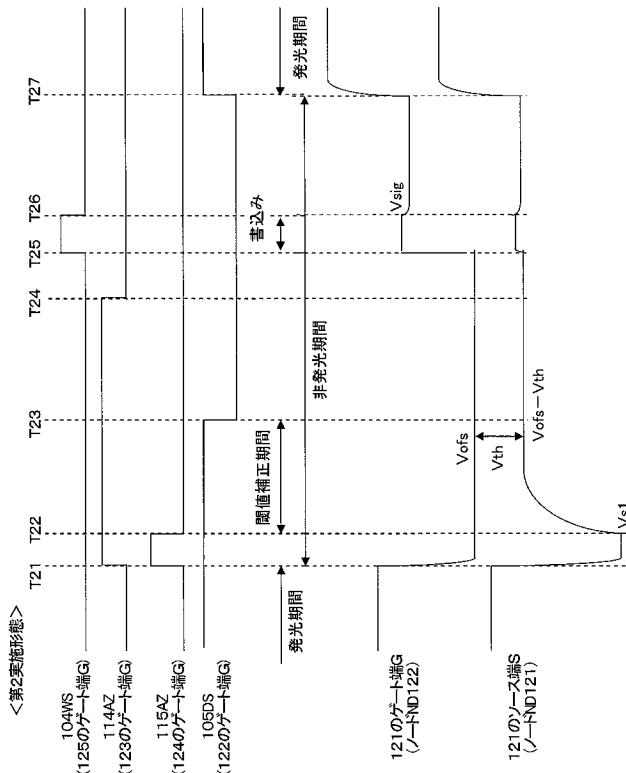
【図 6】



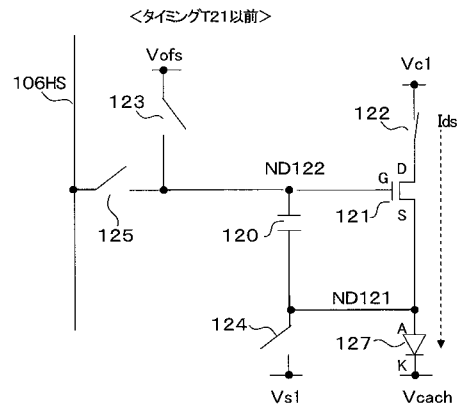
【図 7】



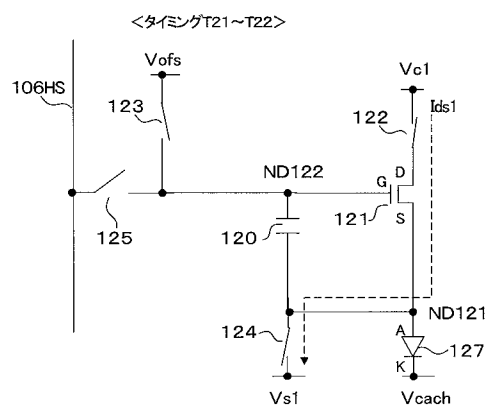
【図 8】



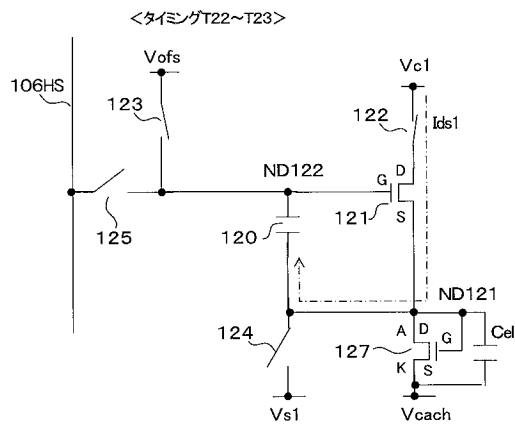
【図 9】



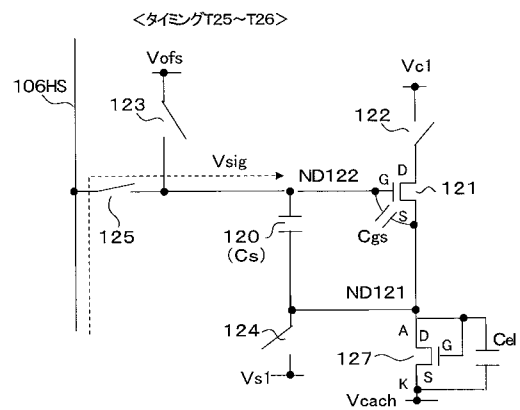
【図 10】



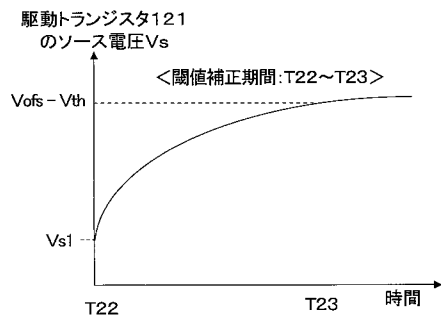
【図 11】



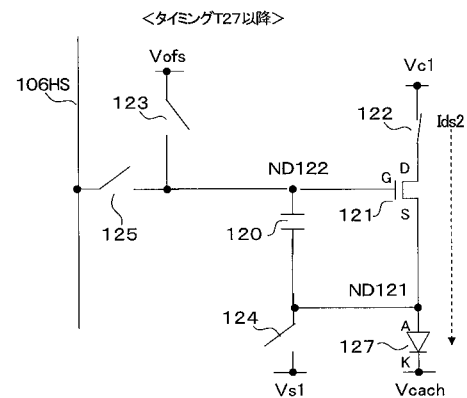
【図 13】



【図 12】



【図 14】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/30 3 3 8
H 0 5 B 33/14 A

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH00 HH04 HH05
5C080 AA06 BB05 DD05 EE29 FF11 HH09 JJ02 JJ03 JJ04 JJ05
5C094 AA02 AA25 BA03 BA27 DA20

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP2008281671A	公开(公告)日	2008-11-20
申请号	JP2007124261	申请日	2007-05-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA02 5C094/AA25 5C094/BA03 5C094/BA27 5C094/DA20 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB05 5C380/BB21 5C380/BD02 5C380/BD05 5C380/CA02 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA24 5C380/CA48 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC34 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC63 5C380/CC65 5C380/CC71 5C380/CC80 5C380/CD013 5C380/CD015 5C380/CD023 5C380/CD026 5C380/CD036 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/CF31 5C380/DA02 5C380/DA06 5C380/DA47 5C380/FA02 5C380/HA03 5C380/HA05 5C380/HA12		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了抑制由具有像素电路的有机EL显示装置中的驱动晶体管的栅极端子处的每个开关晶体管中的漏电流引起的驱动电流的波动，所述像素电路包括保持驱动的驱动信号调节电路电流常数。解决方案：具有LDD（轻掺杂漏极）结构的N沟道晶体管用于驱动晶体管121，设置在驱动晶体管121的栅极端子处的采样晶体管125，以及选择性地将像素信号采样到栅极端子G中，以及当提供阈值电压消除电路作为驱动信号调节电路时使用的检测晶体管123。通过将每个晶体管123,125中的漏极端子处的LDD长度控制为长于驱动晶体管121的LDD长度，减小了晶体管中的漏电流。通过减小由晶体管123,125中的漏电流引起的像素电容中的维持电压的变化来抑制由漏电流引起的图像质量的变化。

