

【特許請求の範囲】

【請求項 1】

アクティブマトリクス型表示装置であって、
マトリクス状に配された複数の画素回路を有し、

前記画素回路が、表示素子と、該表示素子に流れる電流を制御する第 1 導電型の駆動トランジスタと、該駆動トランジスタの制御電極に設けられる容量と、該駆動トランジスタの該制御電極に接続され、該容量に駆動制御信号を保持させるためのスイッチと、を備えており、

前記スイッチが、一方の主電極同士が接続されて直列接続された第 1 導電型のスイッチングトランジスタと第 2 導電型のスイッチングトランジスタとを含み、

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちの片方が前記駆動トランジスタの前記制御電極に接続されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちのもう片方が前記駆動トランジスタの一方の主電極に接続されており、

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタを共にオンすることにより、前記駆動トランジスタの前記制御電極と前記一方の主電極とを短絡するように構成されている請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 3】

前記第 1 導電型のスイッチングトランジスタの他方の主電極が前記駆動トランジスタの前記制御電極に接続されている請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 4】

前記駆動トランジスタの前記一方の主電極と信号線との間に第 2 導電型の行選択用スイッチングトランジスタが設けられ、

前記表示素子に流れる電流の経路に第 1 導電型の発光選択用スイッチングトランジスタが設けられ、

前記第 2 導電型のスイッチングトランジスタの制御電極と、前記行選択用スイッチングトランジスタの制御電極と、前記発光選択用スイッチングトランジスタの制御電極とが、共通に第 2 の走査信号線に接続されている請求項 1 乃至 3 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記第 1 導電型のスイッチングトランジスタがオンからオフに遷移する時刻の後に、前記第 2 導電型のスイッチングトランジスタがオンからオフに遷移する請求項 2 乃至 4 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 6】

前記第 2 導電型のスイッチングトランジスタの他方の主電極が前記駆動トランジスタの前記制御電極に接続されている請求項 2 乃至 5 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 7】

前記駆動トランジスタの前記一方の主電極と信号線との間に第 2 導電型の行選択用スイッチングトランジスタが設けられ、

前記表示素子に流れる電流の経路に第 1 導電型の発光選択用スイッチングトランジスタが設けられ、

前記第 2 導電型のスイッチングトランジスタの制御電極と、前記行選択用スイッチングトランジスタの制御電極と、前記発光選択用スイッチングトランジスタの制御電極とが、共通に第 2 の走査信号線に接続されている請求項 6 記載のアクティブマトリクス型表示装置。

10

20

30

40

50

【請求項 8】

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちのもう片方が電圧バッファの出力端子に接続され、

前記電圧バッファの入力端子が信号線に接続されている請求項 1 乃至 7 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 9】

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちのもう片方がソースホロワ回路の出力端子に接続され、

前記ソースホロワ回路の入力端子が信号線に接続されている請求項 1 乃至 7 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

10

【請求項 10】

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちのもう片方が帰還型オペアンプの出力端子に接続され、

前記帰還型オペアンプの入力端子が信号線に接続されている請求項 1 乃至 7 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

【請求項 11】

第 1 導電型の駆動トランジスタと前記第 1 導電型のスイッチングトランジスタは P チャンネル型の薄膜トランジスタであり、前記第 2 導電型のスイッチングトランジスタは N チャンネル型の薄膜トランジスタである請求項 1 乃至 10 のいずれか 1 項に記載のアクティブマトリクス型表示装置。

20

【請求項 12】

負荷の駆動装置であって、

該負荷に流れる電流を制御するための第 1 導電型の駆動トランジスタと、

該駆動トランジスタの制御電極に設けられる容量と、

該駆動トランジスタの該制御電極に接続され、該容量に駆動制御信号を保持させるためのスイッチと、を備えており、

前記スイッチが、一方の主電極同士が接続されて直列接続された第 1 導電型のスイッチングトランジスタと第 2 導電型のスイッチングトランジスタとを含み、

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうち片方が前記駆動トランジスタの前記制御電極に接続されていることを特徴とする負荷の駆動装置。

30

【請求項 13】

前記第 1 導電型の駆動トランジスタと、前記容量と、前記スイッチと、を有する画素回路の複数が、マトリクス状に配置されている請求項 12 に記載の負荷の駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テレビ受像機、コンピュータや携帯電話やデジタルカメラやデジタルビデオカメラなどのモニター、電子写真プリンタ用の露光装置、ホトリソグラフィー用の露光光源他に用いられるアクティブマトリクス型表示装置及び負荷の駆動装置に係わり、特に電流駆動型表示素子に好適に用いられるアクティブマトリクス型表示装置及び負荷の駆動装置に関する。

40

【背景技術】

【0002】

アクティブマトリクス電界発光表示装置 (active matrix electroluminescent display device) としては、例えば、特許文献 1 に示す装置がある。図 12 は従来の画素回路の回路図である。

【0003】

図 12 に示す回路動作は、スイッチ (トランジスタ) 37、32 を閉じ、スイッチ (トランジスタ) 33 を開いて能動素子としての電界発光素子 20 の発光に必要な素子電流に

50

対応する入力信号 I_{in} を入力する。定常状態におけるキャパシタンス 38 の両端電圧が駆動トランジスタ 30 のチャネルを流れる電流を駆動するのに必要なゲート - ソース電圧になる。そして、スイッチ 37、32 を開くと入力信号 I_{in} に従って決定されるゲート - ソース電圧がキャパシタンス 38 に保持される。

【0004】

次にスイッチ 33 を閉じると、保持された電圧レベルに応じた駆動電流が駆動トランジスタ 30 を介して電界発光素子 20 に流れ発光する。34 は電界発光素子 20 のアノード側の電圧 (V_2) を設定する電源線 34、31 はトランジスタのソース側の電圧 (V_1) を設定する電源線 31 である。

【0005】

上記特許文献 1 には、トランジスタ 32、37、30 として n 型の MOS トランジスタ、トランジスタ 33 として p 型の MOS トランジスタを用いることの記載がある。

【0006】

また、駆動トランジスタとして p 型の MOS トランジスタを用い、その駆動トランジスタのゲート - ドレイン間を短絡するためのスイッチングトランジスタとして p 型の MOS トランジスタを用いた画素回路も知られている。(特許文献 2 参照)

【特許文献 1】特表 2002 - 517806 号公報

【特許文献 2】国際公開番号 WO01 / 91094 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

アクティブマトリクス型表示装置及び負荷としての能動素子の駆動装置では、暗時の駆動電流をゼロとし、不要なリーク電流による駆動電流の変動を防止するという 2 つの観点で、未だ改善の余地があった。

【課題を解決するための手段】

【0008】

本発明の目的は、暗時の駆動電流を抑制し、不要なリーク電流を抑制できるアクティブマトリクス型表示装置及び負荷の駆動装置を提供することにある。

【0009】

本発明の別の目的はスイッチングに伴う保持電圧の変動による暗時の輝度を低下させることができ、且つ不要なリーク電流による輝度の変動を抑制することができるアクティブマトリクス型表示装置及び負荷の駆動装置を提供することにある。

【0010】

本願第 1 発明は、アクティブマトリクス型表示装置であって、マトリクス状に配された複数の画素回路を有し、

前記画素回路が、

表示素子と、

該表示素子に流れる電流を制御する第 1 導電型の駆動トランジスタと、

該駆動トランジスタの制御電極に設けられる容量と、

該駆動トランジスタの該制御電極に接続され、該容量に駆動制御信号を保持させるためのスイッチと、
を備えており、

前記スイッチが、一方の主電極同士が接続されて直列接続された第 1 導電型のスイッチングトランジスタと第 2 導電型のスイッチングトランジスタとを含み、

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちの片方が前記駆動トランジスタの前記制御電極に接続されていることを特徴とする。

【0011】

本願第 2 発明は、負荷素子の駆動装置であって、

該負荷に流れる電流を制御するための第 1 導電型の駆動トランジスタと、

10

20

30

40

50

該駆動トランジスタの制御電極に設けられる容量と、
該駆動トランジスタの該制御電極に接続され、該容量に駆動制御信号を保持させるためのスイッチと、
を備えており、

前記スイッチが、一方の主電極同士が接続されて直列接続された第 1 導電型のスイッチングトランジスタと第 2 導電型のスイッチングトランジスタとを含み、

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちの片方が前記駆動トランジスタの前記制御電極に接続されていることを特徴とする。

【 0 0 1 2 】

10

ここで、後で図 1 を参照して詳述するように、前記第 1 導電型のスイッチングトランジスタ M 2 a 及び前記第 2 導電型のスイッチングトランジスタ M 2 b の他方の主電極のうちのもう片方が前記駆動トランジスタ M 1 の一方の主電極（ドレイン）に接続されており、

前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタを共にオンすることにより、前記駆動トランジスタの前記制御電極（ゲート）と前記一方の主電極（ドレイン）とを短絡するように構成されていることも好ましいものである。

【 0 0 1 3 】

また、前記第 1 導電型のスイッチングトランジスタの他方の主電極が前記駆動トランジスタの制御電極に接続されていることも好ましいものである。

20

【 0 0 1 4 】

更に、前記駆動トランジスタの前記一方の主電極（ドレイン）と信号線（I d a t a、d（x，y））との間に第 2 導電型の行選択用スイッチングトランジスタ M 3 が設けられ、

前記表示素子（E L）に流れる電流の経路に第 1 導電型の発光選択用スイッチングトランジスタ M 4 が設けられ、

前記第 2 導電型のスイッチングトランジスタ M 2 b の制御電極と、前記行選択用スイッチングトランジスタ M 3 の制御電極と、前記発光選択用スイッチングトランジスタ M 4 の制御電極とが、共通に第 2 の走査信号線に接続されていることも好ましいものである。

【 0 0 1 5 】

30

そして、図 2 に示すように、前記第 1 導電型のスイッチングトランジスタがオンからオフに遷移する時刻（P 2 がローレベルからハイレベルに遷移するタイミング）の後に、前記第 2 導電型のスイッチングトランジスタがオンからオフに遷移する（P 2 がハイレベルからローレベルに遷移する）ことも好ましいものである。

【 0 0 1 6 】

或いは、図 9 を参照して後述するように、前記第 2 導電型のスイッチングトランジスタの他方の主電極が前記駆動トランジスタの一方の主電極に接続されていることも好ましいものである。

【 0 0 1 7 】

図 9 の場合も、前記駆動トランジスタの前記一方の主電極と信号線との間に第 2 導電型の行選択用スイッチングトランジスタが設けられ、

40

前記表示素子に流れる電流の経路に第 1 導電型の発光選択用スイッチングトランジスタが設けられ、

前記第 2 導電型のスイッチングトランジスタの制御電極と、前記行選択用スイッチングトランジスタの制御電極と、前記発光選択用スイッチングトランジスタの制御電極とが、共通に第 2 の走査信号線に接続されていることが好ましいものである。

【 0 0 1 8 】

図 1 0、1 1 を参照して後述するように、前記第 1 導電型のスイッチングトランジスタ及び前記第 2 導電型のスイッチングトランジスタの他方の主電極のうちのもう片方が電圧バッファ X の出力端子に接続され、

50

前記電圧バッファの入力端子が信号線（I d a t a、d（x，y））に接続されていることも好ましいものである。

【0019】

そして、図10に示すように、前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタの他方の主電極のうちのもう片方がソースホロワ回路の出力端子に接続され、前記ソースホロワ回路の入力端子が信号線に接続されていることも好ましいものである。

【0020】

また、図11に示すように、前記第1導電型のスイッチングトランジスタ及び前記第2導電型のスイッチングトランジスタの他方の主電極のうちのもう片方が帰還型オペアンプの出力端子に接続され、前記帰還型オペアンプの入力端子が信号線に接続されていることも好ましいものである。

10

【0021】

そして、本願発明においては、第1導電型の駆動トランジスタと前記第1導電型のスイッチングトランジスタはPチャンネル型の薄膜トランジスタであり、前記第2導電型のスイッチングトランジスタはNチャンネル型の薄膜トランジスタであることも好ましいものである。

【発明の効果】

【0022】

本発明によれば、暗時の駆動電流を抑制し、不要なリーク電流を抑制できる。

20

【発明を実施するための最良の形態】

【0023】

本発明者は図6に示す画素回路において、駆動トランジスタとして低温ポリシリコンを用いたp型のMOSトランジスタを採用し、その駆動トランジスタのゲート・ドレイン間を短絡するためのスイッチングトランジスタとして低温ポリシリコンを用いたn型のMOSトランジスタを採用して画素回路を作製した。この場合にはスイッチングに伴うゲート・ソース間保持電圧の低下により黒表示時に十分な暗さが達成されなかった。これは、表示装置や露光装置や露光光源に用いた場合、コントラストの低下をもたらすことになる。

【0024】

また、駆動トランジスタとして低温ポリシリコンを用いたp型のMOSトランジスタを採用し、その駆動トランジスタのゲート・ドレイン間を短絡するためのスイッチングトランジスタとして低温ポリシリコンを用いたp型のMOSトランジスタを採用して画素回路を作製した。この場合には、黒表示時に十分な暗さが得られたが、スイッチングトランジスタを介したリーク電流が生じることを見出した。

30

【0025】

以下、このような課題を解決するための好適な実施形態について、図面を参照して詳述する。

【0026】

本発明の好適な実施形態によれば、スイッチングに伴う保持電圧の変動によるコントラストの低下抑制とリーク電流の発生抑制を行うことができる。

40

【0027】

（第1の実施形態）

図1は本発明の第1の実施形態に係わる画素回路の一構成例を示す図である。図2は図1の画素回路の動作を説明するためのタイミングチャートである。

【0028】

図3は本発明に係わるアクティブマトリクス電界発光表示装置の構成を示す構成図である。

【0029】

図3において、1はマトリクス状に配された画素回路、2は列方向に配された画素回路1に接続され、画素回路1に信号線d（x，y）を介して線順次データ線電流信号I d a

50

t a を供給する信号線駆動回路としての電圧 - 電流変換回路、3 は電圧 - 電流変換回路 2 に接続される列シフトレジスタ、4 は行方向に配された画素回路 1 に接続され、画素回路 1 に行走査信号 P 1、行走査信号 P 2 を出力する走査線駆動回路としての行シフトレジスタである。画素回路 1 の複数がマトリクス状に配されて画素部を構成する。

【0030】

図 4 は線順次データ線信号の発生動作を説明するためのタイミングチャートである。列シフトレジスタ 3 にはクロック信号 K が入力され、ビデオ (v i d e o) 信号は電圧 - 電流変換回路 2 に入力され、列シフトレジスタ 3 からの信号 S P (n - 1) ~ S P (n + 1) に基づいて各画素回路の列に線順次データ線電流信号 I d a t a (d (n - 1) ~ d (n + 1)) を供給する。

10

【0031】

図 5 は後述する図 1 に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。行シフトレジスタ 4 にはクロック信号 L K が入力され、行シフトレジスタ 4 から画素回路 1 の行に行走査信号 P 1 (P 1 (m - 1) ~ P 1 (m + 1))、行走査信号 P 2 (P 2 (m - 1) ~ P 2 (m + 1)) が順次出力される。

【0032】

ここで、図 6 は本発明の実施形態に対する比較例の画素回路の構成を示す図である。図 7 は図 6 の画素回路の動作を説明するためのタイミングチャートである。図 8 は図 6 に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。

【0033】

図 6 の比較例は図 1 2 に示した画素回路と電流信号 I d a t a のプログラミング動作についての基本構成は同じであり、図 1 2 のスイッチ 3 2 は n M O S トランジスタ M 2、スイッチ 3 7 は n M O S トランジスタ M 3、スイッチ 3 0 は p M O S トランジスタ M 1 に対応するものとみなすことができる。

20

【0034】

まず、本実施形態の説明に先立って、本発明の構成についての理解を容易にするために、比較例について説明する。

【0035】

今、x 列 y 行の画素を黒表示にする場合における x 列 y 行の図 6 に示す画素回路の動作を考えると、図 7 において、行走査信号 P 1 がハイレベルとなると、第 1 のプログラム (行選択) 用スイッチとなる n M O S トランジスタ M 3 がオン、発光選択用スイッチとなる p M O S トランジスタ M 4 がオフする。また行走査信号 P 2 がハイレベルになると、第 2 のプログラム用スイッチとなる n M O S トランジスタ M 2 がオンする。そして、駆動トランジスタとなる p M O S トランジスタ M 1 のゲートに接続されている容量 C 1 の電圧は、能動素子としての電界発光素子 E L を駆動する電流が p M O S トランジスタ M 1 を介して流れるに十分なゲート - ソース電圧に設定される。次に、行走査信号 P 2 がロウレベルになると、第 2 のプログラム用スイッチとなる n M O S トランジスタ M 2 がオフし、容量 C 1 の電圧が保持される。これまでの期間をプログラミング期間とよぶ。

30

【0036】

その後、行走査信号 P 1 がロウレベルになると、第 1 のプログラム (行選択) 用スイッチとなる n M O S トランジスタ M 3 がオフ、発光選択用スイッチとなる p M O S トランジスタ M 4 がオンする。駆動用トランジスタ M 1 のゲート電位により電界発光素子 E L への駆動電流の供給が制御され、電界発光素子 E L に流れる電流が制御される。電界発光素子 E L が発光 (黒表示データの場合は非発光) している期間を発光期間とよぶ。

40

【0037】

ここで、図 6 の画素回路では、容量 C 1 の電圧を安定して保持するために、第 2 のプログラム用スイッチとなるトランジスタはリーク電流の少ない n M O S トランジスタを用いている。リーク電流が大きいと発光期間における駆動電流が変動することになるからである。

【0038】

50

しかしながら、図7に示すようにプログラミング期間でnMOSトランジスタM2のゲートがハイレベルからロウレベルに切り替わると、nMOSトランジスタM2のゲート・ドレイン間の寄生容量により容量C1の電位が振られて保持されるべき電圧 $V_d(x, y)$ が V_M 分低下し、それにより駆動トランジスタM1を流れる電流が I_M 分増加することになる。かかる場合、発光期間においてx列y行の画素が黒表示の場合においてもゲート電位（保持電圧）の低下のためにpMOSトランジスタM4に小電流が流れる。すると、黒表示であるにも係わらず、微小発光が観察される。つまり、最も暗い状態を呈することが正常にできず、コントラスト確保が困難になる。

【0039】

本実施形態では、図1に示すように、容量C1（駆動用トランジスタM1のゲート）と駆動用トランジスタM1のゲートのドレインとの間に接続される第2のプログラム用スイッチを、直列接続されたpMOSトランジスタM2aとnMOSトランジスタM2bとで構成した。すなわち、図1の画素回路の構成と図6の比較例の構成との違いは、図6のnMOSトランジスタM2が、直列接続された2つの互いに導電型の異なる2つのスイッチングトランジスタ（pMOSトランジスタM2aとnMOSトランジスタM2b）とに置き換えられている点である。

【0040】

容量C1に電圧を保持する場合には、プログラミング期間でpMOSトランジスタM2aのゲートはロウレベルからハイレベルとなるので、図7に示す電位変化と逆に、ゲート・ドレイン間の寄生容量により容量C1の電位が振られて保持されるべき電圧 $V_d(x, y)$ が V_L 分上昇し、それにより駆動トランジスタM1を流れる電流が I_L 分低下することになる。よって、黒表示のときに流れる画素電流をなくす又は減少させることができる。

【0041】

黒表示において、線順次データ線電流信号は電流ゼロが好ましいが実際には回路構成上電流ゼロにすることは困難である。線順次データ線電流信号の電流がゼロにならないと、画素電流 I_d をゼロにすることはできない。図6の構成ではnMOSトランジスタM2をオフするときに容量C1による保持電圧が振られて低下するので、さらに画素電流 I_d が上昇し、画素電流 I_d をゼロにすることはより一層困難になる。

【0042】

第2のプログラム用スイッチの一つを本実施形態のように、pMOSトランジスタにすると、容量C1が振られる電位の方法は逆になるので、線順次データ線電流信号の電流がゼロにならなくとも、容量C1の電位上昇により黒表示のときの画素電流 I_d をゼロ又は十分小さくすることが可能である。

【0043】

一方、本実施形態で用いたpMOSトランジスタはnMOSトランジスタと比べてリーク電流が大きい、本実施形態のように、pMOSトランジスタと直列にnMOSトランジスタM2bを追加することでリーク電流が抑えられ、発光期間における保持電圧 V_d の安定化を図ることができる。

【0044】

容量C1は個別に容量素子として形成してもよいが、素子として形成しなくとも、ゲート・ドレイン間に形成される寄生容量（ゲート電極とドレイン領域との重なり容量等）を用いてもよい。

【0045】

図13は、低温ポリシリコンを用いた電界効果型薄膜トランジスタとしての、pMOSトランジスタM2a及びnMOSトランジスタM2b部分の製造工程を示す図である。図14は図13の製造方法により作製されたEL表示素子の構成を示す断面図である。

【0046】

図13(a)に示すように、ガラス基板100上にプラズマCVD法を用いてアモルファスシリコン層を堆積した後、レーザー光等により熱処理（レーザーアニール）をしてポ

10

20

30

40

50

リシリコン層とし、パターンニングを行って、pMOSトランジスタM2aとnMOSトランジスタM2b用のポリシリコン層を形成する。

【0047】

ここで、必要に応じて、すくなくともいずれか一方のポリシリコン層にソース・ドレインと反対導電性を呈するためのドーパント（リン又はボロン）のチャンネルドーピングを行って、閾値を調整してもよい。

【0048】

次に図13(b)に示すように、SiO₂、SiN等のゲート絶縁膜102を形成し、ポリシリコンを形成しパターンニングしてゲート電極103を形成する。

【0049】

図13(c)に示すように、p型不純物（リン等）、n型不純物（ボロン等）をそれぞれイオン注入し熱拡散を行い、pMOSトランジスタM2aのソース、ドレイン領域105とnMOSトランジスタM2bのソース、ドレイン領域104を形成する。

【0050】

図13(d)に示すように、SiO₂、SiN等の絶縁膜を形成後、コンタクトホールを形成し、ソース、ドレイン電極及び配線となる金属層（メタル層）を積層し、パターンニングする。その後、平坦化膜106を形成後、スルーホールを形成し、不図示のアノード電極を形成しパターンニング後、蒸着やインクジェットのような液体吐出法等により電界発光層（EL層）107を形成し、ITO膜108を形成する。EL層はいわゆる有機LEDを構成する複数の層からなることが好ましく、更には、画素毎にEL層が分断され独立していることが好ましいものである。

【0051】

図14に示すように、基板100をガラス容器109とガラス封止してEL表示素子を完成する。

【0052】

以上説明した実施形態では、pMOSトランジスタの方が桁違いにnMOSトランジスタより、リーク電流が大きいものが作製された。しかしながら、製造プロセスによっては、逆にnMOSトランジスタのリーク電流がpMOSトランジスタのそれより、大きいトランジスタが出来ることもある。このような場合にも本発明は好適に用いられる。

【0053】

（第2の実施形態）

図9は本発明の第2の実施形態に係わる画素回路の一構成例を示す図である。画素回路を動作させる信号は図2に示すものと同じである。上記第1の実施形態では図1に示すように、pMOSトランジスタM2aをpMOSトランジスタM1のゲートに接続し、nMOSトランジスタM2bをpMOSトランジスタM1のドレインに接続したが、本実施形態では図9に示すように、nMOSトランジスタM2bをpMOSトランジスタM1のゲートに接続し、pMOSトランジスタM2aをpMOSトランジスタM1のドレインに接続した。

【0054】

それ以外の構成は第1の実施形態と同様である。

このような接続形態の画素回路でも、オン状態のnMOSトランジスタM2bのフィードスルーによって、第1の実施形態と類似した作用効果を得ることができる。

【0055】

（第3の実施形態）

図1又は図9に示した画素回路を動作させるには線順次データ線電流信号によって容量C1及び配線の交差等による寄生容量を充電することが求められる。高コントラスト比を得るためには画素回路1は小電流での制御が求められるが、小電流で容量C1及び寄生容量の充電時間が長くなり、一水平走査期間での小電流設定動作が不十分になることがある。これは各行の画素回路1の電流駆動トランジスタM1の閾電圧バラツキ ΔV_{th} が大きいTFT回路ではさらに顕著な問題となる。一方、容量C1は映像信号Videoの1フ

10

20

30

40

50

レーム期間の電流駆動動作を保持しなければならないため容量値をあまり小さくできない。

【0056】

本実施形態では画素回路に入力する電流信号が小電流であっても、設定動作時間の短縮が可能な構成を提供するものである。本実施形態のように、画素回路に電圧バッファを付加する構成は例えば特開2004-118181号公報に開示されている。電圧バッファとしてはソースホロワ回路や帰還型オペアンプを用いることができる。以下に述べるこれらの回路は、駆動トランジスタ又は能動素子に流れる電流を検知して、その結果に基づいた電圧信号を、駆動トランジスタの制御電極であるゲートに入力する帰還型回路とみなすこともできる。これにより、駆動トランジスタの閾値電圧や増幅特性の、駆動トランジスタ毎のばらつきによる能動素子駆動電流のばらつきを補償することができる。

10

【0057】

図10は本発明の第3の実施形態に係わる画素回路及び電圧バッファ回路の一構成例を示す図である。

【0058】

本実施形態では、画素回路列ごとに入力電圧によって出力電圧が決まる電圧バッファXを設けた。電圧バッファXはpMOSトランジスタと電流源とから構成されるソースホロワ回路からなる。電圧バッファXの出力端子側(pMOSトランジスタと電流源との接続点)はnMOSトランジスタM2bに接続され、入力端子側(pMOSトランジスタのゲート)は線順次データ線電流信号Idataの入力信号線に接続される。

20

【0059】

それ以外の構成は第1の実施形態と同様である。

【0060】

また、ソースホロワ回路に代えて、図11に示すように、電圧バッファとして帰還型オペアンプを用いてもよい。

【0061】

この場合も、図11に示した部分以外の構成は第1の実施形態と同様である。

【0062】

本実施形態によれば、電圧バッファの作用により、駆動トランジスタM1のドレインと同電位の電圧が容量C1に保持されることになり、画素回路にプログラミングされる電流信号Idataに対応した電流を能動素子ELに流すことができる。

30

【0063】

こうして、第1、第2の実施形態と同様に、駆動トランジスタの画素毎の特性ばらつきによる悪影響を抑制した駆動を行うことができる。

【0064】

以上説明した各実施形態では、駆動トランジスタM1としてpMOSトランジスタを用いた例を挙げたが、駆動トランジスタM1としてnMOSトランジスタを用いた場合には、能動素子や信号や電源の極性を逆にすればよい。具体的には、駆動用nMOSトランジスタのドレインを能動素子としてのLEDのカソード側に接続し、LEDのアノードを高電位電源に接続し、駆動用nMOSトランジスタのソースを低電位電源に接続すればよい。

40

【0065】

また、本発明の負荷として用いられる能動素子としては、無機LEDや有機LED(有機EL)や電子放出素子や半導体レーザーなどの各種放出素子を用いることができる。

【0066】

更に、本発明は、いわゆる低温ポリシリコンに代表される結晶粒界を含む結晶性半導体薄膜トランジスタに好適に用いられるが、本発明の回路構成は、アモルファスシリコンTFETや単結晶シリコンTFETや高温ポリシリコンTFETなどでも構成されうる。

【産業上の利用可能性】

【0067】

50

本発明は、とりわけ、能動素子として、電界発光素子（ＥＬ素子）等の電流駆動型発光素子を用いた、アクティブマトリクス型表示装置に用いられて好適である。

【図面の簡単な説明】

【００６８】

【図１】本発明の第１の実施形態に係わる画素回路の一構成例を示す図である。

【図２】本発明の第１の実施形態に係わる画素回路の動作を説明するためのタイミングチャートである。

【図３】本発明に係わるアクティブマトリクス電界発光表示装置の構成を示す構成図である。

【図４】線順次データ線信号の発生動作を説明するためのタイミングチャートである。

10

【図５】図１に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。

【図６】本発明の第１の実施形態に係わる比較例の構成を示す図である。

【図７】図６の画素回路の動作を説明するためのタイミングチャートである。

【図８】図６に示す画素回路の行走査信号の発生動作を説明するためのタイミングチャートである。

【図９】本発明の第２の実施形態に係わる画素回路の一構成例を示す図である。

【図１０】本発明の第３の実施形態に係わる画素回路及び電圧バッファ回路の一構成例を示す図である。

【図１１】本発明の第３の実施形態に係わる画素回路及び電圧バッファ回路の変形例を示す図である。

20

【図１２】従来の画素回路の回路図である。

【図１３】本発明に用いられるｐＭＯＳトランジスタＭ２ａとｎＭＯＳトランジスタＭ２ｂ部分の製造工程を示す図である。

【図１４】図１３の製造方法により作製されたＥＬ表示素子の構成を示す断面図である。

【符号の説明】

【００６９】

１ 画素回路

２ 信号線駆動回路

３ 列シフトレジスタ

４ 行シフトレジスタ

Ｍ１ 駆動トランジスタ

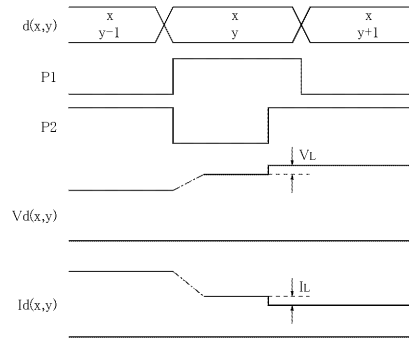
Ｃ１ 容量

Ｍ２ａ、Ｍ２ｂ スイッチ

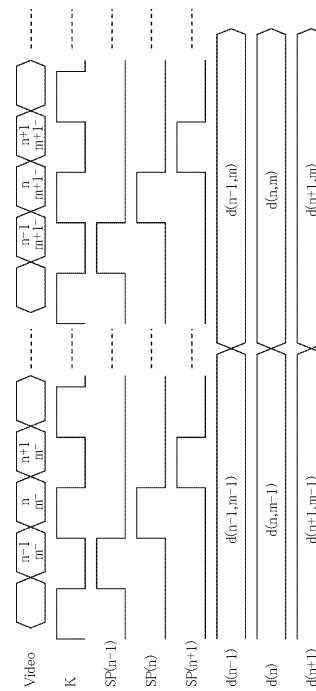
ＥＬ 負荷（表示素子）

30

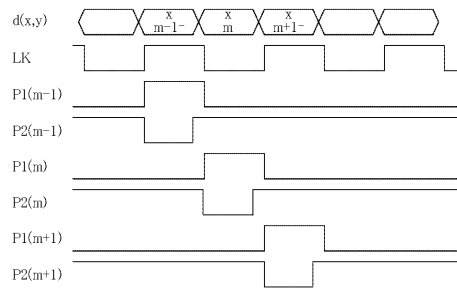
【 図 2 】



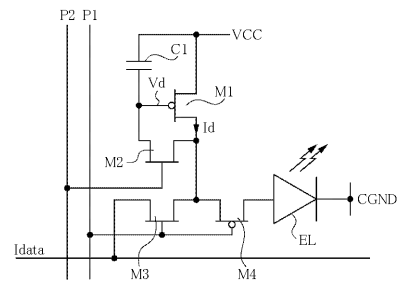
【 図 4 】



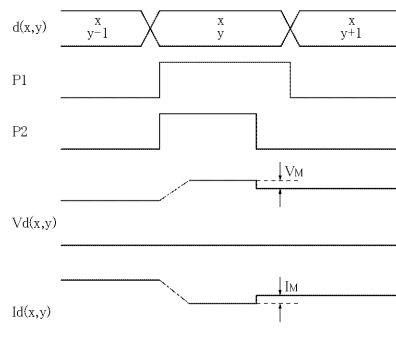
【図 5】



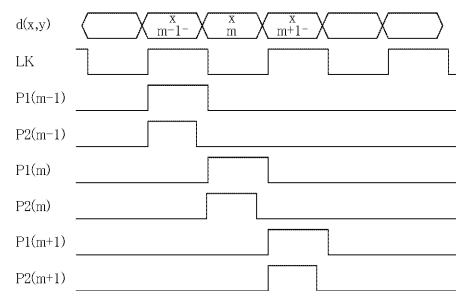
【図 6】



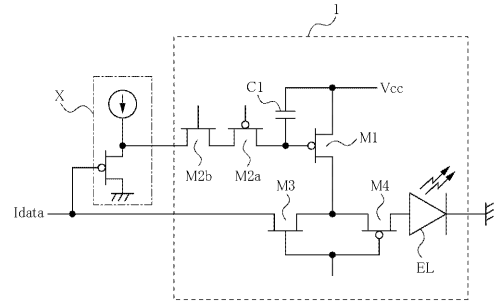
【図 7】



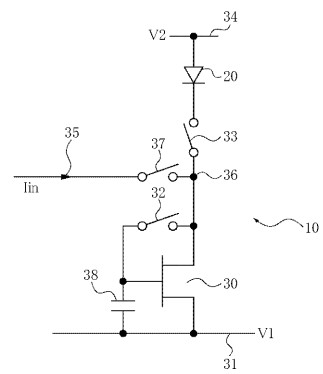
【図 8】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 2 E

H 0 5 B 33/14 A

专利名称(译)	有源矩阵型显示装置和负载驱动装置		
公开(公告)号	JP2006039521A	公开(公告)日	2006-02-09
申请号	JP2005177960	申请日	2005-06-17
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	川崎素明		
发明人	川崎 素明		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.C G09G3/20.642.E H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB05 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/GG08 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 3K107/AA01 3K107/BB01 3K107/BB04 3K107/CC02 3K107/CC11 3K107/CC32 3K107/EE03 3K107/HH03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA39 5C380/BA40 5C380/BB21 5C380/BB23 5C380/CA02 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB17 5C380/CC11 5C380/CC16 5C380/CC26 5C380/CC27 5C380/CC31 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC72 5C380/CD014 5C380/CD015 5C380/CF07 5C380/CF22 5C380/CF27 5C380/DA02 5C380/DA06		
代理人(译)	雄一Uchio		
优先权	2004186483 2004-06-24 JP		
其他公开文献	JP4182086B2		
外部链接	Espacenet		

摘要(译)

解决的问题：将暗处的驱动电流减小到零，并抑制由于不必要的泄漏电流引起的驱动电流波动。像素电路包括以矩阵布置的多个像素电路，并且该像素电路包括显示元件EL，用于控制在显示元件中流动的电流的第一导电型驱动晶体管M1和驱动晶体管M1。与设置在驱动晶体管的控制电极和控制电极中的电容器C1串联连接的第一导电类型晶体管M2a和第二导电类型晶体管M2b串联连接，作为用于将驱动控制信号保持在电容器中的开关。晶体管的另一个主电极之一连接到驱动晶体管的控制电极。[选型图]图1

