

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6708417号
(P6708417)

(45) 発行日 令和2年6月10日 (2020.6.10)

(24) 登録日 令和2年5月25日 (2020.5.25)

(51) Int.Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 6 2 1 A
H01L 51/50 (2006.01)	G09G 3/20 6 2 2 D
	G09G 3/20 6 2 3 C
	G09G 3/20 6 4 2 A
請求項の数 4 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2016-8238 (P2016-8238)	(73) 特許権者	514188173
(22) 出願日	平成28年1月19日 (2016.1.19)		株式会社 J O L E D
(65) 公開番号	特開2017-129682 (P2017-129682A)		東京都千代田区神田錦町三丁目2 3 番地
(43) 公開日	平成29年7月27日 (2017.7.27)	(74) 代理人	100189430
審査請求日	平成30年8月7日 (2018.8.7)		弁理士 吉川 修一
		(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	前田 智之
			東京都千代田区神田錦町三丁目2 3 番地
			株式会社 J O L E D 内
		審査官	武田 悟

最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

各々が E L 素子及び前記 E L 素子に流れる電流を制御する駆動トランジスタを備える複数の画素と、

映像信号電圧を前記複数の画素に印加するための複数のデータ線と、

前記複数の画素の各々に対して、前記映像信号電圧を印加する期間以外の期間であって、前記映像信号電圧を印加する直前の垂直同期信号を受信するタイミングより前から、当該タイミングより後までの期間に、前記駆動トランジスタの閾値電圧を補償するための補償電圧を複数回の補償電圧印加期間に分けて前記駆動トランジスタのゲート端子に印加した状態とするゲート駆動回路と、

前記ゲート駆動回路を制御する制御回路とを備え、

前記映像信号電圧は、前記タイミングを基準として決定された映像信号印加タイミングで印加され、

前記補償電圧は、前記タイミングで受信された垂直同期信号の直前の垂直同期信号を受信した時点を基準として決定された補償電圧印加タイミングで印加され、

前記閾値電圧の補償は、駆動トランジスタの前記ゲート端子とソース端子との間の電圧を、前記閾値電圧に近づけることであり、前記補償電圧を印加していない期間においても進行し、

前記制御回路は、前記タイミングに基づいて、前記複数回の補償電圧印加期間のうち、前記映像信号電圧を印加する直前の補償電圧印加期間の長さを調整する

10

20

表示装置。

【請求項 2】

前記制御回路は、前記映像信号電圧を印加する直前の二つの垂直同期信号の間隔が短いほど、前記直前の補償電圧印加期間の長さを長くする

請求項 1 に記載の表示装置。

【請求項 3】

各々が E L 素子及び前記 E L 素子に流れる電流を制御する駆動トランジスタを備える複数の画素と、映像信号電圧を前記複数の画素に印加するための複数のデータ線とを備える表示装置の制御方法であって、

前記複数の画素の各々に対して、前記映像信号電圧を印加する期間以外の期間であって、前記映像信号電圧を印加する直前の垂直同期信号を受信するタイミングより前から、当該タイミングより後までの期間に、前記駆動トランジスタの閾値電圧を補償するための補償電圧を複数回の補償電圧印加期間に分けて前記駆動トランジスタのゲート端子に印加した状態とし、

前記映像信号電圧は、前記タイミングを基準として決定された映像信号印加タイミングで印加され、

前記補償電圧は、前記タイミングで受信された垂直同期信号の直前の垂直同期信号を受信した時点を経験として決定された補償電圧印加タイミングで印加され、

前記閾値電圧の補償は、駆動トランジスタの前記ゲート端子とソース端子との間の電圧を、前記閾値電圧に近づけることであり、前記補償電圧を印加していない期間においても進行し、

前記タイミングに基づいて、前記複数回の補償電圧印加期間のうち、前記映像信号電圧を印加する直前の補償電圧印加期間の長さを調整する

表示装置の制御方法。

【請求項 4】

前記映像信号電圧を印加する直前の二つの垂直同期信号の間隔が短いほど、前記直前の補償電圧印加期間の長さを長くする

請求項 3 に記載の表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置に関し、特に、各々が E L (E l e c t r o L u m i n e s c e n c e) 素子及び当該 E L 素子に流れる電流を制御する駆動トランジスタを備える複数の画素を備える表示装置及び当該表示装置の制御方法に関する。

【背景技術】

【0002】

近年、液晶表示装置に代わる次世代のフラットパネルディスプレイの一つとして、有機 E L を利用した表示装置が注目されている。有機 E L を利用した表示装置等のアクティブマトリクス方式の表示装置には、表示装置の各画素において駆動トランジスタとして薄膜トランジスタ (T F T : T h i n F i l m T r a n s i s t o r) が用いられる。

【0003】

T F T を用いた駆動トランジスタでは、通電時のゲート - ソース間電圧などの電圧ストレスにより、閾値電圧がシフトする。また、閾値電圧のシフト量は、表示装置を構成する画素毎に異なる。そして、閾値電圧のシフトは、有機 E L 素子への供給電流量変動の原因となるため、表示装置の輝度制御に影響し、表示品質を悪化させてしまうという問題が生じ得る。

【0004】

駆動トランジスタの閾値電圧を補償するために、駆動トランジスタに映像信号電圧を印加する期間以外の期間に、閾値電圧を補償するための補償電圧を駆動トランジスタに印加する技術が知られている (例えば、特許文献 1) 。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-47818号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に開示された表示装置においては、補償電圧を複数回にわたって印加することによって、閾値電圧の補償をより確実にしようとしている。

【0007】

10

しかしながら、特許文献1に開示された閾値電圧補償方法では、閾値電圧の補償は、補償電圧を印加していない期間においても進行するため、補償電圧を印加していない期間の長さに応じて閾値電圧の補償の程度が変動する。つまり、駆動トランジスタに補償電圧を印加してから映像信号電圧を印加するまでの期間の長さに応じて補償の程度が変動するため、表示装置の輝度が閾値電圧の補償の程度に応じて変動し得る。

【0008】

本開示は、上記の課題に鑑みてなされたものであり、駆動トランジスタにおける閾値電圧の補償の程度が変動することを抑制できる表示装置及び表示装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

20

【0009】

上記目的を達成するために、本開示の一態様に係る表示装置は、各々がEL素子及び前記EL素子に流れる電流を制御する駆動トランジスタを備える複数の画素と、前記複数の画素の各々に対して、映像信号電圧を印加する期間以外の期間に、前記駆動トランジスタの閾値電圧を補償するための補償電圧を複数回の補償電圧印加期間に分けて印加するゲート駆動回路と、前記ゲート駆動回路を制御する制御回路とを備え、前記制御回路は、前記複数の補償電圧印加期間のうち、映像信号電圧を印加する直前の補償電圧印加期間の長さを調整する。

【0010】

また、上記目的を達成するために、本開示の一態様に係る表示装置の制御方法は、各々がEL素子及び前記EL素子に流れる電流を制御する駆動トランジスタを備える複数の画素を備える表示装置の制御方法であって、前記複数の画素の各々に対して、映像信号電圧を印加する期間以外の期間に、前記駆動トランジスタの閾値電圧を補償するための補償電圧を複数回の補償電圧印加期間に分けて印加し、前記複数の補償電圧印加期間のうち、映像信号電圧を印加する直前の補償電圧印加期間の長さを調整する。

30

【発明の効果】

【0011】

本開示によれば、駆動トランジスタにおける閾値電圧の補償の程度が変動することを抑制できる表示装置及び表示装置の制御方法を提供することができる。

【図面の簡単な説明】

40

【0012】

【図1】図1は、実施の形態に係る表示装置の全体構成を示す機能ブロック図である。

【図2】図2は、実施の形態に係る画素の回路構成の一例を示す回路図である。

【図3】図3は、実施の形態に係る表示装置の動作の概要を示すタイミングチャートである。

【図4】図4は、実施の形態に係るデータ線に印加される電圧と走査線に入力される信号との関係を示すタイミングチャートである。

【図5】図5は、実施の形態に係る表示装置の制御方法を示すフローチャートである。

【図6】図6は、実施の形態に係る表示装置の補償動作を示す図である。

【図7】図7は、比較例に係る表示装置の補償動作を示す図である。

50

【図 8】図 8 は、実施の形態に係る表示装置を内蔵した薄型フラット T V の外観図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、本開示の実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

10

【 0 0 1 4 】

なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【 0 0 1 5 】

(実施の形態)

[表示装置の全体構成]

まず、本実施の形態に係る表示装置の全体構成について図面を用いて説明する。

【 0 0 1 6 】

図 1 は、本実施の形態に係る表示装置 1 の全体構成を示す機能ブロック図である。

20

【 0 0 1 7 】

本実施の形態に係る表示装置 1 は、表示部 2 と、電源部 3 と、データ線駆動回路 4 0 と、ゲート駆動回路 5 0 と、制御回路 6 0 とを備える。

【 0 0 1 8 】

表示部 2 は、各々が有機 E L 素子及び当該有機 E L 素子を発光駆動するための回路素子を備える複数の画素 2 0 が行列状に配置された表示パネルである。

【 0 0 1 9 】

電源部 3 は、表示部 2 の外周領域に配置された給電線 3 0 から各画素 2 0 に電源電圧を給電する。なお、給電線 3 0 は、正電源電圧を伝達する正電圧給電線と、当該正電源電圧よりも低電位である負電源電圧を伝達する負電圧給電線とを備える。

30

【 0 0 2 0 】

制御回路 6 0 は、データ線駆動回路 4 0 とゲート駆動回路 5 0 とを制御する回路である。制御回路 6 0 は、外部から入力された映像信号に基づいて各有機 E L 素子の発光輝度に対応する階調信号を生成し、生成した階調信号をデータ線駆動回路 4 0 へ出力する。本実施の形態では、制御回路 6 0 は、各画素 2 0 が備える駆動トランジスタの閾値電圧を補償するための補償電圧の大きさに係る信号をデータ線駆動回路 4 0 へ出力する。

【 0 0 2 1 】

また、制御回路 6 0 は、入力される同期信号に基づいてゲート駆動回路 5 0 を制御するための制御信号を生成し、当該生成した制御信号をゲート駆動回路 5 0 へ出力する。本実施の形態では、制御回路 6 0 は、各画素 2 0 が備える駆動トランジスタの閾値電圧を補償するための補償電圧を印加するタイミング及び期間を制御するための信号をゲート駆動回路 5 0 へ出力する。制御回路 6 0 は、具体的には、C P U 及びタイミングコントローラを備える。制御回路 6 0 では、入力された同期信号に基づいて、C P U がタイミングコントローラを制御することにより、タイミングコントローラからデータ線駆動回路 4 0 及びゲート駆動回路 5 0 へ制御信号を出力する。制御回路 6 0 の動作の詳細については後で詳述する。

40

【 0 0 2 2 】

データ線駆動回路 4 0 は、制御回路 6 0 で生成された階調信号に基づいて、表示部 2 のデータ線を駆動する。より具体的には、データ線駆動回路 4 0 は、映像信号及び水平同期信号に基づいて、各画素回路に映像信号を反映した映像信号電圧（データ電圧）を出力す

50

る。本実施の形態では、データ線駆動回路40は、各画素20が備える駆動トランジスタの閾値電圧を補償するための補償電圧も出力する。

【0023】

ゲート駆動回路50は、制御回路60で生成された制御信号に基づいて、表示部2の走査線などを駆動する。より具体的には、ゲート駆動回路50は、垂直同期信号及び水平同期信号に基づいて、各画素回路に走査信号などを、少なくとも表示ライン単位で出力する。本実施の形態では、ゲート駆動回路50は、走査線を駆動することにより、複数の画素20の各々に対して、映像信号電圧を印加する期間以外の期間に、画素20が備える駆動トランジスタの閾値電圧を補償するための補償電圧を複数の補償電圧印加期間に分けて印加する。ゲート駆動回路50の動作の詳細については後で詳述する。

10

【0024】

[画素の構成]

続いて、本実施の形態に係る表示装置1の画素20について図面を用いて説明する。

【0025】

図2は、本実施の形態に係る画素20の回路構成の一例を示す回路図である。

【0026】

図2に示されるように、画素20は、走査線SCN、データ線DATA、初期化制御線INI、選択トランジスタ21、駆動トランジスタ22、保持容量素子23、初期化トランジスタ24及び有機EL素子25を備える。

【0027】

走査線SCNは、ゲート駆動回路50と、選択トランジスタ21のゲート端子とに接続されている。走査線SCNには、ゲート駆動回路50から選択トランジスタ21の導通及び非導通を制御するための信号が入力される。

20

【0028】

データ線DATAは、データ線駆動回路40と、選択トランジスタ21のソース端子とに接続されている。データ線DATAには、データ線駆動回路40から輝度信号である映像信号電圧と、駆動トランジスタ22の閾値電圧を補償するための補償電圧とが印加される。

【0029】

初期化制御線INIは、ゲート駆動回路50と、初期化トランジスタ24のゲート端子とに接続されている。初期化制御線INIには、ゲート駆動回路50から初期化トランジスタ24の導通及び非導通を制御するための信号が入力される。

30

【0030】

選択トランジスタ21は、ゲート端子が走査線SCNに接続されており、データ線DATAの映像信号電圧及び補償電圧を駆動トランジスタ22のゲート端子に供給するタイミングを制御する。本実施の形態では、選択トランジスタ21はTFTからなる。選択トランジスタ21のソース端子は、ノードN1においてデータ線DATAと接続されており、選択トランジスタ21のドレイン端子は、ノードN2において、駆動トランジスタ22のゲート端子及び保持容量素子23の一方の電極に接続されている。

【0031】

駆動トランジスタ22は、有機EL素子25に流れる電流を制御するトランジスタである。本実施の形態では、駆動トランジスタ22はTFTからなる。駆動トランジスタ22は、ゲート端子が選択トランジスタ21を介してデータ線DATAにノードN1において接続され、ソース端子が有機EL素子25のアノード端子(つまり、ノードN3)に接続され、ドレイン端子がアノード電源線Vccに接続されている。これにより、駆動トランジスタ22は、ゲート端子に供給された映像信号電圧を、当該映像信号電圧に対応した信号電流に変換し、変換された信号電流を有機EL素子25に供給する。

40

【0032】

有機EL素子25は、発光素子として機能する。有機EL素子25のカソード端子は、カソード電源線Vcatに接続されている。有機EL素子25のアノード端子は、ノード

50

N 3 において駆動トランジスタ 2 2 のソース端子と、保持容量素子 2 3 の他方の電極と、初期化トランジスタ 2 4 のソース端子及びドレイン端子の一方の端子とに接続されている。

【 0 0 3 3 】

初期化トランジスタ 2 4 は、ノード N 3 と初期化電源線 V i n i との導通及び非導通を切り替えるスイッチ素子である。本実施の形態では、初期化トランジスタ 2 4 は T F T となる。初期化トランジスタ 2 4 のゲート端子は、初期化制御線 I N I に接続され、ソース端子及びドレイン端子の一方は、ノード N 3 に、他方は、初期化電源線 V i n i に接続される。

【 0 0 3 4 】

10

保持容量素子 2 3 は、ゲート電圧を維持するための容量素子である。保持容量素子 2 3 の一方の電極がノード N 2 に、他方の電極がノード N 3 に接続されている。保持容量素子 2 3 は、例えば、選択トランジスタ 2 1 がオフ状態となった後も、オフ状態となる直前における駆動トランジスタ 2 2 のゲート電圧を維持し、継続して駆動トランジスタ 2 2 から有機 E L 素子 2 5 へ駆動電流を供給させることが可能である。

【 0 0 3 5 】

なお、図 1 及び図 2 には記載されていないが、アノード電源線 V c c 、初期化電源線 V i n i 及びカソード電源線 V c a t は、それぞれ電源部 3 に接続され、電圧が印加される。

【 0 0 3 6 】

20

データ線駆動回路 4 0 から供給されたデータ電圧は、選択トランジスタ 2 1 を介して駆動トランジスタ 2 2 のゲート端子へと印加される。駆動トランジスタ 2 2 は、当該データ電圧に応じた電流を、ソース - ドレイン端子間に流す。この電流が、有機 E L 素子 2 5 へと流れることにより、当該電流に応じた発光輝度で、有機 E L 素子 2 5 が発光する。

【 0 0 3 7 】

なお、図 2 に示される画素 2 0 の回路構成において、各回路素子を接続する経路の間に別の回路素子及び配線などが挿入されていてもよい。

【 0 0 3 8 】

[表示装置の動作]

続いて、本実施の形態に係る表示装置 1 の動作の概要について図面を用いて説明する。

30

【 0 0 3 9 】

図 3 は、本実施の形態に係る表示装置 1 の動作の概要を示すタイミングチャートである。図 3 には、制御回路 6 0 に入力される垂直同期信号 (V s y n c) 、映像信号及び水平同期信号のタイミングチャート、初期化制御線 I N I に入力される信号、並びに、n 行目の走査線 S C N に入力される信号が示されている。また図 3 には、画素電圧の波形の概要も合わせて示されている。ここで、画素電圧とは、駆動トランジスタ 2 2 のゲート端子とソース端子との間に印加される電圧である。

【 0 0 4 0 】

図 1 に示されるように、制御回路 6 0 は、垂直同期信号及び水平同期信号を含む映像信号を受信する。制御回路 6 0 は映像信号に基づいて、ゲート駆動回路 5 0 及びデータ線駆動回路 4 0 の各々に制御信号を入力する。

40

【 0 0 4 1 】

制御回路 6 0 には、行列状に配置された複数の画素 2 0 の行数に対応する個数の水平同期信号が入力され、制御回路 6 0 は、当該水平同期信号などに基づいてゲート駆動回路 5 0 に制御信号を出力する。そして、制御回路 6 0 から入力される制御信号に基づいて、ゲート駆動回路 5 0 から走査線 S C N に信号が入力される。これにより、例えば、表示部 2 の n 行目に配置された画素 2 0 には、n 行目に対応する水平同期信号に続いて、走査線 S C N から H I G H レベルの信号が n 行目の画素 2 0 における選択トランジスタ 2 1 のゲート端子に入力される。これにより、選択トランジスタ 2 1 のドレイン端子とソース端子との間が導通する。このとき、データ線 D A T A には、映像データに対応する映像信号電圧

50

が入力されているため、駆動トランジスタ 22 のゲート端子に、映像信号電圧に対応する電圧が印加される。これにより、n 行目の画素 20 の有機 EL 素子 25 が映像データに対応する輝度で発光する。同様に、水平同期信号の間隔に対応する水平走査周期 1 H 毎に、各行の画素 20 に映像データに対応する映像信号電圧が印加される。

【0042】

本実施の形態では、図 3 に示されるように、映像データに対応する映像信号電圧を画素 20 の駆動トランジスタ 22 に印加するまでに、駆動トランジスタ 22 の閾値電圧を補償するための補償動作を行う。つまり、映像信号電圧を駆動トランジスタ 22 に印加する直前において、駆動トランジスタ 22 のゲート端子とソース端子との間に、駆動トランジスタ 22 の閾値電圧と略等しい電圧が印加される。これにより、駆動トランジスタ 22 の閾値電圧の変動（シフト）、及び、画素 20 間における駆動トランジスタ 22 の閾値電圧の差に起因する表示装置 1 における表示品質の劣化を抑制する。

10

【0043】

具体的には、ゲート駆動回路 50 は、複数の画素 20 の各々に対して、映像信号電圧を印加する期間以外の期間に、駆動トランジスタ 22 の閾値電圧を補償するための補償電圧を複数回の補償電圧印加期間に分けて印加する。本実施の形態では、図 3 に示されるように、映像データが画素 20 に入力される前に、データ線駆動回路 40 がデータ線 DATA に補償電圧に対応する電圧を印加する。また、補償電圧印加期間において、ゲート駆動回路 50 が走査線 SCN に HIGH レベルの信号を入力する。これにより、駆動トランジスタ 22 のゲート端子に、補償電圧印加期間において、補償電圧が印加される。

20

【0044】

本実施の形態では、上述のとおりデータ線 DATA を用いて駆動トランジスタ 22 のゲート端子に補償電圧を印加している。データ線 DATA を用いて補償電圧を印加する構成について図面を用いて説明する。

【0045】

図 4 は、本実施の形態に係るデータ線 DATA に印加される電圧と走査線 SCN に入力される信号との関係を示すタイミングチャートである。

【0046】

図 4 に示されるように、データ線 DATA において、水平走査周期内に補償電圧が印加される期間と、映像信号電圧が印加される期間とが含まれる。補償動作が行われる画素行の走査線 SCN においては、補償電圧印加期間を形成するための信号パルスが入力される。また、映像信号電圧が印加される画素行においては、補償電圧印加期間用の信号パルスと、映像信号電圧印加用の信号パルスとが水平走査周期内に入力される。例えば、図 4 の 2 行目の画素行に、補償電圧印加用の信号パルスだけが入力されている水平走査周期 H1 においては、1 行目の画素行に補償電圧印加用の信号パルスと映像信号電圧印加用の信号パルスが印加される。このため、この水平走査周期 H1 においては、データ線 DATA に補償電圧が印加される期間と、1 行目の画素行に印加するための映像信号電圧が印加される期間とが含まれる。

30

【0047】

同様に、図 4 に示される水平走査周期 H2 においては、2 行目の画素行において映像信号電圧印加用の信号パルスが印加され、水平走査周期 H3 においては、3 行目の画素行において映像信号電圧印加用の信号パルスが印加される。

40

【0048】

このように、各水平走査周期において、データ線 DATA には、補償電圧及び映像信号電圧が順次印加される。このため、図 3 に示される n 行目以外の行にデータ線 DATA を用いて映像信号電圧を印加している期間には、データ線 DATA に補償電圧を印加できない。そこで、図 4 に示されるように、水平走査周期のうち、データ線 DATA に映像信号電圧を印加しない期間に、補償電圧を印加している。このため、本実施の形態では、補償電圧は、複数回の補償電圧印加期間に分けて印加されている。

【0049】

50

本実施の形態において、図3に示されるように、補償動作開始前に、 n 行目の初期化制御線INIにHIGHレベルの信号を入力する。これにより、初期化トランジスタ24のソース端子とドレイン端子との間が導通し、ノードN3に初期化電源線Viniの電圧が印加される。初期化電源線Viniの電圧は、例えば -2 V に設定される。

【0050】

以上のように、ノードN3、すなわち、駆動トランジスタ22のソース端子に初期化電源線Viniの電圧が印加された状態で、駆動トランジスタ22のゲート端子に補償電圧が印加される。補償電圧は、例えば $+4\text{ V}$ に設定される。これにより、図3に示される最初の補償電圧印加期間T1の開始時において、駆動トランジスタ22のゲート端子(ノードN2)とソース端子(ノードN3)との間に 6 V の電圧が印加される。つまり、図3に示される画素電圧が 6 V になる。なお、駆動トランジスタ22の閾値電圧は、例えば 2 V 程度と仮定する。

10

【0051】

ここで、アノード電源線Vccには、例えば 1.5 V 程度の正電圧が印加されており、カソード電源線Vcatには、例えば 0 V の電圧が印加されている(すなわち、接地されている)。このため、最初の補償電圧印加期間T1において、駆動トランジスタ22のゲート端子とソース端子との間に閾値電圧より高い 6 V の電圧が印加されることにより、駆動トランジスタ22のドレイン端子からソース端子に電流が流れる。これにより、有機EL素子25の寄生容量が充電され、駆動トランジスタ22のソース端子(ノードN3)の電位が上昇する。このため、図3に示されるように、最初の補償電圧印加期間T1において、駆動トランジスタ22のゲート端子とソース端子との間の電圧、すなわち、画素電圧が低下する。

20

【0052】

続いて、ゲート駆動回路50から走査線SCNへ入力される信号のレベルがHIGHレベルからLOWレベルに切り替えられることにより、最初の補償電圧印加期間T1が終了すると、画素電圧の低下は、緩やかになる。つまり、最初の補償電圧印加期間T1から次の補償電圧印加期間T2までの期間T0においては、図3に示されるように、最初の補償電圧印加期間T1より緩やかに画素電圧が低下する。

【0053】

続いて、再度、ゲート駆動回路50から走査線SCNへ入力される信号のレベルがLOWレベルからHIGHレベルに切り替えられる。これにより、二番目の補償電圧印加期間T2が開始されると、駆動トランジスタ22のゲート端子には、再度、 $+4\text{ V}$ の補償電圧が印加される。また、二番目以降の補償電圧印加期間においては、初期化トランジスタ24は、導通されない。このため、駆動トランジスタ22のソース端子の電位は、 -2 V より高い。したがって、二番目の補償電圧印加期間T2の開始時における画素電圧は、最初の補償電圧印加期間T1の開始時における画素電圧(6 V)より低いため、駆動トランジスタ22のドレイン端子からソース端子に流れる電流は、最初の補償電圧印加期間T1より小さい。また、画素電圧の低下も、最初の補償電圧印加期間T1より二番目の補償電圧印加期間T2の方が緩やかになる。図3に示されるように、二番目の補償電圧印加期間T2以降においても画素電圧は同様に低下し、閾値電圧に漸近する。

30

40

【0054】

上記補償動作において、図3に示されるゲート駆動回路50が垂直同期信号V1を受信した時点から、補償動作を開始する時点までの時間Tdcを適切に定めることにより、一連の補償動作における所定の回数の補償電圧印加期間を得ている。ここで一連の補償動作とは、駆動トランジスタ22のゲート端子に映像信号電圧を印加する毎に行われる補償動作を意味する。つまり、一連の補償動作における補償電圧印加期間の回数とは、垂直同期信号の時間間隔当たりの補償電圧印加期間の回数を意味する。本実施の形態では、補償電圧印加期間の回数は、例えば20回から30回程度である。なお、図3では、補償電圧印加期間の回数を実際より少なく示すことによって、タイミングチャートが簡略化されている。

50

【 0 0 5 5 】

一方、映像信号電圧を駆動トランジスタ 2 2 のゲート端子に印加するタイミングは、ゲート駆動回路 5 0 が、垂直同期信号 V 1 に続く垂直同期信号 V 2 を受信した時点を経験して決定される。つまり、図 3 に示されるように、映像信号電圧は、ゲート駆動回路 5 0 が垂直同期信号 V 2 を受信してから時間 T d v 経過後に、駆動トランジスタ 2 2 のゲート端子に印加される。このように、補償動作を開始するタイミングを決定するための基準となる垂直同期信号 V 1 と、映像信号電圧を印加するタイミングを決定するための基準となる垂直同期信号 V 2 とは異なる。また、ゲート駆動回路 5 0 が垂直同期信号を受信する間隔は、一定ではない。具体的には、ゲート駆動回路 5 0 が垂直同期信号を受信する間隔は、代表的な間隔 T v s (つまり、平均的な間隔) から、水平走査周期 1 H 程度変動し得る。したがって、補償動作開始時から映像信号電圧印加時までの時間は、水平走査周期 1 H 程度変動し得る。

10

【 0 0 5 6 】

ここで、補償動作開始時から映像信号電圧印加時までの時間が変動する場合であっても、補償電圧印加期間の回数が一定となるように補償動作を行うことで、閾値電圧の補償の程度を一定にし得るようにも推測され得る。しかしながら、上述したように、補償動作においては、補償電圧を印加していない期間においても(図 3 の期間 T 0 など参照)、画素電圧は低下するため、補償動作開始時から映像信号電圧印加時までの時間の変動に応じて、閾値電圧の補償の程度が変動する。

【 0 0 5 7 】

20

そこで、本実施の形態では、制御回路 6 0 は、複数回の補償電圧印加期間のうち、映像信号電圧を印加する直前の補償電圧印加期間 T e を調整する。これにより、補償動作開始時から映像信号電圧印加時までの時間が変動することに起因して、閾値電圧の補償の程度が変動することを抑制する。以下、映像信号電圧を印加する直前の補償電圧印加期間 T e の調整方法について、図面を用いて説明する。

【 0 0 5 8 】

図 5 は、本実施の形態に係る表示装置 1 の制御方法を示すフローチャートである。

【 0 0 5 9 】

図 6 は、本実施の形態に係る表示装置 1 の補償動作を示す図である。図 6 には、垂直同期信号の三つのタイミング例にそれぞれ対応した補償動作の三つのタイミングチャート (a)、(b) 及び (c) が示されている。また図 6 には、垂直同期信号の三つのタイミング例にそれぞれ対応した画素電圧の三つの波形の概要も合わせて示されている。

30

【 0 0 6 0 】

本実施の形態に係る表示装置 1 では、図 5 に示されるように、まず、制御回路 6 0 が、垂直同期信号の受信の有無を判断する (S 1 0)。制御回路 6 0 は、垂直同期信号を受信していない場合 (S 1 0 で N o)、垂直同期信号を受信するまで、ステップ S 1 0 を繰り返す。

【 0 0 6 1 】

制御回路 6 0 は、図 6 に示される垂直同期信号 V 1 を受信した場合 (S 1 0 で Y e s)、垂直同期信号を受信した時点から所定の時間 T d c が経過した後、ゲート駆動回路 5 0 へ制御信号を出力することにより、補償動作を開始する (S 1 2)。つまり、ゲート駆動回路 5 0 は、制御回路 6 0 からの制御信号に基づいて、複数の画素 2 0 の各々に対して、映像信号電圧を印加する期間以外の期間に、駆動トランジスタ 2 2 の閾値電圧を補償するための補償電圧を複数回の補償電圧印加期間に分けて印加する。

40

【 0 0 6 2 】

具体的には、ゲート駆動回路 5 0 は初期化制御線 I N I に H I G H レベルの信号を入力することにより、初期化トランジスタ 2 4 のドレイン端子とソース端子との間を導通させ、駆動トランジスタ 2 2 のソース端子に、初期化電源線 V i n i の電圧を印加する。また、データ線 D A T A に補償電圧を印加した状態で、走査線 S C N に H I G H レベルの信号を入力することにより、選択トランジスタ 2 1 のドレイン端子とソース端子との間を導通

50

させ、駆動トランジスタ 22 のゲート端子に補償電圧を印加する。ゲート駆動回路 50 は、所定の補償電圧印加期間にわたって駆動トランジスタ 22 のゲート端子に補償電圧を印加することを所定の回数だけ繰り返す。これにより、図 6 に示されるように、画素電圧を駆動トランジスタ 22 の閾値電圧に漸近させることができる。

【 0 0 6 3 】

制御回路 60 は、上記補償動作を開始した後、垂直同期信号の受信の有無を判断する (S 1 4)。制御回路 60 は、垂直同期信号を受信していない場合 (S 1 4 で N o)、垂直同期信号を受信するまで、ステップ S 1 4 を繰り返す。

【 0 0 6 4 】

制御回路 60 は、図 6 に示される垂直同期信号 V 2 a、V 2 b 又は V 2 c を受信した場合 (S 1 4 で Y e s)、映像信号電圧を印加する直前の補償電圧印加期間の長さを調整する (S 1 6)。

10

【 0 0 6 5 】

例えば、図 6 に示される垂直同期信号 V 2 a が受信される場合について説明する。この場合は、垂直同期信号 V 1 と、垂直同期信号 V 1 に続いて受信される垂直同期信号 V 2 a との間隔が、代表的 (平均的) な間隔 T v s より水平走査周期 1 H だけ短い。つまり、垂直同期信号 V 2 a は、代表的なタイミングで受信される垂直同期信号の例である垂直同期信号 V 2 b より、水平走査周期 1 H だけ先行して受信される。この場合、図 6 のタイミングチャート (a) に示されるように、補償動作全体の期間が、垂直同期信号 V 2 b が受信される場合より短い。このため、補償電圧印加期間の長さの調整を行わないと仮定すると、垂直同期信号 V 2 b が受信される場合より閾値電圧の補償の程度は小さくなる。

20

【 0 0 6 6 】

そこで、この場合には、映像信号電圧が駆動トランジスタ 22 のゲート端子に印加される直前の補償電圧印加期間 T e a を、垂直同期信号 V 2 b が受信される場合の補償電圧印加期間 T e b より長くなるように調整する。補償電圧印加期間においては、補償電圧を印加しない期間より、画素電圧の単位時間当たりの低下率が大きいいため、補償電圧印加期間を長くすることにより、閾値電圧の補償の程度を増大できる。これにより、垂直同期信号 V 2 a が受信される場合における閾値電圧の補償の程度と、垂直同期信号 V 2 b が受信される場合における閾値電圧の補償の程度との差を低減している。

【 0 0 6 7 】

30

一方、図 6 に示される垂直同期信号 V 2 c が受信される場合には、垂直同期信号 V 1 と、垂直同期信号 V 1 に続いて受信される垂直同期信号 V 2 c との間隔が、代表的な間隔 T v s より水平走査周期 1 H だけ長い。つまり、垂直同期信号 V 2 c は、代表的なタイミングで受信される垂直同期信号の例である垂直同期信号 V 2 b より、水平走査周期 1 H だけ遅れて受信される。この場合、図 6 のタイミングチャート (c) に示されるように、補償動作全体の期間が、垂直同期信号 V 2 b が受信される場合より長い。このため、補償電圧印加期間の長さの調整を行わないと仮定すると、垂直同期信号 V 2 b が受信される場合より閾値電圧の補償の程度は大きくなる。

【 0 0 6 8 】

40

そこで、この場合には、映像信号電圧が駆動トランジスタ 22 のゲート端子に印加される直前の補償電圧印加期間を、垂直同期信号 V 2 b が受信される場合の補償電圧印加期間 T e b より短くなるように調整する。本実施の形態では、当該直前の補償電圧印加期間をゼロとしている。このように、本実施の形態では、当該直前の補償電圧印加期間をゼロとすること、すなわち、補償電圧印加期間の回数を減少させることも、直前の補償電圧印加期間を短くする一態様に含む。補償電圧印加期間においては、補償電圧を印加しない期間より、画素電圧の単位時間当たりの低下率が大きいいため、補償電圧印加期間を短くすることにより、閾値電圧の補償の程度を低減できる。これにより、垂直同期信号 V 2 c が受信される場合における閾値電圧の補償の程度と、垂直同期信号 V 2 b が受信される場合における閾値電圧の補償の程度との差を低減している。

【 0 0 6 9 】

50

以上のように、本実施の形態に係る表示装置 1 では、映像信号電圧が駆動トランジスタ 22 のゲート端子に印加される直前の補償電圧印加期間の長さを調整する。より具体的には、制御回路 60 は、垂直同期信号のタイミングに基づいて、当該直前の補償電圧印加期間の長さを調整する。本実施の形態では、制御回路 60 は、映像信号電圧を印加する直前の二つの垂直同期信号の間隔が短いほど、当該直前の補償電圧印加期間の長さを長くする。これにより、図 6 の画素電圧の波形に示すように、映像信号電圧を入力する際の画素電圧の変動、すなわち、閾値電圧の補償の程度の変動を抑制することができる。したがって、閾値電圧の補償の程度が変動することによる画素 20 の輝度の変動を抑制できる。

【0070】

なお、以上のように、ゲート駆動回路 50 によって、映像信号電圧が印加される直前の補償電圧印加期間だけを調整するための具体的な構成としては、ゲート駆動回路 50 に当該直前の補償電圧印加期間を生成するための信号パルス発生回路を備える構成を採用し得る。より具体的には、ゲート駆動回路 50 は、例えば、当該直前の補償電圧印加期間以外の補償電圧印加期間を生成するためのシフトレジスタに加えて、当該直前の補償電圧印加期間を生成するためのシフトレジスタを備える。これにより、該直前の補償電圧印加期間以外の補償電圧印加期間の長さを自由に調整できる。

【0071】

また、図 6 に示される例では、垂直同期信号 V2a が受信される場合と、垂直同期信号 V2b が受信される場合とで、映像信号電圧が印加される直前の補償電圧印加期間のタイミングを変化させている。つまり、垂直同期信号 V2b が受信される場合においては、垂直同期信号 V2a が受信される場合より、水平走査周期 1H だけ後に、映像信号電圧が印加される直前の補償電圧印加期間を設けている。しかしながら、本実施の形態に係る表示装置 1 の制御方法は、これに限定されない。例えば、垂直同期信号 V2a が受信される場合と、垂直同期信号 V2b が受信される場合とで、映像信号電圧が印加される直前の補償電圧印加期間のタイミングを変化させなくてもよい。

【0072】

以上のように、補償動作が行われた後、駆動トランジスタ 22 のゲート端子に映像信号電圧が印加される (S18)。これにより、有機 EL 素子 25 が、映像信号電圧に対応する輝度で発光する。本実施の形態では、図 3 の画素電圧のグラフに示されるように、垂直同期信号の間隔の変動に起因する、映像信号電圧印加後の画素電圧の変動が抑制されている。

【0073】

続いて、上記のステップ S12 に戻り、垂直同期信号 V2a、V2b 又は V2c の受信タイミングに基づいて、補償動作が開始される。本ステップ以降は、同様の動作が繰り返される。

【0074】

以上のように、本実施の形態に係る表示装置 1 の制御方法によれば、垂直同期信号の間隔の変動に起因して、閾値電圧の補償の程度が変動することを抑制できる。

【0075】

〔比較例〕

次に、本実施の形態に係る表示装置 1 の効果を説明するために、比較例に係る表示装置の動作について図面を用いて説明する。本比較例に係る表示装置は、制御方法において、上記実施の形態に係る表示装置 1 と相違し、その他の構成において一致する。

【0076】

図 7 は、比較例に係る表示装置の補償動作を示す図である。図 7 には、垂直同期信号の三つのタイミング例にそれぞれ対応した補償動作の三つのタイミングチャート (a)、(b) 及び (c) が示されている。また図 7 には、垂直同期信号の三つのタイミング例にそれぞれ対応した画素電圧の三つの波形 (a)、(b) 及び (c) の概要も合わせて示されている。

【0077】

図 7 に示される比較例の表示装置においては、垂直同期信号のタイミングに応じて映像信号電圧が駆動トランジスタのゲート端子に印加される直前の補償電圧印加期間 T_e が調整されない点において、実施の形態に係る表示装置 1 と相違する。さらに、比較例の表示装置においては、垂直同期信号のタイミングに応じて補償電圧印加期間の回数が、変動し得る。つまり、垂直同期信号 V_1 と、垂直同期信号 V_1 に続いて受信される垂直同期信号との間隔が、短くなると、補償電圧印加期間の回数が減少する。例えば、垂直同期信号 V_1 に続いて、垂直同期信号 V_2a が受信される場合には、図 7 のタイミングチャート (a) に示されるように、垂直同期信号 V_2b が受信される場合 (タイミングチャート (b) 参照) より、補償電圧印加期間の回数が 1 回少ない。逆に、垂直同期信号 V_1 に続いて、垂直同期信号 V_2c が受信される場合には、図 7 のタイミングチャート (c) に示されるように、垂直同期信号 V_2b が受信される場合 (タイミングチャート (b) 参照) より、補償電圧印加期間の回数が 1 回多い。

10

【0078】

このため、本比較例の表示装置においては、図 7 の画素電圧の時間波形 (a)、(b) 及び (c) に示されるように、映像信号電圧が印加される時点における画素電圧が、垂直同期信号の間隔に応じて変動する。つまり、駆動トランジスタの閾値電圧の補償の程度が、垂直同期信号の間隔に応じて変動する。これに伴い、有機 EL 素子の輝度が変動する。

【0079】

なお、本変形例においては、垂直同期信号の間隔の変動に応じて補償電圧印加期間の回数が変動する例を示したが、補償電圧印加期間の回数が変動しない場合においても、垂直同期信号の間隔の変動に応じて駆動トランジスタの閾値電圧の補償の程度は変動し得る。つまり、補償電圧印加期間の回数が変動しなくても、補償動作の全期間の長さが変動することにより、閾値電圧の補償の程度は変動し得る。これは、上述のとおり、補償電圧が印加されていない期間においても、補償動作の期間における画素電圧が低下することに起因する。

20

【0080】

以上のように、実施の形態に係る表示装置 1 の制御方法を用いない比較例の表示装置においては、図 7 の画素電圧の時間波形に示されるように、垂直同期信号の間隔の変動に起因して閾値電圧の補償の程度が変動し得る。これに対して、実施の形態に係る表示装置 1 では、垂直同期信号の間隔の変動に起因して、閾値電圧の補償の程度が変動することを抑制できる。

30

【0081】

[まとめ]

以上のように、本実施の形態に係る表示装置 1 は、各々が有機 EL 素子 25 及び有機 EL 素子 25 に流れる電流を制御する駆動トランジスタ 22 を備える複数の画素 20 を備える。また、表示装置 1 は、複数の画素 20 の各々に対して、映像信号電圧を印加する期間以外の期間に、駆動トランジスタ 22 の閾値電圧を補償するための補償電圧を複数回の補償電圧印加期間に分けて印加するゲート駆動回路 50 をさらに備える。また、表示装置 1 は、ゲート駆動回路 50 を制御する制御回路 60 をさらに備える。制御回路 60 は、複数回の補償電圧印加期間のうち、映像信号電圧を印加する直前の補償電圧印加期間の長さを調整する。

40

【0082】

このように、表示装置 1 では、映像信号電圧を印加する直前の補償電圧印加期間の長さを適切に調整することにより、補償動作における閾値電圧の補償の程度の変動を抑制することができる。

【0083】

また、表示装置 1 において、制御回路 60 は、垂直同期信号のタイミングに基づいて、上記直前の補償電圧印加期間の長さを調整する。

【0084】

これにより、垂直同期信号の間隔が変動した場合においても、当該垂直同期信号のタイ

50

ミングに基づいて、適切に上記直前の補償電圧印加期間の長さを調整することにより、補償動作における閾値電圧の補償の程度の変動を抑制することができる。

【0085】

また、表示装置1において、制御回路60は、映像信号電圧を印加する直前の二つの垂直同期信号の間隔が短いほど、上記直前の補償電圧印加期間を長くする。

【0086】

これにより、垂直同期信号の間隔の変動に起因する閾値電圧の補償の程度の変動を抑制することができる。

【0087】

また、表示装置1において、補償電圧は、映像信号電圧を複数の画素20に印加するための複数のデータ線DATAを介して複数の画素20に印加される。

10

【0088】

これにより、補償電圧を印加するための配線を追加することなく、複数の画素20に補償電圧を印加することができる。つまり、表示装置1の構成を複雑化することなく、複数の画素20に補償電圧を印加することができる。

【0089】

(他の実施の形態)

以上、本開示に係る表示装置及び表示装置の制御方法について、実施の形態に基づいて説明してきたが、本開示に係る表示装置及び表示装置の制御方法は、上記実施の形態に限定されるものではない。実施の形態における任意の構成要素を組み合わせ実現される別の実施の形態や、実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本実施の形態に係る表示装置を内蔵した各種機器も本発明に含まれる。

20

【0090】

例えば、上記実施の形態においては、映像信号電圧を印加する直前の一つの補償電圧印加期間だけを調整したが、調整対象は、一つの補償電圧印加期間だけでなくてもよい。二つ以上の補償電圧印加期間の長さを調整してもよい。

【0091】

また、上記実施の形態においては、補償電圧を、データ線DATAを介して各画素20に印加したが、他の経路を介して印加してもよい。

30

【0092】

また、上記実施の形態においては、映像信号電圧を印加する直前の補償電圧印加期間を他の補償電圧印加期間より短い期間に調整する構成を示したが、他の補償電圧印加期間より長い期間に調整する構成を採用してもよい。補償電圧印加期間をより短い期間に調整する場合には、補償電圧印加期間がゼロに近づくほど、調整が困難になり、調整の精度が低下するが、補償電圧印加期間をより長い期間に調整する場合には、調整が容易であり、調整の精度の低下も抑制できる。

【0093】

また、上記実施の形態においては、発光素子として、有機EL素子を用いる例を示したが、他の電流駆動型のEL素子を用いてもよい。

40

【0094】

また、上記実施の形態では、駆動トランジスタ22としてn型TFTを用いる構成を示したが、p型TFTを用いて、他の回路構成をそれに合わせて適宜変更してもよい。

【0095】

また、例えば、本実施の形態に係る表示装置1は、図8に示されるような薄型フラットTV100に内蔵される。本実施の形態に係る表示装置1により、輝度変動が抑制された表示品質の高い薄型フラットTVが実現される。

【産業上の利用可能性】

【0096】

本発明は、有機ELフラットパネルディスプレイに有用であり、高い表示品質色が要求

50

されるディスプレイとして用いるのに最適である。

【符号の説明】

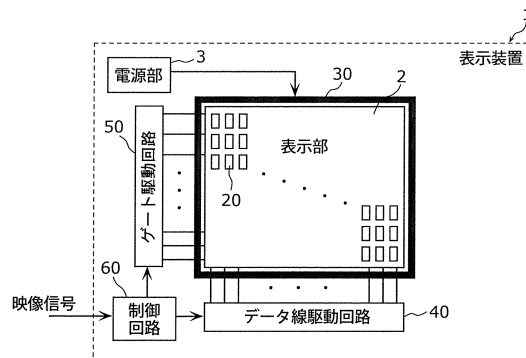
【 0 0 9 7 】

1	表示装置
2	表示部
3	電源部
20	画素
21	選択トランジスタ
22	駆動トランジスタ
23	保持容量素子
24	初期化トランジスタ
25	有機EL素子
30	給電線
40	データ線駆動回路
50	ゲート駆動回路
60	制御回路
DATA	データ線
INI	初期化制御線
SCN	走査線
Vini	初期化電源線
Vcat	カソード電源線
Vcc	アノード電源線

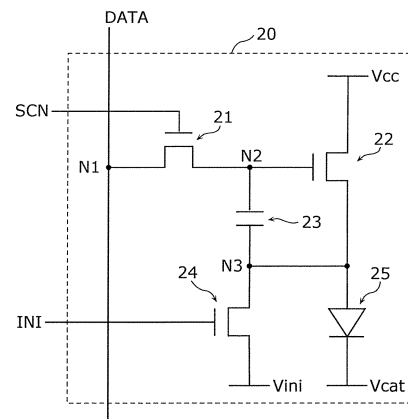
10

20

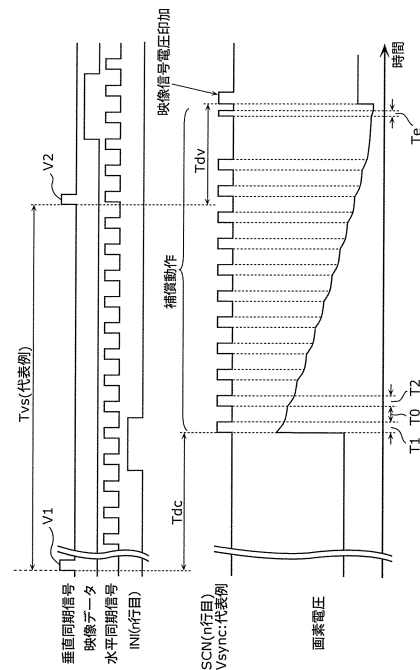
【図1】



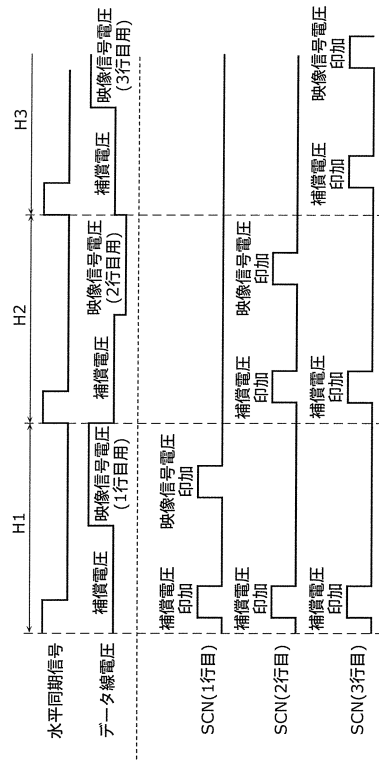
【図2】



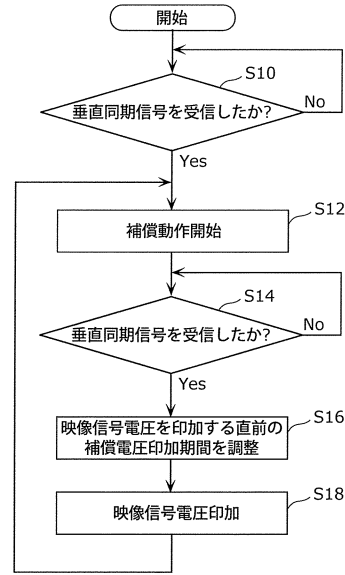
【図3】



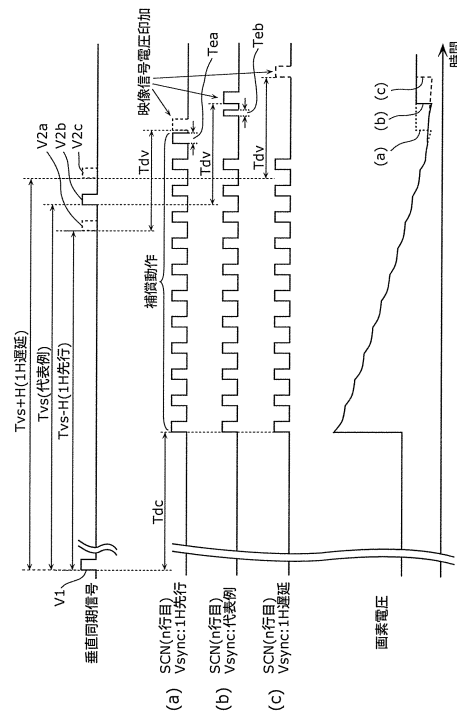
【図 4】



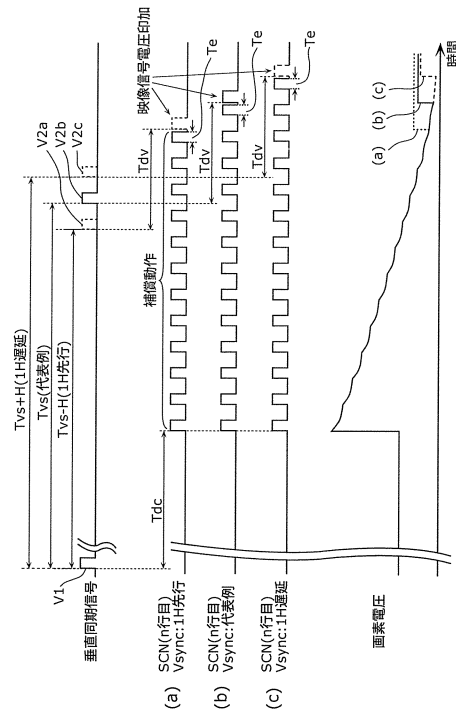
【図 5】



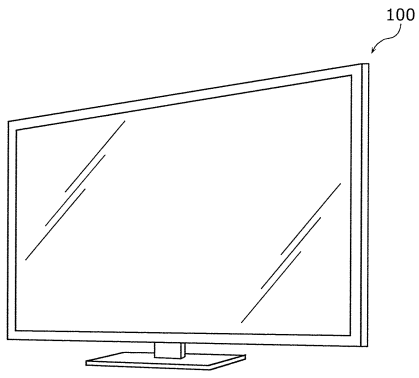
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 1 0 - 2 8 1 9 1 3 (J P , A)
米国特許出願公開第 2 0 1 4 / 0 0 5 5 4 3 4 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置及显示装置的控制方法		
公开(公告)号	JP6708417B2	公开(公告)日	2020-06-10
申请号	JP2016008238	申请日	2016-01-19
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司 株式会社日本显示器		
申请(专利权)人(译)	株式会社JOLED 有限公司日本显示器		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	前田智之		
发明人	前田 智之		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2310/0251 G09G2310/08 G09G3/2018		
FI分类号	G09G3/3233 G09G3/20.621.A G09G3/20.622.D G09G3/20.623.C G09G3/20.642.A H05B33/14.A G09G3/20.624.B G09G3/30.J G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA39 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC63 5C380/CD013 5C380/CE20 5C380/DA02		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	武田 悟		
其他公开文献	JP2017129682A		
外部链接	Espacenet		

摘要(译)

提供了一种显示装置,其包括多个像素,每个像素包括电致发光(EL)元件和控制流过EL元件的电流的驱动晶体管。该显示装置还包括栅极驱动器电路,该栅极驱动器电路在除其中的时段以外的时段中的每个补偿电压施加时段中,向多个像素中的每个像素施加用于补偿驱动晶体管的阈值电压的补偿电压。施加视频信号电压。该显示装置还包括控制电路,该控制电路控制栅极驱动器电路,其中,该控制电路在补偿电压施加时段中调整紧接在施加视频信号电压之前的先前补偿电压施加时段的长度。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6708417号 (P6708417)
(45) 発行日 令和2年6月10日 (2020. 6. 10)		(24) 登録日 令和2年5月25日 (2020. 5. 25)	
(51) Int. Cl. G09G 3/3233 (2016. 01) G09G 3/20 (2006. 01) H01L 51/50 (2006. 01)		FI G09G 3/3233 G09G 3/20 6 2 1 A G09G 3/20 6 2 2 D G09G 3/20 6 2 3 C G09G 3/20 6 4 2 A 請求項の数 4 (全 17 頁) 最終頁に続く	
(21) 出願番号 特願2016-8238 (P2016-8238) (22) 出願日 平成28年1月19日 (2016. 1. 19) (65) 公開番号 特開2017-129682 (P2017-129682A) (43) 公開日 平成29年7月27日 (2017. 7. 27) 審査請求日 平成30年8月7日 (2018. 8. 7)		(73) 特許権者 514188173 株式会社 J O L E D 東京都千代田区神田錦町三丁目2 3 番地 (74) 代理人 100189430 弁理士 吉川 修一 (74) 代理人 100190805 弁理士 橋本 正朗 (72) 発明者 前田 智之 東京都千代田区神田錦町三丁目2 3 番地 株式会社 J O L E D 内 審査官 武田 悟	
(54) 【発明の名称】 表示装置及び表示装置の制御方法		最終頁に続く	