

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6573753号  
(P6573753)

(45) 発行日 令和1年9月11日(2019.9.11)

(24) 登録日 令和1年8月23日(2019.8.23)

(51) Int.Cl.	F I
<b>G09G 3/3233 (2016.01)</b>	G09G 3/3233
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 Z
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 621J
<b>H05B 33/22 (2006.01)</b>	G09G 3/20 670A

請求項の数 31 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2014-103548 (P2014-103548)	(73) 特許権者 512187343 三星ディスプレイ株式会社 Samsung Display Co., Ltd. 大韓民国京畿道龍仁市器興区三星路1
(22) 出願日 平成26年5月19日(2014.5.19)	
(65) 公開番号 特開2014-228867 (P2014-228867A)	
(43) 公開日 平成26年12月8日(2014.12.8)	
審査請求日 平成29年5月18日(2017.5.18)	
(31) 優先権主張番号 10-2013-0057959	(74) 代理人 110002619 特許業務法人PORT
(32) 優先日 平成25年5月22日(2013.5.22)	
(33) 優先権主張国・地域又は機関 韓国(KR)	(74) 代理人 100070024 弁理士 松永 宣行
(31) 優先権主張番号 10-2013-0068638	(74) 代理人 100159042 弁理士 辻 徹二
(32) 優先日 平成25年6月14日(2013.6.14)	
(33) 優先権主張国・地域又は機関 韓国(KR)	(72) 発明者 ▲曹▼ 永 振 大韓民国京畿道龍仁市器興区三星二路95 三星ディスプレイ株式会社内

最終頁に続く

(54) 【発明の名称】 有機発光表示装置及びそのリペア方法

(57) 【特許請求の範囲】

【請求項1】

表示領域に配置された複数の発光画素、前記表示領域以外に位置する非表示領域に配置された少なくとも一つのダミー画素、および前記表示領域と前記非表示領域に亘って設けられるリペア線を備え、

前記複数の発光画素はそれぞれ、

発光素子と、

前記発光素子に駆動電流を供給する発光画素回路を有し、

前記ダミー画素は、前記発光素子に駆動電流を供給するダミー画素回路を有し、

前記リペア線は、前記発光素子と前記ダミー画素回路を連結する有機発光表示装置。 10

【請求項2】

前記発光素子は複数のサブ発光素子を有し、前記複数のサブ発光素子はそれぞれ、

複数に分割された下部電極のうち一つの下部電極と、

前記下部電極に共通に対向する上部電極と、

前記下部電極と前記上部電極との間の発光層とを備える、請求項1に記載の有機発光表示装置。

【請求項3】

前記複数に分割された前記下部電極は電極連結配線によって電氣的に連結され、

前記電極連結配線は、金属または非晶質シリコン、結晶質シリコン及び酸化物半導体のうち一つで形成された請求項2に記載の有機発光表示装置。 20

## 【請求項 4】

前記電極連結配線は、前記発光画素回路の活性層と同一層に同一物質で形成される請求項 3 に記載の有機発光表示装置。

## 【請求項 5】

前記電極連結配線は、前記下部電極と一体に形成された請求項 3 に記載の有機発光表示装置。

## 【請求項 6】

前記電極連結配線は、

前記下部電極それぞれと連結される第 1 連結部と、

前記発光画素回路と連結される第 2 連結部と、

前記第 1 連結部と前記第 2 連結部との間に形成される切断ノードとを備える、請求項 3 に記載の有機発光表示装置。

10

## 【請求項 7】

前記電極連結配線は、前記第 1 連結部それぞれでコンタクトホールを通じて前記下部電極それぞれと連結され、前記第 2 連結部でコンタクトホールを通じて前記発光画素回路と連結される請求項 6 に記載の有機発光表示装置。

## 【請求項 8】

前記複数の発光画素のそれぞれは、一端が前記発光画素回路と連結され、他端が前記第 2 連結部に連結された第 1 回路連結配線と連結される少なくとも一つの回路配線を備える請求項 6 に記載の有機発光表示装置。

20

## 【請求項 9】

前記複数の発光画素のそれぞれは、一端が前記リペア線と連結され、他端が前記第 1 連結部のうち一つと連結された第 1 短絡配線と絶縁膜を介して重畳しつつ、前記第 1 短絡配線と連結される第 1 リペア連結配線をさらに備える請求項 6 に記載の有機発光表示装置。

## 【請求項 10】

前記第 1 リペア連結配線と前記第 1 短絡配線それぞれは、前記発光画素回路の互いに異なる層に形成された導電層と同一層に同一物質で形成される請求項 9 に記載の有機発光表示装置。

## 【請求項 11】

前記複数の発光画素と前記ダミー画素は複数の行と列に配置され、

前記ダミー画素回路は、最初の行及び最後の行のうち少なくとも一つの行、または最初の列及び最後の列のうち少なくとも一つの列に形成された請求項 1 に記載の有機発光表示装置。

30

## 【請求項 12】

前記発光画素回路と前記ダミー画素回路とは同一である請求項 1 に記載の有機発光表示装置。

## 【請求項 13】

前記ダミー画素回路は、一端がリペア線と連結され、他端が前記ダミー画素回路と連結された第 2 短絡配線と絶縁膜を介して重畳する第 2 リペア連結配線を有し、

前記第 2 リペア連結配線は、前記第 2 短絡配線と連結されることで前記発光素子と連結される請求項 1 に記載の有機発光表示装置。

40

## 【請求項 14】

前記リペア線は、電源連結配線を通じて電源電圧線と連結され、前記電源連結配線の切断によって前記リペア線と前記電源電圧線とが分離される請求項 1 に記載の有機発光表示装置。

## 【請求項 15】

前記複数の発光画素と前記ダミー画素は複数の行と列に配置され、

前記リペア線は、前記列または前記行ごとに形成された請求項 1 に記載の有機発光表示装置。

## 【請求項 16】

50

前記発光画素回路は、

走査信号にตอบสนองしてデータ信号を伝達する第1トランジスタと、

前記伝達されたデータ信号に対応する電圧を充電するキャパシタと、

前記キャパシタに充電された電圧に対応する前記駆動電流を前記発光素子に伝達する第2トランジスタと、を備える請求項1に記載の有機発光表示装置。

【請求項17】

前記発光画素回路は、

走査信号にตอบสนองしてデータ線からデータ信号を印加される第1トランジスタと、

前記データ信号に対応する前記駆動電流を前記発光素子に伝達する第2トランジスタ

と、

前記第2トランジスタをダイオード連結する第3トランジスタと、

前記伝達されたデータ信号に対応する電圧を充電する第1キャパシタと、

前記第1キャパシタの一電極及び前記第2トランジスタのゲート電極に連結された第2キャパシタと、を備える請求項1に記載の有機発光表示装置。

【請求項18】

前記発光画素回路は、

前記第1トランジスタと前記第1キャパシタの一電極との間に連結された第4トランジスタと、

データ線と前記第1キャパシタの一電極との間に連結された第5トランジスタと、

前記第1トランジスタと前記第4トランジスタとの間のノードに一電極が連結され、

前記第5トランジスタのゲート電極に他の電極が連結された第3キャパシタと、をさらに備える請求項17に記載の有機発光表示装置。

【請求項19】

前記発光画素回路は、

走査信号にตอบสนองしてデータ線からデータ信号を印加される第1トランジスタと、

前記データ信号に対応する前記駆動電流を前記発光素子に伝達する第2トランジスタ

と、

前記第2トランジスタをダイオード連結する第3トランジスタと、

前記第1トランジスタと前記第2トランジスタとの間に連結された第4トランジスタ

と、

前記第2トランジスタと前記発光素子との間に連結された第5トランジスタと、

前記第2トランジスタのゲート電極と初期化電源との間に連結された第6トランジスタと、

前記第2トランジスタのゲート電極と第1電源との間に連結された第1キャパシタと

、

前記第1トランジスタと前記第4トランジスタとの間のノードに一電極が連結され、第2電源に他の電極が連結された第2キャパシタと、を備える請求項1に記載の有機発光表示装置。

【請求項20】

前記ダミー画素回路は、前記発光画素回路と同時にまたは所定時間差をおいて駆動電流を前記発光素子に供給する請求項1に記載の有機発光表示装置。

【請求項21】

前記ダミー画素回路は、前記発光画素回路と同じ駆動電流を前記発光素子に供給する請求項1に記載の有機発光表示装置。

【請求項22】

前記発光素子は、

第1下部電極と、前記第1下部電極に対向する上部電極と、前記第1下部電極と前記上部電極との間の発光層とを含む第1サブ発光素子と、

第2下部電極と、前記第2下部電極に対向する上部電極と、前記第2下部電極と前記上部電極との間の発光層とを含む第2サブ発光素子と、を備え、

10

20

30

40

50

電極連結配線によって前記第 1 下部電極と前記第 2 下部電極とが連結された請求項 1 に記載の有機発光表示装置。

【請求項 2 3】

前記電極連結配線は、

前記第 1 下部電極と連結される第 1 連結部と、

前記第 2 下部電極と連結される第 2 連結部と、

前記発光画素回路と連結される第 3 連結部と、

前記第 1 連結部と前記第 3 連結部との間に形成されて前記第 1 サブ発光素子を前記発光画素回路から分離するために切断する第 1 ノードと、前記第 2 連結部と前記第 3 連結部との間に形成されて前記第 2 サブ発光素子を前記発光画素回路から分離するために切断する第 2 ノードと、を備える請求項 2 2 に記載の有機発光表示装置。

10

【請求項 2 4】

前記複数の発光画素は、一端が前記リペア線と連結され、他端が第 1 連結部と連結された第 1 短絡配線と絶縁膜を介して重畳しつつ、前記第 1 短絡配線と連結される第 1 リペア連結配線をさらに有し、

前記ダミー画素は、一端が前記リペア線と連結され、他端が前記ダミー画素回路と連結された第 2 短絡配線と絶縁膜を介して重畳しつつ、前記第 2 短絡配線と連結される第 2 リペア連結配線をさらに備える請求項 2 2 に記載の有機発光表示装置。

【請求項 2 5】

発光画素回路とダミー画素回路のうち一つから駆動電流を供給される複数のサブ発光素子で構成された発光素子を含む発光画素が複数配された有機発光表示装置をリペアする方法において、

20

不良画素を、リペア線を用いて前記ダミー画素回路と連結する段階と、

前記ダミー画素回路との連結後、前記不良画素が正常発光しない場合、前記複数のサブ発光素子を前記発光画素回路から分離する段階と、を含み、

前記複数の発光画素は表示領域に配置され、前記ダミー画素回路は前記表示領域以外に位置する非表示領域に配置されたダミー画素に配置され、前記リペア線は前記表示領域と前記非表示領域にわたって配置される、有機発光表示装置のリペア方法。

【請求項 2 6】

前記複数の発光画素はそれぞれ、前記複数のサブ発光素子それぞれの下部電極を連結する電極連結配線を有し、

30

前記複数のサブ発光素子を分離する段階は、

前記電極連結配線の前記発光画素回路との連結部、および前記下部電極の間を切断する段階を含む請求項 2 5 に記載の有機発光表示装置のリペア方法。

【請求項 2 7】

前記ダミー画素回路との連結後、前記不良画素が正常発光する場合、前記発光画素回路と前記発光素子とを分離する段階をさらに含む請求項 2 5 に記載の有機発光表示装置のリペア方法。

【請求項 2 8】

前記ダミー画素回路と連結する段階は、

40

一端が前記リペア線と連結され、他端が前記発光素子と連結された第 1 短絡配線と絶縁膜を介して重畳された第 1 リペア連結配線と短絡させる段階と、

一端が前記リペア線と連結され、他端が前記ダミー画素回路と連結された第 2 短絡配線と絶縁膜を介して重畳された第 2 リペア連結配線と短絡させる段階を含む請求項 2 5 に記載の有機発光表示装置のリペア方法。

【請求項 2 9】

前記発光画素回路と前記発光素子とを分離する段階は、

前記発光画素回路と前記発光素子の下部電極との間に連結された少なくとも一つの配線をいずれも切断する段階を含む請求項 2 5 に記載の有機発光表示装置のリペア方法。

【請求項 3 0】

50

前記不良画素の前記複数のサブ発光素子のうち欠陥のある前記サブ発光素子を残りの前記サブ発光素子から分離する段階をさらに含む請求項 26 に記載の有機発光表示装置のリペア方法。

【請求項 31】

欠陥のある前記サブ発光素子を残りの前記サブ発光素子から分離する段階は、

前記複数のサブ発光素子それぞれの下部電極を連結する電極連結配線の欠陥のある前記サブ発光素子の下部電極連結部と前記発光画素回路との間を切断する段階を含む請求項 30 に記載の有機発光表示装置のリペア方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、有機発光表示装置及びそのリペア方法に関する。

【背景技術】

【0002】

特定画素で不良が発生する場合、特定画素は、走査信号及びデータ信号と関係なく常に光を発生させるか、または黒色で表示される。このように画素でいつも光が発生する画素は観察者に明点（または輝点）として認識され、黒色で表示される画素は観察者に暗点（または黒点）として認識される。

【0003】

画素内の回路が複雑になるにつれて回路不良による明点または暗点を、克服し難いという問題がある。

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、パネル内に冗長パターンを各列ごとに形成し、冗長パターンを用いて不良画素を正常駆動できる表示装置を提供する。

【課題を解決するための手段】

【0005】

本発明の一実施形態による有機発光表示装置は、複数のサブ発光素子を含む発光素子と、前記発光素子に駆動電流を供給する発光画素回路と、前記発光素子に駆動電流を供給するダミー画素回路と、前記発光素子と前記ダミー画素回路とを連結するリペア線と、を備え、前記発光素子は、前記発光画素回路と前記ダミー画素回路のうち一つから駆動電流を供給される。

30

【0006】

各サブ発光素子は、複数に分割された下部電極のうち一つの下部電極と、前記下部電極に共通に対向する上部電極と、前記下部電極と上部電極との間の発光層と、を備え、前記下部電極は、電極連結配線によって電氣的に連結される。

【0007】

前記電極連結配線は、金属または非晶質シリコン、結晶質シリコン及び酸化物半導体のうち一つで形成される。

40

【0008】

前記電極連結配線は、前記発光画素回路の活性層と同一層に同一物質で形成される。

【0009】

前記電極連結配線は、前記下部電極と一体に形成される。

【0010】

前記電極連結配線は、前記下部電極それぞれと連結される第1連結部と、前記発光画素回路と連結される第2連結部と、前記第1連結部と前記第2連結部との間に形成され、前記下部電極の連結を切るために切断される切断ノードと、を備える。

【0011】

前記電極連結配線は、前記第1連結部それぞれでコンタクトホールを通じて前記下部電

50

極それぞれと連結され、前記第2連結部でコンタクトホールを通じて前記発光画素回路と連結される。

【0012】

前記有機発光表示装置は、一端が前記発光画素回路と連結され、他端が前記第2連結部に連結された第1回路連結配線と連結され、前記一端の切断によって前記発光画素回路と前記発光素子とが分離される少なくとも一つの回路配線を備える。

【0013】

有機発光表示装置は、一端が前記リペア線と連結され、他端が前記第1連結部のうち一つと連結された第1短絡配線と絶縁膜を介して重畳しつつ、レーザービームによって前記第1短絡配線と連結される第1リペア連結配線をさらに備える。

10

【0014】

前記第1リペア連結配線と前記第1短絡配線それぞれは、前記発光画素回路の互いに異なる層に形成された導電層と同一層に同一物質で形成される。

【0015】

前記ダミー画素回路は、各列の最初の行及び最後の行のうち少なくとも一つの行、または各行の最初の列及び最後の列のうち少なくとも一つの列に形成される。

【0016】

前記発光画素回路は表示部に形成され、前記ダミー画素回路は非表示部に形成される。

【0017】

前記発光画素回路と前記ダミー画素回路とは同一である。

20

【0018】

前記ダミー画素回路は、一端がリペア線と連結され、他端が前記ダミー画素回路と連結された第2短絡配線と、絶縁膜を介して重畳する第2リペア連結配線が、レーザービームによって前記第2短絡配線と連結されることで前記発光素子と連結される。

【0019】

前記発光画素回路は、走査信号にตอบสนองしてデータ信号を伝達する第1トランジスタと、前記伝達されたデータ信号に対応する電圧を充電するキャパシタと、前記キャパシタに充電された電圧に対応する駆動電流を前記発光素子に伝達する第2トランジスタと、を備える。

【0020】

30

前記発光画素回路は、走査信号にตอบสนองしてデータ線からデータ信号を印加される第1トランジスタと、前記データ信号に対応する駆動電流を前記発光素子に伝達する第2トランジスタと、前記第2トランジスタをダイオード連結する第3トランジスタと、前記伝達されたデータ信号に対応する電圧を充電する第1キャパシタと、前記第1キャパシタの一電極及び前記第2トランジスタのゲート電極に連結された第2キャパシタと、を備える。

【0021】

前記発光画素回路は、前記第1トランジスタと前記第1キャパシタの一電極との間に連結された第4トランジスタと、データ線と前記第1キャパシタの一電極との間に連結された第5トランジスタと、前記第1トランジスタと前記第4トランジスタとの間のノードに一電極が連結され、前記第5トランジスタのゲート電極に他の電極が連結された第3キャパシタと、をさらに備える。

40

【0022】

前記発光画素回路は、走査信号にตอบสนองしてデータ線からデータ信号を印加される第1トランジスタと、前記データ信号に対応する駆動電流を前記発光素子に伝達する第2トランジスタと、前記第2トランジスタをダイオード連結する第3トランジスタと、前記第1トランジスタと前記第2トランジスタとの間に連結された第4トランジスタと、前記第2トランジスタと前記発光素子との間に連結された第5トランジスタと、前記第2トランジスタのゲート電極と初期化電源との間に連結された第6トランジスタと、前記第2トランジスタのゲート電極と第1電源との間に連結された第1キャパシタと、前記第1トランジスタと前記第4トランジスタとの間のノードに一電極が連結され、第2電源に他の電極が連

50

結された第2キャパシタと、を備える。

【0023】

前記ダミー画素回路は、前記発光画素回路と同時にまたは所定時間差をおいて駆動電流を前記発光素子に供給する。

【0024】

前記ダミー画素回路は、前記発光画素回路と同じデータ信号を前記発光素子に供給する。

【0025】

前記複数のサブ発光素子は、第1下部電極と、前記第1下部電極に対向する上部電極と、前記第1下部電極と前記対向電極との間の発光層とを含む第1サブ発光素子と、第2下部電極と、前記第2下部電極に対向する上部電極と、前記第2下部電極と前記対向電極との間の発光層とを含む第2サブ発光素子と、を備え、電極連結配線によって前記第1下部電極と前記第2下部電極とが連結される。

10

【0026】

前記電極連結配線は、前記第1下部電極と連結される第1連結部と、前記第2下部電極と連結される第2連結部と、前記発光画素回路と連結される第3連結部と、前記第1連結部と前記第3連結部との間に形成されて前記第1サブ発光素子を前記発光画素回路から分離するために切断する第1ノードと、前記第2連結部と前記第3連結部との間に形成されて前記第2サブ発光素子を前記発光画素回路から分離するために切断する第2ノードと、を備える。

20

【0027】

前記有機発光表示装置は、一端が前記リペア線と連結され、他端が前記第1連結部と連結された第1短絡配線と絶縁膜を介して重畳しつつ、レーザービームによって前記第1短絡配線と連結される第1リペア連結配線と、一端が前記リペア線と連結され、他端が前記ダミー画素回路と連結された第2短絡配線と絶縁膜を介して重畳しつつ、レーザービームによって前記第2短絡配線と連結される第2リペア連結配線と、をさらに備える。

【0028】

本発明の望ましい一実施形態による、発光画素回路とダミー画素回路のうち一つから駆動電流を供給される複数のサブ発光素子で構成された発光素子を含む発光画素が複数配された有機発光表示装置で不良画素をリペアする方法は、不良画素を、リペア線を用いて前記ダミー画素回路と連結する段階と、前記ダミー画素回路との連結後、前記不良画素が正常発光しない場合、前記複数のサブ発光素子を分離する段階と、を含む。

30

【0029】

前記複数のサブ発光素子を分離する段階は、前記複数のサブ発光素子それぞれの下部電極を連結する電極連結配線において、前記発光画素回路の連結部と前記下部電極の連結部との間を切断する段階を含む。

【0030】

前記方法は、前記ダミー画素回路との連結後、前記検出された不良画素が正常発光する場合、前記発光画素回路と前記発光素子とを分離する段階をさらに含む。

【0031】

前記ダミー画素回路と連結する段階は、一端が前記リペア線と連結され、他端が前記発光素子と連結された第1短絡配線と絶縁膜を介して重畳された第1リペア連結配線と、一端が前記リペア線と連結され、他端が前記ダミー画素回路と連結された第2短絡配線と絶縁膜を介して重畳された第2リペア連結配線と、にレーザービームを照射して、それぞれ前記第1及び第2短絡配線と短絡させる段階を含む。

40

【0032】

前記発光画素回路と前記発光素子とを分離する段階は、前記発光画素回路と前記発光素子の下部電極との間に連結された少なくとも一つの配線をいずれも切断する段階を含む。

【0033】

前記方法は、前記検出された不良画素の複数のサブ発光素子のうち欠陥のあるサブ発光

50

素子を残りのサブ発光素子から分離する段階をさらに含む。

【0034】

前記欠陥のあるサブ発光素子を残りのサブ発光素子から分離する段階は、前記複数のサブ発光素子それぞれの下部電極を連結する電極連結配線において、前記欠陥のあるサブ発光素子の下部電極連結部と前記発光画素回路連結部との間を切断する段階を含む。

【発明の効果】

【0035】

本発明によれば、表示装置のダミー画素を用いて不良画素の回路起因性または発光素子起因性の明点または暗点を容易にリペアすることでパネルの収率及び信頼性を向上させる。

10

【図面の簡単な説明】

【0036】

【図1】本発明の一実施形態による表示装置を概略的に示すブロック図である。

【図2】図1に示された表示パネルの一例を概略的に示す図面である。

【図3】図1に示された表示パネルの一例を概略的に示す図面である。

【図4】図1に示された表示パネルの一例を概略的に示す図面である。

【図5】図2に示された表示パネルにおいて、リペア線を用いて不良画素をリペアする方法を説明するための図面である。

【図6】図5のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

20

【図7】図5のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

【図8】図3に示された表示パネルにおいて、リペア線を用いて不良画素をリペアする方法を説明するための図面である。

【図9】図8のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

【図10】図8のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

【図11】図4に示された表示パネルにおいて、リペア線を用いて不良画素をリペアする方法を説明するための図面である。

30

【図12】図11のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

【図13】図11のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

【図14】本発明の一実施形態による発光画素を概略的に示す図面である。

【図15】図14に示された発光画素の発光素子の平面図である。

【図16】図15のA-A'線の断面図である。

【図17】本発明の一実施形態によるダミー画素を概略的に示す図面である。

【図18】図17に示されたダミー画素の一部を示す平面図である。

【図19】図18のB-B'線の断面図である。

40

【図20】本発明の一実施形態による不良画素のリペア方法を概略的に説明するフローチャートである。

【図21】図20に示された可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図22】図20に示された可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図23】図20に示された可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図24】図20に示された可視的不良の場合の不良画素のリペア方法を説明する図面である。

50

【図 2 5】図 2 0 に示された可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 2 6】図 2 0 に示された可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 2 7】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 2 8 A】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 2 8 B】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

10

【図 2 9 A】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 2 9 B】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 3 0 A】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 3 0 B】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 3 1】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

20

【図 3 2】図 2 0 に示された非可視的不良の場合の不良画素のリペア方法を説明する図面である。

【図 3 3】本発明の一実施形態による発光画素の回路図である。

【図 3 4】本発明の一実施形態による発光画素の回路図である。

【図 3 5】本発明の一実施形態による発光画素の回路図である。

【図 3 6】本発明の一実施形態による発光画素の回路図である。

【図 3 7】本発明の他の実施形態による表示パネルを示す図面である。

【図 3 8】本発明の他の実施形態による発光画素の回路図である。

【図 3 9】図 3 8 に示された画素回路を備える発光画素を示す平面図である。

【図 4 0】図 3 8 に示された画素回路を備えるダミー画素を示す平面図である。

30

【図 4 1】本発明の他の実施形態による発光画素の発光素子の平面図である。

【図 4 2】図 4 1 の C - C ' 線の断面図である。

【図 4 3】本発明の一実施形態による発光画素を含む有機発光表示装置の断面図である。

【発明を実施するための最良の形態】

【0037】

以下、本発明の望ましい実施形態を添付した図面を参照して説明する。図面上の同じ符号は同じ要素を示す。下記で本発明を説明するに際して、かかる公知機能または構成についての具体的な説明が本発明の要旨を不要に不明にすると判断される場合には、その詳細な説明を省略する。

【0038】

40

また、図面に示された各構成のサイズ及び厚さは、説明の便宜のために任意で示しており、本発明が必ずしも図示されたものに限定されるものではない。層、膜、領域、板などの部分が他の部分「上に」あるという時、これは、他の部分の「真上に」ある場合だけでなく、その中間にさらに他の部分がある場合も含む。

【0039】

また、明細書全体で、ある部分がいずれかの構成要素を「含む」という時、これは特に断りのない限り他の構成要素を除くものではなく、他の構成要素をさらに含めるということの意味する。また、明細書全体で「～上に」とは、対象部分の上または下に位置することを意味し、必ずしも重力方向を基準として上側に位置することを意味するものではない。

50

## 【 0 0 4 0 】

第 1、第 2 などの用語は、多様な構成要素の説明に使われるが、前記構成要素がこれらの用語によって限定されるものではない。前記用語は、一つの構成要素を他の構成要素から区別する目的のみで使われる。例えば、本発明の権利範囲から離脱していない状態で第 1 構成要素は第 2 構成要素と称され、類似して第 2 構成要素も第 1 構成要素と称されることができる。

## 【 0 0 4 1 】

図 1 は、本発明の一実施形態による表示装置を概略的に示すブロック図である。

## 【 0 0 4 2 】

図 1 を参照すれば、本発明の実施形態による表示装置 1 0 0 は、複数の画素を含む表示パネル 1 0、走査駆動部 2 0、データ駆動部 3 0、及び制御部 4 0 を備える。走査駆動部 2 0、データ駆動部 3 0、及び制御部 4 0 は、それぞれ別個の半導体チップに形成されてもよく、一つの半導体チップに集積されてもよい。また、走査駆動部 2 0 は、表示パネル 1 0 と同じ基板上に形成されてもよい。

10

## 【 0 0 4 3 】

表示パネル 1 0 には、横長方向に複数の走査線 S L が形成されており、縦長方向に走査線 S L と垂直に交差する複数のデータ線 D L が形成されている。また、表示パネル 1 0 には、データ線 D L とほぼ平行に一定距離ほど離隔し、走査線 S L と垂直に交差する複数のリペア線 R L が形成されている。複数の走査線 S L、複数のデータ線 D L、及び複数のリペア線 R L の交差部には、略行列状に配列された複数の画素 P が形成される。

20

## 【 0 0 4 4 】

図 1 では、画素 P に対して右側にデータ線 D L、左側にリペア線 R L が配されているが、本発明はこれに限定されず、データ線 D L とリペア線 R L との位置は互いに変ってもよく、各画素列ごとに一つ以上形成される。また、リペア線 R L は、画素設計によって走査線 S L と平行に形成され、各画素行ごとに一つ以上形成される。図示されていないが、表示パネル 1 0 には発光制御信号を供給する複数の発光制御線、初期化電圧を供給する初期化電圧線、電源電圧を供給する電源電圧線などがさらに形成される。

## 【 0 0 4 5 】

走査駆動部 2 0 は、複数の走査線 S L を通じて表示パネル 1 0 に走査信号を生成して順次に供給する。

30

## 【 0 0 4 6 】

データ駆動部 3 0 は、複数のデータ線 D L を通じて表示パネル 1 0 にデータ信号を順次に供給する。データ駆動部 3 0 は、制御部 4 0 から入力される階調を持つ入力映像データ D A T A を電圧または電流形態のデータ信号に変換する。

## 【 0 0 4 7 】

制御部 4 0 は、走査制御信号 S C S 及びデータ制御信号 D C S を生成して走査駆動部 2 0 及びデータ駆動部 3 0 にそれぞれ伝達する。これによって、走査駆動部 2 0 は、走査線に対して順次に走査信号を印加し、データ駆動部 3 0 は、各画素 P にデータ信号を印加する。また、第 1 電源電圧 E L V D D、第 2 電源電圧 E L V S S、発光制御信号 E M、初期化電圧 V i n t などが、制御部 4 0 の制御下で各画素 P に印加される。制御部 4 0 は、走査駆動部 2 0 がダミー画素 D P に走査信号を印加する時点を制御し、データ駆動部 3 0 がダミー画素 D P に走査信号が印加される時、不良画素に印加されるデータ信号と同じデータ信号をダミー画素 D P に印加するように制御する。

40

## 【 0 0 4 8 】

図 2 ないし図 4 は、図 1 に示された表示パネル 1 0 の一例を概略的に示す図面である。

## 【 0 0 4 9 】

図 2 ないし図 4 を共に参照すれば、表示パネル 1 0 a、1 0 b、1 0 c には複数の走査線 S L、複数のデータ線 D L、及び複数のリペア線 R L の交差部に略行列状に配列された複数の画素 P が形成される。画素 P は、表示領域 A A に形成された発光画素 E P 及び非

50

表示領域  $NA$  に形成されたダミー画素  $DP$  を含む。非表示領域  $NA$  は、表示領域  $AA$  の上下または左右のうち少なくとも一つの領域に形成される。これによって、ダミー画素  $DP$  は、画素列の上下のうち少なくとも一つの領域に画素列ごとに一つ以上形成されるか、または、画素行の左右のうち少なくとも一つの領域に画素行ごとに一つ以上形成される。図 2 ないし図 4 では、表示領域  $AA$  の上下非表示領域  $NA$  の画素列にダミー画素  $DP$  が形成された例を説明するが、これは、表示領域  $AA$  の左右非表示領域  $NA$  の画素行にダミー画素  $DP$  が形成された場合と同じく適用する。

【 0 0 5 0 】

図 2 を参照すれば、表示パネル 10 a は、表示領域  $AA$  と、表示領域  $AA$  の下部の非表示領域  $NA$  とを含む。複数の走査線  $SL_1$  ないし  $SL_{n+1}$  のうち第 1 ないし第  $n$  番目の走査線  $SL_1$  ないし  $SL_n$  は表示領域  $AA$  に形成され、最後の第  $n+1$  番目の走査線  $SL_{n+1}$  は非表示領域  $NA$  に形成される。そして、複数のデータ線  $DL_1$  ないし  $DL_m$  と、複数のリペア線  $RL_1$  ないし  $RL_m$  とは、表示領域  $AA$  及び非表示領域  $NA$  に画素列ごとに形成される。表示領域  $AA$  には、第 1 ないし第  $n$  番目の走査線  $SL_1$  ないし  $SL_n$  と、複数のデータ線  $DL_1$  ないし  $DL_m$  とにそれぞれ連結された複数の発光画素  $EP$  が形成され、非表示領域  $NA$  には、最後の第  $n+1$  番目の走査線  $SL_{n+1}$  と、複数のデータ線  $DL_1$  ないし  $DL_m$  とにそれぞれ連結された複数のダミー画素  $DP$  が形成される。

【 0 0 5 1 】

図 3 を参照すれば、表示パネル 10 b は、表示領域  $AA$  と、表示領域  $AA$  の上部の非表示領域  $NA$  とを含む。複数の走査線  $SL_0$  ないし  $SL_n$  のうち第 1 ないし第  $n$  番目の走査線  $SL_1$  ないし  $SL_n$  は表示領域  $AA$  に形成され、第 0 番目の走査線  $SL_0$  は非表示領域  $NA$  に形成される。そして、複数のデータ線  $DL_1$  ないし  $DL_m$  と、複数のリペア線  $RL_1$  ないし  $RL_m$  とは、表示領域  $AA$  及び非表示領域  $NA$  に画素列ごとに形成される。表示領域  $AA$  には、第 1 ないし第  $n$  番目の走査線  $SL_1$  ないし  $SL_n$  と、複数のデータ線  $DL_1$  ないし  $DL_m$  とにそれぞれ連結された複数の発光画素  $EP$  が形成され、非表示領域  $NA$  には第 0 番目の走査線  $SL_0$  と、複数のデータ線  $DL_1$  ないし  $DL_m$  とにそれぞれ連結された複数のダミー画素  $DP$  が形成される。

【 0 0 5 2 】

図 4 を参照すれば、表示パネル 10 c は、表示領域  $AA$  と、表示領域  $AA$  の上下部の非表示領域  $NA$  とを含む。複数の走査線  $SL_0$  ないし  $SL_{n+1}$  のうち第 1 ないし第  $n$  番目の走査線  $SL_1$  ないし  $SL_n$  は表示領域  $AA$  に形成され、第 0 番目の走査線  $SL_0$  と第  $n+1$  番目の走査線  $SL_{n+1}$  とは、非表示領域  $NA$  に形成される。そして、複数のデータ線  $DL_1$  ないし  $DL_m$  と、複数のリペア線  $RL_1$  ないし  $RL_m$  とは、表示領域  $AA$  及び非表示領域  $NA$  に画素列ごとに形成される。表示領域  $AA$  には第 1 ないし第  $n$  番目の走査線  $SL_1$  ないし  $SL_n$  と、複数のデータ線  $DL_1$  ないし  $DL_m$  とにそれぞれ連結された複数の発光画素  $EP$  が形成され、非表示領域  $NA$  には、第 0 番目の走査線  $SL_0$  と最後の第  $n+1$  番目の走査線  $SL_{n+1}$  及び複数のデータ線  $DL_1$  ないし  $DL_m$  とにそれぞれ連結された複数のダミー画素  $DP$  が形成される。

【 0 0 5 3 】

図 5 は、図 2 に示された表示パネルにおいて、リペア線を用いて不良画素をリペアする方法を説明するための図面である。

【 0 0 5 4 】

図 5 を参照すれば、表示領域  $AA$  に形成された発光画素  $EP$  は、走査線  $SL$  及びデータ線  $DL$  に連結された画素回路  $PC$  と、画素回路  $PC$  から駆動電流を供給されて発光する発光素子  $E$  とを含む。非表示領域  $NA$  に形成されたダミー画素  $DP$  は、発光素子  $E$  なしに走査線  $SL$  及びデータ線  $DL$  に連結された画素回路  $PC$  のみを含む。

【 0 0 5 5 】

第 1 列の第  $i$  番目の走査線  $SL_i$  に連結された発光画素  $EP_i$  が不良である場合、不良発光画素  $EP_i$  の発光素子  $E$  を画素回路  $PC$  から分離し、リペア線  $RL$  を通じて分離した発光素子  $E$  を、第  $n+1$  番目の走査線  $SL_{n+1}$  に連結されたダミー画素  $DP$  の画素回

10

20

30

40

50

路PCと連結する。発光素子Eと画素回路PCとの分離、リペア線RLと発光素子Eとの連結及びリペア線RLとダミー画素DPとの連結は、基板側または基板の反対側からレーザービームの照射による切断(cut)及び短絡(short)で行われる。

【0056】

図6及び図7は、図5のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

【0057】

図6を参照すれば、走査駆動部20は、第1ないし第n番目の走査線SL1ないしSLnに走査信号S1ないしSnを順次に印加し、リペアされた発光画素Epiに走査信号Siが印加されるタイミングと同じタイミングで、第n+1番目の走査線SLn+1に走査信号Sn+1を印加する。

10

【0058】

そして、データ駆動部30は、各走査信号S1ないしSn+1に同期されて、データ信号D1ないしDnをデータ線DLに順次に印加する。この時、不良発光画素Epiに印加されるデータ信号Diと同じデータ信号Diが、同時にダミー画素DPにも印加される。これによって、不良発光画素Epiの発光素子Eは、ダミー画素DPの画素回路PC及びリペア線RLを通じてデータ信号Diに対応する電流を供給される。これによって、不良発光画素Epiの明点または暗点の発生を抑制する。

【0059】

図7を参照すれば、走査駆動部20は、第1ないし第n+1番目の走査線SL1ないしSLn+1に走査信号S1ないしSn+1を順次に印加する。

20

【0060】

そして、データ駆動部30は、各走査信号S1ないしSn+1に同期されてデータ信号D1ないしDnをデータ線DLに順次に印加する。この時、不良発光画素Epiに印加されたデータ信号Diと同じデータ信号Diがダミー画素DPに再び印加される。これによって、不良発光画素Epiの発光素子Eは、ダミー画素DPの画素回路PC及びリペア線RLを通じてデータ信号Diに対応する電流を供給される。これによって、不良発光画素Epiの明点または暗点の発生を抑制する。

【0061】

図6及び図7では、走査信号の幅が1水平時間(1H)であると示されたが、走査信号の幅を2水平時間(2H)に印加し、隣接する走査信号の幅、例えば、第n-1番目の走査信号Sn-1の幅と第n番目の走査信号Snの幅とは、1H以下ほど重畳するように印加する。これによって、表示領域の大面積化による信号線のRC遅延(delay)による充電不足現象を克服する。

30

【0062】

図8は、図3に示された表示パネルにおいて、リペア線を用いて不良画素をリペアする方法を説明するための図面である。

【0063】

図8を参照すれば、表示領域AAに形成された発光画素EPは、画素回路PCと、画素回路PCから駆動電流を供給されて発光する発光素子Eとを含む。非表示領域NAに形成されたダミー画素DPは、発光素子Eなしに画素回路PCのみを含む。

40

【0064】

第1列の第i番目の走査線SLiに連結された発光画素Epiが不良である場合、不良発光画素Epiの発光素子Eを画素回路PCから分離し、リペア線RLを通じて分離された発光素子Eを、第0番目の走査線SL0に連結されたダミー画素DPの画素回路PCと連結する。発光素子Eと画素回路PCとの分離、リペア線RLと発光素子Eとの連結及びリペア線

【0065】

RLとダミー画素DPとの連結は、基板側または基板の反対側からレーザービームの照射による切断及び短絡で行われる。

50

## 【 0 0 6 6 】

図 9 及び図 10 は、図 8 のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

## 【 0 0 6 7 】

図 9 を参照すれば、走査駆動部 20 は、第 1 ないし第  $n$  番目の走査線  $SL_1$  ないし  $SL_n$  に走査信号  $S_1$  ないし  $S_n$  を順次に印加し、リペアされた発光画素  $EP_i$  に走査信号  $S_i$  が印加されるタイミングと同じタイミングで、第 0 番目の走査線  $SL_0$  に走査信号  $S_0$  を印加する。

## 【 0 0 6 8 】

そして、データ駆動部 30 は、各走査信号  $S_0$  ないし  $S_n$  に同期されてデータ信号  $D_1$  ないし  $D_n$

10

## 【 0 0 6 9 】

をデータ線  $DL$  に順次に印加する。この時、不良発光画素  $EP_i$  に印加されるデータ信号  $D_i$  と同じデータ信号  $D_i$  が同時にダミー画素  $DP$  にも印加される。これによって、不良発光画素  $EP_i$  の発光素子  $E$  は、ダミー画素  $DP$  の画素回路  $PC$  及びリペア線  $RL$  を通じて、データ信号  $D_i$  に対応する電流を供給される。これによって、不良発光画素  $EP_i$  の明点または暗点の発生を抑制する。

## 【 0 0 7 0 】

図 10 を参照すれば、走査駆動部 20 は、第 0 ないし第  $n$  の走査線  $SL_0$  ないし  $SL_n$  に走査信号  $S_0$  ないし  $S_n$  を順次に印加する。

20

## 【 0 0 7 1 】

そして、データ駆動部 30 は、各走査信号  $S_0$  ないし  $S_n$  に同期されてデータ信号  $D_1$  ないし  $D_n$  をデータ線  $DL$  に順次に印加する。この時、不良発光画素  $EP_i$  に印加されるデータ信号  $D_i$  と同じデータ信号  $D_i$  がダミー画素  $DP$  に先ず印加される。これによって、不良発光画素  $EP_i$  の発光素子  $E$  は、ダミー画素  $DP$  の画素回路  $PC$  及びリペア線  $RL$  を通じてデータ信号  $D_i$  に対応する電流を供給される。これによって、不良発光画素  $EP_i$  の明点または暗点の発生を抑制する。

## 【 0 0 7 2 】

図 9 及び図 10 では、走査信号の幅が 1 水平時間 (  $1H$  ) であると示されたが、走査信号の幅を 2 水平時間 (  $2H$  ) に印加し、隣接する走査信号の幅、例えば、第  $n-1$  番目の走査信号  $S_{n-1}$  の幅と第  $n$  番目の走査信号  $S_n$  の幅とは  $1H$  以下ほど重畳するように印加する。これによって、表示領域の大面積化による信号線の  $RC$  遅延による充電不足現象を克服する。

30

## 【 0 0 7 3 】

図 11 は、図 4 に示された表示パネルにおいて、リペア線を用いて不良画素をリペアする方法を説明するための図面である。

## 【 0 0 7 4 】

図 11 を参照すれば、表示領域  $AA$  に形成された発光画素  $EP$  は、画素回路  $PC$  と、画素回路  $PC$  から駆動電流を供給されて発光する発光素子  $E$  とを含む。非表示領域  $NA$  に形成されたダミー画素  $DP$  は、発光素子  $E$  なしに画素回路  $PC$  のみを含む。

40

## 【 0 0 7 5 】

第 1 列の第  $i$  番目の走査線  $SL_i$  に連結された発光画素  $EP_i$  と、第  $p$  番目の走査線  $SL_p$  に連結された発光画素  $EP_p$  とが不良である場合、不良発光画素  $EP_i$ 、 $EP_p$  間のリペア線  $RL$  を分離し、不良発光画素  $EP_i$ 、 $EP_p$  の各発光素子  $E$  を画素回路  $PC$  から分離し、リペア線  $RL$  を通じて、分離された発光素子  $E$  を、第 0 番目の走査線  $SL_0$  と第  $n+1$  番目の走査線  $SL_{n+1}$  とにそれぞれ連結された第 1 ダミー画素  $DP_1$  及び第 2 ダミー画素  $DP_2$  の画素回路  $PC$  とそれぞれ連結する。発光素子  $E$  と画素回路  $PC$  との分離、リペア線  $RL$  と発光素子  $E$  との連結、及びリペア線  $RL$  とダミー画素  $DP$  との連結は、基板側または基板の反対側からレーザービームの照射による切断及び短絡で行われる。

## 【 0 0 7 6 】

50

図12及び図13は、図11のようにリペアされた表示パネルに供給される走査信号及びデータ信号を示す波形図である。

【0077】

図12を参照すれば、走査駆動部20は、第0ないし第 $n+1$ 番目の走査線 $SL_0$ ないし $SL_{n+1}$ に走査信号 $S_0$ ないし $S_{n+1}$ を順次に印加し、リペアされた発光画素 $EP_i$ 、 $EP_p$ にそれぞれ走査信号 $S_i$ 、 $S_p$ が印加されるタイミングと同じタイミングで、第0番目の走査線 $SL_0$ 及び第 $n+1$ 番目の走査線 $SL_{n+1}$ にそれぞれ走査信号 $S_0$ 、 $S_{n+1}$ を印加する。

【0078】

そして、データ駆動部30は、各走査信号 $S_0$ ないし $S_{n+1}$ に同期されて、データ信号 $D_1$ ないし $D_n$ をデータ線 $DL$ に順次に印加する。この時、不良発光画素 $EP_i$ 、 $EP_p$ に印加されるデータ信号 $D_i$ 、 $D_p$ と同じデータ信号 $D_i$ 、 $D_p$ が、同時にそれぞれ第1及び第2ダミー画素 $DP_1$ 、 $DP_2$ にも印加される。これによって、不良発光画素 $EP_i$ 、 $EP_p$ の発光素子 $E$ は、第1及び第2ダミー画素 $DP_1$ 、 $DP_2$ の画素回路 $PC$ 及びリペア線 $RL$ を通じて、データ信号 $D_i$ 、 $D_p$ に対応する電流を供給される。これによって、不良発光画素 $EP_i$ 、 $EP_p$ の明点または暗点の発生を抑制する。

【0079】

図13を参照すれば、走査駆動部20は、第0ないし第 $n+1$ 番目の走査線 $SL_0$ ないし $SL_{n+1}$ に走査信号 $S_0$ ないし $S_{n+1}$ を順次に印加する。

【0080】

そして、データ駆動部30は、各走査信号 $S_0$ ないし $S_{n+1}$ に同期されてデータ信号 $D_1$ ないし $D_n$ をデータ線 $DL$ に順次に印加する。この時、不良発光画素 $EP_i$ に印加されるデータ信号 $D_i$ と同じデータ信号 $D_i$ が第1ダミー画素 $DP_1$ に先ず印加される。そして、不良発光画素 $EP_p$ に印加されたデータ信号 $DP$ と同じデータ信号 $DP$ が第2ダミー画素 $DP_2$ に再び印加される。これによって、不良発光画素 $EP_i$ 、 $EP_p$ の発光素子 $E$ は、第1及び第2ダミー画素 $DP_1$ 、 $DP_2$ の画素回路 $PC$ 及びリペア線 $RL$ を通じて、データ信号 $D_i$ 、 $D_p$ に対応する電流を供給される。これによって、不良発光画素 $EP_i$ 、 $EP_p$ の明点または暗点の発生を抑制する。

【0081】

図12及び図13では、走査信号の幅が1水平時間(1H)であると示されたが、走査信号の幅を2水平時間(2H)に印加し、隣接する走査信号の幅、例えば、第 $n-1$ 番目の走査信号 $S_{n-1}$ の幅と第 $n$ 番目の走査信号 $S_n$ の幅とは1H以下ほど重畳するように印加する。これによって、表示領域の大面積化による信号線のRC遅延による充電不足現象を克服する。

【0082】

図14は、本発明の一実施形態による発光画素を概略的に示す。図15は、図14に示された発光画素の発光素子の平面図である。図16は、図15のA-A'線の断面図である。

【0083】

図14を参照すれば、走査線 $SL$ 及びデータ線 $DL$ に連結された発光画素 $EP$ は、画素回路 $PC$ 及び画素回路 $PC$ から駆動電流を伝達されて発光する発光素子 $E$ を含む。画素回路 $PC$ は、少なくとも一つの薄膜トランジスタ及び少なくとも一つのキャパシタを備える。発光素子 $E$ は、アノード電極、カソード電極、アノード電極とカソード電極との間の発光層を含む有機発光素子 $OLED$ である。発光素子 $E$ のアノード電極は、少なくとも2つに分割され、これによって発光素子 $E$ は、少なくとも2つのサブ発光素子 $SE_1$ 、 $SE_2$ を含む。

【0084】

図15及び図16を共に参照すれば、第1サブ発光素子 $SE_1$ は、第1アノード電極 $AD_1$ と、発光層を含む有機層 $OL$ 及びカソード電極(図示せず)を含む。第2サブ発光素子 $SE_2$ は、第2アノード電極 $AD_2$ と、発光層を含む有機層 $OL$ 及びカソード電極を

10

20

30

40

50

含む。有機層OLは、第1及び第2サブ発光素子SE1、SE2に個別的に形成されてもよく、共通に形成されてもよい。カソード電極は、第1及び第2サブ発光素子SE1、SE2に共通に形成されてもよく、基板の全面に形成されて第1アノード電極AD1及び第2アノード電極AD2に共通に対向して形成されてもよい。

【0085】

基板101及びバッファ層102の上部に電極連結配線11が形成される。電極連結配線11は、導電性物質で形成される。例えば、電極連結配線11は、非晶質シリコン、結晶質シリコンまたは酸化物半導体で形成される。この場合、電極連結配線11は、画素回路PCの薄膜トランジスタを構成する活性層と同一層に同一物質で形成される。また電極連結配線11は、金属で形成される。この場合、電極連結配線11は、金属、半透過金属または透明導電性酸化物の単一層、または半透過金属と半透過金属の上部及び下部とにそれぞれ形成されて半透過金属を保護する透明導電性酸化物を含む3重層構造である。半透過金属は、銀(Ag)または銀合金を含み、透明導電性酸化物は、酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化亜鉛(ZnO)、酸化インジウム(In<sub>2</sub>O<sub>3</sub>)、酸化インジウムガリウム(IGO)、及びアルミニウム酸化亜鉛(AZO)を含む群から選択された少なくとも一つ以上を含む。電極連結配線11の上部には第1絶縁膜103が形成され、第1絶縁膜103の上部にリペア連結配線13が形成される。

【0086】

リペア連結配線13は、画素回路PCの薄膜トランジスタを構成する一つの導電性電極、例えば、ゲート電極と同一層に同一物質で形成される。リペア連結配線13の上部には第2絶縁膜104が形成され、第2絶縁膜104の上部には、第1連結部CU1で第1コンタクト金属CM1がコンタクトホールを通じて電極連結配線11と連結され、第2コンタクト金属CM2がコンタクトホールを通じて電極連結配線11と連結される。そして、画素回路PCと連結された回路配線15と連結された回路連結配線12が、第2連結部CU2でコンタクトホールを通じて電極連結配線11と連結される。回路配線15は、画素回路PCの薄膜トランジスタを構成する活性層と共に非晶質シリコン、結晶質シリコンまたは酸化物半導体で形成されるか、または、薄膜トランジスタを構成するソース電極及びドレイン電極と同一層に同一物質で形成される。回路連結配線12は、第1連結部CU1の間で電極連結配線11と連結されることで、電極連結配線11には第1切断ノードCN1及び第2切断ノードCN2が形成される。第1コンタクト金属CM1から延びた短絡配線14は、第1短絡ノードSN1でリペア連結配線13の一部と重畳してリペア連結配線13と仮連結される。そして、リペア線RLは、コンタクトホールを通じてリペア連結配線13と連結される。リペア線RL、回路連結配線12、第1及び第2コンタクト金属CM1、CM2と短絡配線14は、画素回路PCの薄膜トランジスタを構成する一つの導電性電極、例えば、ソース電極及びドレイン電極と同一層に同一物質で形成される。リペア線RL、第1及び第2コンタクト金属CM1、CM2及び短絡配線14の上部には第3絶縁膜105が形成され、第3絶縁膜105の上部には第1アノード電極AD1及び第2アノード電極AD2が形成される。

【0087】

第1アノード電極AD1から延設した第1突出部AD1'は、第1連結部CU1で第1コンタクト金属CM1を通じて電極連結配線11と連結される。第2アノード電極AD2から延設した第2突出部AD2'は、第2連結部CU2で第2コンタクト金属CM2を通じて電極連結配線11と連結される。これによって第1アノード電極AD1と第2アノード電極AD2とは、電極連結配線11によって電氣的に連結される。第1アノード電極AD1と第2アノード電極AD2との上部には、第1アノード電極AD1及び第2アノード電極AD2のエッジをカバーする第4絶縁膜106が形成される。

【0088】

図17は、本発明の一実施形態によるダミー画素を概略的に示す。図18は、図17に示されたダミー画素の一部を示す平面図である。図19は、図18のB-B'線の断面図である。

10

20

30

40

50

## 【0089】

図17を参照すれば、第0番目及び/または第 $n + 1$ 番目の走査線SL及びデータ線DLに連結されたダミー画素DPは、画素回路PCのみを備え、発光素子Eは備えない。ダミー画素DPの画素回路PCは、発光画素EPの画素回路PCと同一である。

## 【0090】

図18及び図19を共に参照すれば、基板101及びバッファ層102の上部に電源連結配線18を形成する。電源連結配線18は、非晶質シリコン、結晶質シリコンまたは酸化物半導体で形成される。電源連結配線18は、画素回路PCの薄膜トランジスタを構成する活性層と同一層に同一物質で形成される。電源連結配線18の上部には第1絶縁膜103が形成され、第1絶縁膜103の上部にリペア連結配線16が形成される。

10

## 【0091】

リペア連結配線16は、画素回路PCの薄膜トランジスタを構成する一つの導電性電極、例えば、ゲート電極と同一層に同一物質で形成される。リペア連結配線16の上部には第2絶縁膜104が形成され、第2絶縁膜104の上部には画素回路PCと連結された短絡配線17が、第2短絡ノードSN2でリペア連結配線16の一部と重畳してリペア連結配線16と仮連結される。そして、リペア線RLは、コンタクトホールを通じてリペア連結配線16と連結される。リペア線RL及び表示パネル10の外郭の電源電圧線ELVDDLは、コンタクトホールを通じて電源連結配線18と連結され、リペア線RLと電源電圧線ELVDDLとが電氣的に連結される。リペア線RLが発光画素EPをリペアするために使われる場合、電源連結配線18の切断によって電源電圧線ELVDDLはリペア線RLから分離される。

20

## 【0092】

リペア線RL、短絡配線17及び電源電圧線ELVDDLは、画素回路PCの薄膜トランジスタを構成する一つの導電性電極、例えば、ソース電極及びドレイン電極と同一層に同一物質で形成される。リペア線RL、短絡配線17及び電源電圧線ELVDDLの上部には、第3絶縁膜105と第4絶縁膜106が順次に形成される。

## 【0093】

図20は、本発明の一実施形態による不良画素のリペア方法を概略的に説明するフローチャートである。

## 【0094】

図20を参照すれば、表示パネル10が完成された後、表示パネル10に対するパネルテストを通じて表示領域AA内の不良画素を検出する(S21)。パネルテストは、点灯テスト、エージングテストなどを含む。不良画素は、明点または暗点に認識される発光画素である。明点または暗点は、画素回路の不良または発光素子の不良によって発生する。発光素子アノード電極とカソード電極との間に欠陥が存在して両電極が短絡される場合、両電極と並列に形成される抵抗Rdef値が小さい場合、画素回路で生成した駆動電流が、アノード電極から抵抗Rdefを通じてカソード電極に流れることで、アノード電極の電圧が発光素子のターンオン電圧より十分に高くなく、発光素子が発光しない暗点が発生する。

30

## 【0095】

点灯検査装置の光学顕微鏡を通じて表示パネル10の明点または暗点に視認される画素を検出する。

40

## 【0096】

複数のサブ発光素子のうち明点または暗点であるサブ発光素子が視認される可視的不良の場合、明点または暗点の欠陥を持つサブ発光素子を画素回路から分離する(S22)。

## 【0097】

複数のサブ発光素子のうちいかなるサブ発光素子が欠陥を持つか視認されない非可視的不良の場合、まず、不良画素の発光素子をリペア線RLに連結し、ダミー画素の画素回路をリペア線RLに連結して、不良画素をダミー画素と連結し(S23)、不良画素の正

50

常化如何を判断する ( S 2 4 )。

【 0 0 9 8 】

不良画素とダミー画素との連結によって不良画素が正常に発光する場合、不良画素の原因は画素回路の欠陥と判断され、したがって、画素回路と発光素子との間の確実な絶縁のために、不良画素の画素回路を発光素子から分離する ( S 2 5 )。段階 2 5 は、選択的に行われる。

【 0 0 9 9 】

不良画素とダミー画素との連結によっても不良画素が正常に発光しない場合、発光素子の短絡欠陥と判断され、したがって、サブ発光素子間の連結を切る ( S 2 6 )。

【 0 1 0 0 】

図 2 1 ないし図 2 6 は、図 2 0 に示された可視的不良の場合の不良画素のリペア方法 ( S 2 2 ) を説明する図面である。

【 0 1 0 1 】

図 2 1 ないし図 2 6 に示されたリペア方法は、図 2 に示された表示パネル 1 0 a のように、ダミー画素 D P が複数の走査線 S L 1 ないし S L n + 1 のうち第 n + 1 番目の走査線 S L n + 1 に連結された場合を挙げて説明するが、図 3 及び図 4 に示された表示パネル 1 0 b、1 0 c のリペアにも同じく適用する。

【 0 1 0 2 】

図 2 1 ないし図 2 3 を参照すれば、不良と検出された発光画素 E P i の第 1 サブ発光素子 S E 1 が短絡欠陥と視認された場合、第 1 サブ発光素子 S E 1 を第 2 サブ発光素子 S E 2 から分離する。このために、電極連結配線 1 1 の第 1 切断ノード C N 1 をレーザービームの照射によって切断する。これによって、第 1 サブ発光素子 S E 1 は暗点化され、発光画素回路 P C i からの駆動電流はいずれも第 2 サブ発光素子 S E 2 に流れるようになって、第 2 サブ発光素子 S E 2 は輝度低下なしに発光する。

【 0 1 0 3 】

図 2 4 ないし図 2 6 を参照すれば、不良と検出された発光画素 E P i の第 2 サブ発光素子 S E 2 が短絡欠陥に視認された場合、第 2 サブ発光素子 S E 2 を第 1 サブ発光素子 S E 1 から分離する。このために、電極連結配線 1 1 の第 2 切断ノード C N 2 をレーザービームの照射によって切断 ( c u t ) する。これによって、第 2 サブ発光素子 S E 2 は暗点化され、発光画素回路 P C i からの駆動電流はいずれも第 1 サブ発光素子 S E 1 に流れて、第 1 サブ発光素子 S E 1 は輝度低下なしに発光する。

【 0 1 0 4 】

図 2 1 ないし図 2 6 に示された実施形態は、発光素子 E P i の短絡欠陥の場合であり、発光画素回路 P C i が正常であるため、リペア線 R L を通じて発光素子 E P i がダミー画素 D P と連結される必要がない。

【 0 1 0 5 】

図 2 7 ないし図 2 9 B は、図 2 0 に示された非可視的不良の場合の不良画素のリペア方法 ( S 2 3 及び S 2 5 ) を説明する図面である。

【 0 1 0 6 】

図 2 7 ないし図 2 9 B に示されたリペア方法は、図 2 に示された表示パネル 1 0 a のように、ダミー画素 D P が複数の走査線 S L 1 ないし S L n + 1 のうち第 n + 1 番目の走査線 S L n + 1 に連結された場合を挙げて説明するが、図 3 及び図 4 に示された表示パネル 1 0 b、1 0 c のリペアにも同じく適用する。

【 0 1 0 7 】

図 2 7 ないし図 2 9 B を参照すれば、第 i 番目の走査線に連結された発光画素 E P i が不良と検出されたが、不良の原因が画素回路の欠陥によるものか、あるいは発光素子の欠陥によるものかが確認されない場合、先ず、第 1 短絡ノード S N 1 にレーザービームを照射して仮連結されたリペア連結配線 1 3 及び短絡配線 1 4 を短絡させ、第 2 短絡ノード S N 2 にレーザービームを照射して仮連結されたリペア連結配線 1 6 及び短絡配線 1 7 を短絡させることで、発光画素 E P i とダミー画素 D P とを電氣的に連結する ( S 2 3 )。

10

20

30

40

50

また、ダミー画素DPの電源連結配線18にレーザービームを照射して電源電圧線ELVDDLとリペア線RLとを分離する。

【0108】

リペア線RLとの連結後、第1サブ発光素子SE1及び第2サブ発光素子SE2が正常に点灯される場合、不良の原因が発光画素回路PCiの欠陥であると判断されるので、発光画素回路PCiと発光素子との間の確実な絶縁のために、回路配線15にレーザービームを照射して切断することで回路連結配線12と回路配線15とを分離し、発光画素回路PCiを発光素子から分離する(S25)。

【0109】

これによって、ダミー画素回路PCn+1からの駆動電流は、第1サブ発光素子SE1及び第2サブ発光素子SE2に流れるようになって、発光画素Epiは輝度低下なしに発光する。

10

【0110】

図30Aないし図32は、図20に示された非可視的不良の場合の不良画素のリペア方法(S23及びS26)を説明する図面である。

【0111】

図30Aないし図32に示されたリペア方法は、図2に示された表示パネル10aのように、ダミー画素DPが複数の走査線SL1ないしSLn+1のうち第n+1番目の走査線SLn+1に連結された場合を挙げて説明するが、図3及び図4に示された表示パネル10b、10cのリペアにも同じく適用する。

20

【0112】

図30Aないし図32と図28Bを参照すれば、第i番目の走査線に連結された発光画素Epiが不良と検出されたが、不良の原因が画素回路の欠陥によるものか、あるいは発光素子の欠陥によるものかが確認されない場合、まず、第1短絡ノードSN1にレーザービームを照射して仮連結されたリペア連結配線13及び短絡配線14を短絡させ、第2短絡ノードSN2にレーザービームを照射して仮連結されたリペア連結配線16及び短絡配線17を短絡させることで発光画素Epiとダミー画素DPとを電氣的に連結する(S23)。またダミー画素DPの電源連結配線18にレーザービームを照射して電源電圧線ELVDDLとリペア線RLとを分離する。

【0113】

30

リペア線RLとの連結後、第1サブ発光素子SE1及び第2サブ発光素子SE2が正常に点灯されない場合、不良の原因が発光素子Eの欠陥と判断されるので、レーザービームを照射して電極連結配線11の第1切断ノードCN1を切断する(S26)。よって、第1サブ発光素子SE1と第2サブ発光素子SE2とが分離され、第1サブ発光素子SE1は、ダミー画素回路PCn+1から駆動電流を供給され、第2サブ発光素子SE2は、発光画素回路PCiからの駆動電流を供給される。

【0114】

もし、第1サブ発光素子SE1が短絡欠陥のある場合ならば、図30Aに示されたように、第1サブ発光素子SE1は暗点化され、発光画素回路PCiからの駆動電流によって第2サブ発光素子SE2は輝度低下なしに発光する。

40

【0115】

もし、第2サブ発光素子SE2が短絡欠陥のある場合ならば、図30Bに示されたように、第2サブ発光素子SE2は暗点化され、ダミー画素回路PCn+1からの駆動電流によって第1サブ発光素子SE1は輝度低下なしに発光する。

【0116】

図33は、本発明の一実施形態による発光画素の回路図である。

【0117】

図33を参照すれば、発光画素EP1は、発光素子Eと、発光素子Eに電流を供給するための画素回路2Aとを備える。ダミー画素DPは、発光素子Eが除外された画素回路2Aを備える。発光素子Eは、アノード電極、カソード電極、アノード電極とカソード電

50

極との間の発光層を含み、アノード電極が複数に分割された構造の有機発光素子OLEDである。発光素子Eは、アノード電極の複数分割によって並列連結された第1の有機発光素子OLED1ないし第nの有機発光素子OLEDnを含む。これによって、画素回路2Aからの駆動電流は、第1ないし第nの有機発光素子OLED1ないしOLEDnに分けて印加される。不良の有機発光素子が分離されれば、残りの有機発光素子に駆動電流が分けられて印加されるので、輝度損失なしに発光できる。発光素子Eと連結された回路連結配線12と、画素回路2Aと連結された回路配線15との連結は、回路配線15を切断することで切れ、これによって画素回路2Aと発光素子Eとが分離される。

【0118】

画素回路2Aは、4個のトランジスタTA1ないしTA4、及び2個のキャパシタC1、C2を備える。

10

【0119】

第1トランジスタTA1のゲート電極は、走査線から走査信号Sを印加され、第1電極は、データ線からデータ信号Dを印加される。そして、第1トランジスタTA1の第2電極は、第1ノードN1に接続される。

【0120】

第2トランジスタTA2のゲート電極は第2ノードN2に連結され、第1電極は第1電源から第1電源電圧ELVDDを印加され、第2電極は有機発光素子OLEDのアノード電極に連結される。第2トランジスタTA2は、駆動トランジスタの役割を行う。

【0121】

第1ノードN1及び第2トランジスタTA2の第2電極と第1電源との間に第1キャパシタC1が連結され、第1ノードN1と第2ノードN2との間には第2キャパシタC2が連結される。

20

【0122】

第3トランジスタTA3のゲート電極は第1制御信号GCを印加され、第1電極は第2トランジスタTA2のゲート電極と連結され、第2電極は有機発光素子OLEDのアノード電極及び第2トランジスタTA2の第2電極と連結される。

【0123】

第4トランジスタTA4のゲート電極は第2制御信号SUS\_ENBを印加され、第1電極は補助電圧Vsusを印加され、第2電極はデータ線に連結されてデータ信号Dを印加される。

30

【0124】

初期化区間で走査線にローレベルの走査信号Sが印加され、ローレベルの第2制御信号SUS\_ENBが第4トランジスタTA4のゲート電極に印加される。この時、データ線は、ハイインピーダンスHi-Z状態である。これによって、第1トランジスタTA1及び第4トランジスタTA4がターンオンされ、第1ノードN1にハイレベルの補助電圧Vsusが印加され、第2ノードN2の電圧が減少し、第2ノードN2は所定の初期化電圧を維持する。

【0125】

補償区間からデータ線に印加されるハイレベルの補助電圧Vsusが第1ノードN1に印加される。そして、第1制御信号GCがローレベルに印加され、第3トランジスタTA3がターンオンされる。これによって、第2トランジスタTA2はダイオード連結されて、第2キャパシタC2に第2トランジスタTA2のしきい電圧に対応する電圧が保存されるまで電流が流れ、次いで、ターンオフされる。

40

【0126】

走査/データ入力区間で、ローレベルの走査信号Sが走査線に印加されて第1トランジスタTA1はターンオンされ、データ線を通じてデータ信号Dが印加される。これによって、第1キャパシタC1には駆動電圧ELVDDと第1ノードN1との電圧差が保存される。

【0127】

50

発光区間で第1電源電圧 $E_{LVDD}$ はハイレベルに印加され、第2電源電圧 $E_{LVS}$ はローレベルに印加される。そして、第2トランジスタ $T_{A2}$ を通じて第1電源電圧 $E_{LVDD}$ から有機発光素子 $OLED$ のカソード電極までの電流経路が形成され、すべての発光画素 $EP1$ の発光素子 $E$ はデータ信号に対応する輝度で発光する。

【0128】

図34は、本発明の他の実施形態による発光画素の回路図である。

【0129】

図34を参照すれば、発光画素 $EP2$ は、発光素子 $E$ と、発光素子 $E$ に電流を供給するための画素回路 $2B$ とを備える。ダミー画素 $DP$ は、発光素子 $E$ が除外された画素回路 $2B$ を備える。発光素子 $E$ は、アノード電極、カソード電極、アノード電極とカソード電極との間の発光層を含み、アノード電極が複数に分割された構造の有機発光素子 $OLED$ である。発光素子 $E$ は、アノード電極の複数分割によって並列連結された第1の有機発光素子 $OLED1$ ないし第 $n$ の有機発光素子 $OLEDn$ を含む。これによって、画素回路 $2A$ からの駆動電流は、第1ないし第 $n$ の有機発光素子 $OLED1$ ないし $OLEDn$ に分けて印加される。不良の有機発光素子が分離されれば、残りの有機発光素子に駆動電流が分けられて印加されるので、輝度損失なしに発光できる。発光素子 $E$ と連結された回路連結配線 $12$ と、画素回路 $2B$ と連結された回路配線 $15$ との連結は、回路配線 $15$ を切断することで切れ、これによって画素回路 $2B$ と発光素子 $E$ とが分離される。

10

【0130】

画素回路 $2B$ は、5個のトランジスタ $T_{B1}$ ないし $T_{B5}$ 、及び3個のキャパシタ $C1$ ないし $C3$ を備える。

20

【0131】

第1トランジスタ $T_{B1}$ のゲート電極は、走査線から走査信号 $S$ を印加され、第1電極は、データ線に連結されてデータ信号 $D$ を印加され、第2電極は、第1ノード $N1$ に連結される。

【0132】

第2トランジスタ $T_{B2}$ のゲート電極は、第1制御信号 $GW$ を印加され、第1電極は第1ノード $N1$ に連結され、第2電極は第2ノード $N2$ に連結される。

【0133】

第3トランジスタ $T_{B3}$ のゲート電極は、第3ノード $N3$ に連結され、第1電極は、第1電源から第1電源電圧 $E_{LVDD}$ を印加され、第2電極は、有機発光素子 $OLED$ のアノード電極に連結される。第3トランジスタ $T_{B3}$ は、駆動トランジスタの役割を行う。

30

【0134】

第4トランジスタ $T_{B4}$ のゲート電極は、第2制御信号 $GC$ を印加され、第1電極は、第3ノード $N3$ 及び第3トランジスタ $T_{B3}$ のゲート電極に連結され、第2電極は、有機発光素子 $OLED$ のアノード電極と連結される。

【0135】

第5トランジスタ $T_{B5}$ のゲート電極は、第2制御信号 $GC$ を印加され、第1電極は、データ線に連結されてデータ信号 $D$ を印加され、第2電極は、第2ノード $N2$ に連結される。

40

【0136】

第1ノード $N1$ と第5トランジスタ $T_{B5}$ のゲート電極との間に第1キャパシタ $C1$ が連結され、第2ノード $N2$ と第1電源との間に第2キャパシタ $C2$ が連結され、第2ノード $N2$ と第3ノード $N3$ 及び第3トランジスタ $T_{B3}$ のゲート電極の間に第3キャパシタ $C3$ が連結される。第1キャパシタ $C1$ は、第1トランジスタ $T_{B1}$ がターンオンされる時のデータ線から供給されるデータ信号 $D$ に対応する電圧を充電する。

【0137】

初期化区間で、第1電源電圧 $E_{LVDD}$ 及び第2制御信号 $GC$ がローレベルに印加される。そして、データ線は、ハイインピーダンス $H_i-Z$ 状態である。これによって、第

50

5トランジスタTB5がターンオンされ、第4トランジスタTB4がターンオンされて第3トランジスタTB3はダイオード連結され、有機発光素子OLEDのアノード電極の電圧及び第3ノードN3の電圧が駆動電圧ELVDDレベルに初期化される。

【0138】

補償区間で第2制御信号GCがローレベルに印加され、データラインにはハイレベルの補助電圧Vsusが印加される。これによって、第5トランジスタTB5がターンオンされ、第2ノードN2に補助電圧Vsusが印加される。そして、第4トランジスタTB4がターンオンされて第3トランジスタTB3はダイオード連結され、第3キャパシタC3に第3トランジスタTB3のしきい電圧に対応する電圧が保存されるまで電流が流れ、次いで、ターンオフされる。

10

【0139】

データ移動区間で第1電源電圧ELVDD、第2電源電圧ELVSSがハイレベルに印加され、第1制御信号GWがローレベルに印加される。これによって、第2トランジスタTB2がターンオンされて、第1キャパシタC1に保存されていたN-1フレームの走査区間中に発光画素EP2に書き込まれたデータ信号Dが第2ノードN2に移動する。これによって、第2キャパシタC2には駆動電圧ELVDDと第2ノードN2との電圧差が保存される。

【0140】

走査/発光区間では、走査区間及び発光区間が同時に進む。走査/発光区間(Scan/Emission)で第1電源電圧ELVDDがハイレベルに印加され、第2電源電圧ELVSSがローレベルに印加される。そして、ローレベルの走査信号Sが走査線に投入されて第1トランジスタTB1はターンオンされ、走査線に連結された発光画素EP2にデータ信号が入力される。これによって、第1キャパシタC1にはNフレームのデータ信号に対応する電圧が保存される。

20

【0141】

一方、第2トランジスタTB2はターンオフされ、第1ノードN1及び第2ノードN2を遮断する。そして、ターンオンされた第3トランジスタTB3を通じて第1電源電圧ELVDDから有機発光素子OLEDのカソード電極までの電流経路が形成され、N-1フレームの走査区間中に発光画素EP2に書き込まれて、第2キャパシタC2に保存されたデータ信号に対応する輝度で有機発光素子OLEDが発光する。この時、表示領域AA内のすべての発光画素EP2が同時に発光する。すなわち、走査/発光区間(Scan/Emission)では、Nフレームのデータ信号が走査信号によって順次に入力され、これと同時に、N-1フレームのデータ信号に対応して表示領域AA内のすべての発光画素EP2が同時に発光する。

30

【0142】

図35は、本発明の他の実施形態による発光画素の回路図である。

【0143】

図35を参照すれば、発光画素EP3は、発光素子Eと、発光素子Eに電流を供給するための画素回路2Cとを備える。ダミー画素DPは、発光素子Eが除外された画素回路2Cを備える。発光素子Eは、アノード電極、カソード電極、アノード電極とカソード電極との間の発光層を含み、アノード電極が複数に分割された構造の有機発光素子OLEDである。発光素子Eは、アノード電極の複数分割によって並列連結された第1の有機発光素子OLED1ないし第nの有機発光素子OLEDnを含む。これによって、画素回路2Aからの駆動電流は、第1ないし第nの有機発光素子OLED1ないしOLEDnに分けられて印加される。不良の有機発光素子が分離されれば、残りの有機発光素子に駆動電流が分けられて印加されるので、輝度損失なしに発光できる。発光素子Eと連結された回路連結配線12と、画素回路2Cと連結された回路配線15との連結は、回路配線15を切断することで切れ、これによって画素回路2Cと発光素子Eとが分離される。

40

【0144】

画素回路2Cは、8個のトランジスタTC1ないしTC8、及び2個のキャパシタC

50

1 及び C 2 を備える。

【 0 1 4 5 】

第 1 トランジスタ T C 1 のゲート電極は、走査線から走査信号 S を印加され、第 1 電極は、データ線に連結されてデータ信号 D を印加され、第 2 電極は、第 1 ノード N 1 に連結される。

【 0 1 4 6 】

第 2 トランジスタ T C 2 のゲート電極は、第 1 制御信号 G W を印加され、第 1 電極は、第 1 ノード N 1 に連結され、第 2 電極は、第 2 ノード N 2 に連結される。

【 0 1 4 7 】

第 3 トランジスタ T C 3 のゲート電極は、第 2 制御信号 G I を印加され、第 1 電極は、初期化電源に連結されて初期化電圧 V i n t を印加され、第 2 電極は、第 3 ノード N 3 に連結される。

10

【 0 1 4 8 】

第 4 トランジスタ T C 4 のゲート電極は、第 1 制御信号 G W を印加され、第 1 電極は、第 3 ノード N 3 に連結され、第 2 電極は、第 4 ノード N 4 に連結される。

【 0 1 4 9 】

第 5 トランジスタ T C 5 のゲート電極は、第 2 制御信号 G I を印加され、第 1 電極は、第 1 電源に連結されて第 1 電源電圧 E L V D D を印加され、第 2 電極は、第 2 ノード N 2 に連結される。

【 0 1 5 0 】

20

第 6 トランジスタ T C 6 のゲート電極は、第 3 ノード N 3 に連結され、第 1 電極は、第 2 ノード N 2 に連結され、第 2 電極は、第 4 ノード N 4 に連結される。第 6 トランジスタ T C 6 は、駆動トランジスタの役割を行う。

【 0 1 5 1 】

第 7 トランジスタ T C 7 のゲート電極は、第 3 制御信号 G E を印加され、第 1 電極は、第 4 ノード N 4 に連結され、第 2 電極は、有機発光素子 O L E D のアノード電極に連結される。

【 0 1 5 2 】

第 8 トランジスタ T C 8 のゲート電極は、第 3 制御信号 G E を印加され、第 1 電極は、第 1 電源に連結されて第 1 電源電圧 E L V D D を印加され、第 2 電極は、第 2 ノード N 2 に連結される。

30

【 0 1 5 3 】

第 1 キャパシタ C 1 は、第 1 ノード N 1 と第 3 電源電圧 V h o l d を供給する第 3 電源との間に連結される。第 1 キャパシタ C 1 は、第 1 トランジスタ T C 1 がターンオンされる時にデータ線から供給されるデータ信号 D に対応する電圧を充電する。第 3 電源は、所定電圧の固定電源（例えば、直流電源）に設定され、例えば、第 1 電源電圧 E L V D D を印加する第 1 電源または初期化電圧 V i n t を印加する初期化電源に設定される。第 2 キャパシタ C 2 は、第 3 ノード N 3 と第 1 電源との間に連結される。

【 0 1 5 4 】

初期化区間で第 1 電源電圧 E L V D D がハイレベルに印加され、第 2 電源電圧 E L V S S 及び第 2 制御信号 G I がローレベルに印加される。これによって、第 3 トランジスタ T C 3 及び第 5 トランジスタ T C 5 がターンオンされ、第 2 ノード N 2 に第 1 電源電圧 E L V D D が印加され、第 3 ノード N 3 に初期化電圧 V i n t が印加される。

40

【 0 1 5 5 】

補償 / データ移動区間で第 1 電源電圧 E L V D D 、第 2 電源電圧 E L V S S 、第 1 制御信号 G W がローレベルに印加される。これによって、第 2 トランジスタ T C 2 がターンオンされて、第 1 キャパシタ C 1 に保存されていた N - 1 フレームの走査区間中に発光画素 E P 3 に書き込まれたデータ信号 D が第 2 ノード N 2 に移動する。また第 4 トランジスタ T C 4 がターンオンされて第 6 トランジスタ T C 6 はダイオード連結され、ダイオード連結された第 6 トランジスタ T C 6 を通じて電流が流れるようになって、第 6 トランジスタ

50

タTC6のしきい電圧を補償しつつ、第2キャパシタC2には駆動電圧ELVDDと第2ノードN2との電圧差が保存される。

【0156】

走査/発光区間では、走査区間及び発光区間が同時に進む。走査/発光区間で第1電源電圧ELVDDがハイレベルに印加され、第2電源電圧ELVSS及び第3制御信号GEがローレベルに印加される。そして、ローレベルの走査信号Sが走査線に輸入されて第1トランジスタTC1はターンオンされ、走査線に連結された発光画素EP3にNフレームのデータ信号が入力される。これによって、第1キャパシタC1にはNフレームのデータ信号に対応する電圧が保存される。

【0157】

一方、第2トランジスタTC2は、ターンオフされて第1ノードN1及び第2ノードN2を遮断する。そして、第7トランジスタTC7及び第8トランジスタTC8がターンオンされ、ターンオンされた第6トランジスタMC6を通じて第1電源電圧ELVDDから有機発光素子OLEDのカソード電極までの電流経路が形成され、N-1フレームの走査区間中に発光画素EP3に書き込まれて、第2キャパシタC2に保存されたデータ信号に対応する輝度で有機発光素子OLEDが発光する。この時、表示領域AA内のすべての発光画素EP2が同時に発光する。すなわち、走査/発光区間では、Nフレームのデータ信号が走査信号によって順次に入力され、これと同時に、N-1フレームのデータ信号に対応して表示領域AA内のすべての発光画素EP3が同時に発光する。一方、発光区間(Emission)は走査区間(Scan)と一部重畳するが、走査区間(Scan)より短く実行される。

【0158】

図36は、本発明の他の実施形態による発光画素の回路図である。

【0159】

図36を参照すれば、発光画素EP4は、発光素子Eと、発光素子Eに電流を供給するための画素回路2Dとを備える。ダミー画素DPは、発光素子Eが除外された画素回路2Dを備える。発光素子Eは、アノード電極、カソード電極、アノード電極とカソード電極との間の発光層を含み、アノード電極が複数に分割された構造の有機発光素子OLEDである。発光素子Eは、アノード電極の複数分割によって並列連結された第1の有機発光素子OLED1ないし第nの有機発光素子OLEDnを含む。これによって、画素回路2Aからの駆動電流は、第1ないし第nの有機発光素子OLED1ないしOLEDnに分けられて印加される。不良の有機発光素子が分離されれば、残りの有機発光素子に駆動電流が分けられて印加されるので、輝度損失なしに発光できる。発光素子Eと連結された回路連結配線12と、画素回路2Dと連結された回路配線15との連結は回路配線15を切断することで切れ、これによって画素回路2Dと発光素子Eとが分離される。

【0160】

画素回路2Dは、2個のトランジスタTD1及びTD2と、1個のキャパシタCとを備える。

【0161】

第1トランジスタTD1は、ゲート電極が走査線に連結され、第1電極がデータ線に連結され、第2電極が第1ノードN1に連結される。

【0162】

第2トランジスタTD2は、ゲート電極が第1ノードN1に連結され、第1電極が第1電源から第1電源電圧ELVDDを印加され、第2電極が発光素子Eのアノード電極に連結される。

【0163】

キャパシタCは、第1電極が第1ノードN1に連結され、第2電極が第1電源から第1電源電圧ELVDDを印加される。

【0164】

第1トランジスタT1は、走査線から走査信号Sが供給される時、データ線から供給

10

20

30

40

50

されるデータ信号DをキャパシタCの第1電極に伝達する。これによって、キャパシタCにはデータ信号Dに対応する電圧が充電され、キャパシタCに充電された電圧に対応する駆動電流が、第2トランジスタT2を通じて発光素子Eに伝達され、発光素子Eが発光する。

【0165】

図36では、一つの画素に2個のトランジスタ及び1個のキャパシタを備える2Tr-1Cap構造を示しているが、本発明がこれに限定されるものではない。したがって、一つの画素に2個以上の複数の薄膜トランジスタ及び一つ以上のキャパシタを備えられ、別途の配線がさらに形成されるか、または既存の配線が省略されて多様な構造を持つように形成されてもよい。

【0166】

図37は、本発明の他の実施形態による表示パネルを示す図面である。

【0167】

図37を参照すれば、表示パネル10dには複数の走査線SL、複数のデータ線DL、及び複数のリペア線RLの交差部に略行列状に配列された複数の画素Pが形成される。画素Pは、表示領域AAに形成された発光画素EPと、非表示領域NAに形成されたダミー画素DPとを含む。非表示領域NAは、表示領域AAの上下部のうち少なくとも一つの領域に形成される。これによってダミー画素DPは、画素列の上下部のうち少なくとも一つの領域に画素列ごとに形成される。図37では、画素列の下部にダミー画素DPが形成された例を示す。

【0168】

一つの発光画素EPは、3つの発光副画素SEP1、SEP2、SEP3で構成され、発光副画素SEP1、SEP2、SEP3は列方向に沿って配列される。各発光副画素SEP1、SEP2、SEP3は、画素回路PCと、画素回路PCと連結された発光素子Eとを備える。各発光素子Eは、アノード電極、カソード電極及びアノード電極とカソード電極との間の発光層を含む有機発光素子OLEDである。各発光素子Eのアノード電極は少なくとも2つに分割され、これによって発光素子Eは、少なくとも2つのサブ発光素子を含む。

【0169】

各発光副画素SEP1、SEP2、SEP3の画素回路PC及び/または発光素子Eは、サイズが互いに異なる。3つの発光副画素SEP1、SEP2、SEP3は、一つの走査線SLiに共通に連結され、3つのデータ線DLj\_\_1、DLj\_\_2、DLj\_\_3にそれぞれ連結される。よって、走査線SLiに走査信号が供給されれば、データ信号が3つのデータ線DLj\_\_1、DLj\_\_2、DLj\_\_3を通じて各発光副画素SEP1、SEP2、SEP3に供給され、これによって、各発光副画素SEP1、SEP2、SEP3は該データ信号に対応する電圧を充電し、これに対応する輝度で発光する。

【0170】

ダミー画素DPも3つのダミー副画素SDP1、SDP2、SDP3で構成され、ダミー副画素SDP1、SDP2、SDP3は列方向に沿って配列される。各ダミー副画素SDP1、SDP2、SDP3は、発光素子Eなしに画素回路PCのみを備える。ダミー副画素SDP1、SDP2、SDP3それぞれの画素回路PCは、発光副画素SEP1、SEP2、SEP3それぞれの画素回路PCと同一である。3つのダミー副画素SDP1、SDP2、SDP3は、一つの走査線SLn+1に共通に連結され、3つのデータ線DLj\_\_1、DLj\_\_2、DLj\_\_3にそれぞれ連結される。よって、走査線SLn+1に走査信号が供給されれば、データ信号が3つのデータ線DLj\_\_1、DLj\_\_2、DLj\_\_3を通じて各ダミー副画素SDP1、SDP2、SDP3に供給される。

【0171】

発光副画素SEP1、SEP2、SEP3のうち第2発光副画素SEP2の画素回路PCが不良の場合、第2発光副画素SEP2の画素回路PCと発光素子SE2とを分離し、発光素子SE2をリペア線RLjと連結する。そして、ダミー副画素SDP1、SDP

10

20

30

40

50

2、SDP3のうち第2発光副画素SEP2に対応する第2ダミー副画素SDP2の画素回路PCをリペア線RLjと連結する。

【0172】

図37の実施形態は、一つの画素を構成する複数の副画素の特性が互いに異なる場合にダミー画素を複数の副画素で形成した例である。しかし、この場合にもダミー画素を一つの副画素で構成し、ダミー画素に印加されるデータ信号のガンマ値を補正することで同じく駆動できる。

【0173】

図38は、本発明の他の実施形態による発光画素の回路図である。

【0174】

図38を参照すれば、発光画素EP5は、発光素子Eと、発光素子Eに電流を供給するための画素回路2Eとを備える。ダミー画素DPは、発光素子Eが除外された画素回路2Eを備える。発光素子Eは、アノード電極、カソード電極、アノード電極とカソード電極との間の発光層を含み、アノード電極が複数に分割された構造の有機発光素子OLEDである。発光素子Eは、アノード電極の複数分割によって並列連結された第1の有機発光素子OLED1ないし第nの有機発光素子OLEDnを含む。これによって、画素回路2Aからの駆動電流は、第1ないし第nの有機発光素子OLED1ないしOLEDnに分けられて印加される。不良の有機発光素子が分離されれば、残りの有機発光素子に駆動電流が分けられて印加されるので、輝度損失なしに発光できる。発光素子Eと連結された回路連結配線12と、画素回路2Eと連結された回路配線15、19との連結は、回路配線15、19を切断することで切れ、これによって画素回路2Eと発光素子Eとが分離される。

【0175】

図38に示された画素回路2Eは、図35に示された画素回路2Cと比較して、第9トランジスタTC9が加えられることで発光素子Eと連結される回路配線19が加えられた点を除いては画素回路2Cと同一であるので、同じ構成及び駆動に関する説明は略する。

【0176】

第9トランジスタTC9のゲート電極は第2制御信号GIを印加されて、第1電極は初期化電源に連結されて初期化電圧Vintを印加されて、第2電極は発光素子Eのアノード電極に連結される。第9トランジスタTC9は第2制御信号GIによってターンオンされてアノード電極に初期化電圧Vintを印加する。

【0177】

図39は、図38に示された画素回路2Eを備える発光画素を示す平面図である。

【0178】

図39は、一つの走査線SLに連結され、複数のデータ線DL\_R、DL\_G、DL\_Bにそれぞれ連結された3つの発光副画素SEP\_R、SEP\_G、SEP\_Bを含む発光画素を示す。赤色副画素SEP\_Rは、二分割されたアノード電極によって、2つの赤色サブ発光素子OLED\_R1、OLED\_R2及び赤色画素回路PC\_Rを含む。緑副画素SEP\_Gは、二分割されたアノード電極によって2つの緑サブ発光素子OLED\_G1、OLED\_G2及び緑画素回路PC\_Gを含む。青色副画素SEP\_Bは、二分割されたアノード電極によって、2つの青色サブ発光素子OLED\_B1、OLED\_B2及び青色画素回路PC\_Bを含む。説明及び理解の便宜のために、図39では各サブ発光素子のアノード電極のみを示した。

【0179】

図39を参照すれば、3つの発光副画素SEP\_R、SEP\_G、SEP\_Bの左側にリペア線RLが画素列方向に配され、右側に第1制御信号GWを印加する第1信号線GWL、第2制御信号GIを印加する第2信号線GIL、第3制御信号GEを印加する第3信号線GEL、電源電圧線ELVDDL、初期化電圧線VL、及び複数のデータ線DL\_R、DL\_G、DL\_Bが画素列方向に配される。

10

20

30

40

50

## 【 0 1 8 0 】

各発光副画素 S E P \_\_ R、S E P \_\_ G、S E P \_\_ B は、リペア線 R L と仮連結された短絡ノード S N 1 \_\_ R、S N 1 \_\_ G、S N 1 \_\_ B を備え、サブ発光素子を連結する電極連結配線に形成された切断ノード C N 1 \_\_ R、C N 2 \_\_ R、C N 1 \_\_ G、C N 2 \_\_ G、C N 1 \_\_ B、C N 2 \_\_ B を備える。サブ発光素子は、発光画素回路 P C \_\_ R、P C \_\_ G、P C \_\_ B と連結された回路配線 1 5、1 9 の切断によって発光画素回路 P C \_\_ R、P C \_\_ G、P C \_\_ B から分離される。

## 【 0 1 8 1 】

図 4 0 は、図 3 8 に示された画素回路 2 E を備えるダミー画素を示す平面図である。

## 【 0 1 8 2 】

図 4 0 は、一つの走査線 S L に連結されて複数のデータ線 D L \_\_ R、D L \_\_ G、D L \_\_ B にそれぞれ連結された 3 つのダミー副画素 S E P \_\_ R、S E P \_\_ G、S E P \_\_ B を含むダミー画素を示す。赤色ダミー副画素 S D P \_\_ R は、赤色画素回路 P C \_\_ R を含む。緑副画素 S E P \_\_ G は、緑画素回路 P C \_\_ G を含む。青色副画素 S E P \_\_ B は、青色画素回路 P C \_\_ B を含む。

## 【 0 1 8 3 】

図 4 0 を参照すれば、3 つのダミー副画素 S D P \_\_ R、S D P \_\_ G、S D P \_\_ B の左側にリペア線 R L が画素列方向に配され、右側に第 1 制御信号 G W を印加する第 1 信号線 G W L、第 2 制御信号 G I を印加する第 2 信号線 G I L、第 3 制御信号 G E を印加する第 3 信号線 G E L、電源電圧線 E L V D D L、初期化電圧線 V L、及び複数のデータ線 D L \_\_ R、D L \_\_ G、D L \_\_ B が画素列方向に配される。

## 【 0 1 8 4 】

各ダミー副画素 S E P \_\_ R、S E P \_\_ G、S E P \_\_ B は、リペア線 R L と仮連結された短絡ノード S N 2 \_\_ R、S N 2 \_\_ G、S N 2 \_\_ B を備える。リペア線 R L は、電源電圧線 E L V D D L と連結されており、今後リペア線 R L を用いて不良画素をリペアする場合、電源連結配線 1 8 の領域 X を切断して電源電圧線 E L V D D L とリペア線 R L とが分離される。

## 【 0 1 8 5 】

図 4 1 は、本発明の他の実施形態による発光画素の発光素子の平面図である。図 4 2 は、図 4 1 の C - C ' 線の断面図である。

## 【 0 1 8 6 】

図 4 1 を参照すれば、本発明の一実施形態で発光素子の分割電極、すなわち、第 1 及び第 2 アノード電極 A D 1 及び A D 2 と、電極連結配線 1 1 及び回路連結配線 1 2 とが一体に形成される。電極連結配線 1 1 は、第 1 アノード電極 A D 1 及び第 2 アノード電極 A D 2 それぞれと連結される第 1 連結部 C U 1、及び回路連結配線 1 2 と連結される第 2 連結部 C U 2 を備える。第 1 連結部 C U 1 それぞれと第 2 連結部 C U 2 との間には、第 1 切断ノード C N 1 及び第 2 切断ノード C N 2 が形成される。これによって、今後第 1 切断ノード C N 1 及び第 2 切断ノード C N 2 にレーザービームを照射して切る。電極連結配線 1 1 は、短絡配線 1 4 とコンタクトされ、短絡配線 1 4 は、第 1 短絡ノード S N 1 でリペア連結配線 1 3 の一部と重畳してリペア連結配線 1 3 と仮連結される。そして、リペア線 R L は、コンタクトホールを通じてリペア連結配線 1 3 と連結される。これによって、今後第 1 短絡ノード S N 1 へのレーザービームの照射によって、短絡配線 1 4 とリペア連結配線 1 3 とが連結される。

## 【 0 1 8 7 】

リペア線 R L 及び短絡配線 1 4 は、画素回路 P C の薄膜トランジスタを構成する一つの導電性電極、例えば、ソース電極及びドレイン電極と同一層に同一物質で形成される。リペア線 R L 及び短絡配線 1 4 の上部には、第 3 絶縁膜 1 0 5 が形成され、第 3 絶縁膜 1 0 5 の上部には、第 1 アノード電極 A D 1 と第 2 アノード電極 A D 2 及び電極連結配線 1 1 と回路連結配線 1 2 とが一体に形成される。第 1 アノード電極 A D 1 及び第 2 アノード電極 A D 2 の上部には、第 1 アノード電極 A D 1 及び第 2 アノード電極 A D 2 のエッジを

10

20

30

40

50

カバーする第4絶縁膜106が形成される。

【0188】

図43は、本発明の一実施形態による発光画素を含む有機発光表示装置の断面図である。

【0189】

図43を参照すれば、本発明の一実施形態による有機発光表示装置の基板101上には、複数の発光画素EPが含まれて画像を表示する表示領域AAが備えられる。表示領域AAの外郭の非表示領域NAには、ダミー画素DP及び表示領域AAに複数の駆動信号及び制御信号を伝達するパッド部PADが形成されている。図43では、発光画素EP及びパッド部PADのみを示す。

【0190】

図43を参照すれば、有機発光表示装置は、複数のサブ発光素子を含む発光素子E、少なくとも一つの薄膜トランジスタTR、及び少なくとも一つのキャパシタCAPを備えて発光素子Eに駆動電流を供給する画素回路PC及びパッド部PADを備える。

【0191】

発光素子Eは、複数の分割電極AD1、AD2を含むアノード電極ADと、アノード電極ADに対向するカソード電極CD、及びアノード電極ADとカソード電極CDとの間に配された発光層を含む有機層OLとを含む。

【0192】

アノード電極ADは、半透過金属と、半透過金属の上部及び下部にそれぞれ形成されて半透過金属を保護する透明導電性酸化物とを含む3重層構造である。半透過金属は、銀(Ag)または銀合金を含み、透明導電性酸化物は、酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化亜鉛(ZnO)、酸化インジウム(In<sub>2</sub>O<sub>3</sub>)、酸化インジウムガリウム(IGO)、及びアルミニウム酸化亜鉛(AZO)を含む群から選択された少なくとも一つ以上を含む。半透過金属は、カソード電極CDと共にマイクロキャビティ構造を形成することで有機発光表示装置の光効率を向上させる。分割電極AD1、AD2のエッジには、分割電極AD1、AD2をカバーする画素定義膜である第4絶縁膜106が形成される。分割電極AD1、AD2のうち一つは、トランジスタTRのソース電極217a及びドレイン電極217bのうち一つとコンタクト金属117を介して連結される。

【0193】

図示されていないが、分割電極AD1、AD2は、電極連結配線11(図15及び図41参照)によって互いに連結される。電極連結配線11は、アノード電極ADと同じ物質で同一層に一体に形成され、または、トランジスタTRの活性層212と同じ物質で同一層に形成されてアノード電極ADとコンタクトされる。また電極連結配線11は、トランジスタTRのソース電極217a及びドレイン電極217bのうち一つとコンタクトできる。電極連結配線11と連結されたトランジスタTRは、分割電極AD1、AD2のうち一つと連結されたトランジスタTRと異なるトランジスタTRである。

【0194】

カソード電極CDは、反射物質を含む反射電極で構成される。この時、カソード電極CDは、Al、Mg、Li、Ca、LiF/Ca、及びLiF/Alから選択された一つ以上の材料を含む。カソード電極CDが反射電極で備えられることで、有機層OLから放出された光はカソード電極CDに反射し、半透過金属であるアノード電極ADを透過して基板101側に放出される。

【0195】

トランジスタTRは、基板101のバッファ層102上に配された活性層212、活性層212上にゲート絶縁膜である第1絶縁膜103を介して活性層212のチャネル領域212cに対応する位置に配されたゲート電極215、ゲート電極215上に、層間絶縁膜である第2絶縁膜104を介して活性層212のソース領域212a及びドレイン領域212bにそれぞれ接続するソース電極217a及びドレイン電極217bを含む。

10

20

30

40

50

## 【0196】

活性層212は、非晶質シリコンまたは結晶質シリコンを含む半導体、または酸化物半導体を含む。活性層212は、チャネル領域212cと、チャネル領域212cの両側にイオン不純物がドーピングされたソース領域212a及びドレイン領域212bを含む。ゲート電極215は、例えば、アルミニウム(Al)、白金(Pt)、パラジウム(Pd)、銀(Ag)、マグネシウム(Mg)、金(Au)、ニッケル(Ni)、ネオジム(Nd)、イリジウム(Ir)、クロム(Cr)、ニッケル(Li)、カルシウム(Ca)、モリブデン(Mo)、チタン(Ti)、タングステン(W)、銅(Cu)から選択された一つ以上の金属で単層または複数層に形成される。ソース電極217a及びドレイン電極217bは、電子移動度の異なる異種の金属層が2層以上形成されたものである。例えば、アルミニウム(Al)、白金(Pt)、パラジウム(Pd)、銀(Ag)、マグネシウム(Mg)、金(Au)、ニッケル(Ni)、ネオジム(Nd)、イリジウム(Ir)、クロム(Cr)、ニッケル(Li)、カルシウム(Ca)、モリブデン(Mo)、チタン(Ti)、タングステン(W)、銅(Cu)及びこれらの合金から選択された金属層が2層以上形成されたものである。

10

## 【0197】

キャパシタCAPは、活性層212と同一層に配された第1電極312と、ゲート電極215と同一層に配された第2電極314と、ソース電極217a及びドレイン電極217bと同一層に配された第3電極317とを備える。

## 【0198】

キャパシタの第1電極312は、活性層212のソース領域212a及びドレイン領域212bのようにイオン不純物のドーピングされた半導体で形成される。キャパシタの第2電極314は、たとえゲート電極215と同じく第1絶縁膜103上に位置するとしても、その材料は異なる。第2電極314の材料は、透明導電性酸化物を含む。第2電極314を介して第1電極312にイオン不純物がドーピングされた半導体を形成することで、キャパシタをMIM(Metal-insulator-Metal)構造で形成する。キャパシタの第3電極317は、ソース電極217a及びドレイン電極217bと同じ材料で形成される。

20

## 【0199】

パッド領域PADには、外装ドライバーの接続端子であるパッド電極417、718が配される。

30

## 【0200】

第1パッド電極417は、電子移動度の異なる複数の金属層を含む。例えば、第1パッド電極417は、アルミニウム(Al)、白金(Pt)、パラジウム(Pd)、銀(Ag)、マグネシウム(Mg)、金(Au)、ニッケル(Ni)、ネオジム(Nd)、イリジウム(Ir)、クロム(Cr)、ニッケル(Li)、カルシウム(Ca)、モリブデン(Mo)、チタン(Ti)、タングステン(W)、銅(Cu)から選択された一つ以上の金属が複数層に形成される。

## 【0201】

第2パッド電極418は、酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化亜鉛(ZnO)、酸化インジウム(In<sub>2</sub>O<sub>3</sub>)、酸化インジウムガリウム(IGO)、及びアルミニウム酸化亜鉛(AZO)を含む群から選択された少なくとも一つ以上を含む透明導電性酸化物で形成される。第1パッド電極417が水分及び酸素に被曝することを防止してパッドの信頼性低下を防止する。

40

## 【0202】

前述した実施形態では、画素回路をPMOSトランジスタで具現して、ローレベルの信号がイネーブル信号であり、ハイレベルの信号がディセーブル信号である例を説明したが、画素回路をNMOSトランジスタで具現して印加される信号を反転させることで、本発明の駆動方法を適用できるということはいうまでもない。この場合、ハイレベルの信号がイネーブル信号になり、ローレベルの信号がディセーブル信号になる。

50

## 【0203】

前述した実施形態で、発光画素回路とダミー画素回路とは同一、または発光画素回路のうち一部の薄膜トランジスタ及び/またはキャパシタが省略及び/または加えられることで相異なる。

## 【0204】

また前述した実施形態では、アノード電極の2分割構造で説明しているが、3分割、4分割のような複数の分割電極構造が可能であるということは前述した通りである。

## 【0205】

本発明の実施形態で薄膜トランジスタ(TFT)の動作点は飽和領域に含まれ、不良画素のアノード電極の抵抗が高い場合、抵抗値を予測して不良画素の電流補正を行える。

10

## 【0206】

本発明の実施形態は、前述した特定画素構造及び駆動方法に限定されず、多様な駆動方法で駆動する多様な画素に適用されて、画素回路不良または発光素子不良による不良画素の明点または暗点をリペアして輝度損失なしに発光可能にする。

## 【0207】

本明細書では、本発明を限定された実施形態を中心として説明したが、本発明の範囲内で多様な実施形態が可能である。また説明されてはいないが、均等な手段も本発明にそのまま結合されるといえる。したがって、本発明の真の保護範囲は特許請求の範囲によって定められねばならない。

## 【産業上の利用可能性】

20

## 【0208】

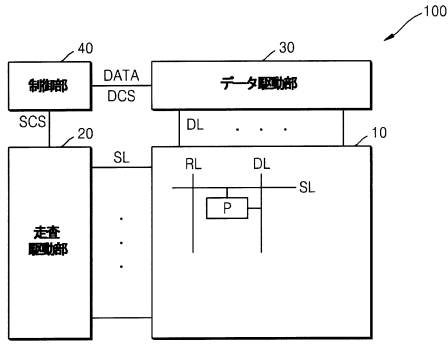
本発明は、有機発光表示装置及びそのリペア方法関連の技術分野に好適に用いられる。

## 【符号の説明】

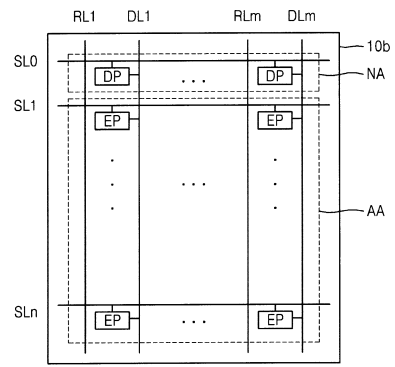
## 【0209】

- 100 表示装置
- 10 表示パネル
- 20 走査駆動部
- 30 データ駆動部
- 40 制御部

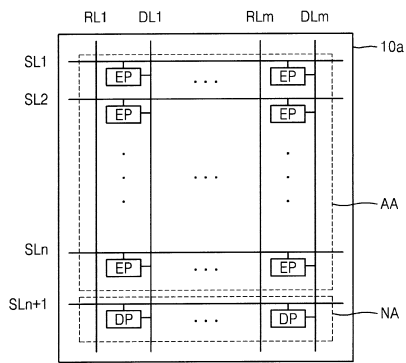
【図1】



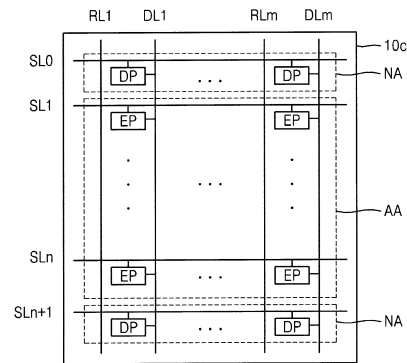
【図3】



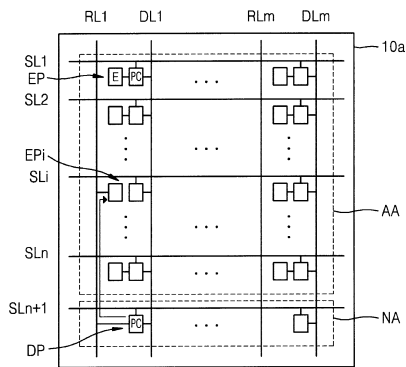
【図2】



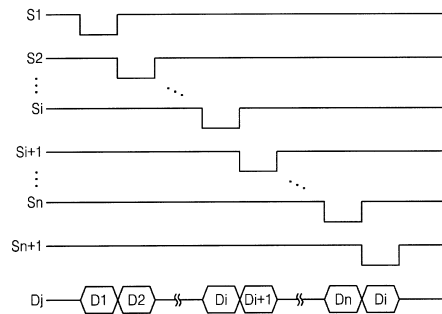
【図4】



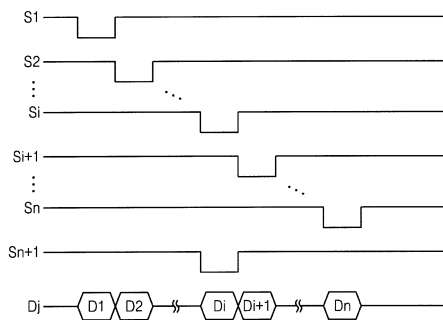
【図5】



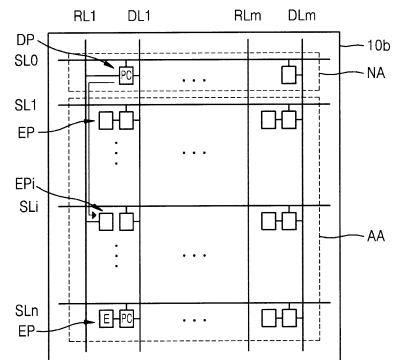
【図7】



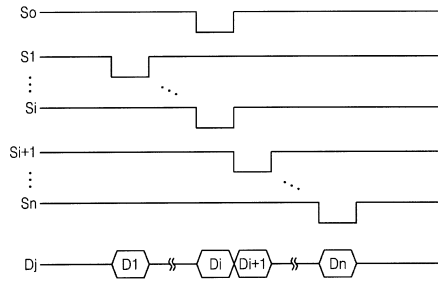
【図6】



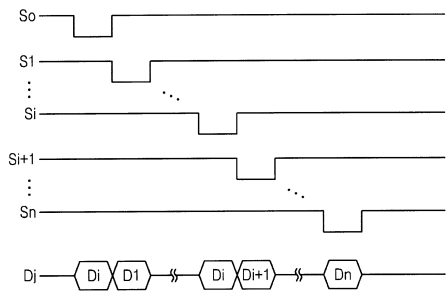
【図8】



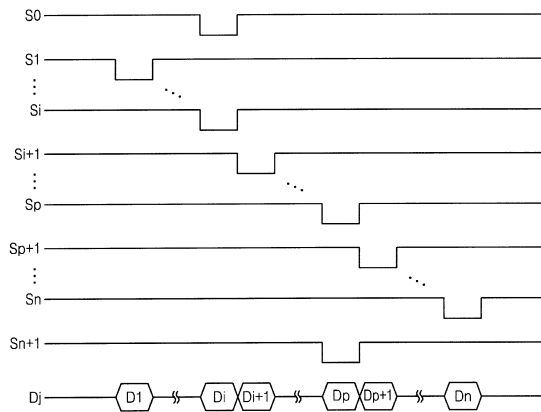
【図 9】



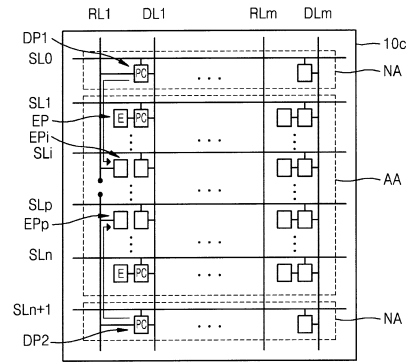
【図 10】



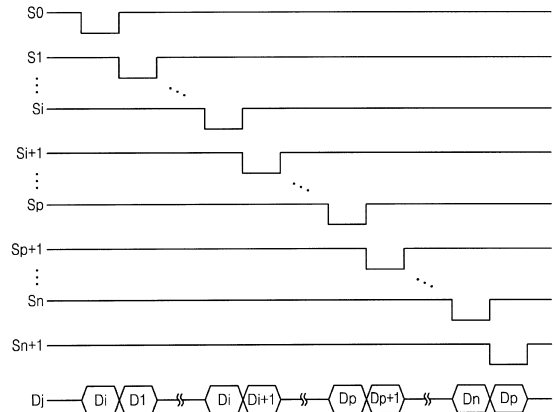
【図 12】



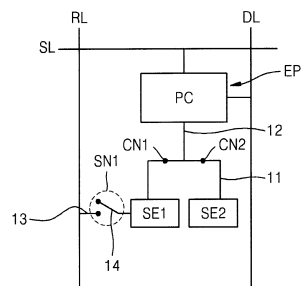
【図 11】



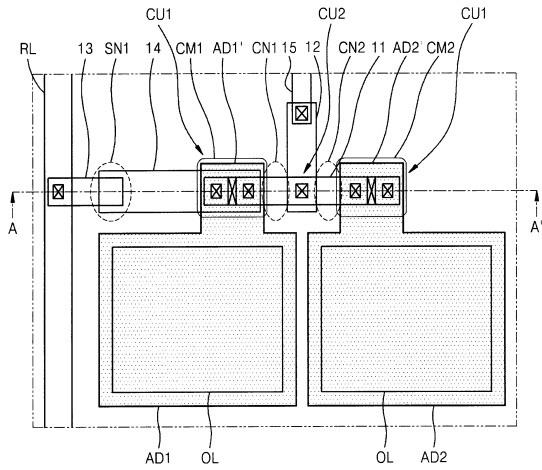
【図 13】



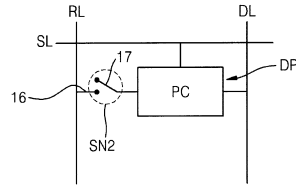
【図 14】



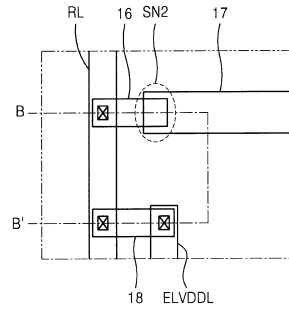
【図15】



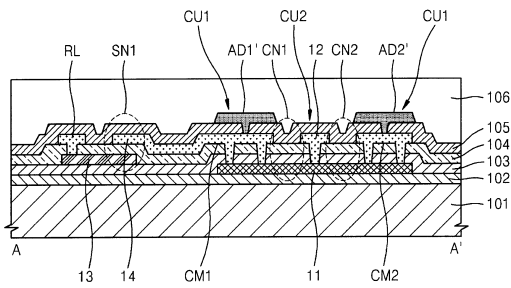
【図17】



【図18】

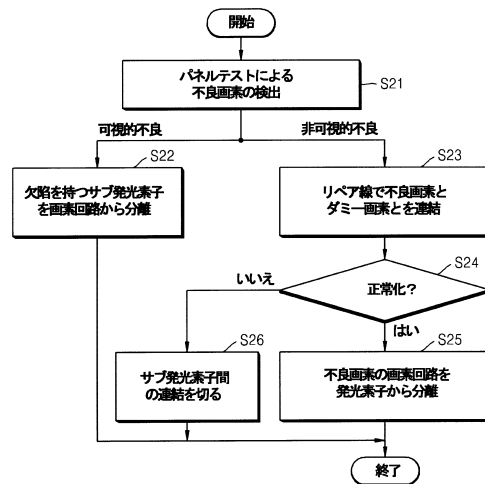
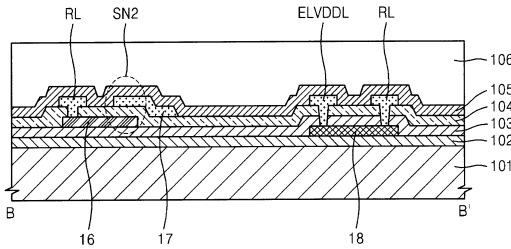


【図16】



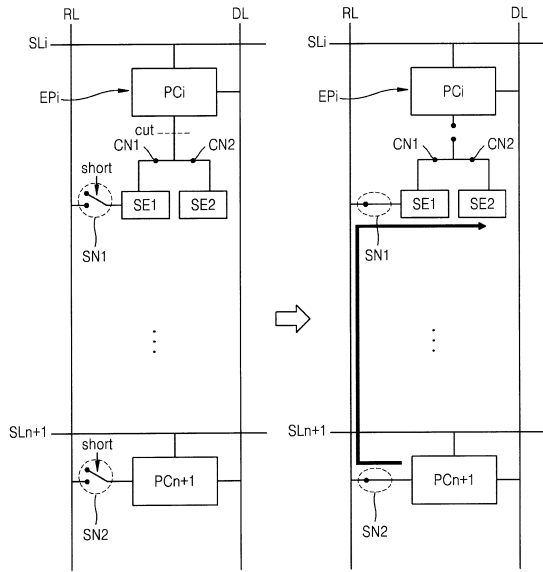
【図20】

【図19】

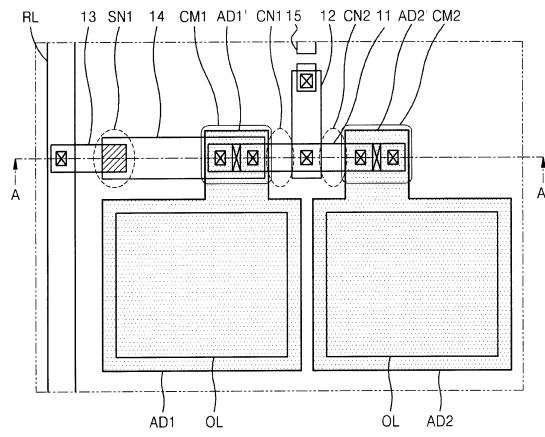




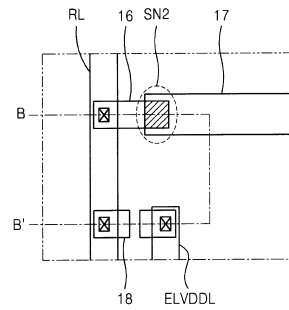
【図27】



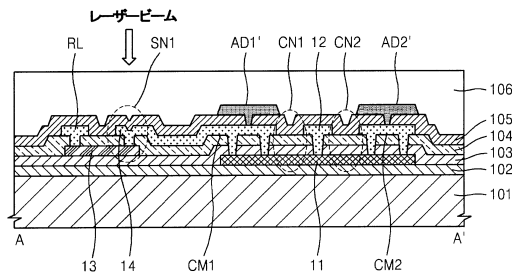
【図28A】



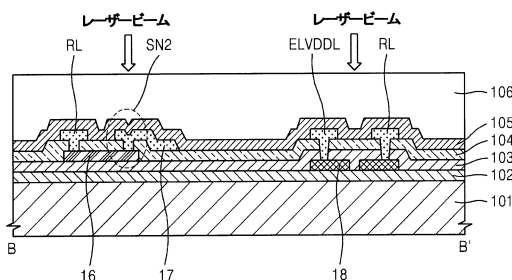
【図28B】



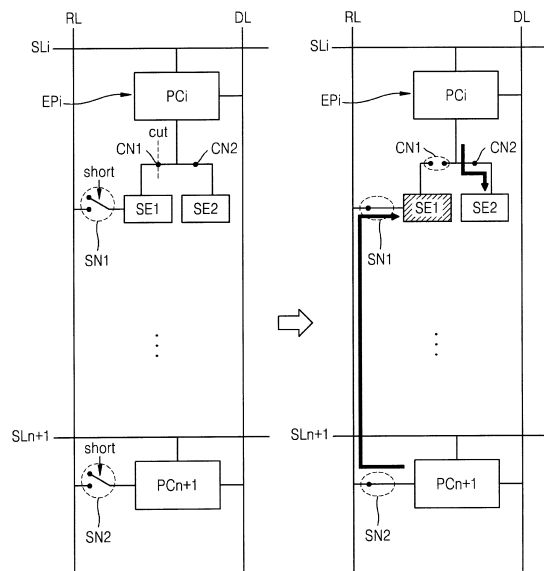
【図29A】



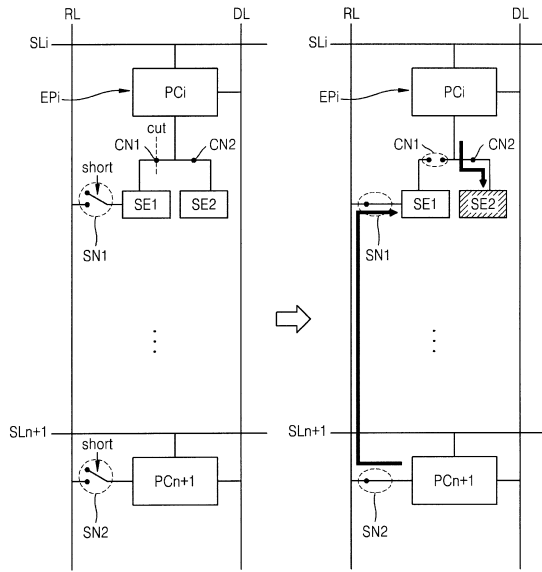
【図29B】



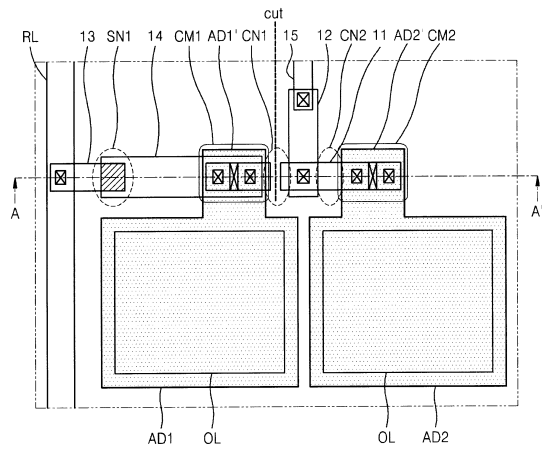
【図30A】



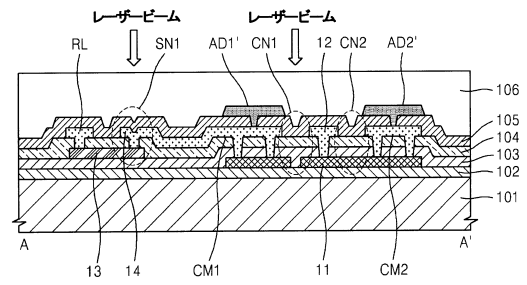
【図30B】



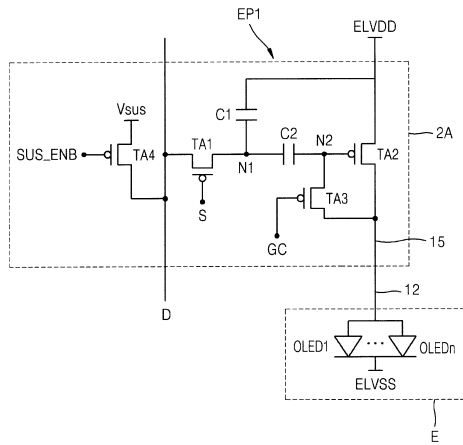
【図31】



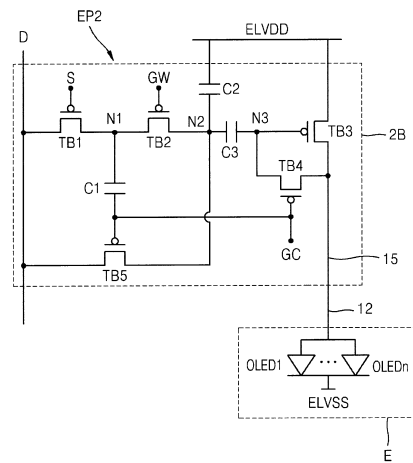
【図32】



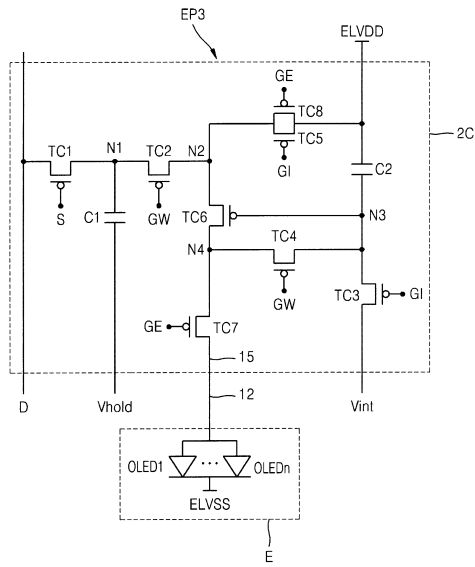
【図33】



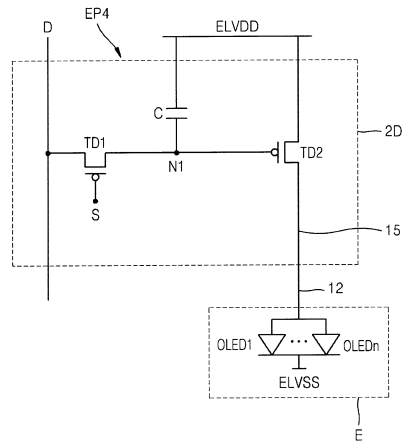
【図34】



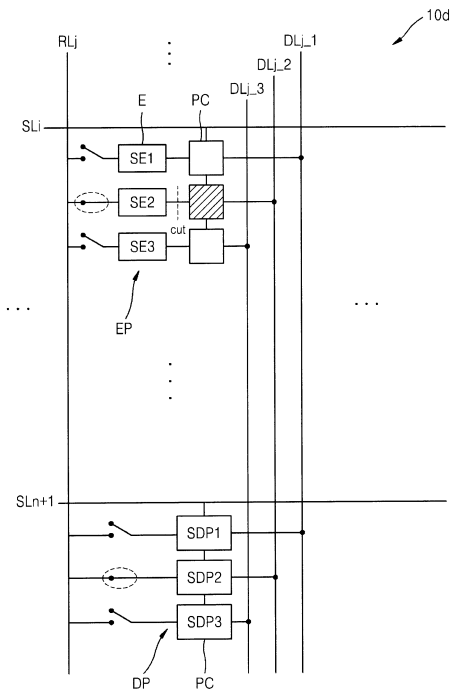
【図35】



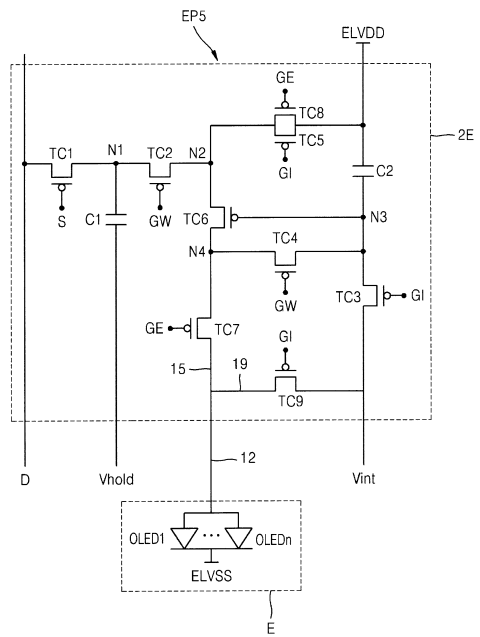
【図36】



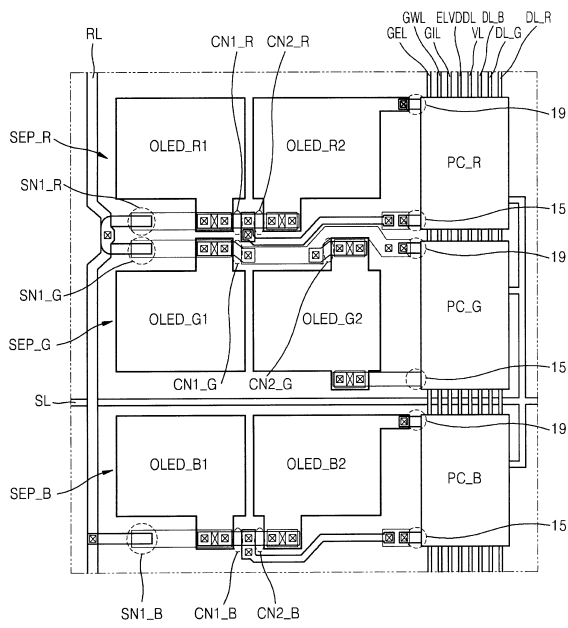
【図37】



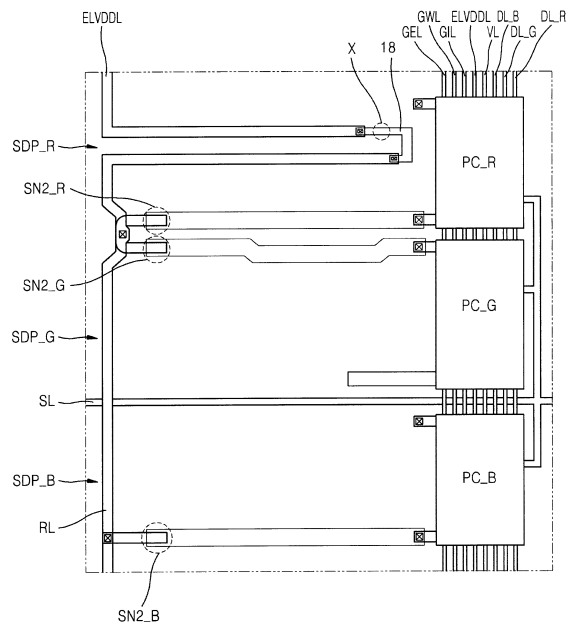
【図38】



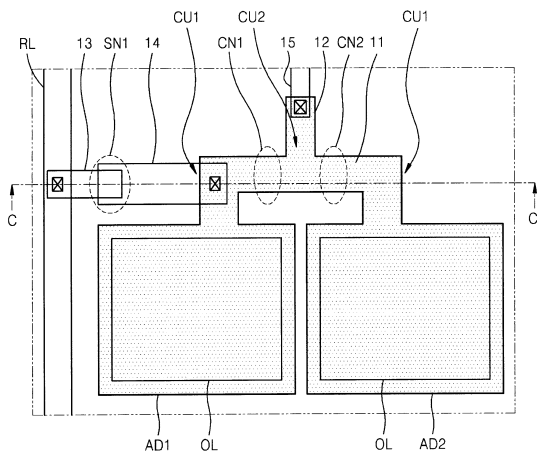
【 39 】



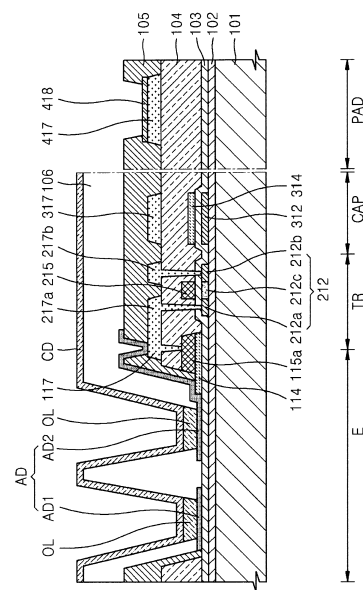
【 40 】



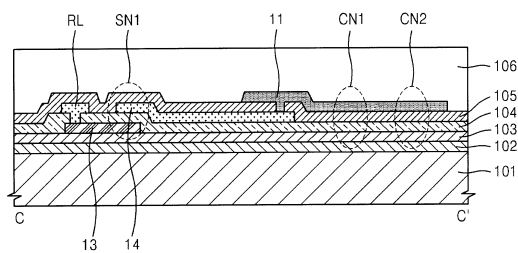
【 41 】



【 43 】



【 42 】



## フロントページの続き

(51)Int.Cl.		F I		
H 0 5 B	33/10	(2006.01)	G 0 9 G	3/20 6 8 0 G
H 0 5 B	33/08	(2006.01)	G 0 9 G	3/20 6 7 0 Q
H 0 5 B	33/28	(2006.01)	G 0 9 G	3/30 J
			H 0 5 B	33/14 A
			H 0 5 B	33/22 Z
			H 0 5 B	33/10
			H 0 5 B	33/08
			H 0 5 B	33/28

- (72)発明者 黄 榮 仁  
大韓民国京畿道龍仁市器興区三星二路95 三星ディスプレイ株式會社内
- (72)発明者 金 東 奎  
大韓民国京畿道龍仁市器興区三星二路95 三星ディスプレイ株式會社内

審査官 橋本 直明

- (56)参考文献 特開2007-114477(JP,A)  
特開2004-038188(JP,A)  
特開2008-040478(JP,A)  
米国特許出願公開第2012/0113077(US,A1)  
特開2006-030782(JP,A)  
特開2007-316511(JP,A)  
特開2007-047576(JP,A)  
国際公開第2012/137817(WO,A1)  
特開2009-003473(JP,A)  
特開2003-050400(JP,A)  
国際公開第2004/068446(WO,A1)  
特開2008-065200(JP,A)  
米国特許出願公開第2007/0075944(US,A1)  
米国特許出願公開第2007/0152567(US,A1)  
米国特許出願公開第2012/0306840(US,A1)

## (58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 2 3 3  
G 0 9 G 3 / 2 0  
G 0 9 G 3 / 3 0  
H 0 1 L 5 1 / 5 0  
H 0 5 B 3 3 / 0 8  
H 0 5 B 3 3 / 1 0  
H 0 5 B 3 3 / 2 2  
H 0 5 B 3 3 / 2 8

专利名称(译)	有机发光显示装置及其修复方法		
公开(公告)号	<a href="#">JP6573753B2</a>	公开(公告)日	2019-09-11
申请号	JP2014103548	申请日	2014-05-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器的股票会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	曹永振 黄荣仁 金東奎		
发明人	▲曹▼永振 ▲黄▼荣仁 金東奎		
IPC分类号	G09G3/3233 G09G3/30 G09G3/20 H01L51/50 H05B33/22 H05B33/10 H05B33/08 H05B33/28		
FI分类号	G09G3/3233 G09G3/30.Z G09G3/20.624.B G09G3/20.621.J G09G3/20.670.A G09G3/20.680.G G09G3/20.670.Q G09G3/30.J H05B33/14.A H05B33/22.Z H05B33/10 H05B33/08 H05B33/28 G09G3/3241 G09G3/325 G09G3/3266 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC29 3K107/CC33 3K107/CC45 3K107/DD22 3K107/DD28 3K107/DD39 3K107/DD44Z 3K107/DD45Z 3K107/DD46Z 3K107/DD90 3K107/DD93 3K107/EE04 3K107/FF15 3K107/GG28 3K107/GG56 3K107/GG57 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/CC06 5C080/DD03 5C080/DD05 5C080/DD15 5C080/DD23 5C080/DD25 5C080/DD28 5C080/DD29 5C080/EE28 5C080/EE29 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB12 5C380/AB13 5C380/AB15 5C380/AB22 5C380/AB25 5C380/AB34 5C380/AB43 5C380/AB45 5C380/AB46 5C380/AC04 5C380/BA12 5C380/BA14 5C380/BA19 5C380/BA20 5C380/BA22 5C380/BA27 5C380/BA29 5C380/BA31 5C380/BB02 5C380/BB21 5C380/BB22 5C380/BD02 5C380/CA12 5C380/CA13 5C380/CB02 5C380/CB06 5C380/CB32 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC13 5C380/CC17 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC66 5C380/CC77 5C380/CD012 5C380/CD023 5C380/CD024 5C380/CD028 5C380/CD029 5C380/CD035 5C380/DA02 5C380/DA06 5C380/DA47 5C380/FA21 5C380/FA26 5C380/GA02 5C380/GA03 5C380/GA05		
代理人(译)	松永信行		
审查员(译)	Naoaki 桥本		
优先权	1020130057959 2013-05-22 KR 1020130068638 2013-06-14 KR		
其他公开文献	JP2014228867A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

提供了一种有机发光显示装置 ( 100 ) 及其修复方法。有机发光显示装置 ( 100 ) 包括：发射装置 ( E )，其包括多个子发射装置 ( SE1, SE2 )；和发射像素电路 ( PCi )，被配置为向发射器件提供驱动电流；伪像素电路 ( PCn + 1 )，被配置为将驱动电流提供给发光器件 ( E )；修复线 ( RL )，其将发光器件 ( E ) 耦合到虚拟像素电路 ( PCn + 1 )，其中，发光器件 ( E ) 被配置为从发光像素电路 ( PCi ) 或虚拟像素接收驱动电流。像素电路 ( PCn + 1 )。

(45) 発行日 令和1年9月11日 (2019.9.11)

(24) 登録日 令和1年8月23日 (2019.8.23)

(5) Int. Cl.	F I	
G O 9 G 3/3233 (2016.01)	G O 9 G 3/3233	
G O 9 G 3/30 (2006.01)	G O 9 G 3/30	Z
G O 9 G 3/20 (2006.01)	G O 9 G 3/20	6 2 4 B
H O 1 L 51/50 (2006.01)	G O 9 G 3/20	6 2 1 J
H O 5 B 33/22 (2006.01)	G O 9 G 3/20	6 7 0 A

請求項の枚数 31 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2014-103548 (P2014-103548)	(73) 特許権者 512187343 三星ディスプレイ株式会社
(22) 出願日 平成26年5月19日 (2014.5.19)	三星ディスプレイ株式会社
(65) 公開番号 特開2014-228867 (P2014-228867A)	S a m s u n g D i s p l a y C o .
(43) 公開日 平成26年12月8日 (2014.12.8)	, L t d .
審査請求日 平成29年5月18日 (2017.5.18)	大韓民国京畿道鍾仁市器興区三星路 1
(31) 優先権主張番号 10-2013-0057859	(74) 代理人 110002619 特許業務法人 P O R T
(32) 優先日 平成25年5月22日 (2013.5.22)	(74) 代理人 100070024 弁理士 松永 宣行
(33) 優先権主張国・地域又は機関 韓国 (KR)	(74) 代理人 100158042 弁理士 辻 徹二
(31) 優先権主張番号 10-2013-0088638	(72) 発明者 ▲曹▼ 永 振
(32) 優先日 平成25年6月14日 (2013.6.14)	大韓民国京畿道鍾仁市器興区三星二路95
(33) 優先権主張国・地域又は機関 韓国 (KR)	三星ディスプレイ株式会社内

最終頁に続く

(54) 【発明の名称】有機発光表示装置及びそのリペア方法