

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4941906号
(P4941906)

(45) 発行日 平成24年5月30日 (2012.5.30)

(24) 登録日 平成24年3月9日 (2012.3.9)

(51) Int.Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006.01)

G 0 9 G 3 / 2 0 6 1 1 H

H 0 1 L 5 1 / 5 0 (2006.01)

G 0 9 G 3 / 2 0 6 1 2 E

G 0 9 G 3 / 2 0 6 2 1 B

G 0 9 G 3 / 2 0 6 2 1 J

請求項の数 16 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2005-134006 (P2005-134006)
 (22) 出願日 平成17年5月2日 (2005.5.2)
 (65) 公開番号 特開2005-352460 (P2005-352460A)
 (43) 公開日 平成17年12月22日 (2005.12.22)
 審査請求日 平成20年5月1日 (2008.5.1)
 (31) 優先権主張番号 特願2004-141891 (P2004-141891)
 (32) 優先日 平成16年5月12日 (2004.5.12)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2-1番地
 (74) 代理人 100079555
 弁理士 梶山 侑是
 (74) 代理人 100079957
 弁理士 山本 富士男
 (72) 発明者 藤沢 雅憲
 京都市右京区西院溝崎町2-1番地 ローム
 株式会社内
 (72) 発明者 阿部 真一
 京都市右京区西院溝崎町2-1番地 ローム
 株式会社内

最終頁に続く

(54) 【発明の名称】 有機EL駆動回路およびこれを用いる有機EL表示装置

(57) 【特許請求の範囲】

【請求項1】

基準電流発生回路からシンクあるいは吐き出しの基準電流に基づいて有機ELパネルの有機EL素子の陽極側駆動ラインあるいはデータ線に駆動電流を供給して前記有機ELパネルを電流駆動するIC化された有機EL駆動回路において、

このICの外部から電流方向が前記基準電流と同じシンクあるいは吐き出しの電流であって前記基準電流の電流値に相当する電流値の電流が入力される第1の入力端子と、

前記基準電流と同じシンクあるいは吐き出しの電流を他のICの前記第1の入力端子に相当する入力端子に供給するための出力端子と、

前記第1の入力端子から入力される前記電流と前記基準電流のいずれか一方を選択する基準電流選択回路と、

前記基準電流選択回路により選択された電流をシンクあるいは吐き出しの前記基準電流の電流方向とは逆方向の吐き出しあるいはシンクの電流にする電流反転回路と、

この電流反転回路の電流を入力側トランジスタに受けて複数の第1の出力側トランジスタに前記駆動電流あるいはその基礎となる電流を前記基準電流と同じシンクあるいは吐き出しの電流として発生するカレントミラー回路とを備え、

前記カレントミラー回路は、さらに電流方向が前記基準電流と同じシンクあるいは吐き出しの電流であって前記基準電流選択回路により選択される前記電流の電流値に実質的に等しい電流値の電流を前記出力端子に出力するための第2の出力側トランジスタを有し、

前記カレントミラー回路の前記入力側トランジスタと前記第2の出力側トランジスタと

10

20

前記出力端子とは、それぞれ複数個設けられ、前記複数の入力側トランジスタのうちの少なくとも2個は、複数の前記第1および第2の出力側トランジスタのトランジスタ配列の両端に配置されてこれら出力側トランジスタを両側から駆動し、前記第2の出力側トランジスタは、前記2個のうちいずれか一方の前記入力側トランジスタに対して前記複数の第1の出力側トランジスタより手前に配置されている有機EL駆動回路。

【請求項2】

前記第2の出力側トランジスタの出力電流は、前記ICと同一構成の他のICにおける前記第1の入力端子に供給される請求項1記載の有機EL駆動回路。

【請求項3】

前記第1の入力端子は、前記ICと同一構成の他のICにおける前記第2の出力側トランジスタの出力電流を受ける請求項1記載の有機EL駆動回路。

10

【請求項4】

前記複数の第1の出力側トランジスタは、前記有機EL素子の陽極側駆動ラインあるいはデータ線に対応してそれぞれ設けられ、前記駆動電流あるいはその基礎となる電流は前記有機EL素子の陽極側駆動ラインあるいはデータ線に対応して生成される請求項2記載の有機EL駆動回路。

【請求項5】

前記複数の第1の出力側トランジスタは、前記有機EL素子の陽極側駆動ラインあるいはデータ線に対応してそれぞれ設けられ、前記駆動電流あるいはその基礎となる電流は前記有機EL素子の陽極側駆動ラインあるいはデータ線に対応して生成され、前記電流反転回路は、カレントミラー回路で構成されている請求項3記載の有機EL駆動回路。

20

【請求項6】

前記基準電流選択回路は、製造過程での接続配線の選択によりあるいはこのICの外部から第2の入力端子を介して所定の選択信号を受けることにより前記電流と前記基準電流のいずれか一方を選択する請求項1記載の有機EL駆動回路。

【請求項7】

前記所定の選択信号は、1ビットの信号であり、前記基準電流選択回路は、2個のアナログスイッチで構成され、これらアナログスイッチの一方の一端が前記基準電流発生回路に接続され、他方の一端が前記第1の入力端子に接続され、前記2個のアナログスイッチの他端が共通に前記電流反転回路に接続されて前記1ビットの信号により前記2つのアナログスイッチが相補的にON/OFFされる請求項6記載の有機EL駆動回路。

30

【請求項8】

前記入力側トランジスタと前記複数の第1の出力側トランジスタとによるカレントミラー回路によりD/A変換回路が構成され、かつ、前記複数の第1の出力側トランジスタが前記D/A変換回路のD/A変換ブロックとされる請求項5記載の有機EL駆動回路。

【請求項9】

前記カレントミラー回路は、PチャネルMOSトランジスタで構成され、前記D/A変換ブロックは、前記有機EL素子の陽極側駆動ラインあるいはデータ線に対応してそれぞれ設けられている請求項6記載の有機EL駆動回路。

【請求項10】

40

前記カレントミラー回路は、PチャネルMOSトランジスタで構成され、前記D/A変換ブロックは、三原色のR、G、B対応に設けられ、R、G、B対応に前記基準電流を調整する回路とされる請求項6記載の有機EL駆動回路。

【請求項11】

基準電流発生回路からシンクあるいは吐き出しの基準電流に基づいて有機ELパネルの有機EL素子の陽極側駆動ラインあるいはデータ線に駆動電流を供給して前記有機ELパネルを電流駆動するICを複数個有する有機EL駆動回路において、

各前記ICは、それぞれ、外部から電流方向が前記基準電流と同じシンクあるいは吐き出しの電流であって前記基準電流の電流値に相当する電流値の電流が入力される第1の入力端子と、前記基準電流と同じシンクあるいは吐き出しの電流を他のICの前記第1の入

50

力端子に供給するための出力端子と、前記第 1 の入力端子から入力される前記電流と前記基準電流のいずれか一方を選択する基準電流選択回路と、前記基準電流選択回路により選択された電流をシンクあるいは吐き出しの前記基準電流の電流方向とは逆方向の吐き出しあるいはシンクの電流にする電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて複数の第 1 の出力側トランジスタに前記駆動電流あるいはその基礎となる電流を前記基準電流と同じシンクあるいは吐き出しの電流として発生するカレントミラー回路とを備え、前記カレントミラー回路は、さらに電流方向が前記基準電流と同じシンクあるいは吐き出しの電流であって前記基準電流選択回路により選択される前記電流の電流値に実質的に等しい電流値の電流を前記出力端子に出力するための第 2 の出力側トランジスタを有し、

10

前記カレントミラー回路の前記入力側トランジスタと前記第 2 の出力側トランジスタと前記出力端子とは、それぞれ複数個設けられ、前記複数の入力側トランジスタのうちの少なくとも 2 個は、複数の前記第 1 および第 2 の出力側トランジスタのトランジスタ配列の両端に配置されてこれら出力側トランジスタを両側から駆動し、前記第 2 の出力側トランジスタは、前記 2 個のうちいずれか一方の前記入力側トランジスタに対して前記複数の第 1 の出力側トランジスタより手前に配置されている有機 E L 駆動回路。

【請求項 1 2】

各前記 IC の前記複数の第 1 の出力側トランジスタは、前記有機 E L 素子の陽極側駆動ラインあるいはデータ線に対応してそれぞれ設けられ、前記駆動電流あるいはその基礎となる電流は自己の前記 IC に割当てられた前記有機 E L 素子の陽極側駆動ラインあるいはデータ線に対応して生成される請求項 1 記載の有機 E L 駆動回路。

20

【請求項 1 3】

前記基準電流選択回路は、製造過程での接続配線の選択によりあるいはこの IC の外部から第 2 の入力端子を介して所定の選択信号を受けることにより前記電流と前記基準電流のいずれか一方を選択する請求項 1 記載の有機 E L 駆動回路。

【請求項 1 4】

基準電流発生回路からシンクあるいは吐き出しの基準電流に基づいて有機 E L パネルの有機 E L 素子の陽極側駆動ラインあるいはデータ線に駆動電流を供給して前記有機 E L パネルを電流駆動する IC を複数個有する有機 E L 表示装置において、

各前記 IC は、それぞれ、外部から電流方向が前記基準電流と同じシンクあるいは吐き出しの電流であって前記基準電流の電流値に相当する電流値の電流が入力される第 1 の入力端子と、前記基準電流と同じシンクあるいは吐き出しの電流を他の IC の前記第 1 の入力端子に供給するための出力端子と、前記第 1 の入力端子から入力される前記電流と前記基準電流のいずれか一方を選択する基準電流選択回路と、前記基準電流選択回路により選択された電流をシンクあるいは吐き出しの前記基準電流の電流方向とは逆方向の吐き出しあるいはシンクの電流にする電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて複数の第 1 の出力側トランジスタに前記駆動電流あるいはその基礎となる電流を前記基準電流と同じシンクあるいは吐き出しの電流として発生するカレントミラー回路とを備え、前記カレントミラー回路は、さらに電流方向が前記基準電流と同じシンクあるいは吐き出しの電流であって前記基準電流選択回路により選択される前記電流の電流値に実質的に等しい電流値の電流を前記出力端子に出力するための第 2 の出力側トランジスタを有し、

30

40

前記カレントミラー回路の前記入力側トランジスタと前記第 2 の出力側トランジスタと前記出力端子とは、それぞれ複数個設けられ、前記複数の入力側トランジスタのうちの少なくとも 2 個は、複数の前記第 1 および第 2 の出力側トランジスタのトランジスタ配列の両端に配置されてこれら出力側トランジスタを両側から駆動し、各前記 IC の前記第 2 の出力側トランジスタは、前記 2 個のうちいずれか一方の前記入力側トランジスタに対して前記複数の第 1 の出力側トランジスタより手前に配置され、

複数の前記 IC の 1 つの前記第 2 の出力側トランジスタの出力電流がその前記出力端子を介して残りの前記 IC の少なくとも 1 つの前記第 1 の入力端子に入力される有機 E L 表

50

示装置。

【請求項 15】

各前記 IC の前記複数の第 1 の出力側トランジスタは、前記有機 EL 素子の陽極側駆動ラインあるいはデータ線に対応してそれぞれ設けられ、前記駆動電流あるいはその基礎となる電流は自己の前記 IC に割当てられた前記有機 EL 素子の陽極側駆動ラインあるいはデータ線に対応して生成される請求項 14 記載の有機 EL 表示装置。

【請求項 16】

前記基準電流選択回路は、製造過程での接続配線の選択によりあるいはこの IC の外部から第 2 の入力端子を介して所定の選択信号を受けることにより前記電流と前記基準電流のいずれか一方を選択する請求項 14 記載の有機 EL 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、有機 EL 駆動回路およびこれを用いる有機 EL 表示装置に関し、詳しくは、携帯電話機等で使用される有機 EL パネルにおいて、カラムドライバ IC 間での特性の相違による有機 EL 表示装置の画面上での輝度むらを低減でき、カラムドライバ IC の製造コストを低減でき、特に、高輝度カラー表示に適した有機 EL 駆動回路および有機 EL 表示装置に関する。

【背景技術】

【0002】

携帯電話機用のアクティブ型あるいはパッシブ型の有機 EL 表示装置の有機 EL 表示パネルでは、カラムライン（有機 EL 素子の陽極側駆動ラインあるいはデータ線）の数が 396 個（132 × 3）の端子ピン、ローラインが 162 個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような端子ピン数の増加により、特に、カラムライン側では複数のカラムドライバ IC が必要になる。例えば、QVGA のフルカラーでは三原色の R、G、B 各 120 端子ピンの 360 端子ピンとなり、現在ところ 3 ドライバは必要になる。そのためカラムドライバ IC 相互間の特性の相違、特に、その駆動電流のばらつきにより、有機 EL 表示装置の画面上に輝度むらが発生する問題がある。

この種の問題を解決する技術として特開 2001 - 42827 号「ディスプレイ装置及びディスプレイパネルの駆動回路」を挙げることができる（特許文献 1）。

【特許文献 1】特開 2001 - 42827 号公報

【0003】

図 3 は、特許文献 1 に示される実施例の回路であって、21 は、初段のカラムドライバ IC（マスターチップの第 1 の陽極線ドライブ回路）であり、基準電流制御回路 RC、制御電流出力回路 CO、スイッチ S1 ~ Sm からなるスイッチブロック SB、m 個の電流駆動源としてトランジスタ Q1 ~ Qm 及びバイアス抵抗 R1 ~ Rm からなる端子ピンに対応して設けられた回路とを有している。22 は、次段のカラムドライバ IC（スレーブチップの第 2 の陽極線ドライブ回路）であり、駆動電流制御回路 CC、スイッチ S1 ~ Sm からなるスイッチブロック SB、m 個の電流駆動源としてトランジスタ Q1 ~ Qm 及びバイアス抵抗 R1 ~ Rm からなる回路とを有している。各ドライバのトランジスタ Q1 ~ Qm の出力がカラム側の端子ピンに対する駆動電流とされてスイッチ S1 ~ Sm、出力端子 X1 ~ Xm を介して駆動電流 i がそれぞれの端子ピンに出力される。

【0004】

基準電流制御回路 RC は、基準電圧 VREF を外部から受けるオペアンプ OP と、このオペアンプ OP の出力をベースに受けて駆動されるトランジスタ Qa、このトランジスタ Qa のエミッタとグランド GND 間に設けられた抵抗 Rp、トランジスタ Qa の上流でこのトランジスタのコレクタにそのコレクタが接続されたトランジスタ Qb からなる。トランジスタ Qb は、トランジスタ Q1 ~ Qm および制御電流出力回路 CO のトランジスタ Qo とカレントミラー接続され、これらトランジスタの入力側カレントミラー接続のトランジスタとな

10

20

30

40

50

っていて、基準電流制御回路 R C で発生する基準電流 I REFにより駆動される。

カラムドライバ I C 2 2 の駆動電流制御回路 C C は、基準電流制御回路 R C に対応している。その構成は、トランジスタ Q c、Q d のカレントミラー回路と、カレントミラー接続の出力側トランジスタ Q d で駆動されるトランジスタ Q e とからなる。入力側トランジスタ Q c が制御電流出力回路 C O からの電流 $I_{out} = i_c$ の電流を受けてカラムドライバ I C 2 2 のトランジスタ Q e を駆動する。このトランジスタ Q e は、トランジスタ Q 1 ~ Q m とカレントミラー接続された入力側トランジスタとなっている。

なお、抵抗 R o、抵抗 R r の抵抗値は等しく、抵抗 R s の抵抗値は抵抗 R 1 ~ R m と等しい。また、G A 1 ~ G A m、G B 1 ~ G B m は、スイッチブロック S B の各スイッチ S 1 ~ S m の O N / O F F を制御する制御信号である。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

このような回路は、マスターチップ（あるいはマスタ I C）から基準電流に相当する電流をスレーブチップ（あるいはスレーブ I C）が受けて、基準電流をチップ間で一致させるものである。この場合、各ドライバ I C において基準電流を発生させる制御回路が基準電流制御回路 R C、駆動電流制御回路 C C と異なるので、次段のカラムドライバ I C 2 2 の基準電流 i とカラムドライバ I C 2 1 の基準電流 I REF との差が大きくなって、ドライバの境目での輝度むらが十分に解消できない。

このような問題を解決するために、出願人は、特開 2 0 0 3 - 2 8 8 0 4 5 号「有機 E L 駆動回路およびこれを用いる有機 E L 表示装置」を出願している（特許文献 2）。これは、集積されたペア抵抗の抵抗値が実質的に等しいことを利用してカラムドライバ I C 間での駆動電流のばらつきを抑える技術である。

20

これら特許文献 1、2 のカラムドライバ I C は、マスターチップとスレーブチップでそれぞれ基準電流発生回路が相違するために、それぞれにドライバ I C を製造しなければならないので、ドライバ I C の製造コストが高くなる問題がある。

【0006】

一方、有機 E L パネルは、大型化の傾向にあって、パネルが大きい場合には、カラムドライバ I C は現在では 3 個か、それ以上必要になる。その上、端子ピン数の増加は、端子ピン間の駆動電流のばらつきを大きくする。そのため、より精度の高い駆動電流が要求される。前記のペア抵抗を利用する駆動電流の電流制御は、ペア抵抗の抵抗値のばらつきが駆動電流に影響を与えるので、さらに輝度むらを低減する現在の要求には十分応えられなくなっている。

30

この発明の目的は、このような従来技術の問題点を解決するものであって、有機 E L パネルを電流駆動するカラムドライバ I C 間での特性の相違による有機 E L 表示装置の画面上での輝度むらを低減でき、カラムドライバ I C の製造コストを低減でできる有機 E L 駆動回路あるいは有機 E L 表示装置を提供することにある。

【課題を解決するための手段】

【0007】

このような目的を達成するためのこの発明の有機 E L 駆動回路あるいはこれを用いる有機 E L 表示装置の特徴は、基準電流発生回路からシンクあるいは吐き出しの基準電流に基づいて有機 E L パネルの有機 E L 素子の陽極側駆動ラインあるいはデータ線に駆動電流を供給して有機 E L パネルを電流駆動する I C 化された有機 E L 駆動回路において、

40

この I C の外部から基準電流と同じシンクあるいは吐き出しの電流であって基準電流の電流値に相当する電流値の電流が入力される第 1 の入力端子と、基準電流と同じシンクあるいは吐き出しの電流を他の I C の前記第 1 の入力端子に相当する入力端子に供給するための出力端子と、第 1 の入力端子から入力される電流と基準電流のいずれか一方を選択する基準電流選択回路と、基準電流選択回路により選択された電流をシンクあるいは吐き出しの基準電流の電流方向とは逆方向の吐き出しあるいはシンクの電流にする電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて複数の第 1 の出力側トランジ

50

スタに駆動電流あるいはその基礎となる電流を基準電流と同じシンクあるいは吐き出しの電流として発生するカレントミラー回路とを備えていて、カレントミラー回路が、さらに電流方向が基準電流と同じシンクあるいは吐き出しの電流であって基準電流選択回路により選択される前記電流の電流値に実質的に等しい電流値の電流を出力端子に出力するための第2の出力側トランジスタを有し、カレントミラー回路の入力側トランジスタと第2の出力側トランジスタと出力端子とは、それぞれ複数個設けられ、複数の入力側トランジスタのうちの少なくとも2個が、複数の第1および第2の出力側トランジスタのトランジスタ配列の両端に配置されてこれら出力側トランジスタを両側から駆動し、前記第2の出力側トランジスタが、前記2個のうちいずれか一方の前記入力側トランジスタに対して前記複数の第1の出力側トランジスタより手前に配置されているものである。

10

【発明の効果】

【0008】

このように、この発明は、第1の入力端子から入力される電流と内部の基準電流発生回路で生成した基準電流とが同相関係で基準電流選択回路に入力されてこれらのうちのいずれか一方が基準電流選択回路により選択される。そして、この選択された電流を一旦電流反転回路で反転させて、基準電流を複製して分配する電流分配回路（あるいは基準電流調整回路）のカレントミラー回路を駆動する。これによりカレントミラー回路の出力側トランジスタには基準電流あるいは入力される電流と同相で同じ電流値の電流を発生させることができる。そこで、カレントミラー回路に第2の出力側トランジスタを設けて、カレントミラー回路に基準電流に対して同相で前記選択された電流に実質的に等しい電流を次段に設けられたICに供給する入力基準電流としてこの発明を適用したICの出力端子から出力できるようにする。あるいは前段の同じ構成のICの出力端子から第1の入力端子に前記の入力基準電流を受けることができる。

20

【0009】

この発明を適用したICは、第1の入力端子に入力される電流を基準電流として選択することも内部の基準電流を使用することも自由に選択することができる。しかも、IC外部には基準電流に相当する電流値の電流を基準電流と同相状態で出力端子から出力して他のICに供給することができる。そこで、前記と同じ構成のICを有機EL駆動回路として複数個設ければ、それぞれのICは、第1の入力端子に入力された電流を基準電流として受けてこれに基づいて駆動電流を生成すればスレーブIC（スレーブチップ）になるし、出力端子から出力する電流で他の同様なICを駆動すればマスターIC（マスターチップ）にもなる。したがって、同じ有機EL駆動回路のドライバICがマスターICにもスレーブICにもできる。

30

スレーブICは、マスターICの出力端子から基準電流と実質的に等しい電流をこれと同相で受けてマスターICと同じ基準電流選択回路と電流反転回路とを経てマスターICと同じ回路のカレントミラー回路が駆動される。基準電流を受ける電流反転回路からカレントミラー回路までの回路はマスターICもスレーブICも同じ回路構成である。もちろん、カレントミラー回路より後の駆動電流発生までも同じ回路にすることができる。

その結果、各ICの出力端子から出力される駆動電流のばらつきが低減されて、有機ELパネルを電流駆動するカラムドライバIC間での特性の相違による有機EL表示装置の画面上での輝度むらを低減できる。

40

【0010】

特に、第2の出力側トランジスタをカレントミラー回路の入力側トランジスタに対して第1の出力側トランジスタより手前に配置するようにし、かつ、これを多数設ければ、多数の第2の出力側トランジスタのそれぞれにより複数個のスレーブICのそれぞれに基準電流を提供することができる。その結果、1個のマスターICで複数個のスレーブICを駆動することができ、1個のマスターICと複数個のスレーブICのそれぞれの各出力端子から出力される電流のばらつきを抑えることができる。

また、カレントミラー回路の入力側トランジスタを2個設けて、第1および第2の出力側トランジスタのトランジスタ配列の両端においてこれら第1および第2の出力側トラン

50

ジスタを駆動するようにすれば、マスターとなるあるドライバICにおける最後のコラムラインとスレーブとなる次のドライバICにおける最初のコラムラインの駆動電流のばらつきを減少させることができ、表示画面の輝度むらを低減することができる。

その結果、この発明は、携帯電話機等において、端子ピン数が増加した場合でも、有機ELパネルを電流駆動するコラムドライバIC間での特性の相違による有機EL表示装置の画面上での輝度むらを低減できる。また、同じコラムドライバICがマスターにもスレーブにも使用できるので、コラムドライバICの製造コストを低減できる。

なお、この明細書におけるコラムドライバは、アクティブマトリックス型の有機ELパネルにおいてデータ線を駆動するドライバであってもパッシブマトリックス型の有機ELパネルのコラムラインを駆動するドライバであってもよいので、これらを区別していない。

10

【発明を実施するための最良の形態】

【0011】

図1は、この発明の有機EL駆動回路を適用した一実施例の有機EL表示装置のブロック図、図2は、そのコラムドライバの内部構成の説明図である。

図1において、10は、アクティブマトリックス型の有機EL表示装置であって、11、12、13は、その有機EL駆動回路のコラムドライバIC（以下ドライバ）である。

ドライバ11～13は、同一の構成であって、図2にドライバ11としてその詳細を示すように、それぞれ基準電流発生回路1と、基準電流選択回路2、基準電流分配回路3、有機ELパネルの各端子ピン対応に設けられたD/A変換ブロック（D/A）4とからなる。

20

D/A変換ブロック4は、MPU7からレジスタ6を介して表示データDATを受けて基準駆動電流を表示データ値分増幅してそのときどきの表示輝度に応じた駆動電流（吐き出し電流）を生成する。そして、生成したそれぞれの駆動電流をデータ線（コラムライン）側の出力端子P1, ..., Pi, ..., Pnを介してそれぞれにアクティブマトリックス型の有機ELパネル5のピクセル回路9に送出してピクセル回路9に内蔵されたコンデンサCを充電して、ピクセル回路9の有機EL素子9aを駆動する。

なお、D/A変換ブロック4は、基準電流分配回路3のカレントミラー回路の入力側トランジスタを入力側トランジスタとし、これにカレントミラー接続された多数の出力側トランジスタ群と多数のスイッチ回路群（図示せず、図2参照）とからなる回路である。ここで、基準電流分配回路3の入力側トランジスタと出力側トランジスタ群とスイッチ回路群とは、カレントミラー回路による電流スイッチングD/Aを構成している。

30

また、有機ELパネル5におけるXa... Xi... Xn, X2a... X2i... X2n, X3a... X3i... X3n（図示せず）は、それぞれドライバ11～13の出力端子P1... Pi... Pnに対応するデータ線（コラムライン）であり、これら全体で1水平ライン分の画素数に対応している。

【0012】

11a, 11bは、それぞれドライバ11の入力端子であり、11c～11hは、それぞれ、出力端子P1, ..., Pi, ..., Pnとは別の、ドライバ11の出力端子である。これら端子11a～11fに対応するものとしてドライバ12には入力端子12a, 12bと、出力端子12c～12hが設けられている。同様に、ドライバ13には入力端子13a, 13bと、出力端子13c～13h（図示せず）が設けられている。

40

ところで、R, G, B表示色によるカラー表示では、基準電流分配回路3とD/A4とがR, G, B対応にそれぞれ設けられる。そして、基準電流分配回路3に、あるいは基準電流発生回路1と基準電流分配回路3との間にR, G, B対応に基準電流調整回路（図示せず）が設けられる。R, G, B対応に設けられるこれらの基準電流調整回路により基準駆動電流が調整されて画面上でのホワイトバランス調整が行われる。

R, G, Bの相違とこれらの基準電流調整回路はこの実施例では直接関係していないので、ここでは、これを省略し、R, G, Bそれぞれを区別せずに以下説明する。

【0013】

50

図2に示すように、基準電流発生回路1は、基準電流源1aと電流反転回路1bとからなり、これらの間に基準電流選択回路2が設けられている。基準電流選択回路2は、アナログスイッチ(トランスマッションゲート)2a、2b、インバータ2cとからなる。アナログスイッチ2aは、基準電流源1aと電流反転回路1bとの間に設けられ、アナログスイッチ2bは、入力端子11aと電流反転回路1bとの間に設けられている。

インバータ2cは、入力端子側が入力端子11bに接続され、出力端子側がアナログスイッチ2aのON/OFFコントロール信号の非反転側入力端子およびアナログスイッチ2bのON/OFFコントロール信号の反転側入力端子にそれぞれ接続されている。さらに、入力端子11bは、アナログスイッチ2aのON/OFFコントロール信号の反転側入力端子とアナログスイッチ2bのON/OFFコントロール信号の非反転側入力端子に直接に接続されている。

10

これにより、入力端子11bにビット“0”が入力されているときには、アナログスイッチ2aがONとなり、これと相補的にアナログスイッチ2bがOFFとなる。このときには、基準電流源1aの基準電流 I_{ref} が電流反転回路1bに加えられる。一方、入力端子11bにビット“1”が入力されているときには、アナログスイッチ2bがONとなり、アナログスイッチ2aがOFFとなる。このときには、このIC(ドライバ11)の外部から入力端子11aに加えられる電流が電流反転回路1bに送出される。

なお、図1に示すように、各ドライバの入力端子11b、12b、13bには、コントロール回路8からそれぞれ基準電流値を選択する選択ビット信号B1、B2、B3が入力される。また、基準電流源1aは、+VDDの電源ラインに接続され電力供給を受ける。

20

【0014】

図2に戻り、電流反転回路1bは、Nチャネルの入力側MOSトランジスタTN1とNチャネルの出力側MOSトランジスタTN2からなるカレントミラー回路で構成されている。ダイオード接続のトランジスタTN1は、そのドレインがアナログスイッチ2a、2bの出力端子に接続され、そのソースが接地されている。

トランジスタTN2のドレインは、基準電流分配回路3のカレントミラー回路の両端に設けられた入力側トランジスタTPa、TPbのドレインに接続され、そのソースが接地されている。

これにより、基準電流源1aの基準電流 I_{ref} 、および入力端子11aから入力される、基準電流 I_{ref} と同相の電流 I_r (I_r :外部から供給される基準電流に相当する。)のいずれかの電流が電流反転回路1bに入力される。電流反転回路1bは、受けたいずれかの基準電流 I_{ref} 又は I_r を反転して出力側にシンク電流(入力電流に対して逆相の出力電流)をミラー電流として発生し、この電流を基準電流分配回路3の入力側トランジスタTPa、TPbのドレインに供給する。

30

基準電流分配回路3は、入力側の電流をミラー電流として出力側に複製して端子ピン対応に分配する電流複製分配回路であって、ダイオード接続の2個のPチャネルの入力側MOSトランジスタTPa、TPbと、6個の出力側のPチャネルのMOSトランジスタTP1~TP6、そして各出力端子P1、...Pi、...Pnに対応に設けられた各D/A変換ブロック4とからなる。

【0015】

40

ここでは、各D/A変換ブロック4が表示データに対するD/A変換を行うとともにその出力側トランジスタが同時に基準電流分配回路の出力側トランジスタを兼ねている。すなわち、図1に示す基準電流分配回路3と各D/A変換ブロック4とが図2に示すように1つのカレントミラー回路で構成され、基準電流分配型のD/A変換回路となっている。

各出力側のPチャネルのトランジスタTPc~TPmは、それぞれ各D/A変換ブロック4の多数の出力側トランジスタの1つをその代表として示してある。以下、各D/A変換ブロック4の多数の出力側トランジスタをこれら出力側トランジスタTPc~TPmをもって説明する。

多数のD/A変換ブロック4の手前にある出力側の各トランジスタTP1~TP6のソースと各D/A変換ブロック4の各出力側トランジスタTPc~TPmのソースは、電源ライン+

50

VDDより高い電圧の電源ライン + Vccに接続されている。各トランジスタ TP1 ~ TP6のドレインは、それぞれ出力端子 11c ~ 11hに接続されている。

【 0 0 1 6 】

各 D / A 変換ブロック 4 は、その各出力側トランジスタ TPc ~ TPmが基準電流分配回路 3 のトランジスタ TPa , TPbを入力側トランジスタとしたカレントミラー回路とされることで電流スイッチング D / A 変換回路を構成している。各 D / A 変換ブロック 4 は、この電流スイッチング D / A において、8 ビットの表示データの重み桁に対応する重み桁の多数の出力側トランジスタとこれに直列に接続されたスイッチ回路とで構成されている。そこで、各 D / A 変換ブロック 4 の各出力側トランジスタ TPc ~ TPmは、8 ビットの重み桁を持つ多数の出力側トランジスタの 1 つに当たる。図 2 に示す多数の各出力側トランジスタに直列に接続された各スイッチ回路は、表示データに応じて ON / OFF される。各 D / A 変換ブロック 4 は、各端子ピン対応に設けられ、それぞれの各 D / A 変換ブロック 4 の各出力端子が各出力端子 P1 , ... Pi , ... Pnの 1 つにそれぞれ接続されている。

10

そこで、各 D / A 変換ブロック 4 の複数の出力側トランジスタの出力電流は、レジスタ 6 の表示データ DAT に応じて ON / OFF する各スイッチ回路により選択されて各 D / A 変換ブロック 4 の選択された各出力側トランジスタの出力電流を合計した電流値が各 D / A 変換ブロック 4 のアナログ変換値として発生する。その合計電流値の出力が駆動電流として各出力端子 P1 , ... Pi , ... Pnに各 D / A 変換ブロック 4 からそれぞれに出力される。

【 0 0 1 7 】

20

ここで、6 個の各トランジスタ TP1 ~ TP6は、スレーブチップとなるドライバに基準電流を送出する回路である。これらは、図面左側の入力側トランジスタ TPa に対して各 D / A 変換ブロック 4 の各出力側トランジスタ TPc ~ TPmよりもトランジスタ TPa に近い手前側に配置されている。一方、入力側トランジスタ TPb は、最後の D / A 変換ブロック 4 の出力側トランジスタの後ろに設けられている。なお、入力側トランジスタ TPb は、最後の出力側トランジスタ TPmの手前か、この後ろに配置されてもよい。

トランジスタ TP1 ~ TP6は 6 個程度であるが、トランジスタ TPc ~ TPmは、数十個は配列される。そこで、入力側トランジスタ TPa に対してトランジスタ TP1 ~ TP6をトランジスタ TPa に近い位置に配置してこれらトランジスタの出力電流の精度を上げる。

したがって、入力側トランジスタ TPa から離れ、入力側トランジスタ TPa から最も遠い位置にあるトランジスタ TPmの出力電流の精度はその分悪くなる。そこで、出力側トランジスタ TPmの近傍あるいはこの後に入力側トランジスタ TPb を設けることでトランジスタ TPc ~ TPmの出力電流のばらつきを抑えることができる。さらに、これにより、最後の出力側トランジスタ TPmの出力電流値を最初の出力側トランジスタ TPcの出力電流値に実質的に等しいものとして、次段のスレーブチップにおける最初のカラムライン（データ線）に対応する（最初の端子ピンに対応する）トランジスタ TPcとの駆動電流のばらつきを低減する。

30

【 0 0 1 8 】

ところで、通常ドライバ IC では、エリアの端にレイアウトされるトランジスタセルは、その動作特性が他の内側にレイアウトされるトランジスタセルの動作特性と多少相違するので、ダミートランジスタとされる。このダミートランジスタは、端子ピンへ駆動電流を発生させる回路には用いられない。

40

カレントミラーの出力側トランジスタの両側に位置する入力側トランジスタ TPa , TPb は、基準電流分配回路 3 を構成するトランジスタセルあるいはこれと D / A 変換ブロック 4 を構成するトランジスタセルが配列される端部に設けられる前記のダミートランジスタを割り当てることができる。

これにより、2 個の入力側トランジスタ TPa , TPb は、出力側の各トランジスタ TP1 ~ TP6 , TPc ~ TPmのトランジスタ配列の両端に配置されてこれら出力側トランジスタを両側から駆動することができる。

【 0 0 1 9 】

50

図 1 に示すように、ここでは、基準電流の発生に関してドライバ 1 1 がマスターチップ、ドライバ 1 2 , 1 3 がドライバ 1 1 から基準電流 I_r を受けるスレーブチップとなっている。トランジスタ TPa , TPb と各トランジスタ $TP1 \sim TP6$ とのチャネル幅 (ゲート幅) は、1 : 1 で等しい。各トランジスタ $TP1 \sim TP6$ のドレインからは、それぞれ出力端子 1 1 c ~ 1 1 h に基準電流 I_{ref} と実質的に等しい基準電流 I_r が基準電流 I_{ref} と同相の吐き出し電流として出力される。

そこで、トランジスタ $TP1$ のドレインの電流が出力端子 1 1 c , 配線ライン 2 0 (図 1 参照) を介してスレーブチップ 1 2 の入力端子 1 2 a に入力される。また、トランジスタ $TP2$ のドレインの電流が出力端子 1 1 d , 配線ライン 2 1 (図 1 参照) を介してスレーブチップ 1 3 の入力端子 1 3 a に入力される。

10

その他の出力端子 1 1 e ~ 1 1 h は、グランド GND に接続される。なお、このとき各トランジスタ $TP1 \sim TP6$, $TPc \sim TPm$ の出力電流は、 μA オーダのものであるので、直接グランド GND へ流しても、全体の消費電力はほとんど増加しない。

ドライバ 1 2 の出力端子 1 2 e ~ 1 2 h およびドライバ 1 3 の出力端子 1 3 e ~ 1 3 h も同様である。

【0020】

ドライバ 1 1 は、マスターチップであるので、入力端子 1 2 a からの電流の入力はない。そこで、コントロール回路 8 から選択ビット信号 $B1 (= "0")$ を受けて基準電流源 1 a が選択される。そこで、基準電流源 1 a からの基準電流 I_{ref} が電流反転回路 1 b に入力される。なお、この場合、ビット "0" は、信号が加えられない状態に対応するので、選択ビット信号 $B1$ の信号は加えられなくても基準電流源 1 a の選択が可能である。なお、この場合、入力端子 1 2 a は、抵抗によりグランド GND へプルダウンしておくとい

20

一方、スレーブチップのドライバ 1 2 は、コントロール回路 8 から選択ビット信号 $B2 (= "1")$ を受けて、基準電流源 1 a からの基準電流 I_{ref} ではなく、入力端子 1 2 a を選択する。そこで、ドライバ 1 1 のトランジスタ $TP6$ のドレインに分配され、これから送出された基準電流 I_r がドライバ 1 2 の電流反転回路 1 b に入力される。

スレーブチップのドライバ 1 3 もコントロール回路 8 から選択ビット信号 $B3 (= "1")$ を受けて、入力端子 1 3 a を選択して、ドライバ 1 1 のトランジスタ $TP5$ のドレインから送出された基準電流 I_r がドライバ 1 3 の電流反転回路 1 b に入力される。

30

【0021】

これにより、ドライバ 1 1 , 1 2 , 1 3 は、ドライバ 1 1 の内部の基準電流発生回路 1 a の基準電流 I_{ref} に相当するこれと同相の基準電流 I_r により、ドライバ 1 1 と同様に同じ電流反転回路 1 b を経て基準電流分配回路 3 の入力側 P チャネルの MOS トランジスタ TPa , TPb をそれぞれに駆動する。

その結果、スレーブチップのドライバ 1 2 , 1 3 の基準電流分配回路 3 は、それぞれ基準電流 I_r に基づいて各ドライバ 1 2 , 1 3 の各 D/A 変換ブロック 4 が有機 EL パネルの端子ピンに送出する駆動電流を生成する。

この場合、スレーブチップのドライバ 1 2 , 1 3 は、マスターチップのドライバ 1 1 の出力端子 1 1 c , 1 1 d から基準電流 I_{ref} と実質的に等しい電流 I_r をこれと同相で受けてドライバ 1 1 と同じ基準電流選択回路 2 と電流反転回路 1 b とを経てドライバ 1 1 と同じ回路の基準電流分配回路 3 と各 D/A 変換ブロック 4 を構成するカレントミラー回路が駆動される。

40

このように、ドライバ 1 1 の基準電流発生回路 1 a の基準電流 I_{ref} を基準としてスレーブチップのドライバ 1 2 , 1 3 が同じ回路構成の回路を経て駆動電流を発生するので、各駆動電流のばらつきが低減される。

【0022】

ところで、実施例では、基準電流選択回路 2 は、コントロール回路 8 から設定信号を受けて内部の基準電流 I_{ref} か、外部から入力される電流 I_r かのいずれかを選択している。しかし、この基準電流選択回路 2 は、 ROM データと同一層にコンタクト配線パターンを

50

形成してそのデータの書込みと同時に選択すべき側のコンタクトに接続するようにすることができる。このようにすれば、製造工程のROMのデータ書込みの際のマスクオプション処理で選択される選択回路とすることができる。したがって、この場合には選択するためのビットデータを基準電流選択回路2に入力する必要がない。しかも、この接続については、特別な論理回路等を伴うハードウェア回路が不要である。また、選択回路は、各配線ラインにヒューズを設けておき、製造過程で一方のヒューズを遮断するような回路であってもよい。

なお、実施例のように選択ビット信号B1, B2, B3によりマスターチップかスレーブチップかを選択できるようにしておけば、表示装置にドライバICが組み込まれ、画面を表示したときの、画面上の輝度むらを見て後から各IC内部で基準電流I_{ref}か、外部から入力される電流I_rのいずれか最適な方を選択することができる。

10

さらに、実施例では、基準電流分配回路3において、入力側トランジスタに近い側の出力側トランジスタTP1~TP6の6個を6個分のスレーブドライバに対して基準電流を発生する出力トランジスタとして割当てている。

また、実施例では、入力側トランジスタTPa, TPbの2個を用いて出力側トランジスタの両側に配置して両端で駆動しているのを、基準電流I_rを出力する出力側トランジスタTP1~TP6は、カレントミラー回路の出力側トランジスタにおいて前記2個のうちいずれか一方の入力側トランジスタTPa, TPbに対して複数の出力側トランジスタより手前に配置されているどの位置の出力側トランジスタが割当てられていてもよい。

なお、マスターチップのドライバ11とスレーブチップのドライバ12, 13とは同じ回路構成になっているので、スレーブチップのドライバ12, 13から他のスレーブチップのドライバに基準電流I_rを分配することも可能である。もちろん、画面上の輝度むらに応じてマスターチップのドライバが複数個併存することになっていてもよい。

20

【0023】

ところで、ホワイトバランス調整をするために、R, G, B対応の基準電流調整回路を設ける場合には、図2に示す基準電流分配回路3を使用することができる。それは、実施例におけるD/A変換ブロック4を3個としてR, G, Bにそれぞれ対応させ、これら全体を基準電流調整回路とする。基準電流調整回路の3個のD/A変換ブロック4は、所定の設定データをD/A変換することでR, G, B対応に基準駆動電流をそれぞれ発生することができるからである。

30

基準電流分配回路3+3個のD/A変換ブロック4からなる1つのカレントミラー回路でR, G, Bに対応させてホワイトバランス調整の基準電流調整回路とすることができる。この場合には、端子ピン対応の基準電流分配回路は別途設けることになる。それは、R, G, B対応に設けたこれら3個のD/A変換ブロック4の下流にそれぞれ基準電流分配回路3とD/A変換ブロック4とからなるカレントミラー回路の基準電流分配回路を設けることによる。ただし、この場合のカレントミラー回路は、図2の基準電流分配回路3とD/A変換ブロック4とを構成するカレントミラー回路の2個のPチャネルの入力側MOSトランジスタTPa, TPbと、多数の出力側トランジスタTPc~TPmとがそれぞれNチャネルの入力側MOSトランジスタになる。このカレントミラー回路は、ソース側がグランドGNDに接続され、Nチャネルの出力側トランジスタTPc~TPmのドレイン側が出力端子に接続された電流シンク型の出力回路になる。NチャネルのトランジスタTPa, TPbのドレインは、基準電流調整回路から前記の基準駆動電流を受けることになる。

40

実施例では、マスターチップのドライバ11の位置が初段(先頭)にあって、その後段としてスレーブチップのドライバ12, 13が設けられている。しかし、マスターチップのドライバ11の位置は先頭に置かれなくてもよい。特に、スレーブチップのドライバ12, マスターチップのドライバ11, スレーブチップのドライバ13の順のように複数のスレーブチップのドライバがあるときには、マスターチップのドライバを中央位置に配置し、マスターチップの左右両側にスレーブチップのドライバを設けてもよい。

【産業上の利用可能性】

【0024】

50

以上説明してきたが、実施例の基準電流分配回路（カレントミラー回路）は、基準電流値 I_r を出力側トランジスタに生成して出力端子 $11c \sim 11h$ と端子ピン $P1 \sim Pn$ とにそれぞれ対応してそれぞれに分配している。この場合、 D/A の入力側トランジスタと出力側トランジスタとの関係については、チャンネル幅（ゲート幅）を変えて電流値 I_r に対応して $K \times I_r$ の電流を生成するようにしてもよい。なお、 K は 1 以下の値であってもよい。

さらに、この発明は、 R, G, B 対応の D/A が前記した基準電流調整回路とは別の形態で設けられてこの基準電流調整回路により基準駆動電流が調整されて画面上でのホワイトバランス調整が行われてもよい。

また、実施例では、 $MOSFET$ トランジスタを主体として構成しているが、バイポーラトランジスタを主体として構成してもよいことはもちろんである。また、実施例の N チャンネル型（あるいは npn 型トランジスタ）は、 P チャンネル型（あるいは pnp 型）トランジスタに、 P チャンネル型（あるいは pnp 型）トランジスタは、 N チャンネル（あるいは npn 型）トランジスタに置き換えることができる。

【図面の簡単な説明】

【0025】

【図1】図1は、この発明の有機 EL 駆動回路を適用した一実施例の有機 EL 表示装置のブロック図である。

【図2】図2は、そのカラムドライバの内部構成の説明図である。

【図3】図3は、従来の複数のカラムドライバを使用する有機 EL 駆動回路の説明図である。

【符号の説明】

【0026】

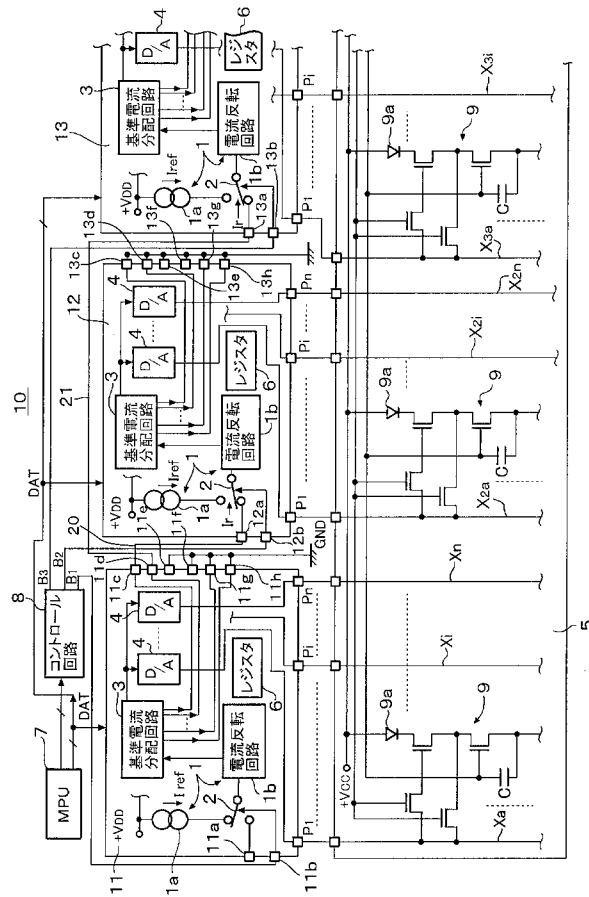
- 1 ... 基準電流発生回路、2 ... 基準電流選択回路、
- 3 ... 基準電流分配回路、4 ... D/A 変換ブロック、
- 5 ... 有機 EL パネル、6 ... レジスタ、
- 7 ... MPU 、8 ... コントロール回路、
- 9 ... ピクセル回路、9a ... 有機 EL 素子、
- 10 ... 有機 EL 表示装置、
- 11、12、13 ... カラムドライバ IC 、
- $TN1, TN2$... N チャンネル MOS トランジスタ、
- $TP1 \sim TP6, TPa, TPb \sim TPm$... P チャンネル MOS トランジスタ、
- RC ... 基準電流制御回路、 CC ... 駆動電流制御回路、
- CO ... 制御電流出力回路、 OP ... オペアンプ、
- $SW1, SW2$... アナログスイッチ、
- $S1 \sim Sm$... スイッチ、 SB ... スイッチブロック。

10

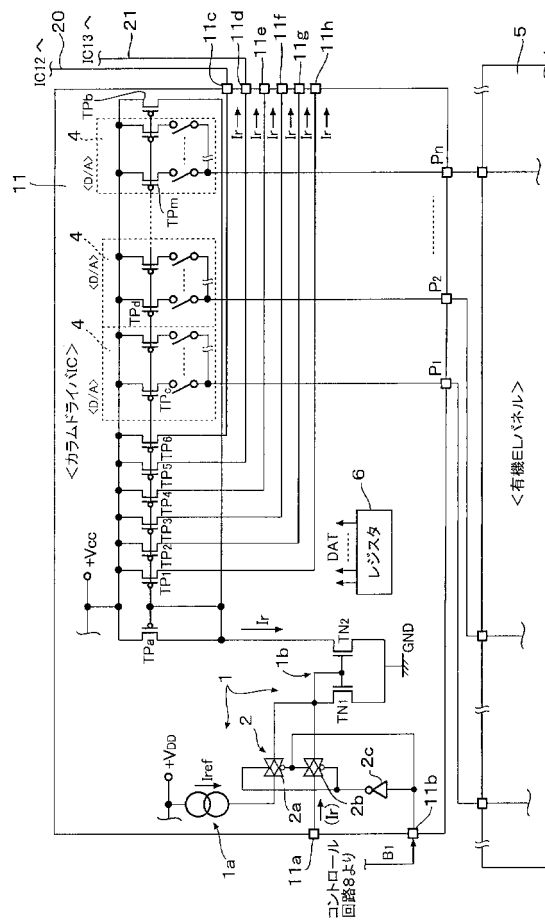
20

30

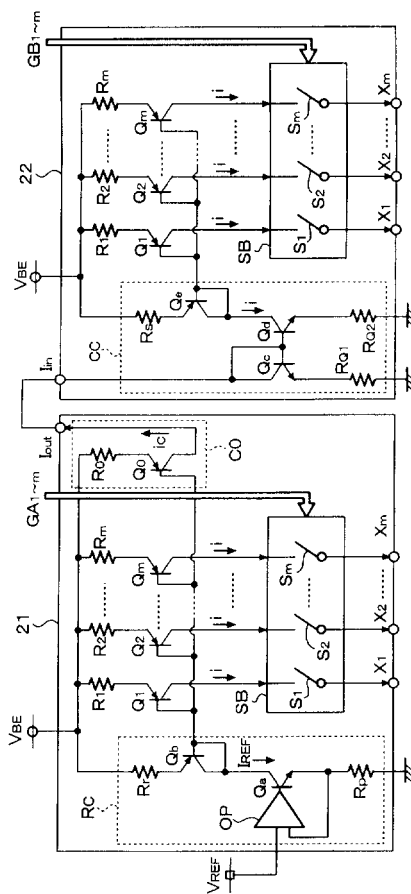
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 M
G 0 9 G 3/20 6 2 3 B
G 0 9 G 3/20 6 2 3 F
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 2 B
G 0 9 G 3/20 6 4 2 L
G 0 9 G 3/20 6 8 0 G
H 0 5 B 33/14 A

(72)発明者 矢熊 宏司
京都市右京区西院溝崎町2 1 番地 ローム株式会社内

審査官 佐野 潤一

(56)参考文献 特開2001-042827(JP,A)
特開2003-066906(JP,A)
国際公開第2003/092165(WO,A1)
特開2004-334124(JP,A)
特開2003-066903(JP,A)
特開2003-288045(JP,A)
特開2004-094237(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	JP4941906B2	公开(公告)日	2012-05-30
申请号	JP2005134006	申请日	2005-05-02
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
当前申请(专利权)人(译)	ROHM株式会社		
[标]发明人	藤沢雅憲 阿部真一 矢熊宏司		
发明人	藤沢 雅憲 阿部 真一 矢熊 宏司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32 H05B33/14		
CPC分类号	G09G3/325 G09G3/3283 G09G2300/0842 G09G2310/027 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.612.E G09G3/20.621.B G09G3/20.621.J G09G3/20.621.M G09G3/20.623.B G09G3/20.623.F G09G3/20.641.D G09G3/20.642.B G09G3/20.642.L G09G3/20.680.G H05B33/14.A G09G3/3216 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB06 5C080/CC03 5C080/DD05 5C080/DD25 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/GG11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/KK07 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AB34 5C380/AC04 5C380/AC11 5C380/BA28 5C380/BA30 5C380/BA38 5C380/BB02 5C380/BB12 5C380/BB15 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA35 5C380/CA36 5C380/CA43 5C380/CA44 5C380/CA46 5C380/CA47 5C380/CA49 5C380/CA51 5C380/CB01 5C380/CC13 5C380/CC62 5C380/CD014 5C380/CE04 5C380/CF06 5C380/CF23 5C380/CF25 5C380/CF26 5C380/CF27 5C380/CF41 5C380/CF48 5C380/CF54 5C380/CF62 5C380/HA03 5C380/HA13		
代理人(译)	梶山 信是 山本富士雄		
审查员(译)	佐野纯一		
优先权	2004141891 2004-05-12 JP		
其他公开文献	JP2005352460A		
外部链接	Espacenet		

摘要(译)

(经修改) A柱可以根据在驱动器IC之间的特性差异的有机EL显示器的画面上减少亮度不均, 提供一种有机EL驱动电路或有机EL显示装置, 其能够降低列驱动器IC的制造成本。通过基准电流选择电路选择任一输入到参考电流选择电路所生成的基准电流和由基准电流产生电路的电流输入内从所述第一输入端子的相位关系。通过电流反转电路暂时反转所选择的电流, 以驱动复制和分配参考电流的电流分配电路的电流镜电路。电流镜电路的输出侧晶体管可以产生电流具有与基准电流或输入的电流相位相同的电流值。和提供在电流镜电路的第二输出晶体管, 从输出端子基本上等于电流到电流的输出在相位选择与基准电流为IC提供在下一阶段提供的输入参考电流到。 点域1

