

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-12595

(P2019-12595A)

(43) 公開日 平成31年1月24日(2019.1.24)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H05B 33/12 (2006.01)</b>	H05B 33/12 B	3K107
<b>H01L 51/50 (2006.01)</b>	H05B 33/14 A	5C094
<b>H05B 33/22 (2006.01)</b>	H05B 33/22 Z	
<b>H01L 27/32 (2006.01)</b>	H01L 27/32	
<b>H05B 33/26 (2006.01)</b>	H05B 33/26 Z	

審査請求 未請求 請求項の数 19 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2017-127204 (P2017-127204)  
 (22) 出願日 平成29年6月29日 (2017.6.29)

(71) 出願人 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 110000408  
 特許業務法人高橋・林アンドパートナーズ  
 (72) 発明者 豊田 裕訓  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内  
 Fターム(参考) 3K107 AA01 BB01 CC06 CC33 DD10  
 DD22 DD23 DD24 DD27 DD28  
 DD29 EE07 FF13 FF15  
 5C094 AA03 AA07 AA08 AA42 BA27  
 CA18 CA20 CA24 DA13 EA05  
 EA06 EA07 FA02 FA04

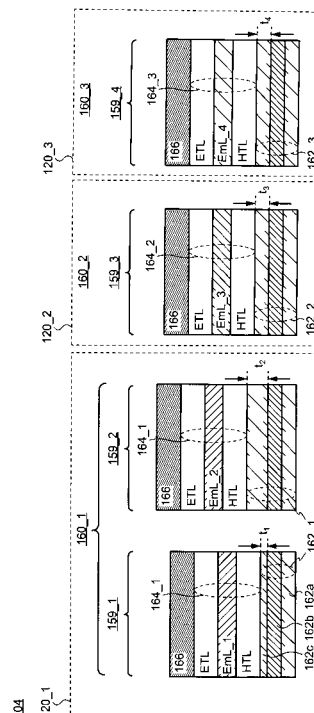
(54) 【発明の名称】 発光素子、および発光素子を有する表示装置

(57) 【要約】

【課題】機能層の厚さばらつきの光学干渉への影響を低減することで発光素子の特性を制御し、特性ばらつきの小さい発光素子を提供すること、およびこの発光素子を有する表示装置とその製造方法を提供する。

【解決手段】発光素子は、反射電極と、反射電極上の透光性電極と、透光性電極上に位置し、透光性電極と重なる第1の開口と第2の開口を有する隔壁と、第1の開口と第2の開口上の電界発光層と、電界発光層上の対向電極を有する。第1の開口と重なる領域における透光性電極の厚さは、第2の開口と重なる領域における透光性電極の厚さよりも小さい。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

反射電極と、  
前記反射電極上の透光性電極と、  
前記透光性電極上に位置し、前記透光性電極と重なる第 1 の開口と第 2 の開口を有する隔壁と、  
前記第 1 の開口と前記第 2 の開口上の電界発光層と、  
前記電界発光層上の対向電極を有し、  
前記第 1 の開口と重なる領域における前記透光性電極の厚さは、前記第 2 の開口と重なる領域における前記透光性電極の厚さよりも小さい発光素子。

10

**【請求項 2】**

前記第 1 の開口と重なる前記領域における前記電界発光層の構造は、前記第 2 の開口と重なる前記領域における前記電界発光層の構造と同一である、請求項 1 に記載の発光素子。

**【請求項 3】**

前記第 1 の開口の面積は、前記第 2 の開口の面積よりも小さい、請求項 1 に記載の発光素子。

**【請求項 4】**

前記電界発光層は青色に発光するよう構成される、請求項 1 に記載の発光素子。

**【請求項 5】**

20

第 1 の画素と第 2 の画素を有し、

前記第 1 の画素は、

第 1 の反射電極と

前記第 1 の反射電極上の第 1 の透光性電極と、

前記第 1 の透光性電極上に位置し、前記第 1 の透光性電極と重なる第 1 の開口と第 2

の開口を有する隔壁と、

前記第 1 の開口と前記第 2 の開口と重なる第 1 の電界発光層と、

前記第 1 の電界発光層と重なる対向電極を有し、

前記第 2 の画素は、

第 2 の反射電極と

前記第 2 の反射電極上の第 2 の透光性電極と、

前記第 2 の透光性電極上の第 2 の電界発光層と、

前記第 2 の電界発光層と重なる前記対向電極を有し、

前記第 1 の開口と重なる領域における前記第 1 の透光性電極の厚さは、前記第 2 の透光性電極の厚さよりも小さく、

前記第 2 の透光性電極の前記厚さは、前記第 2 の開口と重なる領域における前記第 1 の透光性電極の厚さよりも大きい表示装置。

30

**【請求項 6】**

前記第 1 の開口と重なる前記領域における前記第 1 の電界発光層の構造は、前記第 2 の開口と重なる前記領域における前記第 1 の電界発光層の構造と同一である、請求項 5 に記載の表示装置。

40

**【請求項 7】**

前記第 1 の開口の面積は、前記第 2 の開口の面積よりも小さい、請求項 5 に記載の表示装置。

**【請求項 8】**

前記第 1 の電界発光層と前記第 2 の電界発光層は、それぞれ第 1 の波長と第 2 の波長を有する光を出射するよう構成され、

前記第 1 の波長は、前記第 2 の波長よりも短い、請求項 5 に記載の表示装置。

**【請求項 9】**

前記第 1 の電界発光層は、青色に発光するよう構成される、請求項 5 に記載の表示装置

50

。

## 【請求項 10】

第 1 の画素、第 2 の画素、および第 3 の画素を有し、  
 前記第 1 の画素は、  
 第 1 の反射電極と  
 前記第 1 の反射電極上の第 1 の透光性電極と、  
 前記第 1 の透光性電極上に位置し、前記第 1 の透光性電極と重なる第 1 の開口と第 2  
 の開口を有する隔壁と、  
 前記第 1 の開口と前記第 2 の開口と重なる第 1 の電界発光層と、  
 前記第 1 の電界発光層と重なる対向電極を有し、  
 前記第 2 の画素は、  
 第 2 の反射電極と  
 前記第 2 の反射電極上の第 2 の透光性電極と、  
 前記第 2 の透光性電極上の第 2 の電界発光層と、  
 前記第 2 の電界発光層と重なる前記対向電極を有し、  
 前記第 3 の画素は、  
 第 3 の反射電極と、  
 前記第 3 の反射電極上の第 3 の透光性電極と、  
 前記第 3 の透光性電極上の第 3 の電界発光層と、  
 前記第 3 の電界発光層上の前記対向電極を有し、  
 前記第 1 の開口と重なる領域における前記第 1 の透光性電極の厚さは、前記第 2 の透光  
 性電極の厚さよりも小さく、  
 前記第 2 の透光性電極の前記厚さは、前記第 2 の開口と重なる領域における前記第 1 の  
 透光性電極の厚さよりも大きい表示装置。

10

20

## 【請求項 11】

前記第 3 の透光性電極の厚さは、前記第 1 の開口と重なる前記領域における前記第 1 の  
 透光性電極の前記厚さよりも大きく、前記第 2 の開口と重なる前記領域における前記第 1  
 の透光性電極の前記厚さよりも小さい、請求項 10 に記載の表示装置。

## 【請求項 12】

前記第 2 の透光性電極の前記厚さは、前記第 3 の透光性電極の前記厚さと同一である、  
 請求項 11 に記載の表示装置。

30

## 【請求項 13】

前記第 3 の透光性電極の前記厚さは、前記第 2 の透光性電極の前記厚さ以上である、請  
 求項 11 に記載の表示装置。

## 【請求項 14】

前記第 3 の透光性電極の前記厚さは、前記第 2 の開口と重なる前記領域における前記第  
 1 の透光性電極の前記厚さよりも大きい、請求項 11 に記載の表示装置。

## 【請求項 15】

前記第 1 の開口と重なる前記領域における前記第 1 の電界発光層の構造は、前記第 2 の  
 開口と重なる前記領域における前記第 1 の電界発光層の構造と同一である、請求項 10 に  
 記載の表示装置。

40

## 【請求項 16】

前記第 1 の開口の面積は、前記第 2 の開口の面積よりも大きい、請求項 10 に記載の表  
 示装置。

## 【請求項 17】

前記隔壁はさらに、前記第 2 の透光性電極と前記第 2 の電界発光層の間、および前記  
 第 3 の透光性電極と前記第 3 の電界発光層の間に位置し、前記第 2 の透光性電極と重なる  
 第 3 の開口、および前記第 3 の透光性電極と重なる第 4 の開口を有し、

前記第 3 の開口の面積は、前記第 4 の開口の面積と同一である、請求項 16 に記載の表  
 示装置。

50

## 【請求項 18】

前記第1の電界発光層、前記第2の電界発光層、および前記第3の電界発光層は、それぞれ第1の波長、第2の波長、および第3の波長を有する光を出射するように構成され、前記第1の波長は前記第2の波長と前記第3の波長よりも短い、請求項10に記載の表示装置。

## 【請求項 19】

前記第1の電界発光層、前記第2の電界発光層、および前記第3の電界発光層は、それぞれ青色、緑色、および赤色の光を出射するように構成される、請求項10に記載の表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表示装置、および表示装置の製造方法に関する。例えば、有機発光素子を画素に有する表示装置とその製造方法に関する。

## 【背景技術】

## 【0002】

表示装置の一例として、有機EL (Electroluminescence) 表示装置が挙げられる。有機EL表示装置は、基板上に形成された複数の画素の各々に表示素子として有機発光素子(以下、発光素子)を有している。発光素子は一对の電極(陰極、陽極)間に有機化合物を含む複数の機能層(以下、これらの機能層全体を電界発光層、あるいはEL層と記す)を有しており、電極間に電流を供給することで駆動される。

## 【0003】

電界発光層から得られる光は、電界発光層と電極間の界面や機能層間の界面、あるいは電極内において反射を繰り返す。このため、発光素子内に微小共振器が形成され、反射した光は互いに干渉する。この光学干渉を微小共振器の構造によって適切に調整することで発光素子の発光効率や発光色、視野角依存性などの種々の特性を制御することができる。

## 【0004】

光学干渉の調整は、種々の方法によって行われる。例えば各機能層の材料や厚さ、電極の反射率、発光素子外の構造などによって調整される。例えば特許文献1や2では、発光素子の一方の電極上に共振構造を設け、これによって発光素子から出射された発光を共振させ、発光強度や発光色の調整を行うことが開示されている。

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2006-302878号公報

【特許文献2】特開2006-302879号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

本発明に係る実施形態の一つは、機能層の厚さばらつきの光学干渉への影響を低減することで発光素子の特性を制御し、特性ばらつきの小さい発光素子を提供すること、およびこの発光素子を有する表示装置とその製造方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0007】

本発明の実施形態の一つは発光素子である。この発光素子は、反射電極と、反射電極上の透光性電極と、透光性電極上に位置し、透光性電極と重なる第1の開口と第2の開口を有する隔壁と、第1の開口と第2の開口上の電界発光層と、電界発光層上の対向電極を有する。第1の開口と重なる領域における透光性電極の厚さは、第2の開口と重なる領域における透光性電極の厚さよりも小さい。

## 【0008】

10

20

30

40

50

本発明の実施形態の一つは、第1の画素と第2の画素を有する表示装置である。第1の画素は、第1の反射電極と、第1の反射電極上の第1の透光性電極と、第1の透光性電極上に位置し、第1の透光性電極と重なる第1の開口と第2の開口を有する隔壁と、第1の開口と第2の開口と重なる第1の電界発光層と、第1の電界発光層と重なる対向電極を有する。第2の画素は、第2の反射電極と第2の反射電極上の第2の透光性電極と、第2の透光性電極上の第2の電界発光層と、第2の電界発光層と重なる対向電極を有する。第1の開口と重なる領域における第1の透光性電極の厚さは、第2の透光性電極の厚さよりも小さく、第2の透光性電極の厚さは、第2の開口と重なる領域における第1の透光性電極の厚さよりも大きい。

【0009】

10

本発明の実施形態の一つは、第1の画素、第2の画素、および第3の画素を有する表示装置である。第1の画素は、第1の反射電極と、第1の反射電極上の第1の透光性電極と、第1の透光性電極上に位置し、第1の透光性電極と重なる第1の開口と第2の開口を有する隔壁と、第1の開口と第2の開口と重なる第1の電界発光層と、第1の電界発光層と重なる対向電極を有する。第2の画素は、第2の反射電極と、第2の反射電極上の第2の透光性電極と、第2の透光性電極上の第2の電界発光層と、第2の電界発光層と重なる対向電極を有する。第3の画素は、第3の反射電極と、第3の反射電極上の第3の透光性電極と、第3の透光性電極上の第3の電界発光層と、第3の電界発光層上の対向電極を有する。第1の開口と重なる領域における第1の透光性電極の厚さは、第2の透光性電極の厚さよりも小さく、第2の透光性電極の厚さは、第2の開口と重なる領域における第1の透光性電極の厚さよりも大きい。

20

【図面の簡単な説明】

【0010】

【図1】一実施形態に係る表示装置の模式的上面図。

【図2】一実施形態に係る表示装置の画素の模式的上面図。

【図3】一実施形態に係る発光素子の模式的断面図。

【図4】一実施形態に係る発光素子における電界発光層の膜厚ばらつきと素子特性ばらつきとの相関を表す模式図。

【図5】一実施形態に係る発光素子における電界発光層の膜厚ばらつきと素子特性ばらつきとの相関を表す模式図。

30

【図6】一実施形態に係る発光素子の模式的断面図。

【図7】一実施形態に係る表示装置の画素の等価回路。

【図8】一実施形態に係る表示装置の画素の模式的断面図。

【図9】一実施形態に係る表示装置の製造方法を示す模式的断面図。

【図10】一実施形態に係る表示装置の製造方法を示す模式的断面図。

【図11】一実施形態に係る表示装置の製造方法を示す模式的断面図。

【図12】一実施形態に係る表示装置の画素の模式的上面図。

【図13】一実施形態に係る発光素子における電界発光層の膜厚ばらつきと素子特性ばらつきとの相関を表す模式図。

【発明を実施するための形態】

40

【0011】

以下、本発明の各実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

【0012】

図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

【0013】

50

本明細書と請求項において、ある一つの膜を加工して複数の膜を形成した場合、これら複数の膜は異なる機能、役割を有することがある。しかしながら、これら複数の膜は同一の工程で同一層として形成された膜に由来し、同一の材料を有する。したがって、これら複数の膜は同一層に存在しているものと定義する。

【0014】

本明細書および請求項において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

【0015】

本明細書および請求項において、「ある構造体が他の構造体から露出するという」という表現は、ある構造体の一部が他の構造体によって覆われていない態様を意味し、この他の構造体によって覆われていない部分は、さらに別の構造体によって覆われる態様も含む。

【0016】

本明細書において、類似する複数の構成要素をそれぞれ区別して指す場合、符号の後にアンダーバーと自然数を用いて表記する。これらを互いに区別せずに全体、あるいはそのうちの任意に選択される複数を表記する場合には、符号のみを用いる。

【0017】

<第1実施形態>

本実施形態では、一実施形態である表示装置100に含まれる発光素子の構造に主な焦点を当てて説明を行う。

【0018】

[1.全体構成]

表示装置100の模式的上面図を図1に示す。表示装置100は基板102を有し、その上に複数の画素群104が設けられる。複数の画素群104によって表示領域106が定義され、これを取り囲む領域(周辺領域)には画素群104を駆動するための駆動回路が設けられる。図1に示した例では、表示領域106を挟む二つのゲート側駆動回路108や、アナログスイッチなどを含むソース側駆動回路110が設けられる。表示領域106やゲート側駆動回路108、ソース側駆動回路110からは図示しない配線が基板102の一辺へ延び、基板102の端部で露出されて端子112を形成する。端子112はフレキシブル印刷回路(FPC)基板などのコネクタ114と電氣的に接続される。コネクタ114上、あるいは基板102上には、画素群104を制御するためのドライバIC110をさらに搭載してもよい。なお、ソース側駆動回路110を周辺領域上に設けず、この機能をドライバIC110によって実現してもよい。後述するように、各画素群104は発光素子160が設けられた複数の画素120を有する。発光素子160はゲート側駆動回路108やソース側駆動回路110などによって制御され、これにより画像が表示領域106に表示される。

【0019】

[2.画素]

2-1.発光領域

図2に一つの画素群104の上面模式図を示す。各画素群104には、複数の画素120が設けられ、各画素120には発光素子160が配置される。一つの画素群104に設けられる画素120の数に制限はなく、ここでは三つの画素(第1の画素120\_\_1、第2の画素120\_\_2、第3の画素120\_\_3)が一つの画素群104に設けられる例が示されている。詳細は後述するが、各画素120はそれぞれ画素電極162を有し、その上に絶縁膜である隔壁158(図1では図示しない)が設けられる。隔壁158は画素電極162の端部を覆い、かつ、画素電極162と重なる開口を有する。この開口において画素電極162が隔壁158から露出され、発光領域159を与える。各画素群104のうち一つの画素(ここでは第1の画素120\_\_1)では、隔壁158は二つの開口(第1の

10

20

30

40

50

開口、第2の開口)を有しており、このため、第1の画素電極162\_\_1上には二つの発光領域(第1の発光領域159\_\_1、第2の発光領域159\_\_2)が形成される。他の画素(ここでは第2の画素120\_\_2、第3の画素120\_\_3)においては、隔壁158はそれぞれ単一の開口(第3の開口、第4の開口)を有しており、それぞれ第2の画素電極162\_\_2と第3の画素電極162\_\_3に第3の発光領域159\_\_3、第4の発光領域159\_\_4を与える。なお、第1の画素120\_\_1内においては、第1の画素電極162は二つの発光領域159にわたって等電位が維持される。したがって、第1の画素120\_\_1では、発光素子160から二つの発光領域159を通して同時に発光が得られる。

#### 【0020】

発光領域159の面積(すなわち、隔壁158の開口の面積)は任意に決定することができる。図1に示した例では、第1の開口と第2の開口の面積は同一、あるいは実質的に同一であり、したがって、第1の発光領域159\_\_1と第2の発光領域159\_\_2の面積も同一、あるいは実質的に同一である。また、第3の開口と第4の開口の面積も同一、あるいは実質的に同一であり、したがって、第3の発光領域159\_\_3と第4の発光領域159\_\_4の面積も同一、あるいは実質的に同一である。

#### 【0021】

##### 2-2. 発光素子

図3に、一つの画素群104に含まれる第1の画素120\_\_1から第3の画素120\_\_3が有する発光素子(第1の発光素子160\_\_1から第3の発光素子160\_\_3)の断面模式図を示す。ここでは、発光領域159における発光素子160の構造が示されている。これらの発光素子160はいずれも画素電極162を有し、その上に電界発光層164と対向電極166が形成される。

#### 【0022】

各発光素子160の画素電極162は、積層された複数の層から構成される。例えば図3に示すように、画素電極162は第1の導電層162a、第2の導電層162b、第3の導電層162cがこの順に積層した構造を有することができる。この場合、電界発光層164は第3の導電層162cと接する。

#### 【0023】

第1の導電層162aは、インジウムとスズの混合酸化物(ITO)やインジウムと亜鉛の混合酸化物(IZO)などの、可視光を透過可能な導電性酸化物を含む。第2の導電層162bは第1の導電層162aと接し、銀やアルミニウムなど、可視光に対する反射率が高い金属やこれを含む合金を含有する。第2の導電層162bは、電界発光層164で生成した光を反射する機能を有する反射電極として機能する。第3の導電層162cは第2の導電層162bと接し、ITOやIZOなどの可視光を透過可能な導電性酸化物を含む。第3の導電層162cは電界発光層164へ電荷(ホール)を注入するのみならず、電界発光層164からの光を共振させるための空間を提供する透光性電極として働く。なお、第1の導電層162aは必ずしも設けなくてもよい。

#### 【0024】

ここで、第1の導電層162aは、画素120間で同一の厚さを有することができ、かつ、同一の層内に存在することができる。同様に、第2の導電層162bも画素120間で同一の厚さを有することができ、かつ、同一の層内に存在することができる。一方、第3の導電層162cの厚さは、第1の発光素子160\_\_1内において、発光領域159間、すなわち、隔壁158の開口と重なる領域間で異なる。具体的には、第1の発光領域159\_\_1(第1の開口と重なる領域)における第3の導電層162cの厚さ $t_1$ は、第2の発光領域159\_\_2(第2の開口と重なる領域)における第3の導電層162cの厚さ $t_2$ と比較して小さい。一方、第2の発光素子160\_\_2と第3の発光素子160\_\_3では、第3の導電層162cの厚さは同一、あるいは実質的に同一である。すなわち、第3の発光領域159\_\_3(第3の開口と重なる領域)における第3の導電層162cの厚さ $t_3$ は、第4の発光領域159\_\_4(第4の開口と重なる領域)における第3の導電層162cの厚さ $t_4$ と同一、あるいは実質的に同一である。さらに、厚さ $t_3$ と厚さ $t_4$ は厚

10

20

30

40

50

さ  $t_1$  よりも大きく、厚さ  $t_2$  よりも小さい。すなわち、一つの画素群 104 内において、第3の導電層 162c の厚さは以下の関係のいずれかを有する。

【0025】

【数1】

$$t_1 < t_3 = t_4 < t_2$$

10

$$t_1 < t_3 \approx t_4 < t_2$$

【0026】

ここで、第1の発光素子 160\_1 において、素子特性が最適化された場合の第3の導電層 162c の厚さ（以下、最適化膜厚）を  $t_0$  とすると、最適化膜厚  $t_0$  は  $t_1$  よりも大きく、厚さ  $t_2$  よりも小さい。すなわち、以下の関係が満たされる。

【0027】

【数2】

$$t_1 < t_0 < t_2$$

20

【0028】

最適化膜厚  $t_0$  を決定するために考慮される素子特性やその最適値は適宜選択することができ、例えば第1の発光素子 160\_1 の電流効率や発光色、視野角依存性、信頼性などの特性を考慮し、最適化膜厚  $t_0$  が決定される。

【0029】

電界発光層 164 は複数の機能層から構成される。例えば電荷（ホール、電子）注入層、電荷輸送層、発光層、電荷ブロッキング層、励起子ブロッキング層などを機能層として適宜組み合わせると電界発光層 164 が構成される。図3では、各画素 120 の発光素子 160 は、いずれも代表的な機能層として正孔輸送層 HTL、発光層 EmL、および電子輸送層 ETL を有する例が示されている。図3では、電界発光層 164 は画素 120 間で独立しているように示されているが、機能層の一部は、第1の画素 120\_1 から第3の画素 120\_3 にわたり、これらの画素に共有されるように連続的に設けてもよい。

30

【0030】

電界発光層 164 は画素 120 間で構造が異なるように形成することができる。例えば発光層 EmL の材料や厚さ、正孔輸送層 HTL の厚さ、電子輸送層 ETL の厚さなどが画素 120 間で異なってもよい。これにより、第1の発光素子 160\_1 から第3の発光素子 160\_3 に含まれる電界発光層 164 をそれぞれ第1の電界発光層 164\_1 から第3の電界発光層 164\_3 とした場合、これらの電界発光層 164 から互いに異なる波長の光が出射されるよう、画素群 104 を構成することができる。例えば第1の電界発光層 164\_1 から第3の電界発光層 164\_3 をそれぞれ青、緑、赤色の光を出射するように構成することにより、フルカラー表示を行うことができる。

40

【0031】

ここで、第1の画素 120\_1 内では、第1の発光領域 159\_1 と第2の発光領域 159\_2 において、第1の電界発光層 164\_1 の構造は同一である。また、第1の電界発光層 164\_1 の発光波長（あるいは最大発光ピーク波長  $\lambda_1$ ）は、第2の電界発光層 164\_2 や第3の電界発光層 164\_3 の発光波長（あるいは最大発光ピーク波長  $\lambda_2$

50

、 $\lambda_3$ )よりも短い。最大発光ピーク波長 $\lambda_2$ と $\lambda_3$ はいずれが長くてもよい。例えば、第1の電界発光層164\_1から第3の電界発光層164\_3は、それぞれ青色、緑色、赤色の光を与えるよう、それぞれの電界発光層164が構成される。この場合、以下の関係が成立する。

【0032】

【数3】

$$\lambda_1 < \lambda_2 < \lambda_3$$

10

【0033】

対向電極166は、例えばマグネシウムや銀、アルミニウムなどの金属やこれを含む合金を含有することができる。あるいはこれらの金属や合金を含む膜と導電性酸化物を含む膜の積層構造を有してもよい。対向電極166は電界発光層164へ電荷(電子)を注入するのみならず、電界発光層164からの光を一部透過し、一部反射する機能を有する。したがって、対向電極166が上記金属を含む膜を有する場合、この膜は可視光が一部透過可能な厚さで形成される。対向電極166も第1の画素120\_1から第3の画素120\_3にわたって連続的に設けられ、これらによって共有される。

【0034】

20

## 2-3. 発光素子の特性ばらつき制御

発光素子160内では発光層EmLからの発光が電界発光層164内の機能層間の界面、電界発光層164と画素電極162の界面、電界発光層164と対向電極166の界面、および第2の導電層162bと第3の導電層162cとの界面において反射し、反射光は互いに干渉、共振する。この干渉効果を大きく左右する要因の一つが電界発光層164の厚さであり、電界発光層164の厚さのばらつきは、発光素子160の様々な特性(電流効率、色度、信頼性、視野角依存性など)のばらつきを誘発する。実際、発明者は、例えば電界発光層164の厚さがわずか2%から3%ずれることで、電流効率は20%前後、発光の色度座標x、yはともに0.01前後ずれることを計算によって確認した。したがって、特性ばらつきの小さい表示装置100の提供のためには、電界発光層164の厚さのばらつきを1%から2%程度に抑制することが好ましい。

30

【0035】

電界発光層164の厚さのばらつきによる影響は、発光層EmLからの発光波長が短いほど影響が大きく、このため、発光波長が最も短い第1の発光素子160\_1において最大となる。しかしながら、上述した構造、すなわち、第3の導電層162cの厚さが異なる複数の発光領域159を第1の発光素子160\_1に形成することで、第1の発光素子160\_1の電界発光層164\_1の厚さのばらつきの素子特性への影響を低減することができる。

【0036】

より具体的な説明を図4(A)から図5(B)を用いて行う。図4(A)は、第3の導電層162cの厚さtが最適化膜厚 $t_0$ の場合の、電界発光層164の厚さの設計値からのずれ(以下、膜厚偏差) $d_t$ に対する発光素子160の特性のずれ(以下、特性偏差) $d_p$ を模式的に表した概念図である。膜厚偏差 $d_t$ が無い場合( $d_t = 0$ )、発光素子160の特性偏差は無く、 $d_p$ は0である。図4(A)は、膜厚偏差 $d_t$ に対して特性偏差 $d_p$ が直線的に変化する例であり、電界発光層164の厚さが設計値よりも増大し、膜厚偏差 $d_t$ が $d_1$ となった時の特性偏差 $d_p$ は $p_1$ であり、膜厚偏差 $d_t$ が $-d_1$ の時の特性偏差 $d_p$ は $-p_1$ となる。

40

【0037】

このような特性を与える発光素子160では、第3の導電層162cの厚さtが変化すると、膜厚偏差-膜厚偏差直線(以下、偏差直線と記す)がシフトする。すなわち、図4

50

(B)に示すように、厚さ $t$ が最適化膜厚 $t_0$ よりも大きくなると( $t = t_2$ )偏差直線は左にシフトし、小さくなると( $t = t_1$ )右にシフトすることが発明者によって確認された。

【0038】

上述したように、第1の発光素子160\_\_1は二つの発光領域159を有し、これらの領域間で互いに第3の導電層162cの厚さが異なる。したがって、厚さ $t$ が最適化膜厚 $t_0$ の時のずれ直線に対し、第1の発光領域159\_\_1の偏差直線は右にシフトし( $t = t_1$ )、第2の発光領域159\_\_2の偏差直線は左にシフトする( $t = t_2$ )。

【0039】

この場合、第1の電界発光層164\_\_1の厚さが $d_1$ ずれた場合、第1の発光領域159\_\_1において得られる特性偏差 $d_p$ は $p_1$ となり、厚さ $t$ が最適化膜厚 $t_0$ の時のそれ( $p_0$ )と比較して小さくなる。これに対し、第2の発光領域159\_\_2において得られる特性偏差 $d_p$ は $p_2$ となり、 $p_0$ と比較して大きくなる。本実施形態では第1の発光領域159\_\_と第2の発光領域159\_\_2の面積は同一であるため、第1の発光領域159\_\_と第2の発光領域159\_\_2の発光の寄与は同一である。したがって第1の発光素子160\_\_1全体では、これらの特性偏差 $p_1$ 、 $p_2$ は平均化された値( $p_{ave}$ )となり、また、 $p_{ave}$ は $p_0$ に等しくなる。その結果、第1の電界発光層164\_\_1の厚さのばらつきに起因する発光素子160\_\_1特性のばらつきを、第3の導電層162cが最適化膜厚 $t_0$ を有する場合のそれと同程度に抑制することができる。

【0040】

さらに、電界発光層164の膜厚偏差 $d_t$ に対する特性偏差 $d_p$ が直線的に変化せず、膜厚偏差 $d_t$ の変化とともに特性偏差 $d_p$ の変化が小さくなる場合、第1の電界発光層164\_\_1の膜厚偏差に起因する特性偏差をより効果的に抑制することができる。この場合の膜厚偏差と特性偏差の関係を図5(A)に模式的に示す。図5(A)に示すように、膜厚偏差 $d_t$ に対する特性偏差 $d_p$ のプロットは曲線(以下、偏差曲線と記す)を与え、その傾きは膜厚偏差 $d_t$ の絶対値が大きくなるに従って小さくなる。

【0041】

このような特性を有する発光素子を用いた場合でも、第3の導電層162cの厚さ $t$ が最適化膜厚 $t_0$ よりも大きくなると( $t = t_2$ )、偏差曲線は左にシフトし、小さくなると( $t = t_1$ )右にシフトすることが発明者によって確認された。第1の発光領域159\_\_1では厚さ $t$ は $t_1$ であるため、第1の電界発光層164\_\_1の厚さが $d_1$ ずれた時、得られる特性偏差 $d_p$ は $p_1$ となり、厚さ $t$ が最適化膜厚 $t_0$ の時のそれ( $p_0$ )と比較して小さくなる。これに対し、第2の発光領域159\_\_2において得られる特性偏差 $d_p$ は $p_2$ となり、 $p_0$ と比較して大きくなる。しかしながら、特性偏差 $p_2$ と $p_0$ の差は、特性偏差 $p_1$ と $p_0$ の差よりも小さい。したがって、第1の発光素子160\_\_1全体の特性偏差、すなわち特性偏差 $p_1$ と $p_2$ の平均値 $p_{ave}$ は $p_0$ よりも小さくなる。このように、第1の電界発光層164\_\_1の膜厚偏差 $d_t$ に起因する特性偏差 $d_p$ は、厚さ $t$ が最適化された場合よりも小さくすることができる。

【0042】

第1の発光素子160\_\_1の二つの発光領域159は互いに近接しているため、同一の画素群104内では第1の電界発光層164\_\_1の厚さにはほとんど差が生じない。しかしながら、異なる画素群104間、同一のマザーガラス上に作製され異なる表示装置100間、あるいは異なる基板102間では、第1の電界発光層164\_\_1の厚さにばらつきが生じる。電界発光層164は蒸着法やインクジェット法によって形成されるが、電界発光層164の厚さを精密に(例えば1%から2%以内に)制御することは困難である。発光波長の短い電界発光層164の厚さのばらつきの素子特性に対する影響は特に大きく、表示装置間に大きな特性ばらつきを生み出す。

【0043】

しかしながら上述したように、本実施形態で述べた発光素子160の構造を用いることで、特に短波長の発光を与える電界発光層164の厚さのばらつきに起因する発光素子1

10

20

30

40

50

60の特性ばらつきを抑制することができる。したがって、本実施形態を適用することで、特性ばらつきが低減された表示装置を提供することが可能となる。

【0044】

<第2実施形態>

本実施形態では、第1実施形態で述べた画素群104とは異なる構造を有する画素群104aを説明する。画素群104と同一、あるいは類似する構造に関する説明は省略することがある。

【0045】

本実施形態に係る画素群104aの断面模式図を図6に示す。画素群104aは、第3の発光素子160\_\_3の第3の導電層162cの厚さ $t_4$ が、第2の発光素子160\_\_2の第3の導電層162cの厚さ $t_3$ よりも大きい点で画素群104と異なる。厚さ $t_3$ は厚さ $t_1$ よりも大きく、 $t_2$ よりも小さい。一方、厚さ $t_4$ は厚さ $t_2$ と同じでも、大きくても、小さくても良い。したがって、以下の関係のいずれかが満たされる。

10

【0046】

【数4】

$$t_1 < t_3 < t_4 \leq t_2$$

20

【0047】

【数5】

$$t_1 < t_3 < t_2 < t_4$$

【0048】

第4の電界発光層164\_\_4の発光波長が第3の電界発光層164\_\_3のそれよりも長い場合、第3の発光素子160\_\_3内に形成される微小共振器の光路長は第2の発光素子160\_\_2のそれよりも長いことが好ましく、これにより、第3の発光素子160\_\_3においてより効果的に光学調整が可能となる。したがって、上述した関係のいずれかを満たすことにより、全ての発光素子160においてより効果的に光学調整を行うことが可能となる。

30

【0049】

<第3実施形態>

本実施形態では、表示装置100の構造とその製造方法に関して説明を行う。第1、第2実施形態で述べた内容に関しては、説明を省略することがある。

【0050】

[1.画素回路]

40

各画素120には、発光素子160とともに、発光素子160を駆動するための各種素子が設けられ、これらによって画素回路が形成される。画素回路の構成は任意に選択することができ、一例を等価回路として図7に示す。

【0051】

図7に示した画素回路は、発光素子160に加え、駆動トランジスタ121、第1のスイッチングトランジスタ122、第2のスイッチングトランジスタ123、保持容量124、付加容量125を含む。発光素子160は、高電位電源線126と低電位電源線127との間に設けられる。高電位電源線126には高電位PVD Dが与えられ、低電位電源線127には高電位PVD Dより低い低電位PVS Sが与えられる。

【0052】

50

駆動トランジスタ121は、高電位電源線126と発光素子160との間に設けられる。駆動トランジスタ121は、制御端子としてのゲートと、入出力端子としてのソース、およびドレインを有する。本実施形態では、駆動トランジスタ121はnチャンネル型とし、高電位電源線126と電氣的に接続される入出力端子をドレイン、発光素子160に電氣的に接続される入出力端子をソースとする。駆動トランジスタ121のドレインは第2のスイッチングトランジスタ123を介して高電位電源線126と電氣的に接続され、ソースが発光素子160の画素電極162と電氣的に接続される。

#### 【0053】

駆動トランジスタ121のゲートは、第1のスイッチングトランジスタ122を介して第1の信号線VSLと電氣的に接続される。すなわち、第1の信号線VSLと駆動トランジスタ121のゲートとの間には、第1のスイッチングトランジスタ122が設けられる。第1のスイッチングトランジスタ122は、そのゲートに接続される第1の走査信号線SLAに与えられる走査信号SGによって動作(オン/オフ)が制御される。第1のスイッチングトランジスタ122がオンのとき、第1の信号線VSLの電位が駆動トランジスタ121のゲートに与えられる。第1の信号線VSLには、初期化信号Viniと映像信号Vsigが所定のタイミングで与えられる。初期化信号Viniは一定レベルの初期化電位を与える信号である。第1のスイッチングトランジスタ122は、第1の信号線VSLに同期して、所定のタイミングでオン/オフが制御され、駆動トランジスタ121のゲートに初期化信号Vini、または映像信号Vsigに基づく電位を与える。

10

#### 【0054】

駆動トランジスタ121は、高電位電源線126と低電位電源線127との間で、第2のスイッチングトランジスタ123を介して発光素子160と直列に接続される。駆動トランジスタ121は、ゲートの電圧によってドレイン電流が制御され、ドレイン電流に相当する電流が発光素子160に流れる。したがって、発光素子160の発光強度は駆動トランジスタ121によって制御される。

20

#### 【0055】

駆動トランジスタ121のソースとゲートとの間には、保持容量124が設けられる。保持容量124は、駆動トランジスタ121のゲートとソース間の電圧の保持に寄与する。

#### 【0056】

駆動トランジスタ121のドレインには、第2の信号線VRSが電氣的に接続される。第2の信号線VRSには、リセットトランジスタ128を介してリセット電位Vrstと与えられる。リセットトランジスタ128は、リセット信号Vrstを印加するタイミングが第3の信号線SLCに与えられるリセット信号RGによって制御される。

30

#### 【0057】

付加容量125の一方の端子は駆動トランジスタ121のソースに接続され、他方の端子が高電位電源線126に接続される。付加容量125は、映像信号Vsigを駆動トランジスタ121のゲートに与えるとき、映像信号Vsigに応じたゲート-ソース間電圧Vgsを確保するために設けられる。付加容量125は、他方の端子が低電位電源線127に接続されるように設けてもよい。

40

#### 【0058】

ソース側駆動回路110は、第1の信号線VSLに初期化信号Vini、または映像信号Vsig出力する。一方、ゲート側駆動回路108は第1の走査信号線SLAに走査信号SGを出力し、第2の走査信号線SLBに走査信号BGを出力し、第3の信号線SLCにリセット信号RGを出力する。駆動IC116は、ソース側駆動回路110やゲート側駆動回路108を動作するための信号を出力する。

#### 【0059】

### [2. 断面構造]

図8に第1の画素120\_\_1の断面構造の一例を示す。図8は、第1の画素120\_\_1の画素回路のうち、駆動トランジスタ121、第1のスイッチングトランジスタ122、

50

保持容量 124、付加容量 125、発光素子 160 の断面構造を示す。これらの各素子は、アンダーコート 130 を介して基板 102 上に設けられる。

【0060】

駆動トランジスタ 121 は、第 1 の半導体膜 132 a、ゲート絶縁膜 134、第 1 のゲート電極 136 a を含む。ゲート絶縁膜 134 は、第 1 の半導体膜 132 a を覆うように設けられる。第 1 のゲート電極 136 a は、ゲート絶縁膜 134 を介して第 1 の半導体膜 132 a の少なくとも一部と交差するように配置される。駆動トランジスタ 121 では、第 1 の半導体膜 132 a と第 1 のゲート電極 136 a が重なる領域にチャネルが形成される。第 1 の半導体膜 132 a は、チャネルが形成される以外の領域がソース領域、あるいはドレイン領域として機能する。第 1 の半導体膜 132 a において、ソース領域、およびドレイン領域はチャネルが形成される領域を挟むように配置される。

10

【0061】

第 1 のゲート電極 136 a の上には層間絶縁膜 138 が設けられる。層間絶縁膜 138 は、画素 120 の全面に広がって設けられ、その上には、配線 142 が設けられる。配線 142 は、層間絶縁膜 138、およびゲート絶縁膜 134 を貫通するコンタクトホールによって第 1 の半導体膜 132 a のソース領域、あるいはドレイン領域と接続される。

【0062】

第 1 のスイッチングトランジスタ 122 は、第 2 の半導体膜 132 b、ゲート絶縁膜 134、第 2 のゲート電極 136 b を含む。第 2 の半導体膜 132 b は、第 1 の半導体膜 132 a と同一層内に存在するが、互いに分離されている。図 7 の等価回路で示すように、第 1 のスイッチングトランジスタ 122 の入出力端子に対応するソース領域、およびドレイン領域の一方は、配線 140 により駆動トランジスタ 121 の第 1 のゲート電極 136 a と接続され、他方は第 1 の信号線 V S L と接続される。配線 140、および第 1 の信号線 V S L は、配線 142 と同じ導電層によって形成される。また、配線 142 と同じ層内に存在する高電位電源線 126 が層間絶縁膜 138 上に設けられる。したがって、配線 140、第 1 の信号線 V S L、配線 142、および高電位電源線 126 はすべて同一の層内に存在する。

20

【0063】

第 1 の半導体膜 132 a、および第 2 の半導体膜 132 b には、アモルファスシリコン、ポリシリコンなどのシリコン半導体、あるいは半導体特性を有する金属酸化物が適用される。典型的には、前者は化学気相堆積 (CVD) 法により、後者はスパッタリング法により形成される。アンダーコート 130 やゲート絶縁膜 134、層間絶縁膜 138 には、酸化シリコン、窒化シリコンなどのケイ素含有無機化合物を含むことができ、スパッタリング法や CVD 法を適用して形成することができる。

30

【0064】

第 1 のゲート電極 136 a や第 2 のゲート電極 136 b、配線 140、配線 142、第 1 の信号線 V S L、高電位電源線 126 は、銅、モリブデン、タンタル、タングステン、モリブデン、アルミニウムなどの金属、あるいはその合金で構成され、スパッタリング法や CVD 法などによって形成される。これらの電極や配線には、例えばアルミニウムや銅などの高導電性金属の上層、および下層に、チタン、モリブデン、タングステン等の高融点金属を設けた積層構造などを採用してもよい。

40

【0065】

配線 140 と配線 142 上には平坦化膜 150 が配置される。平坦化膜 150 は、配線 140、配線 142 を埋設し平坦な表面を形成する。平坦化膜 150 は、ポリイミドやアクリル樹脂、エポキシ樹脂などの有機絶縁材料により形成することができる。平坦化膜 150 は、有機絶縁材料のモノマーやオリゴマーを用い、塗布法、蒸着重合法、印刷法などにより形成される。

【0066】

平坦化膜 150 の上面には導電膜 152、導電膜 154 が配置される。これらは同一の層内に存在することができ、第 1 のゲート電極 136 a や第 2 のゲート電極 136 b で使

50

用可能な材料を含み、第1のゲート電極136aや第2のゲート電極136bと同一、あるいは類似する構造をとることができる。

【0067】

導電膜152、154上には誘電体膜156が設けられ、その上に画素電極162が配置される。誘電体膜156は窒化シリコンなどの無機絶縁材料を含むことができ、CVD法によって形成される。画素電極162は、誘電体膜156に設けられたコンタクトホールによって導電膜152と接続される。導電膜152は、平坦化膜150に設けられたコンタクトホールによって配線142と接続され、平坦化膜150を介して少なくとも一部が配線140と重なる。したがって、画素電極162と導電膜152は等電位となる。

【0068】

導電膜154は、誘電体膜156を介して画素電極162に覆われ、また、第1のゲート電極136aと重ならない領域に配置される。導電膜154は、平坦化膜150に設けられたコンタクトホールによって高電位電源線126と接続される。

【0069】

導電膜152は、平坦化膜150を介して配線140と重なることで保持容量124を形成する。ここで、導電膜152は誘電体膜156を介して画素電極162とも重なが、導電膜152と画素電極162は互いに電氣的に接続されて同電位となるため、両者の間には実質的に容量が形成されない。一方、導電膜154は誘電体膜156を介して画素電極162と重なることで付加容量125を形成する。導電膜154は、高電位電源線126と同じ電位となるが、配線140や第1のゲート電極136aと重ならないため、寄生容量を形成しない。

【0070】

画素電極162は、例えば以下のような方法で形成される。まず、誘電体膜156にコンタクトホールを形成した後、基板102のほぼ全面に第1の導電層162a、第2の導電層162b、第3の導電層162cを順次形成する。これらの膜はスパッタリング法やCVD法を用いて形成することができる。その後、これを一括でパターニングし、不要な領域(すなわち、画素電極162が形成されない領域)に形成された第1の導電層162a、第2の導電層162b、第3の導電層162cを除去する。この時の状態を図9(A)に示す。ここでは、第1の発光領域159\_\_1から第4の発光領域159\_\_4の断面模式図が示されている。この段階における第3の導電層162cの厚さ $t$ は、第2の発光領域159\_\_2における第3の導電層162cの厚さ $t_2$ となるよう、成膜条件、エッチング条件などを選択する。

【0071】

その後、第2の発光領域159\_\_2上に形成された第3の導電層162cを覆うようにレジストマスク168を形成し(図9(B))、第1の発光領域159\_\_1、第3の発光領域159\_\_3、および第4の発光領域159\_\_4に位置する第3の導電層162cの厚さが $t_3$ (あるいは $t_4$ )になるよう、第3の導電層162cをエッチング加工する(図10(A))。なお、図示していないが、レジストマスク168は第2の発光領域159\_\_2に形成された第3の導電層162cの上面と側面を覆うように形成することが好ましい。これにより、第2の導電層162bの部分的消失(サイドエッチング)を防止することができる。

【0072】

この後、レジストマスク168を除去し、第2の発光領域159\_\_2から第4の発光領域159\_\_4を覆うレジストマスク169を形成する(図10(B))。レジストマスク168を除去せずにレジストマスク169を形成してもよい。この時、第2の導電層162bのサイドエッチングを防止するため、第2の発光領域159\_\_2から第4の発光領域159\_\_4の第3の導電層162cの上面と側面を覆うようにレジストマスク169を形成することが好ましい。

【0073】

この状態で再度エッチングを行い、第1の発光領域159\_\_1に位置する第3の導電層

10

20

30

40

50

162cの厚さが $t_1$ になるよう、薄膜化を行う(図11(A))。その後、レジストマスク169を除去することにより、厚さ $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_3$ (あるいは $t_1$ 、 $t_2$ 、 $t_4$ 、 $t_4$ )を有する第3の導電層162cを第1の発光領域159\_1から第4の発光領域159\_4上にそれぞれ形成することができる(図11(B))。この方法では、エッチング工程において比較的酸化されやすい第2の導電層162bがエッチャントに晒されることがないため、第2の導電層162bの高い反射率を維持することができる。

【0074】

画素電極162の形成後、画素電極162の端部を覆うように、隔壁158が設けられる(図8)。隔壁158は、画素電極162の上面を露出させる開口を有し、この開口が発光領域159に相当し、発光領域159において電界発光層164と画素電極162が接する。隔壁158は、開口の端部が傾斜面を有していることが好ましい。隔壁158は、エポキシ樹脂やアクリル樹脂などの有機絶縁材料で形成される。

10

【0075】

次に、画素電極162と隔壁158を覆うように電界発光層164が配置される。電界発光層164の上には対向電極166が配置される。画素電極162、電界発光層164、および対向電極166によって発光素子160が構成される。電界発光層164は蒸着法やインクジェット法、スピンコート法などを適宜用いて形成される。

【0076】

任意の構成とし、発光素子160上には、発光素子160を保護するための保護膜(以下、パッシベーション膜)170が設けられる。パッシベーション膜170の構造は任意に選択することができるが、例えば図8に示すように、無機化合物を含む第1の層172、有機化合物を含む第2の層174、および無機化合物を含む第3の層176を有する積層構造をパッシベーション膜170に適用することができる。この場合、無機化合物としては上述したケイ素を含有する無機化合物を使用することができる。有機化合物としては、エポキシ樹脂やアクリル樹脂などの高分子材料を使用することができる。

20

【0077】

第2の層174は比較的大きな厚さを有することができ、これにより、隔壁158に起因する凹凸を吸収して平坦な上面が与えられ、この上に第3の層176を形成することができる。このため、第3の層176の平坦性が向上するとともに、第3の層176で亀裂やピンホールが発生することを防ぐことができ、不純物の侵入を効果的に抑制することができる。

30

【0078】

パッシベーション膜170上には、樹脂層180が設けられる。樹脂層180は、端子112上に形成される第1の層172や第3の層176をエッチング処理によって除去し、端子112を露出するためのマスクとして用いられる層であり、エッチング処理の際、パッシベーション膜170を保護する機能を有する。樹脂層180はアクリル樹脂やエポキシ樹脂などの高分子材料を含む。

【0079】

対向基板118は、発光素子160や画素回路を挾持するよう、図示しない接着層によって基板102に固定される。これにより、発光素子160や画素回路が封止される。図示していないが、パッシベーション膜170と樹脂層180の間にタッチセンサを形成してもよい。

40

【0080】

<第4実施形態>

本実施形態では、第1、第2実施形態で述べた画素群104、104aとは異なる構造を有する画素群104bに関して説明する。第1から第3実施形態で述べた内容と同一、あるいは類似する内容については説明を省略することができる。

【0081】

図12に、画素群104bの上面模式図を示す。画素群104bは、第1の発光領域159\_1の面積が第2の発光領域159\_2のそれよりも大きい点で画素群104、10

50

4 a と異なる。画素群 1 0 4 や 1 0 4 a と同様、第 1 の発光領域 1 5 9 \_\_ 1 における第 3 の導電層 1 6 2 c の厚さ  $t_1$  は、第 2 の発光領域 1 5 9 \_\_ 2 におけるそれ ( $t_2$ ) よりも小さい。また、第 2 の画素電極 1 6 2 \_\_ 2 の第 3 の導電層 1 6 2 c の厚さ  $t_3$ 、第 3 の画素電極 1 6 2 \_\_ 3 の第 3 の導電層 1 6 2 c の厚さ  $t_4$  は、厚さ  $t_1$  よりも大きく、厚さ  $t_2$  よりも小さい。

【 0 0 8 2 】

このような構造を有する画素群 1 0 4 b は、電界発光層 1 6 4 の膜厚偏差  $d_t$  に対する特性偏差  $d_p$  の変化が、膜厚偏差  $d_t$  の増大とともに大きくなる場合に特に有効であり、電界発光層 1 6 4 の厚さのばらつきに起因する特性のばらつきをより効果的に抑制することができる。この場合の膜厚偏差と特性偏差の関係を図 1 3 ( A ) に模式的に示す。図 1 3 ( A ) に示すように、電界発光層 1 6 4 の膜厚偏差  $d_t$  に対する発光素子 1 6 0 の特性偏差  $d_p$  のプロットは曲線 ( 以下、偏差曲線と記す ) を与え、その傾きは、膜厚偏差  $d_t$  が正の場合、絶対値が大きくなるに従って大きくなり、膜厚偏差  $d_t$  が負の場合、絶対値が大きくなるに従って小さくなる。

10

【 0 0 8 3 】

この場合にも、図 1 3 ( B ) に示すように、第 3 の導電層 1 6 2 c の厚さ  $t$  が最適化膜厚  $t_0$  よりも大きくなると ( $t = t_2$ ) 偏差曲線は左にシフトし、小さくなると ( $t = t_1$ ) 右にシフトすることが発明者によって確認された。なお同時に発明者は、多くの発光素子 1 6 0 がこのような偏差曲線を示すことを確認した。

【 0 0 8 4 】

第 1 の電界発光層 1 6 4 \_\_ 1 の厚さが  $d_t$  ずれた場合、第 1 の発光領域 1 5 9 \_\_ 1 では第 3 の導電層 1 6 2 c の厚さ  $t$  は  $t_1$  であるので、得られる特性偏差  $d_p$  は  $p_1$  となり、第 3 の導電層 1 6 2 c の厚さ  $t$  が最適化膜厚  $t_0$  の時のそれ ( $p_0$ ) と比較して小さくなる。これに対し、第 2 の発光領域 1 5 9 \_\_ 2 において得られる特性偏差  $d_p$  は  $p_2$  となり、 $p_0$  と比較して大きくなる。さらに、特性偏差  $p_2$  と  $p_0$  の差は、特性偏差  $p_1$  とずれ  $p_0$  の差よりも大きい。

20

【 0 0 8 5 】

しかしながら、第 1 の発光領域 1 5 9 \_\_ 1 の面積は第 2 の発光領域 1 5 9 \_\_ 2 のそれよりも大きいため、第 1 の電界発光層 1 6 4 \_\_ 1 の寄与が第 2 の電界発光層 1 6 4 \_\_ 2 の寄与よりも大きい。第 1 の発光領域 1 5 9 \_\_ 1 の面積が第 2 の発光領域 1 5 9 \_\_ 2 の 2 倍であるとき、第 1 の発光素子 1 6 0 \_\_ 1 の全体の特性偏差  $p_{ave}$  は、面積を考慮した加重平均となり、以下の式に従う。

30

【 0 0 8 6 】

【 数 6 】

$$P_{ave} = \frac{2p_1 + p_2}{3}$$

40

【 0 0 8 7 】

この特性偏差は、単純な算術平均で予想される特性偏差 ( $p_{ave} = (p_1 + p_2) / 2$ ) と比較して大幅に小さくなる。したがって、第 1 の電界発光層 1 6 4 \_\_ 1 の厚さのばらつきに起因する素子特性のばらつきは、第 3 の導電層 1 6 2 c の厚さ  $t$  が最適化膜厚  $t_0$  である時のそれよりも小さくすることができる。

【 0 0 8 8 】

なお、多くの発光素子では、電界発光層の厚さが設計値よりも小さくなった場合、図 1 3 に示すように、特性偏差  $d_p$  に与える第 3 の導電層 1 6 2 c の膜厚偏差の影響が小さい

50

ことを発明者は明らかにした。このため、本発明の実施形態に係る表示装置 100 では、電界発光層の膜厚偏差が負の場合には発光素子の特性偏差は小さく、無視することができる。これに対し、厚さのずれが正の場合には、特性偏差  $d_p$  に与える第 3 の導電層 162 c の膜厚偏差の影響が大きい (図 13)。しかしながら、本実施形態で述べた構造を用いることで、電界発光層 164 の厚さが正の方向にずれても、素子の特性は大きく変化しない。このため、ばらつきが低減された表示装置を提供することが可能とともに、表示装置の作製方法に大きなマージンを与えることができる。

#### 【0089】

本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせ実施することができる。また、各実施形態の表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

10

#### 【0090】

本明細書においては、開示例として主に EL 表示装置の場合を例示したが、他の適用例として、その他の自発光型表示装置、液晶表示装置、あるいは電気泳動素子などを有する電子ペーパー型表示装置など、あらゆるフラットパネル型の表示装置が挙げられる。また、中小型から大型まで、特に限定することなく適用が可能である。

#### 【0091】

上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、または、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

20

#### 【符号の説明】

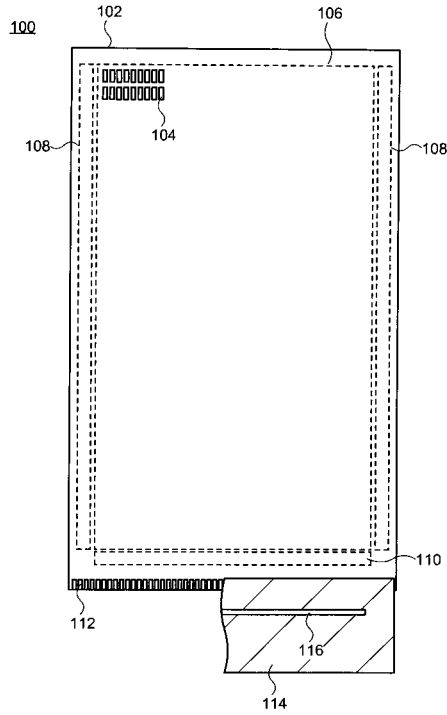
#### 【0092】

100 : 表示装置、102 : 基板、104 : 画素群、104 a : 画素群、104 b : 画素群、106 : 表示領域、108 : ゲート側駆動回路、110 : ソース側駆動回路、112 : 端子、114 : コネクタ、118 : 対向基板、120 : 画素、120\_\_1 : 第 1 の画素、120\_\_2 : 第 2 の画素、120\_\_3 : 第 3 の画素、121 : 駆動トランジスタ、122 : 第 1 のスイッチングトランジスタ、123 : 第 2 のスイッチングトランジスタ、124 : 保持容量、125 : 付加容量、126 : 高電位電源線、127 : 低電位電源線、128 : リセットトランジスタ、130 : アンダーコート、132 a : 第 1 の半導体膜、132 b : 第 2 の半導体膜、134 : ゲート絶縁膜、136 a : 第 1 のゲート電極、136 b : 第 2 のゲート電極、138 : 層間絶縁膜、140 : 配線、142 : 配線、150 : 平坦化膜、152 : 導電膜、154 : 導電膜、156 : 誘電体膜、158 : 隔壁、159 : 発光領域、159\_\_1 第 1 の発光領域、159\_\_2 : 第 2 の発光領域、159\_\_3 : 第 3 の発光領域、159\_\_4 : 第 4 の発光領域、160 : 発光素子、160\_\_1 : 第 1 の発光素子、160\_\_2 : 第 2 の発光素子、160\_\_3 : 第 3 の発光素子、162\_\_1 : 第 1 の導電層、162 : 画素電極、162\_\_1 : 第 1 の画素電極、162\_\_2 : 第 2 の画素電極、162\_\_3 : 第 3 の画素電極、162 a : 第 1 の導電層、162 b : 第 2 の導電層、162 c : 第 3 の導電層、164 : 電界発光層、164\_\_1 : 第 1 の電界発光層、164\_\_2 : 第 2 の電界発光層、164\_\_3 : 第 3 の電界発光層、164\_\_4 : 第 4 の電界発光層、166 : 対向電極、168 : レジストマスク、169 : レジストマスク、170 : パッシベーション膜、172 : 第 1 の層、174 : 第 2 の層、176 : 第 3 の層、180 : 樹脂層

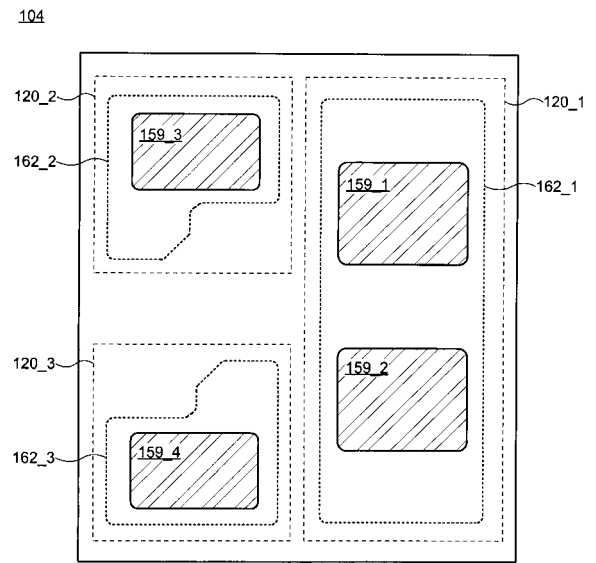
30

40

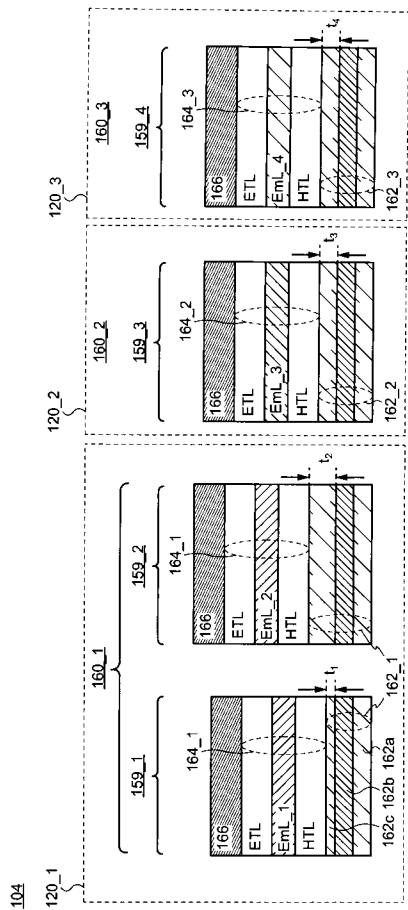
【 図 1 】



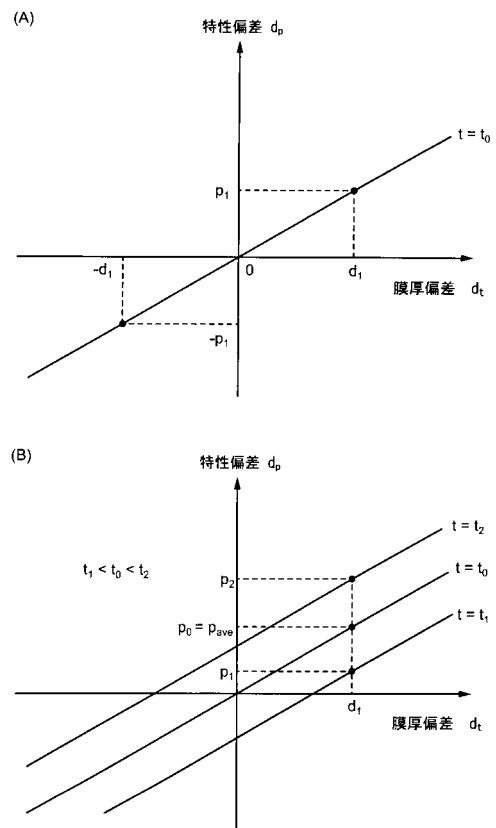
【 図 2 】



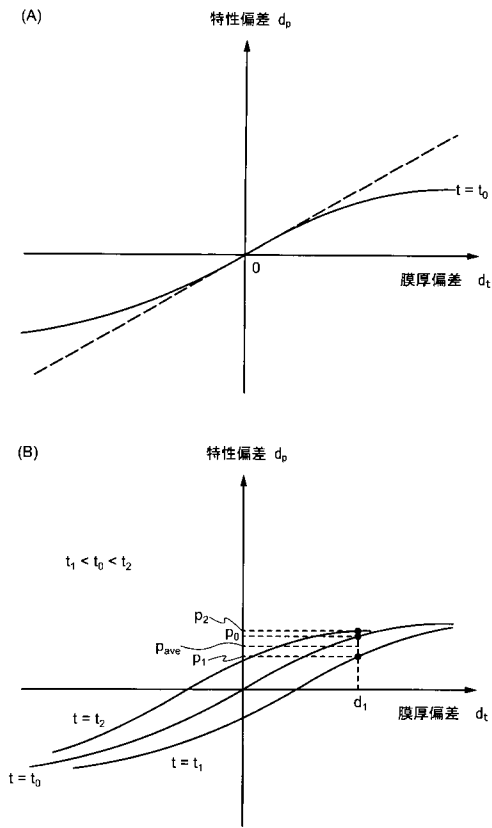
【 図 3 】



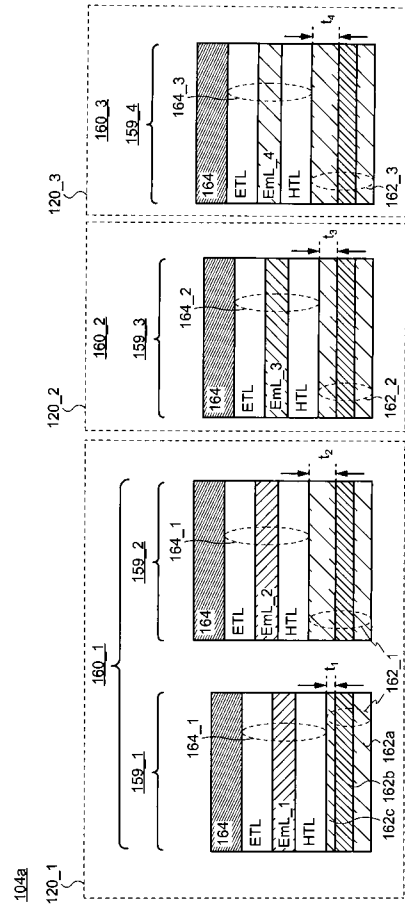
【 図 4 】



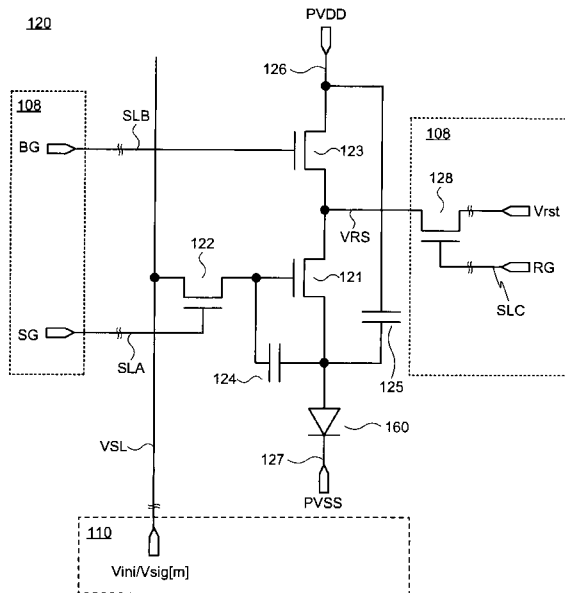
【 図 5 】



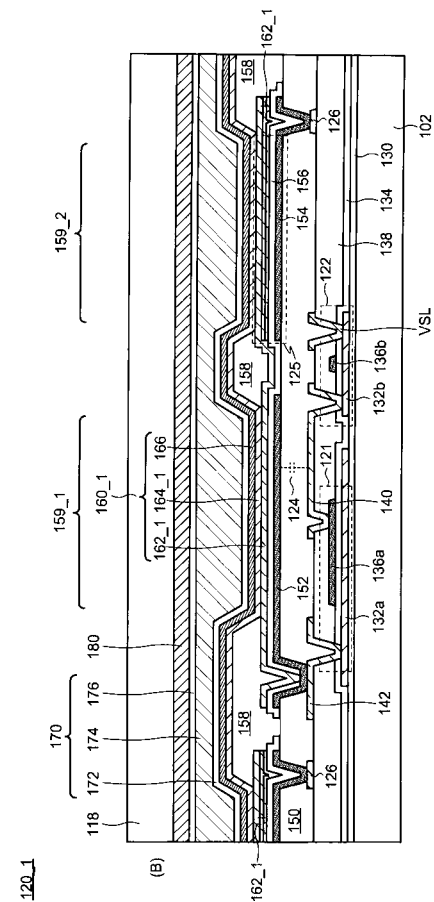
【 図 6 】



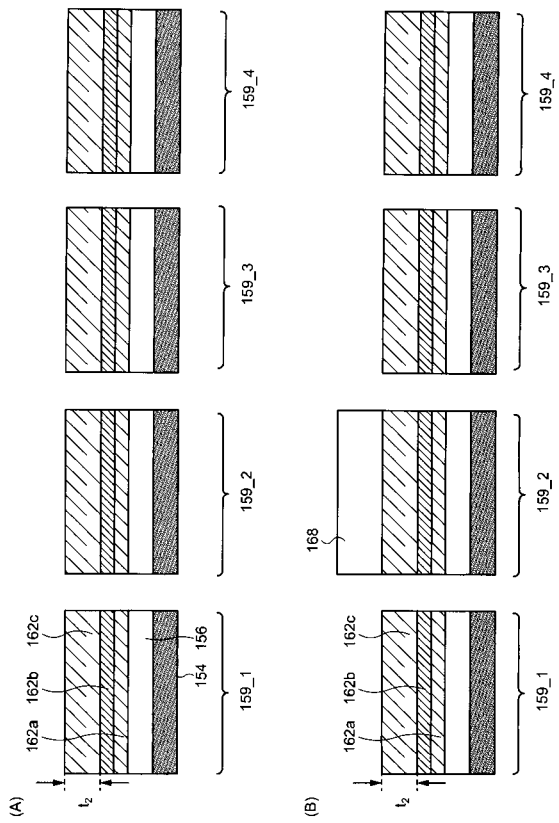
【 図 7 】



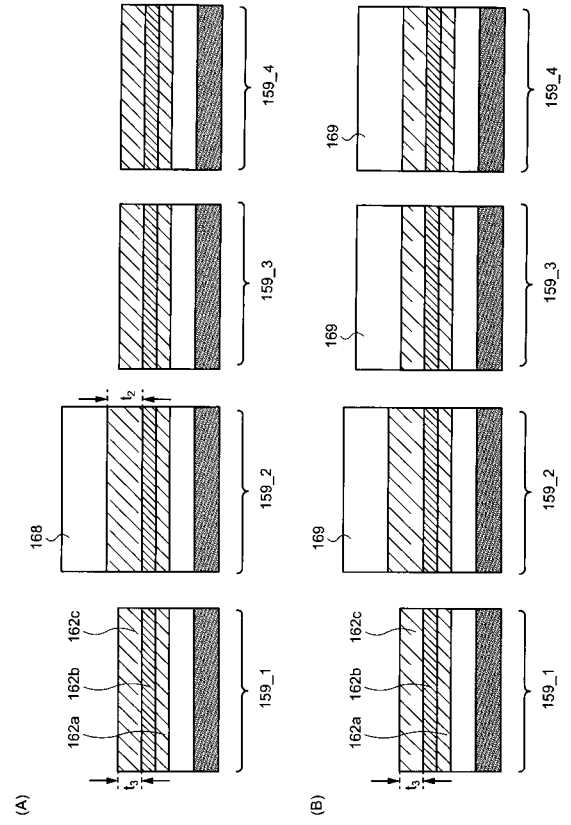
【 図 8 】



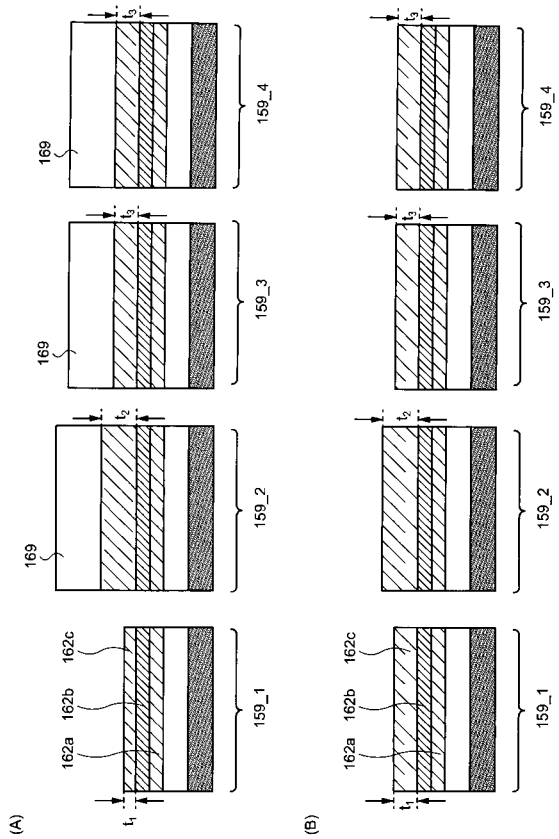
【 図 9 】



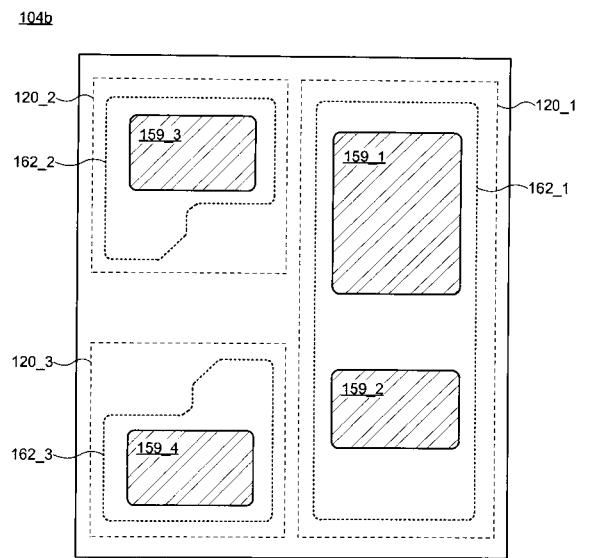
【 図 10 】



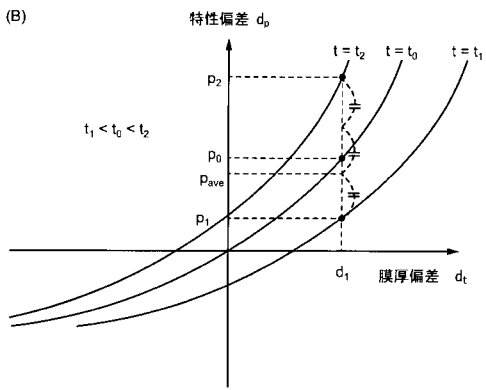
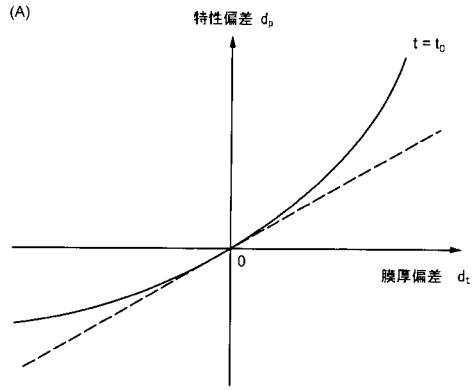
【 図 11 】



【 図 12 】



【 図 1 3 】



---

フロントページの続き

(51)Int.Cl.			F I			テーマコード(参考)
<b>G 0 9 F</b>	<b>9/30</b>	<b>(2006.01)</b>	<b>G 0 9 F</b>	<b>9/30</b>	<b>3 6 5</b>	
<b>G 0 9 F</b>	<b>9/302</b>	<b>(2006.01)</b>	<b>G 0 9 F</b>	<b>9/302</b>		<b>C</b>

专利名称(译)	发光元件和具有发光元件的显示装置		
公开(公告)号	<a href="#">JP2019012595A</a>	公开(公告)日	2019-01-24
申请号	JP2017127204	申请日	2017-06-29
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	豊田裕訓		
发明人	豊田 裕訓		
IPC分类号	H05B33/12 H01L51/50 H05B33/22 H01L27/32 H05B33/26 G09F9/30 G09F9/302		
CPC分类号	H01L51/5265 H01L27/3216 H01L27/3246 H01L51/5209 H01L51/5215 H01L2251/558		
FI分类号	H05B33/12.B H05B33/14.A H05B33/22.Z H01L27/32 H05B33/26.Z G09F9/30.365 G09F9/302.C		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC06 3K107/CC33 3K107/DD10 3K107/DD22 3K107/DD23 3K107/DD24 3K107/DD27 3K107/DD28 3K107/DD29 3K107/EE07 3K107/FF13 3K107/FF15 5C094/AA03 5C094/AA07 5C094/AA08 5C094/AA42 5C094/BA27 5C094/CA18 5C094/CA20 5C094/CA24 5C094/DA13 5C094/EA05 5C094/EA06 5C094/EA07 5C094/FA02 5C094/FA04		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种发光元件，其通过减少功能层的厚度变化对光学干涉的影响来控制发光元件的特性，并提供特性变化小的发光元件，包括该发光元件的显示装置及其制造提供一种方法。发光元件包括反射电极，反射电极上的半透明电极，位于透光电极上并具有第一开口和与透光电极重叠的第二开口的分隔壁，第一开口和第二开口上方的电致发光层，以及电致发光层上的对电极。在与第一开口重叠的区域中的半透明电极的厚度小于在与第二开口重叠的区域中的半透明电极的厚度。点域

