

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-192450

(P2010-192450A)

(43) 公開日 平成22年9月2日(2010.9.2)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/22 (2006.01)	H05B 33/22 Z	3K107
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
H01L 27/32 (2006.01)	G09F 9/30 365Z	
H05B 33/10 (2006.01)	H05B 33/10	
H01L 51/50 (2006.01)	H05B 33/14 A	
審査請求 有 請求項の数 5 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2010-86374 (P2010-86374)	(71) 出願人	000001443
(22) 出願日	平成22年4月2日 (2010.4.2)		カシオ計算機株式会社
(62) 分割の表示	特願2008-88331 (P2008-88331)	(72) 発明者	当山 忠久
原出願日	平成20年3月28日 (2008.3.28)		東京都八王子市石川町2951番地5 カシオ計算機株式会社八王子技術センター内
		(72) 発明者	白崎 友之
			東京都八王子市石川町2951番地5 カシオ計算機株式会社八王子技術センター内
		(72) 発明者	澤野 智美
			東京都八王子市石川町2951番地5 カシオ計算機株式会社八王子技術センター内
		(72) 発明者	尾崎 剛
			東京都八王子市石川町2951番地5 カシオ計算機株式会社八王子技術センター内
			最終頁に続く

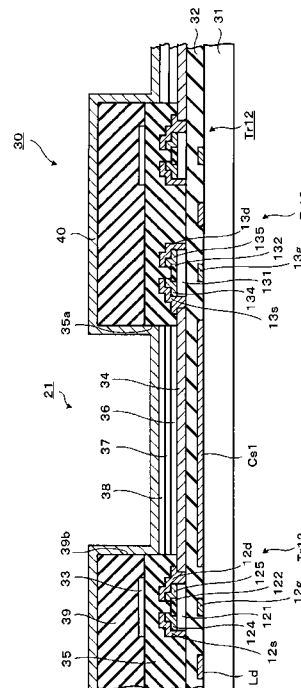
(54) 【発明の名称】 表示装置及び表示装置の製造方法

(57) 【要約】

【課題】 駆動素子の経年駆動による閾値電圧の変化を抑制することが可能な表示装置及び表示装置の製造方法を提供する。

【解決手段】 画素30は、有機EL素子21を駆動させるための第1選択トランジスタと、第2選択トランジスタTr12と、発光駆動トランジスタTr13とを備える。これらのトランジスタの上に形成される層間絶縁膜35の上面の、スイッチング動作に寄与するトランジスタに対向する領域に凹部51aを形成する。これにより、スイッチング動作を行うトランジスタには有機EL素子から発せられる光、外光等が入射しにくく、発光駆動トランジスタTr13にはこれらの光が入射する。この光の入射により、有機EL素子21の発光量に影響するトランジスタTr13の経年駆動による閾値電圧の変化を抑制する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

基板上に形成された発光素子と、
基板上に形成され、前記発光素子に流れる電流を制御する駆動素子と、
前記駆動素子をスイッチングするスイッチング素子と、
前記駆動素子及び前記スイッチング素子を覆い、前記スイッチング素子と対向する領域に選択的に凹部が形成された絶縁膜と、
を備えることを特徴とする表示装置。

【請求項 2】

前記絶縁膜は保護絶縁膜と隔壁とを有し、
前記隔壁を覆うように形成され、反射性を備える導電材料から形成された対向電極をさらに備えることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

基板上に、発光素子に流れる電流を制御する駆動素子と、前記駆動素子をスイッチングするスイッチング素子とを形成する工程と、
前記駆動素子及び前記スイッチング素子上に絶縁膜を形成する工程と、
前記スイッチング素子に対向する前記絶縁膜上に選択的に凹部を形成する工程と、
を備えることを特徴とする表示装置の製造方法。

【請求項 4】

前記絶縁膜は保護絶縁膜と隔壁とを有し、前記隔壁は感光性材料から形成されることを特徴とする請求項 3 に記載の表示装置の製造方法。

【請求項 5】

前記隔壁は、前記感光性材料を露光、現像することによって形成され、
前記凹部に対応する領域の感光性樹脂に入射される光の量と、前記凹部以外の領域の感光性樹脂に入射される光の量と、は互いに異なることを特徴とする請求項 4 に記載の表示装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、有機 E L (electroluminescence) 素子を用いた表示装置及び表示装置の製造方法に関する。

【背景技術】**【0002】**

近年、液晶表示装置 (L C D) に続く次世代の表示デバイスとして、有機エレクトロルミネッセンス素子 (以下、「有機 E L 素子」と略記する) 等の自発光素子を 2 次元配列した発光素子型の表示パネルを備えた表示装置の本格的な実用化、普及に向けた研究開発が盛んに行われている。

【0003】

有機 E L 素子は、アノード電極と、カソード電極と、これらの電極間に形成された電子注入層、発光層、正孔注入層、等を備える。有機 E L 素子では、発光層において正孔注入層から供給された正孔と電子注入層から供給された電子とが再結合することによって発生するエネルギーによって発光する。また、このような有機 E L 素子は、特許文献 1 に開示されているように、表示装置として用いられており、例えば T F T (Thin Film Transistor) 等によって駆動されている。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2 0 0 1 - 1 9 5 0 1 2 号公報

【発明の概要】**【発明が解決しようとする課題】**

10

20

30

40

50

【 0 0 0 5 】

ところで、TFTでは、特にアモルファスシリコンTFTでは、駆動時間の経過とともにゲートの閾値電圧 V_{th} がプラス電位側にシフトする現象が確認されている。有機EL素子の発光量は有機EL素子に流れる電流量によって定まるため、発光量を駆動素子に印加する電圧によって制御している場合は、閾値電圧の変化は特に発光量の制御のずれが生ずるという問題がある。

【 0 0 0 6 】

このため、経年変化による駆動素子の閾値電圧の変化を抑制することが可能な表示装置とその製造方法が求められている。

【 0 0 0 7 】

本発明は上述した実情に鑑みてなされたものであって、駆動素子の経年駆動による閾値電圧の変化を抑制することが可能な表示装置及び表示装置の製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 0 8 】

上記目的を達成するため、本発明の第1の観点に係る表示装置は、
基板上に形成された発光素子と、
基板上に形成され、前記発光素子に流れる電流を制御する駆動素子と、
前記駆動素子をスイッチングするスイッチング素子と、
前記駆動素子及び前記スイッチング素子を覆い、前記スイッチング素子と対向する領域
に選択的に凹部が形成された絶縁膜と、
を備えることを特徴とする。

20

【 0 0 0 9 】

前記絶縁膜は保護絶縁膜と隔壁とを有し、
前記隔壁を覆うように形成され、反射性を備える導電材料から形成された対向電極をさらに備えてもよい。

【 0 0 1 0 】

上記目的を達成するため、本発明の第2の観点に係る表示装置の製造方法は、
基板上に、発光素子に流れる電流を制御する駆動素子と、前記駆動素子をスイッチング
するスイッチング素子とを形成する工程と、
前記駆動素子及び前記スイッチング素子上に絶縁膜を形成する工程と、
前記スイッチング素子に対応する前記絶縁膜上に選択的に凹部を形成する工程と、
を備えることを特徴とする。

30

【 0 0 1 1 】

前記絶縁膜は保護絶縁膜と隔壁とを有し、前記隔壁は感光性材料から形成されてもよい。

【 0 0 1 2 】

前記隔壁は、前記感光性材料を露光、現像することによって形成され、
前記凹部に対応する領域の感光性樹脂に入射される光の量と、前記凹部以外の領域の感光性樹脂に入射される光の量と、は互いに異なるようにしてもよい。

40

【発明の効果】

【 0 0 1 3 】

本発明によれば、駆動素子の経年駆動による閾値電圧の変化を抑制することが可能な表示装置及び表示装置の製造方法を提供することができる。

【図面の簡単な説明】

【 0 0 1 4 】

【図1】本発明の実施形態に係る表示装置の構成例を示す平面図である。

【図2】画素の駆動回路を示す等価回路図である。

【図3】画素の平面図である。

【図4】図3に示すIV-IV線断面図である。

50

【図 5】本発明の実施形態に係る表示装置の製造方法を示す図である。

【図 6】本発明の実施形態に係る表示装置の製造方法を示す図である。

【図 7】画素への光の入射を示す図である。

【図 8】アモルファスシリコン T F T を長時間駆動させた場合の閾値電圧の変化を示す図である。

【図 9】アモルファスシリコン T F T を光を長時間照射した場合の閾値電圧の変化を示す図である。

【図 10】本発明の第 2 実施形態に係る表示装置の構成例を示す断面図である。

【図 11】画素への光の入射を示す図である。

【図 12】本発明の第 2 実施形態に係る表示装置の製造方法を示す図である。

10

【図 13】本発明の第 2 実施形態に係る表示装置の製造方法を示す図である。

【図 14】本発明の第 3 実施形態に係る表示装置の画素の駆動回路を示す等価回路図である。

【図 15】画素の平面図である。

【図 16】図 15 に示す XVI - XVI 線断面図である。

【図 17】本発明の第 4 実施形態に係る表示装置の構成例を示す断面図である。

【図 18】画素の回路構成及び駆動原理が示された等価回路図であり、(a) 図には選択期間の電流の流れが示されており、(b) 図には非選択期間の電流の流れが示されている。

【図 19】動作が示されたタイミングチャート図である。

20

【発明を実施するための形態】

【0015】

本発明の各実施形態に係る表示装置及び表示装置の製造方法について図を用いて説明する。本実施形態では、ボトムエミッション型の有機 E L (electroluminescence) 素子を用いたアクティブ駆動方式の表示装置を中心に挙げて説明する。

【0016】

(第 1 実施形態)

本発明の第 1 実施形態にかかる表示装置及び表示装置の製造方法について図を用いて説明する。

【0017】

30

図 1 は本発明の実施形態にかかる表示装置の構成例を示す図である。また、図 2 は画素の駆動回路の等価回路図である。図 3 は、画素 30 の平面図であり、図 4 は図 3 に示す IV - IV 線断面図である。

【0018】

表示装置 10 では、画素基板 31 上にそれぞれ赤 (R)、緑 (G)、青 (B) の 3 色に発する 3 つの画素 30 を一組として、この組が行方向 (図 1 の左右方向) に繰り返し複数配列されるとともに、列方向 (図 1 の上下方向) に同一色の画素が複数配列されている。R G B の各色を発する画素がマトリクス状に配列される。また、各画素 30 は R G B それぞれの光を発する有機 E L 素子 21 と、有機 E L 素子をアクティブ動作させる画素回路 D S とを備える。

40

【0019】

画素回路 D S は、第 1 選択トランジスタ T r 11、第 2 選択トランジスタ T r 12、発光駆動トランジスタ T r 13、キャパシタ C s、有機 E L 素子 21 と、を備える。第 1 選択トランジスタ T r 11、第 2 選択トランジスタ T r 12、発光駆動トランジスタ T r 13 は、それぞれアモルファスシリコンを有する半導体層を備える逆スタガ型の n チャネル型 T F T (Thin Film Transistor) である。

【0020】

それぞれ所定行に配列された複数の画素回路 D S に接続された複数のアノードライン L a と、例えば接地電位等の電圧 V s s が印加され、全ての画素に対して単一の電極層により形成されたカソードである対向電極 40 と、それぞれ所定列に配列された複数の画素回

50

路に接続されたデータライン L_d と、それぞれ所定行に配列された複数の画素回路のトランジスタ Tr_{11} を選択する複数の走査ライン L_s と、が形成されている。

【0021】

図2及び図3に示すように、第1選択トランジスタ Tr_{11} のゲート電極 $11g$ は走査ライン L_s に接続されており、第1選択トランジスタ Tr_{11} のドレイン電極 $11d$ はアノードライン L_a に接続されている。コンタクト部44においてキャパシタ電極 Cs_1 及び発光駆動トランジスタ Tr_{13} のゲート電極 $13g$ が互いに接続されている。また、第1選択トランジスタ Tr_{11} のソース電極 $11s$ は、コンタクト部43を介してキャパシタ電極 Cs_1 と接続され、更にキャパシタ電極 Cs_1 を介して発光駆動トランジスタ Tr_{13} のゲート電極 $13g$ と接続される。なお、コンタクト部41～43は、異なる層に形成された電極、配線等を上下に導通させるものであり、例えば絶縁膜32に厚さ方向に開口された開口部であり、この開口部で、第1選択トランジスタ Tr_{11} 、第2選択トランジスタ Tr_{12} 、発光駆動トランジスタ Tr_{13} のゲート電極を形成するゲート導電層をパターンニングしてなる下部接続部と、第1選択トランジスタ Tr_{11} 、第2選択トランジスタ Tr_{12} 、発光駆動トランジスタ Tr_{13} のソース・ドレイン電極を形成するソース・ドレイン導電層をパターンニングしてなる上部接続部とが接続されている。

10

【0022】

また、第2選択トランジスタ Tr_{12} のドレイン電極 $12d$ は、画素電極34を介して発光駆動トランジスタ Tr_{13} のソース電極 $13s$ に接続されており、ソース電極 $12s$ は、コンタクト部41を介してデータライン L_d に接続される。また、第2選択トランジスタ Tr_{12} のゲート電極 $12g$ は、コンタクト部42を介して走査ライン L_s と接続される。

20

【0023】

発光駆動トランジスタ Tr_{13} のドレイン電極 $13d$ はアノードライン L_a に接続されており、発光駆動トランジスタ Tr_{13} のゲート電極 $13g$ は、キャパシタ電極 Cs_1 を介して第1選択トランジスタ Tr_{11} のソース電極 $11s$ に接続されている。また、発光駆動トランジスタ Tr_{13} のソース電極 $13s$ は、画素電極34に接続されている。キャパシタ Cs は、キャパシタ電極 Cs_1 と、画素電極34と、キャパシタ電極 Cs_1 と画素電極34との間に介在する絶縁膜32によって構成される。

【0024】

30

選択期間中の各画素30の書き込み動作では、走査ドライバ(図示せず)によって、各走査ライン L_s に走査信号が順次出力され、各走査線ラインが順次選択される。選択する走査ライン L_s にはオンレベル(ハイレベル)の V_{on} 電圧(接地電位より十分高い)が供給され、選択しない走査ライン L_s にはローレベルの V_{off} 電圧(接地電位より低い)が供給される。これにより、選択された走査ライン L_s に接続された第1選択トランジスタ Tr_{11} と、第2選択トランジスタ Tr_{12} と、がオン状態となる。

【0025】

選択期間中、電源ドライバ(図示せず)は、コントローラ(図示せず)から出力される制御信号に応じて各アノードライン(電源ライン) L_a に順次電圧を出力する。各選択トランジスタを選択している選択期間はローレベルの第一電源電圧、例えばカソード電位 V_{ss} と同電位もしくはより低い電圧を印加する。また、選択期間後の非選択期間(発光期間)には電源ドライバは第一電源電圧より高電位のハイレベルの第二電源電圧をアノードライン L_a に印加する。

40

【0026】

選択期間には、データドライバ(図示せず)によって、有機EL素子21の発光の階調に対応する階調信号がデータライン L_d に供給される。この階調信号にしたがって設定された、発光駆動トランジスタ Tr_{13} のゲート電極 $13g$ とソース電極 $13s$ との間の書き込み電圧は、キャパシタ Cs によって保持され、非選択期間において、書き込み電圧の電圧値に応じた階調電流が有機EL素子21に流れ、所望の階調に発光する。

【0027】

50

この際、本実施形態のように有機EL素子21の発光の階調を設定する階調信号が、電圧値によって制御する電圧階調信号の場合、駆動ドライバであるTr13のゲート電極13g及びソース電極13s間の電圧は、電圧階調信号の電圧によって設定される。つまり、駆動ドライバであるTr13のゲート閾値電圧が経時劣化によって高電位側に变化してしまうと、データドライバがある電圧をデータラインLdに印加した際に駆動ドライバであるTr13のドレイン電極13d - ソース電極13sを流れる電流が減少する方向に変化し、有機EL素子21を所望の階調で発光させることが困難となる。従って、発光駆動トランジスタTr13の閾値電圧は初期値と大きく異ならないことが望ましい。

【0028】

次に、有機EL素子21は、画素電極34と、正孔注入層36と、インターレイヤ37と、発光層38と、対向電極40と、を備える。正孔注入層36と、インターレイヤ37と、発光層38とが、電子や正孔がキャリアとなって輸送されるキャリア輸送層となる。キャリア輸送層は、列方向に配列された層間絶縁膜35及び隔壁39の間に配置されている。層間絶縁膜35は、例えば、窒化シリコン又は酸化シリコン等のように、有機EL素子21の発する光に対して透明な部材で形成されている。

10

【0029】

第1選択トランジスタTr11の半導体層、第2選択トランジスタTr12の半導体層121のそれぞれに、発光層38等からの光が入射されること防止するための遮光膜33が、それぞれ第1選択トランジスタTr11、第2選択トランジスタTr12の上方に設けられている。また発光駆動トランジスタTr13には、遮光膜が設けられていないため、発光駆動トランジスタTr13の半導体層131には、発光層38等からの光が入射されやすい構造になっている。

20

【0030】

各画素の画素基板31上には、ゲート導電層をパターニングしてなる第1選択トランジスタTr11、第2選択トランジスタTr12、発光駆動トランジスタTr13のゲート電極11g, 12g, 13gが形成されている。更に、各画素の画素基板31上には、キャパシタCsの一方の電極Cs1が形成され、各画素に隣接した画素基板31上には、ゲート導電層をパターニングしてなり、列方向に沿って延びるデータラインLdが形成されており、更にこれらを覆うように、ゲート絶縁膜やキャパシタの誘電体として機能する絶縁膜32が形成される。

30

【0031】

有機EL素子21が画素基板31側から表示光を出射するボトムエミッション型である場合、キャパシタ電極Cs1及び画素電極34はITO等の透明電極となり、コンタクト部44において発光駆動トランジスタTr13のゲート電極13gがキャパシタ電極Cs1と重なるように形成されている。また有機EL素子21が対向電極40側から表示光を出射するトップエミッション型である場合、対向電極40はITO等の透明電極となるが、キャパシタ電極Cs1は透明である必要がないので、キャパシタ電極Cs1はゲート導電層をパターニングすることによって発光駆動トランジスタTr13のゲート電極13gと一括して且つ一体的に形成することができる。ゲート導電層は、フォトリソグラフィによって一括してパターニングすることができるので、トップエミッション型であれば、これらの部材の製造工程を簡略化することができる。

40

【0032】

絶縁膜32は、絶縁性材料、例えばシリコン酸化膜、シリコン窒化膜等から形成され、データラインLdと、ゲート電極12g, 13gと、キャパシタ電極Cs1と、を覆うように画素基板31上に形成される。

【0033】

第1選択トランジスタTr11、第2選択トランジスタTr12、発光駆動トランジスタTr13は、それぞれnチャネル型の薄膜トランジスタ(TFT; Thin Film Transistor)である。それぞれのトランジスタは図4に示すように画素基板31上に形成される。図4に示すように、第2選択トランジスタTr12は、半導体層121と、保護絶縁膜1

50

2 2 と、ドレイン電極 1 2 d と、ソース電極 1 2 s と、オーミックコンタクト層 1 2 4 , 1 2 5 と、ゲート電極 1 2 g と、を備える。また、発光駆動トランジスタ T r 1 3 は、半導体層 1 3 1 と、保護絶縁膜 1 3 2 と、ドレイン電極 1 3 d と、ソース電極 1 3 s と、オーミックコンタクト層 1 3 4 , 1 3 5 と、ゲート電極 1 3 g と、を備える。なお、図示は省略しているが、第 1 選択トランジスタ T r 1 1 も第 2 選択トランジスタ T r 1 2 と同様の構成となっている。図 3 及び図 4 に示すように、層間絶縁膜 3 5 上の第 1 選択トランジスタ T r 1 1 と、第 2 選択トランジスタ T r 1 2 とに対向する領域には、不透明の遮光膜 3 3 が形成されている。保護絶縁膜 1 2 2 , 1 3 2 及び第 1 選択トランジスタ T r 1 1 の保護絶縁膜は、例えば、窒化シリコン又は酸化シリコン等のように、有機 E L 素子 2 1 の発する光に対して透明な部材で形成されている。

10

【 0 0 3 4 】

各トランジスタ T r 1 1 , T r 1 2 , T r 1 3 において、ゲート電極は、例えば、例えば、Mo 膜、Cr 膜、Al 膜、Cr / Al 積層膜、Al T i 合金膜又は A l N d T i 合金膜、Mo N b 合金膜等からなる不透明なゲート導電層から形成される。ゲート導電層によって形成された第 1 選択トランジスタ T r 1 1、第 2 選択トランジスタ T r 1 2、発光駆動トランジスタ T r 1 3 のゲート電極 1 1 g , 1 2 g , 1 3 g は、有機 E L 素子 2 1 の発する光に対して不透明であるので、第 1 選択トランジスタ T r 1 1、第 2 選択トランジスタ T r 1 2、発光駆動トランジスタ T r 1 3 の下側から各半導体層に向かって進入してくる光を遮光することができる。また、ドレイン電極、ソース電極はそれぞれ例えばアルミニウム - チタン (A l T i) / C r、A l N d T i / C r または C r 等のソース - ドレイン導電層から形成されている。ソース - ドレイン導電層によって形成された、第 1 選択トランジスタ T r 1 1、第 2 選択トランジスタ T r 1 2、発光駆動トランジスタ T r 1 3 のソース電極 1 1 s , 1 2 s , 1 3 s 及びドレイン電極 1 1 d , 1 2 d , 1 3 d は、有機 E L 素子 2 1 の発する光に対して不透明であるので、これらの上方から進入する光を直下に入射することを防止できるが、ソース電極 1 1 s 及びドレイン電極 1 1 d 間、ソース電極 1 2 s 及びドレイン電極 1 2 d 間、及びソース電極 1 3 s 及びドレイン電極 1 3 d 間には、それぞれ透明な保護絶縁膜や層間絶縁膜 3 5 が形成されているだけなので、上方から第 1 選択トランジスタ T r 1 1、第 2 選択トランジスタ T r 1 2、発光駆動トランジスタ T r 1 3 の半導体層の半導体層のチャネルが形成される領域に入射されてしまう構造になっている。また、ドレイン電極及びソース電極と半導体層との間にはそれぞれ低抵抗性接触のため、オーミックコンタクト層が形成される。

20

30

【 0 0 3 5 】

画素電極 (アノード電極) 3 4 は、透光性を備える導電材料、例えば I T O (Indium Tin Oxide)、Z n O 等から構成される。各画素電極 3 4 は隣接する他の画素 3 0 の画素電極 3 4 と層間絶縁膜 3 5 によって絶縁されている。

【 0 0 3 6 】

層間絶縁膜 3 5 は、画素電極 3 4 間に形成され、隣接する画素電極 3 4 間を絶縁する。また、層間絶縁膜 3 5 はトランジスタ T r 1 1 , T r 1 2 , T r 1 3、走査ライン L s、アノードライン L a 等を覆うように形成される。層間絶縁膜 3 5 及び絶縁膜 4 2 には平面形状が略方形の開口部 3 5 a が形成されており、この開口部 3 5 a によって画素 3 0 の発光領域が画される。更に隔壁 3 9 には列方向 (図 7 の上下方向) に延びる溝状の開口部 3 9 b が複数の画素 3 0 にわたって形成されている。遮光膜 3 3 は層間絶縁膜 3 5 と隔壁 3 9 との間に形成されている。

40

【 0 0 3 7 】

遮光膜 3 3 は、層間絶縁膜 3 5 上に形成されており、有機 E L 素子 2 1 から発せられる光や、表示装置 1 0 の外部から入射される外光が、第 1 選択トランジスタ T r 1 1、第 2 選択トランジスタ T r 1 2 のそれぞれの半導体層のチャネルが形成される領域に入することを抑制する。このため、遮光膜 3 3 は所定の遮光性能を有する材料から形成され、例えば酸化クロム (I I I)、コバルト - 鉄 - クロム酸化物、アモルファスシリコン等の少なくともいずれかから形成される。

50

【 0 0 3 8 】

なお、本実施形態では図 3 に示すように、遮光膜 3 3 はスイッチング動作を行う第 1 選択トランジスタ $T r 1 1$ 、第 2 選択トランジスタ $T r 1 2$ 上のみに形成され、駆動トランジスタ $T r 1 3$ 上には遮光膜は形成されていない。特にアモルファスシリコンを用いた T F T では、詳細に後述するように駆動時間の増加に伴いゲート閾値電圧がプラス側にシフトする作用が生じる。しかし、光を照射した状況でアモルファスシリコン T F T を連続駆動させると、閾値電圧はマイナス側にシフトする作用が生じる。この現象を利用し、閾値電圧の変化による影響を大きく受ける発光駆動トランジスタ $T r 1 3$ には光が入り込むようにし、経年駆動による閾値電圧のプラス方向へのシフト分を、光によってマイナス方向へシフト分で相殺させることにより、閾値電圧を初期状態に近い状態を維持することができる。また、スイッチング動作を行うトランジスタ $T r 1 1$ 、 $T r 1 2$ では光の照射によってリーク電流が発生し、これにより発光の制御が不安定化するため、光は入らない方が好ましい。更にトランジスタの大きさが、 $T r 1 3$ と比較して小さいため経年駆動による閾値電圧の変化の影響が、 $T r 1 3$ と比較して小さい。このため、本実施形態ではスイッチング動作を行う $T r 1 1$ 、 $T r 1 2$ のみに遮光膜を形成している。

10

【 0 0 3 9 】

隔壁 3 9 は、絶縁材料、例えばポリイミド等の感光性樹脂を硬化してなり、遮光膜 3 3 及び層間絶縁膜 3 5 上に形成される。隔壁 3 9 は、図 3 に示すようにストライプ状に形成されており、開口部 3 9 b を備える。隔壁 3 9 は、製造工程中、画素電極 3 4 上に形成される R (赤) の画素 3 0 の発光層 3 8 となる材料を含有液、G (緑) の画素 3 0 の発光層 3 8 となる材料を含有液、B (青) の画素 3 0 の発光層 3 8 となる材料を含有液が、行方向に隣接する互いに異なる色を発する画素 3 0 に流出しないように仕切っており、発光層 3 8 の混色を防止する。なお、隔壁 3 9 の平面形状は、これに限られず格子状であってもよい。

20

【 0 0 4 0 】

正孔注入層 3 6 は、画素電極 3 4 上に形成され、発光層 3 8 に正孔を供給する機能を有する。正孔注入層 3 6 は正孔 (ホール) 注入、輸送が可能な有機高分子系の材料から構成される。また、有機高分子系のホール注入・輸送材料を含む有機化合物含有液としては、例えば導電性ポリマーであるポリエチレンジオキシチオフェン (P E D O T) とドーパントであるポリスチレンスルホン酸 (P S S) を水系溶媒に分散させた分散液である P E D O T / P S S 水溶液を用いる。

30

【 0 0 4 1 】

インターレイヤ 3 7 は正孔注入層 3 6 上に形成される。インターレイヤ 3 7 は、正孔注入層 3 6 の正孔注入性を抑制して発光層 3 8 内において電子と正孔とを再結合させやすくする機能を有し、発光層 3 8 の発光効率を高めるために設けられている。

【 0 0 4 2 】

発光層 3 8 は、インターレイヤ 3 7 上に形成されている。発光層 3 8 は、アノード電極とカソード電極との間に電圧を印加することにより光を発生する機能を有する。発光層 3 8 は、蛍光あるいは燐光を発光することが可能な公知の高分子発光材料、例えばポリパラフェニレンビニレン系やポリフルオレン系等の共役二重結合ポリマーを含む赤 (R)、緑 (G)、青 (B) 色の発光材料から構成される。また、これらの発光材料は、適宜水系溶媒あるいはテトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒に溶解 (又は分散) した溶液 (分散液) をノズルコート法やインクジェット法等により塗布し、溶媒を揮発させることによって形成する。

40

【 0 0 4 3 】

また、対向電極 (カソード電極) 4 0 は、ボトムエミッション型の場合、発光層 3 8 側に設けられ、導電材料、例えば $L i$ 、 $M g$ 、 $C a$ 、 $B a$ 等の仕事関数の低い材料からなる層と、 $A l$ 等の光反射性導電層を有する積層構造であり、トップエミッション型の場合、発光層 3 8 側に設けられ、 10 nm 程度の膜厚の極薄い例えば $L i$ 、 $M g$ 、 $C a$ 、 $B a$ 等の仕事関数の低い材料からなる光透過性低仕事関数層と、 $100\text{ nm} \sim 200\text{ nm}$ 程度の

50

膜厚のITO等の光反射性導電層を有する透明積層構造である。本実施形態では、対向電極40は複数の画素30に跨って形成される単一の電極層から構成され、例えば接地電位である共通電圧 V_{ss} が印加されている。

【0044】

図18(a)、図18(b)は、画素30の駆動を示す等価回路図である。

次に、上述のように構成されているi行目の画素30の動作及び表示装置10の動作について、図19のタイミングチャートを用いて説明する。図19において、 T_{SE} の期間が選択期間であり、 T_{NSE} の期間が非選択期間であり、 T_{SC} の期間が一走査期間である。なお、 $T_{SC} = T_{SE} + T_{NSE}$ となっている。

【0045】

制御回路から出力される制御信号群に従って走査ドライバは、1行目の走査ライン L_s からm行目の走査ライン L_s (mは2以上の自然数)へと順次ハイレベル(オンレベルON)のパルス出力する。また、制御回路から出力される制御信号群に従って電源ドライバは、1行目のアノードライン L_a からm行目のアノードライン L_a へと順次ローレベルLのパルス出力する。

【0046】

ここで、図19に示すように、各行では、走査ライン L_s のオンレベルONのパルスが出力されるタイミングは、アノードライン L_a のローレベルLのパルスが出力タイミングに同期しており、走査ライン L_s のオンレベルONのパルスとアノードライン L_a のローレベルLのパルスの時間的長さはほぼ同じである。走査ライン L_s のオンレベルONのパルス及びアノードライン L_a のローレベルLのパルスが出力されている期間が、その行の選択期間 T_{SE} である。また、各行の選択期間 T_{SE} 中にデータドライバが、制御回路から出力される制御信号群に従って全列のデータライン L_d にシンク電流(つまり、データドライバに向かった電流)を発生する。ここで、データドライバは、制御回路が受けた画像データに従った電流値で各列のj列目のデータライン L_d にシンク電流を流す。

【0047】

各画素30の電流の流れ及び電圧の印加について詳細に説明する。i行目の選択期間 T_{SE} の開始時刻 t_1 では、走査ドライバからi行目の走査ライン L_s にハイレベル(オンレベルON)のパルスが出力されだして、時刻 $t_1 \sim$ 時刻 t_2 の選択期間 T_{SE} の間i行目の走査ライン L_s には第1選択トランジスタ Tr_{11} 及び第2選択トランジスタ Tr_{12} がオン状態となるようなレベルの走査信号電圧がi行目の走査ライン L_s に印加される。更に、i行目の選択期間 T_{SE} の開始時刻 t_1 では、電源ドライバからi行目のアノードライン L_a にローレベルLのパルス信号が出力されだして、選択期間 T_{SE} の間アノードライン L_a には基準電位 V_{ss} と等電位或いはそれより低い電源信号電圧が印加される。更に、選択期間 T_{SE} に、データドライバは、制御回路が受けた画像データに従って、所定電流値のシンク電流を流す。

【0048】

このため、選択期間 T_{SE} では、第1選択トランジスタ Tr_{11} はオンして、ドレインからソースに電流が流れ、発光駆動トランジスタ Tr_{13} のゲート及びコンデンサ13の一端に電圧が印加されて、発光駆動トランジスタ Tr_{13} がオンする。更に、選択期間 T_{SE} では、第2選択トランジスタ Tr_{12} がオンして、電圧値が電源信号電圧V以下で且つ基準電圧 V_{ss} 以下のデータドライバによる電流制御のためのシンク電流が各列のデータライン L_d に流れるので、発光駆動トランジスタ Tr_{13} のソース電極13sの電位がドレイン電極13dの電位より低くなる。

【0049】

発光駆動トランジスタ Tr_{13} のゲート電極13gの電位はドレイン電極13dの電位と等しいので、発光駆動トランジスタ Tr_{13} のゲート-ソース間に電位差が生じ、データライン L_d には、それぞれデータドライバで指定された電圧に従った電流値(つまり、画像データに従った電流値)のシンク電流Iが矢印Kに示す方向に流れる。なお、選択期間 T_{SE} では、アノードライン L_a の電源信号電圧が基準電圧H以下であるため、有機EL

10

20

30

40

50

素子 2 1 のアノードの電位はカソードの電位より低くなり、有機 E L 素子 2 1 には逆バイアス電圧が印加されていることになる。そのため、有機 E L 素子 2 1 にはアノードライン L a からの電流が流れない。

【 0 0 5 0 】

このとき各画素 3 0 のコンデンサ 1 3 の両端は、データドライバにより制御された階調信号に基づいて発光駆動トランジスタ T r 1 3 のドレイン 1 3 d - ソース電極 1 3 s を流れる電流の電流値に従った電圧になる。すなわち、各画素 3 0 のコンデンサ 1 3 には、各画素 3 0 の発光駆動トランジスタ T r 1 3 にそれぞれ階調信号にしたがった電流 I を流れさせるような各発光駆動トランジスタ T r 1 3 のゲート - ソース間の電位差を生じさせる電荷がチャージされる。

10

【 0 0 5 1 】

ここで、発光駆動トランジスタ T r 1 3 から j 列目のデータライン L d までの配線等の任意の点での電位は、第 2 選択トランジスタ T r 1 2 ~ 発光駆動トランジスタ T r 1 3 の経時的に変化する内部抵抗等により異なる。しかしながら、データドライバの階調信号が階調に応じた電流値の電流信号の場合、第 2 選択トランジスタ T r 1 2 ~ 発光駆動トランジスタ T r 1 3 の抵抗が高抵抗化することで発光駆動トランジスタ T r 1 3 のゲート - ソース間の電位が変化しても矢印 K に示す方向に流れる電流の所定の階調の電流値は変わることがない。

【 0 0 5 2 】

選択期間 T_{SE} の終了時刻 t₂ には、走査ドライバから i 行目の走査ライン L s に出力されるパルスがオンレベル O N からオフレベル O F F に切り替わり、電源ドライバからアノードライン L a に出力されるローレベル L からハイレベル H に切り替わる。従い、この終了時刻 t₁ から次の選択期間 T_{SE} の開始時刻 t₁ までの非選択期間 T_{NSE} 中では、i 行目の走査ライン L s に第 1 選択トランジスタ T r 1 1 のゲート及び第 2 選択トランジスタ T r 1 2 のゲートにオフレベル O F F (ローレベル) の走査信号電圧 V_{xi} が印加されるとともに、アノードライン L a に印加される電源信号電圧は基準電位 V_{ss} 及び選択期間 T_{SE} に出力された電位ローレベル L より十分高いハイレベルの電源電圧 H である。

20

【 0 0 5 3 】

このため、図 1 8 (b) に示すように、非選択期間 T_{NSE} では、非選択状態の行の第 2 選択トランジスタ T r 1 2 がオフ状態になり、第 2 選択トランジスタ T r 1 2 に電流が流れない。更に、非選択期間 T_{NSE} では、第 1 選択トランジスタ T r 1 1 がオフ状態になり、コンデンサ 1 3 は、その一端及び他端によりチャージされた電荷を保持し続けて、発光駆動トランジスタ T r 1 3 はオン状態を維持し続ける。つまり、非選択期間 T_{NSE} とこの非選択期間 T_{NSE} の前の選択期間 T_{SE} とでは、発光駆動トランジスタ T r 1 3 のゲート - ソース間電圧値 V_{GS} が等しい。そのため、非選択期間 T_{NSE} でも、発光駆動トランジスタ T r 1 3 は画像データに従った電流値の電流を流し続けて、非選択期間 T_{NSE} の電流値はこの非選択期間 T_{NSE} の前の選択期間 T_{SE} の電流値に等しい。非選択期間 T_{NSE} の間、発光駆動トランジスタ T r 1 3 を流れる電流は有機 E L 素子 2 1 に流れて、有機 E L 素子 2 1 が流れる電流の電流値にしたがった輝度で発光する。このように階調信号に従った輝度階調で有機 E L 素子 2 1 は発光する。

30

40

【 0 0 5 4 】

i 行目の走査ライン L s の選択期間 T_{SE} が終了すると、引き続き (i + 1) 行目の走査ライン L s の選択期間 T_{SE} が開始され、i 行目の走査ライン L s と同様に走査ドライバ、電源ドライバ、データドライバ及び制御回路が動作する。このように、全走査ライン L s の選択期間が順次終了した後、再び走査ライン L s の選択期間 T_{SE} が開始する。このように一走査期間 T_{SC} 中に各画素が発光する発光期間 T_{EM} は実質的に非選択期間 T_{NSE} に相当する。

【 0 0 5 5 】

次に、本実施形態にかかるボトムエミッション型の表示装置の製造方法について図 5 ~ 図 7 を用いて説明する。なお、第 1 選択トランジスタ T r 1 1 は、第 2 選択トランジスタ

50

Tr 1 2 と実質的に同一構造であり、第 2 選択トランジスタ Tr 1 2 と同一工程により形成されるので以下においてその説明を省略する。

【 0 0 5 6 】

まず、ガラス基板等からなる画素基板 3 1 を用意する。画素基板 3 1 上に、スパッタ法、真空蒸着法等により I T O 等の透明導電膜を堆積後、フォトリソグラフィによってキャパシタ電極 Cs 1 をパターン形成する。次にこの画素基板 3 1 上に、スパッタ法、真空蒸着法等により例えば、Mo 膜、Cr 膜、Al 膜、Cr / Al 積層膜、Al Ti 合金膜又は Al N d T i 合金膜、Mo N b 合金膜等からなるゲート導電膜を形成し、これを図 5 (a) に示すようにトランジスタ Tr 1 2 及び Tr 1 3 のゲート電極 1 2 g , 1 3 g 、及びデータライン L d の形状にパターンニングする。このとき、発光駆動トランジスタ Tr 1 3 のゲート電極 1 3 g 及び第 1 選択トランジスタ Tr 1 1 のソース電極 1 1 s はそれぞれコンタクト部 4 4 , 4 3 において、キャパシタ電極 Cs 1 の一部と重なるように形成されるが、キャパシタ電極 Cs 1 となる I T O 等の透明金属酸化物は Al との接触抵抗が高いため、ゲート導電膜は、I T O 等の透明金属酸化物との接触抵抗の比較的低い Mo 膜や Mo N b 合金膜が好ましい。なお、トップエミッション型の場合、キャパシタ電極 Cs 1 は、ゲート導電膜をパターンニングすることによって発光駆動トランジスタ Tr 1 3 のゲート電極 1 3 g 及び第 1 選択トランジスタ Tr 1 1 のソース電極 1 1 s と一体的に形成されるので、上述した材料の制約がない。

10

【 0 0 5 7 】

続いて、図 5 (b) に示すように C V D (Chemical Vapor Deposition) 法等によりゲート電極 1 2 g , 1 3 g 、キャパシタ電極 Cs 1 、及びデータライン L d 上に絶縁膜 3 2 を形成する。

20

【 0 0 5 8 】

次に絶縁膜 3 2 上に、C V D 法等によりトランジスタ Tr 1 2 及び Tr 1 3 の半導体層 1 2 1 , 1 3 1 を形成する。更にトランジスタ Tr 1 2 及び Tr 1 3 の半導体層 1 2 1 , 1 3 1 の上面に保護絶縁膜 1 2 2 , 1 3 2 、アモルファスシリコンに n 型不純物が含まれたオーミックコンタクト層 1 2 4 , 1 2 5 , 1 3 4 , 1 3 5 を図 5 (b) に示すように形成する。

【 0 0 5 9 】

次に、スパッタ法、真空蒸着法等により絶縁膜 3 2 上に、I T O 等の透明導電膜、或いは光反射性導電膜及び I T O 等の透明導電膜を被膜後、フォトリソグラフィによってパターンニングして画素電極 3 4 を形成する。続いて、絶縁膜 3 2 に貫通孔であるコンタクト部 4 1 ~ 4 3 を形成してから、ソース - ドレイン導電膜をスパッタ法、真空蒸着法等により被膜して、フォトリソグラフィによってパターンニングして図 3 、図 5 (b) に示すようにドレイン電極 1 2 d 、1 3 d 及びソース電極 1 2 s , 1 3 s 、走査ライン L s 、アノードライン L a を形成する。このとき、発光駆動トランジスタ Tr 1 3 のソース電極 1 3 s 及び第 2 選択トランジスタ Tr 1 2 のドレイン電極 1 2 d はそれぞれ画素電極 3 4 の一部と重なるように形成される。なお、コンタクト部 4 1 ~ 4 3 とともに、各走査ライン L s の接続端子部及び各データライン L d の接続端子部をそれぞれ露出するコンタクトホールを絶縁膜 3 2 に形成してもよい。また、画素電極 3 4 となる導電膜を、これらコンタクトホール及びコンタクト部 4 1 ~ 4 3 を形成後に堆積してから、フォトリソグラフィによってパターンニングすれば、画素電極 3 4 が形成されるとともに、コンタクトホール及びコンタクト部 4 1 ~ 4 3 において、ゲート導電膜とソース - ドレイン導電膜との間に画素電極 3 4 となる導電膜を介在する三層構造の接続部を形成することができる。

30

40

【 0 0 6 0 】

続いて、図 5 (c) に示すようにトランジスタ Tr 1 2 , Tr 1 3 等を覆うようにシリコン窒化膜からなる層間絶縁膜 3 5 を C V D 法等により形成する。スパッタ法、真空蒸着法等により、層間絶縁膜 3 5 上の第 1 選択トランジスタ Tr 1 1 を覆う領域及び第 2 選択トランジスタ Tr 1 2 を覆う領域を含む画素基板 3 1 全体に遮光性の膜を堆積し、フォトリソグラフィによってパターンニングしてこれらの領域に選択的に遮光膜 3 3 を形成する。

50

また、発光駆動トランジスタTr 1 3を覆う領域には遮光膜3 3が形成されていない。そして、層間絶縁膜3 5にフォトリソグラフィにより開口部3 5 aを形成する。

【0 0 6 1】

次に、感光性ポリイミドを層間絶縁膜3 5及び遮光膜3 3を覆うように塗布し、隔壁3 9の形状に対応するマスクを介して露光、現像することによってパターンニングし、図6 (a)に示すように隔壁3 9を形成する。なお、遮光膜3 3が導電性の場合、第1選択トランジスタTr 1 1や第2選択トランジスタTr 1 2との間の容量結合やバックゲート効果が発生するため、層間絶縁膜3 5の直上ではなく、隔壁3 9直上に形成されることが好ましい。

【0 0 6 2】

続いて、正孔注入材料を含む有機化合物含有液を、連続して流すノズルプリンティング装置あるいは個々に独立した複数の液滴として吐出するインクジェット装置によって開口部3 5 aで囲まれた画素電極3 4上に選択的に塗布する。続いて、画素基板3 1を大気雰囲気下で加熱し有機化合物含有液の溶媒を揮発させて、正孔注入層3 6を形成する。有機化合物含有液は加熱雰囲気です塗布されてもよい。

【0 0 6 3】

続いて、ノズルプリンティング装置またはインクジェット装置を用いてインターレイヤ3 7となる材料を含有する有機化合物含有液を正孔注入層3 6上に塗布する。窒素雰囲気中の加熱乾燥、或いは真空中での加熱乾燥を行い、残留溶媒の除去を行ってインターレイヤ3 7を形成する。有機化合物含有液は加熱雰囲気です塗布されてもよい。

【0 0 6 4】

次に、発光ポリマー材料(R , G , B)を含有する有機化合物含有液を、同様にノズルプリンティング装置またはインクジェット装置により塗布して窒素雰囲気中で加熱して残留溶媒の除去を行い、発光層3 8を形成する。有機化合物含有液は加熱雰囲気です塗布されてもよい。

【0 0 6 5】

発光層3 8まで形成した画素基板3 1に真空蒸着やスパッタリングで、Li , Mg , Ca , Ba等の仕事関数の低い材料からなる層と、Al等の光反射性導電層からなる2層構造の対向電極4 0を形成する。トップエミッション型の場合、対向電極4 0は、1 0 nm程度の膜厚の極薄い例えばLi , Mg , Ca , Ba等の仕事関数の低い材料からなる光透過性低仕事関数層と、その上に形成された1 0 0 nm ~ 2 0 0 nm程度の膜厚のITO等の光反射性導電層を有する透明積層構造となる。

【0 0 6 6】

次に、複数の画素3 0が形成された表示領域の外側において、画素基板3 1上に紫外線硬化樹脂、又は熱硬化樹脂からなる封止樹脂を塗布し、画素基板3 1と封止基板とを貼り合わせる。次に紫外線もしくは熱によって封止樹脂を硬化させて画素基板3 1と封止基板とを接合する。

以上の工程により、図6 (b)に示すように表示装置1 0が製造される。

【0 0 6 7】

本実施形態では、スイッチング動作を行う第1選択トランジスタTr 1 1、第2選択トランジスタTr 1 2上に遮光膜3 3を形成し、駆動動作を行う駆動トランジスタTr 1 3には遮光膜を形成しないことにより、図7に示すように、駆動トランジスタTr 1 3にのみ、有機EL素子2 1から発せられた光、外光が入射し、第1選択トランジスタTr 1 1、第2選択トランジスタTr 1 2にはこれらの光が入射しにくくすることが可能である。

【0 0 6 8】

図8は、初期状態のアモルファスシリコンTF Tにおいて、光が入射されない環境下でドレイン - ソース間に1 0 Vの電圧を印加したときのゲート電圧V gに対するドレイン - ソース間電流I dと、光が入射されず7 0 、5 0時間、ドレイン - ソース間に5 Vの電圧をd u t y 1 0 0 %で印加してドレイン - ソース間電流I dを2 . 5 μ A流し続けた連続駆動後のアモルファスシリコンTF Tにおいて、光が入射されない環境下でドレイン -

10

20

30

40

50

ソース間に10Vの電圧を印加したときのゲート電圧 V_g に対するドレイン・ソース間電流 I_d と、を示したグラフである。初期状態のアモルファスシリコンTFTに比べて連続駆動後のアモルファスシリコンTFTでは、ゲート閾値電圧がプラス方向にシフトしている。つまり光を照射しない環境下で電流を流し続けたアモルファスシリコンTFTゲート閾値電圧がプラス方向にシフトすることを意味する。

【0069】

次に、アモルファスシリコンを用いたnチャネルトランジスタを光を照射した状態で連続駆動させた場合の閾値電圧の変化を図9に示す。図9は、初期状態のアモルファスシリコンTFTにおいて、光が入射されない環境下でドレイン・ソース間に10Vの電圧を印加したときのゲート電圧 V_g に対するドレイン・ソース間電流 I_d と、2500lxの光が入射された環境下で、70、72時間、ドレイン・ソース間電圧を0Vとし、duty比1/240で±15Vのゲート電圧を印加し続けた連続駆動後のアモルファスシリコンTFTにおいて、光が入射されない環境下でドレイン・ソース間に10Vの電圧を印加したときのゲート電圧 V_g に対するドレイン・ソース間電流 I_d と、を示したグラフである。初期状態のアモルファスシリコンTFTに比べて連続駆動後のアモルファスシリコンTFTでは、ゲート閾値電圧がマイナス方向にシフトしている。つまりゲートにゲート電圧 V_g を印加した状態で光を連続照射すると、アモルファスシリコンTFTゲート閾値電圧がマイナス方向にシフトすることを意味する。

10

【0070】

本実施形態の発光駆動トランジスタTr13は、有機EL素子21の発光を制御するトランジスタであり、このトランジスタの閾値電圧の変化は、表示装置の発光量に特に大きく影響する。また、特に電圧階調信号で有機EL素子の発光量が制御されている場合、この影響が大きい。本実施形態では、図8及び図9に示す現象を利用し、閾値電圧の変化による影響を大きく受ける発光駆動トランジスタTr13には光が入り込むようにし、経年駆動による閾値電圧のプラス方向へのシフト分を、光の入射によってマイナス方向へシフトさせ、相殺させることにより、閾値電圧を初期状態に近い或いは同等の状態を維持することができる。このように本実施形態では、閾値電圧の変化を抑制することによりができれば、経年駆動による、発光量制御の変化を抑制することもできる。

20

【0071】

一方、スイッチングを行う第1選択トランジスタTr11、第2選択トランジスタTr12は、光が照射されると、オフ時のリーク電流が上昇する問題がある。例えば第1選択トランジスタTr1が十分オフしないと、キャパシタCsに電荷が蓄積されてキャパシタCsの電圧が高くなり、発光駆動トランジスタTr13を流れる電流が初期状態での電流と異なってしまい、有機EL素子21の発光輝度に変調してしまう恐れがある。特に、黒表示（無発光）の階調信号を供給したにもかかわらず、発光駆動トランジスタTr13のゲート電極13gが上昇してしまい、有機EL素子21が発光してしまう恐れがあり、コントラスト比を小さくしてしまう。

30

【0072】

また、非選択期間 T_{NSE} 中に第2選択トランジスタTr12が十分オフされないと、非選択期間 T_{NSE} 中に有機EL素子21に流れるべき電流の一部が第2選択トランジスタTr12を介してデータラインLdに流れ、当該有機EL素子21が正常な輝度で発光しないばかりか、そのときに選択期間 T_{SE} であった当該データラインLdに接続された画素30のキャパシタCsに蓄積される電荷が所望の値にならなくなってしまう。このため、これらのスイッチング動作を行うトランジスタについては、光の入射を抑制する方が好ましい。また、これらのトランジスタはサイズも発光駆動トランジスタTr13と比較してサイズが小さく、経年駆動による閾値電圧の変化の影響がTr13と比較して小さいため問題はない。

40

【0073】

このように本実施形態の表示装置及び表示装置の製造方法によれば、スイッチング動作を行うトランジスタ上にのみ遮光膜を形成し、発光駆動トランジスタ上には光が入り込む

50

ようにすることにより、駆動素子の経年駆動による閾値電圧の変化を抑制することが可能な表示装置及び表示装置の製造方法を提供することができる。

【0074】

(第2実施形態)

本発明の第2実施形態に係る表示装置及び表示装置の製造方法を図を用いて説明する。本実施形態の表示装置が上述した第1実施形態と異なるのは、本実施形態では有機EL素子に遮光膜が形成されておらず隔壁の上面に凹部が形成されている点にある。第1実施形態と共通する部分については同一の引用番号を付し詳細な説明を省略する。

【0075】

また、図10に本実施形態の表示装置の断面図を示す。図10は第1実施形態の図3のIV-IV線断面図に相当する。

10

【0076】

本実施形態の表示装置10は、第1実施形態と同様に画素基板31上に赤(R)、緑(G)、青(B)の3色の画素50を一組として、この組が行方向(図1の左右方向)に繰返し複数配列されるとともに、列方向(図1の上下方向)に同一色の画素が複数配列されている。各画素50はRGBそれぞれの光を発する有機EL素子22と、有機EL素子をアクティブ動作させる画素回路DSとを備える。

【0077】

画素回路DSは、第1実施形態と同様に第1選択トランジスタTr11、第2選択トランジスタTr12、発光駆動トランジスタTr13、キャパシタCs、有機EL素子22と、を備える。

20

【0078】

有機EL素子22は、第1実施形態と同様に画素電極34と、隔壁51と、層間絶縁膜35と、正孔注入層36と、インターレイヤ37と、発光層38と、対向電極40と、を備える。

【0079】

本実施形態で、隔壁51は、絶縁材料、例えば感光性ポリイミド等から形成される。隔壁51は、第1実施形態と同様にストライプ状に形成され、開口部51bを備える。更に隔壁51は、第1選択トランジスタTr11と、第2選択トランジスタTr12と対向する領域において、凹部51aが形成され、発光駆動トランジスタTr13と対向する領域において、凹部51aが形成されていない。凹部51aは、その断面形状が例えば略三角形形状であり、上方から平面視した形状が例えば方形のように、四角錐形状の空洞となるようにえぐられている。また、隔壁51の上面には仕事関数の低いLi, Mg, Ba, Ca等からなる金属層と、アルミニウム等からなる反射性の高い金属層との2層からなる対向電極40が形成される。凹部51aを形成することにより、これにより、図11に模式的に示すように有機EL素子から発せられる光や外光は、凹部51aの面で乱反射して拡散するため、凹部51aが形成された直下の領域に入射される光の量を抑制することが可能である。入射された光が反射しやすいように凹部51aの傾斜角が45度±15度であることが好ましい。なお、凹部51aの形状は、四角錐に限らず、円錐でもよい。

30

【0080】

次に、本実施形態の表示装置10の製造方法を図12及び図13を用いて説明する。

40

【0081】

まず、上述した第1実施形態の表示装置10の製造方法と同様に画素基板31上に、トランジスタTr11~Tr13、画素電極34、層間絶縁膜35等を形成する。

【0082】

次に、図12(a)に示すように、例えば感光性材料、例えばポジ型の感光性ポリイミド等の未硬化の樹脂81を画素基板31上に塗布する。続いて、図12(b)に示すようにマスク80を介して、露光を行う。この際、有機EL素子22の形成領域に対応した開口部80aを有するマスク80に更に、凹部51aを形成する領域に対応して形成された網目状のスリット80bが形成されている。このようにマスクにスリット80bを設け、

50

更にスリット 80b の開口幅を適宜調節することにより、ポリイミドが露光する量を調節することができ、凹部 51a の深さを適宜調節することが可能である。なお、ネガ型の感光性材料を用いた場合は、マスクの開口部、スリットはネガ型の場合とは反転する。この後、現像、焼成を行い図 13 (a) に示すように隔壁 51 を形成する。

【0083】

次に、隔壁 51 上に、第 1 実施形態と同様に正孔注入層 36、インターレイヤ 37、発光層 38、及び対向電極 40 を形成する。続いて、紫外線硬化樹脂、又は熱硬化樹脂からなる封止樹脂を塗布し、画素基板 31 と封止基板とを貼り合わせる。次に紫外線もしくは熱によって封止樹脂を硬化させて画素基板 31 と封止基板とを接合する。

以上の工程により、図 13 (b) に示すように表示装置 10 が製造される。

10

【0084】

このように本実施形態では、隔壁 51 の上面に凹部 51a を形成することによって、発光駆動トランジスタ Tr 13 には有機 EL 素子 22 から発せられる光、外光等が入射し、スイッチング動作を行う第 1 選択トランジスタ Tr 11、第 2 選択トランジスタ Tr 12 には入射しにくくすることができる。これにより、閾値電圧の変化による影響を大きく受ける発光駆動トランジスタ Tr 13 には光が入り込むようにし、経年駆動による閾値電圧のプラス方向へのシフトを、光によってマイナス方向へシフトさせ、相殺させることにより、閾値電圧を初期状態に近い状態を維持することができる。

【0085】

特に本実施形態では、隔壁 51 を形成する際に、感光性材料を用い、マスクにスリット等を設けることによって凹部 51a を同時に形成する。このため、トランジスタ Tr 11、Tr 12 に入射する光を抑制する凹部 51a を、特に工程を増加させることなく形成することができ、製造コストを増加させない。

20

【0086】

このように本実施形態の表示装置及び表示装置の製造方法によれば、駆動素子の経年駆動による閾値電圧の変化を抑制することが可能な表示装置及び表示装置の製造方法を提供することができる。

【0087】

(第 3 実施形態)

本発明の第 3 の実施形態にかかる表示装置を図を用いて説明する。

30

本実施形態の表示装置が上述した第 1 実施形態と異なるのは、第 1 実施形態では画素駆動回路が 3 つのトランジスタを備える場合を例に説明したが、本実施形態では画素の画素回路 DS 2 は 2 つのトランジスタを備える点にある。第 1 実施形態と共通する特徴については同一の引用番号を付し、詳細な説明を省略する。

【0088】

本実施形態の画素回路 DS 2 を図 14 に示す。また、本実施形態の画素 60 の平面図を図 15 に示し、図 15 に示す XVI - XVI 線断面図を図 16 に示す。なお、図 16 では遮光膜 33 の位置を明確とするため、選択トランジスタ Tr 21 のゲート電極 21g が形成された領域の断面図を示している。このため、図 16 では、選択トランジスタ Tr 21 の半導体層 211 とゲート電極 21g のみが図示されているが、選択トランジスタ Tr 21、発光駆動トランジスタ Tr 22 の構造は上述した第 1 実施形態と同様である。

40

【0089】

図 14 に示すように、本実施形態の画素回路 DS 2 は、選択トランジスタ Tr 21 と発光駆動トランジスタ Tr 22 とキャパシタ Cs と有機 EL 素子 23 とを備える。トランジスタ Tr 21 のゲート端子は走査ライン Ls に、ドレイン端子がデータライン Ld に、ソース端子が接点 N11 にそれぞれ接続される。また、トランジスタ Tr 22 のゲート端子は接点 N11 に接続されており、ドレイン端子はアノードライン La に、ソース端子は接点 N12 にそれぞれ接続されている。キャパシタ Cs は、トランジスタ Tr 12 のゲート端子及びソース端子に接続されている。なお、キャパシタ Cs は、トランジスタ Tr 12 のゲート - ソース間に付加的に設けられた補助容量、もしくはこれらの寄生容量と補助容

50

量からなる容量成分である。また、有機EL素子23は、アノード端子（アノード電極）が接点N12に接続され、カソード端子（カソード電極）がカソードライン（共通電圧ライン）に接続されている。

【0090】

また、有機EL素子23は、画素電極34と、遮光膜33と、層間絶縁膜35と、正孔注入層36と、インターレイヤ37と、発光層38と、隔壁39と、対向電極40と、を備える。

【0091】

本実施形態では、画素回路DS2に示すように選択トランジスタTr21がスイッチング動作を行う。このため、図15及び図16に示すように、選択トランジスタTr21上に遮光膜33を形成し、駆動トランジスタTr22上には遮光膜33を形成しない。これにより、実施形態1と同様にスイッチング動作を行うトランジスタTr21上にのみ遮光膜33を形成し、発光駆動トランジスタTr22上には光が入り込むようにすることにより、駆動素子の経年駆動による閾値電圧の変化を抑制することが可能な表示装置及び表示装置の製造方法を提供することができる。

10

【0092】

（第4実施形態）

本実施形態が上述した各実施形態と異なるのは、本実施形態では上述した第3実施形態と同様に画素を駆動する回路が1つの選択トランジスタと1つの発光駆動トランジスタとの2つのトランジスタを備える点と、層間絶縁膜上に遮光膜が形成されておらず隔壁の上面に凹部が形成されている点にある。上述した実施形態と共通する部分については同一の引用番号を付し詳細な説明を省略する。

20

【0093】

本実施形態の画素70を図17に示す。なお、本実施形態の画素70と第3実施形態の画素60とは遮光膜又は凹部が形成されている点を除き、平面形状がほぼ同じであり、図17は上述した第3実施形態の図15のXVI-XVI線断面図に相当する。図17でも凹部の位置を明確とするため、選択トランジスタTr21のゲート電極21gが形成された領域の断面図を示している。このため、図17では、選択トランジスタTr21の半導体層211とゲート電極21gのみが図示されているが、選択トランジスタTr21、発光駆動トランジスタTr22の構造は上述した第1実施形態と同様である。

30

【0094】

上述した第3実施形態と同様に有機EL素子24と、画素の画素回路DS2を備える。また、有機EL素子24は、画素電極34と、層間絶縁膜35と、正孔注入層36と、インターレイヤ37と、発光層38と、隔壁51と、対向電極40と、を備える。

【0095】

本実施形態の有機EL素子24では、図17に示すように、隔壁52の上面の選択トランジスタTr21と対向する領域に凹部52aが形成される。この凹部52aによって、第2実施形態の図11に示すように、有機EL素子24から発せられた光、外光は凹部51aによって反射し、凹部51aの直下に形成された選択トランジスタTr21にこれらの光が入射することを抑制することができる。一方、発光駆動トランジスタTr22の上には凹部51aが形成されていないため、これらの光が入射する。これにより、上述したように閾値電圧の変化を抑制することが可能となる。

40

【0096】

本発明は上述した実施形態に限られず様々な変形及び応用が可能である。

例えば、上述した各実施形態では電圧階調信号によって画素を駆動する構成を例に挙げて説明したが、これに限られず電流量を調節することによって有機EL素子の発光量を制御する書き込み信号であってもよい。電流書き込み信号でも、閾値電圧の上昇を抑えることが出来れば、閾値電圧のずれを抑制し、正常に動作させることが可能になる点、有機EL素子に流す電流量を減少させることができる点から有用である。

【0097】

50

また、上述した実施形態ではボトムエミッション型の有機ＥＬ素子を例に挙げて説明したが、これに限られずトップエミッション型の有機ＥＬ素子に用いることも可能である。

【００９８】

また、上述した各実施形態では、例えば図３に示すようにスイッチング動作を行うトランジスタと対向し、これらのトランジスタとほぼ同じ面積を備える領域に遮光膜又は凹部を形成する例を挙げて説明したが、これに限られない。良好に発光駆動トランジスタに光が入射し、スイッチング動作を行うトランジスタへの光の入射を抑制することができればスイッチング動作を行うトランジスタの面積より大きく形成されても、小さく形成されてもよい。また、遮光膜の平面形状も方形に限られず、円形であっても、多角形であってもよく、任意に形成することが可能である。

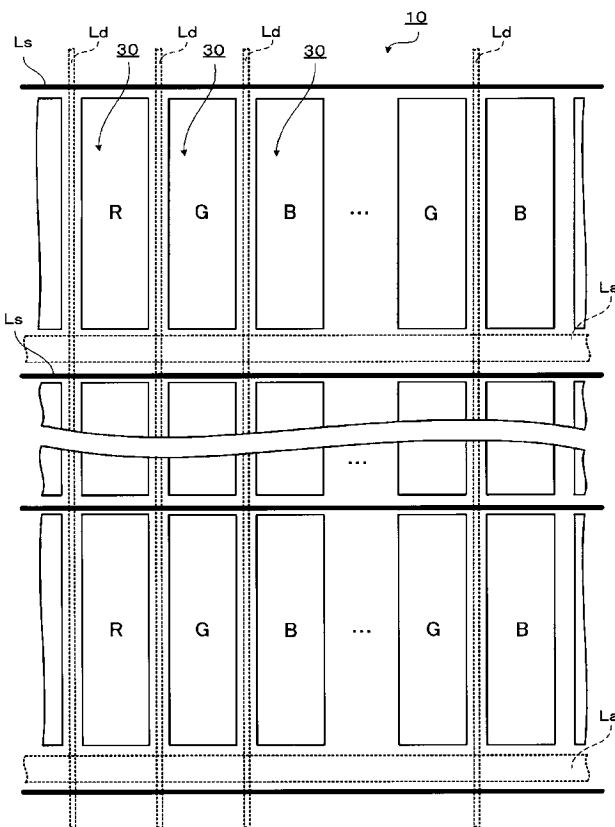
10

【符号の説明】

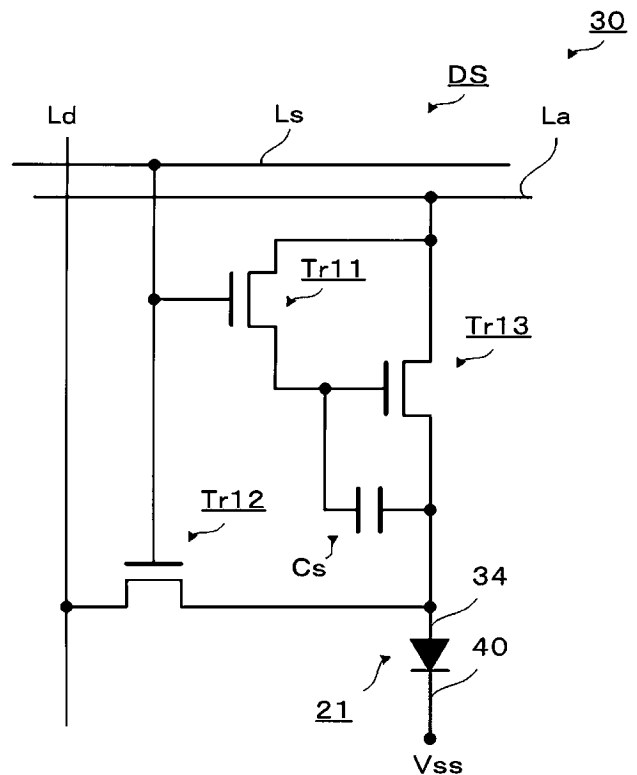
【００９９】

１０・・・表示装置、３０、５０、６０、７０・・・画素、２１、２２、２３、２４・・・有機ＥＬ素子、３１・・・画素基板、３２・・・絶縁膜、３３・・・遮光膜、３４・・・画素電極、３５・・・層間絶縁膜、３６・・・正孔注入層、３７・・・インターレイヤ、３８・・・発光層、３９、５１・・・隔壁、４０・・・対向電極、５１ａ・・・凹部、Ｃｓ・・・キャパシタ、Ｌａ・・・アノードライン、Ｌｃ・・・接続配線、Ｌｄ・・・データライン、Ｌｓ・・・走査ライン、Ｔｒ１１・・・第１選択トランジスタ、Ｔｒ１２・・・第２選択トランジスタ、Ｔｒ１３・・・発光駆動トランジスタ

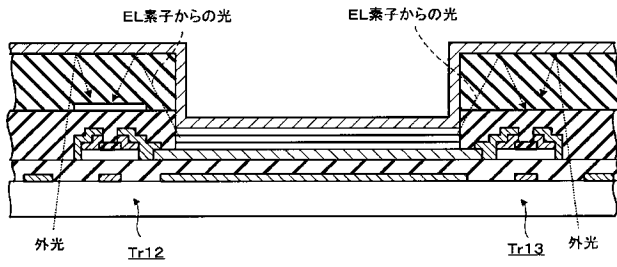
【図１】



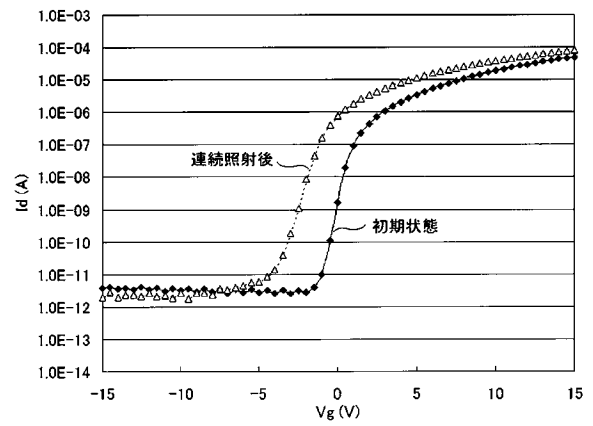
【図２】



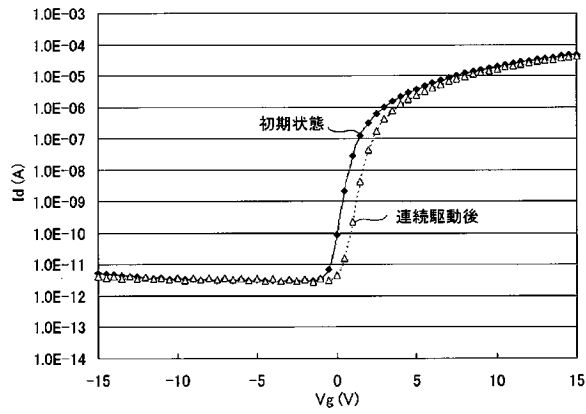
【図 7】



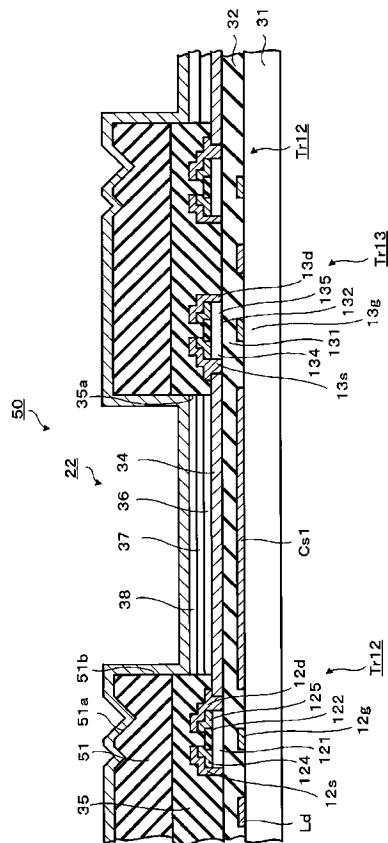
【図 9】



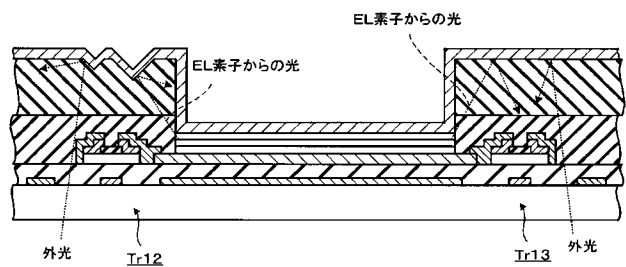
【図 8】



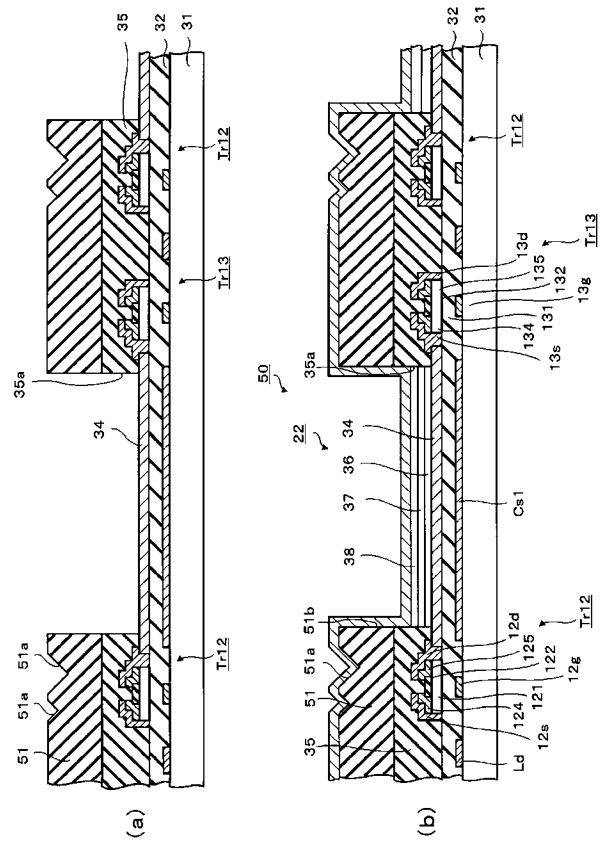
【図 10】



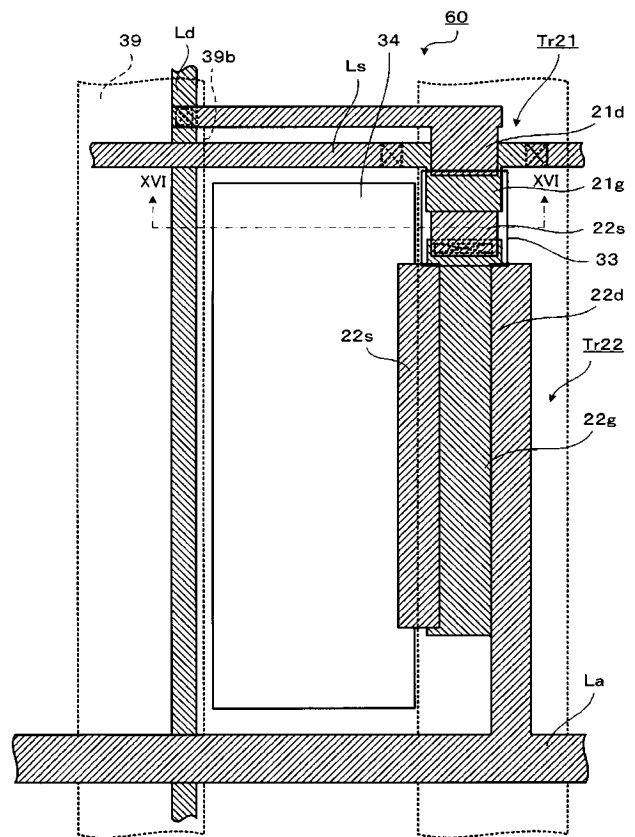
【図 11】



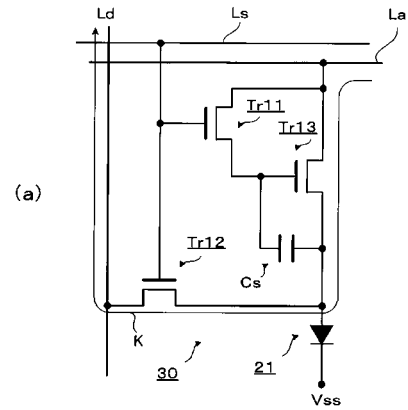
【 図 1 3 】



【 ㊦ 1 5 】



【 図 1 8 】



選択期間 T_{SE} 非選択期間 T_{NSE}

t_1 t_2 走査期間 T_{sc} t_1

i行目の走査ライン L_s の走査信号電圧

ON

OFF

(i+1)行目の走査ライン L_s の走査信号電圧

ON

OFF

m行目の走査ライン L_s の走査信号電圧

ON

OFF

i行目のアノードライン L_a の走査信号電圧

H

L

(i+1)行目のアノードライン L_a の走査信号電圧

H

L

m行目のアノードライン L_a の走査信号電圧

H

L

データドライバの電流制御により、あるデータライン L_d に流れる電流

i行目のある画素30のTr13のドレインソース間電流

i行目のあるEL素子21に流れる電流

発光期間 T_{EM}

(i+1)行目のある画素30のTr13のドレインソース間電流

(i+1)行目のあるEL素子21に流れる電流

発光期間 T_{EM}

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/12 (2006.01) H 0 5 B 33/12 B

F ターム(参考) 3K107 AA01 BB01 CC11 CC21 DD89 DD90 DD97 FF00 GG11
5C094 AA21 AA37 BA03 BA27 CA19 DA13 EA06 FA02 FB12 FB15
GB10

专利名称(译)	显示装置和显示装置的制造方法		
公开(公告)号	JP2010192450A	公开(公告)日	2010-09-02
申请号	JP2010086374	申请日	2010-04-02
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	当山忠久 白寄友之 澤野智美 尾崎剛		
发明人	当山 忠久 白寄 友之 澤野 智美 尾崎 剛		
IPC分类号	H05B33/22 G09F9/30 H01L27/32 H05B33/10 H01L51/50 H05B33/12		
FI分类号	H05B33/22.Z G09F9/30.338 G09F9/30.365.Z H05B33/10 H05B33/14.A H05B33/12.B G09F9/30.365 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC21 3K107/DD89 3K107/DD90 3K107/DD97 3K107/FF00 3K107/GG11 5C094/AA21 5C094/AA37 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/EA06 5C094/FA02 5C094/FB12 5C094/FB15 5C094/GB10		
其他公开文献	JP4983953B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制由于驱动元件的老化驱动而导致的阈值电压的变化的显示装置及其制造方法。像素30包括用于驱动有机EL元件21的第一选择晶体管，第二选择晶体管Tr12和发光驱动晶体管Tr13。在形成在这些晶体管上的层间绝缘膜35的上表面的区域中形成有凹部51a，该面对晶体管区域有助于开关操作。结果，从有机EL元件发射的光，外部光等不太可能进入执行开关操作的晶体管，并且这些光进入发光驱动晶体管Tr13。该光的入射抑制了由于晶体管Tr13的老化驱动而引起的阈值电压的变化，这影响了从有机EL元件21发出的光的量。[选择图]图

4

