

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-39119

(P2010-39119A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 642A	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 624B	
	G09G 3/20 611H	
審査請求 未請求 請求項の数 6 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2008-200839 (P2008-200839)	(71) 出願人	000002185
(22) 出願日	平成20年8月4日 (2008.8.4)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094363
			弁理士 山本 孝久
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	山本 哲郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	山下 淳一
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

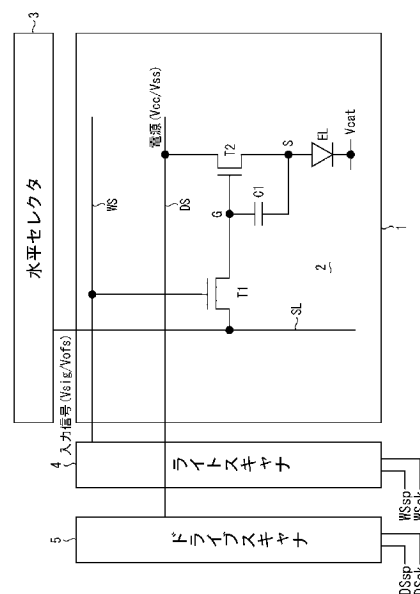
(54) 【発明の名称】 表示装置及びその駆動方法と電子機器

(57) 【要約】

【課題】サンプリング用トランジスタの閾電圧変動を抑制可能な表示装置を提供する。

【解決手段】給電線DSを高電位Vccから低電位Vssに切り換えて、発光素子ELに逆バイアスをかける逆バイアス動作を行う。逆バイアス動作の後、信号線SLが基準電位Vofsにある時間帯でサンプリング用トランジスタT1をオンする一方、給電線DSを低電位Vssから高電位Vccに切換えて、駆動用トランジスタT2の閾電圧Vthに相当する電圧を保持容量C1に書き込む補正動作を行う。この後、信号線SLが信号電位Vsigにある時間帯でサンプリング用トランジスタT1をオンし、信号電位Vsigを保持容量C1に書き込む書込動作を行う。逆バイアス動作の直後で補正動作に入る前に、信号線WSが基準電位Vofsにある時間帯で、サンプリング用トランジスタT1をオンし駆動用トランジスタT2のゲートGを基準電位Vofsにする初期化動作を行う。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

画素アレイ部とこれを駆動する回路部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、走査線に平行に配された給電線とを備え、

前記回路部は、各走査線に順次制御パルスを出し、画素を行単位で線順次走査する制御用スキャナと、該線順次走査に合わせて、各給電線を高電位と低電位で切り換える電源スキャナと、該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セクタとを備え、

前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、

前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、

前記駆動用トランジスタは、そのソースが該発光素子に接続し、ドレインが該給電線に接続し、

前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続しており、

前記電源スキャナは、該給電線を高電位から低電位に切り換えて、該駆動用トランジスタのソース電位を下げて該発光素子に逆バイアスがかかる逆バイアス動作を行い、

前記制御用スキャナは、該逆バイアス動作の後、信号線が基準電位にある時間帯で該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にセットする一方、前記電源スキャナが該給電線を低電位から高電位に切替えて駆動用トランジスタのソース電位を上げ、駆動用トランジスタの閾電圧に相当する電圧を該保持容量に書き込む補正動作を行い、

この後、信号線が信号電位にある時間帯で前記制御用スキャナが走査線に制御パルスを印加して、サンプリング用トランジスタをオンし、信号電位を保持容量に書き込む書込動作を行い、

前記逆バイアス動作の中で又はその直後で前記補正動作に入る前に、信号線が基準電位にある時間帯で、前記制御用スキャナが該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にする初期化動作を行う表示装置。

【請求項 2】

前記電源スキャナが該給電線を高電位から低電位に切り換えて逆バイアス動作を行った直後、信号線が基準電位にある時間帯で前記制御用スキャナが該走査線に制御パルスを印加して初期化動作を行う請求項 1 記載の表示装置。

【請求項 3】

前記制御用スキャナは、各走査線に対して水平周期で順次制御パルスを出し、

前記電源スキャナが該給電線を高電位から低電位に切り換えて逆バイアス動作を行った後、一水平周期以内で前記制御用スキャナが該走査線に制御パルスを印加して初期化動作を行う請求項 2 記載の表示装置。

【請求項 4】

信号線が基準電位にある時間帯で前記制御用スキャナが該走査線に制御パルスを印加して初期化動作を行うとともに、この時間帯で前記電源スキャナが該給電線を高電位から低電位に切り換えて逆バイアス動作を行う請求項 1 記載の表示装置。

【請求項 5】

画素アレイ部とこれを駆動する回路部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、走査線に平行に配された給電線とを備え、前記回路部は、各走査線に順次制御パルスを出し、画素を行単位で線順次走査する制御用スキャナと、該線順次走査に合わせて、各給電線を高電位と低電位で切り換える電源スキャナと、該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セクタとを備え、前記画素は、発光素子と、サン

10

20

30

40

50

プリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、前記駆動用トランジスタは、そのソースが該発光素子に接続し、ドレインが該給電線に接続し、前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続している表示装置を駆動するため、

前記電源スキュナは、該給電線を高電位から低電位に切り換えて、該駆動用トランジスタのソース電位を下げて該発光素子に逆バイアスをかける逆バイアス動作を行い、

前記制御用スキュナは、該逆バイアス動作の後、信号線が基準電位にある時間帯で該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にセットする一方、前記電源スキュナが該給電線を低電位から高電位に切換えて駆動用トランジスタのソース電位を上げ、駆動用トランジスタの閾電圧に相当する電圧を該保持容量に書き込む補正動作を行い、

この後、信号線が信号電位にある時間帯で前記制御スキュナが走査線に制御パルスを印加して、サンプリング用トランジスタをオンし、信号電位を保持容量に書き込む書込動作を行い、

前記逆バイアス動作の中で又はその直後で前記補正動作に入る前に、信号線が基準電位にある時間帯で、前記制御用スキュナが該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にする初期化動作を行う表示装置の駆動方法。

【請求項 6】

本体部と、該本体部から出力された情報を表示する表示部とを有し、

前記表示部は、画素アレイ部とこれを駆動する回路部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、走査線に平行に配された給電線とを備え、

前記回路部は、各走査線に順次制御パルスを出力し、画素を行単位で線順次走査する制御用スキュナと、該線順次走査に合わせて、各給電線を高電位と低電位で切り換える電源スキュナと、該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セクタとを備え、

前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含み、

前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、

前記駆動用トランジスタは、そのソースが該発光素子に接続し、ドレインが該給電線に接続し、

前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続しており、

前記電源スキュナは、該給電線を高電位から低電位に切り換えて、該駆動用トランジスタのソース電位を下げて該発光素子に逆バイアスをかける逆バイアス動作を行い、

前記制御用スキュナは、該逆バイアス動作の後、信号線が基準電位にある時間帯で該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にセットする一方、前記電源スキュナが該給電線を低電位から高電位に切換えて駆動用トランジスタのソース電位を上げ、駆動用トランジスタの閾電圧に相当する電圧を該保持容量に書き込む補正動作を行い、

この後、信号線が信号電位にある時間帯で前記制御スキュナが走査線に制御パルスを印加して、サンプリング用トランジスタをオンし、信号電位を保持容量に書き込む書込動作を行い、

前記逆バイアス動作の中で又はその直後で前記補正動作に入る前に、信号線が基準電位にある時間帯で、前記制御用スキュナが該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にする初期化動作を行う電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置及びその駆動方法に関する。またこの様な表示装置を備えた電子機器に関する。より詳しくは、画素に形成された能動素子の特性安定化技術に関する。

【背景技術】

【0002】

発光素子として有機ELデバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 μ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ能動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献1に記載されている。

【特許文献1】特開2007-310311公報

【0004】

図23は従来のアクティブマトリクス型表示装置の一例を示す模式的な回路図である。表示装置は画素アレイ部1と周辺の回路部とで構成されている。回路部は水平セクタ3とライトスキャナ4を備えている。画素アレイ部1は列状の信号線SLと行状の走査線WSを備えている。各信号線SLと走査線WSの交差する部分に画素2が配されている。図では理解を容易にするため、1個の画素2のみを表してある。ライトスキャナ4はシフトレジスタを備えており、外部から供給されるクロック信号ckに応じて動作し同じく外部から供給されるスタートパルスspを順次転送することで、走査線WSに順次制御パルスを出力する。水平セクタ3はライトスキャナ4側の線順次走査に合わせて映像信号を信号線SLに供給する。

【0005】

画素2はサンプリング用トランジスタT1と駆動用トランジスタT2と保持容量C1と発光素子ELとで構成されている。駆動用トランジスタT2はPチャネル型であり、そのソースは電源ラインに接続し、そのドレインは発光素子ELに接続している。駆動用トランジスタT2のゲートはサンプリング用トランジスタT1を介して信号線SLに接続している。サンプリング用トランジスタT1はライトスキャナ4から供給される制御パルスに応じて導通し、信号線SLから供給される映像信号をサンプリングして保持容量C1に書き込む。駆動用トランジスタT2は保持容量C1に書き込まれた映像信号をゲート電圧Vgsとしてそのゲートに受け、ドレイン電流Idsを発光素子ELに流す。これにより発光素子ELは映像信号に応じた輝度で発光する。ゲート電圧Vgsは、ソースを基準にしたゲートの電位を表している。

【0006】

駆動用トランジスタT2は飽和領域で動作し、ゲート電圧Vgsとドレイン電流Idsの関係は以下の特性式で表される。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

ここで μ は駆動用トランジスタの移動度、Wは駆動用トランジスタのチャネル幅、Lは同じくチャネル長、 C_{ox} は同じく単位面積あたりのゲート絶縁膜容量、 V_{th} は同じく閾電圧である。この特性式から明らかなように駆動用トランジスタT2は飽和領域で動作するとき、ゲート電圧Vgsに応じてドレイン電流Idsを供給する定電流源として機能する。

10

20

30

40

50

【 0 0 0 7 】

図 2 4 は、発光素子 E L の電圧 / 電流特性を示すグラフである。横軸にアノード電圧 V を示し、縦軸に駆動電流 I d s をとっている。なお発光素子 E L のアノード電圧は駆動用トランジスタ T 2 のドレイン電圧となっている。発光素子 E L は電流 / 電圧特性が経時変化し、特性カーブが時間の経過と共に寝ていく傾向にある。このため駆動電流 I d s が一定であってもアノード電圧 (ドレイン電圧) V が変化してくる。その点、図 2 3 に示した画素回路 2 は駆動用トランジスタ T 2 が飽和領域で動作し、ドレイン電圧の変動に関わらずゲートで電圧 V g s に応じた駆動電流 I d s を流すことができるので、発光素子 E L の特性経時変化に関わらず発光輝度を一定に保つことが可能である。

【 0 0 0 8 】

図 2 5 は、従来の画素回路の他の例を示す回路図である。先に示した図 2 3 の画素回路と異なる点は、駆動用トランジスタ T 2 が P チャンネル型から N チャンネル型に変わっていることである。回路の製造プロセス上は、画素を構成する全てのトランジスタを N チャンネル型にすることが有利である場合が多い。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

従来の表示装置は、基本的に画素アレイ部とこれを駆動する回路部とからなる。画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素とを備えている。回路部は、各走査線に水平周期で順次制御パルスを印加し、画素を行単位で線順次走査する制御用スキャナ (ライトスキャナ) と、この線順次走査に合わせて列状の信号線に映像信号を供給する信号セクタ (水平セクタ) とを備えている。

【 0 0 1 0 】

画素は、ゲートが走査線に接続しソース及びドレインの一方が信号線に接続するサンプリング用トランジスタと、ゲートがサンプリング用トランジスタのソース及びドレインの他方に接続し、ソース及びドレインの一方が電源に接続する駆動用トランジスタと、駆動用トランジスタのソース及びドレインの他方に接続する発光素子と、駆動用トランジスタのゲートに接続する保持容量とを有している。サンプリング用トランジスタは、制御用スキャナから供給された制御パルスが立上ってから立下がるまでの短い時間幅でオンし、信号線から映像信号をサンプリングして保持容量に書き込む。以下本明細書では、サンプリング用トランジスタがオンしている時間幅を、信号書込時間と呼ぶ場合がある。駆動用トランジスタは、保持容量に書き込まれた映像信号に応じた駆動電流を発光素子に流す。発光素子は駆動電流に応じた輝度で発光する。

【 0 0 1 1 】

サンプリング用トランジスタは、保持容量に映像信号を書込んだ後はオフ状態になる。サンプリング用トランジスタは、発光期間ばかりでなく非発光期間も含めて、書込時間を除く殆んどの時間でオフ状態にある。サンプリング用トランジスタは、そのドレインが信号線に接続し、そのソースが駆動用トランジスタのゲートに接続している。従って、サンプリング用トランジスタは、オフ状態にあるとき、ドレインとソースの間にバイアス電圧がかかっている。このバイアス電圧により、サンプリング用トランジスタの閾電圧が変動する。この変動が画素の動作に影響を与えて発光輝度が変動する。

【 0 0 1 2 】

映像信号は高輝度の白表示を行うとき高くなり、低輝度の黒表示を行うとき低くなる。一方信号線側は低輝度の映像信号とほぼ同レベルの電位を基準として周期的に変動している。従って、サンプリング用トランジスタに印加されるバイアス電圧は、黒表示のときより白表示のときのほうが大きい。サンプリング用トランジスタは、バイアス電圧が大きいほど、その閾電圧の変動が大きくなる。閾電圧の変動が大きいほど発光輝度の変化が大きくなる。映像信号に応じて発光輝度が変動するので、画面に白黒のパターンを表示し続けた場合など、このパターンに応じて発光輝度の変動が生じる。従って、白黒のパターンを消した後で画面をベタ表示にした場合など、発光輝度の変動がそのままムラとなって画面

10

20

30

40

50

に現われ、いわゆる「焼きつき」が生じる。このような焼きつきや、その他スジ、ムラといった画質不良に対策を施す必要がある。

【課題を解決するための手段】

【0013】

上述した従来の技術の課題に鑑み、本発明はサンプリング用トランジスタの閾電圧変動を抑制可能な表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明にかかる表示装置は、基本的に画素アレイ部とこれを駆動する回路部とからなる。前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、走査線に平行に配された給電線とを備えている。前記回路部は、各走査線に順次制御パルスを出し、画素を行単位で線順次走査する制御用スキャナと、該線順次走査に合わせて、各給電線を高電位と低電位で切り換える電源スキャナと、該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクタとを備えている。前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量とを含む。前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、前記駆動用トランジスタは、そのソースが該発光素子に接続し、ドレインが該給電線に接続し、前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続している。前記電源スキャナは、該給電線を高電位から低電位に切り換えて、該駆動用トランジスタのソース電位を下げて該発光素子に逆バイアスをかける逆バイアス動作を行い、前記制御用スキャナは、該逆バイアス動作の後、信号線が基準電位にある時間帯で該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にセットする一方、前記電源スキャナが該給電線を低電位から高電位に切換えて駆動用トランジスタのソース電位を上げ、駆動用トランジスタの閾電圧に相当する電圧を該保持容量に書き込む補正動作を行い、この後、信号線が信号電位にある時間帯で前記制御用スキャナが走査線に制御パルスを印加して、サンプリング用トランジスタをオンし、信号電位を保持容量に書き込む書込動作を行う。前記逆バイアス動作の中で又はその直後で前記補正動作に入る前に、信号線が基準電位にある時間帯で、前記制御用スキャナが該走査線に制御パルスを印加してサンプリング用トランジスタをオンし該駆動用トランジスタのゲートを基準電位にする初期化動作を行う。

10

20

30

【0014】

一態様では、前記電源スキャナが該給電線を高電位から低電位に切り換えて逆バイアス動作を行った直後、信号線が基準電位にある時間帯で前記制御用スキャナが該走査線に制御パルスを印加して初期化動作を行う。好ましくは、前記制御用スキャナは、各走査線に対して水平周期で順次制御パルスを出し、前記電源スキャナが該給電線を高電位から低電位に切り換えて逆バイアス動作を行った後、一水平周期以内で前記制御用スキャナが該走査線に制御パルスを印加して初期化動作を行う。他の態様では、信号線が基準電位にある時間帯で前記制御用スキャナが該走査線に制御パルスを印加して初期化動作を行うとともに、この時間帯で前記電源スキャナが該給電線を高電位から低電位に切り換えて逆バイアス動作を行う。

40

【発明の効果】

【0015】

本発明によれば、逆バイアス動作の中で又はその直後で補正動作に入る前に、信号線が基準電位にある時間帯で、制御用スキャナが走査線に制御パルスを印加してサンプリング用トランジスタをオンし、駆動用トランジスタのゲートを基準電位にする初期化動作を行う。本発明によって、電源電圧を低電位とした非発光期間において、信号線が基準電位の時、サンプリング用トランジスタの出力側ノードの値を白表示時と黒表示時において同じにすることができ、白表示と黒表示におけるサンプリング用トランジスタにかかるバイアスを同じにすることができる。これにより、白表示と黒表示におけるサンプリング用トランジスタの閾電圧の経時変化量の差分を軽減することができ、焼きつきやスジ、ムラとい

50

った画質不良を対策することができる。

【発明を実施するための最良の形態】

【0016】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明にかかる表示装置の全体構成を示すブロック図である。図示するように、本表示装置は、画素アレイ部1とこれを駆動する回路部(3, 4, 5)とからなる。画素アレイ部1は、行状の走査線WSと、列状の信号線SLと、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された給電線DSとを備えている。回路部(3, 4, 5)は、各走査線WSに順次制御パルスを供給して画素2を行単位で線順次走査する制御用スキャナ(ライトスキャナ)4と、この線順次走査に合わせて各給電線DSに第1電位(高電位)と第2電位(低電位)で切換る電源電圧を供給する電源スキャナ(ドライブスキャナ)5と、この線順次走査に合わせて列状の信号線SLに映像信号となる信号電位と基準電位を供給する信号セクタ(水平セクタ)3とを備えている。なおライトスキャナ4は外部から供給されるクロック信号WSCkに応じて動作し同じく外部から供給されるスタートパルスWSpを順次転送することで、各走査線WSに制御パルスを出力している。ドライブスキャナ5は外部から供給されるクロック信号DSckに応じて動作し、同じく外部から供給されるスタートパルスDSspを順次転送することで、給電線DSの電位を線順次で切換えている。

10

【0017】

図2は、図1に示した表示装置に含まれる画素2の具体的な構成を示す回路図である。図示するように、本画素回路2は、有機ELデバイスなどで代表される2端子型(ダイオード型)の発光素子ELと、Nチャネル型のサンプリング用トランジスタT1と、同じくNチャネル型の駆動用トランジスタT2と、薄膜タイプの保持容量C1とで構成されている。サンプリング用トランジスタT1はそのゲートが走査線WSに接続し、そのソース及びドレインの一方が信号線SLに接続し、他方が駆動用トランジスタT2のゲートGに接続している。駆動用トランジスタT2は、そのソース及びドレインの一方が発光素子ELに接続し、他方が給電線DSに接続している。本形態は駆動用トランジスタT2がNチャネル型であり、発光素子ELの発光時におけるドレイン側が給電線DSに接続し、ソースS側が発光素子ELのアノード側に接続している。発光素子ELのカソードは所定のカソード電位Vcatに固定されている。保持容量C1は駆動用トランジスタT2のソースSとゲートGとの間に接続している。かかる構成を有する画素2に対して、制御用スキャナ(ライトスキャナ)4は、走査線WSを低電位と高電位の間で切り換えることで順次制御パルスを出力し、画素2を行単位で線順次走査する。電源スキャナ(ドライブスキャナ)5は、線順次走査に合わせて各給電線DSに第1電位Vccと第2電位Vssで切換る電源電圧を供給している。Vccは高電位で、Vssは低電位である。信号セクタ(水平セクタ)3は、線順次走査に合わせて列状の信号線SLに映像信号となる信号電位Vsigと基準電位Vofsを供給している。信号電位Vsigと基準電位Vofsは、一水平期間(1H)内で交互に切り換る。

20

30

【0018】

かかる構成において、ドライブスキャナ5は、給電線DSを高電位Vccから低電位Vssに切り換えて、駆動用トランジスタT2のソース電位を下げて発光素子ELに逆バイアスをかけこれを消灯する逆バイアス動作を行う。ライトスキャナ4は、逆バイアス動作の後、信号線SLが基準電位Vofsにある時間帯で走査線WSに制御パルスを印加してサンプリング用トランジスタT1をオンし、駆動用トランジスタT2のゲートGを基準電位Vofsにセットする一方、ドライブスキャナ5が給電線DSを低電位Vssから高電位Vccに切換えて駆動用トランジスタT2のソース電位を上げ、駆動用トランジスタT2の閾電圧Vthに相当する電圧を保持容量C1に書き込む補正動作を行う。この後、信号線SLが信号電位Vsigにある時間帯でライトスキャナ4が走査線WSに制御パルスを印加して、サンプリング用トランジスタT1をオンし、信号電位Vsigを保持容量C1に書き込む書込動作を行う。逆バイアス動作の中で又はその直後で補正動作に入る前に

40

50

、信号線WSが基準電位Vofsにある時間帯で、ライトスキャナ4が走査線WSに制御パルスを印加してサンプリング用トランジスタT1をオンし駆動用トランジスタT2のゲートGを基準電位Vofsにする初期化動作を行う。

【0019】

一態様では、ドライブスキャナ5が給電線DSを高電位Vccから低電位Vssに切り換えて逆バイアス動作を行った直後、信号線SLが基準電位Vofsにある時間帯でライトスキャナ4が走査線WSに制御パルスを印加して初期化動作を行う。好ましくは、ライトスキャナ4は、各走査線WSに対して水平周期で順次制御パルスを出力し、ドライブスキャナ5が給電線DSを高電位Vccから低電位Vssに切り換えて逆バイアス動作を行った後、一水平周期(1H)以内にライトスキャナ4がWS走査線に制御パルスを印加して初期化動作を行う。他の態様では、信号線SLが基準電位Vofsにある時間帯でライトスキャナ4が走査線WSに制御パルスを印加して初期化動作を行うとともに、この時間帯で前ドライブスキャナ5が給電線DSを高電位Vccから低電位Vssに切り換えて逆バイアス動作を行う。

【0020】

本発明によれば、逆バイアス動作の中で又はその直後で補正動作に入る前に、信号線SLが基準電位Vofsにある時間帯で、ライトスキャナ4が走査線WSに制御パルスを印加してサンプリング用トランジスタT1をオンし、駆動用トランジスタT2のゲートGを基準電位Vofsにする初期化動作を行う。本発明によって、電源電圧を低電位Vssとした非発光期間において、信号線SLが基準電位Vofsの時、サンプリング用トランジスタT2の出力側ノードの値を白表示時と黒表示時において同じにすることができ、白表示と黒表示におけるサンプリング用トランジスタT1にかかるバイアスを同じにすることができる。これにより、白表示と黒表示におけるサンプリング用トランジスタT1の閾電圧の経時変化量の差を軽減することができ、焼きつきやスジ、ムラといった画質不良を対策することができる。

【0021】

図3は、図2に示した画素の動作説明に供するタイミングチャートである。なおこのタイミングチャートは本発明による対策を施す前の参考例である。このタイミングチャートは時間軸を共通にして、走査線WSの電位変化、給電線DSの電位変化、信号線SLの電位変化を表してある。走査線WSの電位変化は制御パルスを表し、サンプリング用トランジスタT1の開閉制御を行っている。給電線DSの電位変化は、電源電圧Vcc、Vssの切換えを表している。また信号線SLの電位変化は入力信号の信号電位Vsigと基準電位Vofsの切換えを表している。またこれらの電位変化と並行に、駆動用トランジスタT2のゲートG及びソースSの電位変化も表している。前述したようにゲートGとソースSの電位差がVgsである。

【0022】

このタイミングチャートは画素の動作の遷移に合わせて期間を(1)~(7)のように便宜的に区切ってある。当該フィールドに入る直前の期間(1)では発光素子ELが発光状態にある。その後線順次走査の新しいフィールドに入ってまず最初の期間(2)で給電線DSを第1電位Vccから第2電位Vssに切り換える。次の期間(3)に進み入力信号をVsigからVofsに切り換える。さらに次の期間(4)でサンプリング用トランジスタT1をオンする。この期間(2)~(4)で駆動用トランジスタT2のゲート電圧及び発光時におけるソース電圧をリセットする。その期間(2)~(4)は閾電圧補正のための準備期間であり、駆動用トランジスタT2のゲートGがVofsにリセットされる一方、ソースSがVssにリセットされる。続いて閾値補正期間(5)で実際に閾電圧補正動作が行われ、駆動用トランジスタT2のゲートGとソースSとの間に閾電圧Vthに相当する電圧が保持される。実際にはVthに相当する電圧が、駆動用トランジスタT2のゲートGとソースSとの間に接続された保持容量C1に書き込まれることになる。一旦サンプリング用トランジスタT1をオフした後、書込期間/移動度補正期間(6)に進む。ここで映像信号の信号電位VsigがVthに足し込まれる形で保持容量C1に書き込

まれると共に、移動度補正用の電圧 ΔV が保持容量 C_1 に保持された電圧から差し引かれる。この書込期間 / 移動度補正期間 (6) では、信号線 SL が信号電位 V_{sig} にある時間帯にサンプリング用トランジスタ T_1 を導通状態にする必要がある。この後発光期間 (7) に進み、信号電位 V_{sig} に応じた輝度で発光素子が発光する。その際信号電位 V_{sig} は閾電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV とによって調整されているため、発光素子 EL の発光輝度は駆動用トランジスタ T_2 の閾電圧 V_{th} や移動度 μ のばらつきの影響を受けることはない。なお発光期間 (7) の最初でブートストラップ動作が行われ、駆動用トランジスタ T_2 のゲート G / ソース S 間電圧 V_{gs} を一定に維持したまま、駆動用トランジスタ T_2 のゲート電位及びソース電位が上昇する。

【0023】

10

引き続き図4～図11を参照して、図2に示した画素回路の動作を詳細に説明する。まず図4に示したように発光期間 (1) では、電源電位が V_{cc} にセットされ、サンプリング用トランジスタ T_1 はオフしている。このとき駆動用トランジスタ T_2 は飽和領域で動作するようにセットされているため、発光素子 EL に流れる駆動電流 I_{ds} は駆動用トランジスタ T_2 のゲート G / ソース S 間に印加される電圧 V_{gs} に応じて、前述したトランジスタ特性式で示される値を取る。

【0024】

続いて図5に示すように準備期間 (2), (3) に入ると給電線 (電源ライン) の電位を V_{ss} にする。このとき V_{ss} は発光素子 EL の閾電圧 V_{thel} とカソード電圧 V_{cat} の和よりも小さくなるように設定している。即ち $V_{ss} < V_{thel} + V_{cat}$ であるので、発光素子 EL は消灯し、電源ライン側が駆動用トランジスタ T_2 のソースとなる。このとき発光素子 EL のアノードは V_{ss} に充電される。

20

【0025】

さらに図6に示すように次の準備期間 (4) に入ると、信号線 SL の電位が V_{ofs} になる一方サンプリング用トランジスタ T_1 がオンして、駆動用トランジスタ T_2 のゲート電位を V_{ofs} とする。この様にして発光時における駆動用トランジスタ T_2 のソース S 及びゲート G がリセットされ、このときのゲートソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ の値となる。 $V_{gs} = V_{ofs} - V_{ss}$ は駆動用トランジスタ T_2 の閾電圧 V_{th} よりも大きな値となるように設定されている。この様に $V_{gs} > V_{th}$ になるように駆動用トランジスタ T_2 をリセットすることで、次に来る閾電圧補正動作の準備が完了する。

30

【0026】

続いて図7に示すように閾電圧補正期間 (5) に進むと、給電線 DS (電源ライン) の電位が V_{cc} に戻る。電源電圧を V_{cc} とすることで発光素子 EL のアノードが駆動用トランジスタ T_2 のソース S となり、図示のように電流が流れる。このとき発光素子 EL の等価回路は図示のようにダイオード $Te1$ と容量 $Ce1$ の並列接続で表される。アノード電位 (即ちソース電位 V_{ss}) が $V_{cat} + V_{thel}$ よりも低いので、ダイオード $Te1$ はオフ状態にあり、そこに流れるリーク電流は駆動用トランジスタ T_2 に流れる電流よりもかなり小さい。よって駆動用トランジスタ T_2 に流れる電流はほとんどが保持容量 C_1 と等価容量 $Ce1$ を充電するために使われる。その後一旦サンプリング用トランジスタをオフする。

40

【0027】

図8は図7に示した閾電圧補正期間 (5) における駆動用トランジスタ T_2 のソース電圧の時間変化を表している。図示するように、駆動用トランジスタ T_2 のソース電圧 (即ち発光素子 EL のアノード電圧) は時間と共に V_{ss} から上昇する。閾電圧補正期間 (5) が経過すると駆動用トランジスタ T_2 はカットオフし、そのソース S とゲート G との間の電圧 V_{gs} は V_{th} となる。このときソース電位は $V_{ofs} - V_{th}$ で与えられる。この値 $V_{ofs} - V_{th}$ は依然として $V_{cat} + V_{thel}$ よりも低くなっていれば、発光素子 EL は遮断状態にある。

【0028】

次に図9に示すように書込期間 / 移動度補正期間 (6) に入ると、サンプリング用トラ

50

ンジスタ T_1 を再びオンした状態で信号線 SL の電位を V_{ofs} から V_{sig} に切り換える。このとき信号電位 V_{sig} は階調に応じた電圧となっている。駆動用トランジスタ T_2 のゲート電位はサンプリング用トランジスタ T_1 をオンしているため V_{sig} となる。一方ソース電位は電源 V_{cc} から電流が流れるため時間と共に上昇していく。この時点でも駆動用トランジスタ T_2 のソース電位が発光素子 EL の閾電圧 V_{thel} とカソード電圧 V_{cat} の和を超えていなければ、駆動用トランジスタ T_2 から流れる電流はもっぱら等価容量 C_{el} と保持容量 C_1 の充電に使われる。このとき既に駆動用トランジスタ T_2 の閾電圧補正動作は完了しているため、駆動用トランジスタ T_2 が流す電流は移動度 μ を反映したものとなる。具体的に言うと移動度 μ が大きい駆動用トランジスタ T_2 はこのときの電流量が大きく、ソースの電位上昇分 ΔV も大きい。逆に移動度 μ が小さい場合駆動用トランジスタ T_2 の電流量が小さく、ソースの上昇分 ΔV は小さくなる。かかる動作により駆動用トランジスタ T_2 のゲート電圧 V_{gs} は移動度 μ を反映して ΔV だけ圧縮され、移動度補正期間(6)が完了した時点で完全に移動度 μ を補正した V_{gs} が得られる。

【0029】

図10は、上述した移動度補正期間(6)における駆動用トランジスタ T_2 のソース電圧の時間的な変化を示すグラフである。図示するように駆動用トランジスタ T_2 の移動度が大きいとソース電圧は速く上昇し、それだけ V_{gs} が圧縮される。即ち移動度 μ が大きいとその影響を打ち消すように V_{gs} が圧縮され、駆動電流が抑制できる。一方移動度 μ が小さい場合駆動用トランジスタ T_2 のソース電圧はそれほど速く上昇しないので、 V_{gs} も強く圧縮を受けることはない。したがって移動度 μ が小さい場合、駆動用トランジスタの V_{gs} は小さい駆動能力を補うように大きな圧縮がかからない。

【0030】

図11は発光期間(7)の動作状態を表している。この発光期間(7)ではサンプリング用トランジスタ T_1 をオフして発光素子 EL を発光させる。駆動用トランジスタ T_2 のゲート電圧 V_{gs} は一定に保たれており、駆動用トランジスタ T_2 は前述した特性式に従って一定の電流 $I_{ds'}$ を発光素子 EL に流す。発光素子 EL のアノード電圧(即ち駆動用トランジスタ T_2 のソース電圧)は発光素子 EL に $I_{ds'}$ という電流が流れるため、 V_x まで上昇しこれが $V_{cat} + V_{thel}$ を超えた時点で発光素子 EL が発光する。発光素子 EL は発光時間が長くなるとその電流/電圧特性は変化してしまう。そのためソース S の電位が変化する。しかしながら駆動用トランジスタ T_2 のゲート電圧 V_{gs} はブートストラップ動作により一定値に保たれているので、発光素子 EL に流れる電流 $I_{ds'}$ は変化しない。よって発光素子 EL の電流/電圧特性が劣化しても、一定の駆動電流 $I_{ds'}$ が常に流れていて、発光素子 EL の輝度が変化することはない。

【0031】

図3に示した画素回路の動作シーケンスでは、移動度補正時間(信号書込時間)の適応制御を行っている。具体的には、サンプリング用トランジスタ T_1 のゲートに印加する制御パルスの立下りに傾斜をつけることで、信号書込期間(即ち移動度補正期間)の適応制御を行っている。適応制御とは、信号電位に応じて移動度補正期間が最適となるように、自動的に可変調整する方式である。映像信号の信号電位は黒レベルから白レベルまで階調に応じて変化する。最適な移動度補正時間は必ずしも一定ではなく、映像信号の階調レベルに依存している。一般的な傾向として、輝度が白レベルのとき最適な移動度補正期間は短く、輝度が黒レベルのとき最適な移動度補正期間は長くなる。

【0032】

図12を参照して、上述した移動度補正期間の適応制御を具体的に説明する。走査線 WS に供給される制御パルスは特徴的な立下り波形を有しており、最初に急峻でその後なだらかに変化し、最後に再び急峻に立下る形状となっている。この立下り波形はサンプリング用トランジスタ T_1 の制御端(ゲート)に印加される。一方このサンプリング用トランジスタ T_1 のソースには信号電位 V_{sig} が印加される。従ってサンプリング用トランジスタ T_1 のオンオフを制御するゲート電圧 V_{gs} は、ソースに印加される信号電位 V_{sig} に依存している。

10

20

30

40

50

【 0 0 3 3 】

白表示のときの信号電位を V_{sig} 白とし、サンプリング用トランジスタ T_1 の閾電圧を V_{thT1} とすると、制御パルスの立下りが丁度鎖線で示す V_{sig} 白 + V_{thT1} のレベルを横切ったとき、サンプリング用トランジスタ T_1 がオフする。このオフするタイミングは制御パルスが丁度急峻に立下り始めた時点であるので、サンプリング用トランジスタ T_1 がオンしてからオフするまでの白表示時信号書込み期間は短くなる。よって白表示時における移動度補正期間も短くなる。

【 0 0 3 4 】

一方黒表示時の信号電位を V_{sig} 黒とすると、図示のように制御パルスの立下り部分が点線で示す V_{sig} 黒 + V_{thT1} を下回ったときにサンプリング用トランジスタ T_1 がオフする。よって黒表示時の信号書込み期間は長くなる。この様にして信号電位に応じた移動度補正期間の適応制御を行っている。

【 0 0 3 5 】

この様にサンプリング用トランジスタ T_1 のゲートに印加する制御波形の立下りに傾斜を付けることで、全階調にわたって適切な移動度補正をかけることができ、スジやムラのない均一な画質を得ることが可能である。しかしながらサンプリング用トランジスタ T_1 は、何ら対策を施さないと経時的に V_{thT1} が変動していくため、移動度補正時間も変化してしまい、最適な適応制御を安定的に行うことができない。

【 0 0 3 6 】

ここで図 1 3 を参照して、白表示時と黒に近いグレー表示時（以下、黒表示時と呼ぶ）における発光 / 非発光を切り替える際のサンプリング用トランジスタ T_1 の各ノードの値について考える。（A）は白表示時を示し、（B）は黒表示時を示す。まず、白発光時において発光素子 E_L の発光電位を V_w 、駆動用トランジスタ T_2 のゲートソース間電位を V_{gsw} 、サンプリング用トランジスタ T_1 のオフ電位を V_{ssw} とする。さらに黒表示時における発光素子 E_L の発光電位を V_{thel} 、駆動用トランジスタのゲートソース間電位を V_{th} とする。なお V_{thel} は発光素子 E_L の閾電圧である。この状態で非発光期間において電源電圧を V_{cc} から V_{ss} へ切り替えた時を考える。一般に駆動用トランジスタ T_2 は発光素子 E_L のアノード側から電源側に大きくシールドをしているため、ゲート電源間の閾電圧は負の値となる。このため白表示、黒表示において発光素子 E_L のアノード電圧は V_{ss} という値となる。さらに駆動用トランジスタ T_2 のゲート電圧は図示するように白表示時には $V_{ss} + V_{gsw}$ となり、黒表示時には $V_{ss} + V_{th}$ となる。

【 0 0 3 7 】

ここで $V_{gsw} > V_{th}$ であるので、白表示時の非発光期間における駆動用トランジスタ T_2 のゲート電圧は黒表示におけるゲート電圧よりも大きくなる。そして信号線電位が V_{ofs} という電位の時を考えると、白表示におけるサンプリング用トランジスタ T_1 の動作点と黒表示におけるサンプリング用トランジスタ T_1 の動作点は、白表示におけるサンプリング用トランジスタ T_1 の動作点の方がそのドレインソース電圧は大きいために厳しいといえる。また信号書込み期間は閾値補正期間に対して短く、実際に信号線電位が V_{ofs} となっている時間の方が V_{sig} となっている時間よりも長いため、定常的に白表示におけるサンプリング用トランジスタ T_1 の方が大きな電圧がかかることになる。サンプリング用トランジスタ T_1 は 1 フィールドの殆どにおいてオフ動作をしているため、時間とともにその閾電圧は負側にシフトしてゆく。また、 $Duty$ が短い時を考えると前述の非発光時における動作点が白表示、黒表示におけるサンプリング用トランジスタ T_1 の閾電圧のマイナスシフトに影響を与える。

【 0 0 3 8 】

サンプリング用トランジスタ T_1 の閾値が負側にシフトしてしまうと、図 1 4 に示すように白表示時、黒表示時における移動度補正時間がシフトした閾電圧分だけ長くなってしまふ。この効果は特にサンプリング用トランジスタ T_1 の制御波形がなまる立下りにおいて顕著に現れる。前述のように白表示時は移動度補正時間自体が短く、電源から供給され

10

20

30

40

50

る電流が大きいので移動度補正時間が少しでも長くなってしまうと駆動用トランジスタ T2 のソース電圧の上昇が大きく、発光素子 E L に流れる電流が小さくなり、発光輝度が時間とともに減少したり、スジやムラといった画質不良が発生する。また黒表示時と白表示時においてサンプリング用トランジスタ T1 にかかる電圧が異なるため、このシフト量は異なってしまう、焼きつき等の画質劣化が起こってしまう。

【0039】

本発明では上記問題点に対して図 15 の (B) に示すタイミングを提案する。なお (A) は、比較のために図 3 の参考例を表している。図 15 (B) に示すタイミングは、(A) の参考例で閾電圧補正動作直前に行っていた閾値補正準備動作の一部を、初期化動作として電源ラインが Vcc から Vss へ変化した後に行うというものである。この初期化動作は電源ラインが Vcc から Vss へ変化した直後、信号線が Vofs となった時に行ってもよいし、サンプリング用トランジスタ T1 をオンした状態で電源ラインを Vcc から Vss へ変化させてもよい。

10

【0040】

即ち本発明によれば、ドライブスカナ 5 が、給電線 DS を高電位 Vcc から低電位 Vss に切り換えて、駆動用トランジスタ T2 のソース電位を下げて発光素子 E L に逆バイアスをかけこれを消灯する逆バイアス動作を行う。ライトスカナ 4 は、逆バイアス動作の後、信号線 SL が基準電位 Vofs にある時間帯で走査線 WS に制御パルスを印加してサンプリング用トランジスタ T1 をオンし、駆動用トランジスタ T2 のゲート G を基準電位 Vofs にセットする一方、ドライブスカナ 5 が給電線 DS を低電位 Vss から高電位 Vcc に切換えて駆動用トランジスタ T2 のソース電位を上げ、駆動用トランジスタ T2 の閾電圧 Vth に相当する電圧を保持容量 C1 に書き込む補正動作を行う。この後、信号線 SL が信号電位 Vsig にある時間帯でライトスカナ 4 が走査線 WS に制御パルスを印加して、サンプリング用トランジスタ T1 をオンし、信号電位 Vsig を保持容量 C1 に書き込む書込動作を行う。逆バイアス動作の中で又はその直後で補正動作に入る前に、信号線 WS が基準電位 Vofs にある時間帯で、ライトスカナ 4 が走査線 WS に制御パルスを印加してサンプリング用トランジスタ T1 をオンし駆動用トランジスタ T2 のゲート G を基準電位 Vofs にする初期化動作を行う。

20

【0041】

一態様では、ドライブスカナ 5 が給電線 DS を高電位 Vcc から低電位 Vss に切り換えて逆バイアス動作を行った直後、信号線 SL が基準電位 Vofs にある時間帯でライトスカナ 4 が走査線 WS に制御パルスを印加して初期化動作を行う。好ましくは、ライトスカナ 4 は、各走査線 WS に対して水平周期で順次制御パルスを出力し、ドライブスカナ 5 が給電線 DS を高電位 Vcc から低電位 Vss に切り換えて逆バイアス動作を行った後、一水平周期 (1H) 以内でライトスカナ 4 が WS 走査線に制御パルスを印加して初期化動作を行う。他の態様では、信号線 SL が基準電位 vofs にある時間帯でライトスカナ 4 が走査線 WS に制御パルスを印加して初期化動作を行うとともに、この時間帯で前ドライブスカナ 5 が給電線 DS を高電位 Vcc から低電位 Vss に切り換えて逆バイアス動作を行う。

30

【0042】

本発明により電源電圧を Vss とした非発光期間において信号線電位が Vofs 時のサンプリング用トランジスタ T1 の各ノードの値を白表示時と黒表示時において同じにすることができ、白表示と黒表示におけるサンプリング用トランジスタ T1 にかかるバイアスを同じにすることができる。これにより、白表示と黒表示におけるサンプリング用トランジスタ T1 の閾電圧の経時変化量の差分を軽減することができ、焼きつきやスジ、ムラといった画質不良を対策することができる。

40

【0043】

本発明にかかる表示装置は、図 16 に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスタ部 (図では 1 個の TFT を例示)、保持容

50

量などの容量部及び有機ＥＬ素子などの発光部とを含む。基板の上にＴＦＴプロセスでトランジスタ部や容量部が形成され、その上に有機ＥＬ素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【００４４】

本発明にかかる表示装置は、図１７に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機ＥＬ素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばＦＰＣ（フレキシブルプリントサーキット）を設けてもよい。

10

【００４５】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器の本体部に入力された、若しくは、電子機器の本体部内で生成した情報を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイ（表示部）に適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

【００４６】

図１８は本発明が適用されたテレビであり、フロントパネル１２、フィルターガラス１３等から構成される映像表示画面１１を含み、本発明の表示装置をその映像表示画面１１に用いることにより作製される。

20

【００４７】

図１９は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部１５、表示部１６、コントロールスイッチ、メニュースイッチ、シャッター１９等を含み、本発明の表示装置をその表示部１６に用いることにより作製される。

【００４８】

図２０は本発明が適用されたノート型パーソナルコンピューターであり、本体２０には文字等を入力するとき操作されるキーボード２１を含み、本体カバーには画像を表示する表示部２２を含み、本発明の表示装置をその表示部２２に用いることにより作製される。

30

【００４９】

図２１は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体２３、下側筐体２４、連結部（ここではヒンジ部）２５、ディスプレイ２６、サブディスプレイ２７、ピクチャーライト２８、カメラ２９等を含み、本発明の表示装置をそのディスプレイ２６やサブディスプレイ２７に用いることにより作製される。

【００５０】

図２２は本発明が適用されたビデオカメラであり、本体部３０、前方を向いた側面に被写体撮影用のレンズ３４、撮影時のスタート／ストップスイッチ３５、モニター３６等を含み、本発明の表示装置をそのモニター３６に用いることにより作製される。

40

【図面の簡単な説明】

【００５１】

【図１】本発明にかかる表示装置の全体構成を示すブロック図である。

【図２】本発明にかかる表示装置の実施形態を示す画素回路図である。

【図３】図２に示した表示装置の動作説明に供するタイミングチャートである。

【図４】図２に示した画素の動作説明に供する模式図である。

【図５】同じく動作説明に供する模式図である。

【図６】同じく動作説明に供する模式図である。

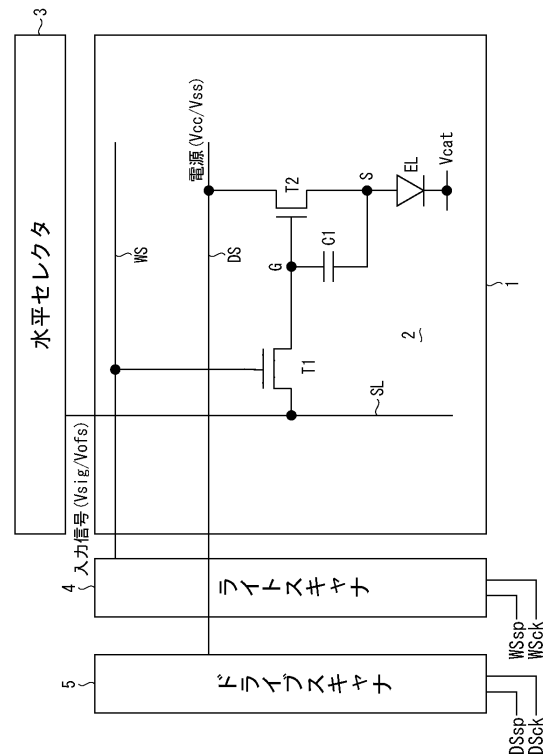
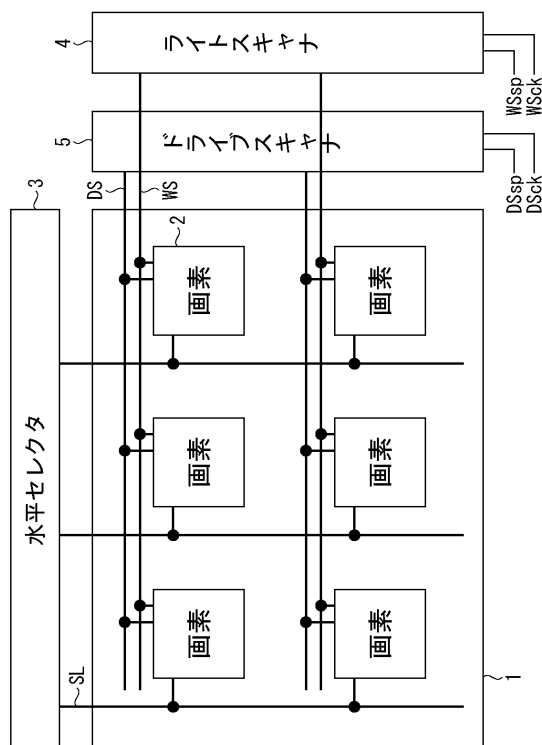
【図７】同じく動作説明に供する模式図である。

50

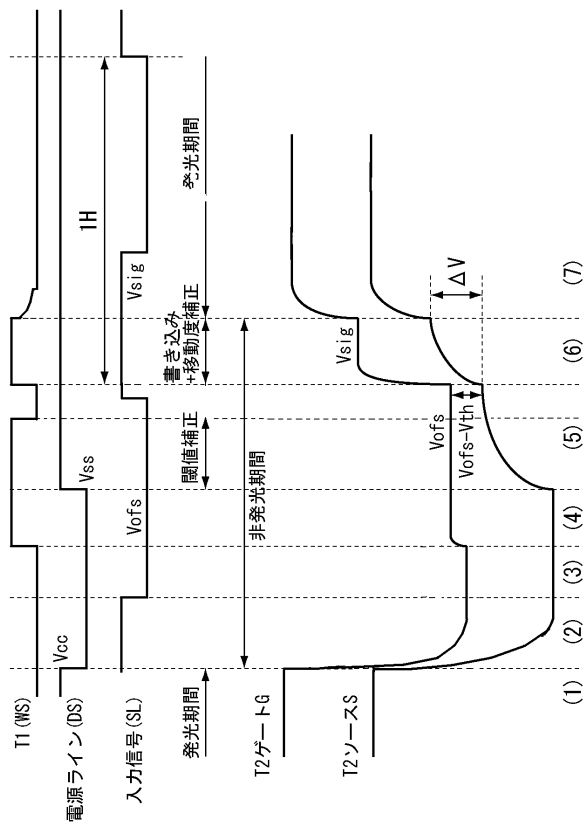
- 【図 8】同じく動作説明に供するグラフである。
- 【図 9】同じく動作説明に供する模式図である。
- 【図 10】同じく動作説明に供するグラフである。
- 【図 11】同じく動作説明に供する模式図である。
- 【図 12】同じく動作説明に供する波形図である。
- 【図 13】サンプリング用トランジスタの動作説明に供する回路図である。
- 【図 14】図 13 に示した動作の問題点の説明に供する波形図である。
- 【図 15】本発明に係る表示装置の動作説明に供するタイミングチャートである。
- 【図 16】本発明にかかる表示装置のデバイス構成を示す断面図である。
- 【図 17】本発明にかかる表示装置のモジュール構成を示す平面図である。
- 【図 18】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。
- 【図 19】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。
- 【図 20】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。
- 【図 21】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。
- 【図 22】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。
- 【図 23】従来の表示装置の一例を示す回路図である。
- 【図 24】発光素子の電流 / 電圧特性を示すグラフである。
- 【図 25】従来の表示装置の他の例を示す回路図である。
- 【符号の説明】
- 【0052】
- 1・・・画素アレイ部、2・・・画素、3・・・信号セレクトラ、4・・・制御用スキャナ、5・・・電源スキャナ、T1・・・サンプリング用トランジスタ、T2・・・駆動用トランジスタ、C1・・・保持容量、EL・・・発光素子、WS・・・走査線、DS・・・給電線、SL・・・信号線
- 【図 1】
- 【図 2】

10

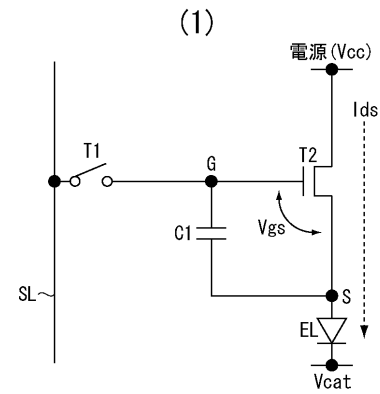
20



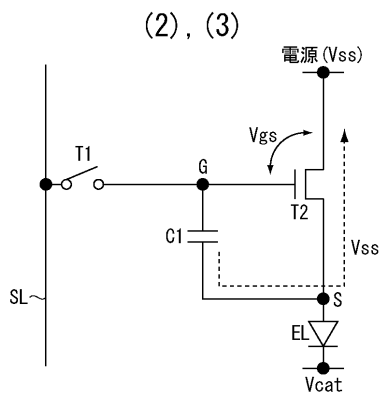
【図 3】



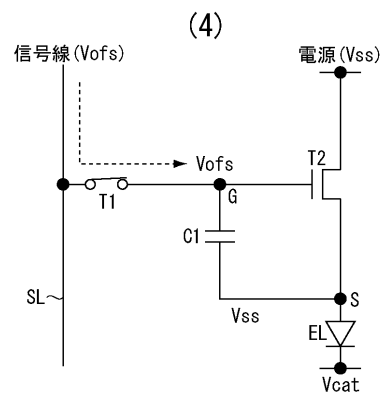
【図 4】



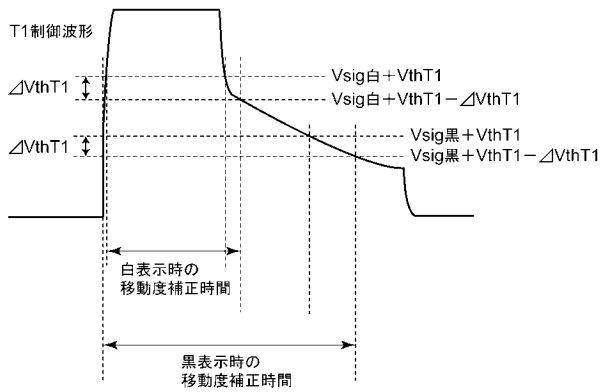
【図 5】



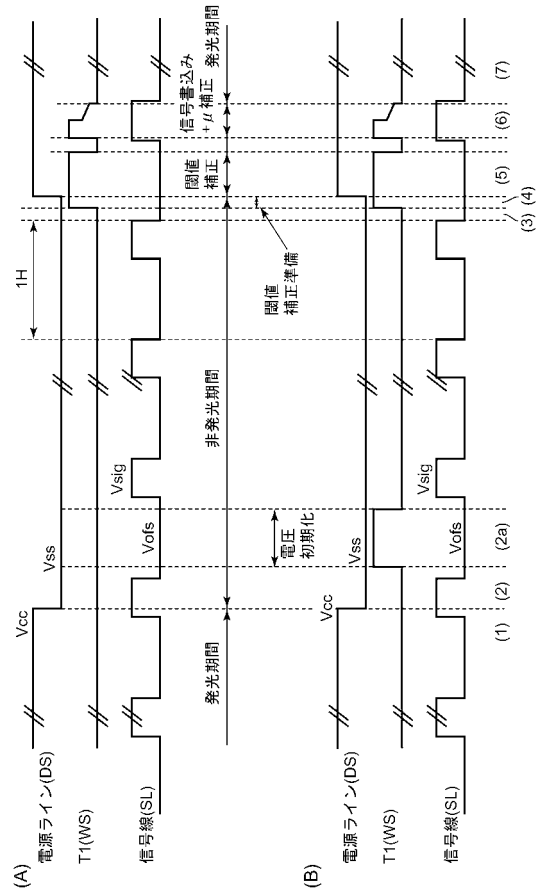
【図 6】



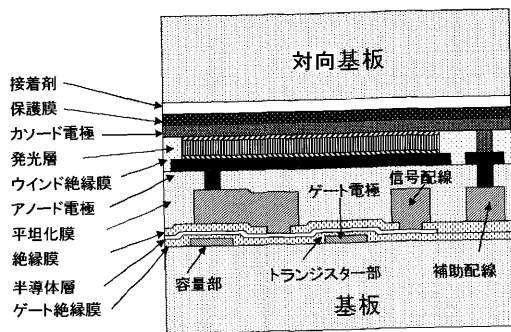
【図 14】



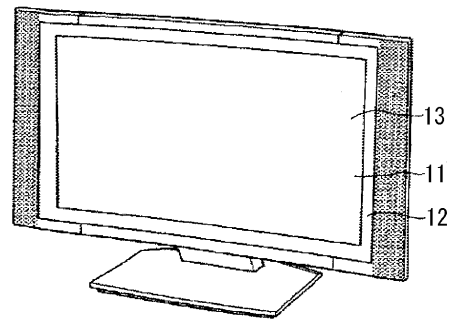
【図 15】



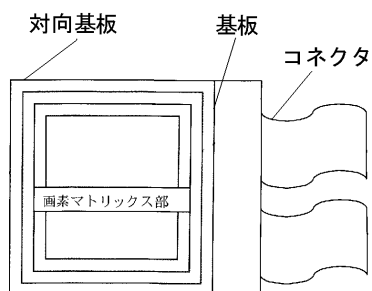
【図 16】



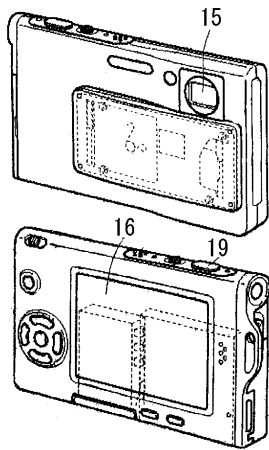
【図 18】



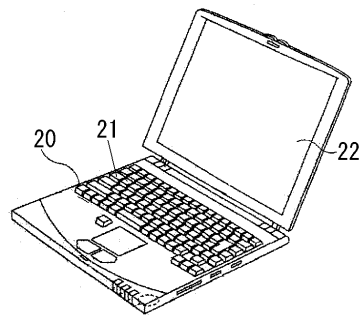
【図 17】



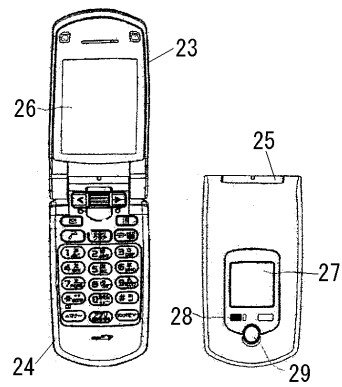
【図 19】



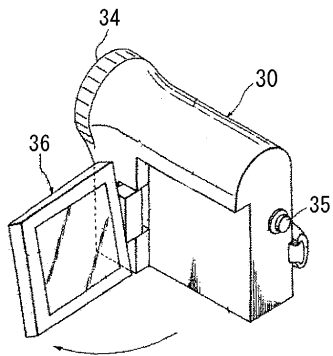
【図 20】



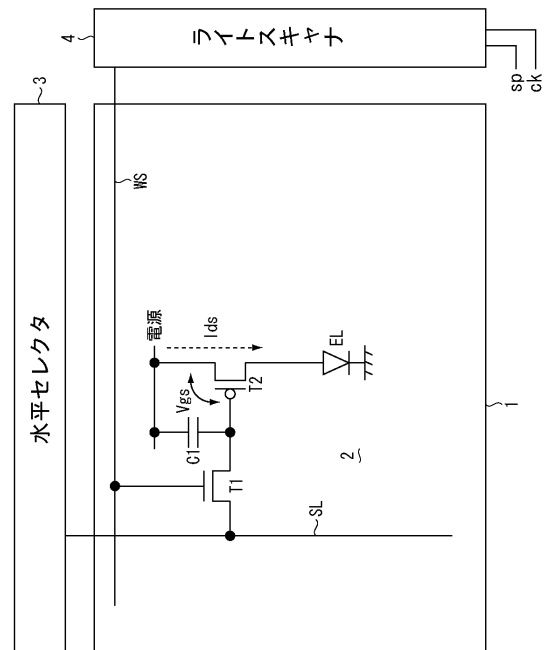
【図 21】



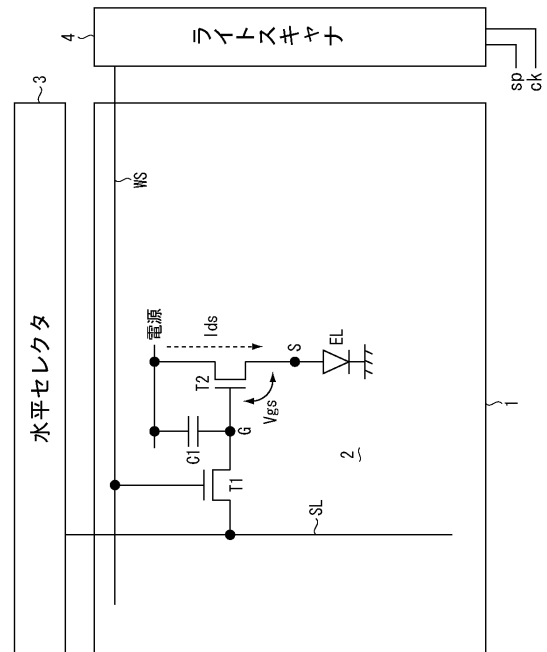
【図 22】



【図 23】



【 図 2 5 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 HH02 HH04
5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	JP2010039119A	公开(公告)日	2010-02-18
申请号	JP2008200839	申请日	2008-08-04
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 山下淳一 内野勝秀		
发明人	山本 哲郎 山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.641.D G09G3/20.624.B G09G3/20.611.H H05B33/14.A G09G3/3216 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB05 5C380/AB11 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA39 5C380/BA46 5C380/BA47 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD08 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CD022 5C380/DA47		
代理人(译)	山本隆久 吉井正明 森浩一		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于抑制采样晶体管的阈值电压变化的显示器。
 ŽSOLUTION：显示器将电馈线DS从高电位Vcc切换到低电位Vss，并且在发光元件EL上施加反向偏压操作。在反向偏置操作之后，采样晶体管T1在信号线SL为参考电位Vofs的时间段内导通，电馈线DS从低电位Vss切换到高电位Vcc，并且显示器执行校正操作在保持电容C1中写入等于驱动晶体管T2的阈值电压Vth的电压。此后，采样晶体管T1在信号线SL为信号电位Vsig的时间段内导通，并且显示器执行将信号电位Vsig写入保持电容C1的写入操作。在刚好在反向偏置操作之后进入校正操作之前，采样晶体管T1在信号线WS是参考电位Vofs的时间段中接通，并且显示器执行初始化操作，使得驱动晶体管T2的栅极G成为参考电位Vofs的。Ž

