

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2008-191295
(P2008-191295A)

(43) 公開日 平成20年8月21日(2008.8.21)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 J	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 2 A	5 C 0 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 2 2 D	
	G 0 9 G 3/20 6 2 4 B	
	G 0 9 G 3/20 6 4 2 A	
審査請求 未請求 請求項の数 4 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2007-23892 (P2007-23892)	(71) 出願人	000002185
(22) 出願日	平成19年2月2日 (2007.2.2)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100086298
			弁理士 船橋 國則
		(72) 発明者	三並 徹雄
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	飯田 幸人
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

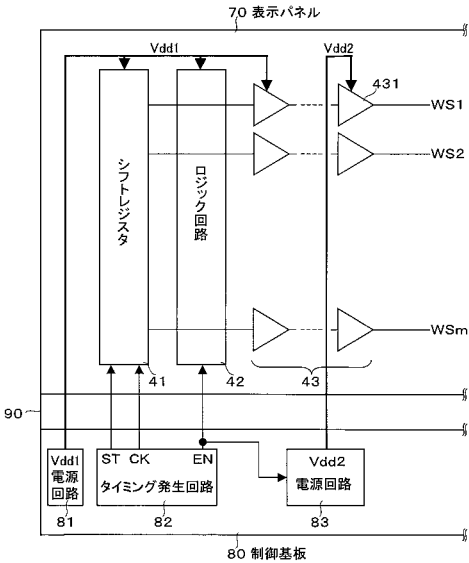
(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【要約】

【課題】有機EL素子の発光期間 / 非発光期間を制御するトランジスタとして駆動トランジスタを兼用した画素回路において、入力信号の書き込みと移動度補正を安定して行うことを可能にする。

【解決手段】書き込み走査回路40における出力回路43の最終段バッファ431の正側電源を他の回路部分と分離し、当該正側電源として例えばイネーブルパルスENに同期したパルス状の電源電圧V d d 2を供給し、書き込み走査回路40から出力される走査信号WSを瞬時にアクティブ状態にする、即ち波形の立ち上がりを急峻にすることで、入力信号電圧V s i gの書き込みが完了した状態で移動度補正を行うようにする。

【選択図】図12



【特許請求の範囲】**【請求項 1】**

電気光学素子と、入力信号電圧をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた入力信号電圧を保持する保持容量と、前記保持容量に保持された入力信号電圧に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

前段側の回路部分と電源が分離された最終段バッファを有し、当該最終段バッファから出力される走査信号を前記書き込みトランジスタに与えることによって前記画素アレイ部の各画素を行単位で選択走査する走査回路とを備え、

前記最終段バッファは、自身の電源にパルス状の電源電圧が供給されることによって当該電源電圧の立ち上がりで前記走査信号を立ち上げる

ことを特徴とする表示装置。

【請求項 2】

前記画素アレイ部の各画素は、前記書き込みトランジスタによる前記入力信号電圧の書き込み期間において、前記駆動トランジスタのドレイン - ソース間電流をゲート入力側に負帰還することによって当該駆動トランジスタのドレイン - ソース間電流の移動度に対する依存性を打ち消す補正動作を行う

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

電気光学素子と、入力信号電圧をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた入力信号電圧を保持する保持容量と、前記保持容量に保持された入力信号電圧に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

前段側の回路部分と電源が分離された最終段バッファを有し、当該最終段バッファから出力される走査信号を前記書き込みトランジスタに与えることによって前記画素アレイ部の各画素を行単位で選択走査する走査回路とを備えた表示装置の駆動方法であって、

前記最終段バッファの電源にパルス状の電源電圧を供給することによって当該電源電圧の立ち上がりで前記走査信号を立ち上げる

ことを特徴とする表示装置の駆動方法。

【請求項 4】

電気光学素子と、入力信号電圧をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた入力信号電圧を保持する保持容量と、前記保持容量に保持された入力信号電圧に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

前段側の回路部分と電源が分離された最終段バッファを有し、前記最終段バッファの電源にパルス状の電源電圧が供給されることによって当該電源電圧の立ち上がりで立ち上がる走査信号を前記書き込みトランジスタに与えることによって前記画素アレイ部の各画素を行単位で選択走査する走査回路と

を備えた表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に電気光学素子を含む画素が行列状（マトリクス状）に配置されてなる平面型（フラットパネル型）の表示装置、当該表示装置の駆動方法および当該表示装置を用いた電子機器に関する。

【背景技術】**【0002】**

近年、画表示を行う表示装置の分野では、発光素子を含む画素（画素回路）が行列状に配置されてなる平面型の表示装置、例えば、画素の発光素子として、デバイスに流れる電流値に応じて発光輝度が変化するいわゆる電流駆動型の電気光学素子、例えば有機薄膜に

10

20

30

40

50

電界をかけると発光する現象を利用した有機 E L (electro luminescence) 素子を用いた有機 E L 表示装置が開発され、商品化が進められている。

【 0 0 0 3 】

この有機 E L 表示装置は、有機 E L 素子が 1 0 V 以下の印加電圧で駆動できるために低消費電力であり、また自発光素子であることから、液晶セルを含む画素ごとに当該液晶セルにて光源（バックライト）からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高い、バックライトが不要、素子の応答速度が速い等の特長を持っている。

【 0 0 0 4 】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、T F T (Thin Film Transistor; 薄膜トランジスタ)）によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。

10

【 0 0 0 5 】

ところで、一般的に、有機 E L 素子の I - V 特性（電流 - 電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。有機 E L 素子を電流駆動するトランジスタ（以下、「駆動トランジスタ」と記述する）として N チャネル型の T F T を用いた画素回路では、駆動トランジスタのソース側に有機 E L 素子が接続されることになるために、有機 E L 素子の I - V 特性が経時劣化すると、駆動トランジスタのゲート - ソース間電圧 V_{gs} が変化し、その結果、有機 E L 素子の発光輝度も変化する。

20

【 0 0 0 6 】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、当該駆動トランジスタと有機 E L 素子との動作点で決まる。有機 E L 素子の I - V 特性が劣化すると、駆動トランジスタと有機 E L 素子との動作点が変わってしまうために、駆動トランジスタのゲートに同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース - ゲート間電圧 V_{gs} が変化するために、当該駆動トランジスタに流れる電流値が変化する。その結果、有機 E L 素子に流れる電流値も変化するために、有機 E L 素子の発光輝度が変化するようになる。

30

【 0 0 0 7 】

また、ポリシリコン T F T を用いた画素回路では、有機 E L 素子の I - V 特性の経時劣化に加えて、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度 μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ が画素ごとに異なったりする（個々のトランジスタ特性にばらつきがある）。駆動トランジスタの閾値電圧 V_{th} や移動度 μ が異なると、駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲートに同じ電圧を印加しても、有機 E L 素子の発光輝度に画素間でばらつきが生じ、画面の一様性（ユニフォームリティ）が損なわれる。

40

【 0 0 0 8 】

そこで、有機 E L 素子の I - V 特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機 E L 素子の発光輝度を一定に保つようにするために、有機 E L 素子の特性変動に対する補償機能、さらには駆動トランジスタの閾値電圧 V_{th} の変動に対する補正（以下、「閾値補正」と記述する）や、駆動トランジスタの移動度 μ の変動に対する補正（以下、「移動度補正」と記述する）の各補正機能を画素回路の各々に持たせる構成を採っている（例えば、特許文献 1 参照）。

【 0 0 0 9 】

【特許文献 1】特開 2 0 0 6 - 1 3 3 5 4 2 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0010】

特許文献1記載の従来技術では、画素回路の各々に、有機EL素子の特性変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を持たせることで、有機EL素子の $I-V$ 特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしたとしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つことができるが、その反面、画素回路を構成する素子数が多く、画素サイズの微細化の妨げとなる。

【0011】

これに対して、画素回路を構成する素子数や配線数の削減を図るために、例えば、画素回路の駆動トランジスタに供給する電源電位を切り替え可能な構成とし、当該電源電位の切り替えによって有機EL素子の発光期間/非発光期間を制御する機能を駆動トランジスタに持たせ、発光期間/非発光期間を制御するトランジスタを省略する手法を採ることが考えられる。

【0012】

かかる手法を採ることにより、必要最小限の素子数、具体的には、入力信号電圧をサンプリングして画素内に書き込む書き込みトランジスタと、この書き込みトランジスタによって書き込まれた入力信号電圧を保持する保持容量と、この保持容量に保持された入力信号電圧に基づいて電気光学素子を駆動する駆動トランジスタとによって画素回路を構成できる。

【0013】

このように、有機EL素子の発光期間/非発光期間を制御するトランジスタとして駆動トランジスタを兼用して画素回路を構成する素子数の削減を図る構成を採る場合、書き込みトランジスタによって入力信号電圧を書き込むと同時に、上記移動度補正を行うことになる。因みに、特許文献1記載の従来技術では、入力信号電圧の書き込み期間が終わった後に移動度補正が行われる。

【0014】

上述したように、入力信号電圧を書き込むと同時に移動度補正を行うと、入力信号電圧の書き込みが不十分な状態で移動度補正を行うことになるために、画素間で移動度補正にばらつきが生じ、その結果、スジムラが発生して画質を悪化させることになる（その詳細については後で説明する）。

【0015】

そこで、本発明は、入力信号電圧の書き込みと移動度補正を安定して行うことが可能な表示装置、当該表示装置の駆動方法および当該表示装置を用いた電子機器を提供することを目的とする。

【課題を解決するための手段】

【0016】

上記目的を達成するために、本発明では、電気光学素子と、入力信号電圧をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた入力信号電圧を保持する保持容量と、前記保持容量に保持された入力信号電圧に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、最終段バッファを有し、当該バッファから出力される走査信号を前記書き込みトランジスタに与えることによって前記画素アレイ部の各画素を行単位で選択走査する走査回路とを備えた表示装置において、最終段バッファの電源を前段側の回路部分と分離し、最終段バッファの電源にパルス状の電源電圧を供給することによって当該電源電圧の立ち上がりで走査信号を立ち上げるようにする。

【0017】

上記構成の表示装置および当該表示装置を用いた電子機器において、最終段バッファの電源に供給されるパルス状の電源電圧の立ち上がりで走査信号を立ち上げることで、当該

10

20

30

40

50

電源電圧の立ち上がりが急峻であるために、走査信号に応答した書き込みトランジスタによる入力信号電圧の書き込みを素早く行うことができる。これにより、入力信号電圧の書き込みが十分に行われた状態で移動度補正を行うことができる。

【発明の効果】

【0018】

本発明によれば、入力信号電圧の書き込みが十分に行われた状態で移動度補正を行うことにより、入力信号電圧の書き込みと移動度補正を安定して行うことができるために、画素間での移動度補正のばらつきを無くし、画質の向上を図ることができる。

【発明を実施するための最良の形態】

【0019】

10

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0020】

図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。ここでは、一例として、デバイスに流れる電流値に応じて発光輝度に変化する電流駆動型の電気光学素子、例えば有機EL素子を画素の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明する。

【0021】

図1に示すように、本実施形態に係る有機EL表示装置10は、画素(PXLC)20が行列状(マトリクス状)に2次元配置されてなる画素アレイ部30と、当該画素アレイ部30の周辺に配置され、各画素20を駆動する駆動部、例えば書き込み走査回路40、電源供給走査回路50および水平駆動回路60とを有する構成となっている。

20

【0022】

画素アレイ部30には、m行n列の画素配列に対して、画素行ごとに走査線31-1~31-mと電源供給線32-1~32-mとが配線され、画素列ごとに信号線33-1~33-nが配線されている。

【0023】

画素アレイ部30は、通常、ガラス基板などの透明絶縁基板上に形成され、平面型(フラット型)のパネル構造となっている。画素アレイ部30の各画素20は、アモルファスシリコンTFT(Thin Film Transistor; 薄膜トランジスタ)または低温ポリシリコンTFTを用いて形成することができる。低温ポリシリコンTFTを用いる場合には、走査回路40、電源供給走査回路50および水平駆動回路60についても、画素アレイ部30を形成する表示パネル(基板)70上に実装することができる。

30

【0024】

書き込み走査回路40は、シフトレジスタ等によって構成され、画素アレイ部30の各画素20への映像信号の書き込みに際して、走査線31-1~31-mに順次走査信号WS1~WSmを供給して画素20を行単位で線順次走査する。

【0025】

電源供給走査回路50は、シフトレジスタ等によって構成され、書き込み走査回路40による線順次走査に同期して、第1電位Vccpと当該第1電位Vccpよりも低い第2電位Vinで切り替わる電源供給線電位DS1~DSmを電源供給線32-1~32-mに供給する。ここで、第2電位Vinは、水平駆動回路60から与えられるオフセット電圧Vofsよりも十分に低い電位である。

40

【0026】

水平駆動回路60は、信号供給源(図示せず)から供給される輝度情報に応じた映像信号の信号電圧Vsigとオフセット電圧Vofsのいずれか一方を適宜選択し、信号線33-1~33-nを介して画素アレイ部30の各画素20に対して例えば行単位で一斉に書き込む。すなわち、水平駆動回路60は、入力信号電圧Vsigを行(ライン)単位で一斉に書き込む線順次書き込みの駆動形態を採っている。

【0027】

(画素回路)

50

図 2 は、画素（画素回路）20 の具体的な構成例を示す回路図である。図 2 に示すように、画素 20 は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機 EL 素子 21 を発光素子として有し、当該有機 EL 素子 21 に加えて、駆動トランジスタ 22、書き込みトランジスタ 23、保持容量 24 および補助容量 25 を有する構成となっている。

【0028】

ここで、駆動トランジスタ 22 および書き込みトランジスタ 23 として N チャネル型の TFT が用いられている。ただし、ここでの駆動トランジスタ 22 および書き込みトランジスタ 23 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

10

【0029】

有機 EL 素子 21 は、全ての画素 20 に対して共通に配線された共通電源供給線 34 にカソード電極が接続されている。駆動トランジスタ 22 は、ソースが有機 EL 素子 21 のアノード電極に接続され、ドレインが電源供給線 32（32-1～32-m）に接続されている。

【0030】

書き込みトランジスタ 23 は、ゲートが走査線 31（31-1～31-m）に接続され、ソースが信号線 33（33-1～33-n）に接続され、ドレインが駆動トランジスタ 22 のゲートに接続されている。保持容量 24 は、一端が駆動トランジスタ 22 のゲートに接続され、他端が駆動トランジスタ 22 のソース（有機 EL 素子 21 のアノード電極）に接続されている。

20

【0031】

補助容量 25 は、一端が駆動トランジスタ 22 のソースに接続され、他端が有機 EL 素子 21 のカソード電極（共通電位供給線 34）に接続されている。この補助容量 25 は、有機 EL 素子 21 に対して並列に接続されることで、当該有機 EL 素子 21 の容量不足を補う作用をなす。すなわち、補助容量 25 は必須の構成要素ではなく、有機 EL 素子 21 の容量が十分である場合は補助容量 25 を省略することが可能である。

【0032】

かかる構成の画素 20 において、書き込みトランジスタ 23 は、書き込み走査回路 40 から走査線 31 を通してゲートに印加される走査信号 WS に応答して導通状態となることにより、信号線 33 を通して水平駆動回路 60 から供給される輝度情報に応じた映像信号の入力信号電圧 V_{sig} またはオフセット電圧 V_{ofs} をサンプリングして画素 20 内に書き込む。この書き込まれた入力信号電圧 V_{sig} またはオフセット電圧 V_{ofs} は保持容量 24 に保持される。

30

【0033】

駆動トランジスタ 22 は、電源供給線 32（32-1～32-m）の電位 DS が第 1 電位 V_{ccp} にあるときに、電源供給線 32 から電流の供給を受けて、保持容量 24 に保持された入力信号電圧 V_{sig} の電圧値に応じた電流値の駆動電流を有機 EL 素子 21 に供給することによって当該有機 EL 素子 21 を電流駆動する。

【0034】

40

（画素構造）

図 3 に、画素 20 の断面構造の一例を示す。図 3 に示すように、画素 20 は、駆動トランジスタ 22、書き込みトランジスタ 23 等の画素回路が形成されたガラス基板 201 上に絶縁膜 202 およびウインド絶縁膜 203 が形成され、当該ウインド絶縁膜 203 の凹部 203A に有機 EL 素子 21 が設けられた構成となっている。

【0035】

有機 EL 素子 21 は、上記ウインド絶縁膜 203 の凹部 203A の底部に形成された金属等からなるアノード電極 204 と、当該アノード電極 204 上に形成された有機層（電子輸送層、発光層、ホール輸送層/ホール注入層）205 と、当該有機層 205 上に全画素共通に形成された透明導電膜等からなるカソード電極 206 とから構成されている。

50

【0036】

この有機EL素子21において、有機層208は、アノード電極204上にホール輸送層/ホール注入層2051、発光層2052、電子輸送層2053および電子注入層（図示せず）が順次堆積されることによって形成される。そして、図2の駆動トランジスタ22による電流駆動の下に、駆動トランジスタ22からアノード電極204を通して有機層205に電流が流れることで、当該有機層205内の発光層2052において電子と正孔が再結合する際に発光するようになっている。

【0037】

図3に示すように、画素回路が形成されたガラス基板201上に、絶縁膜202およびウインド絶縁膜203を介して有機EL素子21が画素単位で形成された後は、パッシベーション膜207を介して封止基板208が接着剤209によって接合され、当該封止基板208によって有機EL素子21が封止されることにより、表示パネル70が形成される。

【0038】

（閾値補正機能）

ここで、電源供給走査回路50は、書き込みトランジスタ23が導通した後で、水平駆動回路60が信号線33（33-1～33-n）にオフセット電圧 V_{ofs} を供給している間に、電源供給線32の電位 D_S を第1電位 V_{ccp} と第2電位 V_{ini} との間で切り替える。この電源供給線32の電位 D_S の切り替えにより、駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧が保持容量24に保持される。

【0039】

保持容量24に駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧を保持するのは次の理由による。駆動トランジスタ22の製造プロセスのばらつきや経時変化により、各画素ごとに駆動トランジスタ22の閾値電圧 V_{th} や移動度 μ などのトランジスタ特性の変動がある。このトランジスタ特性の変動により、駆動トランジスタ22に同一のゲート電位を与えても、画素ごとにドレイン・ソース間電流（駆動電流） I_{ds} が変動し、発光輝度のばらつきとなって現れる。この閾値電圧 V_{th} の画素ごとのばらつきの影響をキャンセル（補正）するために、閾値電圧 V_{th} に相当する電圧を保持容量24に保持するのである。

【0040】

駆動トランジスタ22の閾値電圧 V_{th} の補正は次のようにして行われる。すなわち、保持容量24にあらかじめ閾値電圧 V_{th} を保持しておくことで、入力信号電圧 V_{sig} による駆動トランジスタ22の駆動の際に、当該駆動トランジスタ22の閾値電圧 V_{th} が保持容量24に保持した閾値電圧 V_{th} に相当する電圧と相殺される、換言すれば、閾値電圧 V_{th} の補正が行われる。

【0041】

これが閾値補正機能である。この閾値補正機能により、画素ごとに閾値電圧 V_{th} にばらつきや経時変化があったとしても、それらの影響を受けることなく、有機EL素子21の発光輝度を一定に保つことができることになる。閾値補正の原理については後で詳細に説明する。

【0042】

（移動度補正機能）

図2に示した画素20は、上述した閾値補正機能に加えて、移動度補正機能を備えている。すなわち、水平駆動回路60が映像信号の信号電圧 V_{sig} を信号線33（33-1～33-n）に供給している期間で、かつ、書き込み走査回路40から出力される走査信号 WS （ $WS_1 \sim WS_m$ ）に応答して書き込みトランジスタ23が導通する期間、即ち移動度補正期間において、保持容量24に入力信号電圧 V_{sig} を保持する際に、駆動トランジスタ22のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す移動度補正が行われる。この移動度補正の具体的な原理および動作については後述する。

【0043】

(ブートストラップ機能)

図2に示した画素20はさらにブートストラップ機能も備えている。すなわち、水平駆動回路60は、保持容量24に入力信号電圧 V_{sig} が保持された段階で走査線31(31-1~31-m)に対する走査信号 WS ($WS_1 \sim WS_m$)の供給を解除し、書き込みトランジスタ23を非導通状態にして駆動トランジスタ22のゲートを信号線33(33-1~33-n)から電氣的に切り離す。これにより、駆動トランジスタ22のゲート電位 V_g がソース電位 V_s の変動に連動するために、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} を一定に維持することができる。

【0044】

(回路動作)

10

次に、本実施形態に係る有機EL表示装置10の回路動作について、図4のタイミングチャートを基に、図5および図6の動作説明図を用いて説明する。なお、図5および図6の動作説明図では、図面の簡略化のために、書き込みトランジスタ23をスイッチのシンボルで図示している。また、有機EL素子21は寄生容量を持っており、当該寄生容量と補助容量25を合成容量 C_{sub} として図示している。

【0045】

図4のタイミングチャートでは、時間軸を共通にして、1H(Hは水平走査時間)における走査線31(31-1~31-m)の電位(走査信号) WS の変化、電源供給線32(32-1~32-m)の電位 DS の変化、駆動トランジスタ22のゲート電位 V_g およびソース電位 V_s の変化を表している。また、時刻 t_2 までは、走査線31の電位(走査信号) WS の波形を一点鎖線で示し、電源供給線32の電位 DS を点線で示すことで、両者を識別できるようにしている。時刻 t_3 以降については両者共実線で示している。

20

【0046】

<発光期間>

図4のタイミングチャートにおいて、時刻 t_1 以前は有機EL素子21が発光状態にある(発光期間)。この発光期間では、電源供給線32の電位 DS が高電位 V_{ccp} (第1電位)にあり、図5(A)に示すように、電源供給線32から駆動トランジスタ22を通して有機EL素子21に駆動電流(ドレイン・ソース間電流) I_{ds} が供給されるため、有機EL素子21が駆動電流 I_{ds} に応じた輝度で発光する。

30

【0047】

<閾値補正準備期間>

そして、時刻 t_1 になると線順次走査の新しいフィールドに入り、図5(B)に示すように、電源供給線32の電位 DS が高電位 V_{ccp} から信号線33のオフセット電圧 V_{ofs} よりも十分に低い電位 V_{ini} (第2電位)に遷移すると、駆動トランジスタ22のソース電位 V_s も低電位 V_{ini} に向けて下降を開始する。

【0048】

次に、時刻 t_2 で書き込み走査回路40から走査信号 WS が出力され、走査線31の電位 WS が高電位側に遷移することで、図5(C)に示すように、書き込みトランジスタ23が導通状態となる。このとき、水平駆動回路60から信号線33に対してオフセット電圧 V_{ofs} が供給されているために、駆動トランジスタ22のゲート電位 V_g がオフセット電圧 V_{ofs} になる。また、駆動トランジスタ22のソース電位 V_s は、オフセット電圧 V_{ofs} よりも十分に低い電位 V_{ini} にある。

40

【0049】

ここで、低電位 V_{ini} については、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が、当該駆動トランジスタ22の閾値電圧 V_{th} よりも大きくなるように設定しておくこととする。このように、駆動トランジスタ22のゲート電位 V_g をオフセット電圧 V_{ofs} 、ソース電位 V_s を低電位 V_{ini} にそれぞれ初期化することで、閾値電圧補正動作の準備が完了する。

【0050】

<閾値補正期間>

50

次に、時刻 t_3 で、図 5 (D) に示すように、電源供給線 32 の電位 D_S が低電位 $V_{in i}$ から高電位 $V_{c c p}$ に切り替わると、駆動トランジスタ 22 のソース電位 V_s が上昇を開始する。やがて、駆動トランジスタ 22 のゲート - ソース間電圧 $V_{g s}$ が当該駆動トランジスタ 22 の閾値電圧 $V_{t h}$ になり、当該閾値電圧 $V_{t h}$ に相当する電圧が保持容量 24 に書き込まれる。

【0051】

ここでは、便宜上、閾値電圧 $V_{t h}$ に相当する電圧を保持容量 24 に書き込む期間を閾値補正期間と呼んでいる。なお、この閾値補正期間において、電流が専ら保持容量 24 側に流れ、有機 EL 素子 21 側には流れないようにするために、有機 EL 素子 21 がカットオフ状態となるように共通電源供給線 34 の電位 $V_{c a t h}$ を設定しておくこととする。

10

【0052】

次に、時刻 t_4 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6 (A) に示すように、書き込みトランジスタ 23 が非導通状態となる。このとき、駆動トランジスタ 22 のゲートがフローティング状態になるが、ゲート - ソース間電圧 $V_{g s}$ が駆動トランジスタ 22 の閾値電圧 $V_{t h}$ に等しいために、当該駆動トランジスタ 22 はカットオフ状態にある。したがって、ドレイン - ソース間電流 $I_{d s}$ は流れない。

【0053】

< 書き込み期間 / 移動度補正期間 >

次に、時刻 t_5 で、図 6 (B) に示すように、信号線 33 の電位がオフセット電圧 $V_{o f s}$ から映像信号の信号電圧 $V_{s i g}$ に切り替わる。続いて、時刻 t_6 で、走査線 31 の電位 W_S が高電位側に遷移することで、図 6 (C) に示すように、書き込みトランジスタ 23 が導通状態になって映像信号の信号電圧 $V_{s i g}$ をサンプリングする。

20

【0054】

この書き込みトランジスタ 23 による入力信号電圧 $V_{s i g}$ のサンプリングにより、駆動トランジスタ 22 のゲート電位 V_g が入力信号電圧 $V_{s i g}$ となる。このとき、有機 EL 素子 21 は始めカットオフ状態 (ハイインピーダンス状態) にあるために、駆動トランジスタ 22 のドレイン - ソース間電流 $I_{d s}$ は有機 EL 素子 21 に並列に接続された合成容量 $C_{s u b}$ に流れ込み、よって当該合成容量 $C_{s u b}$ の充電が開始される。

【0055】

この合成容量 $C_{s u b}$ の充電により、駆動トランジスタ 22 のソース電位 V_s が上昇を開始し、やがて駆動トランジスタ 22 のゲート - ソース間電圧 $V_{g s}$ は $V_{s i g} + V_{t h} - \Delta V$ となる。すなわち、ソース電位 V_s の上昇分 ΔV は、保持容量 24 に保持された電圧 ($V_{s i g} + V_{t h}$) から差し引かれるように、換言すれば、保持容量 24 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 ΔV は負帰還の帰還量となる。

30

【0056】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 $I_{d s}$ を当該駆動トランジスタ 22 のゲート入力に、即ちゲート - ソース間電圧 $V_{g s}$ に負帰還することにより、駆動トランジスタ 22 のドレイン - ソース間電流 $I_{d s}$ の移動度 μ に対する依存性を打ち消す、即ち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

40

【0057】

より具体的には、映像信号の信号電圧 $V_{s i g}$ が高いほどドレイン - ソース間電流 $I_{d s}$ が大きくなるために、負帰還の帰還量 (補正量) ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行われる。また、映像信号の信号電圧 $V_{s i g}$ を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量 ΔV の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。

【0058】

< 発光期間 >

次に、時刻 t_7 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6 (D) に示すように、書き込みトランジスタ 23 が非導通 (オフ) 状態となる。これにより、駆動ト

50

ランジスタ 22 のゲートは信号線 33 から切り離される。これと同時に、ドレイン - ソース間電流 I_{ds} が有機 EL 素子 21 に流れ始めることにより、有機 EL 素子 21 のアノード電位はドレイン - ソース間電流 I_{ds} に応じて上昇する。

【0059】

有機 EL 素子 21 のアノード電位の上昇は、即ち駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。駆動トランジスタ 22 のソース電位 V_s が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。このとき、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} + V_{th} - \Delta V$ で一定に保持される。そして、時刻 t_8 で信号線 33 の電位が映像信号の信号電圧 V_{sig} からオフセット電圧 V_{ofs} に切り替わる。

10

【0060】

(閾値補正の原理)

ここで、駆動トランジスタ 22 の閾値補正の原理について説明する。駆動トランジスタ 22 は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機 EL 素子 21 には駆動トランジスタ 22 から、次式 (1) で与えられる一定のドレイン・ソース間電流 (駆動電流) I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ 22 のチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量である。

20

【0061】

図 7 に、駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} の特性を示す。この特性図に示すように、駆動トランジスタ 22 の閾値電圧 V_{th} のばらつきに対する補正を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート・ソース電圧 V_{gs} に対応するドレイン・ソース間電流 I_{ds} が I_{ds1} になるのに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート・ソース間電圧 V_{gs} に対応するドレイン・ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン・ソース間電流 I_{ds} が変動する。

【0062】

30

これに対し、上記構成の画素 (画素回路) 20 では、先述したように、発光時の駆動トランジスタ 22 のゲート・ソース間電圧 V_{gs} が $V_{sig} + V_{th} - \Delta V$ であるために、これを式 (1) に代入すると、ドレイン・ソース間電流 I_{ds} は、

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - \Delta V)^2 \quad \dots \dots (2)$$

で表される。

【0063】

すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ 22 から有機 EL 素子 21 に供給されるドレイン・ソース間電流 I_{ds} は、駆動トランジスタ 22 の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ 22 の製造プロセスのばらつきや経時変化により、各画素ごとに駆動トランジスタ 22 の閾値電圧 V_{th} が変動しても、ドレイン・ソース間電流 I_{ds} が変動しないために、有機 EL 素子 21 の発光輝度も変動しない。

40

【0064】

(移動度補正の原理)

次に、駆動トランジスタ 22 の移動度補正の原理について説明する。図 8 に、駆動トランジスタ 22 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 22 の移動度 μ が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 22 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

【0065】

50

画素 A と画素 B で移動度 μ にばらつきがある状態で、例えば両画素 A, B に同レベルの入力信号電圧 V_{sig} を書き込んだ場合に、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素 A に流れるドレイン・ソース間電流 I_{ds1}' と移動度 μ の小さい画素 B に流れるドレイン・ソース間電流 I_{ds2}' との間には大きな差が生じてしまう。このように、移動度 μ のばらつきに起因してドレイン・ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォーミティを損なうことになる。

【0066】

ここで、先述した式(1)のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン・ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 ΔV は移動度 μ が大きくなるほど大きくなる。図8に示すように、移動度 μ の大きな画素 A の帰還量 ΔV_1 は、移動度の小さな画素 B の帰還量 ΔV_2 に比べて大きい。そこで、移動度補正動作によって駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、移動度 μ が大きいほど負帰還が大きくなることになるために、移動度 μ のばらつきを抑制することができる。

10

【0067】

具体的には、移動度 μ の大きな画素 A で帰還量 ΔV_1 の補正をかけると、ドレイン・ソース間電流 I_{ds} は I_{ds1}' から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 B の帰還量 ΔV_2 は小さいために、ドレイン・ソース間電流 I_{ds} は I_{ds2}' から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素 A のドレイン・ソース間電流 I_{ds1} と画素 B のドレイン・ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ のばらつきが補正される。

20

【0068】

以上をまとめると、移動度 μ の異なる画素 A と画素 B があった場合、移動度 μ の大きい画素 A の帰還量 ΔV_1 は移動度 μ の小さい画素 B の帰還量 ΔV_2 に比べて小さくなる。つまり、移動度 μ が大きい画素ほど帰還量 ΔV が大きく、ドレイン・ソース間電流 I_{ds} の減少量が大きくなる。すなわち、駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、移動度 μ の異なる画素のドレイン・ソース間電流 I_{ds} の電流値が均一化され、その結果、移動度 μ のばらつきを補正することができる。

30

【0069】

ここで、図2に示した画素(画素回路)20において、閾値補正、移動度補正の有無による映像信号の信号電位(サンプリング電位) V_{sig} と駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} との関係について図9を用いて説明する。

【0070】

図9において、(A)は閾値補正および移動度補正を共に行わない場合、(B)は移動度補正を行わず、閾値補正のみを行った場合、(C)は閾値補正および移動度補正を共に行った場合をそれぞれ示している。図9(A)に示すように、閾値補正および移動度補正を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因してドレイン・ソース間電流 I_{ds} に画素 A, B 間で大きな差が生じることになる。

40

【0071】

これに対して、閾値補正のみを行った場合は、図9(B)に示すように、当該閾値補正によってドレイン・ソース間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン・ソース間電流 I_{ds} の差は残る。そして、閾値補正および移動度補正を共に行うことで、図9(C)に示すように、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン・ソース間電流 I_{ds} の差をほぼ無くすることができるために、どの階調においても有機 EL 素子 21 の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

【0072】

(移動度補正における問題点)

50

ここで、移動度補正における問題点について、図 10 のタイミングチャートを用いて説明する。

【0073】

先述した回路動作の説明から明らかなように、駆動トランジスタ 22 を有機 EL 素子 21 の発光期間 / 非発光期間を制御するトランジスタとして兼用した構成の画素 20 では、入力信号電圧 V_{sig} の書き込みと同時に移動度補正が行われる。移動度補正は、入力信号電圧 V_{sig} が完全に書き込まれた状態で行われるのが好ましい。

【0074】

しかしながら、書き込み走査回路 40 から出力され、書き込みトランジスタ 23 を駆動する走査信号 W_S の立ち上がり速度が遅いと、入力信号電圧 V_{sig} の書き込みが完全に完了するまでに時間がかかるために、入力信号電圧 V_{sig} の書き込みが不十分なまま移動度補正を行うという不安定な駆動を行うことになる。

【0075】

このように、入力信号電圧 V_{sig} の書き込みが不十分なまま移動度補正を行うと、移動度 μ の大きい画素と、移動度 μ の小さい画素で移動度補正の補正量、即ち負帰還の帰還量 ΔV が異なるために、画素間で移動度補正にばらつきが生じ、その結果、スジムラが発生して画質を悪化させる。

【0076】

(本実施形態の特徴部分)

そこで、本実施形態では、図 11 のタイミングチャートに示すように、走査信号 W_S を瞬時にアクティブ状態にする、即ち波形の立ち上がりを急峻にすることにより、入力信号電圧 V_{sig} の書き込みが完全に完了するまでの時間を短縮して、入力信号電圧 V_{sig} の書き込みと同時に移動度補正が開始されるものの、入力信号電圧 V_{sig} の書き込みが完了した状態で移動度補正を行うようにし、画素間での移動度補正のばらつきを無くするようにすることを特徴としている。

【0077】

[実施例]

以下に、走査信号 W_S の立ち上がりを急峻にするための具体的な実施例について説明する。

【0078】

先述したように、走査信号 W_S ($W_{S1} \sim W_{Sm}$) は書き込み走査回路 40 から出力される。この書き込み走査回路 40 は、図 12 に示すように、シフトレジスタ 41、ロジック回路 42 および各画素行ごとに複数段のバッファからなる出力回路 43 によって構成され、画素アレイ部 30 の各画素 20 を駆動する駆動部として表示パネル 70 上に実装されている。

【0079】

この書き込み走査回路 40 には、表示パネル 70 の外部に設けられた制御基板 80 から例えばフレキシブルケーブル 90 を介してタイミング信号や電源電圧が供給される。具体的には、制御基板 80 上には、タイミング発生回路 81、 V_{dd1} 電源回路 82 および V_{dd2} 電源回路 83 等が設けられている。

【0080】

タイミング発生回路 81 は、シフトレジスタ 41 の動作の基準となるクロックパルス CK と、シフトレジスタ 41 のシフト動作の開始を指令するスタートパルス ST を生成してシフトレジスタ 41 に供給するとともに、走査信号 W_S のパルス幅を決めるイネーブルパルス EN を生成してロジック回路 42 に供給する。

【0081】

V_{dd1} 電源回路 82 は、直流の電源電圧 V_{dd1} を発生する。この電源電圧 V_{dd1} は、フレキシブルケーブル 90 を介してシフトレジスタ 41、ロジック回路 42 および出力回路 43 の最終段のバッファ 431 を除く各バッファに、それらの正側の電源電圧として供給される。

10

20

30

40

50

【 0 0 8 2 】

V d d 2 電源回路 8 3 は、例えばイネーブルパルス E N に同期してパルス状の電源電圧 V d d 2 を発生する。この電源電圧 V d d 2 は、好ましくは電源電圧 V d d 1 よりも電圧値が高く設定され、出力回路 4 3 の最終段のバッファ 4 3 1 に、その正側の電源電圧として供給される。この電源電圧 V d d 2 をパルス状にして、最終段のバッファ 4 3 1 に供給する点が本実施形態の特徴とするところである。

【 0 0 8 3 】

(出力回路の回路構成)

図 1 3 は、ある画素行の出力回路 4 3 の構成の一例を示す回路図である。ここでは、最終段のバッファ 4 3 1 とその前段のバッファ 4 3 2 の 2 段構成の出力回路を例に挙げて示しているが、2 段構成に限られるものではない。

10

【 0 0 8 4 】

最終段バッファ 4 3 1 は、ゲート同士およびドレイン同士がそれぞれ共通に接続された P チャネル MOS トランジスタ P 1 1 および N チャネル MOS トランジスタ N 1 1 からなる C M O S インバータ構成となっている。そして、M O S トランジスタ P 1 1 のソースにパルス状の電源電圧 V d d 2 が与えられ、M O S トランジスタ N 1 1 のソースに直流の電源電圧 V s s が与えられる。

【 0 0 8 5 】

前段のバッファ 4 3 2 は、ゲート同士およびドレイン同士がそれぞれ共通に接続された P チャネル MOS トランジスタ P 1 2 および N チャネル MOS トランジスタ N 1 2 からなる C M O S インバータ構成となっている。そして、M O S トランジスタ P 1 2 のソースに直流の電源電圧 V d d 1 が与えられ、M O S トランジスタ N 1 2 のソースに直流の電源電圧 V s s が与えられる。

20

【 0 0 8 6 】

(出力回路の回路動作)

次に、上記構成の出力回路 4 3 の回路動作について、図 1 4 のタイミング波形図を用いて説明する。

【 0 0 8 7 】

出力回路 4 3 において、前段のバッファ 4 3 2 には、シフトレジスタ 4 1 から出力されるシフトパルスがロジック回路 4 2 を経由し、時刻 t 1 1 で立ち上がり、時刻 t 1 3 で立ち下がる入力パルス A として入力される。この入力パルス A は、シフトレジスタ 4 1 やロジック回路 4 2 の回路部分を通過することでその立ち上がりおよび立ち下りの波形になまりが生じ、緩やかに立ち上がり、緩やかに立ち下がる。

30

【 0 0 8 8 】

入力パルス A は、前段のバッファ 4 3 2 で極性反転され、さらに最終段バッファ 4 3 1 で極性反転されて出力パルス B となる。このとき、最終段バッファ 4 3 1 にはその正側の電源電圧として、時刻 t 1 1 から所定時間経過後の時刻 t 1 2 でアクティブとなる、即ち V d d 2 レベルに立ち上がる電源電圧 V d d 2 が、制御基板 8 0 上に設けられた V d d 2 電源回路 8 3 からフレキシブルケーブル 9 0 を介して印加される。

【 0 0 8 9 】

40

この電源電圧 V d d 2 は、表示パネル 7 0 上のいかなる回路部分をも通過していないことから遅延が生じなく、最終段バッファ 4 3 1 に印加される時点での立ち上がり波形が急峻であるために、入力パルス A のように、シフトレジスタ 4 1 やロジック回路 4 2 の回路部分を通過することによって立ち上がり波形になまりが生じるようなことはない。

【 0 0 9 0 】

このように立ち上がり波形が急峻な電源電圧 V d d 2 の下に動作する最終段バッファ 4 3 1 で極性反転されることで、出力パルス B の立ち上がりは、電源電圧 V d d 2 の立ち上がりで決まるために、その立ち上がり波形は急峻となる。なお、出力パルス B の立ち下りは、入力パルス A の立ち下りで決まるために、その立ち下り波形は緩やかである。この出力パルス B は走査信号 W S として、対応する画素行の各画素 2 0 における書き込み

50

トランジスタ 23 のゲートに印加される。

【0091】

上述したように、書き込み走査回路 40 における出力回路 43 の最終段バッファ 431 の正側電源を前段側の回路部分と分離し、当該正側電源として例えばイネーブルパルス EN に同期したパルス状（矩形波）の電源電圧 Vdd2 を供給し、当該電源電圧 Vdd2 の立ち上がりで出力パルス B、即ち走査信号 WS を立ち上げることにより、電源電圧 Vdd2 の立ち上がりが急峻であるために、走査信号 WS を瞬時にアクティブ状態にする、即ち波形の立ち上がりを急峻にすることができる。

【0092】

これにより、書き込みトランジスタ 22 による入力信号電圧 Vsig の書き込みが完全に完了するまでの時間を短縮することができるために、入力信号電圧 Vsig の書き込みと同時に移動度補正が開始されるものの、入力信号電圧 Vsig の書き込みが完了した状態で移動度補正を行うことができる。その結果、画素間での移動度補正のばらつきを無くし、スジムラを抑えることができるために画質を向上できる。

【0093】

因みに、最終段バッファ 431 の正側電源を前段側の回路部分と分離せずに、最終段バッファ 431 の正側電源に直流の電源電圧 Vdd1 を供給する構成を採った場合、出力パルス B の立ち上がり速度は P チャネル MOS トランジスタ P11 のサイズで律則される。しかし、書き込み走査回路 40 は狭スペースに配置されることから、P チャネル MOS トランジスタ P11 のサイズを大きくするにも限界があるために、出力パルス B の立ち上がり速度 τ を上げるにも限界があり、例えば $\tau = 200 \text{ ns}$ 程度となる。

【0094】

これに対して、最終段バッファ 431 の正側電源に印加される段階でのパルス状の電源電圧 Vdd2 として、その立ち上がり速度 τ を 100 ns 以下に設定することが可能である。そして、出力パルス B の立ち上がり速度が P チャネル MOS トランジスタ P11 のサイズで律則されるのではなく、パルス状の電源電圧 Vdd2 の立ち上がり速度となるために、出力パルス B の立ち上がり速度も 100 ns 以下に高速化できる。

【0095】

以上説明した本実施例では、走査信号 WS として“H”レベルでアクティブとなる正論理の出力パルス B を生成する場合を例に挙げて説明したが、“L”レベルでアクティブとなる負論理の出力パルス B' を生成する場合にも同様に適用可能である。この場合は、出力回路 43 の最終段バッファ 431 の負側電源を他の回路部分と分離し、当該負側電源としてパルス状の電源電圧 Vss2 を供給することにより、負論理の出力パルス B' の立ち上がりを急峻にすることができる。

【0096】

なお、上記実施形態では、画素回路 20 の電気光学素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

【0097】

[適用例]

以上説明した本発明に係る表示装置は、図 15 ~ 図 19 に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。以下に、本発明が適用される電子機器の一例について説明する。

【0098】

なお、本発明に係る表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部 30 に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記し

10

20

30

40

50

た遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0099】

図15は、本発明が適用されるテレビを示す斜視図である。本適用例に係るテレビは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明に係る表示装置を用いることにより作成される。

【0100】

図16は、本発明が適用されるデジタルカメラを示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明に係る表示装置を用いることにより作製される。

10

【0101】

図17は、本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明に係る表示装置を用いることにより作製される。

20

【0102】

図18は、本発明が適用されるビデオカメラを示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本発明に係る表示装置を用いることにより作製される。

【0103】

図19は、本発明が適用される携帯端末装置、例えば携帯電話機を示す斜視図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部（ここではヒンジ部）143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含み、そのディスプレイ144やサブディスプレイ145として本発明に係る表示装置を用いることにより作製される。

30

【図面の簡単な説明】

【0104】

【図1】本発明の一実施形態に係る有機EL表示装置の構成の概略を示すシステム構成図である。

【図2】画素（画素回路）の具体的な構成例を示す回路図である。

【図3】画素の断面構造の一例を示す断面図である。

【図4】本発明の一実施形態に係る有機EL表示装置の動作説明に供するタイミングチャートである。

40

【図5】本発明の一実施形態に係る有機EL表示装置の回路動作の説明図（その1）である。

【図6】本発明の一実施形態に係る有機EL表示装置の回路動作の説明図（その2）である。

【図7】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

【図8】駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【図9】閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

50

【図 10】移動度補正における問題点の説明に供するタイミングチャートである。

【図 11】移動度補正における問題点を解決するための動作説明に供するタイミングチャートである。

【図 12】書き込み走査回路の構成の一例を示すブロック図である。

【図 13】ある画素行の出力回路の構成の一例を示す回路図である。

【図 14】出力回路の回路動作の説明に供するタイミング波形図である。

【図 15】本発明が適用されるテレビを示す斜視図である。

【図 16】本発明が適用されるデジタルカメラを示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。

【図 17】本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。

10

【図 18】本発明が適用されるビデオカメラを示す斜視図である。

【図 19】本発明が適用される携帯電話機を示す斜視図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

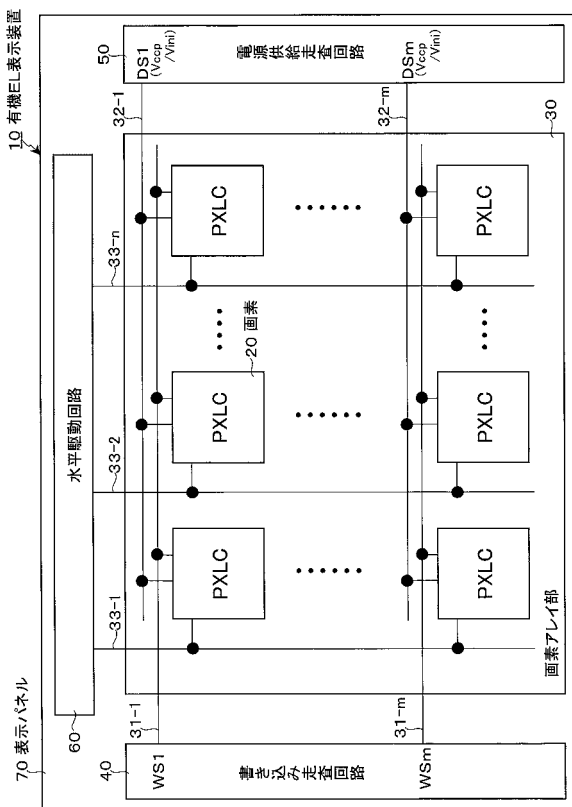
【符号の説明】

【0105】

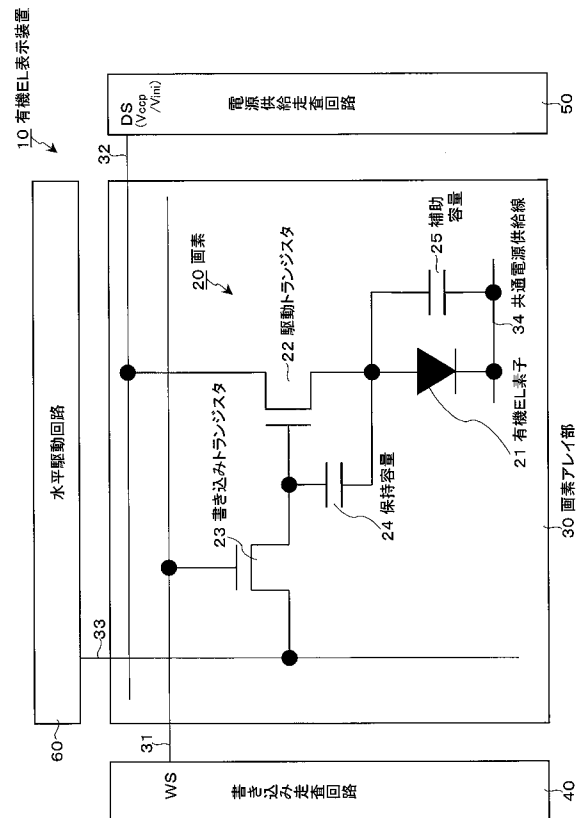
10 ... 有機EL表示装置、20 ... 画素(画素回路)、21 ... 有機EL素子、22 ... 駆動トランジスタ、23 ... 書き込みトランジスタ、24 ... 保持容量、25 ... 補助容量、30 ... 画素アレイ部、31(31-1~31-m) ... 走査線、32(32-1~32-m) ... 電源供給線、33(33-1~33-n) ... 信号線、34 ... 共通電源供給線、40 ... 書き込み走査回路、50 ... 電源供給走査回路、60 ... 水平駆動回路、70 ... 表示パネル、80 ... 制御基板、81 ... タイミング発生回路、82 ... V_{dd1}電源回路、83 ... V_{dd2}電源回路、90 ... フレキシブルケーブル

20

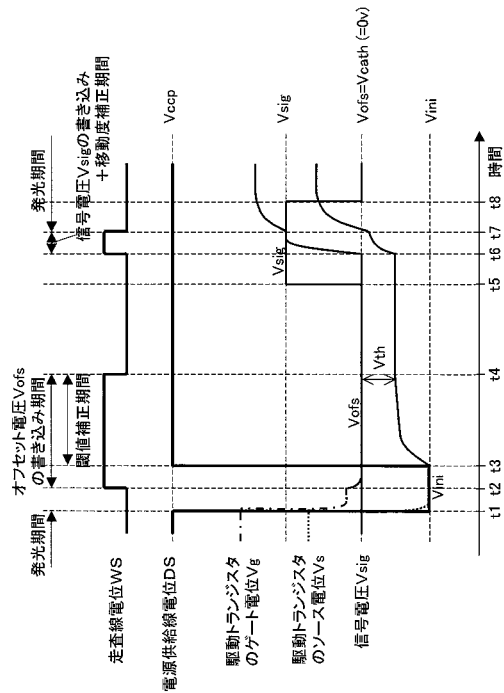
【図 1】



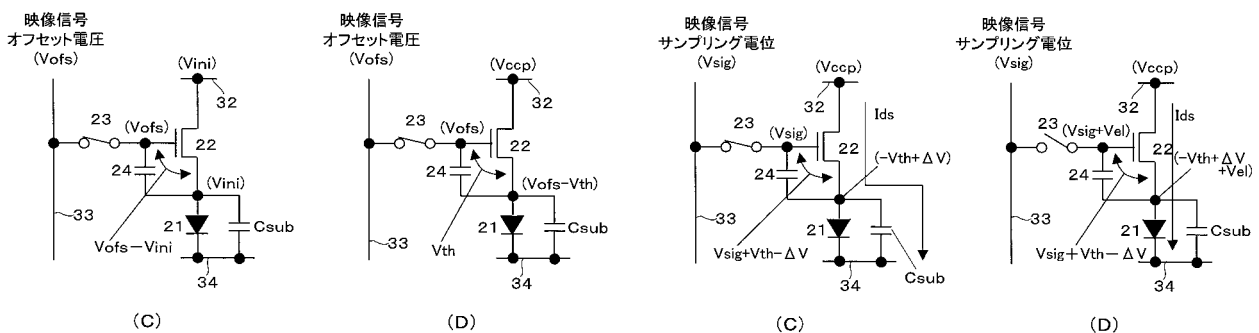
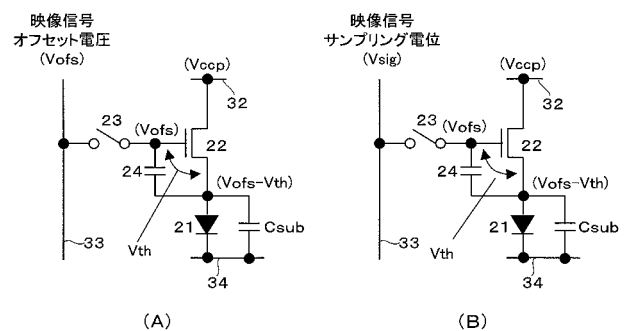
【図 2】



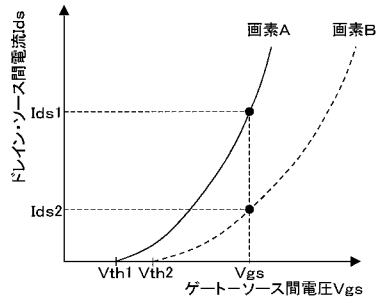
【圖 4】



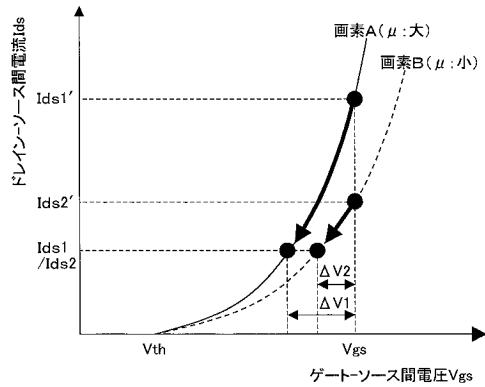
【 図 6 】



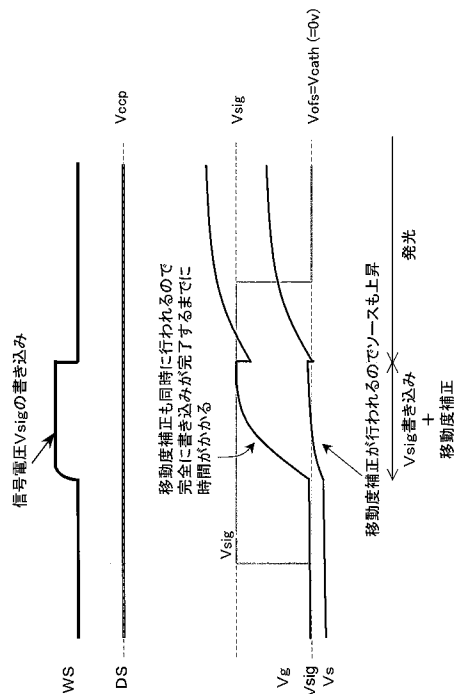
【図 7】



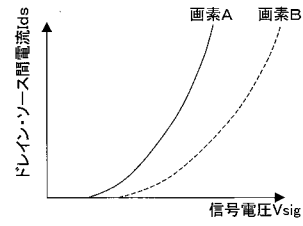
【図 8】



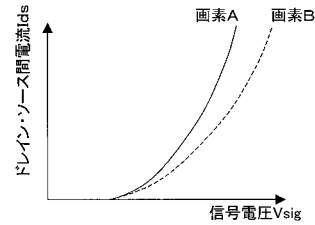
【図 10】



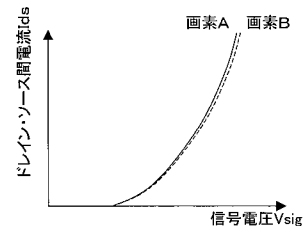
【図 9】



(A) 閾値補正: 無、移動度補正: 無

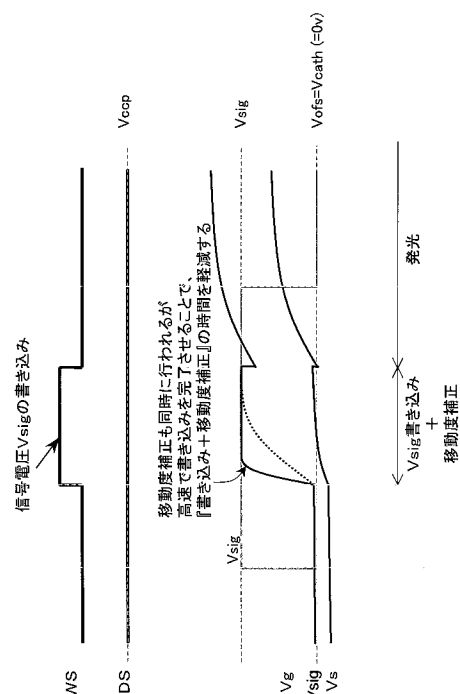


(B) 閾値補正: 有、移動度補正: 無

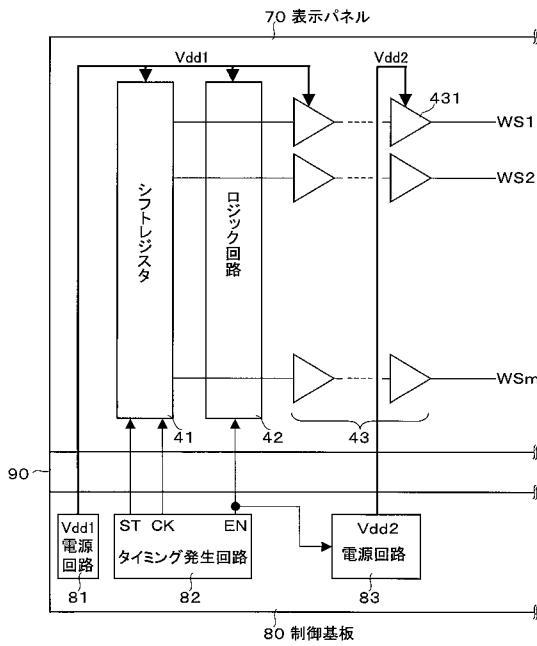


(C) 閾値補正: 有、移動度補正: 有

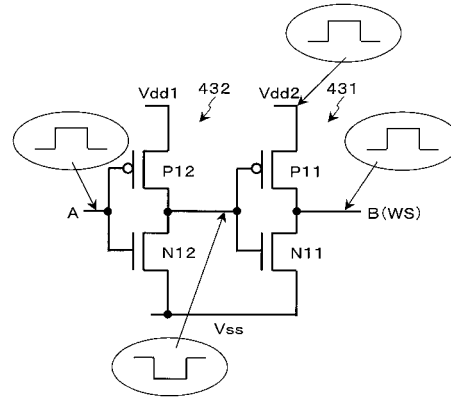
【図 11】



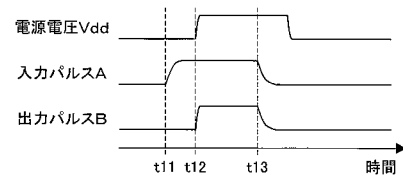
【図 1 2】



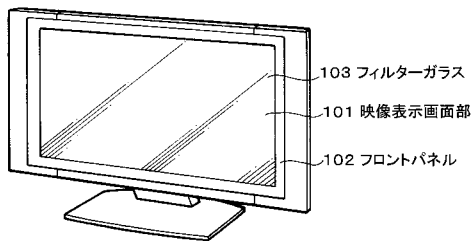
【図 1 3】



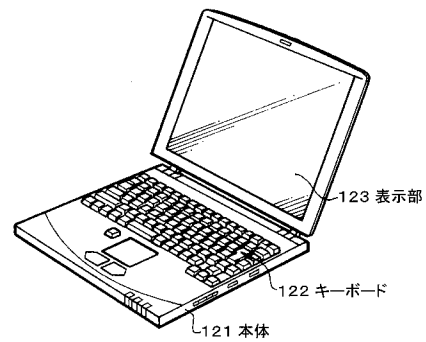
【図 1 4】



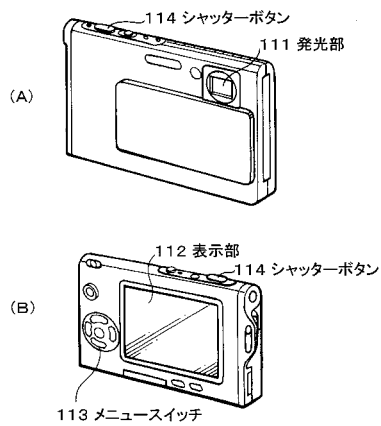
【図 1 5】



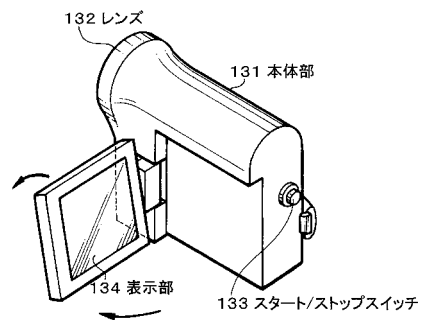
【図 1 7】



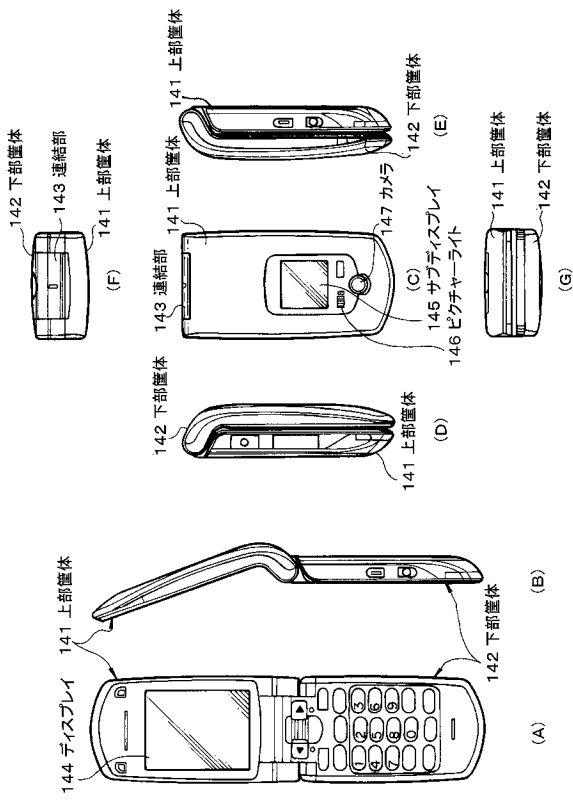
【図 1 6】



【図 1 8】



【図 19】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 1 1 F
H 0 5 B	33/14	A

F ターム(参考) 3K107 AA01 BB01 CC33 CC35 EE04 HH04 HH05
5C080 AA06 BB05 DD05 DD22 EE29 JJ02 JJ03 JJ04 JJ05 JJ06
KK02 KK07 KK43

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008191295A5	公开(公告)日	2010-03-04
申请号	JP2007023892	申请日	2007-02-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	三並徹雄 飯田幸人 内野勝秀		
发明人	三並 徹雄 飯田 幸人 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.622.A G09G3/20.622.D G09G3/20.624.B G09G3/20.642.A G09G3/20.670.J G09G3/20.611.H G09G3/20.611.F H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CE04 5C380/CF07 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
其他公开文献	JP2008191295A		

摘要(译)

要解决的问题：为了提供具有驱动晶体管的像素电路，该驱动晶体管还用作适于控制有机EL元件的发光和非发光时段的晶体管，该像素电路能够写入输入信号和迁移率校正到稳定地进行。解决方案：写扫描电路40的输出电路43中的末级缓冲器431使其正侧电源与其他电路部分分离，并且提供与例如使能脉冲EN同步的脉冲源电压Vdd2。作为正侧电源，瞬时激活从写扫描电路40输出的扫描信号WS，即，使扫描信号WS的前沿陡峭，从而在输入写入的状态下进行迁移率校正信号电压完成。Ž