

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-134577

(P2008-134577A)

(43) 公開日 平成20年6月12日(2008.6.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
H01L 27/32 (2006.01)	G09F 9/30 365Z	5C094
G09G 3/20 (2006.01)	G09G 3/20 641A	
H01L 51/50 (2006.01)	G09G 3/20 670L	
審査請求 未請求 請求項の数 6 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2007-11224 (P2007-11224)
(22) 出願日 平成19年1月22日 (2007.1.22)
(31) 優先権主張番号 特願2006-288996 (P2006-288996)
(32) 優先日 平成18年10月24日 (2006.10.24)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 590000846
イーストマン コダック カンパニー
アメリカ合衆国, ニューヨーク14650
, ロチェスター, ステイト ストリート3
43
(74) 代理人 100075258
弁理士 吉田 研二
(74) 代理人 100096976
弁理士 石田 純
(72) 発明者 川辺 和佳
東京都中央区新川2丁目27番1号 コダ
ック株式会社内
Fターム(参考) 3K107 AA01 BB01 CC21 CC31 EE03
HH04 HH05

最終頁に続く

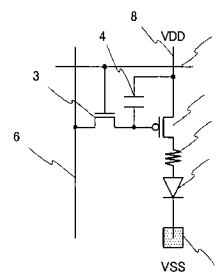
(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

【課題】有機EL素子を定電圧駆動した場合の、有機EL素子に流れる電流変化を抑制する。

【解決手段】表示装置の画素は、有機EL素子1、駆動トランジスタ2、ゲートトランジスタ3及び保持容量4を有する。駆動トランジスタ2と有機EL素子1との間に直列に安定化抵抗素子5を接続する。有機EL素子を定電圧駆動した場合、有機EL素子1に流れる電流Iは安定化抵抗素子5により規制され、経時劣化や温度変化による電流変化が抑制される。安定化抵抗素子5は、トランジスタのソースドレイン電極形成と別の不純物導入工程により作製され得る。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

画素回路をマトリクス状に配置してなる表示装置において、
前記画素回路は、
自発光素子と、
前記自発光素子を駆動する駆動トランジスタと、
前記自発光素子と前記駆動トランジスタとの間に直列接続された抵抗素子と、
を有することを特徴とする表示装置。

【請求項 2】

画素回路をマトリクス状に配置してなる表示装置において、
前記画素回路は、
自発光素子と、
前記自発光素子を駆動する駆動トランジスタと、
前記自発光素子と電極との間に直列接続された抵抗素子と、
を有することを特徴とする表示装置。

10

【請求項 3】

請求項 1、2 のいずれかに記載の装置において、
前記自発光素子は、定電圧駆動されるとともに電流が流れるか流れないかの 2 状態のみ
を有し、電流が流れる期間により明るさが制御されることを特徴とする表示装置。

【請求項 4】

画素回路をマトリクス状に配置してなる表示装置の製造方法であって、
前記画素回路は、
自発光素子と、
前記自発光素子を駆動する駆動トランジスタと、
前記自発光素子と前記駆動トランジスタとの間に直列接続された抵抗素子と、
を有するものであり、前記抵抗素子は、
基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上の前記抵抗素子形成領域にレジストを形成する工程と、
前記レジストが形成された前記ゲート絶縁膜に相対的に高濃度の不純物を導入する工程
と、
前記レジストを除去する工程と、
前記レジストが除去された前記ゲート絶縁膜に相対的に低濃度の不純物を導入する工程
と、
により製造されることを特徴とする表示装置の製造方法。

20

30

【請求項 5】

自発光素子と、
前記自発光素子を制御する複数の薄膜トランジスタとを一つの画素回路として、前記画
素回路をマトリクス状に配置したアクティブマトリクス型表示アレイと、
前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号を供給
するデータドライバと、
前記マトリクスの各行に対応して設けられ、対応する行の画素回路に選択信号を供給す
るゲートラインとを有する表示装置において、
前記画素回路は、
前記自発光素子に電流を供給するトランジスタと、
前記トランジスタと前記自発光素子に直列に接続された抵抗素子と、
を有することを特徴とする表示装置。

40

【請求項 6】

請求項 1 に記載の表示装置において、前記抵抗素子のシート抵抗値は、前記トランジスタのソース、ドレインのシート抵抗値と異なることを特徴とする表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は表示装置、特に自己発光型のエレクトロルミネセンス（有機ＥＬ）素子を有するアクティブマトリクス型表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス型有機ＥＬディスプレイは自発光型であるがゆえ、コントラストが高く、広視野角であり、また高解像度、高精細化が可能であるため、次世代ディスプレイとして注目されている。

【0003】

アクティブマトリクス型のディスプレイは画素一つ一つに状態を保持する能動素子が必要となるが、有機ＥＬの場合には有機ＥＬ素子に電流を常時供給し続けることが可能な駆動トランジスタが備えられている。駆動トランジスタには、アモルファスシリコンやポリシリコンなどの薄膜により形成される薄膜トランジスタ（Thin Film Transistor：ＴＦＴ）が用いられるが、長時間安定した動作が得られるポリシリコンＴＦＴを適用した中小型の有機ＥＬディスプレイが製品化されている。

【0004】

しかし、ポリシリコンＴＦＴは特性が画素毎に異なり、同じ信号を入力しても異なる電流を有機ＥＬ素子に出力するため、表示均一性に乏しく、歩留まりを低下させる要因となっていた。

【0005】

ポリシリコンＴＦＴの特性を回路技術で補正する方法がいくつか提案されているが、その一つとして下記の特許文献１に示すようなデジタル駆動が提案されている。

【0006】

【特許文献１】特開２００５－３３１８９１号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、定電圧を有機ＥＬ素子に印加するデジタル駆動では、有機ＥＬ素子が経時劣化により高抵抗化し、有機ＥＬ素子に流れる電流が減少するため、見かけ上素子の寿命が短くなっていた。

【0008】

また周辺の温度に依存して有機ＥＬ素子に流れる電流が変化するため、有機ＥＬ素子に安定した電流を供給することが困難であった。

【0009】

本発明の目的は、有機ＥＬ等の自発光素子に流れる電流変化を抑制することにある。

【課題を解決するための手段】

【0010】

本発明は、画素回路をマトリクス状に配置してなる表示装置において、前記画素回路は、自発光素子と、前記自発光素子を駆動する駆動トランジスタと、前記自発光素子と前記駆動トランジスタとの間に直列接続された抵抗素子とを有することを特徴とする。自発光素子と電極との間に抵抗素子を直列に接続してもよく、駆動トランジスタと自発光素子との間、及び自発光素子と電極との間に抵抗素子を直列に接続してもよい。

【0011】

本発明において、前記自発光素子は、定電圧駆動されるとともに電流が流れるか流れないかの２状態のみを有し、電流が流れる期間により明るさが制御されることが好適である。

【0012】

また、本発明は、画素回路をマトリクス状に配置してなる表示装置の製造方法であって、前記画素回路は、自発光素子と、前記自発光素子を駆動する駆動トランジスタと、前記

10

20

30

40

50

自発光素子と前記駆動トランジスタとの間に直列接続された抵抗素子とを有するものであり、前記抵抗素子は、

- (a) 基板上にゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上の前記抵抗素子形成領域にレジストを形成する工程と、
- (c) 前記レジストが形成された前記ゲート絶縁膜に相対的に高濃度の不純物を導入する工程と、
- (d) 前記レジストを除去する工程と、
- (e) 前記レジストが除去された前記ゲート絶縁膜に相対的に低濃度の不純物を導入する工程と、

により製造されることを特徴とする。

10

【0013】

また、本発明は、自発光素子と、前記自発光素子を制御する複数の薄膜トランジスタとを一つの画素回路として、前記画素回路をマトリクス状に配置したアクティブマトリクス型表示アレイと、前記マトリクスの各列に対応して設けられ、対応する列の画素回路にデータ信号を供給するデータドライバと、前記マトリクスの各行に対応して設けられ、対応する行の画素回路に選択信号を供給するゲートラインとを有する表示装置において、前記画素回路は、前記自発光素子に電流を供給するトランジスタと、前記トランジスタと前記自発光素子に直列に接続された抵抗素子とを有することを特徴とする。

【発明の効果】

【0014】

20

本発明によれば、簡易な構成により自発光素子の電流変化を抑制し、表示装置の動作を安定化できる。

【発明を実施するための最良の形態】

【0015】

以下、図面を用いて本発明の実施の形態を詳細に説明する。

【0016】

図1に、本実施形態における有機ELディスプレイの画素等価回路を示す。画素は有機EL素子1、駆動トランジスタ2、ゲートトランジスタ3、保持容量4、安定化抵抗5から構成される。

【0017】

30

カソード9が第1の電源VSSに接続された有機EL素子1のアノードは、安定化抵抗5の一端に接続され、安定化抵抗5の他端は駆動トランジスタ2のドレイン端子に接続される。駆動トランジスタ2のソース端子は第2の電源VDDに接続され、ゲート端子は保持容量4の一端とゲートトランジスタ3のソース端子へ接続されており、保持容量4の他端は第2の電源VDDに、ゲートトランジスタ3のゲート端子はゲートライン7、ゲートトランジスタ3のドレイン端子6はデータライン6へ接続される。

【0018】

図1に示されるゲートトランジスタ3はN型であるため、ゲートライン7に"High"となる電圧を供給するとゲートトランジスタ3は導通(オン)し、データライン6に供給されている信号電圧が保持容量4に書き込まれる。ゲートライン7に"Low"となる電圧を供給すれば、ゲートトランジスタ3は非導通(オフ)となり、保持容量4に書き込まれた信号電圧は次にゲートトランジスタ3が導通されるまで保持される。ゲートトランジスタ3がP型であればゲートライン7に供給する電圧はその逆である。

40

【0019】

保持容量4に書き込まれた信号電圧が駆動トランジスタ2を導通するのに十分な信号電圧であれば電流が第2の電源VDDから駆動トランジスタ2を通り、安定化抵抗5を介して有機EL素子1へ流れるが、逆に保持容量4に書き込まれた信号電圧が駆動トランジスタ2を非導通化するのに十分な電圧である場合には有機EL素子1に電流は流れない。

【0020】

デジタル駆動ではこの有機EL素子1に電流が流れるか否かの2状態のみを用い、1フ

50

レーム期間に有機EL素子に電流が流れる期間の割合を制御することで明るさを生成するため、図1に示される画素回路で十分にその機能を果たすことができる。

【0021】

図2に、図1における安定化抵抗5により有機EL素子に流れる電流が安定化される様子を示す。横軸は電圧、縦軸は電流をそれぞれ示す。図2において、曲線Aはある温度T、通電時刻tにおける有機EL素子のIV（電流電圧）曲線、曲線Bはある温度T、通電時刻 $t + \Delta t$ （ $\Delta t > 0$ ）における同じ有機EL素子のIV曲線、曲線Cは温度 $T + \Delta T$ （ $\Delta T > 0$ ）、通電時刻tにおける同じ有機EL素子のIV曲線を示す。図2に示されるように、一般に有機EL素子は温度、通電経過時間の違いでIV特性が異なる。

【0022】

直線Dは安定化抵抗5の抵抗値がRであるとき、有機EL素子1に印加される電圧Vによって有機EL素子に流れる電流Iであり、以下の式で示される。

$$I = (V_{DD} - V) / R \quad \cdots (1)$$

但し、計算の都合上、 $V_{SS} = 0$ としている。また一般に、デジタル駆動において駆動トランジスタが導通した際のオン抵抗は特性の違いによる電流ばらつきを抑制するため、有機EL素子1の抵抗に比較して十分小さくなるような値になるように設計するため、上記の式(1)では無視している。

【0023】

安定化抵抗5を導入しないデジタル駆動では、有機EL素子1に流れる電流は基準温度T、基準時刻tのIV曲線AよりIAであるが、有機EL素子の劣化に伴い電流はIBと著しく劣化する。また温度上昇により電流はICと著しく上昇する。前者は通電による電流劣化により、同じ映像信号を供給しているのにもかかわらず、明るさが低下するいわゆる焼き付きを引き起こし、後者は同じ映像信号を供給しているのにもかかわらず消費電力が増大し、有機EL素子の劣化を加速させる。

【0024】

一方、本実施形態のように安定化抵抗5を駆動トランジスタ2と有機EL素子1との間に直列に接続すると、有機EL素子1に流れる電流はIV曲線A、B、Cと直線Dの交点によって決まるため、図2に示されるように直線Dに沿って変化し、温度、通電時間による電流変化を抑制できる。すなわち、有機EL素子の劣化に伴い電流の劣化はIB'に留まり、また温度上昇によっても電流はIC'の上昇に留まる。安定化抵抗5により、IA → IBの変化がIA → IB'の変化だけに抑制され、かつ、IA → ICの変化がIA → IC'の変化だけに抑制される。

【0025】

なお、式(1)に示されるように抵抗値Rは直線Dの傾きの逆数であるため、抵抗値Rが大きいと直線の傾きは小さくなり安定化するが、安定化抵抗での電圧降下が大きくなるため、消費電力が増大する。したがって、有機EL素子の安定性との関係から適切な値を設定することが望ましい。

【0026】

図3に、図1の等価回路をガラス基板上に形成した画素レイアウトが示されている。図3(A)に示される画素レイアウトは、水平に配置されるゲートライン7に第1のメタル、垂直に配置されるデータライン6及び電源ライン8に第2のメタルを適用した例であり、図3(B)に示される画素レイアウトは、水平に配置されるゲートライン7及び電源ライン8に第2のメタル、垂直に配置されるデータライン6に第1のメタルを適用した場合の画素レイアウトである。

【0027】

通常、低温ポリシリコンプロセスでは、抵抗素子は、トランジスタのソースドレイン電極形成の際に行われるポリシリコン膜のN型化もしくはP型化の工程で形成されるが、このようにして形成した抵抗素子のシート抵抗値は概ね数 $k\Omega$ ～数十 $k\Omega$ である。したがって、電流変動をより安定化するため、安定化抵抗5の抵抗値が数 $M\Omega$ くらい必要となる場合があると、安定化抵抗5のサイズは電流が流れる方向に長く形成する必要が生じてくる

10

20

30

40

50

。

しかし、先のシート抵抗値から算出すると、安定化抵抗 5 の長さはその幅と比較して数百倍～数千倍必要となるため、広い面積を消費し、現実的ではない。このような場合、トランジスタのソースドレイン電極形成と別の工程を導入して安定化抵抗 5 を形成することが好適である。

【 0 0 2 8 】

図 4 に、安定化抵抗 5 を形成する工程の例を駆動トランジスタ 2 の断面と共に示す。ガラス基板にポリシリコン膜が形成された後、ゲート絶縁膜が形成され、その上にトランジスタのゲート電極が第 1 のメタルで形成される（図 4（A））。次に安定化抵抗 5 を形成する領域にレジストを形成し、ゲート電極及びレジストにマスクされていないポリシリコン膜に高濃度の P 型不純物を導入することで P 型の強いトランジスタのソースドレイン電極を形成する（図 4（B））。レジストを除去し、低濃度の P 型不純物を導入すると、ゲート電極にマスクされていないポリシリコン膜に不純物が導入され、レジストが形成されていた安定化抵抗形成領域が弱く P 型化（P - ）される（図 4（C））。不純物導入を終えた後、層間絶縁膜でトランジスタが覆われ、第 2 のメタルでソースドレイン電極の配線が形成された後、平坦化膜、アノード電極が形成され、有機 E L 層が形成されて図 3 に示される画素が作製される（図 4（D））。

10

【 0 0 2 9 】

このように、低濃度の不純物導入工程を追加すると、シート抵抗を大きくすることができるため、上述のように抵抗値を大きくしたい場合であっても安定化抵抗領域を消費しなくて済む。すなわち画素内に安定化抵抗 5 を導入したとしても、有機 E L 素子 1 の形成領域にはほとんど影響しない。また有機 E L 素子 1 の I V 特性に応じて、不純物濃度を適切に調整し、抵抗値を変化させることもできる。

20

【 0 0 3 0 】

図 5 に、図 1 の画素回路 1 0 がマトリクス状に配置されたアクティブマトリクス型表示アレイ 1 3 を有し、各データライン 6 の端部にデータドライバ 1 1、各ゲートライン 7 の端部にゲートドライバ 1 2 が接続されて構成された有機 E L パネル 1 4 を示す。図 3（A）の画素レイアウトを採用すると、電源ライン 8 が垂直に配線されて共有される図 5（A）のような構成となり、また図 3（B）の画素レイアウトを採用すると、電源ライン 8 が水平に配線されて構成される図 5（B）のような構成となる。カソード 9 は全画素で共有され、第 1 の電源 V D D へ接続される。

30

【 0 0 3 1 】

ゲートドライバ 1 2 がゲートトランジスタ 3 を導通・非導通化する選択電圧を 1 ライン目から順にゲートライン 7 に供給し、データドライバ 1 1 がそのタイミングに応じて駆動トランジスタ 2 を導通・非導通化する信号電圧をデータライン 6 に供給することで保持容量 4 に信号電圧を書き込み、有機 E L 素子の発光、非発光化が制御される。この動作は各サブフレームで繰り返されデジタル駆動が実現される。

【 0 0 3 2 】

データドライバ 1 1 やゲートドライバ 1 2 は低温ポリシリコンプロセスで画素と同じガラス基板状に形成されることもある。

40

【 0 0 3 3 】

以上のように、安定化抵抗 5 を画素に導入して有機 E L パネルを構成することにより、定電圧を印加するデジタル駆動を用いた場合でも、有機 E L 素子の経時劣化による高抵抗化に起因する電流劣化、また温度変化による電流変動を安定化できるため、より信頼性の高い有機 E L ディスプレイを得ることができる。

【 0 0 3 4 】

なお、本実施形態における安定化抵抗 5 の抵抗値は任意に設定し得るが、例えば 0 . 5 M Ω から 1 0 M Ω までの間に設定することができる。また、有機 E L 素子 1 の 0 から 6 0 の温度変化に対し、電流変化がプラスマイナス 5 % 以内となる抵抗値であることが望ましい。さらに、有機 E L 素子 1 の 1 0 0 0 時間経過後の劣化による電流低下がマイナス

50

5 % 以内となる抵抗値であることが望ましい。

【 0 0 3 5 】

本実施形態では、図 1 に示すように、有機 EL 素子 1 と駆動トランジスタ 2 との間に安定化抵抗 5 を直列に接続しており、画素の層構造としては図 6 に示すように、順次、カソード電極 9 / 有機 EL 素子 1 (電子輸送層 / 発光層 / ホール輸送層を有する) / 抵抗層 5 / アノード電極となるが、図 7 に示すようにカソード電極 9 と有機 EL 素子 1 との間にも第 2 の安定化抵抗を形成してもよい。図 7 において、有機 EL 素子 1 とアノード電極 (駆動トランジスタ 2 側) との間に第 1 抵抗層 5 - 1 を形成し、さらに有機 EL 素子 1 とカソード電極 9 との間に第 2 抵抗層 5 - 2 を形成する。また、図 8 に示すようにカソード電極 9 と有機 EL 素子 1 との間にのみ抵抗層 5 を形成してもよい。図 9 に、図 7 の層構造に対応する画素等価回路を示し、図 10 に、図 8 の層構造に対応する画素等価回路を示す。図 9 において、安定化抵抗 5 - 1 は駆動トランジスタ 2 と有機 EL 素子 1 との間に直列に接続され、安定化抵抗 5 - 2 は有機 EL 素子 1 とカソード 9 との間に直列に接続される。また、図 10 において、抵抗 5 は有機 EL 素子 1 とカソード 9 との間に直列に接続される。図 9 の安定化抵抗 5 - 1、5 - 2、及び図 10 の安定化抵抗 5 はいずれも温度、経時劣化による抵抗値の変動が少なく、抵抗値が有機 EL 素子 1 のインピーダンスに近い値、つまり数百 k Ω ~ 数 M Ω であることが望ましい。また、図 6 ~ 図 8 の層構造からも分かるように、各抵抗層は有機 EL 素子 1 で生成される可視光の吸収が少ない、つまり可視光領域において透明であることが望ましい。

10

【 図面の簡単な説明 】

20

【 0 0 3 6 】

【 図 1 】 実施形態の画素回路図である。

【 図 2 】 有機 EL 素子と安定化抵抗による I V 特性説明図である。

【 図 3 】 画素レイアウト図である。

【 図 4 】 安定化抵抗形成工程フローチャートである。

【 図 5 】 デジタル駆動有機 EL ディスプレイの全体構成図である。

【 図 6 】 実施形態の画素回路の層構造説明図である。

【 図 7 】 他の実施形態の画素回路の層構造説明図である。

【 図 8 】 他の実施形態の画素回路の層構造説明図である。

【 図 9 】 図 7 に対応する画素回路図である。

30

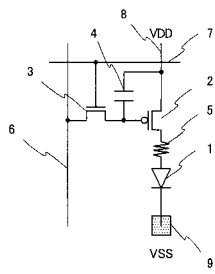
【 図 10 】 図 8 に対応する画素回路図である。

【 符号の説明 】

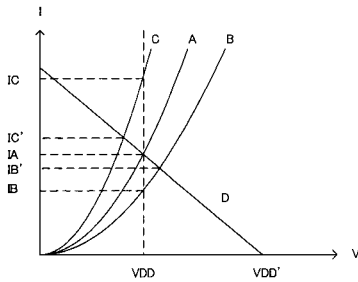
【 0 0 3 7 】

1 有機 EL 素子、 2 駆動トランジスタ、 3 ゲートトランジスタ、 4 保持容量、 5 安定化抵抗、 6 データライン、 7 ゲートライン、 8 電源ライン、 9 カソード、 10 画素回路、 11 データドライバ、 12 ゲートドライバ、 13 アクティブマトリクス型表示アレイ、 14 有機 EL パネル。

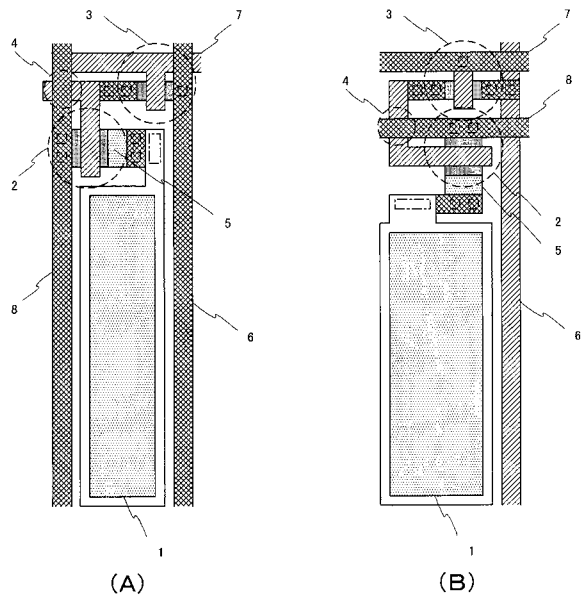
【図 1】



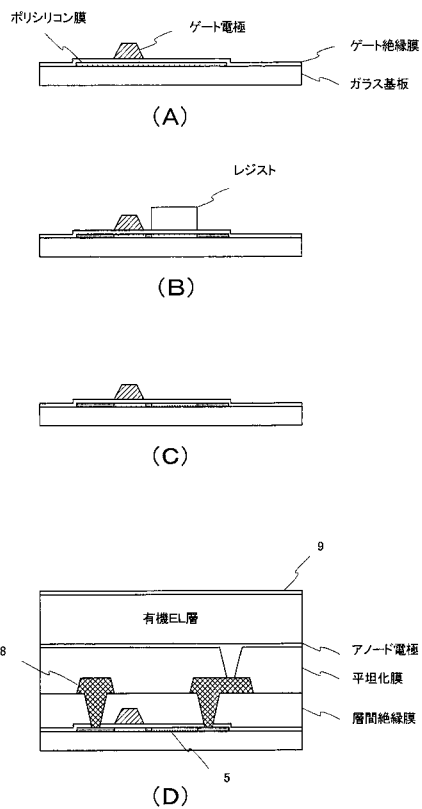
【図 2】



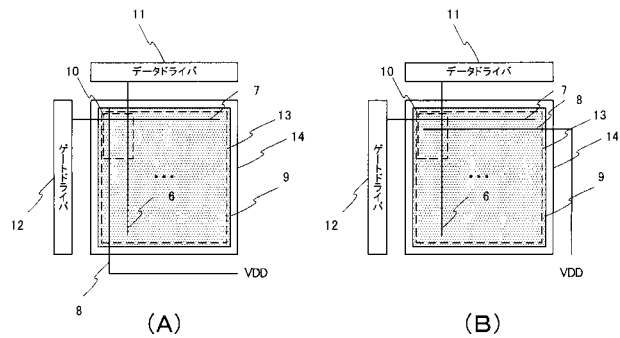
【図 3】



【図 4】



【図 5】



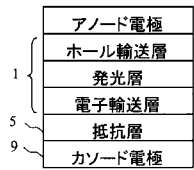
【図 6】

5	アノード電極
	抵抗層
	ホール輸送層
1	発光層
	電子輸送層
9	カソード電極

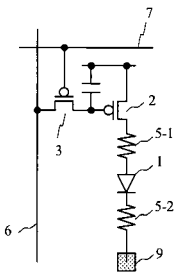
【図 7】

5-1	アノード電極
	第1抵抗層
	ホール輸送層
1	発光層
	電子輸送層
5-2	第2抵抗層
9	カソード電極

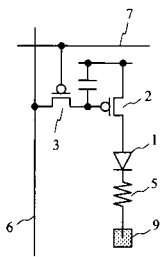
【 図 8 】



【 図 9 】



【 図 1 0 】



フロントページの続き

(51) Int. Cl.	F I	テーマコード (参考)
H 0 5 B 33/10 (2006.01)	G 0 9 G 3/20 6 7 0 J	
	H 0 5 B 33/14 A	
	H 0 5 B 33/10	
	G 0 9 G 3/20 6 2 4 B	

F ターム(参考) 5C080 AA06 BB05 DD20 DD29 EE29 FF11 JJ03 JJ05 JJ06
5C094 AA25 BA03 BA27 DB01 FB18

专利名称(译)	显示装置及其制造方法		
公开(公告)号	JP2008134577A	公开(公告)日	2008-06-12
申请号	JP2007011224	申请日	2007-01-22
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
[标]发明人	川辺 和佳		
发明人	川辺 和佳		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09G3/20 H01L51/50 H05B33/10		
CPC分类号	G09G3/3233 G09G2320/0233		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.641.A G09G3/20.670.L G09G3/20.670.J H05B33/14.A H05B33/10 G09G3/20.624.B G09F9/30.365 G09G3/3258 G09G3/3266 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD20 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C094/AA25 5C094/BA03 5C094/BA27 5C094/DB01 5C094/FB18 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB24 5C380/AB46 5C380/BA01 5C380/BA42 5C380/BD09 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CC68 5C380/CD012 5C380/DA01 5C380/DA09 5C380/HA07		
代理人(译)	吉田健治 石田 纯		
优先权	2006288996 2006-10-24 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，当有机EL元件由恒定电压驱动时，该显示装置能够使在有机EL元件中流动的电流的变化最小化。

ŽSOLUTION : 显示装置的像素包括: 有机EL元件1;驱动晶体管2;栅晶体管3;稳定电阻器元件5串联连接在驱动晶体管2和有机EL元件1之间。当有机EL元件1由恒定电压驱动时, 流过有机EL元件1的电流。由稳定电阻器元件5调节, 并且抑制了由于长期劣化和温度变化引起的电流变化。稳定电阻元件5可以通过与晶体管的源 - 漏电极形成不同的杂质引入工艺制备。Ž

